



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0072724
(43) 공개일자 2012년07월04일

(51) 국제특허분류(Int. Cl.)

G09G 3/36 (2006.01)

(21) 출원번호 10-2010-0134603

(22) 출원일자 2010년12월24일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김세영

경기 파주시 월롱면 덕은리 1007 (4/2) 엘지디스플레이 정다운마을 103-1220

조규행

서울특별시 금천구 독산로74길 20, 13/7 (독산동)

(74) 대리인

특허법인로알

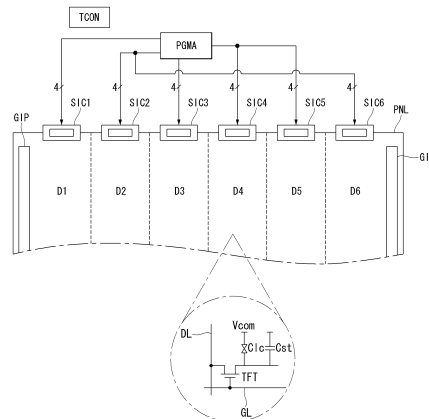
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명은 액정표시패널의 화면 영역의 위치별로 최적화된 로컬 감마보상전압을 소스 드라이브 IC들(Integrated Circuit)에 입력하는 액정표시장치에 관한 것으로, 제1 로컬 정극성 감마기준전압, 제1 로컬 부극성 감마기준전압, 제2 로컬 정극성 감마기준전압, 제2 로컬 부극성 감마기준전압, 제3 로컬 정극성 감마기준전압, 및 제3 로컬 부극성 감마기준전압을 발생하는 프로그래머블 감마 IC를 포함한다. 상기 제1 로컬 정극성 감마기준전압은 상기 제2 로컬 정극성 감마기준전압보다 높고, 상기 제2 로컬 정극성 감마기준전압은 상기 제3 로컬 정극성 감마기준전압보다 높다.

대표도 - 도4



특허청구의 범위

청구항 1

제1 로컬 정극성 감마기준전압, 제1 로컬 부극성 감마기준전압, 제2 로컬 정극성 감마기준전압, 제2 로컬 부극성 감마기준전압, 제3 로컬 정극성 감마기준전압, 및 제3 로컬 부극성 감마기준전압을 발생하는 프로그램머블 감마 IC;

제1 디지털 비디오 데이터를 상기 제1 로컬 정극성 감마기준전압으로 변환하여 정극성 데이터전압을 발생하고 그 정극성 데이터전압을 제1 화면 블록의 데이터라인들에 공급하고 상기 제1 디지털 비디오 데이터를 상기 제1 로컬 부극성 감마기준전압으로 변환하여 부극성 데이터전압을 발생하고 그 부극성 데이터전압을 상기 제1 화면 블록의 데이터라인들에 공급하는 제1 소스 드라이브 IC;

제2 디지털 비디오 데이터를 상기 제2 로컬 정극성 감마기준전압으로 변환하여 정극성 데이터전압을 발생하고 그 정극성 데이터전압을 제2 화면 블록의 데이터라인들에 공급하고 상기 제2 디지털 비디오 데이터를 상기 제2 로컬 부극성 감마기준전압으로 변환하여 부극성 데이터전압을 발생하고 그 부극성 데이터전압을 상기 제2 화면 블록의 데이터라인들에 공급하는 제2 소스 드라이브 IC; 및

제3 디지털 비디오 데이터를 상기 제3 로컬 정극성 감마기준전압으로 변환하여 정극성 데이터전압을 발생하고 그 정극성 데이터전압을 제3 화면 블록의 데이터라인들에 공급하고 상기 제3 디지털 비디오 데이터를 상기 제3 로컬 부극성 감마기준전압으로 변환하여 부극성 데이터전압을 발생하고 그 부극성 데이터전압을 상기 제3 화면 블록의 데이터라인들에 공급하는 제3 소스 드라이브 IC를 포함하고,

상기 제1 로컬 정극성 감마기준전압은 상기 제2 로컬 정극성 감마기준전압보다 높고, 상기 제2 로컬 정극성 감마기준전압은 상기 제3 로컬 정극성 감마기준전압보다 높은 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 프로그램머블 감마 IC는,

제4 로컬 정극성 감마기준전압, 제4 로컬 부극성 감마기준전압, 제5 로컬 정극성 감마기준전압, 제5 로컬 부극성 감마기준전압, 제6 로컬 정극성 감마기준전압, 및 제6 로컬 부극성 감마기준전압을 발생하는 것을 특징으로 하는 액정표시장치.

청구항 3

제 2 항에 있어서,

제4 디지털 비디오 데이터를 상기 제4 로컬 정극성 감마기준전압으로 변환하여 정극성 데이터전압을 발생하고 그 정극성 데이터전압을 제4 화면 블록의 데이터라인들에 공급하고 상기 제4 디지털 비디오 데이터를 상기 제4 로컬 부극성 감마기준전압으로 변환하여 부극성 데이터전압을 발생하고 그 부극성 데이터전압을 상기 제4 화면 블록의 데이터라인들에 공급하는 제4 소스 드라이브 IC를 더 포함하고,

상기 제4 로컬 정극성 감마기준전압은 상기 제2 로컬 정극성 감마기준전압보다 낮고, 상기 제3 로컬 정극성 감마기준전압보다 높은 것을 특징으로 하는 액정표시장치.

청구항 4

제 3 항에 있어서,

제5 디지털 비디오 데이터를 상기 제5 로컬 정극성 감마기준전압으로 변환하여 정극성 데이터전압을 발생하고 그 정극성 데이터전압을 제5 화면 블록의 데이터라인들에 공급하고 상기 제5 디지털 비디오 데이터를 상기 제

5 로컬 부극성 감마기준전압으로 변환하여 부극성 데이터전압을 발생하고 그 부극성 데이터전압을 상기 제5 화면 블록의 데이터라인들에 공급하는 제5 소스 드라이브 IC를 더 포함하고,

상기 제5 로컬 정극성 감마기준전압은 상기 제4 로컬 정극성 감마기준전압과 같은 것을 특징으로 하는 액정표시장치.

청구항 5

제 2 항에 있어서,

제6 디지털 비디오 데이터를 상기 제6 로컬 정극성 감마기준전압으로 변환하여 정극성 데이터전압을 발생하고 그 정극성 데이터전압을 제6 화면 블록의 데이터라인들에 공급하고 상기 제6 디지털 비디오 데이터를 상기 제6 로컬 부극성 감마기준전압으로 변환하여 부극성 데이터전압을 발생하고 그 부극성 데이터전압을 상기 제6 화면 블록의 데이터라인들에 공급하는 제6 소스 드라이브 IC를 더 포함하고,

상기 제6 로컬 정극성 감마기준전압은 상기 제2 로컬 정극성 감마기준전압과 같은 것을 특징으로 하는 액정표시장치.

청구항 6

제 2 항에 있어서,

상기 제1 로컬 부극성 감마기준전압의 절대치는 상기 제2 로컬 부극성 감마기준전압의 절대치보다 높고, 상기 제2 로컬 부극성 감마기준전압의 절대치는 상기 제3 로컬 부극성 감마기준전압의 절대치보다 높은 것을 특징으로 하는 액정표시장치.

청구항 7

제 3 항에 있어서,

상기 제4 로컬 부극성 감마기준전압의 절대치는 상기 제2 로컬 부극성 감마기준전압의 절대치보다 낮고, 상기 제3 로컬 부극성 감마기준전압의 절대치보다 높은 것을 특징으로 하는 액정표시장치.

청구항 8

제 4 항에 있어서,

상기 제5 로컬 부극성 감마기준전압은 상기 제4 로컬 부극성 감마기준전압과 같은 것을 특징으로 하는 액정표시장치.

청구항 9

제 5 항에 있어서,

상기 제6 로컬 부극성 감마기준전압은 상기 제2 로컬 부극성 감마기준전압과 같은 것을 특징으로 하는 액정표시장치.

명세서

기술분야

본 발명은 액정표시패널의 화면 영역의 위치별로 최적화된 로컬 감마보상전압을 소스 드라이브 IC들(Integrated Circuit)에 입력하는 액정표시장치에 관한 것이다.

[0001]

배경 기술

- [0002] 액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치는 스위칭 소자로서 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)를 이용하여 동영상 표시하고 있다. 액정표시장치는 음극선관(Cathode Ray Tube, CRT)에 비하여 소형화가 가능하여 휴대용 정보기기, 사무기기, 컴퓨터, 텔레비전 등의 표시소자로서 광범위하게 응용되고 있다.
- [0003] 액정표시장치의 액정은 화소전극에 공급되는 데이터전압과 공통전극에 공급되는 공통전압의 전위차에 따라 투과율을 변화시킴으로써 화상을 표시한다. 일반적으로, 공통전극은 화면 전체의 픽셀들에 걸쳐 하나의 전극막이나 전극라인으로 형성된다. 따라서, 공통전압은 하나의 전압으로 공통전극에 인가되고 있다. 그런데, 액정표시패널의 화면 위치에 따라 전압 강하에 의해 공통전압이 달라질 수 있다. 이는 공통전극에서 공통전압 인가 부분으로부터 멀수록 저항이 커지기 때문이다. 따라서, 공통전압이 화면 위치별로 달라지면 화면 전체에서 화질이 불균일하고 잔상이 나타난다.
- [0004] 액정표시장치는 액정의 열화와 잔상을 줄이기 위하여 액정셀에 인가되는 데이터전압의 극성을 도 1과 같이 주기적으로 반전시키는 인버전 방식으로 구동되고 있다. 예를 들어, 도 1과 같이, 제N(N은 자연수) 프레임기간에 게이트펄스(GP)와 동기되는 정극성 데이터전압이 액정셀에 충전되고, 제N+1 프레임기간에 게이트펄스(GP)에 동기되는 부극성 데이터전압이 그 액정셀에 충전된다. 액정셀에 충전된 정극성 데이터전압은 TFT의 기생용량에 의해 ΔV_p 만큼 낮아지고 스토리지 커패시터(Cst)에 의해 1 프레임기간 동안 유지된다. 액정셀에 충전된 부극성 전압은 ΔV_p 만큼 높아지고 스토리지 커패시터(Cst)에 의해 1 프레임기간 동안 유지된다. 도 1에서, 'Vdata_255'는 계조값 '255'의 정극성/부극성 데이터전압이고, 'Vdata_0'은 계조값 '0'의 정극성/부극성 데이터전압이다. 'Vcom'은 공통전극에 인가되는 공통전압이다.
- [0005] ΔV_p 는 피드스루 전압(Feed-through voltage)으로서, 수학적 식 1과 같이 정의된다.

수학적 식 1

$$\Delta V_p = \frac{C_{gd}}{C_{gd} + C_{st} + C_{lc}} (V_{gh} - V_{gl})$$

- [0006]
- [0007] 여기서, C_{gd} 는 TFT의 게이트-드레인간 기생 용량(Capacitance), C_{st} 는 스토리지 커패시터의 용량, C_{lc} 는 액정셀의 용량, V_{gh} 는 게이트펄스의 게이트 하이 전압, V_{gl} 은 게이트펄스의 게이트 로우 전압을 의미한다.
- [0008] 도 1에서 알 수 있는 바와 같이, 액정표시패널의 화면 위치에 따라 공통전압(Vcom)이 달라지면 동일 계조에서 정극성 데이터전압과 부극성 데이터전압이 공통전압(Vcom)을 기준으로 비대칭으로 되어 어느 한 극성의 데이터전압이 우세하게 된다. 이렇게 정극성 데이터전압과 부극성 데이터전압 중 어느 한 쪽으로 치우치면, 액정셀이 직류화 구동되어 액정표시패널에서 잔상이 나타난다.
- [0009] 공통전압(Vcom)은 일반적으로 화면 중앙을 기준으로 최적화된 하나의 전압으로 설정된다. 이 경우에 공통전압(Vcom)이 공통전극의 저항에 따라 달라지기 때문에 화면의 중앙 부분 이외의 다른 부분에서는 최적화되어 있지 않다. 이러한 문제를 해결하기 위하여, 공통전압(Vcom)을 화면 위치 각각에 최적화된 복수의 전압으로 생성하고 그 전압들을 화면 상에서 분할된 다수의 공통전극들로 분배하는 방법을 고려할 수 있지만, 공통전압 발생회로가 더 추가되고 액정표시패널의 전극 구조가 복잡하게 될 수 밖에 없다.

발명의 내용

해결하려는 과제

- [0010] 본 발명은 화면 전체에서 공통전압을 최적화하고 화질을 높일 수 있는 액정표시장치를 제공한다.

과제의 해결 수단

- [0011] 본 발명의 액정표시장치는 제1 로컬 정극성 감마기준전압, 제1 로컬 부극성 감마기준전압, 제2 로컬 정극성 감마기준전압, 제2 로컬 부극성 감마기준전압, 제3 로컬 정극성 감마기준전압, 및 제3 로컬 부극성 감마기준전압을 발생하는 프로그래머블 감마 IC; 제1 디지털 비디오 데이터를 상기 제1 로컬 정극성 감마기준전압으로 변환하여 정극성 데이터전압을 발생하고 그 정극성 데이터전압을 제1 화면 블록의 데이터라인들에 공급하고 상기 제1 디지털 비디오 데이터를 상기 제1 로컬 부극성 감마기준전압으로 변환하여 부극성 데이터전압을 발생하고 그 부극성 데이터전압을 상기 제1 화면 블록의 데이터라인들에 공급하는 제1 소스 드라이브 IC; 제2 디지털 비디오 데이터를 상기 제2 로컬 정극성 감마기준전압으로 변환하여 정극성 데이터전압을 발생하고 그 정극성 데이터전압을 제2 화면 블록의 데이터라인들에 공급하고 상기 제2 디지털 비디오 데이터를 상기 제2 로컬 부극성 감마기준전압으로 변환하여 부극성 데이터전압을 발생하고 그 부극성 데이터전압을 상기 제2 화면 블록의 데이터라인들에 공급하는 제2 소스 드라이브 IC; 및 제3 디지털 비디오 데이터를 상기 제3 로컬 정극성 감마기준전압으로 변환하여 정극성 데이터전압을 발생하고 그 정극성 데이터전압을 제3 화면 블록의 데이터라인들에 공급하고 상기 제3 디지털 비디오 데이터를 상기 제3 로컬 부극성 감마기준전압으로 변환하여 부극성 데이터전압을 발생하고 그 부극성 데이터전압을 상기 제3 화면 블록의 데이터라인들에 공급하는 제3 소스 드라이브 IC를 포함한다.
- [0012] 상기 제1 로컬 정극성 감마기준전압은 상기 제2 로컬 정극성 감마기준전압보다 높고, 상기 제2 로컬 정극성 감마기준전압은 상기 제3 로컬 정극성 감마기준전압보다 높다.
- [0013] 상기 프로그래머블 감마 IC는 제4 로컬 정극성 감마기준전압, 제4 로컬 부극성 감마기준전압, 제5 로컬 정극성 감마기준전압, 제5 로컬 부극성 감마기준전압, 제6 로컬 정극성 감마기준전압, 및 제6 로컬 부극성 감마기준전압을 발생한다.
- [0014] 상기 액정표시장치는 제4 디지털 비디오 데이터를 상기 제4 로컬 정극성 감마기준전압으로 변환하여 정극성 데이터전압을 발생하고 그 정극성 데이터전압을 제4 화면 블록의 데이터라인들에 공급하고 상기 제4 디지털 비디오 데이터를 상기 제4 로컬 부극성 감마기준전압으로 변환하여 부극성 데이터전압을 발생하고 그 부극성 데이터전압을 상기 제4 화면 블록의 데이터라인들에 공급하는 제4 소스 드라이브 IC를 더 포함한다.
- [0015] 상기 제4 로컬 정극성 감마기준전압은 상기 제2 로컬 정극성 감마기준전압보다 낮고, 상기 제3 로컬 정극성 감마기준전압보다 높다.
- [0016] 상기 액정표시장치는 제5 디지털 비디오 데이터를 상기 제5 로컬 정극성 감마기준전압으로 변환하여 정극성 데이터전압을 발생하고 그 정극성 데이터전압을 제5 화면 블록의 데이터라인들에 공급하고 상기 제5 디지털 비디오 데이터를 상기 제5 로컬 부극성 감마기준전압으로 변환하여 부극성 데이터전압을 발생하고 그 부극성 데이터전압을 상기 제5 화면 블록의 데이터라인들에 공급하는 제5 소스 드라이브 IC를 더 포함한다.
- [0017] 상기 제5 로컬 정극성 감마기준전압은 상기 제5 로컬 정극성 감마기준전압과 같다.
- [0018] 상기 액정표시장치는 제6 디지털 비디오 데이터를 상기 제6 로컬 정극성 감마기준전압으로 변환하여 정극성 데이터전압을 발생하고 그 정극성 데이터전압을 제6 화면 블록의 데이터라인들에 공급하고 상기 제6 디지털 비디오 데이터를 상기 제6 로컬 부극성 감마기준전압으로 변환하여 부극성 데이터전압을 발생하고 그 부극성 데이터전압을 상기 제6 화면 블록의 데이터라인들에 공급하는 제6 소스 드라이브 IC를 더 포함한다.
- [0019] 상기 제6 로컬 정극성 감마기준전압은 상기 제2 로컬 정극성 감마기준전압과 같다.
- [0020] 상기 제1 로컬 부극성 감마기준전압의 절대치는 상기 제2 로컬 부극성 감마기준전압의 절대치보다 높고, 상기 제2 로컬 부극성 감마기준전압의 절대치는 상기 제3 로컬 부극성 감마기준전압의 절대치보다 높다.
- [0021] 상기 제4 로컬 부극성 감마기준전압의 절대치는 상기 제2 로컬 부극성 감마기준전압의 절대치보다 낮고, 상기 제3 로컬 부극성 감마기준전압의 절대치보다 높다.
- [0022] 상기 제5 로컬 부극성 감마기준전압은 상기 제5 로컬 부극성 감마기준전압과 같다.
- [0023] 상기 제6 로컬 부극성 감마기준전압은 상기 제2 로컬 부극성 감마기준전압과 같다.

발명의 효과

[0024] 본 발명은 화면 위치별 최적 공통전압과 대칭인 정극성 감마기준전압과 부극성 감마기준전압을 소스 드라이브 IC별로 입력하여 화면 전체에서 공통전압을 최적화하고 화질을 높일 수 있다.

도면의 간단한 설명

[0025] 도 1은 액정셀에 인가되는 정극성/부극성 데이터전압, 게이트펄스, 및 공통전압을 보여 주는 파형도이다.
 도 2는 액정표시패널의 화면 위치별 공통전압 측정 실험에서 공통전압 측정 위치들을 보여 주는 도면이다.
 도 3은 도 2의 측정 위치들 각각에서 잔상이 나타나지 않는 최적의 공통전압을 보여 주는 실험 결과 그래프이다.
 도 4는 본 발명의 실시예에 따른 액정표시장치를 나타내는 도면이다.
 도 5는 도 4에 도시된 프로그래머블 감마 IC를 나타내는 도면이다.
 도 6은 도 4에 도시된 프로그래머블 감마 IC의 외관과 출력 채널 핀들을 보여 주는 평면도이다.
 도 7은 도 4에 도시된 소스 드라이브 IC들의 내부 회로 구성을 보여 주는 블록도이다.
 도 8은 제1 소스 드라이브 IC에 입력되는 제1 로컬 정극성 감마기준전압들과 제1 로컬 부극성 감마기준전압들을 보여 주는 도면이다.
 도 9는 제2 및 제6 소스 드라이브 IC들에 입력되는 제2 및 제6 로컬 정극성 감마기준전압들과, 제2 및 제6 로컬 부극성 감마기준전압들을 보여 주는 도면이다.
 도 10은 제4 및 제5 소스 드라이브 IC들에 입력되는 제4 및 제5 로컬 정극성 감마기준전압들과, 제4 및 제5 로컬 부극성 감마기준전압들을 보여 주는 도면이다.
 도 11은 제3 소스 드라이브 IC에 입력되는 제3 로컬 정극성 감마기준전압들과, 제3 로컬 부극성 감마기준전압들을 보여 주는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0026] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

[0027] 도 2 및 도 3은 47" IPS(In Plane Switching) 모드의 액정표시패널(PNL)을 대상으로 화면 상단, 중앙, 하단 각각에서 8 개 위치별로 공통전압을 측정한 실험 결과이다. 액정표시패널(PNL)은 가로 방향 길이가 세로 방향 길이가 길다. 이로 인하여, 공통전압(Vcom)의 전압 강하는 액정표시패널(PNL)의 가로 방향에서 더 크다. 그 결과, 도 2 및 도 3에서 알 수 있는 바와 같이 공통전압(Vcom)의 편차는 액정표시패널(PNL)의 세로 방향보다 가로 방향에서 더 크다.

[0028] 도 2 및 도 3의 실험에서 사용된 소스 드라이브 IC들에는 동일한 정극성 감마 기준전압들과 동일한 부극성 감마보상전압들이 입력되었다. 측정 위치들 각각에서 공통전압(Vcom)을 튜닝하여 잔상이 나타나지 않는 공통전압(Vcom)을 최적화한 결과, 최적 공통전압(Vcom)은 도 3에서 "X"로 표시된 바와 같이 화면 위치별로 다르다.

[0029] 본 발명은 도 2 및 도 3의 실험 결과를 바탕으로 하여 화면 위치별 최적 공통전압(Vcom)을 구현하기 위하여 화면 위치별로 공통전압을 분리하여 생성하지 않고 아래의 실시예와 같이 정극성 데이터전압과 부극성 데이터전압이 대칭적으로 구현될 수 있도록 소스 드라이브 IC들 각각에 입력되는 정극성/부극성 감마기준전압들을 최적화한다. 그 결과, 본 발명은 하나의 공통전압(Vcom)을 액정표시패널(PNL)의 공통전극에 인가하고 화면 위치별로 최적 공통전압이 구현되는 효과를 얻을 수 있다.

[0030] 도 4는 본 발명의 실시예에 따른 액정표시장치를 나타내는 도면이다.

[0031] 도 4를 참조하면, 본 발명의 액정표시장치는 액정표시패널(PNL), 소스 드라이브 IC들(SIC1~SIC6), 게이트 구동회로(GIP), 프로그래머블 감마 IC(Programmable IC, PGMA), 타이밍 컨트롤러(TCON) 등을 포함한다.

[0032] 액정표시패널(PNL)은 TFT 어레이 기관과 컬러필터 어레이 기관 사이에 형성된 액정층을 포함한다. 액정표시

패널(PNL)은 데이터라인들과 게이트라인들의 교차 구조에 의해 매트릭스 형태로 배치된 픽셀들을 포함한다. 액정표시패널(PNL)의 TFT 어레이 기판에는 TFT 어레이가 형성된다. TFT 어레이는 데이터라인들, 게이트라인들, 데이터라인들과 게이트라인들의 교차부에 형성된 TFT들, TFT 각각에 접속된 화소전극, 및 스토리지 커패시터(Storage Capacitor, Cst) 등을 포함한다. 픽셀들의 액정은 화소전극과 공통전극 사이의 전계에 의해 구동된다. 액정표시패널(PNL)의 컬러필터 어레이 기판에는 컬러필터 어레이가 형성된다. 컬러필터 어레이는 블랙 매트릭스, 컬러필터, 공통전극 등을 포함한다. TFT 어레이 기판과 컬러필터 어레이 기판 각각에는 편광 필름이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.

[0033] 액정표시패널(PNL)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식이나 IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식으로 구현될 수 있다. 본 발명의 액정표시장치는 투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치 등 어떠한 형태로도 구현될 수 있다. 투과형 액정표시장치와 반투과형 액정표시장치에서는 백라이트 유닛과 백라이트 구동회로가 필요하다. 백라이트 유닛은 직하형(direct type) 백라이트 유닛 또는, 에지형(edge type) 백라이트 유닛으로 구현될 수 있다.

[0034] 소스 드라이브 IC들(SIC1~SIC6) 각각은 타이밍 컨트롤러(TCON)의 제어 하에 입력 영상의 디지털 비디오 데이터(RGB)를 래치한다. 소스 드라이브 IC들(SIC1~SIC6) 각각은 래치된 디지털 비디오 데이터를 정극성 감마보상전압으로 변환하여 정극성 데이터전압을 발생하고 디지털 비디오 데이터를 부극성 감마보상전압으로 변환하여 부극성 데이터전압을 발생하여 그 정극성/부극성 데이터전압을 데이터라인들(DL)로 출력한다. 소스 드라이브 IC들(SIC1~SIC6) 각각에는 도 2 및 도 3의 실험 결과를 바탕으로 측정된 최적 공통전압(Vcom)을 기준으로 대칭적인 정극성 감마보상전압들과 부극성 감마보상전압들이 개별로 입력된다. 이를 위하여, 소스 드라이브 IC들(SIC1~SIC6)에는 정극성 감마보상전압들과 부극성 감마보상전압들이 개별로 공급된다.

[0035] 액정표시패널(PNL)의 화면을 소스 드라이브 IC들(SIC1~SIC6)의 담당 영역별로 분할할 때, 제1 소스 드라이브 IC(SIC1)는 제1 화면 블록(D1) 내에 존재하는 데이터라인들에 정극성/부극성 데이터전압을 공급한다. 제2 소스 드라이브 IC(SIC2)는 제2 화면 블록(D2) 내에 존재하는 데이터라인들에 정극성/부극성 데이터전압을 공급한다. 제3 소스 드라이브 IC(SIC3)는 제3 화면 블록(D3) 내에 존재하는 데이터라인들에 정극성/부극성 데이터전압을 공급한다. 제4 소스 드라이브 IC(SIC4)는 제4 화면 블록(D4) 내에 존재하는 데이터라인들에 정극성/부극성 데이터전압을 공급한다. 제5 소스 드라이브 IC(SIC5)는 제5 화면 블록(D5) 내에 존재하는 데이터라인들에 정극성/부극성 데이터전압을 공급한다. 제6 소스 드라이브 IC(SIC6)는 제6 화면 블록(D6) 내에 존재하는 데이터라인들에 정극성/부극성 데이터전압을 공급한다. 소스 드라이브 IC들(SIC1~SIC6)은 COG(Chip On Glass) 공정이나 TAB(Tape Automated Bonding) 공정으로 액정표시패널(PNL)의 데이터라인들(DL)에 접속될 수 있다.

[0036] 게이트 구동회로(GIP)는 타이밍 컨트롤러(TCON)의 제어 하에 정극성/부극성 데이터전압에 동기되는 게이트펄스를 게이트라인들에 순차적으로 공급한다. 게이트 구동회로는 레벨 시프터(Level shifter)와 시프트 레지스터(Shift register)를 포함한다. 게이트 구동회로(GIP)는 TAB 공정으로 액정표시패널(PNL)의 게이트라인들에 접속될 수 있다. 시프트 레지스터는 GIP(Gate In Panel) 공정으로 액정표시패널(PNL)의 TFT 어레이 기판 상에 직접 형성될 수 있다. 이 경우에, 레벨 시프터는 타이밍 컨트롤러(TCON)와 함께 컨트롤 보드 또는 소스 인쇄회로기판(Source Printed Circuit Board) 상에 형성되어 스타트 펄스와 클럭신호들을 TFT 어레이 기판에 GIP 회로로 형성된 시프트 레지스터에 공급한다.

[0037] 프로그래머블 감마 IC(PGMA)는 화면 위치별로 최적화된 공통전압을 기준으로 대칭적인 정극성 감마기준전압들(이하 "로컬 정극성 감마기준전압들"이라 함), 부극성 감마기준전압들(이하 "로컬 부극성 감마기준전압들"이라 함)을 발생한다. 예를 들어, 프로그래머블 감마 IC(PGMA)는 제1 로컬 정극성 감마기준전압들과 제1 로컬 부극성 감마기준전압들을 제1 소스 드라이브 IC(SIC1)에 공급한다. 프로그래머블 감마 IC(PGMA)는 제2 로컬 정극성 감마기준전압들과 제2 로컬 부극성 감마기준전압들을 제2 소스 드라이브 IC(SIC2)에 공급한다. 프로그래머블 감마 IC(PGMA)는 제3 로컬 정극성 감마기준전압들과 제3 로컬 부극성 감마기준전압들을 제3 소스 드라이브 IC(SIC3)에 공급한다. 프로그래머블 감마 IC(PGMA)는 제4 로컬 정극성 감마기준전압들과 제4 로컬 부극성 감마기준전압들을 제4 소스 드라이브 IC(SIC4)에 공급한다. 프로그래머블 감마 IC(PGMA)는 제5 로컬 정극성 감마기준전압들과 제5 로컬 부극성 감마기준전압들을 제5 소스 드라이브 IC(SIC5)에 공급한다. 프로그래머블 감마 IC(PGMA)는 제6 로컬 정극성 감마기준전압들과 제6 로컬 부극성 감마기준전압들을 제6 소스 드라이브 IC(SIC6)에 공급한다. 디지털 비디오 데이터는 로컬 정극성 감마기준전압들로 변환되어 정극성 데이터전압으로서 데이터라인들에 공급되고, 로컬 부극성 감마기준전압들로 변환되어 부극성 데이터전압으로서 데이터

터라인들에 공급된다. 로컬 정극성 감마기준전압들과 로컬 부극성 감마기준전압들은 액정표시패널(PNL)의 화면 위치별 최적의 공통전압을 기준으로 대칭을 이루기 때문에 액정표시패널(PNL)의 화면 전체에서 공통전압을 최적화한다.

[0038] 도 3과 같이, 액정표시패널(PNL)의 화면에서 위치별 최적 공통전압들의 편차가 육안으로 화질 차이를 느끼기 어려울 정도로 작은 화면 블록들이 존재한다. 예를 들어, 액정표시패널(PNL)의 화면을 소스 드라이브 IC들(SIC1~SIC6)의 담당 영역별로 분할할 때 제2 소스 드라이브 IC(SIC2)가 담당하는 제2 화면 블록(D2)과 제6 소스 드라이브 IC들(SIC6)가 담당하는 제6 화면 블록(D6)의 최적 공통전압 편차는 0.1V~0.3V 사이로 작다. 제2 및 제6 화면 블록(D2, D6)의 최적 공통전압은 거의 차이가 없기 때문에 제2 및 제6 화면 블록(D2, D6)의 공통전압(Vcom)을 최적화하기 위한 제2 및 제6 로컬 정극성 감마기준전압들은 거의 차이가 없고 또한, 제2 및 제6 로컬 부극성 감마기준전압들은 거의 차이가 없다. 따라서, 프로그래머블 감마 IC(PGMA)는 제2 및 제6 로컬 정극성 감마기준전압들을 동일 출력 채널 핀들을 통해 동일한 정극성 감마기준전압들로 발생할 수 있고, 제2 및 제6 로컬 부극성 감마기준전압들을 동일 출력 채널 핀들을 통해 동일한 부극성 감마기준전압들로 발생할 수 있으므로 그 출력 채널 핀들의 개수를 줄일 수 있다.

[0039] 마찬가지로, 제4 및 제5 화면 블록(D4, D5)의 최적 공통전압은 거의 차이가 없기 때문에 제4 및 제5 화면 블록(D4, D5)의 공통전압(Vcom)을 최적화하기 위한 제4 및 제5 로컬 정극성 감마기준전압들은 거의 차이가 없고 또한, 제4 및 제5 로컬 부극성 감마기준전압들은 거의 차이가 없다. 따라서, 프로그래머블 감마 IC(PGMA)는 제4 및 제5 로컬 정극성 감마기준전압들을 동일 출력 채널 핀들을 통해 동일한 정극성 감마기준전압들로 발생할 수 있고, 제5 및 제5 로컬 부극성 감마기준전압들을 동일 출력 채널 핀들을 통해 동일한 부극성 감마기준전압들로 발생할 수 있으므로 그 출력 채널 핀들의 개수를 줄일 수 있다.

[0040] 타이밍 컨트롤러(TCON)는 입력 영상의 디지털 비디오 데이터를 소스 드라이브 IC들(SIC1~SIC6)로 전송한다. 타이밍 컨트롤러(TCON)는 외부의 호스트 시스템으로부터 입력된 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(DE), 메인 클럭(CLK) 등의 타이밍신호를 입력받아 소스 드라이브 IC들(SIC1~SIC6)과 게이트 구동회로(GIP)의 동작 타이밍을 제어하기 위한 제어신호들을 발생한다. 제어신호들은 게이트 구동회로(GIP)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호와, 소스 드라이브 IC들(SIC1~SIC6)의 동작 타이밍과 데이터전압의 극성을 제어하기 위한 소스 타이밍 제어신호를 포함한다.

[0041] 게이트 타이밍 제어신호는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 시프트 클럭(Gate Shift Clock, GSC), 게이트 출력 인에이블신호(Gate Output Enable, GOE) 등을 포함한다. 게이트 스타트 펄스(GSP)는 게이트 구동회로(GIP)의 스타트 동작 타이밍을 제어한다. 게이트 시프트 클럭(GSC)은 게이트 스타트 펄스(GSP)를 시프트시키기 위한 클럭신호이다. 게이트 출력 인에이블신호(GOE)는 게이트 구동회로(GIP)의 출력 타이밍을 제어한다.

[0042] 소스 타이밍 제어신호는 소스 스타트 펄스(Source Start Pulse, SSP), 소스 샘플링 클럭(Source Sampling Clock, SSC), 극성제어신호(Polarity : POL), 소스 출력 인에이블신호(SOE) 등을 포함한다. 소스 스타트 펄스(SSP)는 데이터 구동회로의 데이터 샘플링 시작 타이밍을 제어한다. 소스 샘플링 클럭(SSC)은 소스 드라이브 IC들(SIC1~SIC6) 내에서 데이터의 샘플링 타이밍을 제어하는 클럭신호이다. 극성제어신호(POL)는 소스 드라이브 IC들(SIC1~SIC6)로부터 출력되는 데이터전압의 극성을 제어한다. 소스 출력 인에이블신호(SOE)는 차지 웨어링 타이밍과 데이터 출력 타이밍을 제어한다. 소스 드라이브 IC들(SIC1~SIC6)에 입력될 디지털 비디오 데이터가 mini LVDS(Low Voltage Differential Signaling) 인터페이스 규격으로 전송된다면, 소스 스타트 펄스(SSP)와 소스 샘플링 클럭(SSC)은 생략될 수 있다.

[0043] 호스트 시스템은 외부 비디오 소스 예를 들면, 셋톱박스(Set-top Box), TV 시스템, 폰 시스템(Phone system), DVD 플레이어(PLAYER), 블루레이 플레이어(Blue-ray Player), 개인용 컴퓨터(PC), 홈 시어터 시스템(Home theater Syteme) 등의 비디오 소스에 접속된다. 호스트 시스템은 스케일러 scaler를 포함한 시스템 온 칩(System on Chip, SoC)을 포함하여 외부 비디오 소스로부터의 그래픽 데이터를 액정표시패널(PNL)에 표시하기에 적합한 해상도로 변환하여 LVDS(Low Voltage Differential Signaling) 인터페이스, TMDS(Transition Minimized Differential Signaling) 인터페이스 등의 인터페이스를 통해 타이밍 컨트롤러(TCON)로 전송한다. 또한, 호스트 시스템은 LVDS 인터페이스, TMDS 인터페이스 등의 인터페이스를 통해 입력 영상과 동기되는 타이밍신호들(Vsync, Hsync, DE, CLK)을 타이밍 컨트롤러(TCON)로 전송한다.

[0044] 도 5는 프로그래머블 감마 IC(PGMA)를 나타내는 도면이다. 도 6은 프로그래머블 감마 IC(PGMA)의 외관과 출력 채널 핀들을 보여 주는 평면도이다.

- [0045] 도 5 및 도 6을 참조하면, 프로그래머블 감마 IC(PGMA)는 콘트롤 인터페이스(Control Interface, 50), 비휘발성 메모리(Non-volatile Memory, 52), 레지스터(Register, 54), 디지털-아날로그 변환기들(Digital to Analog Converter, 이하 "DAC"라 함)(56), 및 버퍼들(Buffer, 58) 등을 포함한다.
- [0046] 프로그래머블 감마 IC(PGMA)에는 직렬 클럭(SCL)과, 직렬 클럭(SCL)에 동기되는 직렬 데이터(SDA)이 입력된다. 액정모듈 메이커의 운영자는 직렬 데이터(SDA)를 프로그래머블 감마 IC(PGMA)에 입력하여 비휘발성 메모리에 저장된 감마 데이터를 갱신함으로써 프로그래머블 감마 IC(PGMA)로부터 출력되는 정극성/부극성 감마기준전압들의 전압을 조정할 수 있다. 프로그래머블 감마 IC(PGMA)에는 고전위 전원전압(VDD)과 저전위 전원전압(VSS)이 공급된다. 저전위 전원전압(VSS)은 기저전압(GND 0V)일 수 있다.
- [0047] 콘트롤 인터페이스(50)는 직렬 데이터(SDA)로 입력되는 감마 데이터를 감마 데이터를 비휘발성 메모리(52)에 공급한다. 콘트롤 인터페이스(50)는 감마 데이터를 비휘발성 메모리(52)에 기입(writing)하고, 비휘발성 메모리(52)에 저장된 감마 데이터를 레지스터(54)에 공급하기 위한 메모리 리드/라이트(read/write) 클럭을 발생하여 비휘발성 메모리(52)와 레지스터(54)에 입력한다.
- [0048] 비휘발성 메모리(52)는 콘트롤 인터페이스(50)의 제어 하에 감마 데이터들을 저장한다. 감마 데이터들은 프로그래머블 감마 IC(PGMA)의 출력 채널 핀들 각각을 통해 출력되는 정극성 감마기준전압들과 부극성 감마기준전압들 각각의 전압을 결정하는 디지털 데이터들이다.
- [0049] 레지스터(54)는 콘트롤 인터페이스(50)의 제어 하에 비휘발성 메모리(52)로부터 입력된 감마 데이터들을 일시 저장하여 DAC들(56)에 공급한다. DAC들(56) 각각에는 감마 데이터가 독립적으로 인가된다. 그리고 DAC들(56)은 프로그래머블 감마 IC(PGMA)의 출력 채널 핀에 1:1로 접속된다. DAC들(56)은 수학적 2와 같이 감마 데이터에 따라 달라지는 정극성/부극성 감마기준전압(V_{GREF})을 출력한다.

수학적 2

$$V_{GREF} = \frac{VDD}{n} \times GMA$$

- [0050]
- [0051] 여기서, VDD는 고전위 전원전압을, n은 픽셀 데이터의 최대 계조값을, 그리고 GMA는 감마 데이터를 각각 의미한다.
- [0052] 고전위 전원전압(VDD)이 17V이고 픽셀 데이터의 최대 계조값이 1023일 때, '925'의 감마 데이터(GMA)가 입력되는 DAC(56)는 $(17 \times 925) / 1023 = 15.37V$ 를 로컬 정극성 감마기준전압으로서 출력한다.
- [0053] 버퍼들(58)은 DAC들(56)의 출력단자들과 프로그래머블 감마 IC(PGMA)의 출력 채널 핀들 사이에 접속되어 프로그래머블 감마 IC(PGMA)의 부하 변동을 고려하여 출력 채널 핀들을 통해 출력되는 정극성/부극성 감마기준전압들을 안정화한다.
- [0054] 프로그래머블 감마 IC(PGMA)의 출력 채널 핀들은 도 5와 같이 22 개일 수 있다. 본 발명은 22 개의 출력 채널 핀들을 갖는 하나의 프로그래머블 감마 IC(PGMA)를 이용하여 6 개의 소스 드라이브 IC들(SIC1~SIC6)에 입력되는 로컬 정극성 감마기준전압들과 로컬 부극성 감마기준전압들을 발생한다.
- [0055] 프로그래머블 감마 IC(PGMA)는 제1 내지 제4 출력 채널 그룹(PG1~PG4)을 통해 제1 내지 제4 세트의 감마기준전압들을 출력한다. 제1 내지 제4 출력 채널 그룹(PG1~PG4) 각각은 4 개의 출력 채널 핀들을 포함한다. 제1 출력 채널 그룹(PG1)은 4 개의 출력 채널 핀들을 통해 제1 소스 드라이브 IC(SIC1)에 공급될 4 개의 감마기준전압들(PGMA1_1~PGMA1_18)을 출력한다. 제1 출력 채널 그룹(PG1)의 출력 채널 핀들을 통해 출력되는 감마기준전압들(PGMA1_1~PGMA1_18)은 도 8과 같다. 제2 출력 채널 그룹(PG2)은 4 개의 출력 채널 핀들을 통해 제2 및 제6 소스 드라이브 IC들(SIC2, SIC6)에 공급될 4 개의 감마기준전압들(PGMA2_1~PGMA2_18, PGMA6_1~PGMA6_18)을 출력한다. 제2 출력 채널 그룹(PG2)의 출력 채널 핀들을 통해 출력되는 감마기준전압들(PGMA2_1~PGMA2_18, PGMA6_1~PGMA6_18)은 도 9와 같다. 제3 출력 채널 그룹(PG3)은 4 개의 출력 채널 핀들을 통해 제4 및 제5 소스 드라이브 IC들(SIC4, SIC5)에 공급될 4 개의 감마기준전압들(PGMA4_1~PGMA4_18, PGMA5_1~PGMA5_18)을 출력한다. 제3 출력 채널 그룹(PG3)의 출력 채널 핀들을 통해 출력되는 감마기준전압들(PGMA4_1~PGMA4_18, PGMA5_1~PGMA5_18)은 도 10과 같다. 제4 출력 채널 그룹(PG4)은 4 개의 출력 채널 핀들

을 통해 제3 소스 드라이브 IC(SIC3)에 공급될 4 개의 감마기준전압들(PGMA3_1~PGAM3_18)을 출력한다. 제4 출력 채널 그룹(PG4)의 출력 채널 핀들을 통해 출력되는 감마기준전압들(PGMA3_1~PGAM3_18)은 도 11과 같다.

[0056] 도 7은 소스 드라이브 IC들(SIC1~SIC6)의 내부 회로 구성을 보여 주는 블록도이다.

[0057] 도 7을 참조하면, 소스 드라이브 IC들(SIC1~SIC6)은 데이터 레지스터(72), 시프트 레지스터(Shift register, 74), 2 라인 래치(Latch, 76), DAC(78), 및 출력회로(80), 감마보상전압 발생회로(82) 등을 포함한다.

[0058] 데이터 레지스터(72)는 타이밍 컨트롤러(TCON)로부터 수신되는 디지털 비디오 데이터를 병렬 데이터로 변환하여 2 라인 래치(76)에 공급한다. 시프트 레지스터(74)는 소스 스타트 펄스(SSP)를 소스 샘플링 클럭(SSC)에 맞추어 시프트시킴으로써 샘플링 클럭을 순차적으로 발생한다. 도 7에서 "EI01"은 소스 스타트 펄스(SSP) 또는 이전 단 소스 드라이브 IC로부터 수신된 캐리신호(Carry signal)를 의미한다. "EI02"는 다음 단의 소스 드라이브 IC로 전달되는 시프트 레지스터(74)의 캐리신호를 의미한다.

[0059] 2 라인 래치(76)는 시프트 레지스터(74)로부터 순차적으로 입력되는 샘플링 클럭을 기준으로 데이터 레지스터(72)로부터 입력되는 디지털 비디오 데이터를 샘플링하고 소스 출력 인에이블신호(SOE)의 로우 로직 전압에 응답하여 다른 소스 드라이브 IC들의 2 라인 래치와 동시에 래치된 데이터들을 출력한다.

[0060] DAC(78)는 2 라인 래치(78)로부터 입력되는 디지털 비디오 데이터 각각을 정극성 감마보상전압들과 부극성 감마보상전압들로 변환하여 정극성 데이터전압과 부극성 데이터전압을 출력한다. DAC(78)는 디지털 비디오 데이터를 정극성 데이터전압으로 변환하는 PDAC과, 디지털 비디오 데이터를 부극성 데이터전압으로 변환하는 NDAC을 포함한다. DAC(78)는 극성제어신호(POL)에 응답하여 자신의 출력 채널을 통해 출력되는 데이터전압의 극성을 반전시킨다.

[0061] 출력회로(80)는 소스 출력 인에이블신호(SOE)의 하이 로직 전압에 응답하여 차지 셰어링을 실시하고, 소스 출력 인에이블신호(SOE)의 로우 로직 전압에 응답하여 출력버퍼를 통해 정극성/부극성 데이터전압을 데이터라인들(105)에 공급한다. 또한, 출력회로(80)는 소스 출력 인에이블신호(SOE)의 하이 로직 전압에 응답하여 블랙 게조 전압을 데이터라인들(DL)에 공급한다.

[0062] 감마보상전압 발생회로(82)는 프로그래머블 감마 IC(PGMA)로부터 입력되는 분압회로를 이용하여 로컬 정극성 감마기준전압들과 로컬 부극성 감마기준전압들을 분압하여 데이터의 게조 각각에 대응하는 정극성 감마보상전압들과 부극성 감마보상전압들을 발생한다. 예를 들어, 감마보상전압 발생회로(82)는 직렬로 연결된 저항들을 포함한 분압회로를 이용하여 최상위 게조의 정극성 전압인 제1 정극성 감마기준전압(PGMA1_1, PGMA2_1, PGMA3_1, PGMA4_1, PGMA5_1, PGMA6_1)과 최하위 게조의 정극성 전압인 제2 정극성 감마기준전압(PGMA1_9, PGMA2_9, PGMA3_9, PGMA4_9, PGMA5_9, PGMA6_9)을 분압하여 그 사이의 정극성 감마보상전압들을 발생하여 DAC(78)에 공급한다.

[0063] 감마보상전압 발생회로(82)는 도 8 내지 도 11에서 직렬로 연결된 저항들을 포함한 분압회로를 이용하여 최상위 게조의 부극성 전압인 제1 부극성 감마기준전압(PGMA1_18, PGMA2_18, PGMA3_18, PGMA4_18, PGMA5_18, PGMA6_18)과 최하위 게조의 정극성 전압인 제2 부극성 감마기준전압(PGMA1_10, PGMA2_10, PGMA3_10, PGMA4_10, PGMA5_10, PGMA6_10)을 분압하여 그 사이의 부극성 감마보상전압들을 발생하여 DAC(78)에 입력한다.

[0064] 도 8은 제1 소스 드라이브 IC(SIC1)에 입력되는 제1 로컬 정극성 감마기준전압들(PGMA1_1, PGMA1_9)과 제1 로컬 부극성 감마기준전압들(PGMA1_10, PGMA1_18)을 보여 주는 도면이다. 도 9는 제2 및 제6 소스 드라이브 IC들(SIC2, SIC6)에 입력되는 제2 및 제6 로컬 정극성 감마기준전압들(PGMA2_1, PGMA6_1, PGMA2_9, PGMA6_9)과, 제2 및 제6 로컬 부극성 감마기준전압들(PGMA2_10, PGMA6_10, PGMA2_18, PGMA6_18)을 보여 주는 도면이다. 도 10은 제4 및 제5 소스 드라이브 IC들(SIC4, SIC5)에 입력되는 제4 및 제5 로컬 정극성 감마기준전압들(PGMA4_1, PGMA5_1, PGMA4_9, PGMA5_9)과, 제4 및 제5 로컬 부극성 감마기준전압들(PGMA4_10, PGMA5_10, PGMA4_18, PGMA5_18)을 보여 주는 도면이다. 도 11은 제3 소스 드라이브 IC(SIC3)에 입력되는 제3 로컬 정극성 감마기준전압들(PGMA3_1, PGMA3_9)과, 제3 로컬 부극성 감마기준전압들(PGMA3_10, PGMA3_18)을 보여 주는 도면이다.

[0065] 도 8 내지 도 10을 참조하면, 제1 로컬 정극성 감마기준전압들(PGMA1_1, PGMA1_9)은 최상위 게조의 정극성 전압인 제1 정극성 감마기준전압(PGMA1_1)과, 최하위 게조의 정극성 전압인 제2 정극성 감마기준전압(PGMA1_9)을 포함한다. 제1 로컬 부극성 감마기준전압들(PGMA1_10, PGMA1_18)은 최상위 게조의 부극성 전압인 제1 부극성 감마기준전압(PGMA1_18)과, 최하위 게조의 정극성 전압인 제2 부극성 감마기준전압(PGMA1_10)을 포함한다.

다.

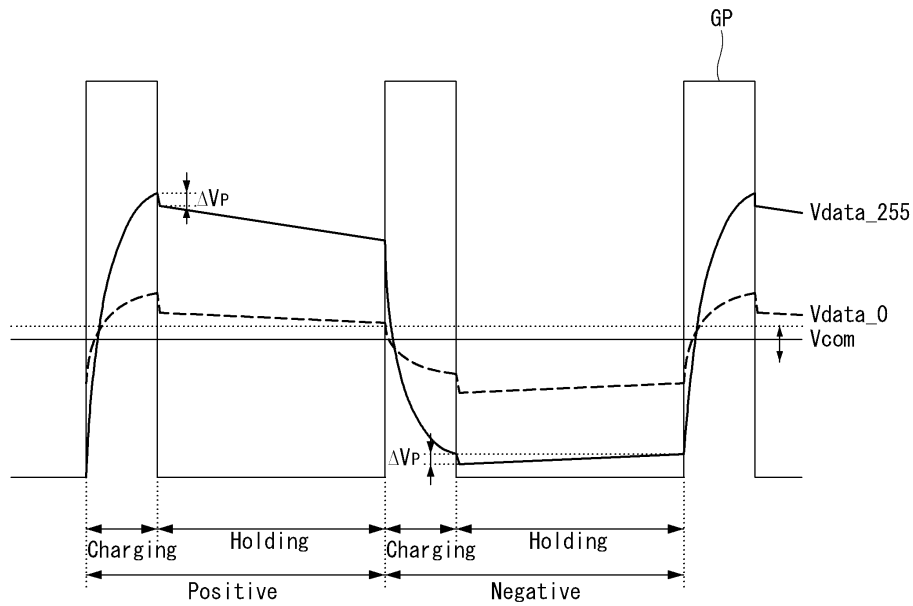
- [0066] 제2 및 제6 로컬 정극성 감마기준전압들(PGMA2_1, PGMA2_9, PGMA6_1, PGMA6_9)은 최상위 계조의 정극성 전압인 제1 정극성 감마기준전압(PGMA2_1, PGMA6_1)과, 최하위 계조의 정극성 전압인 제2 정극성 감마기준전압(PGMA2_9, PGMA6_9)을 포함한다. 제1 정극성 감마기준전압(PGMA2_1, PGMA6_1)은 동일한 하나의 전압으로 발생되고, 제2 정극성 감마기준전압(PGMA2_9, PGMA6_9)은 동일한 하나의 전압으로 발생된다. 제2 및 제6 로컬 부극성 감마기준전압들(PGMA2_10, PGMA6_10, PGMA2_18, PGMA6_18)은 최상위 계조의 부극성 전압인 제1 부극성 감마기준전압(PGMA2_18, PGMA6_18)과, 최하위 계조의 부극성 전압인 제2 부극성 감마기준전압(PGMA2_10, PGMA6_10)을 포함한다. 제1 부극성 감마기준전압(PGMA2_18, PGMA6_18)은 동일한 하나의 전압으로 발생되고, 제2 부극성 감마기준전압(PGMA2_10, PGMA6_10)은 동일한 하나의 전압으로 발생된다.
- [0067] 제4 및 제5 로컬 정극성 감마기준전압들(PGMA4_1, PGMA4_9, PGMA5_1, PGMA5_9)은 최상위 계조의 정극성 전압인 제1 정극성 감마기준전압(PGMA4_1, PGMA5_1)과, 최하위 계조의 정극성 전압인 제2 정극성 감마기준전압(PGMA4_9, PGMA5_9)을 포함한다. 제1 정극성 감마기준전압(PGMA4_1, PGMA5_1)은 동일한 하나의 전압으로 발생되고, 제2 정극성 감마기준전압(PGMA4_9, PGMA5_9)은 동일한 하나의 전압으로 발생된다. 제4 및 제5 로컬 부극성 감마기준전압들(PGMA4_10, PGMA5_10, PGMA4_18, PGMA5_18)은 최상위 계조의 부극성 전압인 제1 부극성 감마기준전압(PGMA4_18, PGMA5_18)과, 최하위 계조의 부극성 전압인 제2 부극성 감마기준전압(PGMA4_10, PGMA5_10)을 포함한다. 제1 부극성 감마기준전압(PGMA4_18, PGMA5_18)은 동일한 하나의 전압으로 발생되고, 제2 부극성 감마기준전압(PGMA4_10, PGMA5_10)은 동일한 하나의 전압으로 발생된다.
- [0068] 제3 로컬 정극성 감마기준전압들(PGMA3_1, PGMA3_9)은 최상위 계조의 정극성 전압인 제1 정극성 감마기준전압(PGMA3_1)과, 최하위 계조의 정극성 전압인 제2 정극성 감마기준전압(PGMA3_9)을 포함한다. 제3 로컬 부극성 감마기준전압들(PGMA3_10, PGMA3_18)은 최상위 계조의 부극성 전압인 제1 부극성 감마기준전압(PGMA3_18)과, 최하위 계조의 정극성 전압인 제2 부극성 감마기준전압(PGMA3_10)을 포함한다.
- [0069] 액정표시패널(PNL)의 화면 전체에서 최적 공통전압을 구현하기 위한 로컬 정극성 감마기준전압들과 로컬 부극성 감마기준전압들은 다음과 같이 설정될 수 있다.
- [0070] 로컬 정극성 감마기준전압들 각각에서 제1 정극성 감마기준전압들(PGMA1_1~PGMA6_1)은 14.5V ~ 17.5V 사이의 전압으로 설정될 수 있다. 로컬 정극성 감마기준전압들 각각에서 제2 정극성 감마기준전압들(PGMA1_9~PGMA6_9)은 6V ~ 9V 사이의 전압으로 설정될 수 있다. 로컬 정극성 감마기준전압들 각각에서 제1 부극성 감마기준전압들(PGMA1_18~PGMA6_18)은 0.2V ~ 3V 사이의 전압으로 설정될 수 있다. 로컬 정극성 감마기준전압들 각각에서 제2 부극성 감마기준전압들(PGMA1_10~PGMA6_10)은 5V ~ 8V 사이의 전압으로 설정될 수 있다.
- [0071] 액정표시패널(PNL)의 화면 전체에서 최적 공통전압을 구현하기 위하여, 로컬 정극성 감마기준전압들 각각의 제1 정극성 감마기준전압들(PGMA1_1~PGMA6_1)의 관계는 $PGMA1_1 > PGMA2_1(=PGMA6_1) > PGMA4_1(=PGMA5_1) > PGMA3_1$ 를 만족한다.
- [0072] 액정표시패널(PNL)의 화면 전체에서 최적 공통전압을 구현하기 위하여, 로컬 정극성 감마기준전압들 각각의 제2 정극성 감마기준전압들(PGMA1_9~PGMA6_9)의 관계는 $PGMA1_9 > PGMA2_9(=PGMA6_9) > PGMA4_9(=PGMA5_9) > PGMA3_9$ 를 만족한다.
- [0073] 액정표시패널(PNL)의 화면 전체에서 최적 공통전압을 구현하기 위하여, 로컬 정극성 감마기준전압들 각각의 제1 부극성 감마기준전압들(PGMA1_18~PGMA6_18)의 관계는 $PGMA1_18 > PGMA2_18(=PGMA6_18) > PGMA4_18(=PGMA5_18) > PGMA3_18$ 를 만족한다.
- [0074] 액정표시패널(PNL)의 화면 전체에서 최적 공통전압을 구현하기 위하여, 로컬 부극성 감마기준전압들 각각의 제2 부극성 감마기준전압들(PGMA1_10~PGMA6_10)은 $PGMA1_10 > PGMA2_10(=PGMA6_10) > PGMA4_10(=PGMA5_10) > PGMA3_10$ 를 만족한다.
- [0075] 상기 감마기준전압들의 관계식에서 감마기준전압들은 절대치 전압이다.
- [0076] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

[0077] PNL : 액정표시패널 SIC1~SIC6 : 소스 드라이브 IC
GIP : 게이트 구동회로 PGMA : 프로그램러블 감마 IC

도면

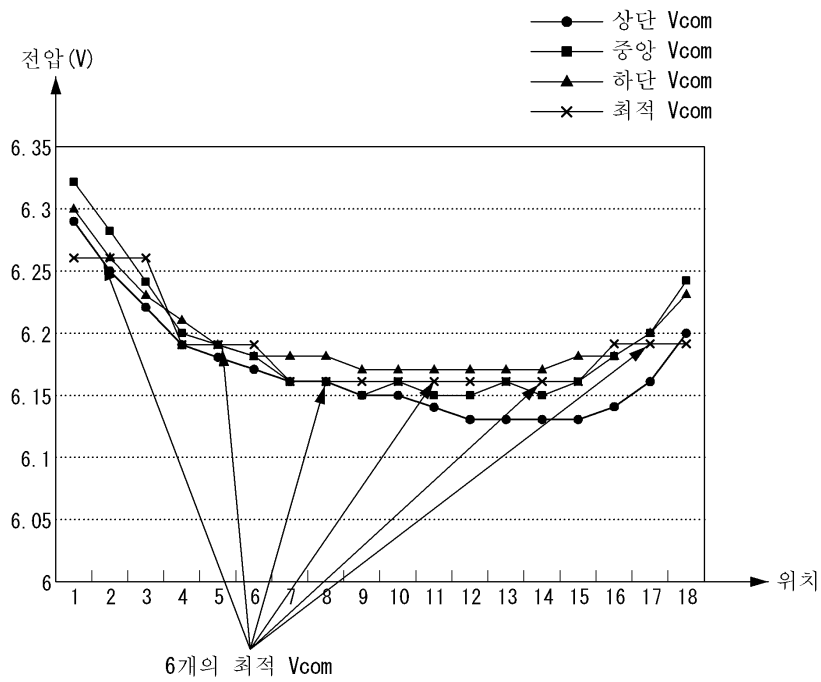
도면1



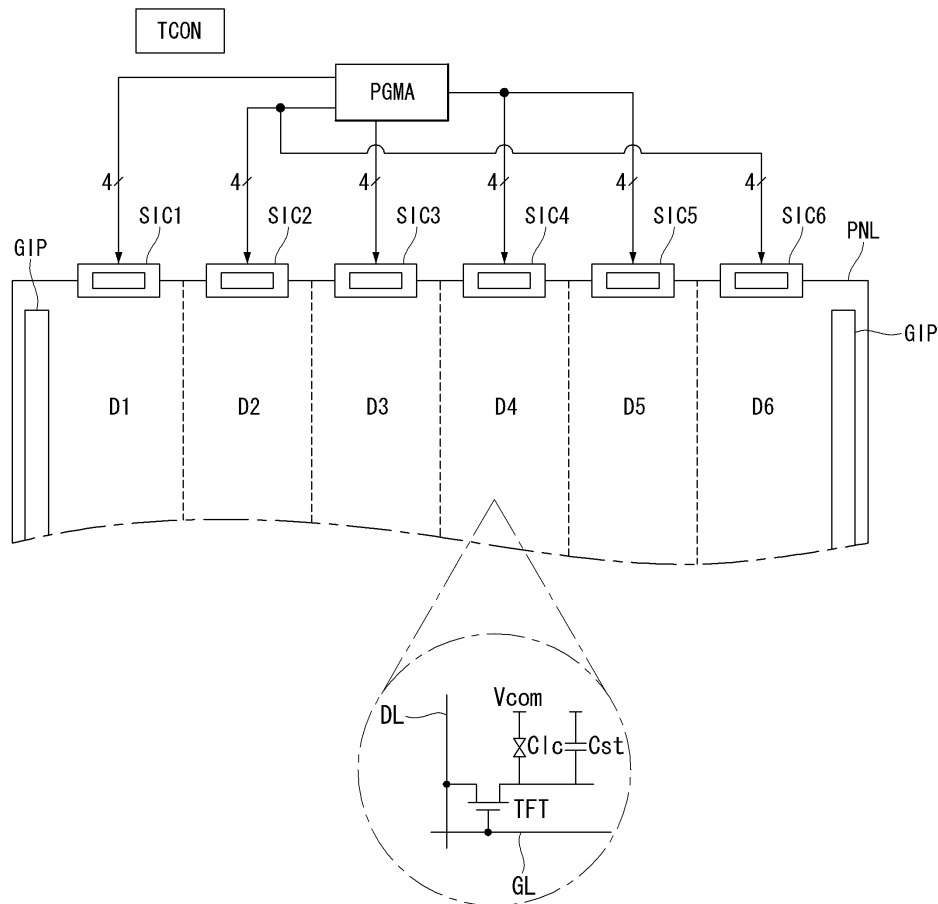
도면2



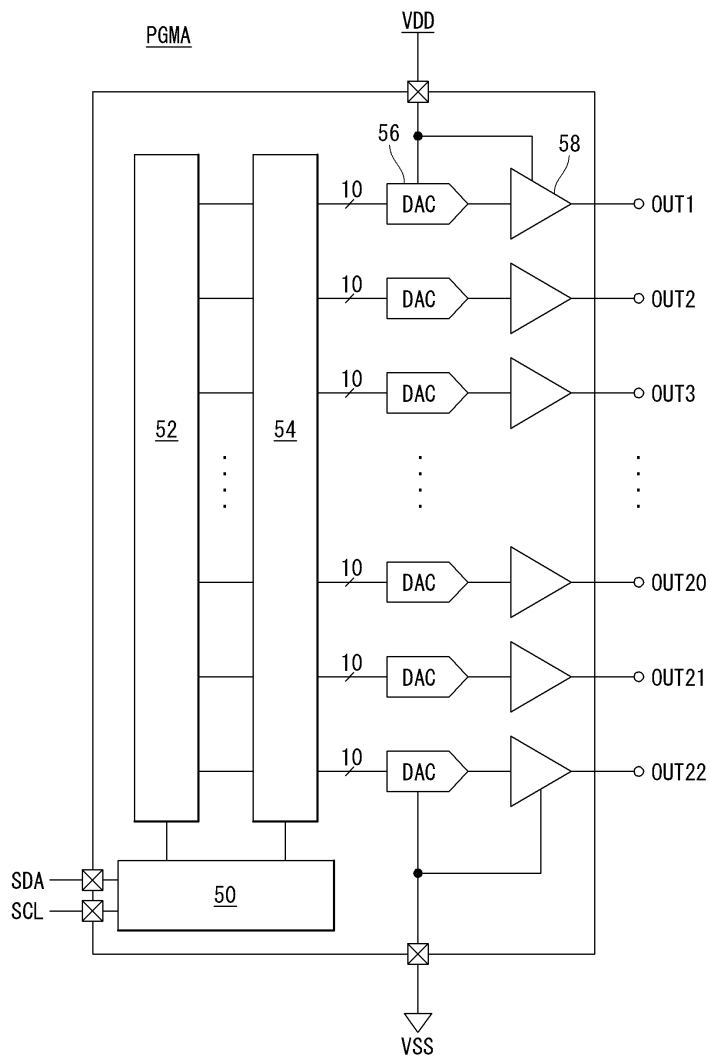
도면3



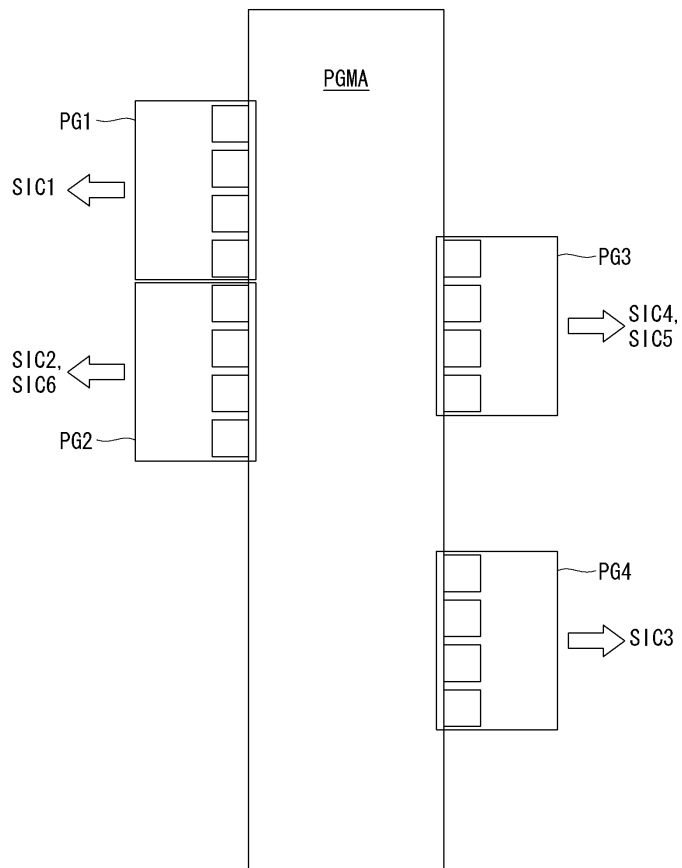
도면4



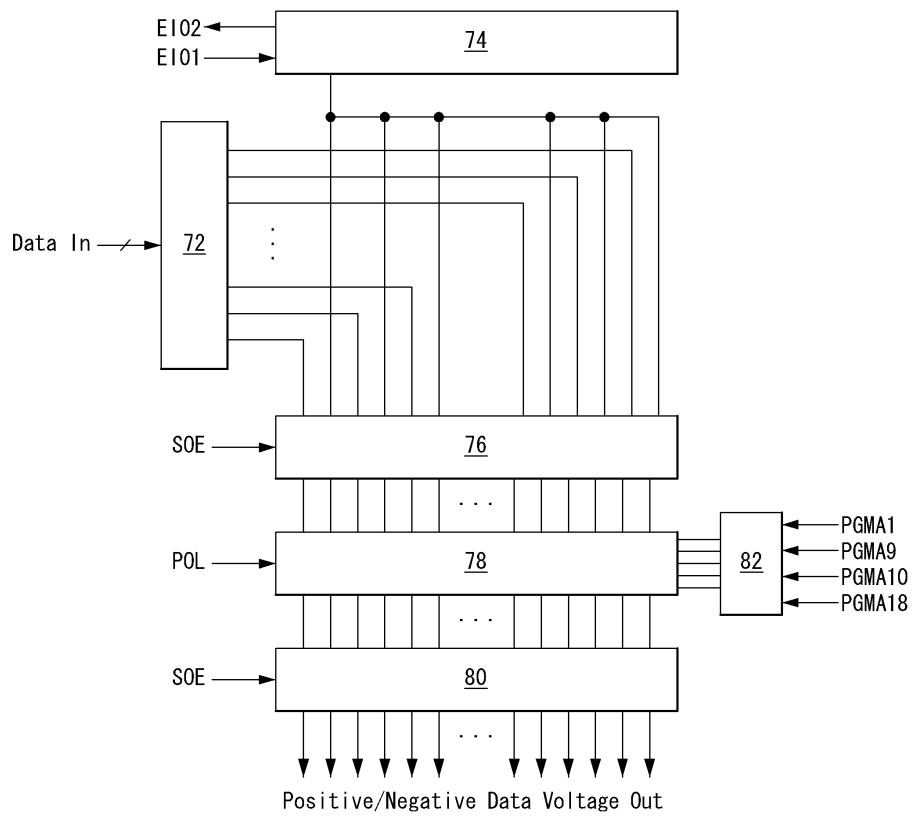
도면5



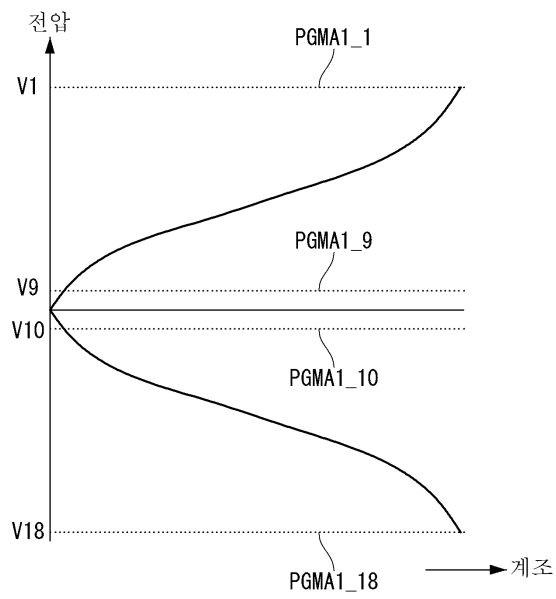
도면6



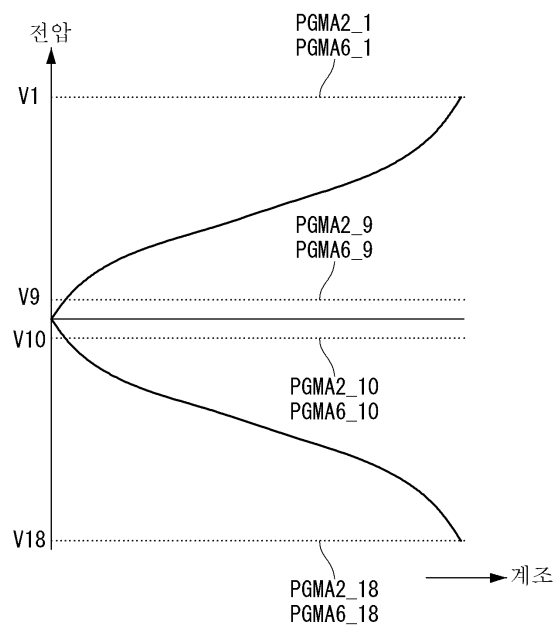
도면7



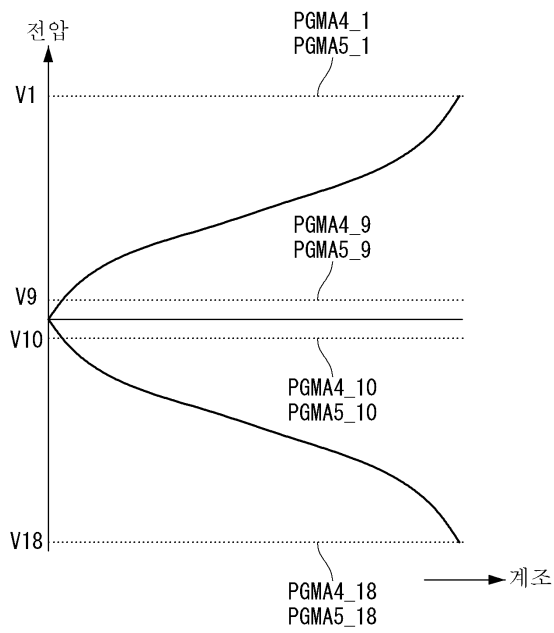
도면8



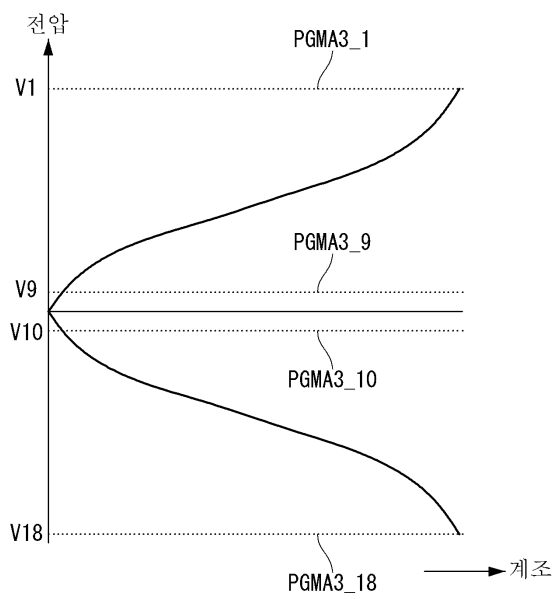
도면9



도면10



도면11



专利名称(译)	液晶显示器		
公开(公告)号	KR1020120072724A	公开(公告)日	2012-07-04
申请号	KR1020100134603	申请日	2010-12-24
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM SE YOUNG 김세영 JO Q HAING 조규행		
发明人	김세영 조규행		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3696 G09G3/3688 G09G2320/02 G09G2320/0673		
外部链接	Espacenet		

摘要(译)

目的：提供一个液晶显示器，通过根据源驱动IC输入与显示位置的优化公共电压和非极性伽马参考电压对称的直线极性的伽马参考电压来优化整个屏幕中的公共电压。组成：A可编程伽马IC产生具有直极性的第一，第二和第三局部伽马参考电压以及第一，第二和第三局部非极性伽马参考电压。第一源驱动IC通过将第一数字视频数据转换为具有直极性和非极性数据电压的第一局部伽马参考电压，通过将第一数字视频数据转换为第一局部非极性伽马参考电压，产生具有正极性的数据电压。第二源驱动IC通过将第二数字视频数据转换为具有直极性和非极性数据电压的第二局部伽马参考电压，通过将第二数字视频数据转换为第二局部非极性伽马参考电压，产生具有正极性的数据电压。第三源驱动IC (SIC3) 通过将第三数字视频数据转换为具有直极性和非极性数据电压的第三局部伽马参考电压，通过将第三数字视频数据转换为第三局部非极性伽马来产生具有直极性的数据电压参考电压。COPYRIGHT KIPO 2012

