



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0057369
(43) 공개일자 2012년06월05일

(51) 국제특허분류(Int. Cl.)
G02F 1/133 (2006.01) G09G 3/36 (2006.01)
(21) 출원번호 10-2010-0119068
(22) 출원일자 2010년11월26일
심사청구일자 2011년11월02일

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
문명국
대구광역시 달서구 장기로 145, 성당래미안e-편
한세상 204동 504호 (본리동)
남현택
대구광역시 동구 신암1동 신암뜨란채 106동 100
3호
김종우
경상북도 칠곡군 석적읍 남율리 우방신천지아파
트 205동 1501호
(74) 대리인
특허법인천문

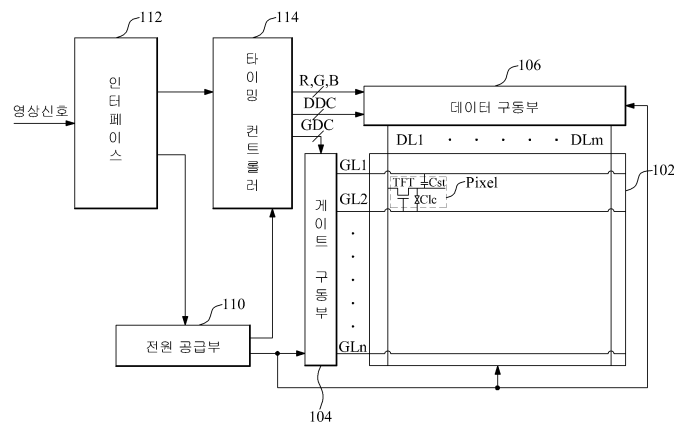
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명은 액정표시장치에 관한 것으로서, 타이밍 컨트롤러와 소스 드라이브 IC 간의 LVDS 영상신호를 송수신하는 전송라인을 통해 영상신호를 송수신하기에 앞서, 상기 전송라인을 통해 제어신호를 송수신할 수 있는, 액정표시장치를 제공하는 것을 기술적 과제로 한다. 이를 위해 본 발명에 따른 액정표시장치는, 화상을 출력하는 액정표시패널; 복수의 소스 드라이브 IC를 통해 상기 액정표시패널의 데이터 라인을 구동하는 데이터 구동부; 및 상기 소스 드라이브 IC로 제어신호와 영상신호가 결합된 패킷신호를 출력하는 타이밍 컨트롤러를 포함하며, 상기 소스 드라이브 IC는, 상기 타이밍 컨트롤러로부터 수신된 상기 패킷신호로부터 상기 제어신호와 영상신호를 분리하여 출력하는 것을 특징으로 한다.

대표도 - 도3



특허청구의 범위

청구항 1

화상을 출력하는 액정표시패널;

복수의 소스 드라이브 IC를 통해 상기 액정표시패널의 데이터 라인을 구동하는 데이터 구동부; 및

상기 소스 드라이브 IC로 제어신호와 영상신호가 결합된 패킷신호를 출력하는 타이밍 컨트롤러를 포함하며,

상기 소스 드라이브 IC는, 상기 타이밍 컨트롤러로부터 수신된 상기 패킷신호로부터 상기 제어신호와 영상신호를 분리하여 출력하는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 제어신호는,

POL, POL2, CSC, H2 중 적어도 어느 하나인 것을 특징으로 하는 액정표시장치.

청구항 3

제 1 항에 있어서,

상기 패킷신호는,

리셋신호가 출력되는 리셋신호영역, 상기 제어신호가 출력되는 제어신호영역 및 상기 영상신호가 출력되는 영상신호영역으로 구분되는 것을 특징으로 하는 액정표시장치.

청구항 4

제 3 항에 있어서,

상기 제어신호영역과 상기 영상신호영역 사이에는 더미신호가 출력되는 더미신호영역이 포함되는 것을 특징으로 하는 액정표시장치.

청구항 5

제 1 항에 있어서,

상기 타이밍 컨트롤러는,

시스템으로부터 복수의 신호를 수신하는 수신부;

상기 수신부로부터 수신된 신호들 중 영상신호를 재정렬하여 출력하는 영상신호 생성부;

상기 수신부로부터 수신된 신호들을 이용하여 상기 게이트 구동부와 상기 데이터 구동부를 제어하기 위한 제어신호들을 생성하는 제어신호 생성부;

상기 제어신호 생성부로부터 수신된 제어신호들 중 상기 소스 드라이브 IC로 전송될 제어신호를 상기 영상신호에 타이밍에 맞춰 결합시켜 상기 패킷신호를 생성하는 인코더; 및

상기 패킷신호를 상기 소스 드라이브 IC로 송신하기 위한 송신부를 포함하는 액정표시장치.

청구항 6

제 5 항에 있어서,

상기 인코더는,

상기 영상신호와 제어신호를 조합하여 출력시키기 위한 믹스; 및

상기 영상신호와 제어신호의 결합시점을 알려주기 위한 인코딩 타임 발생기를 포함하는 액정표시장치.

청구항 7

제 1 항에 있어서,

상기 소스 드라이브 IC는,

상기 타이밍 컨트롤러로부터 전송된 상기 패킷신호를 입력받는 입력부;

상기 입력부로부터 수신된 상기 패킷신호를 상기 영상신호 및 제어신호로 분리하기 위한 디코더;

상기 디코더에서 분리된 상기 영상신호를 출력하기 위한 영상신호 출력부;

상기 디코더에서 분리된 상기 제어신호를 출력하기 위한 제어신호 출력부; 및

상기 영상신호 출력부와 제어신호 출력부에서 출력되는 상기 영상신호와 제어신호들을 증폭시켜 출력하기 위한 레벨 쉬프터를 포함하는 액정표시장치.

청구항 8

제 7 항에 있어서,

상기 디코더는,

상기 영상신호와 제어신호를 분리하여 출력시키기 위한 디멀크스; 및

상기 영상신호와 제어신호의 분리시점을 알려주기 위한 디코딩 타임 발생기를 포함하는 액정표시장치.

청구항 9

제 1 항에 있어서,

상기 타이밍 컨트롤러와 상기 소스 드라이브 IC는,

상기 패킷신호에 포함되는 상기 제어신호의 수만큼의 핀수가 감소되는 것을 특징으로 하는 액정표시장치.

명세서

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것으로서, 특히, 핀수가 저감된 타이밍 컨트롤러를 포함하는 액정표시장치에 관한 것이다.

배경 기술

[0002] 최근, 정보기술(IT)의 발달에 따라 평판표시장치는 시각정보 전달매체로서 그 중요성이 한층 강조되고 있으며, 향후 보다 향상된 경쟁력을 확보하기 위해 저소비전력화, 박형화, 경량화, 고화질화 등이 요구되고 있다.

[0003] 평판표시장치의 대표적인 표시장치인 액정표시장치(LCD: Liquid Crystal Display)는 액정의 광학적 이방성을 이용하여 화상을 표시하는 장치로서, 박형, 소형, 저소비전력 및 고화질 등의 장점이 있다.

[0004] 이와 같은 액정표시장치는 매트릭스(matrix) 형태로 배열된 화소들에 화상정보를 개별적으로 공급하여, 그 화소들의 광투과율을 조절함으로써, 원하는 화상을 표시할 수 있도록 한 표시장치이다. 따라서, 액정 표시장치는 화상을 구현하는 최소 단위인 화소들이 액티브 매트릭스 형태로 배열되는 액정표시패널과, 상기 액정 표시패널을 구동하기 위한 구동부를 구비한다. 그리고, 상기 액정표시장치는 스스로 발광하지 못하기 때문에 액정표시장치에 광을 공급하는 백라이트 유닛이 구비된다. 상기 구동부는 타이밍 컨트롤러를 비롯하여 데이터 구동부와 게이트 구동부를 구비한다.

[0005] 도 1은 종래 기술에 의한 액정표시장치에서 타이밍 컨트롤러와 소스 드라이브 IC 간의 핀 연결 구조를 나타낸 예시도이다. 또한, 도 2는 종래의 액정표시장치의 타이밍 컨트롤러에서 출력되는 영상신호 및 제어신호의 파형을 나타낸 예시도이다.

- [0006] 즉, 종래의 액정표시장치는, 게이트 구동부와 데이터 구동부의 구동을 제어하기 위한 게이트 제어신호 및 데이터 제어신호를 출력함과 아울러, 디지털 비디오 데이터(RGB)를 샘플링한 후에 재정렬하여 출력하는 타이밍 컨트롤러(14), 게이트 제어신호에 응답하여 액정표시패널의 각 게이트라인에 스캔펄스를 공급하는 게이트 구동부(미도시), 데이터 제어신호에 응답하여 액정표시패널의 각 데이터라인에 화소신호를 공급하는 데이터 구동부(미도시) 및 스캔펄스와 화소신호에 의해 구동되는 액정셀들을 매트릭스 형태로 구비하여 화상을 표시하는 액정표시패널(미도시)을 포함하여 구성된다. 한편, 데이터 구동부는 복수의 소스 드라이브 IC(또는 데이터 드라이버 IC라고도 함)(17)를 포함하여 구성되어 있다.
- [0007] 여기서, 타이밍 컨트롤러(14)는 시스템으로부터 공급되는 수직/수평 동기신호와 클럭신호를 이용하여 게이트 구동부를 제어하기 위한 게이트 제어신호와 데이터 구동부를 제어하기 위한 데이터 제어신호를 출력하는 기능 및 시스템으로부터 입력되는 디지털 비디오 데이터(영상신호)(RGB)를 샘플링한 후에 이를 재정렬하여 데이터 구동부에 공급하는 기능을 수행한다.
- [0008] 데이터 구동부는 타이밍 컨트롤러로부터 전송되어온 영상신호를 수신하여 액정표시패널의 데이터 라인을 구동하기 위한 복수의 소스 드라이브 IC(17)를 포함하여 구성되어 있다.
- [0009] 한편, 상기한 바와 같은 종래의 액정표시장치에 있어서, 타이밍 컨트롤러(T-Con)(14)가 mini-LVDS의 영상신호와 제어신호를 분리하여 소스 드라이브 IC(17)로 보냄에 따라, 타이밍 컨트롤러의 핀수는 증가하게 된다.
- [0010] 즉, 도 1에 도시된 바와 같이, 타이밍 컨트롤러(14)에는 소스 드라이브 IC로 영상신호(mini-LVDS)를 전송하기 위해 14개의 핀이 형성되어 있으며(FHD 기준)(이하, 동일), 소스 드라이브 IC로 제어신호(SOE, POL, POL2, CSC, H2 등)를 전송하기 위해 5개의 핀이 형성되어 있다. 따라서, 타이밍 컨트롤러로부터 출력되는 영상신호와 제어신호는 도 2에 도시된 바와 같이, 서로 다른 19개의 파형을 형성하고 있다.
- [0011] 또한, 소스 드라이브 IC(17) 역시 영상신호와 제어신호를 분리하여 입력받아야 하기 때문에, 타이밍 컨트롤러(14)와 동일한 숫자의 핀이 형성되어 있다.
- [0012] 즉, 종래의 액정표시장치에서는 영상신호와 제어신호를 구분하여 송신 및 수신하여야 하기 때문에, 타이밍 컨트롤러와 소스 드라이브 IC에는 총 19개의 핀이 형성되어야 함으로, 타이밍 컨트롤러뿐만 아니라, 소스 드라이브 IC의 사이즈가 증가하게된다는 문제점이 있다.
- [0013] 또한, 종래의 액정표시장치에서는 상기한 바와 같이 타이밍 컨트롤러와 소스 드라이브 IC간에 형성되어 있는 많은 숫자의 핀 및 라인을 따라 영상신호 및 제어신호가 전송되고 있기 때문에, 핀(PIN) 및 패키지(PACKAGE)ロス(Loss)가 증가한다는 문제점이 발생하고 있다.

발명의 내용

해결하려는 과제

- [0014] 본 발명은 상술한 문제점을 해결하기 위한 것으로서, 타이밍 컨트롤러와 소스 드라이브 IC 간의 LVDS 영상신호를 송수신하는 전송라인을 통해 영상신호를 송수신하기에 앞서, 상기 전송라인을 통해 제어신호를 송수신할 수 있는, 액정표시장치를 제공하는 것을 기술적 과제로 한다.

과제의 해결 수단

- [0015] 상술한 기술적 과제를 달성하기 위한 본 발명에 따른 액정표시장치는, 화상을 출력하는 액정표시패널; 복수의 소스 드라이브 IC를 통해 상기 액정표시패널의 데이터 라인을 구동하는 데이터 구동부; 및 상기 소스 드라이브 IC로 제어신호와 영상신호가 결합된 패킷신호를 출력하는 타이밍 컨트롤러를 포함하며, 상기 소스 드라이브 IC는, 상기 타이밍 컨트롤러로부터 수신된 상기 패킷신호로부터 상기 제어신호와 영상신호를 분리하여 출력하는 것을 특징으로 한다.

발명의 효과

- [0016] 상술한 해결 수단에 따라 본 발명은, 타이밍 컨트롤러와 소스 드라이브 IC 간의 mini-LVDS 영상신호를 송수신하는 전송라인을 통해 영상신호를 송수신하기에 앞서, 상기 전송라인을 통해 제어신호를 송수신함으로써, 타이밍 컨트롤러 및 소스 드라이브 IC의 핀수를 줄일 수 있다는 효과를 제공한다. 즉, 본 발명은 타이밍 컨트롤러와 소스 드라이브 IC에서 제어신호인 POL, POL2, CSC, H2를 송수신하기 위한 네 개의 핀을 삭제할 수 있다.

[0017] 또한, 본 발명은 소스 드라이브 IC의 사이즈(size)를 축소시킬 수 있다는 효과를 제공한다. 즉, 소스 드라이브 IC의 옵션(option)신호와 제어신호들이 타이밍 컨트롤러의 mini-LVDS 영상신호를 수신하는 핀을 통해 입력되기 때문에 소스 드라이브 IC의 사이즈가 줄어들 수 있다.

[0018] 또한, 본 발명은 인쇄회로기판(PCB) 상의 연결 선 감소와, 소스 드라이브 IC 옵션 저항을 없앨 수 있음에 따라, 인쇄회로기판의 사이즈를 감소시킬 수 있다는 효과를 제공한다.

도면의 간단한 설명

[0019] 도 1은 종래 기술에 의한 액정표시장치에서 타이밍 컨트롤러와 소스 드라이브 IC 간의 핀 연결 구조를 나타낸 예시도.

도 2는 종래의 액정표시장치의 타이밍 컨트롤러에서 출력되는 영상신호 및 제어신호의 파형을 나타낸 예시도.

도 3은 본 발명에 따른 액정표시장치의 일실시예 구성도.

도 4는 본 발명에 따른 액정표시장치에 적용되는 타이밍 컨트롤러와 소스 드라이브 IC의 내부 구성을 나타낸 예시도.

도 5는 본 발명에 따른 액정표시장치에 적용되는 타이밍 컨트롤러에서 출력되는 패킷신호의 파형을 나타낸 예시도.

도 6은 본 발명에 따른 액정표시장치에서 타이밍 컨트롤러와 소스 드라이브 IC 간의 핀 연결 구조를 나타낸 예시도.

도 7은 본 발명에 따른 액정표시장치의 타이밍 컨트롤러에서 출력되는 파형의 시뮬레이션 결과를 나타내는 예시도.

발명을 실시하기 위한 구체적인 내용

[0020] 이하, 첨부된 도면을 참조하여 본 발명의 실시 예에 대해 상세히 설명한다.

[0021] 도 3은 본 발명에 따른 액정표시장치의 일실시예 구성도이다.

[0022] 본 발명에 따른 액정표시장치는 도 3에 도시된 바와 같이, 게이트 구동부(104)와 데이터 구동부(106)의 구동을 제어하기 위한 게이트 제어신호(GDC) 및 데이터 제어신호(DDC)를 출력함과 아울러, 디지털 비디오 데이터(RGB)(이하, 간단히 '영상신호'라 함)를 샘플링한 후에 재정렬하여 출력하는 타이밍 컨트롤러(114), 게이트 제어신호에 응답하여 액정 패널의 각 게이트라인(GL1?GLn)에 스캔펄스를 공급하는 게이트 구동부(104), 데이터 제어신호에 응답하여 액정 패널의 각 데이터라인(DL1?DLm)에 화소신호를 공급하는 데이터 구동부(106) 및 스캔펄스와 화소신호에 의해 구동되는 액정셀들을 매트릭스 형태로 구비하여 화상을 표시하는 액정표시패널(102)을 포함하여 구성된다. 이외에도, 액정표시장치에는 상기 구성요소들에 필요한 전원을 공급하기 위한 전원공급부(110)가 포함되어 있다.

[0023] 타이밍 컨트롤러(114)는 시스템(미도시)으로부터 공급되는 수직/수평 동기신호와 클럭신호를 이용하여 게이트 구동부(104)를 제어하기 위한 게이트 제어신호와 데이터 구동부(106)를 제어하기 위한 데이터 제어신호를 출력한다. 또한, 타이밍 컨트롤러는 상기 시스템으로부터 입력되는 영상신호를 샘플링한 후에 이를 재정렬하여 데이터 구동부(3)에 공급한다.

[0024] 게이트 구동부(104)는 타이밍 컨트롤러로부터 입력되는 게이트 제어신호에 응답하여 게이트라인(GL1?GLn)에 스캔펄스(게이트 펄스 또는 게이트 온신호)를 순차적으로 공급하고, 이에 의해 액정표시패널(102) 상의 해당 수평라인의 박막트랜지스터(TFT)들이 턴온된다.

[0025] 데이터 구동부(106)는 타이밍 컨트롤러로부터 입력되는 데이터 제어신호에 응답하여 영상신호(RGB)를 계조값에 대응하는 아날로그의 화소신호(데이터신호 또는 데이터전압)로 변환하며, 이렇게 변환된 화소신호가 액정 패널(4)상의 데이터라인(DL1?DLm)에 공급된다.

[0026] 액정표시패널(102)은 매트릭스 형태로 배열된 다수의 액정셀(Clc)들과, 데이터라인(DL1?DLm)과 게이트라인(GL1?GLn)의 교차부마다 형성되어 상기 액정셀(CLC)들 각각에 접속된 박막 트랜지스터(TFT)를 구비하여 화상을 표시한다.

[0027] 한편, 상기한 바와 같은 구성을 갖는 액정표시장치에 있어서, 타이밍 컨트롤러는 인터페이스(112)를 통해 외

부의 시스템으로부터 동기신호(Vsync, Hsync)와, 클럭신호(DCLK)와, 데이터 인에이블신호(DE) 및 영상신호 등을 입력받는다.

- [0028] 이러한 인터페이스(112)는, 아날로그 입력 영상신호를 디지털 영상신호로 변환하고 영상신호에 포함된 동기신호를 검출하게 된다. 여기서, 시스템으로부터 입력된 영상신호는 저전압 차등신호(Low Voltage Differential Signal)(LVDS) 방식을 이용하여 타이밍 컨트롤러에 공급된다.
- [0029] 도 4는 본 발명에 따른 액정표시장치에 적용되는 타이밍 컨트롤러와 소스 드라이브 IC의 내부 구성을 나타낸 예시도이다.
- [0030] 본 발명에 적용되는 타이밍 컨트롤러(114)는 시스템으로부터 공급된 압축 영상신호를 재정렬하여 소스 드라이브 IC로 전송하고, 시스템으로부터 공급된 클럭신호(CLK)와, 수평동기신호(Hsync)와, 수직동기신호(Vsync) 및 데이터 인에이블 신호(DE)를 이용해서 게이트 제어신호(GDC)와 데이터 제어신호(DDC)를 생성하여 게이트 구동부(104) 및 데이터 구동부(106)로 전송한다.
- [0031] 이를 위해 타이밍 컨트롤러(114)는 도 4에 도시된 바와 같이, 시스템으로부터 각종 정보를 수신하는 수신부(202), 수신부로부터 수신된 신호들 중 영상신호를 재정렬하여 출력하는 영상신호 생성부(204), 수신부로부터 수신된 신호들을 이용하여 게이트 구동부와 데이터 구동부를 제어하기 위한 각종 제어신호를 생성하는 제어신호 생성부(206), 제어신호 생성부로부터 수신된 제어신호들 중 소스 드라이브 IC로 전송될 제어신호를 영상신호 생성부로부터 생성된 영상신호에 타이밍에 맞춰 결합시켜 제어신호가 결합된 영상신호(이하, 간단히 '패킷신호'라 함)를 생성하기 위한 인코더(208) 및 패킷신호를 소스 드라이브 IC(117)로 송신하기 위한 송신부(214)를 포함하여 구성된다.
- [0032] 수신부(202)는 시스템으로부터 각종 신호(클럭신호(CLK), 수평동기신호(Hsync), 수직동기신호(Vsync) 및 데이터 인에이블(DE) 등) 및 압축 영상신호를 공급받는 기능을 수행한다.
- [0033] 제어신호 생성부(206)는 수신부를 통해 수신된 각종 신호를 이용하여 게이트 제어신호 및 데이터 제어신호를 생성하는 기능을 수행한다.
- [0034] 영상신호 생성부(204)는 수신부를 통해 수신된 압축 영상신호를 재정렬하여 출력하는 기능을 수행한다.
- [0035] 인코더(208)는 입력되는 영상신호, 제어신호 및 설정신호들을 타이밍에 맞게 조합하여 출력시켜주는 기능을 수행하는 것으로서, 상기한 바와 같이 세 가지의 신호를 입력받는다. 첫째, 인코더는 R/G/B 영상신호(Image Data)를 입력받는다. 영상신호는 액정표시패널에 화상을 출력하기 위한 정보를 포함하고 있는 신호이다. 둘째, 인코더는 제어신호를 입력받는다. 여기서 제어신호는 특히, 소스 드라이브 IC를 제어하기 위한 제어신호로서, SOE, POL1, POL2, H2DOT, CSC 등이 있다. 셋째, 인코더는 소스 드라이브 IC 설정신호(이하, 간단히 '설정신호'라 함)를 입력받는다. 설정신호는 소스 드라이브 IC를 셋팅하기 위한 신호로서, Power mode(PWRC1,2,3), Pair setting(PAIR) 등을 포함한다. 설정신호는 타이밍 컨트롤러에 포함되어 있거나 또는 타이밍 컨트롤러와 독립된 저장부(EEPROM)(216)로부터 인코더로 전송된다.
- [0036] 여기서, 인코더(Packet Encoder)는 세부적으로는 도 4에 도시된 바와 같이, 믹스(MUX)(210) 및 인코딩 타임 발생기(Encoding Timing Generator)(212)를 포함하여 구성된다. 믹스(210)는, 상기한 바와 같은 세 가지의 신호를 조합하는 기능을 수행하며, 인코딩 타임 발생기(212)는 상기한 바와 같은 세 가지 신호의 패킷화를 위해, 영상신호, 제어신호 및 설정신호들이 결합되는 시점을 알려주는 역할을 한다. 즉, 인코딩 타임 발생기는 영상신호에 포함될 제어신호가 결합 또는 출력될 시점을 알려줌으로써, 제어신호가 영상신호에 결합될 수 있도록 하는 기능을 수행한다. 한편, 믹스가 영상신호에 제어신호를 결합시켜 출력하는 기능에 대하여는 이하에서 도 5를 참조하여 상세히 설명된다.
- [0037] 송신부(214)는 인코더에서 조합된 패킷신호를 소스 드라이브 IC(117)로 출력하는 기능을 수행한다.
- [0038] 한편, 소스 드라이브 IC(117)는 타이밍 컨트롤러에서 출력된 패킷신호를 수신하여, 다시 세 개의 신호, 즉, 영상신호, 제어신호 및 설정신호로 분리하여 출력하기 위한 것으로서, 전체적인 기능은 상기한 바와 같은 타이밍 컨트롤러의 기능과 반대되는 기능을 수행한다.
- [0039] 이를 위해 소스 드라이브 IC는 도 4에 도시된 바와 같이, 타이밍 컨트롤러로부터 전송된 패킷신호를 입력받는

입력부(302), 입력부로부터 수신된 패킷신호를 영상신호, 제어신호 및 설정신호로 분리하기 위한 디코더(304), 디코더에서 분리된 영상신호를 출력하기 위한 영상신호 출력부(310), 디코더에서 분리된 제어신호를 출력하기 위한 제어신호 출력부(312), 디코더에서 분리된 설정신호를 출력하기 위한 설정신호 출력부(314) 및 영상신호 출력부와 제어신호 출력부에서 출력되는 신호들을 증폭시켜 출력하기 위한 레벨 쉬프터(316)를 포함하여 구성된다.

[0040] 입력부(302)는 타이밍 컨트롤러로부터 전송된 패킷신호를 입력받는 기능을 수행한다.

[0041] 디코더(304)는 패킷신호에 포함되어 있는 제어신호를 타이밍에 맞게 영상신호로부터 분리하여 출력하는 기능을 수행하는 것으로서, 상기한 바와 같은 패킷신호를 세 가지의 신호, 즉, 영상신호, 제어신호 및 설정신호로 분리하는 기능을 수행한다.

[0042] 이를 위해 디코더(Packet Decoder)는 세부적으로는 도 4에 도시된 바와 같이, 디믹스(DeMUX)(306) 및 디코딩 타임 발생기(Decoding Timing Generator)(308)를 포함하여 구성된다. 여기서, 디믹스(306)가 영상신호로부터 제어신호를 분리하는 방법은 이하에서 도 5를 참조하여 상세히 설명된다.

[0043] 영상신호 출력부(310), 제어신호 출력부(312) 및 설정신호 출력부(314)는 디코더에서 생성된 제어신호, 영상신호 및 설정신호를 각각 출력하는 기능을 수행하고 있으며, 레벨 쉬프터(316)는 상기 각 출력부에서 출력되는 신호를 증폭시키는 기능을 수행한다.

[0044] 도 5는 본 발명에 따른 액정표시장치에 적용되는 타이밍 컨트롤러에서 출력되는 패킷신호의 파형을 나타낸 예시도로서, 타이밍 컨트롤러에서는 출력 파형이 되며, 소스 드라이브 IC에서는 입력 파형이 된다. 또한, 도 6은 본 발명에 따른 액정표시장치에서 타이밍 컨트롤러와 소스 드라이브 IC 간의 핀 연결 구조를 나타낸 예시도이다.

[0045] 본 발명에 따른 타이밍 컨트롤러는 상기한 바와 같이, 소스 드라이브 IC로 mini-LVDS 영상신호를 송신하는 전송라인을 통해 영상신호를 송신하기에 앞서, 상기 전송라인을 통해 제어신호를 송신하기 위한 것으로서, 소스 드라이브 IC로 전송되는 제어신호들 중 SOE를 제외한 POL, POL2, CSC, H2를 모두 영상신호(mini-LVDS)에 포함시켜 패킷신호의 형태로 전송한다. 즉, 소스 드라이브 IC로 전송되는 제어신호들로는, 각 소스 드라이브 IC(D-IC)의 데이터 출력 기간을 제어하는 소스 출력 이네이블 신호(SOE), 출력 데이터의 극성을 제어하는 수직 극성 제어 신호(POL), 수평 극성제어신호(H1/H2DOT) 및 데이터라인들의 차징 웨어링을 제어하는 차징 웨어링 제어 신호(CSC)가 있으며, 본 발명은 이 중, POL, POL2, CSC, H2를 영상신호(mini-LVDS)에 포함시켜 패킷신호의 형태로 전송하는 것을 특징으로 하고 있다.

[0046] 이를 위해 본 발명은, 도 5의 (a)에 도시된 바와 같이, 본 발명은 영상신호를 전송하는 14개의 핀(또는 전송라인)을 통해 영상신호(mini-LVDS)를 전송하기에 앞서, 제어신호(POL, POL2, CSC, H2DOT)를 전송하고 있으며, 이와 같이, 제어신호가 포함되어 있는 영상신호를 패킷신호라 한다. 여기서, 패킷신호에는 기타 설정신호(PWRC, PAIR, INVC)가 포함될 수도 있다.

[0047] 즉, 패킷신호는 도 5에 도시된 바와 같이, 리셋신호가 포함되어 있는 리셋신호영역(D), 제어신호와 더미(Dummy)신호가 포함되어 있는 제어신호영역(A)과 더미신호영역(B) 및 영상신호가 포함되어 있는 영상신호영역(C)을 포함하여 구성될 수 있다.

[0048] 한편, 상기한 바와 같이, 제어신호가 영상신호에 포함되어 출력되기 때문에 제어신호 출력을 위한 별도의 핀이 요구되지 않는다. 즉, 본 발명에 적용되는 타이밍 컨트롤러와 소스 드라이브 IC는 도 6에 도시된 바와 같이, 패킷신호를 전송하는 14개의 핀(PIN)과 제어신호 중 SOE를 전송하기 위한 하나의 핀만이 요구되므로, 총 15개의 핀만이 요구된다. 따라서, 타이밍 컨트롤러와 소스 드라이브 IC의 핀 수는, 도 1에 도시된 종래의 액정표시장치와 비교해 볼 때, 네 개가 감소될 수 있다. 또한, 설정신호가 영상신호에 포함되어 출력되기 때문에 PCB 사이즈(size)를 감소시킬 수도 있다.

[0049] 즉, 종래의 타이밍 컨트롤러가 19핀을 이용하여 제어신호 및 영상신호를 소스 드라이브 IC로 전송하였다면, 본 발명에 따른 타이밍 컨트롤러는 4핀이 줄어든 총 15핀만을 가지고서도 종래의 타이밍 컨트롤러와 동일한 신호들을 전송할 수 있다.

[0050] 이하에서는 도 5의 (a) 및 (b)를 참조하여, 본 발명에 따른 타이밍 컨트롤러에서 출력되는 패킷신호의 구성이

상세히 설명된다. 한편, 이하의 설명에서는 (a)에 도시된 바와 같이, 제어신호 중 POL1이 하이레벨(1), POL2가 하이레벨(1), H2가 로우레벨(0), CSC가 하이레벨(1)을 갖는다고 가정한다.

- [0051] 우선, 타이밍 컨트롤러, 보다 구체적으로 인코더는 리셋신호영역(D)의 리셋신호가 종료된 후, 제1클럭(①)의 로우레벨에서 제2클럭(②)의 하이레벨로 라이징되는 기간 동안, 하이레벨의 POL1 제어신호를 패킷신호로 출력한다.
- [0052] 다음으로, 인코더는 제2클럭(②)의 하이레벨에서 로우레벨로 폴링되는 기간 동안, 하이레벨의 POL2 제어신호를 패킷신호로 출력한다.
- [0053] 다음으로, 인코더는 제2클럭(②)의 로우레벨에서 제3클럭(③)의 하이레벨로 라이징되는 기간 동안, 하이레벨의 CSC 제어신호를 패킷신호로 출력한다.
- [0054] 마지막으로, 인코더는 제5클럭(⑤)의 하이레벨에서 로우레벨로 폴링되는 기간동안 로우레벨의 H2DOT 제어신호를 패킷신호로 출력한다.
- [0055] 즉, 본 발명은 상기한 바와 같이, 타이밍 컨트롤러가, 클럭이 하이레벨에서 로우레벨로 변하거나 또는 로우레벨에서 하이레벨로 변하는 기간 동안 네 개의 제어신호를 패킷신호로 출력하는 것을 특징으로 하고 있다.
- [0056] 한편, 타이밍 컨트롤러는 상기 과정을 통해 제어신호를 패킷신호로 출력하는 방법과 동일한 방법을 적용하여, NA(H), PWRC1,2,3, PAIR, INVC1,2 등과 같은 설정신호들을 패킷신호로 출력할 수 있다.
- [0057] 상기 과정을 통해 제어신호영역(A)에 제어신호를 포함시킨 타이밍 컨트롤러는, 이후에 연속되는 더미신호영역(B) 동안 로우레벨의 더미(Dummy)신호들을 패킷신호로 출력함으로써, 더미신호영역(B) 이후에 연속되는 영상신호영역(C)과 제어신호영역(A)을 구분시키고 있다.
- [0058] 한편, 상기과 같은 매칭을 위하여, 타이밍 컨트롤러는 제어신호가 패킷신호에 포함되는 클럭에 대한 매칭정보들을 저장하고 있으며, 이러한 매칭정보는 소스드라이버 IC에도 동일하게 저장되어 있기 때문에, 후술되는 바와 같이, 소스 드라이브 IC가 패킷신호에서 제어신호와 영상신호를 분리해 낼 수 있다.
- [0059] 즉, 타이밍 컨트롤러가 상기한 바와 같은 과정들을 통해 제어신호 또는 설정신호가 포함된 영상신호를 패킷신호로 하여 소스 드라이브 IC로 전송하면, 소스 드라이브 IC는 상기 과정의 역과정을 수행하여, 패킷신호로부터 영상신호, 제어신호 및 설정신호를 분리하게 된다.
- [0060] 예를 들어, 소스 드라이브 IC, 보다 구체적으로 디코더는, 입력된 패킷신호에서, 제1클럭(①)의 로우레벨에서 제2클럭(②)의 하이레벨로 라이징되는 기간 동안, 하이레벨의 POL1 제어신호를 분리하여 제어신호 출력부로 전송한다.
- [0061] 다음으로, 디코더는 제2클럭(②)의 하이레벨에서 로우레벨로 폴링되는 기간 동안, 하이레벨의 POL2 제어신호를 분리하여 제어신호 출력부로 전송한다.
- [0062] 다음으로, 디코더는 제2클럭(②)의 로우레벨에서 제3클럭(③)의 하이레벨로 라이징되는 기간 동안, 하이레벨의 CSC 제어신호를 분리하여 제어신호 출력부로 전송한다.
- [0063] 마지막으로, 디코더는 제5클럭(⑤)의 하이레벨에서 로우레벨로 폴링되는 기간동안 로우레벨의 H2DOT 제어신호를 분리하여 제어신호 출력부로 전송한다.
- [0064] 이후, 디코더는 제7클럭(⑦), 제8클럭(⑧), 제9클럭(⑨)이 출력되는 동안에는 더미신호영역(B)으로 판단하며, 더미신호영역 이후에 출력되는 클럭에 맞춰 출력되는 신호들을 영상신호 출력부로 전송한다.
- [0065] 즉, 상기한 바와 같은 본 발명에 따른 액정표시장치는 패킷신호(Packet mini-LVDS)를 적용하여, 종래와 동일한 성능을 수행하면서도, 타이밍 컨트롤러의 핀 수를 저감시킬 수 있다
- [0066] 부연하여 설명하면, 종래의 타이밍 컨트롤러들은 소스 드라이브 IC와의 인터페이스(interface)로, 영상신호들은 mini-LVDS로 전송하고, 제어신호들은 TTL 출력으로 전송하였으나, 본 발명은 영상신호인 mini-LVDS 신호를 전송하는 전송라인을 통해 제어신호(POL, POL2, CSC, H2, 기타 D-IC option)와 영상신호를 함께 전송함으로써, 타이밍 컨트롤러 및 소스 드라이브 IC의 핀수를 저감할 수 있다는 특징을 가지고 있다.
- [0067] 도 7은 본 발명에 따른 액정표시장치의 타이밍 컨트롤러에서 출력되는 파형의 시뮬레이션 결과를 나타내는 예

시도이다.

[0068] 즉, 본 발명은 상기한 바와 같이, 타이밍 컨트롤러에서 소스 드라이브 IC로 전송되는 패킷신호를 리셋신호영역(D), 제어신호영역(A), 데이터신호영역(B) 및 영상신호영역(C)으로 구분하여, 제어신호와 영상신호를 함께 송수신함으로써, 제어신호를 전송하기 위해 요구되는 타이밍 컨트롤러와 소스 드라이브 IC의 핀수를 줄일 수 있다는 특징을 가지고 있다.

[0069] 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로, 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

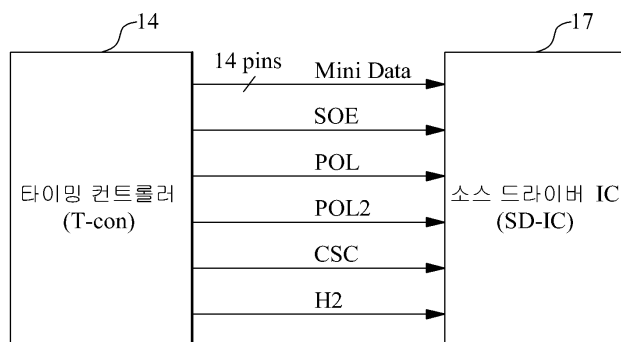
부호의 설명

[0070]

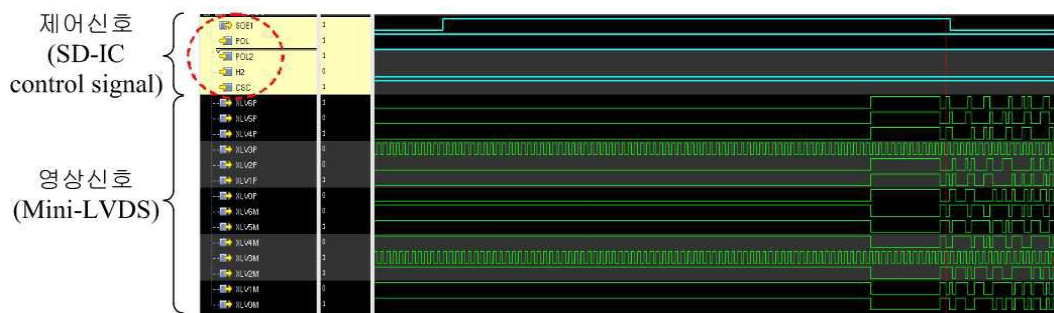
104 : 게이트 구동부	106 : 데이터 구동부
114 : 타이밍 컨트롤러	102 : 액정표시패널
110 : 전원공급부	117 : 소스 드라이브 IC

도면

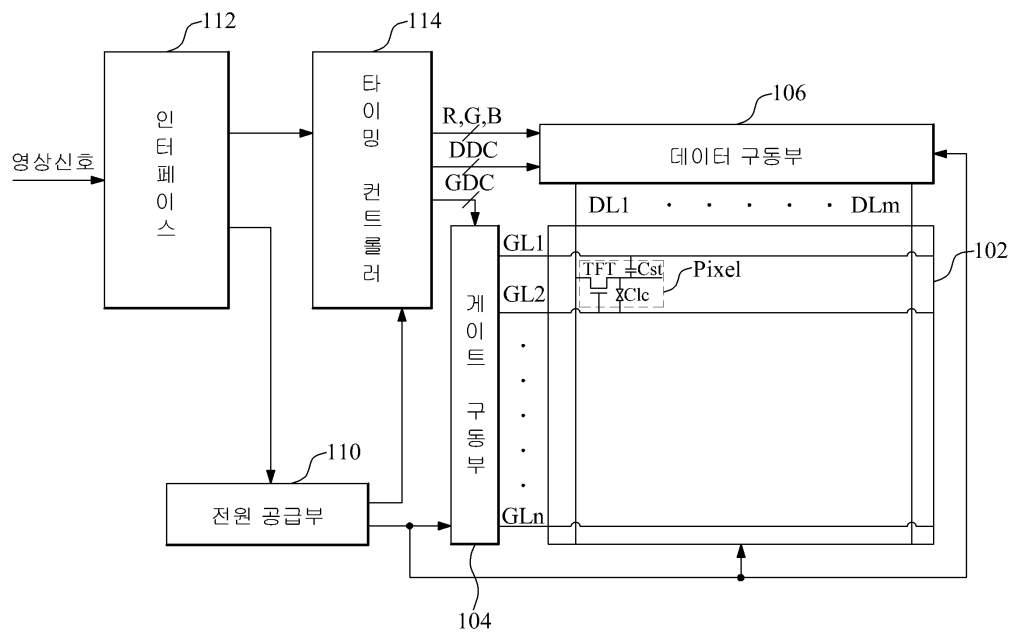
도면1



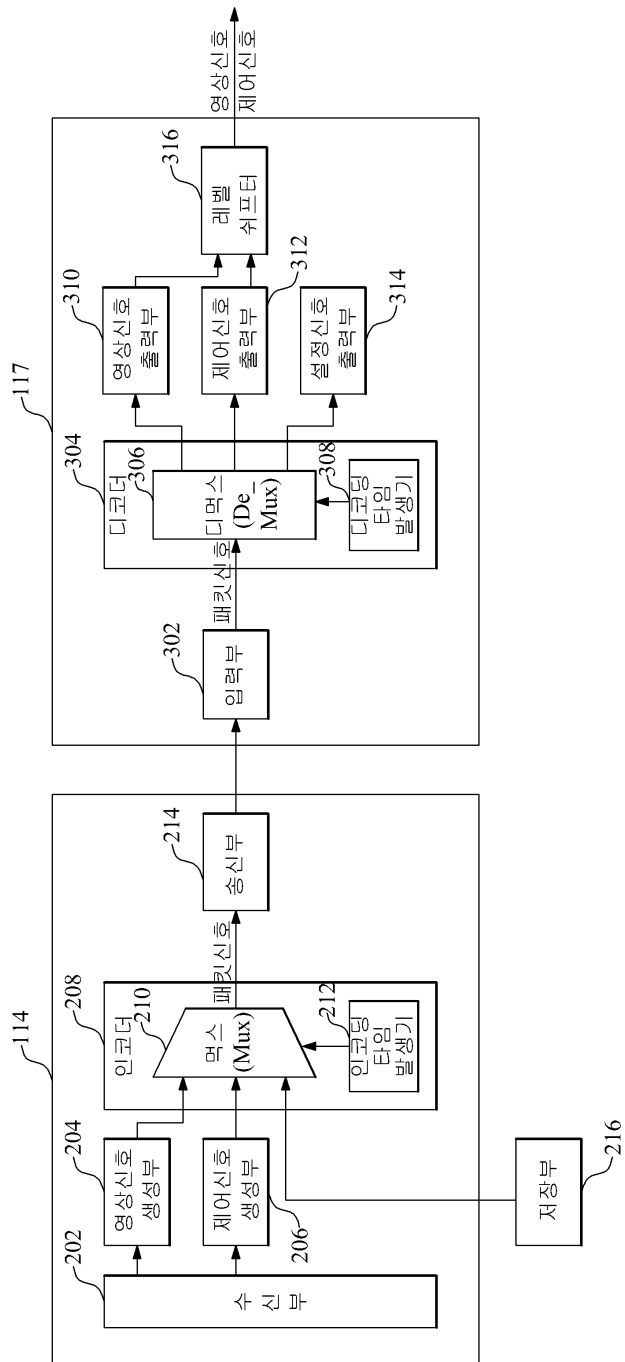
도면2



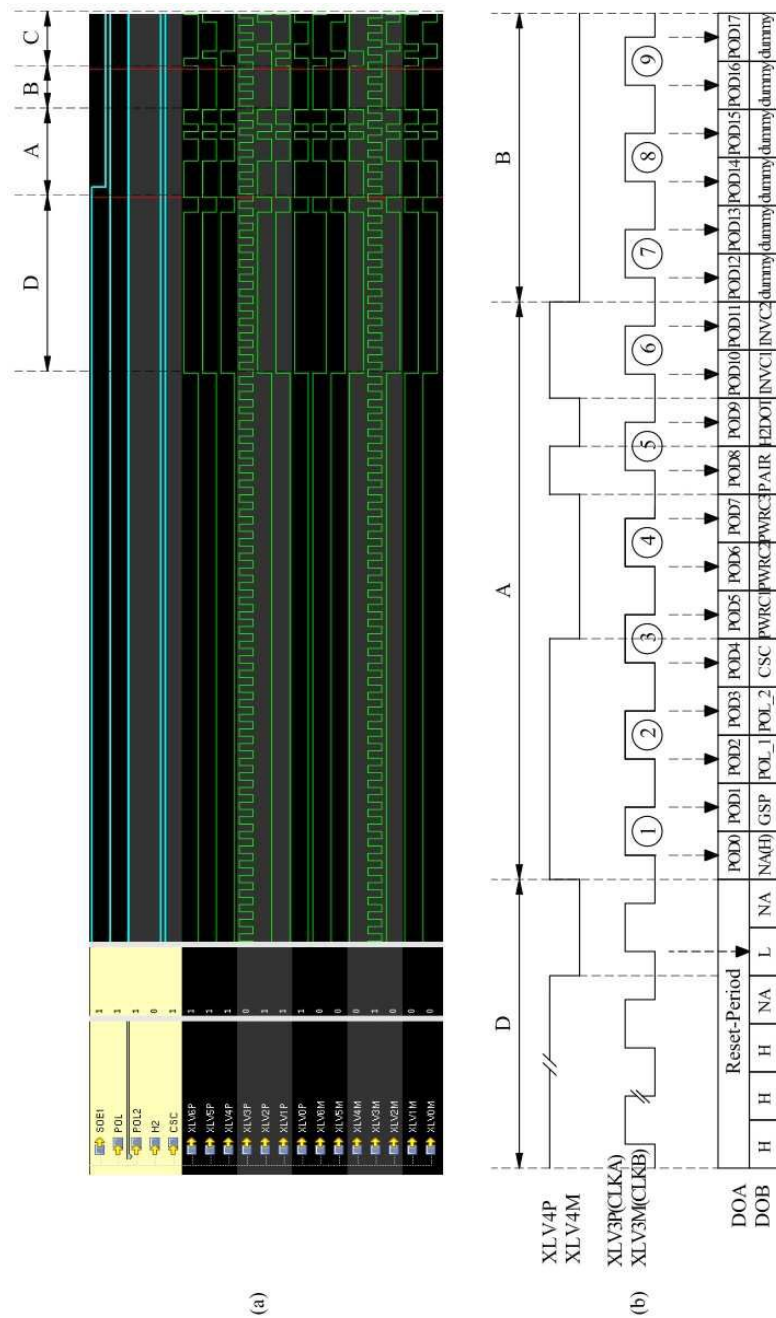
도면3



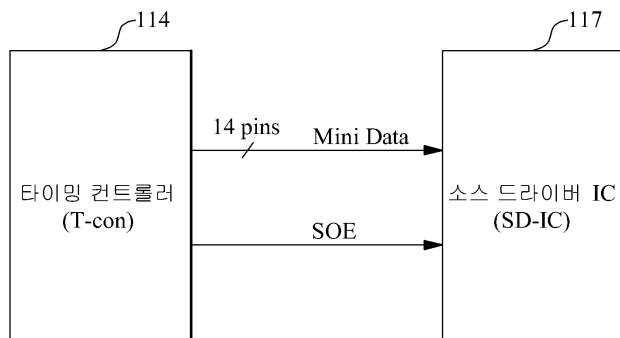
도면4



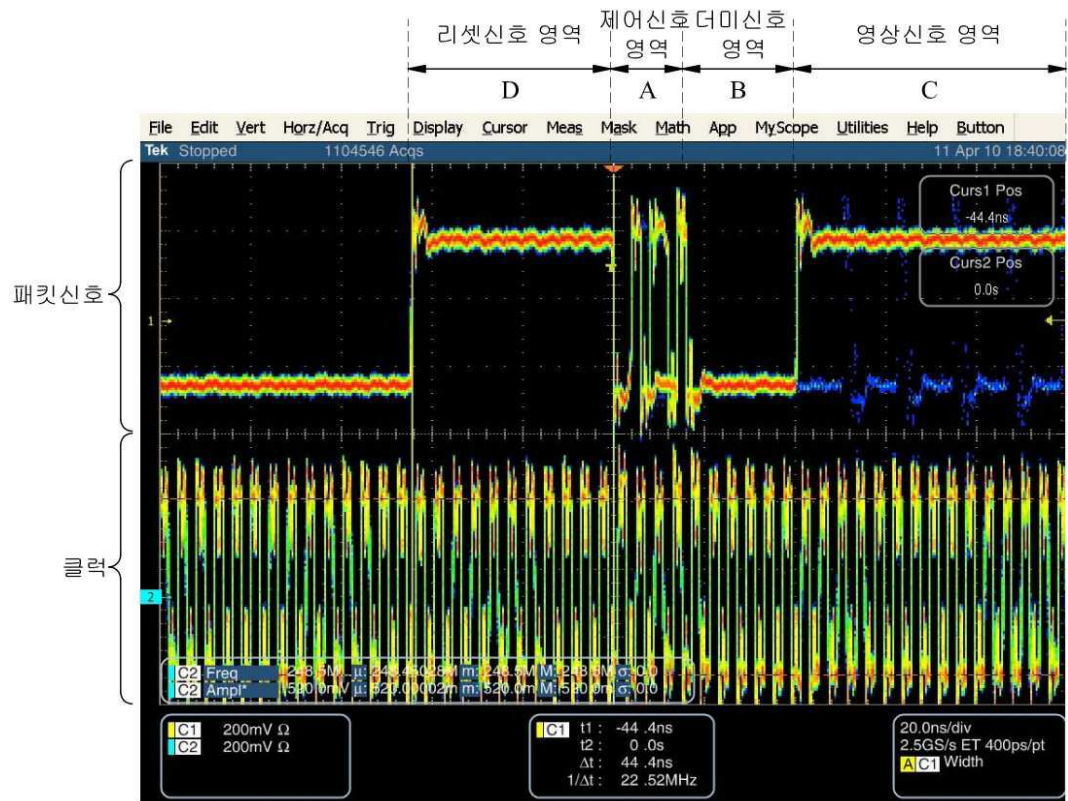
도면5



도면6



도면7



专利名称(译)	液晶显示器		
公开(公告)号	KR1020120057369A	公开(公告)日	2012-06-05
申请号	KR1020100119068	申请日	2010-11-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	MOON MYUNG KOOK 문명국 NAM HYUN TAEK 남현택 KIM JONG WOO 김종우		
发明人	문명국 남현택 김종우		
IPC分类号	G02F1/133 G09G3/36		
CPC分类号	G09G3/3611 G09G2310/08 G09G2370/08 G09G2370/14		
其他公开文献	KR101257220B1		
外部链接	Espacenet		

摘要(译)

液晶显示装置和液晶显示装置技术领域本发明涉及一种液晶显示装置和液晶显示装置，其能够在通过传输线发送和接收视频信号之前通过传输线发送和接收控制信号，以在定时控制器和源驱动IC之间发送和接收LVDS视频信号。鉴于上述问题作出了本发明。为此，根据本发明的液晶显示装置包括：用于输出图像的液晶显示板；用于通过多个源驱动IC驱动液晶显示板的数据线的数据驱动器和用于输出其中控制信号和视频信号耦合到源驱动IC的分组信号的定时控制器，并且将控制信号和视频信号与从定时控制器接收的分组信号分离，并输出分离的信号。公开的专利申请No.10-2012-0057369

