



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년12월19일
(11) 등록번호 10-1930000
(24) 등록일자 2018년12월11일

(51) 국제특허분류(Int. Cl.)
G02F 1/1343 (2006.01) C09K 13/00 (2006.01)
G02F 1/1337 (2006.01)
(21) 출원번호 10-2012-0018064
(22) 출원일자 2012년02월22일
심사청구일자 2017년01월20일
(65) 공개번호 10-2013-0096534
(43) 공개일자 2013년08월30일
(56) 선행기술조사문헌
JP2010096796 A*
(뒷면에 계속)

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
노순준
경기 수원시 영통구 영통로90번길 4-27, 105동 1203호 (망포동, 늘푸른벽산아파트)
박준하
경기 안양시 동안구 안양관교로 42, 106동 303호 (관양동, 인덕원삼성아파트)
(뒷면에 계속)
(74) 대리인
특허법인 고려

전체 청구항 수 : 총 13 항

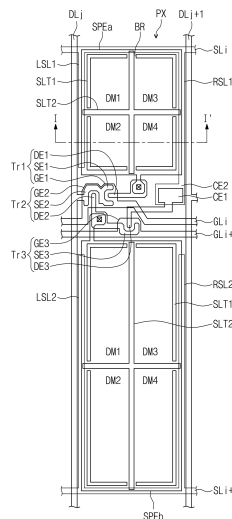
심사관 : 한상일

(54) 발명의 명칭 액정 표시 장치

(57) 요약

액정 표시 장치는 복수의 화소를 포함하며, 제1 기판과, 제2 기판, 상기 제1 및 제2 기판들 사이에 제공된 액정 층을 포함한다. 상기 제1 기판은 제1 베이스 기판과, 각 화소마다 상기 제1 베이스 기판 상에 제공된 화소전극을 포함한다. 상기 제2 기판은 상기 제1 기판에 대향하는 제2 베이스 기판과, 상기 제2 베이스 기판 상에 제공되어 상기 화소전극과 함께 상기 제1 베이스 기판의 상면에 실질적으로 평행한 등전위면을 갖는 전계를 형성하는 공통 전극을 포함한다. 상기 액정층은 상기 화소전극과 상기 공통전극 사이에 제공되며, -2.9 미만 -1.7 이상의 유전율을 이방성을 갖는 액정 조성물로 이루어진다.

대표도 - 도1



(72) 발명자

배지홍

경기 용인시 기흥구 동백죽전대로 283, 105동 190
5호 (중동, 참솔마을월드메르디앙)

장혜림

경기 용인시 기흥구 삼성2로 95, 산23 삼성전자 여
자기숙사 진달래동 1121호 (농서동, 삼성전자(주)
기흥캠퍼스)

이혁진

경기 성남시 분당구 미금로 215, 806동 801호 (금
곡동, 청솔마을대원아파트)

(56) 선행기술조사문헌

KR1020110046125 A*

KR1020110111227 A*

JP2011231099 A*

KR1020010009951 A*

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

복수의 화소를 포함하는 액정 표시 장치에서,

제1 베이스 기판과, 각 화소마다 상기 제1 베이스 기판 상에 제공된 화소전극을 포함하는 제1 기판;

상기 제1 베이스 기판에 대향하는 제2 베이스 기판과, 상기 제2 베이스 기판 상에 제공되어 상기 화소전극과 함께 상기 제1 베이스 기판의 상면에 평행한 등전위면을 갖는 전계를 형성하는 공통전극을 포함하는 제2 기판; 및
상기 화소전극과 상기 공통전극 사이에 제공되며, -2.9 미만 -1.7 이상의 유전율 이방성을 갖고, 0.120 이상의 굴절률 이방성을 갖는 액정 조성물로 이루어진 액정층;을 포함하고,

상기 액정 조성물은

하기 화학식 1로 이루어진 군에서 선택된 적어도 어느 하나의 제1 액정 14중량%~16중량%,

하기 화학식 2로 이루어진 군에서 선택된 적어도 어느 하나의 제2 액정 20중량%~24중량%,

하기 화학식 3으로 이루어진 군에서 선택된 적어도 어느 하나의 제3 액정 15중량%~20중량%,

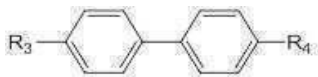
하기 화학식 4로 이루어진 군에서 선택된 적어도 어느 하나의 제4 액정 3중량%~10중량%, 및

하기 화학식 5로 이루어진 군에서 선택된 적어도 어느 하나의 제5 액정 21중량%~27중량%을 포함하는 액정 표시 장치:

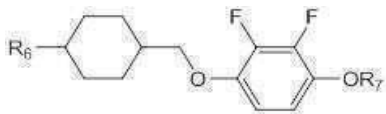
[화학식 1]



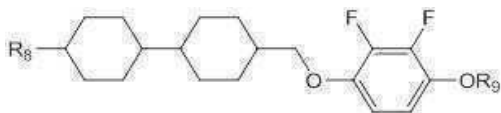
[화학식 2]



[화학식 3]



[화학식 4]



[화학식 5]



여기서, R₁ 내지 R₉ 각각은 독립적으로 탄소수가 2 내지 5인 알킬기, 알케닐기 또는 알콕시기이다.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

제1항에 있어서,

상기 화소전극과 상기 공통전극 사이의 간격은 $2.6\mu\text{m}$ 이하인 액정 표시 장치.

청구항 6

제1항에 있어서,

상기 화소전극은 직사각형으로 제공되고, 평면상에서 상기 화소전극의 가장자리 중 적어도 일부를 따라 제공된 제1 슬릿을 가지는 액정 표시 장치.

청구항 7

제6항에 있어서,

상기 제1 슬릿은 복수의 서브 슬릿들을 포함하며, 상기 서브 슬릿들은 서로 인접한 서브 슬릿의 단부 사이에 제공된 연결부를 사이에 두고 제공되는 액정 표시 장치.

청구항 8

제7항에 있어서,

상기 연결부는 상기 직사각형의 꼭지점에 대응하는 위치 및 상기 직사각형의 각 변의 중간 지점에 대응하는 위치 중 적어도 하나에 제공되는 액정 표시 장치.

청구항 9

제6항에 있어서,

상기 공통전극은 각 화소에 제공되고 상기 직사각형의 적어도 한 변에 평행한 제2 슬릿을 갖는 액정 표시 장치.

청구항 10

제9항에 있어서,

상기 제1 기관 상에 구비되고, 각 화소 내에서 제1 방향으로 광 배향된 제1 배향막;

상기 제2 기관 상에 구비되어 상기 제1 배향막과 마주하며, 상기 각 화소 내에서 상기 제1 방향과 다른 제2 방향으로 광 배향되어 각 화소에 다수의 도메인을 형성하는 제2 배향막을 더 포함하는 액정 표시 장치.

청구항 11

제10항에 있어서,

상기 제2 슬릿은 평면상에서 서로 인접한 도메인들 사이에 대응하는 위치에 제공되는 액정 표시 장치.

청구항 12

제10항에 있어서,

상기 각 화소는 제1 전압을 충전하며 둘 이상의 도메인들을 포함하는 제1 서브화소 및 제1 전압보다 낮은 계조

의 제2 전압을 충전하며 둘 이상의 도메인들을 포함하는 제2 서브화소로 이루어지고,

상기 화소전극은 상기 제1 서브화소에 대응하는 제1 서브화소전극, 및 상기 제2 서브화소에 대응하는 제2 서브화소전극을 포함하는 액정 표시 장치.

청구항 13

제1항에 있어서,

상기 화소전극은

상기 제1 베이스 기판 상에 구비된 제1 화소전극; 및

상기 제1 화소전극과 절연되고 상기 제1 화소전극과 중첩하며 다수의 미세 슬릿을 포함하는 제2 화소전극을 포함하는 액정 표시 장치.

청구항 14

제13항에 있어서,

상기 제1 화소전극은 서로 전기적으로 절연된 제1 및 제2 서브화소전극을 포함하고,

상기 제2 화소전극은 상기 제1 서브화소전극과 절연막을 사이에 두고 마주하는 제3 서브화소전극 및 상기 제2 서브화소전극과 상기 절연막을 사이에 두고 마주하는 제4 서브화소전극을 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 15

제14항에 있어서,

상기 제3 서브화소전극은 복수의 제1 도메인을 정의하는 제1 줄기부 및 상기 제1 줄기부로부터 연장되고 각 도메인 내에서 서로 평행하게 배열된 다수의 제1 가지부를 포함하고,

상기 제4 서브화소전극은 복수의 제2 도메인을 정의하는 제2 줄기부 및 상기 제2 줄기부로부터 연장되고 각 도메인 내에서 서로 평행하게 배열된 다수의 제2 가지부를 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 16

제15항에 있어서,

상기 제1 및 제2 서브화소전극 각각은 통관으로 형성되며 상기 공통전극과 함께 상기 전계를 형성하는 액정 표시 장치.

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

발명의 설명

기술 분야

본 발명은 액정 표시 장치에 관한 것으로, 상세하게는 고속의 반응 속도를 가지는 액정 표시 장치에 관한 것이다.

배경 기술

[0001]

[0002] 일반적으로 액정 표시 장치는 복수 개의 화소전극들이 구비된 제1 기판, 공통전극이 구비된 제2 기판, 및 상기 제1 및 제2 기판 사이에 구비된 액정층을 포함한다. 상기 액정표시장치는 각각의 상기 화소전극들 및 상기 공통전극 사이에 형성된 전계에 따라 액정층의 광의 투과율을 변화시켜 영상을 표시한다. 상기 액정 표시 장치는 각각이 상기 화소전극을 포함하는 복수 개의 화소를 포함한다.

[0003] 최근, 액정 표시 장치는 이차원 영상뿐만 아니라, 3차원 영상을 구현하는 방향으로 개발되고 있다. 3차원 영상을 구현하기 위해서는 일반적으로 2차원 영상을 구현할 때보다 더 많은 영상 정보를 사용자에게 제공해야 할 필요가 있으므로, 상기 화소가 빠르게 구동될 것이 요구된다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 목적은 빠른 구동 속도를 가지는 액정 표시 장치를 제공하는 것이다.

과제의 해결 수단

[0005] 본 발명의 목적을 구현하기 위한 액정 표시 장치는 복수의 화소를 포함하며, 제1 기판과, 제2 기판, 상기 제1 및 제2 기판들 사이에 제공된 액정층을 포함한다.

[0006] 상기 제1 기판은 제1 베이스 기판과, 각 화소마다 상기 제1 베이스 기판 상에 제공된 화소전극을 포함한다. 상기 제2 기판은 상기 제1 기판에 대향하는 제2 베이스 기판과, 상기 제2 베이스 기판 상에 제공되어 상기 화소전극과 함께 상기 제1 베이스 기판의 상면에 실질적으로 평행한 등전위면을 갖는 전계를 형성하는 공통전극을 포함한다. 상기 액정층은 상기 화소전극과 상기 공통전극 사이에 제공되며, -2.9 미만 -1.7 이상의 유전율 이방성을 갖는 액정 조성물로 이루어진다.

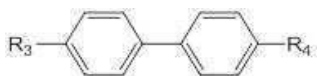
[0007] 상기 액정 조성물은 하기 화학식 1로 이루어진 군에서 선택된 적어도 어느 하나의 제1 액정, 하기 화학식 2로 이루어진 군에서 선택된 적어도 어느 하나의 제2 액정, 하기 화학식 3으로 이루어진 군에서 선택된 적어도 어느 하나의 제3 액정, 하기 화학식 4로 이루어진 군에서 선택된 적어도 어느 하나의 제4 액정, 및 하기 화학식 5로 이루어진 군에서 선택된 적어도 어느 하나의 제5 액정을 포함한다.

[0008] [화학식 1]



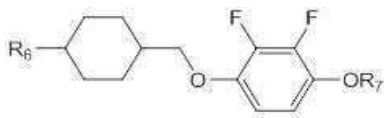
[0009] ,

[0010] [화학식 2]



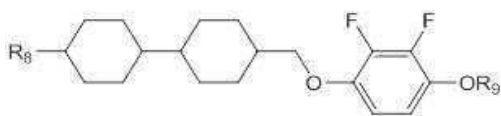
[0011] ,

[0012] [화학식 3]



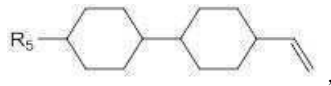
[0013] ,

[0014] [화학식 4]



[0015] , 및

[0016] [화학식 5]



[0017]

[0018]

[0019]

[0020]

[0021]

[0022]

여기서, R_1 내지 R_9 각각은 독립적으로 탄소수가 2 내지 5인 알킬기, 알케닐기 또는 알콕시기이다.

상기 액정 조성물은 상기 제1 액정 14중량%~16중량%, 상기 제2 액정 20중량%~24중량%, 상기 제3 액정 15중량%~20중량%, 상기 제4 액정 3중량%~10중량%, 및 상기 제5 액정 21중량%~27중량%을 포함할 수 있다.

상기 액정 조성물은 0.120 이상의 굴절률 이방성을 가질 수 있으며, 상기 화소전극과 상기 공통전극 사이의 간격은 $2.6\mu m$ 이하일 수 있다.

상기 액정 표시 장치는 상기 액정층에 광을 제공하는 백라이트 유닛과, 상기 백라이트 유닛과 상기 제1 기판 사이, 또는 상기 제2 기판 상에 구비되며 상기 광을 우안용 광과 좌안용 광으로 변경하는 광 변환부를 더 포함할 수 있다.

상기 광 변환부는 상기 광을 투과시키는 광 투과영역과 상기 광을 차단하는 광 차단영역을 제공하는 패럴렉스 배리어 패널, 다수개의 렌즈를 포함하는 렌티큘러 패널, 또는 상기 광들을 서로 다른 방향의 편광축을 가지는 두 종의 광으로 편광하는 패턴드 리타더일 수 있다. 또한, 상기 광 변환부는 서로 마주하는 제1 기판과 제2 기판, 및 상기 제1 기판과 제2 기판 사이에 제공된 광 변환 액정을 포함할 수 있다. 이 경우, 상기 광 변환부는 2차원 영상이 표시 되는 2D 모드에서 턴-오프되어 상기 광을 투과시키고, 3차원 영상이 구현되는 3D 모드에서 턴-온될 수 있으며, 이에 따라, 상기 액정 표시 장치는 2D 모드와 3D 모드의 구현이 모두 가능할 수도 있다.

발명의 효과

[0023]

본 발명의 일 실시예에 따르면 빠른 반응 속도를 갖는 액정 표시 장치를 제공한다.

도면의 간단한 설명

[0024]

도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 화소부를 나타낸 평면도이다.

도 2는 도 1에 도시된 제1 및 제2 서브화소의 등가 회로도이다.

도 3는 도 1의 I-I'선에 따른 단면도이다.

도 4a와 도 4b는 복수의 도메인으로 이루어진 서브화소에서의 제1 서브화소전극과 공통전극의 일 실시예들을 도시한 평면도이다.

도 5a는 일반적인 수직전계 모드 표시 장치에 있어서, 유전율을 달리하였을 때, 인가 전압에 따른 투과율을 나타낸 V-T 그래프이다.

도 5b는 본 발명의 일 실시예에 따른 표시 장치에 있어서, 유전율을 달리하였을 때, 인가 전압에 따른 투과율을 나타낸 V-T 그래프이다.

도 6a는 액정 조성물을 액정 표시 장치에 적용하였을 때의 T_{off} 값을 나타낸 그래프이다.

도 6b는 기존 액정 표시 장치들과 본 발명의 일 실시예에 따른 액정 표시 장치의 셀 갭에 따른 투과율을 상대값으로 나타낸 그래프이다.

도 7a는 본 발명의 일 실시예에 따른 액정 표시 장치의 화소부를 나타낸 평면도이다.

도 7b는 도 7a에 표시된 P 부분의 확대도이다.

도 8는 7b에 도시된 화소의 등가 회로도이다.

도 9는 도 7a의 II-II'선에 따른 단면도이다.

도 10은 본 발명의 일 실시예에 따른 액정 표시 장치의 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0025]

본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며,

본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

- [0026] 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다. 첨부된 도면에 있어서, 구조물들의 치수는 본 발명의 명확성을 위하여 실제보다 확대하여 도시한 것이다. 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [0027] 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 경우, 이는 다른 부분 "바로 위에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 층, 막, 영역, 판 등의 부분이 다른 부분 "아래에" 있다고 할 경우, 이는 다른 부분 "바로 아래에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.
- [0028] 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다.
- [0029] 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 화소부를 나타낸 평면도이고, 도 2는 도 1에 도시된 제1 및 제2 서브화소의 등가 회로도이다. 도 3는 도 1의 I-I'선에 따른 단면도이다.
- [0030] 도 1 및 도 2를 참조하면, 본 발명의 일 실시예에 따른 액정 표시 장치는 다수의 화소들을 포함한다. 도 1에서는 다수의 화소들 중 일부를 도시한 것으로서, 도면에 도시하지는 않았지만, 상기 화소들은 매트릭스 형태로 배열될 수 있다.
- [0031] 상기 액정 표시 장치에는 다수의 게이트 라인 및 다수의 데이터 라인이 구비된다. 도 1에서는 하나의 화소에 연관된 게이트 라인들과 데이터 라인들만을 도시하였다. 구체적으로, 도 1에 도시된 바와 같이, 상기 액정 표시 장치에는 서로 평행하게 배열된 제1 데이터 및 제2 데이터 라인(DL_j, DL_{j+1}) 및 상기 제1 및 제2 데이터 라인(DL_j, DL_{j+1})과 절연되게 교차하는 제1 및 제2 게이트 라인(GL_i, GL_{i+1})이 구비된다.
- [0032] 또한, 상기 액정 표시 장치는 서로 평행한 제1 및 제2 스토리지 라인(SL_i, SL_{i+1}), 상기 제1 스토리지 라인(SL_i)으로부터 분기된 제1 및 제2 분기 전극(LSL₁, RSL₁), 상기 제2 스토리지 라인(SL_{i+1})으로부터 분기된 제3 및 제4 분기 전극(LSL₂, RSL₂)을 더 포함한다.
- [0033] 상기 화소(PX)는 제1 및 제2 서브화소(SPX₁, SPX₂)를 포함한다. 상기 제1 서브화소(SPX₁)는 제1 박막 트랜지스터(Tr₁) 및 제1 서브화소전극(SPE_a)으로 이루어지고, 상기 제2 서브화소(SPX₂)는 제2 박막 트랜지스터(Tr₂), 제2 서브화소전극(SPE_b), 제3 박막 트랜지스터(Tr₃) 및 커패시터(Ccp)로 이루어진다. 상기 제1 및 제2 서브화소(SPX₁, SPX₂)는 서로 인접하는 상기 제1 및 제2 데이터 라인(DL_j, DL_{j+1}) 사이에 구비된다.
- [0034] 상기 제1 박막 트랜지스터(Tr₁)는 상기 제1 데이터 라인(DL_j) 및 상기 제1 게이트 라인(GL_i)에 연결되고, 상기 제2 박막 트랜지스터(Tr₂)는 상기 제1 데이터 라인(DL_j) 및 상기 제1 게이트 라인(GL_i)에 연결된다. 구체적으로, 상기 제1 박막 트랜지스터(Tr₁)는 상기 제1 데이터 라인(DL_j)에 연결된 제1 소스 전극(SE₁), 상기 제1 게이트 라인(GL_i)에 연결된 제1 게이트 전극(GE₁), 및 상기 제1 서브화소전극(SPE_a)에 연결된 제1 드레인 전극(DE₁)을 포함한다. 상기 제1 서브화소전극(SPE_a)은 액정층(300)을 사이에 두고 공통전극(230)과 마주하여 제1 액정 커패시터(Clc₁)를 형성한다. 또한, 상기 제1 서브화소전극(SPE_a)은 상기 제1 스토리지 라인(SL_i), 제1 및 제2 분기전극(LSL₁, RSL₁)과 오버랩되어 제1 스토리지 커패시터(Cst₁)를 형성한다. 따라서, 상기 제1 스토리지 커패시터(Cst₁)는 상기 제1 액정 커패시터(Clc₁)에 병렬 연결될 수 있다.
- [0035] 상기 제2 박막 트랜지스터(Tr₂)는 상기 제1 데이터 라인(DL_j)에 연결된 제2 소스 전극(SE₂), 상기 제1 게이트 라인(GL_i)에 연결된 제2 게이트 전극(GE₂) 및 제2 서브화소전극(SPE_b)에 연결된 제2 드레인 전극(DE₂)을 포함한다. 상기 제2 서브화소전극(SPE_b)은 액정층을 사이에 두고 상기 공통전극과 마주하여 제2 액정 커패시터(Clc₂)를 형성한다. 또한, 상기 제2 서브화소전극(SPE_b)은 상기 제2 스토리지 라인(SL_{i+1}), 제3 및 제4 분기전극(LSL₂, RSL₂)과 오버랩되어 제2 스토리지 커패시터(Cst₂)를 형성한다. 따라서, 상기 제2 스토리지 커패시터(Cst₂)는 상기 제2 액정 커패시터(Clc₂)에 병렬 연결될 수 있다.
- [0036] 상기 제1 게이트 라인(GL_i)에 제1 게이트 신호가 인가되면, 상기 제1 및 제2 박막 트랜지스터(Tr₁, Tr₂)가 동시

에 턴-온된다. 상기 제1 데이터 라인(DLj)으로 인가된 데이터 전압은 턴-온된 상기 제1 및 제2 박막 트랜지스터(Tr1, Tr2)를 통해 상기 제1 및 제2 서브화소전극(SPEa, SPEb)으로 각각 인가된다. 따라서, 상기 제1 게이트 신호의 하이 구간동안 상기 제1 및 제2 액정 커패시터(C1c1, C1c2)에는 동일한 크기의 화소 전압이 충전된다.

[0037] 한편, 상기 제3 박막 트랜지스터(Tr3)는 상기 제2 박막 트랜지스터(Tr2)의 제2 드레인 전극(DE2)에 연결된 제3 소스 전극(SE3), 상기 제2 게이트 라인(GLi+1)에 연결된 제3 게이트 전극(GE3) 및 상기 커플링 커패시터(Ccp)에 연결된 제3 드레인 전극(DE3)을 포함한다. 본 발명의 일 실시예로, 상기 커플링 커패시터(Ccp)는 상기 제3 드레인 전극(DE3)으로부터 연장된 제1 전극(CE1) 및 상기 제2 분기 전극(RSL1)으로부터 연장되어 절연층(121)을 사이에 두고 상기 제1 전극(CE1)과 마주하는 제2 전극(CE2)으로 이루어질 수 있다. 그러나, 상기 커플링 커패시터(Ccp)의 구조는 여기에 한정되지는 않는다.

[0038] 상기 제2 게이트 라인(GLi+1)은 상기 제1 게이트 신호가 폴링된 이후에 라이징되는 제2 게이트 신호를 수신한다. 상기 제2 게이트 신호에 응답하여 상기 제3 박막 트랜지스터(Tr3)가 턴-온되면, 상기 제2 액정 커패시터(C1c2)와 상기 커플링 커패시터(Ccp) 사이에서 전압 분배가 일어나고, 그 결과 상기 제2 액정 커패시터(C1c2)에 충전된 화소 전압이 다운된다. 상기 화소 전압이 다운되는 크기는 상기 커플링 커패시터(Ccp)의 충전율에 따라서 변화될 수 있다.

[0039] 결국, 상기 제2 게이트 신호가 발생된 이후에, 상기 제1 액정 커패시터(C1c1)에는 화소 전압이 충전되고, 상기 제2 액정 커패시터(C1c2)에는 상기 화소 전압보다 낮은 크기의 제2 화소 전압이 충전될 수 있다.

[0040] 상기 제1 서브화소전극(SPEa)은 단일한 액정 배향 방향을 가지도록 단일 도메인으로 형성될 수도 있으나, 적어도 서로 다른 두 개의 액정 배향 방향을 가지도록 복수의 도메인으로 구분될 수 있다. 예를 들어, 상기 제1 서브화소전극(SPEa)은 서로 다른 액정 배향 방향을 갖는 상기 제1 내지 제4 도메인(DM1~DM4)으로 구분될 수 있다. 또한, 상기 제2 서브화소전극(SPEb) 또한 단일한 액정 배향 방향을 가질 수 있으나, 적어도 서로 다른 두 개의 액정 배향 방향을 갖는 복수의 도메인으로 구분될 수 있다. 예를 들어, 상기 제2 서브화소전극(SPEb)은 상기 제1 내지 제4 도메인(DM1~DM4)으로 구분될 수 있다. 상기 제1 내지 제4 도메인(DM1~DM4)의 액정의 배향은 광 배향을 이용할 수 있다.

[0041] 도 3을 참조하면, 액정 표시 장치는 제1 기판(100), 상기 제1 기판(100)과 마주하여 결합하는 제2 기판(200) 및 상기 제1 기판(100)과 상기 제2 기판(200) 사이에 개재된 액정층(300)을 포함한다.

[0042] 상기 제1 기판(100)은 투명한 절연성 기판으로 이루어진 제1 베이스 기판(110)을 포함한다. 상기 제1 베이스 기판(110) 상에는 상기 제1 및 제2 게이트 라인(GLi, GLi+1), 상기 제1 및 제2 스토리지 라인(SLi, SLi+1), 제1 내지 제4 분기 전극(LSL1, RSL1, LSL2, RSL2)으로 이루어진 게이트 배선부가 구비된다.

[0043] 상기 제1 기판(100)은 상기 게이트 배선부를 커버하는 제1 절연막(121)을 포함하고, 상기 제1 절연막(121) 상에는 제1 및 제2 데이터 라인(DLj, DLj+1)으로 이루어진 데이터 배선부가 구비된다. 상기 데이터 배선부는 제2 절연막(122)에 의해서 커버되고, 상기 제2 절연막(122) 위로는 제3 절연막(123)이 구비된다.

[0044] 상기 제3 절연막(123) 상에는 상기 제1 서브화소전극(SPEa) 및 상기 제2 서브화소전극(SPEb)이 구비된다.

[0045] 상기 제1 기판(100)은 상기 제1 서브화소전극(SPEa) 및 상기 제2 서브화소전극(SPEb)을 커버하는 제1 배향막(140)을 더 포함한다. 상기 제1 배향막(140)은 광(예를 들어, 자외선(UV) 또는 레이저)의 조사에 의해 분해(decomposition), 이합체화 반응(dimerization), 이성질체화반응(isomerization) 중 하나의 반응이 이루어지는 고분자 물질을 포함할 수 있다. 또한, 상기 제1 배향막(140)은 반응성 메조겐이 중합된 고분자로 이루어질 수 있다.

[0046] 한편, 상기 제2 기판(200)은 상기 제1 베이스 기판(110)과 마주하는 제2 베이스 기판(210)을 포함한다. 상기 제2 베이스 기판(210) 상에는 레드, 그린 및 블루 색화소(R,G,B)를 포함하는 컬러필터층(220)을 포함한다.

[0047] 상기 컬러필터층(220) 상에는 공통전극(230)이 구비된다. 상기 공통전극(230)은 상기 제1 서브화소전극(SPEa)과 마주하여 상기 제1 액정 커패시터(C1c1)를 형성한다. 도면에 도시하지는 않았지만, 상기 공통전극(230)은 상기 제2 서브화소전극(SPEb)과 마주하여 상기 제2 액정 커패시터(C1c2)를 형성한다.

[0048] 상기 공통전극(230)에는 공통 전압이 인가되며, 상기 제1 및 제2 서브화소전극(SPEa, SPEb)에 데이터 전압의 인가 여부에 따라 상기 제1 및 제2 서브화소전극(SPEa, SPEb)과 함께 상기 제1 기판(100)의 일면에 실질적으로 평행한 등전위면을 형성한다.

[0049] 상기 제2 기관(200)은 상기 공통전극(230)을 커버하는 제2 배향막(240)을 더 포함한다. 상기 제2 배향막(240)은 광(예를 들어, 자외선(UV) 또는 레이저)의 조사에 의해 분해(decomposition), 이합체화 반응(dimerization), 이성질체화반응(isomerization) 중 하나의 반응이 이루어지는 고분자 물질을 포함할 수 있다. 또한, 상기 제2 배향막(240)은 반응성 메조겐이 중합된 고분자로 이루어질 수 있다.

[0050] 한편, 상기 제1 서브화소전극(SPEa) 및 상기 제2 서브화소전극(SPEb) 각각에는 각 도메인에 대응하여 하나 이상의 제1 슬릿(SLT1)이 형성된다. 예를 들어, 상기 제1 서브화소전극(SPEa) 및 상기 제2 서브화소전극(SPEb)은 도시된 바와 같이 직사각형으로 제공될 수 있으며, 상기 제1 슬릿(SLT1)은 각 도메인의 가장자리, 즉, 상기 직사각형의 적어도 한변에 평행하게 제공되거나, 상기 제1 서브화소전극(SPEa) 및/또는 상기 제2 서브화소전극(SPEb)의 가장자리 중 적어도 일부를 따라 제공될 수 있다. 상기 제1 슬릿(SLT1)은 복수의 서브 슬릿들을 포함할 수 있다. 상기 서브 슬릿들은 상기 직사각형 가장자리의 각 변을 따라 상기 가장자리에 인접하게 연장된다. 상기 서로 인접한 서브 슬릿들의 단부 사이를 연결부(BR)라고 하면, 상기 연결부(BR)는 도메인과 도메인 사이의 위치, 예를 들어, 상기 직사각형의 각 변의 중간 지점에 대응하는 위치에 제공될 수 있다.

[0051] 상기 공통전극(230)에는 상기 제1 서브화소전극(SPEa) 및 상기 제2 서브화소전극(SPEb) 각각에 대응하여 제2 슬릿(SLT2)이 제공된다. 상기 제2 슬릿(SLT2)은 적어도 한 변에 평행하게 제공될 수 있으며, 각 서브화소전극들(SPEa, SPEb)의 중심부를 지나도록 형성될 수 있다. 예를 들어, 상기 제2 슬릿(SLT2)은 상기 각 서브화소전극(SPEa, SPEb)의 중심부를 지나며 장변과 단변에 평행하게 제공되어 십자가 형상을 가질 수 있다.

[0052] 상기 제1 슬릿(SLT1)과 상기 제2 슬릿(SLT2)은 상기 도메인들의 가장자리를 따라 다양한 방식으로 대응하여 배치될 수 있다. 도 4a와 도 4b는 일 실시예로서, 복수의 도메인으로 이루어진 서브화소에서의 제1 서브화소전극(SPEa)과 공통전극(230, 제2 슬릿만 도시)의 일 실시예들을 도시한 평면도이다. 도 4a 및 도 4b를 참조하면, 서브화소가 복수 개의 도메인으로 이루어지며, 제1 슬릿(SLT1)의 연결부(BR)가 제1 서브화소전극(SPEa)의 직사각형의 꼭지점에 대응하는 위치에 제공되거나, 도메인과 도메인 사이에 제공된다. 제2 슬릿(SLT2)은 상기 도메인들의 사이에 제공된다. 상기 제2 슬릿(SLT2)은 예를 들어 상기 제1 서브화소전극(SPEa)의 서로 수직한 두 변을 따라 연장된 십자 형상으로 제공된다.

[0053] 상기한 구조의 서브화소를 갖는 상기 액정 표시 장치는 각 서브화소전극들과 상기 공통전극에 의해 각 도메인들 내에서 상기 제1 기관의 상면에 평행한 평탄 등전위면이 형성된다.

[0054] 상기 액정층(300)은 상기 서브화소전극들(SPEa)과 상기 공통전극(230) 사이에 제공된다. 여기서, 상기 서브화소전극들(SPEa)과 상기 공통전극(230) 사이 사이의 거리, 즉 셀 갭은 약 $2.6\mu\text{m}$ 이하로 제공될 수 있다. 상기 액정층(300)은 0.120 이상의 굴절률 이방성 및/또는 -2.9 미만 -1.7 이상의 유전율 이방성을 가지는 액정 조성물로 이루어질 수 있다.

[0055] 상기 액정 조성물은 하기 화학식 1로 이루어진 군에서 선택된 적어도 어느 하나의 제1 액정과, 하기 화학식 2로 이루어진 군에서 선택된 적어도 어느 하나의 제2 액정과, 하기 화학식 3으로 이루어진 군에서 선택된 적어도 어느 하나의 제3 액정과, 하기 화학식 4로 이루어진 군에서 선택된 적어도 어느 하나의 제4 액정, 그리고, 화학식 5로 이루어진 군에서 선택된 적어도 어느 하나의 제5 액정을 포함한다. 상기 액정 조성물은 제1 액정 14중량%~16중량%, 상기 제2 액정 20중량%~24중량%, 상기 제3 액정 15중량%~20중량%, 상기 제4 액정 3중량%~10중량%, 및 상기 제5 액정 21중량%~27중량%으로 이루어질 수 있다.

[0056] [화학식 1]



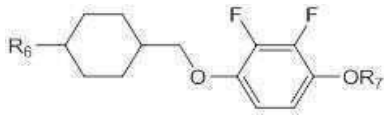
[0057]

[0058] [화학식 2]

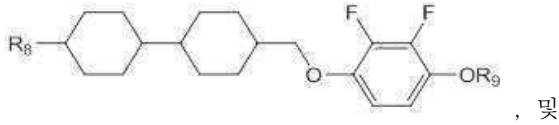


[0059]

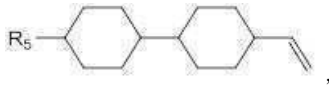
[0060] [화학식 3]



[화학식 4]



[화학식 5]



여기서, R₁ 내지 R₉ 각각은 독립적으로 탄소수가 2 내지 5인 알킬기, 알케닐기 또는 알콕시기이다.

상기 구조를 갖는 액정 표시 장치는 기존의 액정 표시 장치에 비해 셀 갭이 작으면서도 고속의 응답 속도를 갖는다.

액정 표시 장치에 있어서, 각 화소에 전압이 인가된 온(on)일 때의 반응 시간(Ton)(이하, "온-반응 시간"으로 지칭한다)과 전압이 인가되지 않은 오프(off)일 때의 반응 시간(Toff)(이하, "오프-반응 시간"으로 지칭한다)는 각각 하기 식 1 및 식 2로 구할 수 있다.

[식 1]

$$T_{on} \propto \frac{\gamma_1}{\Delta n^2 K_{eff}} \left(\frac{1}{(V_{on}/V_{off})^2 - 1} \right)$$

[식 2]

$$T_{off} \propto \frac{\gamma_1}{\Delta n^2 K_{eff}}$$

여기서, γ_1 은 액정의 회전 점도, Δn 은 액정의 굴절률 이방성, K_{eff} 는 액정의 탄성 계수, V_{on} 및 V_{off} 는 각각 서브화소에 인가된 온/오프 전압이다.

상기 식 1을 살펴보면, 온-반응 시간(Ton)은 액정의 회전 점도, 굴절률 이방성, 액정의 탄성계수, 특히 인가 전압에 영향을 받는다. 상기 식 2를 살펴보면 오프-반응 시간(Toff)은 액정의 굴절률 이방성, 액정의 회전 점도 및 액정의 탄성계수의 함수이므로, 액정 자체의 물성에 영향을 받는다. 이에 따라, 액정의 물성, 예를 들어 유전율 이방성이나 굴절률 이방성을 조절함으로써 오프-반응 시간(Toff)을 줄여 반응 속도를 빠르게 개선할 수 있다.

이에 따라, 본 발명에 따른 일 실시예에서는 온-반응 시간(Ton)과 오프-반응 시간(Toff)을 줄이기 위해, 굴절률 이방성이 큰 액정, 예를 들어, 굴절률 이방성이 0.120 이상인 액정 조성물을 이용할 수 있다. 또한, 온-반응 시간(Ton)과 오프-반응 시간(Toff)을 줄이기 위해, 유전율 이방성이 작은 액정, 예를 들어, 유전율 이방성이 -2.9 미만 -1.7 이상인 액정을 사용할 수 있다. 상기 유전율 이방성이 감소하는 경우 회전 점도가 감소하므로 온-반응 시간(Ton)과 오프-반응 시간(Toff) 모두 감소하며, 이에 따라 반응 속도가 빨라진다.

그러나, 액정의 유전율 이방성과 투과율은 트레이드 오프(trade off) 관계로서, 일반적인 패턴드 수직 전계 모드(PVA mode: Patterned Vertical Alignment mode)의 액정 표시 장치의 경우, 액정의 유전율 이방성이 감소하면 투과율도 낮아진다. 상기 일반적인 수직 전계 모드는 시야각 향상을 위해 복수의 도메인을 갖도록 형성되며, 각 도메인은 왜곡된 수직 전계를 갖는다.

도 5a는 일반적인 수직-전계 모드의 표시 장치에 있어서, 유전율을 달리하였을 때, 인가 전압에 따른 투과율을 나타낸 V-T 그래프이다. 상기 그래프에서 P는 유전율 이방성이 -1.7인 V-T 그래프이며, Q는 유전율 이방성이

-2.9인 V-T 그래프이며, 셀 갭을 포함한 다른 조건은 동일하게 유지되었다. 도 5a를 참조하면, 일반적인 수직 전계 모드 액정 표시 장치에 있어서, 액정의 유전율 이방성이 -2.9인 경우보다 액정의 유전율 이방성이 -1.7인 경우 투과율이 낮음을 확인할 수 있다.

[0077] 이에 비해, 본 발명의 일 실시예에 따른 액정 표시 장치는 평탄 등전위면을 갖는데, 액정의 유전율 이방성이 감소하더라도 실질적으로 투과율 차이가 나지 않는다.

도 5b는 본 발명에 따른 액정 표시 장치에 있어서, 유전율을 달리하였을 때, 인가 전압에 따른 투과율을 나타낸 V-T 그래프로서, X는 유전율 이방성이 -2.5인 V-T 그래프이며, Y는 유전율 이방성이 -2.7인 V-T 그래프, Z는 유전율 이방성이 -3.0인 V-T 그래프이다. 여기서, 셀 갭을 포함한 다른 조건은 동일하게 유지되었다. 도 5b를 참조하면, 본 발명에 따른 액정 표시 장치에 있어서, 액정의 유전율 이방성이 변하더라도 실질적인 투과율 차이는 거의 없다. 이에 따라, 본 발명의 일 실시예에 따른 액정 표시 장치는 투과율을 유지하면서도 상기 온-반응 시간(Ton)과 상기 오프-반응 시간(Toff)이 감소되어 반응속도가 빨라짐을 확인할 수 있다.

[0078] 상기 오프-반응 시간(Toff)은 상기한 요인 이외에 셀 갭의 영향을 받는다. 도 6a는 상기 액정 조성물을 액정 표시 장치에 적용하였을 때의 오프-반응 시간(Toff) 값을 나타낸 것으로, 본 발명의 일 실시예에 따른 액정 표시 장치와 기존의 액정 표시 장치에 있어서 셀 갭에 따른 오프-반응 시간(Toff) 값을 상대값으로 나타낸 것이다. 여기서, CS1은 본 발명의 일 실시예에 따른 액정 표시 장치, CS2는 기존의 액정 표시 전극들이 패터닝된 패턴드 수직 전계 모드(PVA) 액정 표시 장치, CS3는 전극 중 하나가 미세슬릿을 가지는 기존의 수퍼 수직 전계 모드(SVA) 액정 표시 장치의 경우를 나타낸 것이다. 도 6a를 참조하면, 셀 갭이 작아질수록 오프-반응 시간(Toff) 값이 작아지는 것을 확인할 수 있다.

[0079] 그러나, 기존의 액정 표시 장치는 셀 갭을 감소시키면 투과율 또한 작아지는 문제점이 있다. 이에 비해 본 발명의 일 실시예에 따른 액정 표시 장치에서는 셀 갭이 감소하더라도 투과율이 실질적으로 동일하게 유지된다.

도 6b는 기존 액정 표시 장치들과 본 발명의 일 실시예에 따른 액정 표시 장치의 셀 갭에 따른 투과율을 상대값으로 나타낸 것이다. 여기서, CS1은 본 발명의 일 실시예에 따른 액정 표시 장치이며, CS2는 기존의 PVA 액정 표시 장치, CS3은 기존의 SVA 액정 표시 장치의 경우를 나타낸 것이다.

[0080] 도 6b를 참조하면, 본 발명의 일 실시예에 따른 액정 표시 장치는 셀 갭이 작아지더라도 투과율은 일정한 값을 유지하며, 2.6 μ m 이하의 셀 갭을 갖더라도 99% 이상의 높은 투과율을 보여준다. 그러나, 기존의 액정 표시 장치, 즉, 상기 PVA 액정 표시 장치와 SVA 액정 표시 장치는 셀 갭이 3.0 μ m 이하로 작아지는 경우 투과율이 급격히 감소한다. 기존의 액정 표시 패널의 경우 기판 면에 평행한 평탄 등전위면을 갖지 않으며, 셀 갭이 작을 경우 상기 전계에 의한 영향을 받는 것에 유의해야 한다. 이에 따라, 본 발명의 일 실시예에 따른 액정 표시 장치는 기존 발명에 비해 작은 셀 갭을 가질 수 있으며, 예를 들어, 2.6 μ m이하의 셀 갭을 가질 수 있다.

[0081] 상기한 바와 같이, 본 발명의 일 실시예에 따른 액정 표시 장치는 기존의 액정 표시 장치와 실질적으로 비슷한 투과율을 유지하면서도 반응 속도가 빠르고 셀 갭이 작은 액정 표시 장치를 제공한다. 여기서, 상기 실시예들에서 사용된 액정 조성물로 이루어진 액정층은 상기 기판 면에 평행한 등전위면을 갖는 사용하는 다른 표시 장치에 적용될 수 있는 바, 상기한 구조에만 한정되는 것은 아니다. 예를 들어, 상기 평행 등전위면을 갖는다면 다른 다른 방식으로도 구현가능하며, 본 발명에 따른 다른 실시예를 이하 설명한다.

[0082] 도 7a는 본 발명의 일 실시예에 따른 액정 표시 장치의 화소부를 나타낸 평면도이고, 도 7b는 도 7a에 표시된 P부분의 확대도이다. 도 8는 9에 도시된 화소의 등가 회로도이다. 도 9는 도 7a의 II-II'선에 따른 단면도이다.

[0083] 도 7a, 도 7b 내지 도 9을 참조하면, 본 발명의 일 실시예에 따른 액정 표시 장치는 다수의 화소(PX)를 포함한다. 도 7a는 다수의 화소들 중 일부를 도시한 것으로서, 도면에 도시하지는 않았지만, 상기 화소들은 매트릭스 형태로 배열될 수 있다. 상기 액정 표시 장치에는 다수의 게이트 라인 및 다수의 데이터 라인이 구비된다. 도 7a, 도 7b 내지 도 9에서는 하나의 화소에 연관된 게이트 라인들과 데이터 라인들만을 도시하였다.

[0084] 본 발명의 일 실시예에 따른 액정 표시 장치에는 제1 및 제2 게이트 라인(GLi, GLi+1), 데이터 라인(DLj), 제1 및 제2 스토리지 라인(SLi, SLi-1), 및 전압 라인(VL)이 구비된다.

[0085] 상기 화소(PX)는 제1 박막 트랜지스터(Tr1), 제2 박막 트랜지스터(Tr2), 제3 박막 트랜지스터(Tr3), 제1 및 제2 액정 커패시터(Clc1, Clc2), 제1 및 제2 스토리지 커패시터(Cst1, Cst2), 제1 및 제2 커플링 커패시터(Ccp1, Ccp2)를 포함한다.

[0086] 상기 제1 박막 트랜지스터(Tr1)는 상기 제1 게이트 라인(GLi)에 연결된 게이트 전극(GE1), 상기 데이터 라인

(DLj)에 연결된 소스 전극(SE1) 및 상기 제1 커플링 커패시터(Ccp1)에 연결된 드레인 전극(DE1)을 포함한다. 상기 제2 박막 트랜지스터(Tr2)는 상기 제1 게이트 라인(GLi)에 연결된 게이트 전극(GE2), 상기 데이터 라인(DLj)에 연결된 소스 전극(SE2) 및 상기 제2 커플링 커패시터(Ccp2)에 연결된 드레인 전극(DE2)을 포함한다.

[0087] 상기 화소(PX)는 상기 제1 커플링 커패시터(Ccp1)의 제1 전극으로써 제1 서브화소전극(SPEa)을 구비하고, 상기 제2 커플링 커패시터(Ccp2)의 제1 전극으로써 제2 서브화소전극(SPEb)을 구비한다. 상기 제1 서브화소전극(SPEa)은 제1 콘택홀(C1)을 통해 상기 제1 박막 트랜지스터(Tr1)의 드레인 전극(DE1)과 전기적으로 연결되고, 상기 제2 서브화소전극(SPEb)은 제2 콘택홀(C2)을 통해 상기 제2 박막 트랜지스터(Tr2)의 드레인 전극(DE2)과 전기적으로 연결된다.

[0088] 상기 화소(PX)는 상기 제1 커플링 커패시터(Ccp1)의 제2 전극으로써 제3 서브화소전극(SPEc)을 더 구비하고, 상기 제2 커플링 커패시터(Ccp2)의 제2 전극으로써 제4 서브화소전극(SPEd)을 더 구비한다.

[0089] 도면에 도시하지는 않았으나, 상기 제3 및 제4 서브화소전극(SPEc, SPEd)은 액정층을 사이에 두고 상기 제2 기판(120)의 기준 전극(CE)과 마주하여 상기 제1 및 제2 액정 커패시터(C1c1, C1c2)를 각각 형성한다.

[0090] 또한, 상기 제1 및 제2 서브화소전극(SPEa, SPEb)은 적어도 하나 이상의 절연막을 사이에 두고 상기 제1 및 제2 스토리지 라인(SLi, SLi-1)과 각각 부분적으로 오버랩되어 상기 제1 및 제2 스토리지 커패시터(Cst1, Cst2)를 각각 형성한다.

[0091] 상기 제3 박막 트랜지스터(Tr3)는 상기 제1 게이트 라인(GLi)에 연결된 게이트 전극(GE3), 상기 전압 라인(VL)에 연결된 소스 전극(SE3) 및 상기 제2 박막 트랜지스터(Tr2)의 드레인 전극(DE2)에 연결된 드레인 전극(DE3)을 포함한다.

[0092] 상기 제1 및 제2 서브화소가 제1 게이트 라인(GLi) 및 데이터 라인(DLj)을 공유하는 1G-1D(one gate line-one data line) 구조에서 상기 전압 분배에 의하여 상기 제1 및 제2 서브화소에는 서로 다른 전압이 충전될 수 있다.

[0093] 한편, 상기 화소(PX)는 제4 박막 트랜지스터(Tr4) 및 제5 박막 트랜지스터(Tr5)를 더 포함한다.

[0094] 상기 제4 박막 트랜지스터(Tr4)는 상기 제2 게이트 라인(GLi-1)에 연결된 게이트 전극(GE4), 상기 전압 라인(VL)에 연결된 소스 전극(SE4) 및 상기 제3 서브화소전극(SPEc)과 전기적으로 연결되는 드레인 전극(DE4)을 포함한다. 상기 제5 박막 트랜지스터(Tr5)는 상기 제2 게이트 라인(GLi-1)에 연결된 게이트 전극(GE5), 상기 전압 라인(VL)에 연결된 소스 전극(SE5) 및 상기 제4 서브화소전극(SPEd)과 전기적으로 연결되는 드레인 전극(DE5)을 포함한다. 상기 제4 박막 트랜지스터(Tr4)의 상기 드레인 전극(DE4)은 제3 콘택홀(C3)을 통해 상기 제3 서브화소전극(SPEc)과 접속되고, 상기 제5 박막 트랜지스터(Tr5)의 상기 드레인 전극(DE5)은 제4 콘택홀(C4)을 통해 상기 제4 서브화소전극(SPEd)과 접속된다.

[0095] 한편, 도 7a를 참조하면, 상기 제3 서브화소전극(SPEc)은 제1 서브화소 영역(SPA1)을 복수의 도메인으로 분할하기 위하여, 제1 줄기부(t1) 및 상기 제1 줄기부(t1)로부터 방사형으로 연장된 복수의 제1 가지부들(b1)을 포함한다. 상기 제1 줄기부(t1)는 본 발명의 일 실시예와 같이 십자 형상으로 제공되며, 이 경우 상기 제1 서브화소 영역(SPA1)은 상기 제1 줄기부(t1)에 의해 4개의 도메인, 즉 제1 내지 제4 도메인(DM1, DM2, DM3, DM4)으로 구획될 수 있다. 상기 복수의 제1 가지부들(b1)은 상기 제1 줄기부(t1)에 의해서 구획된 도메인 내에서 서로 평행하게 연장되며 서로 이격되어 배열된다. 본 발명의 일 예로, 상기 제1 가지부들(b1)은 상기 제1 줄기부에 대해서 대략 45도(degree)를 이루는 방향으로 연장될 수 있다. 상기 제1 가지부들(b1)에 있어서, 서로 인접한 제1 가지부들(b1)은 마이크로미터 단위의 거리로 이격되어 다수의 제1 미세 슬릿(US1)을 형성한다.

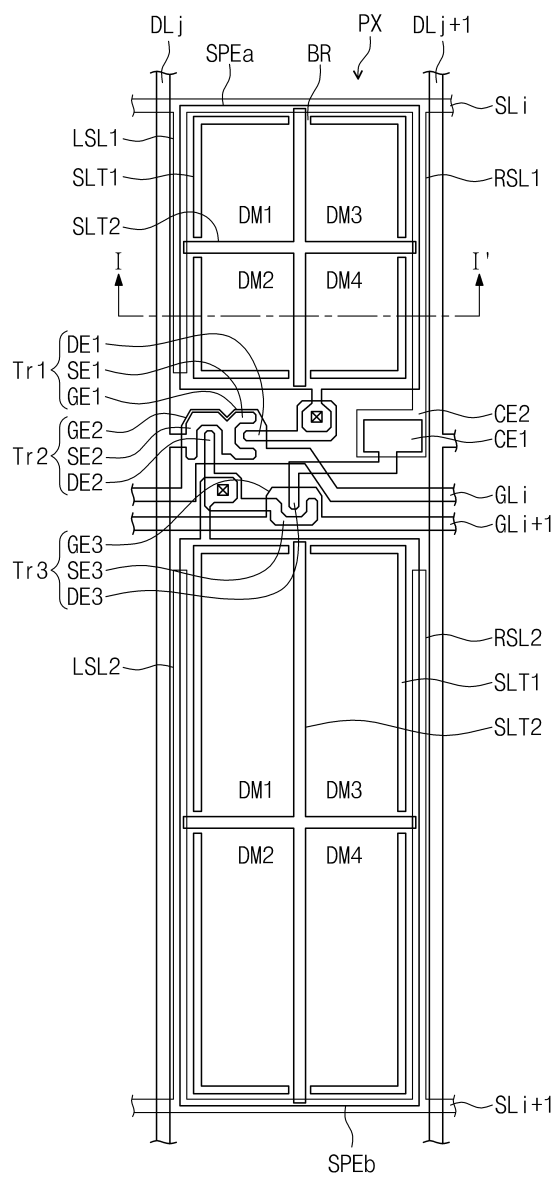
[0096] 상기 제4 서브화소전극(SPEd)은 상기 제2 서브화소 영역(SPA2)을 복수의 도메인으로 분할하기 위하여, 제2 줄기부(t2) 및 상기 제2 줄기부(t2)로부터 방사형으로 돌출되어 연장된 복수의 제2 가지부들(b2)을 포함한다. 상기 제2 줄기부(t2)는 본 발명의 일 실시예와 같이 십자 형상으로 제공될 수 있으며, 이 경우 상기 제2 서브화소 영역(SPA2)은 상기 제2 줄기부(t2)에 의해 상기 복수의 도메인, 예를 들어, 4개의 도메인, 즉 제1 내지 제4 도메인(DM1, DM2, DM3, DM4)으로 구획될 수 있다. 상기 복수의 제2 가지부들(b2)은 상기 제2 줄기부(t2)에 의해서 구획된 각 도메인 내에서 서로 평행하게 연장되며 서로 이격되어 배열된다. 상기 제2 가지부들(b2)에 있어서, 서로 인접한 제2 가지부들(b2)은 마이크로미터 단위의 거리로 이격되어 다수의 제2 미세 슬릿(US2)을 형성한다.

[0097] 도 9를 참조하면, 액정 표시 장치는 제1 기판(100), 상기 제1 기판(100)과 마주하여 결합하는 제2 기판(200) 및 상기 제1 기판(100)과 상기 제2 기판(200) 사이에 개재된 액정층(300)을 포함한다.

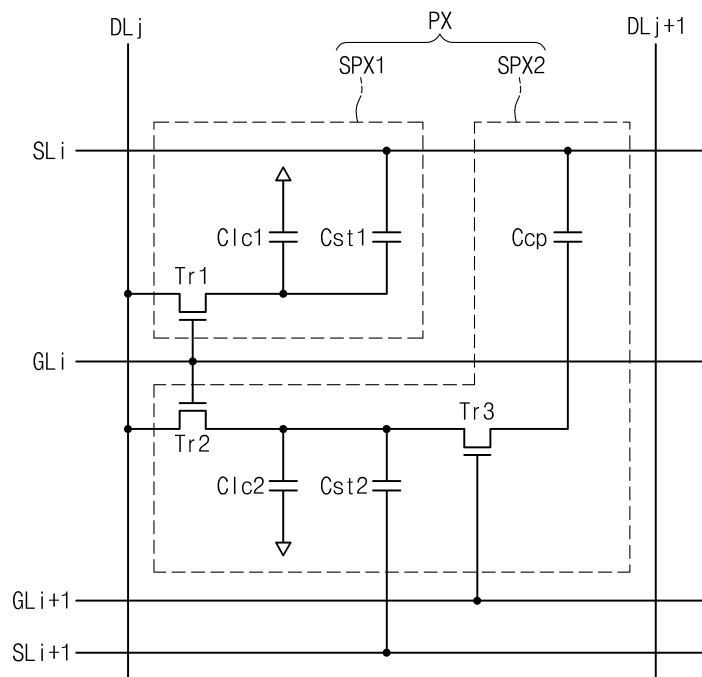
- [0098] 상기 제1 기관(100)은 투명한 절연성 기관으로 이루어진 제1 베이스 기관(110)을 포함한다. 상기 제1 베이스 기관(110) 상에는 제1 및 제2 게이트 라인(GLi, GLi-1), 제1 및 제2 스토리지 라인(SLi, SLi-1), 제1 내지 제4 분기 전극(LSL1, RSL1, LSL2, RSL2)으로 이루어진 게이트 배선부가 구비된다.
- [0099] 상기 제1 기관(100)은 상기 게이트 배선부를 커버하는 제1 절연막(121)을 포함하고, 상기 제1 절연막(121) 상에는 제1 및 제2 데이터 라인(DLj, DLj+1) 및 전압 라인(VL)으로 이루어진 데이터 배선부가 구비된다. 상기 데이터 배선부는 제2 절연막(122)에 의해서 커버되고, 상기 제2 절연막(122) 위로는 제3 절연막(123)이 구비된다.
- [0100] 상기 제3 절연막(123) 상에는 상기 제1 서브화소전극(SPEa) 및 상기 제2 서브화소전극(SPEb)이 구비된다.
- [0101] 상기 제1 서브화소전극(SPEa) 및 상기 제2 서브화소전극(SPEb) 상에는 제4 절연막(124)이 구비되고, 상기 제4 절연막(124) 상에는 제3 서브화소전극(SPEc) 및 제4 서브화소전극(SPEd)이 구비된다.
- [0102] 상기 제1 기관(100)은 상기 제3 서브화소전극(SPEc) 및 상기 제4 서브화소전극(SPEd)을 커버하는 제1 배향막(140)을 더 포함한다.
- [0103] 상기 제1 배향막(140)은 광(예를 들어, 자외선(UV) 또는 레이저)의 조사에 의해 분해(decomposition), 이합체화 반응(dimerization), 이성질체화반응(isomerization) 중 하나의 반응이 이루어지는 고분자 물질을 포함할 수 있다. 또한, 상기 제1 배향막(140)은 반응성 메조겐이 중합된 고분자로 이루어질 수 있다.
- [0104] 한편, 상기 제2 기관(200)은 상기 제1 베이스 기관(110)과 마주하는 제2 베이스 기관(210)을 포함한다. 상기 제2 베이스 기관(210) 상에는 레드, 그린 및 블루 색화소(R,G,B)를 포함하는 컬러필터층(220)을 포함한다.
- [0105] 상기 컬러필터층(220) 상에는 공통전극(230)이 구비된다. 상기 공통전극(230)은 상기 제1 서브화소전극(SPEa)과 마주하여 상기 제1 액정 커패시터(C1c1)를 형성한다. 도면에 도시하지는 않았지만, 상기 공통전극(230)은 상기 제2 서브화소전극(SPEb)과 마주하여 상기 제2 액정 커패시터(C1c2)를 형성한다.
- [0106] 상기 액정층(300)은 상술한 실시예에서 사용된 액정 조성물을 포함하며, 상세한 설명은 상기 실시예에 따른다.
- [0107] 상기한 구조를 갖는 액정 표시 장치는 반응성 메조겐을 이용하여 노광 공정을 진행함으로써 제1 및 제2 배향막(140, 240)을 형성하는 공정을 포함하여 제조된다. 상기 노광 공정시에는 상기 공통전극(230)과 상기 제3 및 제4 서브화소전극(SPEc, SPEd)에 전계를 인가한다. 이에 따라, 상기 제3 및 제4 서브화소전극(SPEc, SPEd)의 제1 및 제2 미세슬릿(US1, US2)에 의해 수직 전계가 왜곡되어 프린지 전계가 형성된다. 상기한 바와 같이, 수직 전계의 왜곡을 유발시킨 상태에서 상기 반응성 메조겐을 반응시킴으로써 액정을 프리틸트시킬 수 있다. 이후, 상기 공통전극(230)과 상기 제1 및 제2 서브화소전극(SPEa, SPEb)에 전압을 인가함으로써 상기 액정 표시 장치를 구동한다. 즉, 상기 액정 표시 장치의 제조 시의 전계 노광 공정에서는 제3 및 제4 서브화소전극(SPEc, SPEd)을, 상기 액정 표시 장치의 일반 구동시에는 상기 제1 및 제2 서브화소전극들(SPEa, SPEb)을 이용한다. 여기서, 상기 제1 및 제2 서브화소전극들(SPEa, SPEb)은 통판으로 형성되므로 상기 공통전극과의 사이에서 전계의 왜곡이 없는 수직 전계를 형성한다. 즉, 상기 제1 및 제2 서브화소전극들(SPEa, SPEb)은 상기 공통전극(230)과의 사이에 상기 기관의 상면에 실질적으로 평행한 등전위면을 형성한다.
- [0108] 이에 따라, 본 발명의 일 실시예에 따른 액정 표시 장치는, 상기 제3 및 제4 서브화소전극들에 의해 복수의 도메인별로 액정 분자들을 용이하게 프리틸트시키는 것이 용이할 뿐만 아니라, 상기 제1 및 제2 서브화소전극들이 상기 공통전극과 전계를 형성하므로 수직 전계의 왜곡이 없어 영상의 휘도 분포가 균일하다. 또한, 액정의 2단계 움직임(2 step motion)이 없기 때문에 응답 속도가 크게 향상된다.
- [0109] 본 발명의 일 실시예에 따른 액정 표시 장치는 빠른 구동 속도를 가지므로, 2차원 영상 모드(2D 모드)의 액정 표시 장치뿐만 아니라, 3차원 영상 모드(3D 모드)의 액정 표시 장치에 사용될 수 있다. 특히 광을 투과시키는 광투과 영역과 상기 광을 차단하는 광 차단 영역을 이용하는 패럴랙스 배리어 방식, 다수 개의 렌즈를 이용하는 렌티큘러 렌즈 방식, 상기 광들을 서로 다른 방향의 편광축을 가지는 두 종의 광으로 편광하는 패턴드 리타더를 이용하는 패턴드 리타더 방식, 셔터 글라스 방식 등의 3D 모드 액정 표시 장치에 사용될 수 있다.
- [0110] 여기서, 상기 패럴랙스 배리어 방식, 상기 렌티큘러 렌즈 방식, 상기 패턴드 리타더 방식은 개별적으로 준비된 패럴랙스 배리어, 렌티큘러 렌즈, 패턴드 리타더를 사용할 수도 있으나, 상기 2D 모드에서 턴-오프되어 상기 광을 투과시키며, 상기 3D 모드에서 턴-온되어 상기 광을 우안용 광과 좌안용 광으로 변경하는 광 변환부를 이용하여 입체 영상을 구현할 수도 있다. 상기 셔터 글라스 방식은 2D 모드에서 일반 영상을 재생하고, 3D 모드에서 액정 표시 장치가 좌안 영상과 우안 영상을 순차적으로 재생함과 동시에 상기 좌안 및 우안 영상에 연동하여 글

도면

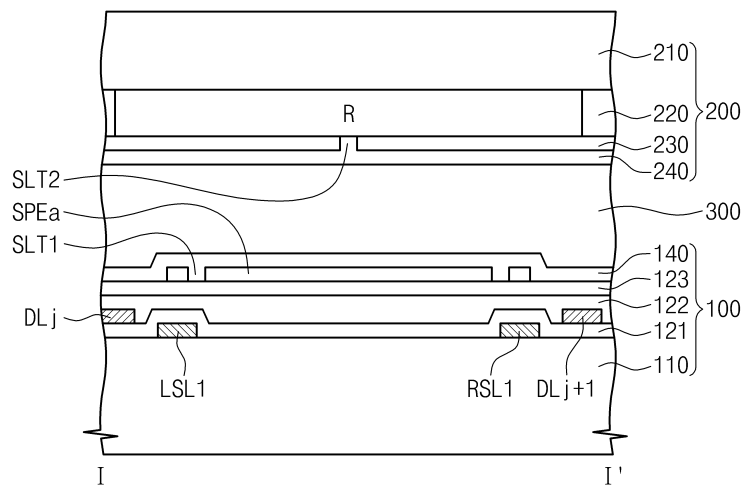
도면1



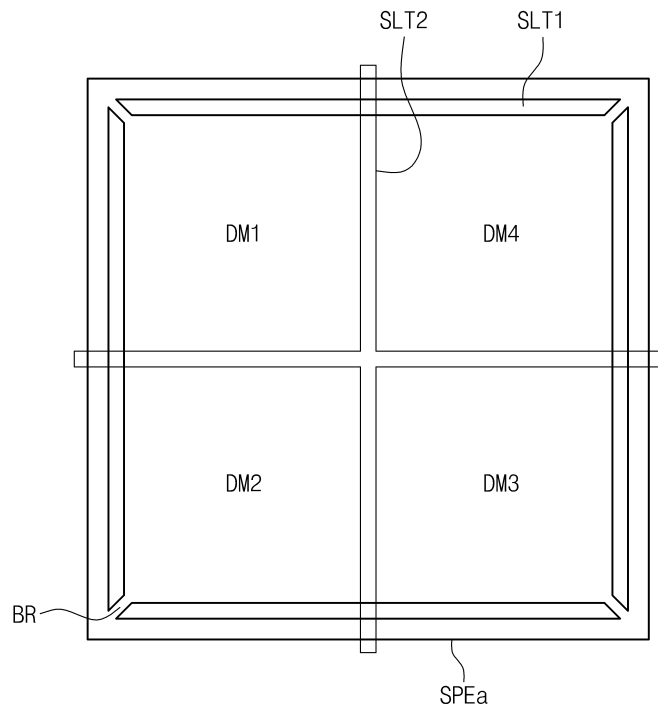
도면2



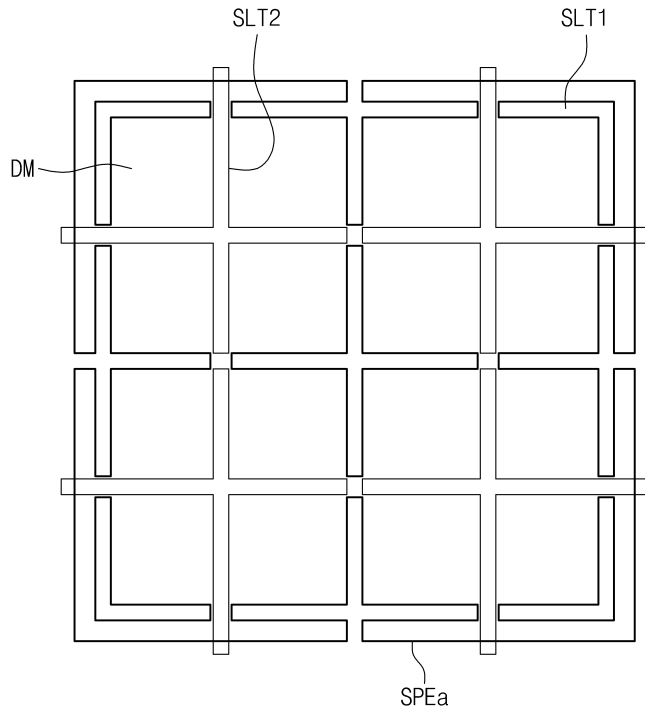
도면3



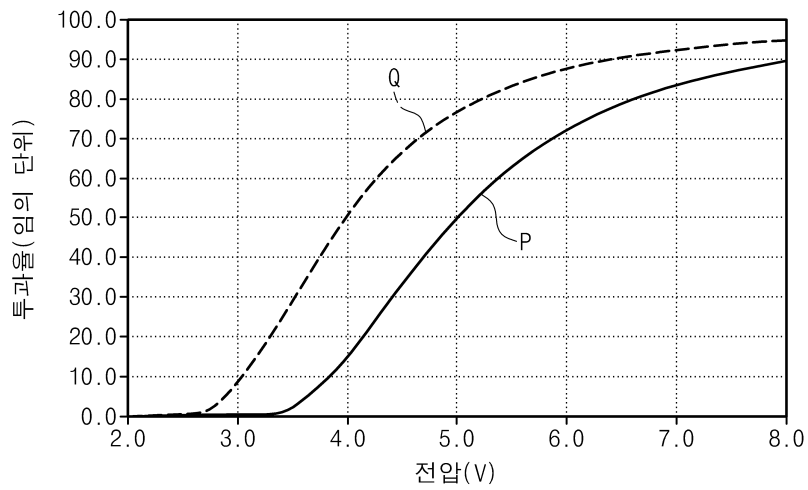
도면4a



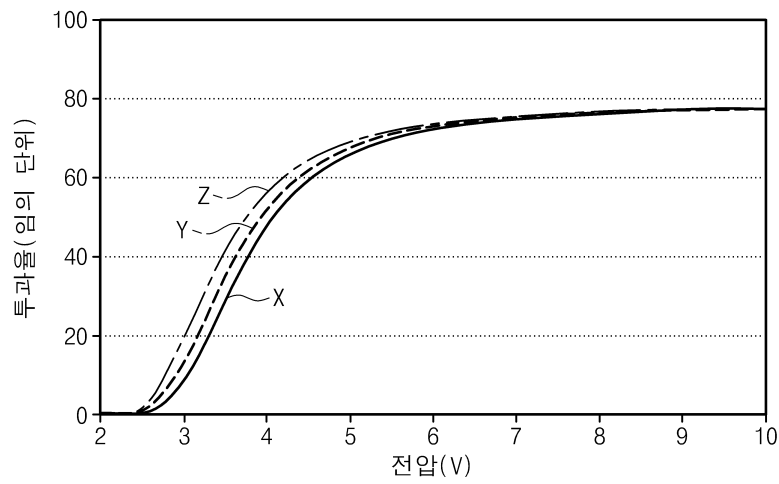
도면4b



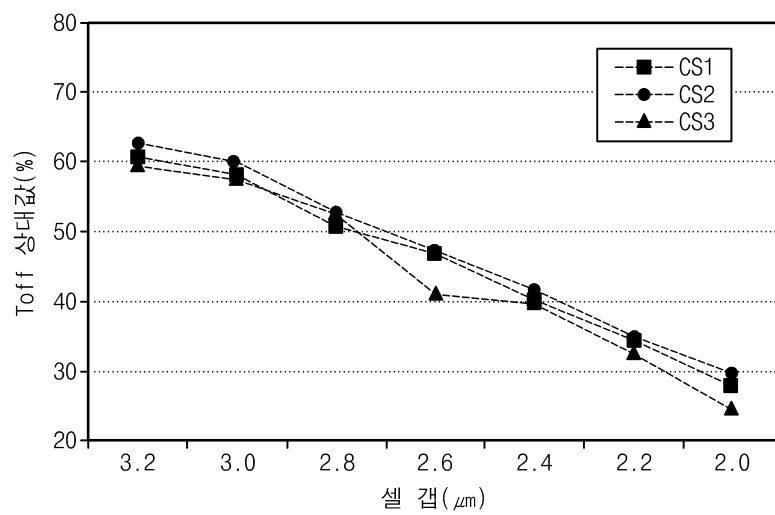
도면5a



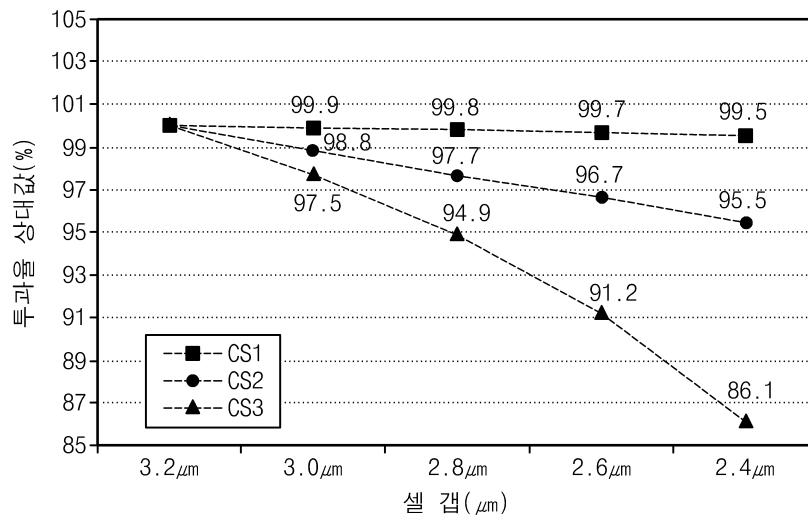
도면5b



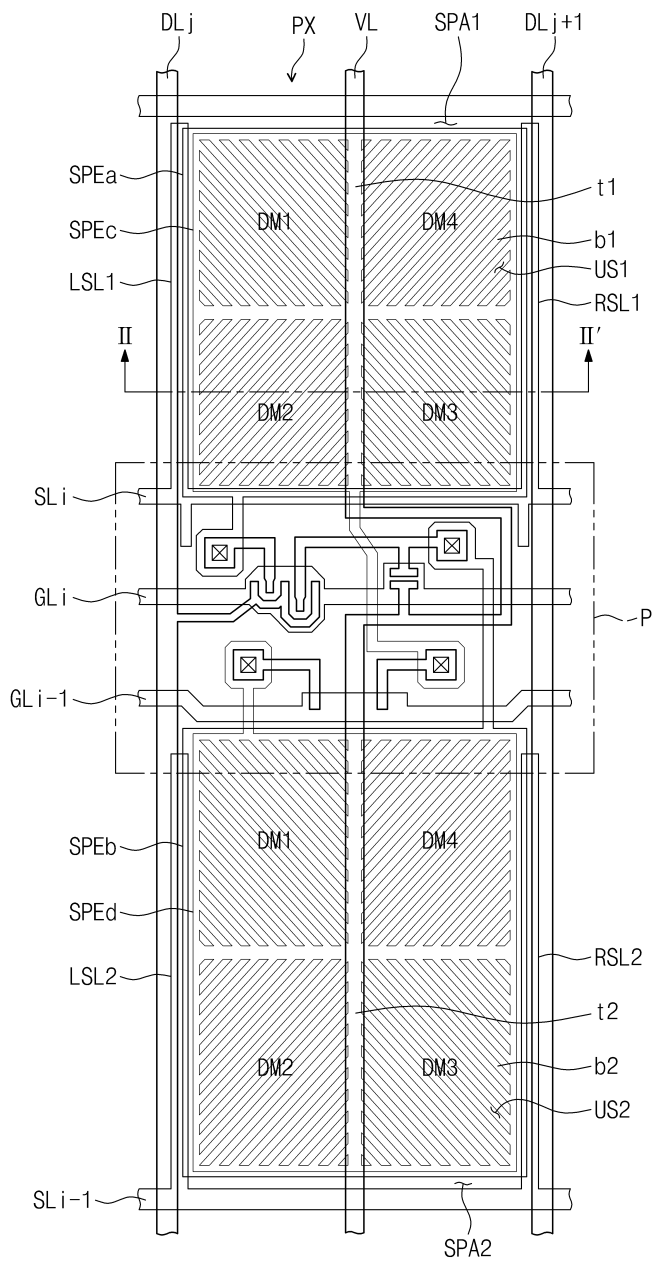
도면6a



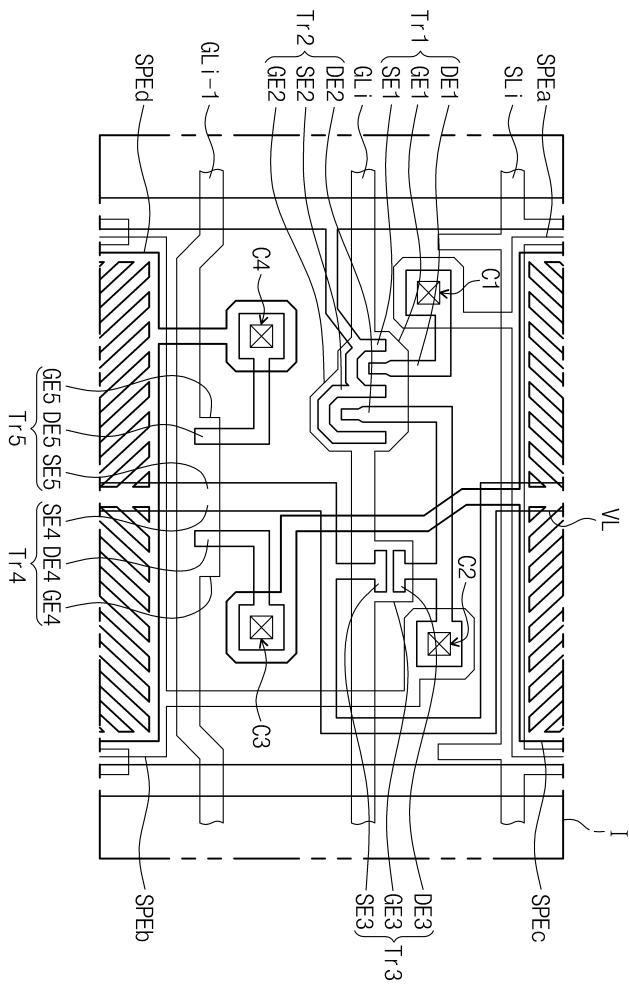
도면6b



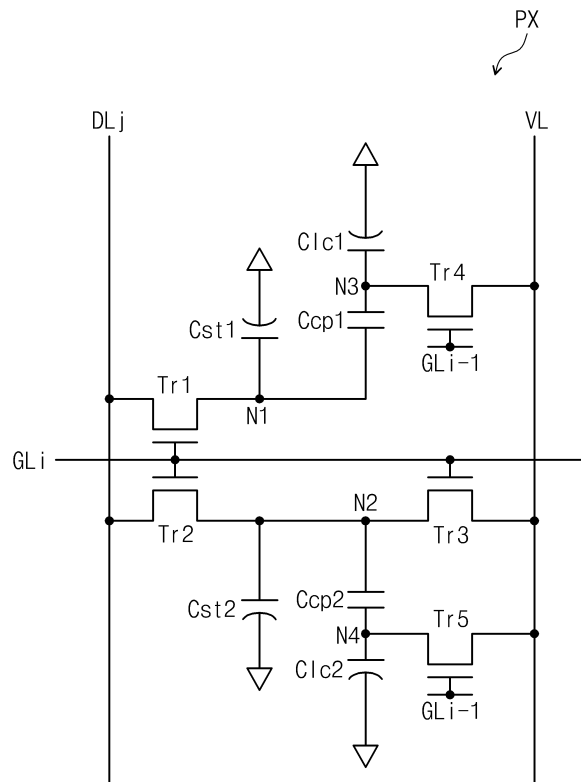
도면7a



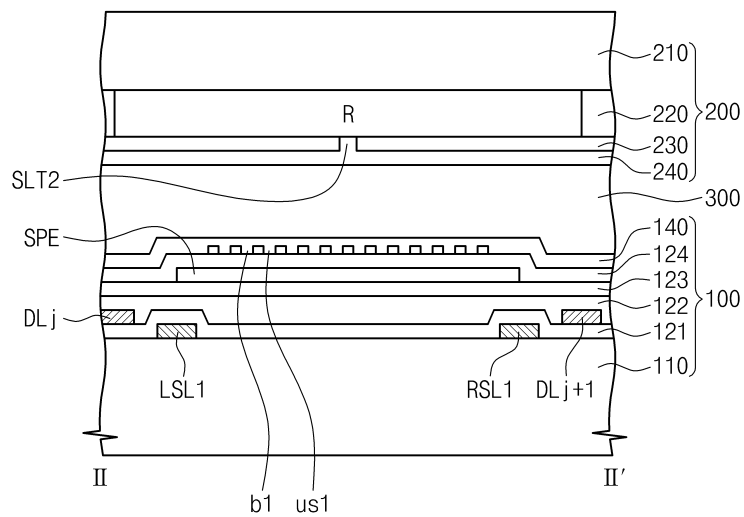
도면7b



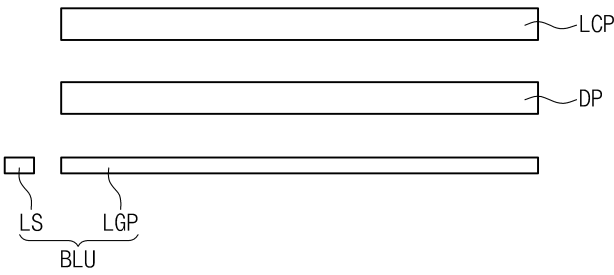
도면8



도면9



도면10



专利名称(译)	液晶显示器		
公开(公告)号	KR101930000B1	公开(公告)日	2018-12-19
申请号	KR1020120018064	申请日	2012-02-22
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	RHO SOON JOON 노순준 PARK JUN HA 박준하 BAE JIHONG 배지홍 JANG HYE LIM 장혜림 LEE HYEOKJIN 이혁진		
发明人	노순준 박준하 배지홍 장혜림 이혁진		
IPC分类号	G02F1/1343 C09K13/00 G02F1/1337		
CPC分类号	G02F1/134309 G02F1/13624 G02F2001/134318 G02F2001/134345 G02F2001/13712 Y10T428/1005		
其他公开文献	KR1020130096534A		
外部链接	Espacenet		

摘要(译)

液晶显示器包括多个像素，并包括第一基板，第二基板和设置在第一和第二基板之间的液晶层。第一基板包括第一基础基板和用于每个像素设置在第一基础基板上的像素电极。其中，第二基板包括与第一基板相对的第二基础基板和具有等电位表面的电场，该等电位表面设置在第二基础基板上并与像素电极基本平行于第一基础基板的上表面并且要形成公共电极。液晶层设置在像素电极和公共电极之间，并且由具有小于-2.9至-1.7或更大的介电各向异性的液晶组合物制成。

