



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년08월03일
(11) 등록번호 10-1645231
(24) 등록일자 2016년07월28일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G02F 1/133 (2006.01)
(21) 출원번호 10-2009-0050316
(22) 출원일자 2009년06월08일
심사청구일자 2014년06월03일
(65) 공개번호 10-2009-0127814
(43) 공개일자 2009년12월14일
(30) 우선권주장
JP-P-2008-150608 2008년06월09일 일본(JP)
(56) 선행기술조사문헌
KR1020070088011 A
KR1020070034145 A*
US20030011553 A1*
KR1020060083650 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시킴가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
키무라 하지메
일본국 가나가와켄 아쓰기시 하세 398 가부시킴가
이샤 한도오파이 에네루기 켄큐쇼 나이
우메자키 아쓰시
일본국 가나가와켄 아쓰기시 하세 398 가부시킴가
이샤 한도오파이 에네루기 켄큐쇼 나이
(74) 대리인
이화익, 김홍두

전체 청구항 수 : 총 15 항

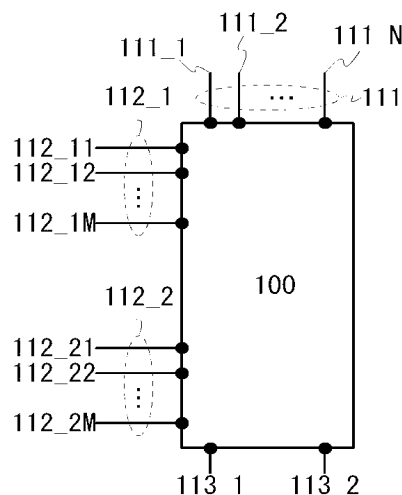
심사관 : 추장희

(54) 발명의 명칭 표시장치, 액정표시장치 및 액정표시장치를 구비한 전자기기

(57) 요약

제1 내지 n(n은 2 이상의 자연수)의 서브 화소를 갖는 화소와, 회로를 갖고, 회로에는, N(N은 2 이상의 자연수) 비트의 디지털 신호를 공급하기 위한 N개의 배선과, M(M은 2 이상의 자연수)개의 다른 전압을 공급하기 위한 M개의 배선을 갖는 제1 내지 n의 배선군이 전기적으로 접속되어 있고, 디지털 신호를, 제1 내지 n의 배선군에 공급되는 M개의 전압을 사용하여, n개의 아날로그 신호로 변환하고, n개의 아날로그 신호를 제1 내지 n의 서브 화소에 각각 입력하는 기능을 갖고, 제1 내지 n의 서브 화소는, 각각, 액정소자를 구동하기 위한 전극을 갖는 액정표시장치로 한다.

대표도



명세서

청구범위

청구항 1

액정소자를 구동하기 위한 전극이 각각 설치된 제1 내지 제 n (n 은 2 이상의 자연수)의 서브 화소와,
제1 내지 제 n 의 배선과,
 N (N 은 2 이상의 자연수)비트의 디지털 신호를, 제1 내지 제 n 의 배선군으로부터 공급된 M (M 은 2 이상의 자연수)개의 다른 전압을 사용하여, n 개의 아날로그 신호로 변환하는 기능과, 상기 n 개의 아날로그 신호를 각각, 상기 제1 내지 제 n 의 서브 화소에 입력하는 기능을 갖는 회로를 포함하고,
상기 제1 내지 제 n 의 서브 화소 각각은 상기 제1 내지 제 n 의 배선 중에서 대응하는 배선을 통해 상기 회로에 전기적으로 접속되는 액정표시장치.

청구항 2

제 1항에 있어서,
상기 회로에 전기적으로 접속되는 배선군은, 상기 제1 내지 제 n 의 배선군마다 다른 상기 M 개의 전압을 공급하는 액정표시장치.

청구항 3

액정소자를 구동하기 위한 전극이 각각 설치된 제1 내지 제 n (n 은 2 이상의 자연수)의 서브 화소와,
제1 내지 제 n 의 배선과,
 N (N 은 2 이상의 자연수)비트의 디지털 신호를, 배선군으로부터 공급된 M (M 은 2 이상의 자연수)개의 다른 전압을 사용하여, 아날로그 신호로 변환하는 기능과, 상기 아날로그 신호를 상기 제1 내지 제 n 의 서브 화소의 어느 한 개에 입력하는 기능을 각각 갖는 제1 내지 제 n 의 회로를 포함하고,
상기 제1 내지 제 n 의 서브 화소 각각은 상기 제1 내지 제 n 의 배선 중에서 대응하는 배선을 통해 상기 제1 내지 제 n 의 회로 중에서 대응하는 회로에 전기적으로 접속되는 액정표시장치.

청구항 4

제 3항에 있어서,
상기 제1 내지 제 n 의 회로에 전기적으로 접속되는 배선군은, 상기 제1 내지 제 n 의 회로마다 다른 상기 M 개의 전압을 공급하는 액정표시장치.

청구항 5

액정소자를 구동하기 위한 전극이 각각 설치된 제1 서브 화소 및 제2 서브 화소와,
제1 배선 및 제2 배선과,
 N (N 은 2 이상의 자연수)비트의 디지털 신호를, 제1 배선군 및 제2 배선군으로부터 공급된 M (M 은 2 이상의 자연수)개의 다른 전압을 사용하여, 제1 아날로그 신호 및 제2 아날로그 신호로 변환하는 기능과, 상기 제1 아날로그 신호를 상기 제1 서브 화소에, 상기 제2 아날로그 신호를 상기 제2 서브 화소에, 입력하는 기능을 갖는 회로를 포함하고,
상기 제1 서브 화소 및 상기 제2 서브 화소 각각은 상기 제1 배선 및 상기 제2 배선 중에서 대응하는 배선을 통해 상기 회로에 전기적으로 접속되는 액정표시장치.

청구항 6

제 5항에 있어서,

상기 회로에 전기적으로 접속되는 배선군은, 상기 제1 배선군 및 상기 제2 배선군에서 다른 상기 M개의 전압을 공급하는 액정표시장치.

청구항 7

액정소자를 구동하기 위한 전극이 각각 설치된 제1 내지 제 n (n 은 2 이상의 자연수)의 서브 화소와,
제1 내지 제 n 의 배선과,

N (N 은 2 이상의 자연수)비트의 제1 디지털 신호를 디코딩하여 상기 제 1 디지털 신호를 제2 디지털 신호로 변환하는 기능을 갖는 제1 회로와,

상기 제2 디지털 신호를, 배선군으로부터 공급된 M (M 은 2 이상의 자연수)개의 다른 전압을 사용하여, 아날로그 신호로 변환하는 기능과, 상기 아날로그 신호를 상기 제1 내지 제 n 의 서브 화소의 어느 한 개에 입력하는 기능을 각각 갖는 n 개의 제2 회로를 포함하고,

상기 제1 내지 제 n 의 서브 화소 각각은 상기 제1 내지 제 n 의 배선 중에서 대응하는 배선을 통해 상기 n 개의 제2 회로 중에서 대응하는 제2 회로에 전기적으로 접속되는 액정표시장치.

청구항 8

제 7항에 있어서,

상기 n 개의 제2 회로 각각에 전기적으로 접속되는 배선군은, 상기 n 개의 제2 회로마다 다른 상기 M개의 전압을 공급하는 액정표시장치.

청구항 9

액정소자를 구동하기 위한 전극이 각각 설치된 제1 서브 화소 및 제2 서브 화소와,

제1 배선 및 제2 배선과,

N (N 은 2 이상의 자연수)비트의 제1 디지털 신호를 디코딩하여 상기 제 1 디지털 신호를 제2 디지털 신호로 변환하는 기능을 갖는 제1 회로와,

상기 제2 디지털 신호를, 배선군으로부터 공급된 M (M 은 2 이상의 자연수)개의 다른 전압을 사용하여, 아날로그 신호로 변환하는 기능과, 상기 아날로그 신호를 상기 제1 서브 화소 또는 상기 제2 서브 화소에 입력하는 기능을 각각 갖는 2개의 제2 회로를 포함하고,

상기 제1 서브 화소 및 상기 제2 서브 화소 각각은 상기 제1 배선 및 상기 제2 배선 중에서 대응하는 배선을 통해 상기 2개의 제2 회로 중에서 대응하는 제2 회로에 전기적으로 접속되는 액정표시장치.

청구항 10

제 9항에 있어서,

상기 2개의 제2 회로 각각에 전기적으로 접속되는 배선군은, 상기 2개의 제2 회로마다 다른 상기 M개의 전압을 공급하는 액정표시장치.

청구항 11

액정소자를 구동하기 위한 전극이 각각 설치된 제1 서브 화소 및 제2 서브 화소와,

제1 배선 및 제2 배선과,

N (N 은 2 이상의 자연수)비트의 디지털 신호를 공급하기 위한 N 개의 배선과, M (M 은 2 이상의 자연수)개의 다른 전압을 공급하기 위한 M 개의 배선을 갖는 제1 배선군과, M 개의 다른 전압을 공급하기 위한 M 개의 배선을 갖는 제2 배선군과, M 개의 다른 전압을 공급하기 위한 M 개의 배선을 갖는 제3 배선군과, M 개의 다른 전압을 공급하기 위한 M 개의 배선을 갖는 제4 배선군과 전기적으로 접속되는 회로를 갖고,

상기 N 비트의 디지털 신호가, 상기 제1 배선군에 공급되는 상기 M 개의 전압과 상기 제2 배선군에 공급되는 상기 M 개의 전압을 사용하여, 제1 아날로그 신호 및 제2 아날로그 신호로 변환되고, 상기 제1 아날로그 신호가 상기

제1 서브 화소에, 상기 제2 아날로그 신호가 상기 제2 서브 화소에, 입력되는 제1 모드와,
 상기 N비트의 디지털 신호가, 상기 제3 배선군에 공급되는 상기 M개의 전압과 상기 제4 배선군에 공급되는 상기 M개의 전압을 사용하여, 제3 아날로그 신호 및 제4 아날로그 신호로 변환되고, 상기 제3 아날로그 신호가 상기 제1 서브 화소에, 상기 제4 아날로그 신호가 상기 제2 서브 화소에, 입력되는 제2 모드를 갖고,
 상기 제1 모드와 상기 제2 모드의 어느 한쪽에 따라 동작하는 기능을 포함하고,
 상기 제1 서브 화소 및 상기 제2 서브 화소 각각은 상기 제1 배선 및 상기 제2 배선 중에서 대응하는 배선을 통해 상기 회로에 전기적으로 접속되는 액정표시장치.

청구항 12

액정소자를 구동하기 위한 전극이 각각 설치된 제1 서브 화소 및 제2 서브 화소와,
 제1 배선 및 제2 배선과,
 N(N은 2 이상의 자연수)비트의 디지털 신호를 공급하기 위한 N개의 배선과, M(M은 2 이상의 자연수)개의 다른 전압을 공급하기 위한 M개의 배선을 갖는 제1 배선군과 전기적으로 접속되는 제1 회로와,
 상기 N개의 배선과, M개의 다른 전압을 공급하기 위한 M개의 배선을 갖는 제2 배선군과 전기적으로 접속되는 제2 회로와,
 상기 N개의 배선과, M개의 다른 전압을 공급하기 위한 M개의 배선을 갖는 제3 배선군과 전기적으로 접속되는 제3 회로와,
 상기 N개의 배선과, M개의 다른 전압을 공급하기 위한 M개의 배선을 갖는 제4 배선군과 전기적으로 접속되는 제4 회로를 갖고,
 상기 N비트의 디지털 신호가, 상기 제1 회로에 의해, 상기 제1 배선군에 공급되는 상기 M개의 전압을 사용하여, 제1 아날로그 신호로 변환되고, 또한 상기 제2 회로에 의해, 상기 제2 배선군에 공급되는 상기 M개의 전압을 사용하여, 제2 아날로그 신호로 변환되고, 상기 제1 아날로그 신호가 상기 제1 서브 화소에, 상기 제2 아날로그 신호가 상기 제2 서브 화소에 입력되는 제1 모드와,
 상기 N비트의 디지털 신호가, 상기 제3 회로에 의해, 상기 제3 배선군에 공급되는 상기 M개의 전압을 사용하여, 제3 아날로그 신호로 변환되고, 또한 상기 제4 회로에 의해, 상기 제4 배선군에 공급되는 상기 M개의 전압을 사용하여, 제4 아날로그 신호로 변환되고, 상기 제3 아날로그 신호가 상기 제1 서브 화소에, 상기 제4 아날로그 신호가 상기 제2 서브 화소에 입력되는 제2 모드를 갖고,
 상기 제1 모드와 상기 제2 모드의 어느 한쪽에 따라 동작하는 기능을 포함하고,
 상기 제1 서브 화소는 상기 제1 배선을 통해 상기 제1 회로 및 상기 제3 회로에 전기적으로 접속되고,
 상기 제2 서브 화소는 상기 제2 배선을 통해 상기 제2 회로 및 상기 제4 회로에 전기적으로 접속되는 액정표시장치.

청구항 13

액정소자를 구동하기 위한 전극이 각각 설치된 제1 서브 화소 및 제2 서브 화소와,
 제1 배선 및 제2 배선과,
 N(N은 2 이상의 자연수)비트의 디지털 신호를 공급하기 위한 N개의 배선과 전기적으로 접속되고, 또한 상기 N비트의 디지털 신호를 디코딩하여 상기 디지털 신호를 제2 디지털 신호로 변환하는 기능을 갖는 제1 회로와,
 상기 N개의 배선과 전기적으로 접속되고, 또한 상기 N비트의 디지털 신호를 디코딩하여 상기 디지털 신호를 제3 디지털 신호로 변환하는 기능을 갖는 제2 회로와,
 상기 제2 디지털 신호를 공급하기 위한 2^N 개의 배선과, M(M은 2 이상의 자연수)개의 다른 전압을 공급하기 위한 M개의 배선을 갖는 제1 배선군과 전기적으로 접속되는 제3 회로와,
 상기 제2 디지털 신호를 공급하기 위한 상기 2^N 개의 배선과, M개의 다른 전압을 공급하기 위한 M개의 배선을 갖

는 제2 배선군과 전기적으로 접속되는 제4 회로와,

상기 제3 디지털 신호를 공급하기 위한 2^N 개의 배선과, M개의 다른 전압을 공급하기 위한 M개의 배선을 갖는 제3 배선군과 전기적으로 접속되는 제5 회로와,

상기 제3 디지털 신호를 공급하기 위한 상기 2^N 개의 배선과, M개의 다른 전압을 공급하기 위한 M개의 배선을 갖는 제4 배선군과 전기적으로 접속되는 제6 회로를 갖고,

상기 N비트의 디지털 신호가, 상기 제3 회로에 의해, 상기 제1 배선군에 공급되는 상기 M개의 전압을 사용하여, 제1 아날로그 신호로 변환되고, 또한 상기 제4 회로에 의해, 상기 제2 배선군에 공급되는 상기 M개의 전압을 사용하여, 제2 아날로그 신호로 변환되고, 상기 제1 아날로그 신호가 상기 제1 서브 화소에, 상기 제2 아날로그 신호가 상기 제2 서브 화소에 입력되는 제1 모드와,

상기 N비트의 디지털 신호가, 상기 제5 회로에 의해, 상기 제3 배선군에 공급되는 상기 M개의 전압을 사용하여, 제3 아날로그 신호로 변환되고, 또한 상기 제6 회로에 의해, 상기 제4 배선군에 공급되는 상기 M개의 전압을 사용하여, 제4 아날로그 신호로 변환되고, 상기 제3 아날로그 신호가 상기 제1 서브 화소에, 상기 제4 아날로그 신호가 상기 제2 서브 화소에 입력되는 제2 모드를 갖고,

상기 제1 모드와 상기 제2 모드의 어느 한쪽에 따라 동작하는 기능을 포함하고,

상기 제1 서브 화소는 상기 제1 배선을 통해 상기 제3 회로 및 상기 제5 회로에 전기적으로 접속되고,

상기 제2 서브 화소는 상기 제2 배선을 통해 상기 제4 회로 및 상기 제6 회로에 전기적으로 접속되는 액정표시장치.

청구항 14

제 1항 내지 제 13항 중 어느 한 항에 따른 액정표시장치와, 스위치 또는 조작 키를 포함한 전자기기.

청구항 15

소자를 구동하기 위한 전극이 각각 설치된 제1 내지 제n(n은 2 이상의 자연수)의 서브 화소와,

제1 내지 제n의 배선과,

N(N은 2 이상의 자연수)비트의 디지털 신호를, 제1 내지 제n의 배선군으로부터 공급된 M(M은 2 이상의 자연수)개의 다른 전압을 사용하여, n개의 아날로그 신호로 변환하는 기능과, 상기 n개의 아날로그 신호를 각각 상기 제1 내지 제n의 서브 화소에 입력하는 기능을 갖는 회로를 포함하고,

상기 제1 내지 제n의 서브 화소 각각은 상기 제1 내지 제n의 배선 중에서 대응하는 배선을 통해 상기 회로에 전기적으로 접속되는 표시장치.

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명의 일 양태는, 표시장치, 또는 표시장치의 구동방법에 관한 것이다. 특히, 화소가 복수의 서브 화소로 분할된 액정표시장치, 및 해당 액정표시장치의 구동방법에 관한 것이다. 더구나, 액정표시장치, 또는 액정표시장치를 표시부에 갖는 전자기기에 관한 것이다.

배경 기술

[0002] 액정표시장치는, 휴대전화기, 텔레비전 수상기 등의 많은 전기 제품에 사용되고 있고, 더욱 더 고품질화를 향해 많은 연구가 행해지고 있다.

[0003] 액정표시장치는, CRT(브라운관)에 비해 소형이면서 경량이며, 소비 전력이 작다고 한 이점을 갖는 한편으로, 시야각이 좁다고 하는 문제를 갖는다. 최근에는, 시야각 특성을 개선하기 위해서 멀티 도메인 방식, 즉

배향분할법의 연구가 많이 행해지고 있다. 예를 들면, VA 방식(Vertical Alignment; 수직배향방식)에 멀티 도메인 방식을 조합한 MVA 방식(Multi-domain Vertical Alignment; 멀티 도메인형 수직배향 방식)이나 PVA 방식(Patterned Vertical Alignment; 패턴형 수직배향 방식) 등이 있다.

[0004] 1개의 화소를 복수의 서브 화소로 분할하고, 각 서브 화소에 있어서의 액정의 배향상태를 다르게 하는 것으로 시야각의 향상을 꾀한다고 한 연구도 행해지고 있다. 그렇지만, 화소는, 복수의 서브 화소로 분할되기 때문에, 한개의 화소에 복수의 신호를 입력할 필요가 있다. 그 때문에, 표시장치를 구동하기 위해서 필요한 신호수가 증가하고 있었다. 따라서, 1화소분의 신호를 각 서브 화소용의 신호로 변환하는 연구가 행해지고 있다. (특허문헌 1 참조).

[0005] [특허문헌 1] 일본국 특개 2007-226196호 공보

발명의 내용

해결 하고자하는 과제

[0006] 그렇지만, 특허문헌 1의 표시장치는, 각 서브 화소에 따른 신호를, 패널의 외부에서 생성한다. 따라서, 화소를 복수의 서브 화소로 분할하면, 패널과 외부 부품의 접속수가 대폭 증가해버린다. 그 결과, 패널과 외부 부품과의 접속 부분에 접속 불량에 생기게 되어, 신뢰성이 저하해 버린다고 하는 과제가 있다. 또는, 표시장치를 생산할 때의 제품 수율이 저하하여, 비용이 높아져 버린다고 하는 과제가 있다. 또는, 패널과 외부 부품의 접속수의 증가에 의해, 표시장치를 고선명도로 하는 것이 곤란해져 버린다고 하는 과제가 있다.

[0007] 또는, 각 서브 화소에 따른 신호를 생성하기 위해서, 룩업테이블이 사용되는 경우가 있다. 따라서, 각 서브 화소에 따른 신호를 생성하는 부분과, 화소를 동일 기판에 형성하는 것이 곤란하다고 하는 과제가 있다.

[0008] 또는, 룩업테이블이 기억된 메모리 소자로부터 각 서브 화소에 따른 신호를 판독하기 위해, 메모리 소자를 고속으로 구동할 필요가 있다. 그 때문에, 메모리 소자로부터의 룩업테이블의 판독에 따라, 발열이 발생하여, 소비 전력이 커져 버린다. 또는, 룩업테이블을 기억하는 메모리 소자를 설치하는 것이 필요하게 되기 때문에, 비용이 높아져 버린다. 또는, 각 서브 화소에 따른 신호를 생성하고나서 각 서브 화소에 기록될 때까지의 경로가 길어, 그 경로의 도중에 패널과 외부 부품과의 접속 개소가 존재하고 있다. 그 때문에, 신호가 노이즈의 영향을 받기 쉬워져, 표시 품질이 저하해 버린다고 하는 과제가 있다.

[0009] 상기 문제를 감안하여, 룩업테이블을 사용하지 않고, 한개의 디지털 신호를 복수의 아날로그 신호로 변환하는 것을 과제의 한가지로 한다. 또는, 패널과 외부 부품과의 접속수를 적게 하는 것을 과제의 한가지로 한다. 또는, 신뢰성을 높게 하는 것을 과제의 한가지로 한다. 또는, 수율을 높게 하는 것을 과제의 한가지로 한다. 또는, 비용을 삭감하는 것을 과제의 한가지로 한다. 또는, 표시부를 고선명도로 하는 것을 과제의 한가지로 한다. 또는, 저가격화를 꾀하는 것을 과제의 한가지로 한다. 또는, 발열하기 어렵게 하는 것을 과제의 한가지로 한다. 또는, 소비 전력을 작게 하는 것을 과제의 한가지로 한다. 또는, 노이즈에 강하게 해서 표시 품질을 높게 하는 것을 과제의 한가지로 한다. 그 밖에도 여러가지 수단을 사용하여, 보다 좋은 표시장치 또는 반도체 장치를 제공하는 것을 과제로 한다.

과제 해결수단

[0010] 본 발명의 일 양태는, 화소가 복수의 서브 화소로 분할되고, 한개의 화소분의 신호를 각 서브 화소용의 신호로 변환하는 변환회로, 예를 들면, 디지털 아날로그 변환회로를 갖는 표시장치에 관한 것이다. 그리고 본 발명에 있어서의 디지털 아날로그 변환회로의 구성은, 1화소분의 신호를 공급하는 배선과, 각각 복수의 전압이 공급되는 배선을 갖는 배선군이 전기적으로 접속되는 것을 요지로 한다. 예를 들면, 한개의 배선군은, 한개의 서브 화소의 계조에 따른 복수의 전압을 갖고 있다. 이때, 화소가 n개의 서브 화소를 갖고 있을 경우, 배선군의 수는, n개로 한다. 예를 들면, 디지털 아날로그 변환회로는, $i(i: 1 \sim n \text{ 중 어느 한개})$ 개째의 배선군이 갖는 복수의 전압의 어느 한개를 선택하고, 그 복수의 전압값의 어느 한개를 i 개째의 서브 화소에 기록한다.

[0011] 이때, 복수의 배선군에 입력되는 복수의 전압(이하, 계조전압군이라고도 한다)은, 각각, 레퍼런스 드라이버(이하, 계조전압 생성회로라고도 한다)에 의해 생성된다. 해당 레퍼런스 드라이버는, 디지털 아날로그 변환

회로에 포함되는 경우와, 포함되지 않는 경우가 있다.

- [0012] 이때, 한개의 레퍼런스 드라이버가, 복수의 계조전압군을 생성하는 경우와, 복수의 레퍼런스 드라이버가, 각각, 한개의 계조전압군을 생성하는 경우가 있다.
- [0013] 이때, 화소는, 복수의 서브 화소로 분할되는 것에 한정되지 않는다. 화소를 복수의 서브 화소로 분할하지 않는 것도 가능하다.
- [0014] 이때, 군이란, 집합체를 말하는 경우가 많다. 예를 들면, 전압군이란, 복수의 전압을 말한다. 다른 예로서, 배선군이란, 복수의 배선을 말한다. 다른 예로서, 전류군이란, 복수의 전류를 말한다. 다른 예로서, 신호군이란, 복수의 신호를 말한다.
- [0015] 이때, 예를 들면, 전압군의 어느 한 개란, 한개의 전압군이 갖는 복수의 전압의 어느 한개의 전압을 말한다. 마찬가지로, 예를 들면, 배선군의 어느 한 개란, 한개의 배선군이 갖는 복수의 전압의 어느 한개의 전압이 공급된 배선을 말한다.
- [0016] 이때, 예를 들면, 복수의 전압군이란, 복수의 집합체(군)가 있고, 그 복수의 집합체가, 각각, 복수의 전압을 갖고 있는 것을 말한다. 마찬가지로, 예를 들면, 복수의 배선군이란, 복수의 집합체(군)가 있고, 그 복수의 집합체가, 각각, 복수의 배선을 갖고 있는 것을 말한다.
- [0017] 본 발명의 일 양태는, 액정소자를 구동하기 위한 전극이 각각 설치된 제1 내지 제 n (n 은 2 이상의 자연수)의 서브 화소와, N (N 은 2 이상의 자연수)비트의 디지털 신호를, 제1 내지 제 n 의 배선군에 의해 공급된 M (M 은 2 이상의 자연수)개의 다른 전압을 사용하여, n 개의 아날로그 신호로 변환하고, 상기 n 개의 아날로그 신호를 각각, 상기 제1내지 제 n 의 서브 화소에 입력하는 기능을 갖는 회로를 갖는 액정표시장치이다.
- [0018] 또한, 본 발명의 일 양태는, 액정소자를 구동하기 위한 전극이 각각 설치된 제1 내지 제 n (n 은 2 이상의 자연수)의 서브 화소와, N (N 은 2 이상의 자연수)비트의 디지털 신호를, 배선군에 의해 공급된 M (M 은 2 이상의 자연수)개의 다른 전압을 사용하여, 아날로그 신호로 변환하고, 상기 아날로그 신호를 상기 제1 내지 제 n 의 서브 화소의 어느 한개에 입력하는 기능을 갖는 제1 내지 제 n 의 회로를 갖는 액정표시장치이다.
- [0019] 또한, 본 발명의 일 양태는, 액정소자를 구동하기 위한 전극이 각각 설치된 제1 서브 화소 및 제2 서브 화소와, N (N 은 2 이상의 자연수)비트의 디지털 신호를, 제1 배선군 및 제2 배선군에 의해 공급된 M (M 은 2 이상의 자연수)개의 다른 전압을 사용하여, 제1 아날로그 신호 및 제2 아날로그 신호로 변환하고, 상기 제1 아날로그 신호를 상기 제1 서브 화소에, 상기 제2 아날로그 신호를 상기 제2 서브 화소에 각각 입력하는 기능을 갖는 회로를 갖는 액정표시장치이다.
- [0020] 또한, 본 발명의 일 양태는, 액정소자를 구동하기 위한 전극이 각각 설치된 제1 내지 제 n (n 은 2 이상의 자연수)의 서브 화소와, N (N 은 2 이상의 자연수)비트의 제1 디지털 신호를 디코딩해서 제2 디지털 신호로 변환하는 제1 회로와, 상기 제2 디지털 신호를, 배선군에 의해 공급된 M (M 은 2 이상의 자연수)개의 다른 전압을 사용하여, 아날로그 신호로 변환하고, 상기 아날로그 신호를 상기 제1 내지 제 n 의 서브 화소의 어느 한개에 입력하는 기능을 갖는 n 개의 제2 회로를 갖는 액정표시장치이다.
- [0021] 또한, 본 발명의 일 양태는, 액정소자를 구동하기 위한 전극이 각각 설치된 제1 서브 화소 및 제2 서브 화소와, N (N 은 2 이상의 자연수)비트의 제1 디지털 신호를 디코딩해서 제2 디지털 신호로 변환하는 제1 회로와, 상기 제2 디지털 신호를, 배선군에 의해 공급된 M (M 은 2 이상의 자연수)개의 다른 전압을 사용하여, 아날로그 신호로 변환하고, 상기 아날로그 신호를 상기 제1 서브 화소 또는 상기 제2 서브 화소에 입력하는 기능을 갖는 2개의 제2 회로를 갖는 액정표시장치이다.
- [0022] 또한, 본 발명의 일 양태는, 제1 모드와, 제2 모드를 갖고, 제1 서브 화소 및 제2 서브 화소를 갖는 화소와, 회로와를 갖고, 회로에는, N (N 은 2 이상의 자연수)비트의 디지털 신호를 공급하기 위한 N 개의 배선과, M (M 은 2 이상의 자연수)개의 다른 전압을 공급하기 위한 M 개의 배선을 갖는 제1 배선군 및 제2 배선군과, M 개의 다른 전압을 공급하기 위한 M 개의 배선을 갖는 제3 배선군 및 제4 배선군이 전기적으로 접속되어 있고, 회로는, 제1 모드에 있어서, 디지털 신호를, 제1 배선군 및 제2 배선군에 공급되는 M 개의 전압을 사용하여, 제1 아날로그 신호 및 제2 아날로그 신호로 변환하고, 제1 아날로그 신호를 제1 서브 화소에, 제2 아날로그 신호를 제2 서브 화소에 각각 입력하고, 제2 모드에 있어서, 디지털 신호를, 제3 배선군 및 제4 배선군에 공급되는 M 개의 전압을 사용하여, 제3 아날로그 신호 및 제4 아날로그 신호로 변환하고, 제3 아날로그 신호를 제1 서브 화소에, 제4 아날로그 신호를 제2 서브 화소에 각각 입력하는 기능을 갖고, 제1 서브 화소 및 제2 서브 화소는, 각각,

액정소자를 구동하기 위한 전극을 갖는 액정표시장치이다.

[0023] 또한, 본 발명의 일 양태는, 제1 모드와, 제2 모드를 갖고, 제1 서브 화소 및 제2 서브 화소를 갖는 화소와, 제1 회로와, 제2 회로와, 제3 회로와, 제4 회로를 갖고, 제1 회로에는, $N(N \geq 2)$ 비트의 디지털 신호를 공급하기 위한 N 개의 배선과, $M(M \geq 2)$ 개의 다른 전압을 공급하기 위한 M 개의 배선을 갖는 제1 배선군이 전기적으로 접속되어 있고, 제2 회로에는, N 비트의 디지털 신호를 공급하기 위한 N 개의 배선과, M 개의 다른 전압을 공급하기 위한 M 개의 배선을 갖는 제2 배선군이 전기적으로 접속되어 있고, 제3 회로에는, N 비트의 디지털 신호를 공급하기 위한 N 개의 배선과, M 개의 다른 전압을 공급하기 위한 M 개의 배선을 갖는 제3 배선군이 전기적으로 접속되어 있고, 제4 회로에는, N 비트의 디지털 신호를 공급하기 위한 N 개의 배선과, M 개의 다른 전압을 공급하기 위한 M 개의 배선을 갖는 제4 배선군이 전기적으로 접속되어 있고, 제1 회로 및 제2 회로는, 제1 모드에 있어서, 디지털 신호를, 제1 배선군 및 제2 배선군에 공급되는 M 개의 전압을 사용하여, 제1 아날로그 신호 및 제2 아날로그 신호로 변환하고, 제1 아날로그 신호를 제1 서브 화소에, 제2 아날로그 신호를 제2 서브 화소에, 각각 입력하는 기능을 갖고, 제3 회로 및 제4 회로는, 제2 모드에 있어서, 디지털 신호를, 제3 배선군 및 제4 배선군에 공급되는 M 개의 전압을 사용하여, 제3 아날로그 신호 및 제4 아날로그 신호로 변환하고, 제3 아날로그 신호를 제1 서브 화소에, 제4 아날로그 신호를 제2 서브 화소에, 각각 입력하는 기능을 갖고, 제1 서브 화소 및 제2 서브 화소는, 각각, 액정소자를 구동하기 위한 전극을 갖는 액정표시장치이다.

[0024] 또한, 본 발명의 일 양태는, 제1 모드와, 제2 모드를 갖고, 제1 서브 화소 및 제2 서브 화소를 갖는 화소와, 제1 회로와, 제2 회로와, 제3 회로와, 제4 회로와, 제5 회로와, 제6 회로를 갖고, 제1 회로는, $N(N \geq 2)$ 비트의 제1 디지털 신호를 디코딩해서 제2 디지털 신호로 변환하고, 2^N 개의 배선에 의해 제2 디지털 신호를 제3 회로 및 제4 회로에 각각 입력하는 기능을 갖고, 제2 회로는, N 비트의 제1 디지털 신호를 디코딩해서 제3 디지털 신호로 변환하고, 2^N 개의 배선에 의해 제3 디지털 신호를 제3 회로 및 제4 회로에 각각 입력하는 기능을 갖고, 제3 회로에는, $M(M \geq 2)$ 개의 다른 전압을 공급하기 위한 M 개의 배선을 갖는 제1 배선군이 전기적으로 접속되어 있고, 제4 회로에는, $M(M \geq 2)$ 개의 다른 전압을 공급하기 위한 M 개의 배선을 갖는 제2 배선군이 전기적으로 접속되어 있고, 제5 회로에는, $M(M \geq 2)$ 개의 다른 전압을 공급하기 위한 M 개의 배선을 갖는 제3 배선군이 전기적으로 접속되어 있고, 제6 회로에는, $M(M \geq 2)$ 개의 다른 전압을 공급하기 위한 M 개의 배선을 갖는 제3 배선군이 전기적으로 접속되어 있고, 제3 회로 및 제4 회로는, 제1 모드에 있어서, 제2 디지털 신호를, 2^N 개의 배선 및 배선군에 공급되는 M 개의 전압을 사용하여, 제1 아날로그 신호 및 제2 아날로그 신호로 변환하고, 제1 아날로그 신호를 제1 서브 화소에, 제2 아날로그 신호를 제2 서브 화소에 각각 입력하는 기능을 갖고, 제5 회로 및 제6 회로는, 제2 모드에 있어서, 제3 디지털 신호를, 배선군에 공급되는 M 개의 전압을 사용하여, 제3 아날로그 신호 및 제4 아날로그 신호로 변환하고, 제3 아날로그 신호를 제1 서브 화소에, 제4 아날로그 신호를 제2 서브 화소에, 각각 입력하는 기능을 갖고, 제1 서브 화소 및 제2 서브 화소는, 각각, 액정소자를 구동하기 위한 전극을 갖는 액정표시장치이다.

[0025] 이때, 스위치는, 다양한 형태의 물건을 사용할 수 있다. 예로서는, 전기적 스위치나 기계적인 스위치가 있다. 즉, 전류의 흐름을 제어할 수 있는 것이면 되며, 특정한 것에 한정되지 않는다. 예를 들면, 스위치로서, 트랜지스터(예를 들면, 바이폴라트랜지스터, MOS 트랜지스터 등), 다이오드(예를 들면, PN 다이오드, PIN 다이오드, 쇼트키 다이오드, MIM(Metal Insulator Metal) 다이오드, MIS(Metal Insulator Semiconductor) 다이오드, 다이오드 접속의 트랜지스터 등) 등을 사용할 수 있다. 또는, 이것들을 조합한 논리회로를 스위치로서 사용할 수 있다.

[0026] 기계적인 스위치의 예로서는, 디지털 마이크로미러 디바이스(DMD)와 같이, MEMS(마이크로·일렉트로·메카니컬·시스템) 기술을 사용한 스위치가 있다. 그 스위치는, 기계적으로 움직일 수 있는 전극을 갖고, 그 전극이 움직임으로써, 도통과 비도통을 제어해서 동작한다.

[0027] 이때, N 채널형 트랜지스터와 P 채널형 트랜지스터의 양쪽을 사용하여, CMOS형의 스위치를 스위치로서 사용해도 된다.

[0028] 이때, 스위치로서 트랜지스터를 사용할 경우, 스위치는, 입력 단자(소스 단자 또는 드레인 단자의 한쪽)와, 출력 단자(소스 단자 또는 드레인 단자의 다른 쪽)와, 도통을 제어하는 단자(게이트 단자)를 갖고 있다. 한편, 스위치로서 다이오드를 사용할 경우, 스위치는, 도통을 제어하는 단자를 갖고 있지 않는 경우가 있다. 그 때문에, 트랜지스터보다도 다이오드를 스위치로서 사용하는 쪽이, 단자를 제어하기 위한 배선을 적게 할 수 있다.

- [0029] 이때, A와 B가 접속되어 있다고 명시적으로 기재하는 경우에는, A와 B가 전기적으로 접속되어 있는 경우와, A와 B가 기능적으로 접속되어 있는 경우와, A와 B가 직접 접속되어 있는 경우를 포함하는 것으로 한다. 여기서, A, B는, 대상물(예를 들면, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)인 것으로 한다. 따라서, 소정의 접속 관계, 예를 들면, 도면 또는 문장에 표시된 접속 관계에 한정되지 않고, 도면 또는 문장에 표시된 접속 관계 이외의 물건도 포함하는 것으로 한다.
- [0030] 예를 들면, A와 B가 전기적으로 접속되어 있는 경우로서, A와 B의 전기적인 접속을 가능하게 하는 소자(예를 들면, 스위치, 트랜지스터, 용량소자, 인덕터, 저항소자, 다이오드 등)가, A와 B 사이에 1개 이상 접속되어 있어도 된다. 또는, A와 B가 기능적으로 접속되어 있는 경우로서, A와 B의 기능적인 접속을 가능하게 하는 회로(예를 들면, 논리회로(인버터, NAND 회로, NOR 회로 등), 신호변환회로(DA 변환회로, AD 변환회로, 감마 보정회로 등), 전위 레벨 변환회로(전원회로(승압회로, 강압회로 등), 신호의 전위 레벨을 바꾸는 레벨 시프터 회로 등), 전압원, 전류원, 변환회로, 증폭회로(신호 진폭 또는 전류량 등을 크게 할 수 있는 회로, OP앰프, 차동 증폭회로, 소스 폴로워 회로, 버퍼 회로 등), 신호 생성 회로, 기억회로, 제어회로 등)가, A와 B 사이에 1개 이상 접속되어 있어도 된다. 예를 들면, A와 B 사이에 다른 회로를 끼우고 있어도, A로부터 출력된 신호가 B에 전달되는 경우에는, A와 B는 기능적으로 접속되어 있는 것으로 한다.
- [0031] 이때, A와 B가 전기적으로 접속되어 있다고 명시적으로 기재하는 경우에는, A와 B가 전기적으로 접속되어 있는 경우(즉, A와 B 사이에 다른 소자나 다른 회로를 끼워서 접속되어 있는 경우)와, A와 B가 기능적으로 접속되어 있는 경우(즉, A와 B 사이에 다른 회로를 끼워서 기능적으로 접속되어 있는 경우)와, A와 B가 직접 접속되어 있는 경우(즉, A와 B 사이에 다른 소자나 다른 회로를 끼우지 않고 접속되어 있는 경우)를 포함하는 것으로 한다. 즉, 전기적으로 접속되어 있다고 명시적으로 기재하는 경우에는, 간단히, 접속되어 있다고만 명시적으로 기재되어 있는 경우와 같은 것으로 한다.
- [0032] 이때, 표시 소자, 표시 소자를 갖는 장치인 표시장치, 발광소자, 발광소자를 갖는 장치인 발광장치는, 다양한 형태를 사용하거나, 다양한 소자를 가질 수 있다. 예를 들면, 표시 소자, 표시장치, 발광소자 또는 발광장치로서는, EL(electroluminescence) 소자(유기물 및 무기물을 포함하는 EL 소자, 유기 EL 소자, 무기 EL 소자), LED(백색 LED, 적색 LED, 녹색 LED, 청색 LED 등), 트랜지스터(전류에 따라 발광하는 트랜지스터), 전자방출소자, 액정소자, 전자 잉크, 전기영동소자, 그레이팅 라이트밸브(GLV), 플라즈마 디스플레이(PDP), 디지털 마이크로미러 디바이스(DMD), 압전 세라믹 디스플레이, 카본 나노튜브 등, 전기자기적 작용에 의해, 콘트라스트, 휘도, 반사율, 투과율 등이 변화하는 표시 매체를 가질 수 있다. 이때, EL 소자를 사용한 표시장치로서는 EL 디스플레이, 전자방출소자를 사용한 표시장치로서는 필드 에미션 디스플레이(FED)나 SED 방식 평면형 디스플레이(SED: Surface-conduction Electron-emitter Display) 등, 액정소자를 사용한 표시장치로서는 액정 모니터(투과형 액정 모니터, 반투과형 액정 모니터, 반사형 액정 모니터, 직시형 액정 모니터, 투사형 액정 모니터), 전자 잉크나 전기영동소자를 사용한 표시장치로서는 전자 페이퍼가 있다.
- [0033] 이때, 액정소자란, 액정의 광학적 변조작용에 의해 빛의 투과 또는 비투과를 제어하는 소자로서, 한 쌍의 전극, 및 액정에 의해 구성된다. 이때, 액정의 광학적 변조작용은, 액정에 걸리는 전계(횡 방향의 전계, 종 방향의 전계 또는 경사 방향의 전계를 포함한다)에 의해 제어된다. 이때, 액정소자로서는, 네마틱 액정, 콜레스테릭 액정, 스멕틱 액정, 디스코틱 액정, 서모트로픽 액정, 리�트로픽 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정(PDLC), 강유전 액정, 반강유전 액정, 주쇄형 액정, 측쇄형 고분자 액정, 플라즈마 어드레스 액정(PALC), 바나나형 액정, TN(Twisted Nematic) 모드, STN(Super Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, MVA(Multi-domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASV(Advanced Super View) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optical Compensated Birefringence) 모드, ECB(Electrically Controlled Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드, PDLC(Polymer Dispersed Liquid Crystal) 모드, 게스트 호스트 모드, 블루상(Blue Phase) 모드 등을 사용할 수 있다. 단, 이것에 한정되지 않고, 액정소자로서 다양한 것을 사용할 수 있다.
- [0034] 이때, 트랜지스터로서, 다양한 형태의 트랜지스터를 사용할 수 있다. 따라서, 사용하는 트랜지스터의 종류에 한정은 없다. 예를 들면, 비정질 실리콘, 다결정 실리콘, 미결정(마이크로 크리스탈, 나노 크리스탈, 세미아모퍼스라고도 한다) 실리콘 등으로 대표되는 비단결정 반도체막을 갖는 박막 트랜지스터(TFT) 등을 사용할 수 있다. TFT를 사용할 경우, 다양한 장점이 있다. 예를 들면, 단결정 실리콘의 경우보다도 낮은 온도로 제조할 수 있기 때문에, 제조 비용의 삭감, 또는 제조 장치의 대형화를 꾀할 수 있다. 제조장치를 크게 할 수 있기 때문에, 대형기관 위에 제조할 수 있다. 그 때문에, 동시에 많은 개수의 표시장치를 제조할 수 있기 때문에,

저비용으로 제조할 수 있다. 더구나, 제조 온도가 낮기 때문에, 내열성이 약한 기판을 사용할 수 있다. 그 때문에, 투광성을 갖는 기판 위에 트랜지스터를 제조할 수 있다. 그리고, 투광성을 갖는 기판상의 트랜지스터를 사용해서 표시 소자에서의 빛의 투과를 제어할 수 있다. 또는, 트랜지스터의 막두께가 얇기 때문에, 트랜지스터를 구성하는 막의 일부는, 빛을 투과시킬 수 있다. 그 때문에, 개구율을 향상시킬 수 있다.

[0035] 이때, 다결정 실리콘을 제조할 때에, 촉매(니켈 등)를 사용함으로써, 결정성을 더욱 더 향상시켜, 전기 특성이 좋은 트랜지스터를 제조하는 것이 가능해 진다.

[0036] 이때, 미결정 실리콘을 제조할 때에, 촉매(니켈 등)를 사용함으로써, 결정성을 더욱 더 향상시켜, 전기 특성이 좋은 트랜지스터를 제조하는 것이 가능해 진다. 이때, 레이저 조사를 행하지 않고, 열처리를 가하는 것만으로, 결정성을 향상시키는 것도 가능하다.

[0037] 단, 촉매(니켈 등)를 사용하지 않고, 다결정 실리콘이나 미결정 실리콘을 제조하는 것은 가능하다.

[0038] 이때, 실리콘의 결정성을, 다결정 또는 미결정 등으로 향상시키는 것은, 패널 전체에서 행하는 것이 바람직하지만, 거기에 한정되지 않는다. 패널의 일부의 영역만에 있어서, 실리콘의 결정성을 향상시켜도 된다. 선택적으로 결정성을 향상시키는 것은, 레이저광을 선택적으로 조사하는 것 등에 의해 가능하다. 예를 들면, 화소 이외의 영역인 주변회로 영역에만, 레이저광을 조사해도 된다. 또는, 게이트 드라이버 회로, 소스 드라이버 회로 등의 영역에만, 레이저광을 조사해도 된다. 또는, 소스 드라이버 회로의 일부(예를 들면, 아날로그 스위치)의 영역에만, 레이저광을 조사해도 된다.

[0039] 또는, 반도체 기판이나 SOI 기판 등을 사용해서 트랜지스터를 형성할 수 있다.

[0040] 또는, ZnO, a-InGaZnO, SiGe, GaAs, IZO, ITO, SnO 등의 화합물 반도체 또는 산화물 반도체를 갖는 트랜지스터나, 더구나, 이들 화합물 반도체 또는 산화물 반도체를 박막화한 박막 트랜지스터 등을 사용할 수 있다. 또한, 이들 화합물 반도체 또는 산화물 반도체를, 트랜지스터의 채널 부분에 사용할 뿐만 아니라, 그 이외의 용도로 사용할 수도 있다. 예를 들면, 이러한 화합물 반도체 또는 산화물 반도체를 저항소자, 화소 전극, 투광성을 갖는 전극으로서 사용할 수 있다.

[0041] 또는, 잉크젯이나 인쇄법을 사용해서 형성한 트랜지스터 등을 사용할 수 있다.

[0042] 또는, 유기 반도체나 카본 나노튜브를 갖는 트랜지스터 등을 사용할 수 있다.

[0043] 더구나, 다양한 구조의 트랜지스터를 사용할 수 있다. 예를 들면, MOS형 트랜지스터, 접합형 트랜지스터, 바이폴러 트랜지스터 등을 트랜지스터로서 사용할 수 있다.

[0044] 이때, MOS형 트랜지스터, 바이폴러 트랜지스터 등을 1개의 기판에 혼재시켜서 형성해도 된다.

[0045] 그 이외, 다양한 트랜지스터를 사용할 수 있다.

[0046] 이때, 트랜지스터는, 다양한 기판을 사용해서 형성할 수 있다. 기판의 종류는, 특정한 것에 한정되는 일은 없다. 그 기판으로서, 예를 들면, 단결정 기판, SOI 기판, 유리 기판, 석영 기판, 플라스틱 기판, 스테인레스·스틸 기판, 스테인레스·스틸·호일을 갖는 기판 등을 사용할 수 있다.

[0047] 이때, 트랜지스터의 구성은, 다양한 형태를 취할 수 있고, 특정한 구성에 한정되지 않는다. 예를 들면, 게이트 전극이 2개 이상인 멀티 게이트 구조를 적용할 수 있다. 멀티 게이트 구조로 하면, 채널 영역이 직렬로 접속되기 때문에, 복수의 트랜지스터가 직렬로 접속된 구성이 된다.

[0048] 다른 예로서, 채널의 상하에 게이트 전극이 배치되어 있는 구조를 적용할 수 있다.

[0049] 채널 영역 위에 게이트 전극이 배치되어 있는 구조, 채널 영역 아래에 게이트 전극이 배치되어 있는 구조, 정 스테거 구조, 역 스테거 구조, 채널 영역을 복수개 영역에 나눈 구조, 채널 영역을 병렬로 접속한 구조, 또는 채널 영역이 직렬로 접속하는 구성도 적용할 수 있다. 더구나, 채널 영역(혹은 그 일부)에 소스 전극이나 드레인 전극이 겹쳐 있는 구조도 적용할 수 있다.

[0050] 이때, 트랜지스터는, 다양한 타입을 사용할 수 있고, 다양한 기판을 사용해서 형성시킬 수 있다. 따라서, 소정의 기능을 실현시키기 위해서 필요한 회로의 모두를, 동일한 기판에 형성하는 것도 가능하다. 예를 들면, 소정의 기능을 실현시키기 위해서 필요한 회로의 모두가, 유리 기판, 플라스틱 기판, 단결정 기판, 또는 SOI 기판 등의 다양한 기판을 사용해서 형성하는 것도 가능하다. 소정의 기능을 실현시키기 위해 필요한 회로의 모두가 같은 기판을 사용해서 형성되어 있는 것에 의해, 부품수의 삭감에 의한 비용의 저감, 또는 회로부품과의

접속 점수의 저감에 의한 신뢰성의 향상을 꾀할 수 있다. 또는, 소정의 기능을 실현시키기 위해서 필요한 회로의 일부가, 어떤 기판에 형성되고, 소정의 기능을 실현시키기 위해서 필요한 회로의 다른 일부가, 다른 기판에 형성되어 있는 것도 가능하다. 즉, 소정의 기능을 실현시키기 위해서 필요한 회로의 모두가 같은 기판을 사용해서 형성되어 있지 않아도 된다. 예를 들면, 소정의 기능을 실현시키기 위해서 필요한 회로의 일부는, 유리 기판 위에 트랜지스터에 의해 형성되고, 소정의 기능을 실현시키기 위해서 필요한 회로의 다른 일부는, 단결정 기판에 형성되고, 단결정 기판을 사용해서 형성된 트랜지스터로 구성된 IC칩을 COG(Chip On Glass)로 유리 기판에 접속하고, 유리 기판 위에 그 IC칩을 배치하는 것도 가능하다. 또는, 그 IC칩을 TAB(Tape Automated Bonding)이나 프린트 기판을 사용해서 유리 기판과 접속하는 것도 가능하다. 이와 같이, 회로의 일부가 같은 기판에 형성되어 있는 것에 의해, 부품수의 삭감에 의한 비용의 저감, 또는 회로부품과의 접속 점수의 저감에 의한 신뢰성의 향상을 꾀할 수 있다. 또는, 구동전압이 높은 부분 및 구동 주파수가 높은 부분의 회로는, 소비 전력이 커져 버리므로, 그러한 부분의 회로는 같은 기판에 형성하지 않고, 그 대신에, 예를 들면, 단결정 기판에 그 부분의 회로를 형성하고, 그 회로로 구성된 IC칩을 사용하도록 하면, 소비 전력의 증가를 방지할 수 있다.

[0051] 이때, 트랜지스터란, 게이트와, 드레인과, 소스를 포함하는 적어도 3개의 단자를 갖는 소자로서, 드레인 영역과 소스 영역 사이에 채널 영역을 갖고 있고, 드레인 영역과 채널 영역과 소스 영역을 거쳐서 전류를 흘려보낼 수 있다. 여기에서, 소스와 드레인, 트랜지스터의 구조나 동작조건 등에 의해 바뀌기 때문에, 어느 것이 소스 또는 드레인인지를 한정하는 것이 곤란하다. 따라서, 소스 및 드레인으로서 기능하는 영역을, 소스 혹은 드레인으로 부르지는 않는 경우가 있다. 그 경우, 일례로서는, 각각을 제1단자, 제2단자로 표기하는 경우가 있다. 또는, 각각을 제1전극, 제2전극으로 표기하는 경우가 있다. 또는, 제1영역, 제2영역으로 표기하는 경우가 있다.

[0052] 이때, 트랜지스터는, 베이스와 에미터와 콜렉터를 포함하는 적어도 3개의 단자를 갖는 소자라도 된다. 이 경우도 마찬가지로, 에미터와 콜렉터를, 제1단자, 제2단자 등으로 표기하는 경우가 있다.

[0053] 이때, 반도체장치란, 반도체 소자(트랜지스터, 다이오드, 사이리스터 등)를 포함하는 회로를 갖는 장치를 말한다. 더구나, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 반도체장치라고 불러도 된다. 또는, 반도체 재료를 갖는 장치를 반도체장치라고 한다.

[0054] 이때, 표시장치란, 표시 소자를 갖는 장치를 말한다. 또한, 표시장치는, 표시 소자를 포함하는 복수의 화소를 포함하고 있어도 된다. 또한, 표시장치는, 복수의 화소를 구동시키는 주변구동회로를 포함하고 있어도 된다. 또한, 복수의 화소를 구동시키는 주변구동회로는, 복수의 화소와 동일 기판 위에 형성되어도 된다. 또한, 표시장치는, 와이어본딩이나 범프 등에 의해 기판 위에 배치된 주변구동회로, 소위, 칩 온 글래스(COG)로 접속된 IC칩, 또는, TAB 등으로 접속된 IC칩을 포함하고 있어도 된다. 또한, 표시장치는, IC칩, 저항소자, 용량소자, 인덕터, 트랜지스터 등이 부착된 플렉시블 프린트 서킷(FPC)을 포함하여도 된다. 또한, 표시장치는, 플렉시블 프린트 서킷(FPC) 등을 거쳐서 접속되고, IC칩, 저항소자, 용량소자, 인덕터, 트랜지스터 등이 부착된 프린트 배선 기판(PWB)을 포함하고 있어도 된다. 또한, 표시장치는, 편광판 또는 위상차판 등의 광학 사이트를 포함하고 있어도 된다. 또한, 표시장치는, 조명 장치, 야시, 음성 입출력장치, 광센서 등을 포함하고 있어도 된다.

[0055] 이때, 조명 장치는, 백라이트 유닛, 도광판, 프리즘 시이트, 확산 시이트, 반사 시이트, 광원(LED, 냉음극관 등), 냉각장치(수냉식, 공랭식) 등을 갖고 있어도 된다.

[0056] 이때, 발광장치란, 발광소자 등을 갖고 있는 장치를 말한다. 표시 소자로서 발광소자를 갖고 있는 경우에는, 발광장치는, 표시장치의 구체적인 예의 하나이다.

[0057] 이때, 반사장치란, 광반사소자, 광회절소자, 광반사 전극 등을 갖고 있는 장치를 말한다.

[0058] 이때, 액정표시장치란, 액정소자를 갖고 있는 표시장치를 말한다. 액정표시장치에는, 직시형, 투사형, 투과형, 반사형, 반투과형 등이 있다.

[0059] 또한, 구동장치란, 반도체 소자, 전기회로, 전자회로를 갖는 장치를 말한다. 예를 들면, 소스 신호선으로부터 화소 내의 신호의 입력을 제어하는 트랜지스터(선택용 트랜지스터, 스위칭용 트랜지스터 등으로 부르는 일이 있다), 화소전극에 전압 또는 전류를 공급하는 트랜지스터, 발광소자에 전압 또는 전류를 공급하는 트랜지스터 등은, 구동장치의 일례이다. 더구나, 게이트 신호선에 신호를 공급하는 회로(게이트 드라이버, 게이트 트션 구동회로 등으로 부르는 일이 있다), 소스 신호선에 신호를 공급하는 회로(소스 드라이버, 소스선 구동회로 등으로 부르는 일이 있다) 등은, 구동장치의 일례이다.

[0060] 이때, 표시장치, 반도체장치, 조명장치, 냉각장치, 발광장치, 반사장치, 구동장치 등은, 서로 중복해서 갖고 있는 경우가 있다. 예를 들면, 표시장치가, 반도체장치 및 발광장치를 갖고 있는 경우가 있다. 또는, 반도체장치가, 표시장치 및 구동장치를 갖고 있는 경우가 있다.

효 과

[0061] 본 발명의 일 양태에 따르면, 한개의 디지털 신호를 복수의 아날로그 신호로 변환할 수 있으므로, 록업 테이블을 사용하지 않을 수 있다. 따라서, 메모리 소자로부터의 록업 테이블의 판독에 따르는 발열의 발생, 또는 소비 전력의 증대 등을 방지할 수 있다. 또는, 각 서브 화소에 따른 신호를 패널 상에서 생성할 수 있으므로, 패널과 외부 부품과의 접속수를 적게 할 수 있다. 또는, 패널과 외부 부품과의 접속 부분의 접속 불량을 저감할 수 있어, 신뢰성을 높게 할 수 있다. 또는, 표시장치를 생산할 때의 제품 수율을 높게 할 수 있다. 또는, 표시장치를 생산하는 비용을 삭감할 수 있다. 또는, 패널과 외부 부품과의 접속수를 저감할 수 있으므로, 표시부를 고선명으로 할 수 있다. 또는, 패널과 외부 부품과의 접속수를 저감할 수 있으므로, 노이즈에 강하게 해서 표시 품질을 높게 할 수 있다.

발명의 실시를 위한 구체적인 내용

[0062] 이하, 실시예에 대해 도면을 참조하면서 설명한다. 단, 본 발명은 많은 다른 태양으로 실시하는 것이 가능하며, 본 발명의 취지 및 그 범위에서 이탈하지 않고 그 형태 및 상세를 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해된다. 따라서, 본 실시예의 기재 내용에 한정해서 해석되는 것은 아니다. 이때, 이하에서 설명하는 본 발명의 구성에 있어서, 동일한 것을 가리키는 부호는 다른 도면 사이에서 공통의 부호를 사용해서 나타내고, 동일 부분 또는 동일한 기능을 갖는 부분의 상세한 설명은 생략한다.

[0063] 이때, 이하에서, 각각의 실시예에 있어서, 다양한 도면을 사용해서 서술해 간다. 그 경우, 어떤 한개의 실시예에 있어서, 각각의 도면에서 서술하는 내용(일부의 내용이라도 된다)은, 다른 도면에서 서술하는 내용(일부의 내용이라도 된다)에 대하여, 적용, 조합, 또는 대체 등을 자유롭게 행할 수 있다. 더구나, 어떤 한개의 실시예에 있어서 서술하는 도면에 있어서, 각각의 부분에 관해서, 다른 부분을 조합함으로써, 더욱 더 많은 도면을 구성하게 할 수 있다.

[0064] 마찬가지로, 한개 또는 복수의 실시예의 각각의 도면에서 서술하는 내용(일부의 내용이라도 된다)은, 한개 또는 복수의 다른 실시예의 도면에서 서술하는 내용(일부의 내용이라도 된다)에 대하여, 적용, 조합, 또는 대체 등을 자유롭게 행할 수 있다. 더구나, 한개 또는 복수의 실시예의 도면에 있어서, 각각의 부분에 관해서, 한개 또는 복수의 다른 실시예의 부분을 조합함으로써, 더욱 더 많은 도면을 구성하게 할 수 있다.

[0065] 이때, 어떤 한개의 실시예 중에서 서술하는 내용(일부의 내용이라도 된다)은, 그 실시예에서 서술하는 다른 내용(일부의 내용이라도 된다)을, 구체화시켰을 경우의 일례, 약간 변형했을 경우의 일례, 일부를 변경했을 경우의 일례, 개량했을 경우의 일례, 상세하게 서술했을 경우의 일례, 응용했을 경우의 일례, 관련이 있는 부분에 관한 일례 등을 나타내고 있다. 따라서, 어떤 한개의 실시예 중에서 서술하는 내용(일부의 내용이라도 된다)은, 그 실시예에서 서술하는 다른 내용(일부의 내용이라도 된다)에의 적용, 조합, 또는 대체를 자유롭게 행할 수 있다.

[0066] 이때, 한개 또는 복수의 실시예에서 서술하는 내용(일부의 내용이라도 된다)은, 한개 또는 복수의 다른 실시예에서 서술하는 내용(일부의 내용이라도 된다)을, 구체화시켰을 경우의 일례, 약간 변형했을 경우의 일례, 일부를 변경했을 경우의 일례, 개량했을 경우의 일례, 상세하게 서술했을 경우의 일례, 응용했을 경우의 일례, 관련이 있는 부분에 관한 일례 등을 나타내고 있다. 따라서, 한개 또는 복수의 다른 실시예에서 서술하는 내용(일부의 내용이라도 된다)은, 한개 또는 복수의 실시예에서 서술하는 내용(일부의 내용이라도 된다)에의 적용, 조합, 또는 대체를 자유롭게 행할 수 있다.

[0067] (실시형태 1)

[0068] 본 실시형태에서는, 디지털 아날로그 변환부에 대해 설명한다. 본 실시형태의 디지털 아날로그 변환부

는, 한개의 디지털 신호(예를 들면, N비트의 디지털 신호: N은 2 이상의 자연수)를, n(n: 2 이상의 자연수)개의 아날로그 신호로 변환한다. 이것을 실현하기 위해, n개의 군(예를 들면, 전압군, 전류군 등)이, 디지털 아날로그 변환부에 입력된다. 단, 디지털 아날로그 변환부에 입력하는 각각의 군의 일부를 공유화하여, 공용하는 구성으로 하는 것도 가능하다. 이 경우, n개보다 적은 군이, 디지털 아날로그 변환부에 입력된다.

[0069] 이때, n개의 아날로그 신호의 값(예를 들면, 전압, 전류 등)은, 서로 다르다. 단, n개의 아날로그 신호 중 일부는, 값이 동일한 경우도 있다. 또는 n개의 아날로그 신호의 모두가 동일한 값인 경우가 있다. 일례로서는, 최대 계조 또는 최소 계조의 디지털 신호의 경우, 각 서브 화소에 공급되는 아날로그 신호가 모두 같은 값이 되는 일도 있다.

[0070] 도1a를 참조하여, 예를 들면, 한개의 디지털 신호를 2개의 아날로그 신호로 변환하는 경우의 디지털 아날로그 변환부에 대해 설명한다.

[0071] 디지털 아날로그 변환부(100)는, 배선군 111, 배선군 112_1, 배선군 112_2, 배선 113_1, 및 배선 113_2와 접속된다.

[0072] 배선군 111, 배선군 112_1, 및 배선군 112_2는, 각각, 복수의 배선을 갖는다.

[0073] 배선군 111에는, 디지털 신호가 입력된다. 따라서, 디지털 신호의 비트수와, 배선군 111의 배선수는, 일치하는 경우가 많다. 예를 들면, 디지털 신호가 N비트인 경우, 배선군 111은, 배선 111_1~111_N(N:자연수)이라는, N개의 배선을 갖는다.

[0074] 배선군 112_1에는, 제1 전압군이 입력된다. 따라서, 제1 전압군의 전압의 수와, 배선군 112_1의 배선수는, 일치하는 경우가 많다. 예를 들면, 제1 전압군의 전압의 수가 M개인 경우, 배선군 112_1은, 배선 112_11~112_1M(M: 2 이상의 자연수)라고 하는, M개의 배선을 갖는다. 즉 배선군 112_1에서는, M개의 다른 전압이 M개의 배선에 공급되고 있게 된다. 또한, 배선군 112_1은, 디지털 아날로그 변환부(100)에 설치되는 배선군의 수에 따라, 제1 배선군으로 부르는 일이 있다.

[0075] 이때, 본 명세서에서 사용하는 제1, 제2, 제3, 내지 제N(N은 자연수)이라고 하는 용어는, 구성요소의 혼동을 피하기 위해서 붙이는 것으로, 수적으로 한정하는 것은 아니라는 것을 부기한다.

[0076] 배선군 112_2에는, 제2 전압군이 입력된다. 따라서, 제2 전압군의 전압의 수와, 배선군 112_2의 배선수는, 일치하는 경우가 많다. 예를 들면, 제2 전압군의 전압의 수가 M개인 경우, 배선군 112_2는, 배선 112_21~112_2M이라고 하는, M개의 배선을 갖는다. 즉 배선군 112_2에서는, M개의 다른 전압이 M개의 배선에 공급되고 있게 된다. 또한, 배선군 112_2는, 디지털 아날로그 변환부(100)에 설치되는 배선군의 수에 따라, 제2 배선군으로 부르는 일이 있다.

[0077] 이때, 이것에 한정되지 않고, 배선군 111, 배선군 112_1, 및 배선군 112_2에는, 다양한 신호, 다양한 전압, 또는 다양한 전류 등이 입력되는 것이 가능하다. 또는, 배선군 111, 배선군 112_1, 및 배선군 112_2로부터 다양한 신호, 다양한 전압, 또는 다양한 전류 등을 출력하는 것이 가능하다.

[0078] N비트의 디지털 신호는, 디지털 아날로그 변환부(100)의 출력 신호의 값을 결정하는 역할을 갖는다.

[0079] 이때, N비트의 디지털 신호라고 기재되는 경우, N비트의 디지털 신호와, 그것의 반전 신호(이하, N비트의 반전 디지털 신호라고도 한다)를 포함하는 경우도 있다.

[0080] 이때, N비트의 디지털 신호, 또는 N비트의 디지털 신호와 대략 같은 진폭 전압의 신호는, 트랜지스터의 게이트에 입력되는 경우가 많으며, 더구나 제1 전압군, 및 제2 전압군은, 해당 트랜지스터의 소스와 드레인의 한쪽에 입력되는 경우가 많다. 따라서, 해당 트랜지스터가 오프, 또는 오프하기 쉬워지도록, 예를 들면, N비트의 디지털 신호의 진폭 전압은, 제1 전압군의 최소값과 최대값의 차이, 또는 제2 전압군의 최소값과 최대값의 차이보다도 크거나, 또는 같은 것이 바람직하다. 단, 이것에 한정되지 않고, 작게 하는 것도 가능하다.

[0081] 제1 전압군은, 서로 값이 다른 복수의 전압을 갖고, 제2 전압군은, 서로 값이 다른 복수의 전압을 갖는 경우가 많다. 그리고, 제1 전압군과 제2 전압군은, 서로 값이 다른 경우가 많다. 단, 제1 전압군의 한개의 전압과 제2 전압군의 한개의 전압, 또는 제1 전압군의 복수의 전압과 제2 전압군의 복수의 전압은, 값이 같은 경우도 있다. 이 경우, 배선을 공유하고, 공용함으로써, 배선군 112_1 및 배선군 112_2의 배선수를 절감할 수 있다.

[0082] 이때, 제1 전압군으로서, 정극성의 제1 전압군과 부극성의 제1 전압군을 사용하고, 제2 전압군으로서, 정극성의 제2 전압군과 부극성의 제2 전압군을 사용하는 것이 가능하다. 이것을 실현하기 위해, 예를 들면, 배

선군 112_1의 배선의 수, 및 배선군 112_2의 배선의 수를 늘리는(예를 들면, 대략 2배) 것이 가능하다. 이 경우, 정극성의 제1 전압군, 및 부극성의 제1 전압군은, 동시에 배선군 112_1에 입력되고, 정극성의 제2 전압군, 및 부극성의 제2 전압군은, 동시에 배선군 112_2에 입력된다.

[0083] 다른 예로서, 한개의 동작 기간이, 제1 서브 동작 기간과 제2 서브 동작 기간을 갖는 것도 가능하다. 그리고, 각각의 기간에, 정극성과 부극성을 전환한다. 이러한 경우, 배선의 수가 증가하지 않으므로, 적합하다. 예를 들면, 제1 서브 동작 기간에 있어서, 정극성의 제1 전압군이, 배선군 112_1에 입력되고, 정극성의 제2 전압군이, 배선군 112_2에 입력된다. 제2 서브 동작 기간에 있어서, 부극성의 제1 전압군이, 배선군 112_1에 입력되고, 부극성의 제2 전압군이, 배선군 112_2에 입력된다.

[0084] 이때, 정극성의 전압이란, 예를 들면, 액정표시장치에 있어서, 정극성의 전압이 화소전극에 입력되는 경우에, 코몬 전극(이하, 공통 전극이라고도 한다)의 전위(이하, 코몬 전위라고도 한다)보다도, 화소전극의 전위쪽이 커지는 전압이다. 한편, 부극성의 전압이란, 코몬 전위보다도, 화소전극의 전위쪽이 작아지는 전압이다.

[0085] 이때, 제1 전압군 및 제2 전압군으로서, 정극성의 전압과, 부극성의 전압이 디지털 아날로그 변환부(100)에 입력되는 경우, 해당 디지털 아날로그 변환부(100)를 액정표시장치에 사용함으로써, 반전 구동을 실현하는 것이 가능해 진다. 반전 구동이란, 일정 기간마다, 1화면씩(1프레임씩), 또는 1화소씩, 액정소자에 있어서의 공통 전극의 전위(코몬 전위)에 대하여, 화소전극에 인가되는 전압의 극성을 반전시키는 구동이다. 반전 구동에 의해, 화상의 어튼거림(플리커) 등의 표시 얼룩, 및 액정재료의 열화를 억제할 수 있다. 이때, 반전 구동의 예로서는, 프레임 반전 구동을 비롯해, 소스 라인 반전 구동, 게이트 라인 반전 구동, 도트 반전 구동 등을 들 수 있다.

[0086] 이때, 제1 전압군, 및 제2 전압군의 각각의 값(또는 극성)을, 시간적으로 변화시키는 것이 가능하다. 이러한 경우, 한개의 동작 기간은, 복수의 서브 동작 기간을 갖는다. 그리고, 서브 동작 기간마다, 제1 전압군, 및 제2 전압군의 각각의 값(또는 극성)이, 변화한다. 이와 같이 해서, 제1 전압군의 전압의 수, 및 제2 전압군의 전압의 수, 즉 배선군 112_1의 배선의 수, 및 배선군 112_2의 배선의 수를 줄일 수 있다. 또는, 제1 전압군과 제2 전압군의 한쪽을 생략할 수 있다.

[0087] 이때, 전류군이, 배선군 112_1, 및 배선군 112_2에 입력되는 것이 가능하다. 전류에 의해 동작하는 화소회로, 소자 등을 구동하는 것이 가능하게 된다. 또는, 전류군과 전압군이, 배선군 112_1, 및 배선군 112_2에 입력되는 것이 가능하다.

[0088] 이때, 예를 들면, 배선군 111, 배선군 112_1, 배선군 112_2, 배선 113_1, 및 배선 113_2는, 각각, 제1 신호선군, 제1 전원선군, 제2 전원선군, 제2 신호선, 제3 신호선으로서 기능시키는 것이 가능하다.

[0089] 이때, 디지털 아날로그 변환부(100)에는, 전술한 신호, 또는 전압 이외에도 다양한 신호, 전압, 또는 전류가 입력되는 것이 가능하다.

[0090] 예를 들면, N비트의 디지털 신호의 반전 신호(이하, 반전 디지털 신호라고도 한다)가 입력되는 것이 가능하다. 이 경우, 새로운 배선군(예를 들면, N개의 배선)을 추가하고, 그 배선군을 거쳐서 N비트의 반전 디지털 신호를 디지털 아날로그 변환부(100)에 입력하면 된다. 이때, 이 새로운 배선군은, 예를 들면, 신호선군으로서 기능한다.

[0091] 이때, 디지털 아날로그 변환부(100)를 회로, 또는 반도체장치라고 부르는 것이 가능하다.

[0092] 다음에, 도1a에 나타낸 디지털 아날로그 변환부(100)의 동작을 설명한다.

[0093] N비트의 디지털 신호, 제1 전압군, 및 제2 전압군이, 디지털 아날로그 변환부(100)에 입력된다.

[0094] 디지털 아날로그 변환부(100)는, N비트의 디지털 신호에 따라서, 배선군 112_1의 어느 한개와 배선 113_1을 도통 상태로 하고, 그 밖의 배선군 112_1과 배선 113_1을 비도통 상태로 함으로써, 배선군 112_1의 어느 한개와 배선 113_1을 대략 동일한 전위로 한다. 동시에, 디지털 아날로그 변환부(100)는, N비트의 디지털 신호에 따라서, 배선군 112_2의 어느 한개와 배선 113_2를 도통 상태로 하고, 그 밖의 배선군 112_2와 배선 113_2를 비도통 상태로 함으로써, 배선군 112_2의 어느 한개와 배선 113_2를 대략 동일한 전위로 한다. 이와 같이 해서, 디지털 아날로그 변환부(100)는, N비트의 디지털 신호, 제1 전압군, 및 제2 전압군에 따라서, 배선 113_1의 전위와 배선 113_2의 전위를 결정한다.

[0095] 이때, 대략 동일하다는 것은, 노이즈의 영향에 의해 생기는 오차를 고려한 것이다. 따라서, 예를 들면,

그 오차는, 10% 이하, 보다 바람직하게는 5% 이하, 더욱 바람직하게는 3% 이하이다.

[0096] 이와 같이 하여, 디지털 아날로그 변환부(100)는, N비트의 디지털 신호를 제1 아날로그 신호, 및 제2 아날로그 신호로 변환하여, 제1 아날로그 신호를 배선 113_1에 출력하고, 제2 아날로그 신호를 배선 113_2에 출력한다. 또는, 디지털 아날로그 변환부(100)는, N비트의 디지털 신호에 의거하여 제1 전압군의 어느 한 개, 및 제2 전압군의 어느 한개를 선택하고, 제1 전압군의 어느 한개를 제1 아날로그 신호로서 배선 113_1에 출력하고, 제2 전압군의 어느 한개를 제2 아날로그 신호로서 배선 113_2에 출력한다.

[0097] 이때, 제1 아날로그 신호와, 제2 아날로그 신호는, 서로 다른 값인 경우가 많다. 단, 이것에 한정되지 않는다. 제1 전압군, 및 제2 전압군에 따라서는, 또는, 디지털 신호의 값에 따라서는, 제1 아날로그 신호와, 제2 아날로그 신호는, 대략 동일한 값인 경우도 있다.

[0098] 이때, 제1 아날로그 신호, 및 제2 아날로그 신호의 전위는, 제1 전압군의 어느 한개, 제2 전압군의 어느 한 개와 동일한 경우가 많지만, 이것에 한정되지 않는다. 예를 들면, 제1 전압군, 또는 제2 전압군의 어느쪽 인가의 전압을 저항소자 또는 용량소자 등으로 분압하여, 새로운 전압을 생성한다. 그리고, 이 새롭게 생성한 전압을 아날로그 신호로서 출력하는 것도 가능하다.

[0099] 이때, 배선군 112_1, 및 배선군 112_2가 갖는 배선은, 배선군 111이 갖는 배선의 폭보다도 큰 폭의 부분을 포함하는 것이 바람직하다. 왜냐하면, 배선군 112_1, 및 배선군 112_2에는, 아날로그 전압이 입력되는 경우가 많으므로, 배선군 112_1, 및 배선군 112_2의 단위 길이당의 배선 저항은, 배선군 111의 단위 길이당의 배선 저항보다도 작은 것이 바람직하기 때문이다.

[0100] 단, 배선군 112_1, 및 배선군 112_2가 갖는 배선은, 배선군 111이 갖는 배선의 폭보다도 작은 폭의 부분을 포함할 수도 있다. 이 경우, 예를 들면, 배선군 112_1의 배선수, 및 배선군 112_2의 배선수는, 배선군 111의 배선수보다도 많으므로, 디지털 아날로그 변환부(100)의 배치 면적을 작게 할 수 있다.

[0101] 이때, 배선 113_1, 및 배선 113_2도, 배선군 112_1, 및 배선군 112_2와 마찬가지로, 배선군 111이 갖는 배선의 폭보다도 큰 폭의 부분을 포함하는 것이 바람직하다. 단, 배선군 112_1, 및 배선군 112_2와 마찬가지로, 배선군 111이 갖는 배선의 폭보다도 작은 폭의 부분을 포함하는 수도 있다.

[0102] 이때, 배선군 111이 갖는 배선은, 예를 들면, 트랜지스터의 게이트 전극과 접속되는 경우가 많다. 따라서, 배선군 111이 갖는 배선은, 디지털 아날로그 변환부(100)와 접속되는 부분에서는, 트랜지스터의 게이트 전극과 같은 재료로 구성되는 것이 바람직하다.

[0103] 이때, 배선군 112_1이 갖는 배선, 배선군 112_2가 갖는 배선, 배선 113_1, 및 배선 113_2는, 예를 들면, 트랜지스터의 소스 전극 또는 드레인 전극과 접속되는 경우가 많다. 따라서, 디지털 아날로그 변환부(100)와 접속되는 부분에서는, 트랜지스터에 있어서 반도체층에 접속되는 도전층과, 같은 재료로 구성되는 것이 바람직하다.

[0104] 이때, 도 1a에서는, 디지털 아날로그 변환부(100)는, N비트의 디지털 신호를 제1 아날로그 신호, 및 제2 아날로그 신호로 변환하는 경우에 대해 설명했지만, 이것에 한정되지 않는다. 도 1b에 도시된 것과 같이, N비트의 디지털 신호를 n (n : 자연수)개의 아날로그 신호로 변환하는 것이 가능하다.

[0105] 도 1b에 나타난 디지털 아날로그 변환부(100)는, 예를 들면, 배선군 111, 배선군 112_1~112_n, 배선 113_1~113_n과 접속된다.

[0106] 예를 들면, 제1 전압군~제 n 의 전압군이, 배선군 112_1~112_n에 입력되고, 제1 아날로그 신호~제 n 의 아날로그 신호가 배선 113_1~113_n으로부터 출력된다.

[0107] 디지털 아날로그 변환부(100)는, N비트의 디지털 신호에 따라서, 배선군 112_1~112_n의 각각의 어느 한 개와, 배선 113_1~113_n를 도통 상태로 하고, 동일한 전위로 한다. 예를 들면, 디지털 아날로그 변환부(100)는, N비트의 디지털 신호에 따라서, 배선군 112_i(i : 1~ n 의 어느 한개)의 어느 한개와, 배선 113_i를 도통 상태로 하여, 동일한 전위로 한다. 이와 같이 해서, 디지털 아날로그 변환부(100)는, N비트의 디지털 신호, 및 n 개의 전압군에 따라서, 배선 113_1~113_n의 전위를 결정한다.

[0108] 이와 같이 하여, 디지털 아날로그 변환부(100)는, N비트의 디지털 신호를 n 개의 아날로그 신호(제1 아날로그 신호~제 n 의 아날로그 신호)로 변환하고, n 개의 아날로그 신호를 배선 113_1~113_n에 각각 출력한다. 또는, 디지털 아날로그 변환부(100)는, N비트의 디지털 신호에 따라서, n 개의 전압군(제1 전압군~제 n 의

전압군)의 각각의 어느 한개를 선택하고, n 개의 전압군의 각각의 어느 한개를 배선 113_1~113_n에 각각 출력한다.

[0109] 이때, 상기한 n , N , M 의 대소관계는, $n < N < M$ 의 관계로 하는 것이 바람직하다. 단, 이것에 한정되지 않는다.

[0110] 이때, 도 1b의 디지털 아날로그 변환부(100)가 표시장치에 사용되는 경우, 화소가 n 개의 서브 화소로 분할되는 경우가 많다. 이때, n 이 크면, 서브 화소의 수가 많아지므로, 1화소분의 면적이 증대하여, 해상도가 저하하는 일이 있다. 이 해상도의 저하를 방지하기 위해서, $n \leq 5$ 인 것이 바람직하다. 더욱 바람직하게는, 서브 화소의 수가 3개 이하라도, 시야각 개선의 효과는 크므로, $n \leq 3$ 이다. 더욱 바람직하게는, $n=2$ 인 것이 바람직하다. 단, 이것에 한정되지 않는다.

[0111] 이때, 도 1b에 나타난 디지털 아날로그 변환부(100)가 표시장치에 사용되는 경우, 화소가 n 개의 서브 화소로 분할되는 것이 바람직하다. 그리고, n 개의 서브 화소는, 각각, 배선 113_1~113_n과 접속된다. 단, n 개의 서브 화소는, 각각, 버퍼를 거쳐서 배선 113_1~113_n과 접속되는 것도 가능하다. 디지털 아날로그 변환부(100)는, 각각, N 비트의 디지털 신호에 따른 n 개의 아날로그 신호를, 배선 113_1~113_n을 거쳐서 n 개의 서브 화소에 출력한다.

[0112] 단, 배선 113_1~113_n을 화소, 또는 서브 화소 이외의 회로, 예를 들면, 디지털 아날로그 변환부(100)와는 다른 디지털 아날로그 변환부에 접속하는 것도 가능하다. 그리고, 디지털 아날로그 변환부(100)와는 다른 디지털 아날로그 변환부는, 화소, 또는 서브 화소와 접속되는 것이 가능하다. 예를 들면, 디지털 아날로그 변환부(100)는, 상위 비트의 DAC으로서 기능하고, 몇개의 전압을 선택하여, 디지털 아날로그 변환부(100)와는 다른 디지털 아날로그 변환부에 출력한다. 한편, 디지털 아날로그 변환부(100)와는 다른 디지털 아날로그 변환부는, 하위 비트의 DAC로서 기능하고, 상위 비트의 DAC(디지털 아날로그 변환부(100))가 출력하는 몇개의 전압을 저항소자 또는 용량소자 등으로 분압하고, 새로운 전압을 생성하고, 화소, 또는 서브 화소에 출력한다. 이와 같이 하는 것에 의해, 전압군의 전압수, 또는 배선군 112_1~배선군 112_n의 각각의 배선수를 줄일 수 있다.

[0113] 이때, 도 1c에 도시된 것과 같이, 디지털 아날로그 변환부(100)가, 디지털 아날로그 변환회로(이하, D/A 변환회로, 또는 DAC라고도 한다)로서 기능하는 회로를 n 개 갖는 것이 가능하다.

[0114] DAC로서 기능하는 n 개의 회로로서, 회로 101_1~101_n이 사용된다. 예를 들면, 회로 101_1~101_n으로서는, 각각, 저항 래더형의 DAC, 저항 스트링형의 DAC, 전류출력형의 DAC, 델타 시그마형의 DAC, ROM 디코더형의 DAC, 토너먼트형의 DAC, 또는 디멀티플렉서를 사용한 DAC 등을 사용하는 것이 가능하다. 단, 이것에 한정되지 않는다.

[0115] 회로 101_1~101_n은, 배선군 111과 접속된다. 회로 101_1~101_n은, 각각, 배선군 112_1~112_n과 접속된다. 회로 101_1~101_n은, 각각, 배선 113_1~113_n과 접속된다. 예를 들면, 회로 101_i($i: 1 \sim n$ 의 어느 한개)는, 배선군 111, 배선군 112_i, 및 배선 113_i와 접속된다.

[0116] 예를 들면, 회로 101_i는, N 비트의 디지털 신호에 따라서, 배선군 112_i의 어느 한개와 배선 113_i를 도통 상태로 하여, 동일한 전위로 한다. 이와 같이 해서, 회로 101_i는, N 비트의 디지털 신호, 및 입력되는 전압군에 따라서, 배선 113_i의 전위를 결정한다.

[0117] 이와 같이 하여, 회로 101_i는, N 비트의 디지털 신호를 아날로그 신호로 변환하여, 해당 아날로그 신호를 배선 113_i에 출력한다. 또는, 회로 101_i는, N 비트의 디지털 신호에 의거하여 입력되는 전압군의 어느 한개를 선택하고, 해당 전압군의 어느 한개를 아날로그 신호로서 배선 113_i에 출력한다.

[0118] 이상과 같이, 본 실시형태의 디지털 아날로그 변환부는, 한개의 디지털 신호를 복수의 아날로그 신호로 변환할 수 있으므로, 록업 테이블을 사용하지 않을 수 있다. 따라서, 메모리 소자로부터의 록업 테이블의 판독에 따르는 발열의 발생, 또는 소비 전력의 증대 등을 방지할 수 있다.

[0119] 더구나, 예를 들면, 표시장치에 있어서, 본 실시형태의 디지털 아날로그 변환부를 사용해서 비디오 신호가 생성되는 경우, 비디오 신호를 생성하는 부분과, 화소부를 같은 기관에 형성할 수 있다. 따라서, 패널과 외부 부품의 접속수를 적게 할 수 있으므로, 패널과 외부 부품의 접속 부분의 접속 불량을 저감할 수 있어, 신뢰성의 향상, 제품 수율의 향상, 생산 비용의 삭감, 또는 고선명화 등을 꾀할 수 있다.

- [0120] (실시형태 2)
- [0121] 본 실시형태에서는, 도1a에 나타난 한개의 디지털 신호를 2개의 아날로그 신호로 변환하는 경우의 디지털 아날로그 변환부(100)의 일례에 대해서, 도2a를 참조해서 설명한다.
- [0122] 디지털 아날로그 변환부(100)는, 회로 201, 회로 202_1, 및 회로 202_2를 갖는다.
- [0123] 회로 201은, 배선군 111, 및 배선군 114와 접속된다. 회로 202_1은, 배선군 112_1, 배선 113_1, 및 회로 201의 출력 단자와 접속된다. 회로 202_2는, 배선군 112_2, 배선 113_2, 및 회로 201의 출력 단자와 접속된다.
- [0124] 배선군 114는, 복수의 배선을 갖는다. 예를 들면, 배선군 114는, 배선 114_1~114_N이라고 하는 N개의 배선을 갖는다.
- [0125] 배선군 114에는, 반전 디지털 신호가 입력된다. 따라서, 반전 디지털 신호의 비트수와, 배선군 114의 배선수는, 일치하는 경우가 많다. 예를 들면, 반전 디지털 신호가 N비트인 경우, 배선군 114의 배선수는, N개이다. 단, 이것에 한정되지 않고, 배선군 114에는, 다양한 신호, 다양한 전압, 다양한 전류가 입력되는 것이 가능하다.
- [0126] 이때, N비트의 반전 디지털 신호의 진폭 전압은, N비트의 진폭 전압과 같은 것이 바람직하다. 단, 이것에 한정되지 않는다.
- [0127] 이때, 배선군 111과 배선군 114가, 인버터 등의 입력 신호를 반전해서 출력하는 기능을 갖는 회로를 거쳐서 접속되는 것도 가능하다. 예를 들면, 인버터의 입력 단자가 배선 111_j(j: 1 내지 N의 어느 한 개)와 접속되고, 인버터의 출력 단자가 배선 114_j와 접속된다. 이러한 경우, 배선군 111에 입력되는 N비트의 디지털 신호가, 인버터에 의해 반전되고 나서, 배선군 114에 입력된다. 따라서, N비트의 반전 디지털 신호를 생략할 수 있다.
- [0128] 이때, 회로 201이 N비트의 반전 디지털 신호를 생성하는 기능을 갖고 있으면, 배선군 114를 생략하는 것이 가능하다.
- [0129] 이때, 회로 201의 구성에 따라서는, N비트의 반전 디지털 신호를 필요로 하지 않을 경우도 있다. 이 경우, 배선군 114를 생략하는 것이 가능하다.
- [0130] 회로 201은, 예를 들면, 디코더 회로로서 기능하고, BCD-DEC(Binary Coded Decimal DECoder)회로, 우선순위를 갖는 BCD-DEC회로, 또는 어드레스 디코더회로 등을 사용하는 것이 가능하다. 단, 이것에 한정되지 않고, 회로 201은, 복수의 논리회로, 또는 복수의 조합 논리회로를 갖고 있으면 된다.
- [0131] 회로 202_1, 및 회로 202_2는, 셀렉터로서 기능한다. 예를 들면, 회로 202_1, 및 회로 202_2로서는, 각각, 도 2b에 나타난 셀렉터 회로 202_1a, 셀렉터 회로 202_2a를 사용하는 것이 가능하다.
- [0132] 셀렉터 회로 202_1a, 및 셀렉터 회로 202_2a는, 각각, 복수의 단자를 갖는다. 예를 들면, 제1 전압군의 전압수, 또는 제2 전압군의 전압수가 M개인 경우, 단자의 수는, M+1개이다. 셀렉터 회로 202_1a에 있어서, 제1~제M의 단자는, 각각, 배선군 112_1(배선 112_11~112_1M)과 접속되고, 제M+1의 단자는, 배선 113_1과 접속된다. 한편, 셀렉터 회로 202_2a에 있어서, 제1~제M의 단자는, 각각, 배선군 112_2(배선 112_21~112_2M)와 접속되고, 제M+1의 단자는, 배선 113_2와 접속된다.
- [0133] 셀렉터 회로 202_1a, 및 셀렉터 회로 202_2a는, 회로 201의 출력 신호에 의해 제어된다. 예를 들면, 회로 201의 출력 신호에 따라서, 셀렉터 회로 202_1a는, 배선군 112_1의 어느 한개와 배선 113_1을 도통 상태로 하고, 셀렉터 회로 202_2a는, 배선군 112_2의 어느 한개와 배선 113_2를 도통 상태로 한다.
- [0134] 다음에, 도2a에 나타난 디지털 아날로그 변환부(100)의 동작을 설명한다.
- [0135] N비트의 디지털 신호, 및 N 비트의 반전 디지털 신호가, 회로 201에 입력된다.
- [0136] 회로 201은, N비트의 디지털 신호, 및 N비트의 반전 디지털 신호에 따라서, 디지털 신호를 생성한다. 바꿔 말하면, N비트의 디지털 신호, 및 N비트의 반전 디지털 신호를 디코드(복호화)한다. 구체적으로는, 예를 들면, 회로 201은, 복수의 논리회로, 또는 복수의 조합 논리회로에, N비트의 디지털 신호, 및 N비트의 반전 디지털 신호를 입력하고, 각 논리회로의 출력 신호를 H신호로 할 것인지 L신호로 할 것인지를 제어한다.

- [0137] 회로 201이 생성하는 디지털 신호의 비트수는, 제1 전압군의 전압수, 또는 제2 전압군의 전압수와 같은 경우가 많으므로, 해당 디지털 신호의 비트수를 M비트로 하고, M비트의 디지털 신호로 표시한다. 단, 디지털 신호의 비트수는 M비트에 한정되지 않고, M비트 이하, 또는 M비트 이상으로 하는 것이 가능하다.
- [0138] 이때, M비트의 디지털 신호의 진폭 전압은, N비트의 디지털 신호의 진폭 전압과 같은 경우가 많다. 이러한 경우, 회로 201에 사용되는 정 전원전압, 부 전원전압은, 각각, N비트의 디지털 신호의 H 신호의 값, L 신호의 값과 같은 것이 바람직하다. 단, 회로 201이 레벨 시프트 기능을 갖고 있는 경우, M비트의 디지털 신호의 진폭 전압은, N비트의 디지털 신호의 진폭 전압보다도 큰 것도 가능하다.
- [0139] 그후, 회로 201은, M비트의 디지털 신호를 회로 202_1, 및 회로 202_2에 입력하여, 회로 202_1, 및 회로 202_2를 제어한다.
- [0140] 구체적으로는, 회로 202_1은, M비트의 디지털 신호에 따라서, 배선군 112_1의 어느 한개와 배선 113_1을 도통 상태로 하여, 동일한 전위로 한다. 동시에, 회로 202_2는, M비트의 디지털 신호에 따라서, 배선군 112_2의 어느 한개와 배선 113_2를 도통 상태로 하여, 동일한 전위로 한다.
- [0141] 이와 같이 해서, 회로 202_1은, M비트의 디지털 신호를 제1 아날로그 신호로 변환하여, 제1 아날로그 신호를 배선 113_1에 출력한다. 회로 202_2는, M비트의 디지털 신호를 제2 아날로그 신호로 변환하여, 제2 아날로그 신호를 배선 113_2에 출력한다. 또는, 회로 202_1은, M비트의 디지털 신호에 의거하여 제1 전압군의 어느 한개를 선택하고, 제1 전압군의 어느 한개를 제1 아날로그 신호로서 배선 113_1에 출력한다. 회로 202_2는, M비트의 디지털 신호에 의거하여 제2 전압군의 어느 한개를 선택하고, 제2 전압군의 어느 한개를 제2 아날로그 신호로서 배선 113_2에 출력한다.
- [0142] 이때, N비트의 디지털 신호, 및 N비트의 반전 디지털 신호를 합쳐서, 제1 디지털 신호로 표시하는 것이 가능하다. 따라서, 제1 디지털 신호로 표시하는 경우, N비트의 디지털 신호와 N비트의 반전 디지털 신호를 포함하는 경우가 있다. 단, N비트의 반전 신호를 포함시키지 않고, N비트의 디지털 신호만을 제1 디지털 신호로 표시하는 것도 가능하다.
- [0143] 이때, M비트의 디지털 신호를, 제2 디지털 신호로 표시하는 것이 가능하다. 단, 회로 201이 M비트의 디지털 신호와, M비트의 디지털 신호의 반전 신호(이하, M비트의 반전 디지털 신호라고도 한다)를 생성하는 경우, 이것들을 합쳐서 제2 디지털 신호로 표시하는 것도 가능하다.
- [0144] 이때, 회로 201이 갖는 소자(예를 들면, 스위치, 트랜지스터 등) 수는, 회로 202_1이 갖는 소자수, 또는 회로 202_2가 갖는 소자수보다도 큰 것이 바람직하다. 이와 같이 함으로써, 회로 202_1, 및 회로 202_2가 갖는 소자수가 적어지므로, 회로 규모의 축소를 꾀할 수 있다. 단, 이것에 한정되지 않고, 회로 201이 갖는 소자수는, 회로 202_1이 갖는 소자수, 또는 회로 202_2가 갖는 소자수보다도 작은 것도 가능하다.
- [0145] 이때, 도 1b에 있어서 설명한 바와 같이, 도2a에 있어서도, 디지털 아날로그 변환부(100)는, N비트의 디지털 신호를 n개의 아날로그 신호로 변환하는 것이 가능하다. 이 경우, 예를 들면, 도 3에 도시된 것과 같이, 회로 201과, 회로 202_1~202_n을 사용할 수 있다.
- [0146] 회로 202_1~202_n은, 각각, 회로 201의 출력 단자, 배선군 112_1~112_n, 및 배선 113_1~113_n과 접속된다. 예를 들면, 회로 202_i(i: 1~n의 어느 한개)는, 회로 201의 출력 단자, 배선군 112_i, 및 배선 113_i와 접속된다.
- [0147] 회로 202_1~202_n은, 각각, 도2a에 나타난 회로 202_1, 또는 회로 202_2에 대응한다.
- [0148] 다음에, 도4a를 참조하여, 도2a에 나타난 회로 201, 회로 202_1, 및 회로 202_2의 구체적인 일례에 대해 설명한다.
- [0149] 회로 201은, 복수의 논리회로를 갖는다. 논리회로의 수는, 제1 전압군의 전압수, 또는 제2 전압군의 전압수와 일치하는 경우가 많다. 따라서, 예를 들면, 제1 전압군의 전압수, 또는 제2 전압군의 전압수가 M개인 경우, 회로 201은, 논리회로 203_1~203_M이라고 하는 M개의 논리회로를 갖는다.
- [0150] 논리회로 203_1~203_M은, 각각, 복수의 입력 단자와, 1개의 출력 단자를 갖는다. 입력 단자의 수는, 배선군 111의 배선수, 또는 배선군 114의 배선수와 일치하는 경우가 많다. 따라서, 예를 들면, 배선군 111의 배선수, 또는 배선군 114의 배선수가 N개인 경우, 논리회로 203_1~203_M은, 각각, N개의 입력 단자를 갖는다. 단, 논리회로 203_1~203_M에 배선군 111, 및 배선군 114와는 다른 배선이 접속되는 경우, 입력 단자의 수는,

배선군 111의 배선수, 또는 배선군 114의 배선수와, 해당 다른 배선의 배선수의 합과 일치하는 경우가 많다.

[0151] 회로 202_1, 및 회로 202_2는, 각각, 복수의 스위치를 갖는다. 스위치의 수는, 제1 전압군의 전압수, 또는 제2 전압군의 전압수와 일치하는 경우가 많다. 따라서, 예를 들면, 제1 전압군의 전압수, 또는 제2 전압군의 전압수가, M개인 경우, 회로 202_1은, 스위치 204_11~204_1M이라고 하는 M개의 스위치를 갖고, 회로 202_2는, 스위치 204_21~204_2M이라고 하는 M개의 스위치를 갖는다.

[0152] 논리회로 203_1~203_M의 N개의 입력 단자는, 각각, 배선 111_1~111_N, 또는 배선 114_1~114_N과 접속된다. 예를 들면, 논리회로 203_k(k: 1~M의 어느 한개)의 j(j: 1~N의 어느 한 개, 또는 자연수)번째의 입력 단자는, 배선 111_j, 또는 배선 114_j와 접속된다. 이 조합은, 모든 논리회로 203_1~203_M에서 다르고, 예를 들면, 최대로 2N인 채이다. 단, 몇개의 논리회로에 있어서, 입력 단자의 접속 관계가 같은 것도 가능하다. 따라서, $M \leq 2N$ 인 것이 바람직하다. 더욱 바람직하게는, $M=2N$ 이다.

[0153] 논리회로 203_1~203_M의 출력 단자는, 각각, 스위치 204_11~204_1M의 제어 단자, 및 스위치 204_21~204_2M의 제어 단자와 접속된다. 예를 들면, 논리회로 203_k의 출력 단자는, 스위치 204_1k의 제어 단자, 및 스위치 204_2k의 제어 단자와 접속된다.

[0154] 스위치 204_11~204_1M의 제1 단자는, 각각, 배선 112_11~112_1M과 접속되고, 스위치 204_11~204_1M의 제2 단자는, 모두 배선 113_1과 접속된다. 예를 들면, 스위치 204_1k의 제1 단자는, 배선 112_1k와 접속되고, 스위치 204_1k의 제2 단자는, 배선 113_1과 접속된다. 단, 스위치 204_11~204_1M의 제2 단자는, 각각, 다른 배선과 접속되는 것도 가능하다.

[0155] 스위치 204_21~204_2M의 제1 단자는, 각각, 배선 112_21~112_2M과 접속되고, 스위치 204_21~204_2M의 제2 단자는, 모두 배선 113_2와 접속된다. 예를 들면, 스위치 204_2k의 제1 단자는, 배선 112_2k와 접속되고, 스위치 204_2k의 제2 단자는, 배선 113_2와 접속된다. 단, 스위치 204_21~204_2M의 제2 단자는, 각각, 다른 배선과 접속되는 것도 가능하다.

[0156] 다음에, 도4a에 나타난 디지털 아날로그 변환부(100)의 동작에 대해 설명한다.

[0157] N 비트의 디지털 신호, 및 N비트의 반전 디지털 신호가, 논리회로 203_1~203_M의 N개의 입력 단자에 입력된다. 예를 들면, j비트째의 디지털 신호, 또는 j비트째의 반전 디지털 신호가, 논리회로 203_1~203_M의 각각의 j번째의 입력 단자에 입력된다.

[0158] 논리회로 203_1~203_M은, 각각, 논리회로 203_1~203_M에 각각 입력되는 N비트의 디지털 신호와 N비트의 반전 디지털 신호의 조합에 따라서, H신호, 또는 L신호를 출력한다. 이 논리회로 203_1~203_M의 출력 신호가, 도2a에 있어서 설명한 M비트의 디지털 신호에 대응한다.

[0159] 그후, 논리회로 203_1~203_M은, M비트의 디지털 신호를 스위치 204_11~204_1M의 제어 단자, 및 스위치 204_21~204_2M의 제어 단자에 입력하여, 스위치 204_11~204_1M, 및 스위치 204_21~204_2M의 온과 오프를 제어한다. 예를 들면, 논리회로 203_k(k: 1~M의 어느 한개)는, 디지털 신호를 스위치 204_1k의 제어 단자, 및 스위치 204_2k의 제어 단자에 입력하여, 스위치 204_1k, 및 스위치 204_2k의 온과 오프를 제어한다. 따라서, 스위치 204_1k, 및 스위치 204_2k의 온과 오프와 타이밍은, 대략 같아진다.

[0160] 구체적으로는, M비트의 디지털 신호에 따라서, 스위치 204_11~204_1M의 어느 한개가 온함으로써, 스위치 204_11~204_1M은, 배선군 112_1의 어느 한개와 배선 113_1을 도통하여, 동일한 전위로 한다. 동시에, M비트의 디지털 신호에 따라서, 스위치 204_21~204_2M의 어느 한개가 온함으로써, 스위치 204_21~204_2M은, 배선군 112_2의 어느 한개와 배선 113_2를 도통하여, 동일한 전위로 한다.

[0161] 이때, 각 스위치가, 제어 단자에 H신호가 입력되는 경우에 온하는 경우, 스위치 204_11~204_1M의 어느 한개, 및 스위치 204_21~204_2M의 어느 한개를 온하기 위해, 논리회로 203_1~203_M의 어느 한개가 H신호를 출력하고, 그 밖의 논리회로 203_1~203_M이 L신호를 출력하는 것이 바람직하다.

[0162] 한편, 각 스위치가, 제어 단자에 L신호가 입력되는 경우에 온하는 경우, 스위치 204_11~204_1M의 어느 한개, 및 스위치 204_21~204_2M의 어느 한개를 온하기 위해서, 논리회로 203_1~203_M의 어느 한개가 L신호를 출력하고, 그 밖의 논리회로 203_1~203_M이 H신호를 출력하는 것이 바람직하다.

[0163] 이때, 회로 202_1이 갖는 스위치의 수와, 회로 202_2가 갖는 스위치의 수는, 일치하는 경우가 많다. 단, 회로 202_1이 갖는 스위치의 수와, 회로 202_2가 갖는 스위치의 수는, 다른 것도 가능하다.

- [0164] 이때, 논리회로 203_1~203_M으로서는, 예를 들면, AND 회로, OR 회로, NAND 회로, NOR 회로, XOR 회로, 또는 XNOR 회로 등의 어느 한 개, 또는 이들 중 몇개의 조합 논리회로를 사용하는 것이 가능하다.
- [0165] 이때, 스위치 204_11~204_1M, 및 스위치 204_21~2M으로서는, 예를 들면, P채널형 트랜지스터, N채널형 트랜지스터, 또는 N채널형 트랜지스터와 P채널형 트랜지스터를 조합한 CMOS형의 스위치를 사용하는 것이 가능하다. 이때, 각 트랜지스터의 게이트, 제1 단자(소스 또는 드레인의 한쪽), 제2 단자(소스 또는 드레인의 다른 쪽)는, 각 스위치의 제어 단자, 제1 단자, 제2 단자에 해당하고, 같은 접속 구성이 된다.
- [0166] 예를 들면, 도4a에 나타낸 스위치로서, N채널형 트랜지스터를 사용했을 경우의 디지털 아날로그 변환부(100)를 도 4b에 나타낸다.
- [0167] 트랜지스터 204_11a~204_1Ma는, 스위치 204_11~204_1M에 대응하고, N채널형이다. 트랜지스터 204_21a~204_2Ma는, 스위치 204_21~2M에 대응하고, N채널형이다.
- [0168] NOR 회로 203_1a~203_Ma는, 논리회로 203_1~203_M에 대응한다. NOR 회로가 사용된 이유는, N채널형 트랜지스터는, 게이트에 H신호가 입력되는 경우에 온하기 때문이다. 그리고, 입력 신호가 모두 L신호인 경우에, NOR 회로는 H신호를 출력하고, 입력 신호의 어느 한개가 H신호인 경우에, 논리회로는 L신호를 출력하기 때문이다. 단, 이것에 한정되지 않는다. 예를 들면, 논리회로 203_1~203_M으로서는, AND 회로, NAND 회로와 인버터가 직렬로 접속되는 회로, 또는 다양한 조합 논리회로 등을 사용하는 것이 가능하다.
- [0169] 어느 트랜지스터가 온하고, 어느 전압이 선택되어도, 제1 아날로그 신호의 스위칭 노이즈가 대략 동일하게 되도록, 예를 들면, 트랜지스터 204_11a~204_1Ma의 W/L(W: 채널 폭, L: 채널길이) 비는, 각각, 같은 것이 바람직하다. 이와 같이 함으로써, 도 4b의 디지털 아날로그 변환부(100)가 표시장치에 사용되는 경우, 어느 트랜지스터가 온해도, 제1 서브 화소는, 대략 동일한 스위칭 노이즈를 갖는 제1 아날로그 신호에 따라서, 계조를 표현한다. 따라서, 제1 아날로그 신호의 스위칭 노이즈의 영향을 저감할 수 있다. 단, 이것에 한정되지 않는다. 예를 들면, 트랜지스터 204_1ka의 W/L비를 W/L1a(k)로 표시하면, $W/L1a(k-1) < W/L1a(k) < W/L1a(k+1)$ 인 것이 가능하다. 이때, 트랜지스터 204_1ka의 제1 단자의 전위(배선 112_1k의 전위)를 V1a(k)로 표시하면, $V1a(k-1) < V1a(k) < V1a(k+1)$ 인 것이 바람직하다.
- [0170] 트랜지스터 204_11a~204_1Ma와 마찬가지로, 예를 들면, 트랜지스터 204_21a~204_2Ma의 W/L(W: 채널 폭, L: 채널길이) 비는, 각각, 같은 것이 바람직하다. 단, 이것에 한정되지 않는다. 예를 들면, 트랜지스터 204_2ka의 W/L비를 W/L2a(k)로 표시하면, $W/L2a(k-1) < W/L2a(k) < W/L2a(k+1)$ 인 것이 가능하다. 이때, 트랜지스터 204_2ka의 제1 단자의 전위(배선 112_1k의 전위)를 V2a(k)로 표시하면, $V2a(k-1) < V2a(k) < V2a(k+1)$ 인 것이 바람직하다.
- [0171] 제1 아날로그 신호의 스위칭 노이즈와, 제2 아날로그 신호의 스위칭 노이즈가 대략 동일해지도록, 예를 들면, 트랜지스터 204_1ka의 W/L비와, 트랜지스터 204_2ka의 W/L비는, 같은 것이 바람직하다. 이와 같이 함으로써, 도 4b의 디지털 아날로그 변환부(100)가 표시장치에 사용되는 경우, 제1 서브 화소와 제2 서브 화소는, 각각, 대략 동일한 스위칭 노이즈를 갖는 신호에 따라서, 계조를 표현한다. 따라서, 각 아날로그 신호의 스위칭 노이즈의 영향을 저감할 수 있다. 단, 이것에 한정되지 않는다.
- [0172] 각 트랜지스터가 온할 때에, 게이트와 소스 사이의 전압(Vgs)이 커지도록, 예를 들면, 회로 201의 출력 신호의 H신호의 값은, 제1 전압군의 최대값, 및 제2 전압군의 최대값보다도 큰 것이 바람직하다. 이와 같이 해서, 각 트랜지스터의 사이즈를 작게 할 수 있다. 한편으로, 예를 들면, 각 트랜지스터가 오프할 때에, 게이트와 소스 사이의 전압(Vgs)은, 임계전압 이하이면 된다. 따라서, 회로 201의 출력 신호의 진폭이 작아지도록, 예를 들면, 회로 201의 출력 신호의 L신호의 값은, 제1 전압군의 최소값과 제2 전압군의 최소값 중 작은 쪽과 같거나, 또는 작은 것이 바람직하다. 이와 같이 해서, 소비 전력의 삭감을 꾀할 수 있다.
- [0173] 예를 들면, 도4a에 나타낸 스위치로서, P채널형 트랜지스터를 사용했을 경우의 디지털 아날로그 변환부(100)를 도5a에 나타낸다.
- [0174] 트랜지스터 204_11b~204_1Mb는, 스위치 204_11~204_1M에 대응하고, P채널형이다. 트랜지스터 204_21b~204_2Mb는, 스위치 204_21~2M에 대응하고, P채널형이다.
- [0175] NAND 회로 203_1b~203_Mb는, 논리회로 203_1~203_M에 대응한다. NAND 회로가 사용된 이유는, P채널형 트랜지스터는, 게이트에 L신호가 입력되는 경우에 온하기 때문이다. 그리고, 입력 신호가 모두 H신호인 경우에, NAND 회로는 L신호를 출력하고, 입력 신호의 어느 한개가 L신호인 경우에, NAND 회로는 H신호를 출력하기

때문이다. 단, 이것에 한정되지 않는다. 예를 들면, 논리회로 203_1~203_M으로서, OR 회로, NOR 회로와 인버터가 직렬로 접속되는 회로, 또는 다양한 조합 논리회로 등을 사용하는 것이 가능하다.

[0176] 도 4b에 나타낸 트랜지스터 204_11a~204_1Ma와 마찬가지로, 트랜지스터 204_21b~204_2Mb의 W/L(W:채널 폭, L:채널길이) 비는, 각각, 같은 것이 바람직하다. 단, 이것에 한정되지 않는다. 예를 들면, 트랜지스터 204_1kb의 W/L비를 W/L1b(k)로 표시하면, $W/L1b(k-1) < W/L1b(k) < W/L1b(k+1)$ 인 것이 바람직하다. 이때, 트랜지스터 204_1kb의 제1 단자의 전위(배선 112_1k의 전위)를 V1b(k)로 표시하면, $V1b(k-1) > V1b(k) > V1b(k+1)$ 인 것이 바람직하다.

[0177] 도 4b에 나타낸 트랜지스터 204_21a~204_2Ma와 마찬가지로, 트랜지스터 204_21b~204_2Mb의 W/L(W:채널 폭, L:채널길이) 비는, 각각, 같은 것이 바람직하다. 단, 이것에 한정되지 않는다. 예를 들면, 트랜지스터 204_2kb의 W/L비를 W/L2b(k)로 표시하면, $W/L2b(k-1) < W/L2b(k) < W/L2b(k+1)$ 인 것이 바람직하다. 이때, 트랜지스터 204_2kb의 제1 단자의 전위(배선 112_1k의 전위)를 V2b(k)로 표시하면, $V2b(k-1) > V2b(k) > V2b(k+1)$ 인 것이 바람직하다.

[0178] 도 4b와 마찬가지로, 트랜지스터 204_1kb의 W/L비와, 트랜지스터 204_2kb의 W/L비는, 같은 것이 바람직하다. 단, 이것에 한정되지 않는다.

[0179] 각 트랜지스터가 온할 때에, 게이트와 소스 사이의 전압(Vgs)의 절대값이 커지도록, 예를 들면, 회로 201의 출력 신호의 L신호의 값은, 제1 전압군의 최소값, 및 제2 전압군의 최소값보다도 작은 것이 바람직하다. 이와 같이 해서, 각 트랜지스터의 사이즈를 작게 할 수 있다. 한편으로, 예를 들면, 각 트랜지스터가 오프할 때에, 게이트와 소스 사이의 전압(Vgs)의 절대값은, 임계전압의 절대값 이하이면 된다. 따라서, 회로 201의 출력 신호의 진폭이 작아지도록, 예를 들면, 회로 201의 출력 신호의 H신호의 값은, 제1 전압군의 최대값과 제2 전압군의 최대값 중 큰 쪽과 같거나, 또는 큰 것이 바람직하다. 이와 같이 해서, 소비 전력의 삭감을 꾀할 수 있다.

[0180] 이때, CMOS형의 스위치가, 각 스위치로서 사용되는 것이 가능하다. 각 CMOS형의 스위치는, N채널형 트랜지스터의 제1 단자와, P채널형 트랜지스터의 제1 단자가 접속되고, N채널형 트랜지스터의 제2 단자와, P채널형 트랜지스터의 제2 단자가 접속되는 구성이다. P채널형 트랜지스터의 게이트, 및 N채널형 트랜지스터의 게이트는, 각각, 다른 배선과 접속된다. 예를 들면, P채널형 트랜지스터의 게이트는, 논리회로 203_k의 출력 단자와 접속되고, N채널형 트랜지스터의 게이트는, 인버터 등의 입력 신호를 반전하는 기능을 갖는 회로를 거쳐서 논리회로 203_k의 출력 단자와 접속된다. 또는, P채널형 트랜지스터의 게이트는, 인버터 등의 입력 신호를 반전하는 기능을 갖는 회로를 거쳐서 논리회로 203_k의 출력 단자와 접속되고, N채널형 트랜지스터의 게이트는, 논리회로 203_k의 출력 단자와 접속된다.

[0181] 각 스위치로서, CMOS형의 스위치가 사용되는 경우, 회로 201의 출력 신호의 H신호의 값은, 제1 전압군의 최대값과, 제2 전압군의 최대값의 큰 쪽과 같은 정도, 또는 같은 정도 이상이면 된다. 회로 201의 출력 신호의 L신호의 값은, 제1 전압군의 최소값과, 제2 전압군의 최소값의 작은 쪽과 같은 정도, 또는 같은 정도 이하이면 된다. 따라서, 회로 201의 출력 신호의 진폭 전압이 작아지기 때문에, 소비 전력의 저감을 꾀할 수 있다.

[0182] 이때, 디지털 아날로그 변환부(100)가, 복수의 논리회로, 및 복수의 스위치를 갖는 경우에 대해 설명했지만, 이것에 한정되지 않는다. 디지털 아날로그 변환부(100)는, 복수(예를 들면, N개)의 입력 단자, 및 1개의 출력 단자를 갖는 논리회로와, 제1 스위치와, 제2 스위치를 갖고 있으면 된다. 논리회로에 있어서, 어떤 입력 단자(예를 들면, j번째의 입력 단자)는, 제1 배선, 또는 제2 배선과 접속되고, 출력 단자는, 제1 스위치의 제어 단자, 및 제2 스위치의 제어 단자와 접속된다. 제1 스위치의 제1 단자는, 제3 배선과 접속되고, 제1 스위치의 제2 단자는, 제4 배선과 접속된다. 제2 스위치의 제1 단자는, 제5 배선과 접속되고, 제2 스위치의 제2 단자는, 제6 배선과 접속된다.

[0183] 이때, 제1 배선, 제2 배선, 제3 배선, 제4 배선, 제5 배선, 제6 배선은, 각각, 배선군 111에 포함되는 배선의 어느 한개, 배선군 114에 포함되는 배선의 어느 한개, 배선군 112_1에 포함되는 배선의 어느 한개, 배선 113_1, 배선군 112_2의 어느 한개, 배선 113_2에 대응한다. 제1 스위치, 제2 스위치는, 각각, 스위치 204_11~204_1M의 어느 한개, 스위치 204_21~204_2M의 어느 한개에 대응한다.

[0184] 이때, 도 1b, 및 도 3에 있어서 설명한 바와 같이, 도 4a에 있어서도, 디지털 아날로그 변환부(100)는, N비트의 디지털 신호를 n개의 아날로그 신호로 변환하는 것이 가능하다. 이 경우, 예를 들면, 도 5b에 도시된 것과 같이, 회로 201과, 회로 202_1~회로 202_n이 사용된다.

[0185] 회로 202_1~회로 202_n은, 각각, 복수의 스위치를 갖는다. 예를 들면, 회로 202_i는, 스위치 204_i1~

204_iM을 갖는다. 스위치 204_i1~204_iM은, 도4a에 나타낸 스위치 204_11~204_1M, 또는 스위치 204_21~204_2M에 대응한다.

[0186] 스위치 204_i1~204_iM의 제1 단자는, 각각, 배선군 112_i와 접속되고, 스위치 204_i1~204_iM의 제2 단자는, 모두 배선 113_i와 접속되고, 스위치 204_i1~204_iM의 제어 단자는, 각각, 회로 201의 출력 단자와 접속된다.

[0187] 이상과 같이, 본 실시형태의 디지털 아날로그 변환부는, 한개의 디지털 신호를 복수의 아날로그 신호로 변환 할 수 있으므로, 룩업 테이블을 사용하지 않을 수 있다. 따라서, 메모리 소자로부터의 룩업 테이블의 관독에 따르는 발열의 발생, 또는 소비 전력의 증대 등을 방지할 수 있다.

[0188] 더구나, 예를 들면, 표시장치에 있어서, 본 실시형태의 디지털 아날로그 변환부를 사용해서 비디오 신호가 생성되는 경우, 비디오 신호를 생성하는 부분과, 화소부를 같은 기관에 형성할 수 있다. 따라서, 패널과 외부 부품의 접속수를 적게 할 수 있으므로, 패널과 외부 부품의 접속 부분의 접속 불량을 저감할 수 있어, 신뢰성의 향상, 제품 수율의 향상, 생산 비용의 삭감, 또는 고선명화 등을 꾀할 수 있다.

[0189] (실시형태 3)

[0190] 본 실시형태에서는, 각 아날로그 신호의 극성을 개별적으로 설정하는 것이 가능한 디지털 아날로그 변환부(100)의 일례에 대해서, 도6a를 참조해서 설명한다.

[0191] 각 아날로그 신호의 극성을 개별적으로 설정하기 위해, 예를 들면, 디지털 아날로그 변환부(100)는, 제1 모드와, 제2 모드를 갖는다. 같은 N비트의 디지털 신호가 입력되는 경우에도, 각 아날로그 신호의 값(또는 극성)은, 제1 모드일 때와, 제2 모드일 때에서 다른 경우가 많다.

[0192] 예를 들면, 제1 모드에 있어서, 각 아날로그 신호는, 정극성의 전위가 되고, 제2 모드에 있어서, 각 아날로그 신호는, 부극성이 된다. 이와 같이 하는 것에 의해, 각 아날로그 신호의 극성을 개별적으로 설정하는 것이 가능하게 된다. 단, 이것에 한정되지 않는다. 각 아날로그 신호의 값, 또는 극성은, 제1 모드일 때와, 제2 모드일 때에서 같은 일도 있다. 또는, 제1 모드, 및 제2 모드에 있어서, 각 아날로그 신호의 극성이 다른 것도 가능하다.

[0193] 제1 모드와, 제2 모드를 전환하기 위해, 예를 들면, 선택신호가 입력된다. 그 때문에, 디지털 아날로그 변환부(100)는, 예를 들면, 배선 115와 접속된다. 선택신호는, 배선 115에 입력된다. 선택신호는, 예를 들면, 디지털 신호이며, 디지털 아날로그 변환부(100)가 제1 모드에서 동작하는 것인지, 제2 모드에서 동작하는 것인지를 선택하는 역할을 갖는다. 단, n비트의 디지털 신호가, 선택신호와 같은 역할을 포함하는 경우, 선택신호를 생략하는 것이 가능하다.

[0194] 이때, 선택신호의 반전 신호(이하, 반전 선택신호)를 디지털 아날로그 변환부(100)에 입력하는 것도 가능하다. 이 경우, 예를 들면, 새로운 배선을 디지털 아날로그 변환부(100)에 접속하여, 그 배선을 거쳐서 반전 선택신호를 디지털 아날로그 변환부(100)에 입력한다. 이 배선은, 예를 들면, 신호선으로서 기능하는 것이 가능하다. 또한, 선택신호로 기재하는 경우, 선택신호와 반전 선택신호를 포함하는 경우도 있다.

[0195] 이때, 선택신호, 및 반전 선택신호는, N비트의 디지털 신호와 같은 회로에 입력되는 경우가 많으므로, 예를 들면, 선택신호의 진폭 전압, 및 반전 선택신호의 진폭 전압은, N비트의 디지털 신호의 진폭 전압과 같은 것이 바람직하다. 단, 이것에 한정되지 않는다.

[0196] 각 아날로그 신호의 극성을 개별적으로 설정하기 위해, 정극성의 제1 전압군, 부극성의 제1 전압군, 정극성의 제2 전압군, 및 부극성의 제2 전압군이, 디지털 아날로그 변환부(100)에 입력된다. 본 실시형태에서는, 배선수를 늘림으로써, 이들 전압군이 동시에 디지털 아날로그 변환부(100)에 입력된다. 예를 들면, 정극성의 제1 전압군, 부극성의 제1 전압군, 정극성의 제2 전압군, 부극성의 제2 전압군은, 각각, 배선군 112p_1, 배선군 112n_1, 배선군 112p_2, 및 배선군 112n_2에 입력되는 것으로 한다.

[0197] 이때, 배선군 112p_1과, 배선군 112n_1을 합쳐서, 배선군 112_1로 표시하는 것도 가능하다. 배선군 112p_2와, 배선군 112n_2를 합쳐서, 배선군 112_2로 표시하는 것도 가능하다.

[0198] 이때, 정극성의 제1 전압군과, 부극성의 제1 전압군을 합쳐서, 제1 전압군으로 표시하는 것도 가능하다. 정극성의 제2 전압군과, 부극성의 제2 전압군을 합쳐서, 제2 전압군으로 표시하는 것도 가능하다.

- [0199] 이때, 정극성의 제1 전압군의 최소의 전압과, 부극성의 제1 전압군의 최대의 전압은, 같은 경우가 있다. 마찬가지로, 정극성의 제2 전압군의 최소의 전압과, 부극성의 제2 전압군의 최대의 전압은, 같은 경우가 있다.
- [0200] 다음에, 도6a)에 나타난 디지털 아날로그 변환부(100)의 동작을 설명한다.
- [0201] N비트의 디지털 신호, 정극성의 제1 전압군, 부극성의 제1 전압군, 정극성의 제2 전압군, 부극성의 제2 전압군, 및 선택신호가, 디지털 아날로그 변환부(100)에 입력된다.
- [0202] 제1 모드에 있어서, 디지털 아날로그 변환부(100)는, N비트의 디지털 신호에 따라서, 배선군 112p_1의 어느 한개와 배선 113_1을 도통 상태로 하여, 동일한 전위로 한다. 동시에, 디지털 아날로그 변환부(100)는, N비트의 디지털 신호에 따라서, 배선군 112p_2의 어느 한개와 배선 113_2를 도통 상태로 해서 동일한 전위로 한다.
- [0203] 이와 같이 해서, 제1 모드에 있어서, 디지털 아날로그 변환부(100)는, N비트의 디지털 신호를 정극성의 제1 아날로그 신호, 및 정극성의 제2 아날로그 신호로 변환한다. 또는, 디지털 아날로그 변환부(100)는, N비트의 디지털 신호에 따라서, 정극성의 제1 전압군의 어느 한개를 정극성의 제1 아날로그 신호로서 배선 113_1에 출력하고, 정극성의 제2 전압군의 어느 한개를 정극성의 제2 아날로그 신호로서 배선 113_2에 출력한다.
- [0204] 한편, 제2 모드에 있어서, 디지털 아날로그 변환부(100)는, N비트의 디지털 신호에 따라서, 배선군 112n_1의 어느 한개와 배선 113_1과를 도통 상태로 해서 동일한 전위로 한다. 동시에, 디지털 아날로그 변환부(100)는, N비트의 디지털 신호에 따라서, 배선군 112n_2의 어느 한개와 배선 113_2를 도통 상태로 해서 동일한 전위로 한다.
- [0205] 이와 같이 해서, 제2 모드에 있어서, 디지털 아날로그 변환부(100)는, N비트의 디지털 신호를 부극성의 제1 아날로그 신호, 및 부극성의 제2 아날로그 신호로 변환한다. 또는, 디지털 아날로그 변환부(100)는, N비트의 디지털 신호에 따라서, 부극성의 제1 전압군의 어느 한개를 부극성의 제1 아날로그 신호로서 배선 113_1에 출력하고, 부극성의 제2 전압군의 어느 한개를 부극성의 제2 아날로그 신호로서 배선 113_2에 출력한다.
- [0206] 이때, 디지털 아날로그 변환부(100)는, 각 모드에 있어서, 제1 아날로그 신호의 극성과 제2 아날로그 신호의 극성을 서로 다른 극성으로 설정하는 것이 가능하다. 이것을 실현하기 위해, 예를 들면, 정극성의 제2 전압군을 배선군 112n_2에 입력하고, 부극성의 제2 전압을 배선군 112p_2에 입력한다.
- [0207] 다음에, 도6a)에 나타난 디지털 아날로그 변환부(100)의 일례에 대해서, 도 6b)를 참조해서 설명한다.
- [0208] 디지털 아날로그 변환부(100)는, 회로 201p, 회로 201n, 회로 202p_1, 회로 202n_1, 회로 202p_2, 및 회로 202n_2를 갖고 있다.
- [0209] 회로 201p, 및 회로 201n은, 도4a)에 나타난 회로 201에 대응한다. 회로 202p_1, 및 회로 202n_1은, 도 4a)에 나타난 회로 202_1에 대응한다. 회로 202p_2, 및 회로 202n_2는, 도4a)에 나타난 회로 202_2에 대응한다.
- [0210] 이때, 회로 201p, 및 회로 201n을 합쳐서, 제1 회로로 부르는 것도 가능하다. 회로 202p_1, 및 회로 202n_1을 합쳐서, 제2 회로로 부르는 것도 가능하다. 회로 202p_2, 및 회로 202n_2를 합쳐서, 제3 회로로 부르는 것이 가능하다.
- [0211] 회로 201p는, 배선군 111, 배선군 114, 및 배선 115와 접속된다. 회로 201n은, 배선군 111, 배선군 114, 및 배선 116과 접속된다. 회로 202p_1은, 배선군 112p_1, 배선 113_1, 및 회로 201p의 출력 단자와 접속된다. 회로 202n_1은, 배선군 112n_1, 배선 113_1, 및 회로 201n의 출력 단자와 접속된다. 회로 202p_2는, 배선군 112p_2, 배선 113_2, 및 회로 201p의 출력 단자와 접속된다. 회로 202n_2는, 배선군 112n_2, 배선 113_2, 및 회로 201n의 출력 단자와 접속된다.
- [0212] 배선 116에는, 예를 들면, 반전 선택신호가 입력된다. 단, 배선 115와, 배선 116이, 인버터를 거쳐서 접속됨으로써, 배선 115에 입력되는 선택신호가, 인버터에 의해 반전되어, 배선 116에 입력된다. 이와 같이 해서, 반전 선택신호를 생략하는 것이 가능하다.
- [0213] 다음에, 도 6b)에 나타난 디지털 아날로그 변환부(100)의 동작을 설명한다.
- [0214] N비트의 디지털 신호, N비트의 반전 디지털 신호, 및 선택신호가, 회로 201p에 입력되고, N비트의 디지털 신호, N비트의 반전 디지털 신호, 및 반전 선택신호가, 회로 201n에 입력된다.

- [0215] 도2a의 회로 201과 마찬가지로, 회로 201p는, N비트의 디지털 신호, N비트의 반전 디지털 신호, 및 선택신호를 디지털 신호로 변환하고, 회로 201n은, N비트의 디지털 신호, N비트의 반전 디지털 신호, 및 반전 선택신호를 디지털 신호로 변환한다.
- [0216] 이 회로 201p가 생성하는 디지털 신호의 비트수, 및 회로 202n이 생성하는 디지털 신호의 비트수는, 도 2a의 회로 201과 마찬가지로, 정극성의 제1 전압군의 전압수, 부극성의 제1 전압군의 전압수, 정극성의 제2 전압군의 전압수, 또는 부극성의 제2 전압군의 전압수와 일치하는 경우가 많다. 따라서, 예를 들면, 이러한 전압수가, M개인 경우, 회로 201p가 생성하는 디지털 신호의 비트수, 및 회로 202n이 생성하는 디지털 신호의 비트수는, 도2a의 회로 201과 마찬가지로, M비트이다. 여기에서, 회로 201p가 생성하는 디지털 신호를 제1M비트의 디지털 신호로 표시하고, 회로 201n이 생성하는 디지털 신호를 제2M비트의 디지털 신호로 표시한다.
- [0217] 그후, 회로 201p는, 제1M비트의 디지털 신호를 회로 202p_1, 및 회로 202p_2에 입력하여, 회로 202p_1, 및 회로 202p_2를 제어한다. 회로 201n은, 제2M비트의 디지털 신호를 회로 202n_1, 및 회로 202n_2에 입력하여, 회로 202n_1, 및 회로 202n_2를 제어한다.
- [0218] 구체적으로는, 제1 모드에 있어서, 회로 202p_1은, 제1M비트의 디지털 신호에 따라서, 배선군 112p_1의 어느 한개와 배선 113_1를 도통 상태로 해서 동일한 전위로 한다. 동시에, 회로 202p_2는, 제1M비트의 디지털 신호에 따라서, 배선군 112p_2의 어느 한개와 배선 113_2를 도통 상태로 해서 동일한 전위로 한다. 이때, 회로 202n_1은, 배선군 112n_1과 배선 113_1을 비도통 상태로 하고, 회로 202n_2는, 배선군 112n_2와 배선 113_2를 비도통 상태로 한다.
- [0219] 이와 같이 해서, 제1 모드에 있어서, 회로 202p_1은, 제1M비트의 디지털 신호를 정극성의 제1 아날로그 신호로 변환하여, 정극성의 제1 아날로그 신호를 배선 113_1에 출력한다. 회로 202p_2는, 제1M비트의 디지털 신호를 정극성의 제2 아날로그 신호로 변환하여, 정극성의 제2 아날로그 신호를 배선 113_2에 출력한다. 또는, 제 1 모드에 있어서, 회로 202p_1은, 제1M비트의 디지털 신호에 따라서, 정극성의 제1 전압군의 어느 한개를 정극성의 제1 아날로그 신호로서 배선 113_1에 출력한다. 회로 202p_2는, 제1M비트의 디지털 신호에 따라서, 정극성의 제2 전압군의 어느 한개를 정극성의 제2 아날로그 신호로서 배선 113_2에 출력한다.
- [0220] 한편, 제2 모드에 있어서, 회로 202n_1은, 제2M비트의 디지털 신호에 따라서, 배선군 112n_1의 어느 한개와 배선 113_1을 도통 상태로 해서 동일한 전위로 한다. 동시에, 회로 202n_2는, 제2M비트의 디지털 신호에 따라서, 배선군 112n_2의 어느 한개와 배선 113_2를 도통 상태로 해서 동일한 전위로 한다. 이때, 회로 202p_1은, 배선군 112p_1과 배선 113_1을 비도통 상태로 하고, 회로 202p_2는, 배선군 112p_2와 배선 113_2를 비도통 상태로 한다.
- [0221] 이와 같이 해서, 제2 모드에 있어서, 회로 202n_1은, 제2M비트의 디지털 신호를 부극성의 제1 아날로그 신호로 변환하여, 부극성의 제1 아날로그 신호를 배선 113_1에 출력한다. 회로 202n_2는, 제2M비트의 디지털 신호를 부극성의 제2 아날로그 신호로 변환하여, 부극성의 제2 아날로그 신호를 배선 113_2에 출력한다. 또는, 제 2 모드에 있어서, 회로 202n_1은, 제2M비트의 디지털 신호에 따라서, 부극성의 제1 전압군의 어느 한개를 부극성의 제1 아날로그 신호로서 배선 113_1에 출력하고, 회로 202n_2는, 제2M비트의 디지털 신호에 따라서, 부극성의 제2 전압군의 어느 한개를 부극성의 제2 아날로그 신호로서 배선 113_2에 출력한다.
- [0222] 이때, 제1M비트의 디지털 신호, 및 제2M비트의 디지털 신호는, 각각, 도2a에서 설명한 M비트의 디지털 신호에 대응한다.
- [0223] 이때, 제1M비트의 디지털 신호와 제2M비트의 디지털 신호를 합쳐서, 제2 디지털 신호로 표시하는 것도 가능하다.
- [0224] 이때, 선택신호를 제3 디지털 신호로 표시하는 것이 가능하다. 단, 선택신호, 및 반전 선택신호를 합쳐서, 제3 디지털 신호로 표시하는 것도 가능하다.
- [0225] 이때, 제1 아날로그 신호의 극성과, 제2 아날로그 신호의 극성을 서로 다르게 하는 것이 가능하다. 예를 들면, 이것을 실현하기 위해서, 정극성의 제2 전압군이 배선군 112n_2에 입력되고, 부극성의 제2 전압군이 배선군 112p_2에 입력된다.
- [0226] 다음에, 도 7을 참조하여, 도 6b에 회로 201p, 회로 201n, 회로 202p_1, 회로 202n_1, 회로 202p_2, 및 회로 202n_2의 구체적인 일례에 대해 설명한다.
- [0227] 도4a에 나타난 회로 201과 마찬가지로, 회로 201p는, 복수의 논리회로, 예를 들면, 논리회로 203p_1~

203p_M을 갖고, 회로 201n은, 복수의 논리회로, 예를 들면, 논리회로 203n_1~203n_M을 갖는다.

- [0228] 도4a에 나타난 논리회로 203_1~203_M과 마찬가지로, 논리회로 203p_1~203p_M, 및 논리회로 203n_1~203n_M은, 복수의 입력 단자를 갖는다. 예를 들면, 배선군 111, 및 배선군 114와는 별도로, 회로 201p에는 배선 115가 접속되고, 회로 201n에는 배선 116이 접속되어 있으므로, 입력 단자의 수는, (N+1)개이다.
- [0229] 도4a에 나타난 회로 202_1과 마찬가지로, 회로 202p_1은, 복수의 스위치, 예를 들면, 스위치 204p_11~204p_1M을 갖고, 회로 202n_1은, 복수의 스위치, 예를 들면, 스위치 204n_11~204n_1M을 갖는다.
- [0230] 도4a에 나타난 회로 202_2와 마찬가지로, 회로 202p_2는, 복수의 스위치, 예를 들면, 스위치 204p_21~204p_2M을 갖고, 회로 202n_2는, 복수의 스위치, 예를 들면, 스위치 204n_21~204n_2M을 갖는다.
- [0231] 논리회로 203p_k의 출력 단자는, 스위치 204p_1k의 제어 단자, 및 스위치 204p_2k의 제어 단자와 접속된다. 논리회로 203n_k의 출력 단자는, 스위치 204n_1k의 제어 단자, 및 스위치 204n_2k의 제어 단자와 접속된다.
- [0232] 스위치 204p_1k의 제1 단자는, 배선 112p_1k와 접속되고, 스위치 204p_1k의 제2 단자는, 배선 113_1과 접속된다. 스위치 204n_1k의 제1 단자는, 배선 112n_1k와 접속되고, 스위치 204n_1k의 제2 단자는, 배선 113_1과 접속된다. 스위치 204p_2k의 제1 단자는, 배선 112p_2k와 접속되고, 스위치 204p_2k의 제2 단자는, 배선 113_2와 접속된다. 스위치 204n_2k의 제1 단자는, 배선 112n_2k와 접속되고, 스위치 204n_2k의 제2 단자는, 배선 113_2와 접속된다.
- [0233] 다음에, 도 7에 나타난 디지털 아날로그 변환부(100)의 동작에 대해 설명한다.
- [0234] N비트의 디지털 신호, N비트의 반전 디지털 신호, 및 선택신호가, 논리회로 203p_1~203p_M의 입력 단자에 입력된다. N비트의 디지털 신호, N비트의 반전 디지털 신호, 및 반전 선택신호가, 논리회로 203n_1~203n_M의 입력 단자에 입력된다.
- [0235] 논리회로 203p_1~203p_M은, 각각, 입력되는 N비트의 디지털 신호와 N비트의 반전 디지털 신호와 선택신호의 조합에 따라서, H신호, 또는 L신호를 출력한다. 논리회로 203n_1~203n_M은, 각각, 입력되는 N비트의 디지털 신호와 N비트의 반전 디지털 신호와 반전 선택신호의 조합에 따라서, H신호, 또는 L신호를 출력한다.
- [0236] 예를 들면, 각 스위치의 제어 단자에 H신호가 입력되는 경우에 온할 때, 제1 모드에 있어서, 논리회로 203p_1~203p_M의 어느 한개가 H신호를 출력하고, 그 밖의 논리회로 203p_1~203p_M, 및 논리회로 203n_1~203n_M은, 모두 L신호를 출력한다. 한편, 제2 모드에 있어서, 논리회로 203n_1~203n_M의 어느 한개가 H신호를 출력하고, 그 밖의 논리회로 203n_1~203n_M, 및 논리회로 203p_1~203p_M은, 모두 L신호를 출력한다.
- [0237] 다른 예로서, 각 스위치의 제어 단자에 L신호가 입력되는 경우에 온할 때, 제1 모드에 있어서, 논리회로 203p_1~203p_M의 어느 한개가 L신호를 출력하고, 그 밖의 논리회로 203p_1~203p_M, 및 논리회로 203n_1~203n_M은, 모두 H신호를 출력한다. 한편, 제2 모드에 있어서, 논리회로 203n_1~203n_M의 어느 한개가 L신호를 출력하고, 그 밖의 논리회로 203n_1~203n_M, 및 논리회로 203p_1~203p_M은, 모두 H신호를 출력한다.
- [0238] 이때, 논리회로 203p_1~203p_M의 출력 신호가, 도 6b의 제1M비트의 디지털 신호에 대응한다. 논리회로 203n_1~203n_M의 출력 신호가, 도 6b의 제2M비트의 디지털 신호에 대응한다.
- [0239] 그후, 논리회로 203p_1~203p_M은, 제1M비트의 디지털 신호를 스위치 204p_11~204p_1M의 제어 단자, 및 스위치 204p_21~204p_2M의 제어 단자에 입력하여, 스위치 204p_11~204p_1M, 및 스위치 204p_21~204p_2M의 온과 오프를 제어한다. 예를 들면, 논리회로 203p_k(k:1~M의 어느 한개)는, 디지털 신호를 스위치 204p_1k의 제어 단자, 및 스위치 204p_2k의 제어 단자에 입력하여, 스위치 204p_1k, 및 스위치 204p_2k의 온과 오프를 제어한다. 따라서, 스위치 204p_1k, 및 스위치 204p_2k의 온과 오프의 타이밍은, 대략 같아지는 경우가 많다.
- [0240] 동시에, 논리회로 203n_1~203n_M은, 제2M비트의 디지털 신호를 스위치 204n_11~204n_1M의 제어 단자, 및 스위치 204n_21~204n_2M의 제어 단자에 입력하여, 스위치 204n_11~204n_1M, 및 스위치 204n_21~204n_2M의 온과 오프를 제어한다. 예를 들면, 논리회로 203n_k(k:1~M의 어느 한개)는, 디지털 신호를 스위치 204n_1k의 제어 단자, 및 스위치 204n_2k의 제어 단자에 입력하여, 스위치 204n_1k, 및 스위치 204n_2k의 온과 오프를 제어한다. 따라서, 스위치 204n_1k, 및 스위치 204n_2k의 온과 오프의 타이밍은, 대략 같아지는 경우가 많다.
- [0241] 구체적으로는, 예를 들면, 제1 모드에 있어서, 제1M비트의 디지털 신호에 따라서, 스위치 204p_11~204p_1M의 어느 한개가 온함으로써, 스위치 204p_11~204p_1M은, 배선군 112p_1의 어느 한개와 배선 113_1을

도통 상태로 해서 동일한 전위로 한다. 동시에, 예를 들면, 제1 모드에 있어서, 제1M비트의 디지털 신호에 따라서, 스위치 204p_21~204p_2M의 어느 한개가 온함으로써, 스위치 204p_21~204p_2M은, 배선군 112p_2의 어느 한개와 배선 113_2를 도통 상태로 해서 동일한 전위로 한다. 이때, 스위치 204n_11~204n_1M, 및 스위치 204n_21~204n_2M은, 제2M비트의 디지털 신호에 따라서 모두 오프하고 있다.

[0242] 한편, 예를 들면, 제2 모드에 있어서, 제2M비트의 디지털 신호에 따라서, 스위치 204n_11~204n_1M의 어느 한개가 온함으로써, 스위치 204n_11~204n_1M은, 배선군 112n_1의 어느 한개와 배선 113_1을 도통 상태로 해서 동일한 전위로 한다. 동시에, 예를 들면, 제2 모드에 있어서, 제2M비트의 디지털 신호에 따라서, 스위치 204n_21~204n_2M의 어느 한개가 온함으로써, 스위치 204n_21~204n_2M은, 배선군 112n_2의 어느 한개와 배선 113_2를 도통 상태로 해서 동일한 전위로 한다. 이때, 스위치 204p_11~204p_1M, 및 스위치 204p_21~204p_2M은, 제1M비트의 디지털 신호에 따라서 모두 오프하고 있다.

[0243] 이때, 제1 아날로그 신호의 극성과, 제2 아날로그 신호의 극성을 서로 다르게 하는 것이 가능하다. 예를 들면, 이것을 실현하기 위해서, 정극성의 제2 전압군이 배선군 112n_2에 입력되고, 부극성의 제2 전압군이 배선군 112p_2에 입력된다.

[0244] 이때, 도4a에 나타낸 논리회로와 마찬가지로, 논리회로 203p_1~203p_M, 및 논리회로 203n_1~203n_M로서는, 예를 들면, AND 회로, OR 회로, NAND 회로, NOR 회로, XOR 회로, 또는 XNOR 회로 등의 어느 한 개, 또는 이들의 조합 논리회로를 사용하는 것이 가능하다.

[0245] 이때, 도4a에 나타낸 스위치와 마찬가지로, 스위치 204p_11~204p_1M, 스위치 204n_11~204n_1M, 스위치 204p_21~204p_2M, 및 스위치 204n_21~204n_2M으로서, 예를 들면, P채널형 트랜지스터, N채널형 트랜지스터, 또는 N채널형 트랜지스터와 P채널형 트랜지스터를 조합한 CMOS형의 스위치를 사용하는 것이 가능하다.

[0246] 이때, 디지털 아날로그 변환부(100)가, 복수의 논리회로, 및 복수의 스위치를 갖는 경우에 대해 설명했지만, 이것에 한정되지 않는다. 디지털 아날로그 변환부(100)는, (N+1)개의 입력 단자, 및 1개의 출력 단자를 갖는 제1 논리회로와, (N+1)개의 입력 단자, 및 1개의 출력 단자를 갖는 제2 논리회로와, 제1 스위치와, 제2 스위치와, 제3 스위치와, 제4 스위치를 갖고 있으면 된다. 제1 논리회로에 있어서, j(j: 1~N의 어느 한개)번째의 입력 단자는, 제1 배선, 또는 제2 배선과 접속되고, N+1번째의 입력 단자는, 제3 배선과 접속되고, 출력 단자는, 제1 스위치의 제어 단자, 및 제2 스위치의 제어 단자와 접속된다. 제2 논리회로에 있어서, j번째의 입력 단자는, 제1 배선, 또는 제2 배선과 접속되고, N+1번째의 입력 단자는, 제4 배선과 접속되고, 출력 단자는, 제3 스위치의 제어 단자, 및 제4 스위치의 제어 단자와 접속된다. 제1 스위치의 제1 단자는, 제5 배선과 접속되고, 제1 스위치의 제2 단자는, 제6 배선과 접속된다. 제2 스위치의 제1 단자는, 제7 배선과 접속되고, 제2 스위치의 제2 단자는, 제8 배선과 접속된다. 제3 스위치의 제1 단자는, 제9 배선과 접속되고, 제3 스위치의 제2 단자는, 제6 배선과 접속된다. 제4 스위치의 제1 단자는, 제10배선과 접속되고, 제4 스위치의 제2 단자는, 제8 배선과 접속된다.

[0247] 이때, 제1 배선, 제2 배선, 제3 배선, 제4 배선, 제5 배선, 제6 배선, 제7 배선, 제8 배선, 제9 배선, 및 제10의 배선은, 각각, 배선군 111의 어느 한개, 배선군 114의 어느 한개, 배선 115, 배선 116, 배선군 112p_1의 어느 한개, 배선 113_1, 배선군 112p_2의 어느 한개, 배선 113_2, 배선 112n_1의 어느 한개, 배선군 112n_2의 어느 한개에 대응한다.

[0248] 이때, 제1 논리회로, 제2 논리회로, 제1 스위치, 제2 스위치, 제3 스위치, 및 제4 스위치는, 각각, 복수의 논리회로 203p_1~203p_M의 어느 한개, 논리회로 203n_1~203n_M의 어느 한개, 스위치 204p_11~204p_1M의 어느 한개, 스위치 204p_21~204p_2M의 어느 한개, 스위치 204n_11~204n_1M의 어느 한개, 스위치 204n_21~204n_2M의 어느 한개에 대응한다.

[0249] 이상과 같이, 본 실시형태의 디지털 아날로그 변환부는, 한개의 디지털 신호를 복수의 아날로그 신호로 변환할 수 있으므로, 룩업 테이블을 사용하지 않을 수 있다. 따라서, 메모리 소자로부터의 룩업 테이블의 판독에 따르는 발열의 발생, 또는 소비 전력의 증대 등을 방지할 수 있다.

[0250] 더구나, 예를 들면, 표시장치에 있어서, 본 실시형태의 디지털 아날로그 변환부를 사용해서 비디오 신호가 생성되는 경우, 비디오 신호를 생성하는 부분과, 화소부를 같은 기관에 형성할 수 있다. 따라서, 패널과 외부 부품의 접속수를 적게 할 수 있으므로, 패널과 외부 부품의 접속 부분의 접속 불량을 저감할 수 있어, 신뢰성의 향상, 제품 수율의 향상, 생산 비용의 삭감, 또는 고선명화 등을 꾀할 수 있다.

- [0251] (실시형태 4)
- [0252] 본 실시형태에서는, 실시형태 3과는 다른 방법으로, 각 아날로그 신호의 극성을 개별적으로 설정하는 것이 가능한 디지털 아날로그 변환부(100)의 일례에 대해서, 도8a를 참조해서 설명한다.
- [0253] 본 실시형태의 디지털 아날로그 변환부(100)는, 실시형태 3과 마찬가지로, 제1 모드와 제2 모드를 갖는다.
- [0254] 디지털 아날로그 변환부(100)는, 회로 201, 회로 202p_1, 회로 202n_1, 회로 202p_2, 회로 202n_2, 회로 400_1, 및 회로 400_2를 갖는다.
- [0255] 회로 201은, 배선군 111, 및 배선군 114와 접속된다. 회로 202p_1은, 배선군 112p_1, 배선 411p_1, 및 회로 201의 출력 단자와 접속된다. 회로 202n_1은, 배선군 112n_1, 배선 411n_1, 및 회로 201의 출력 단자와 접속된다. 회로 202p_2는, 배선군 112p_2, 배선 411p_2, 및 회로 201의 출력 단자와 접속된다. 회로 202n_2는, 배선군 112n_2, 배선 411n_2, 및 회로 201의 출력 단자와 접속된다. 회로 400_1은, 배선 411p_1, 배선 411n_1, 배선 113_1, 배선 115, 및 배선 116과 접속된다. 회로 400_2는, 배선 411p_2, 배선 411n_2, 배선 113_2, 배선 115, 및 배선 116과 접속된다.
- [0256] 다음에, 도8a에 나타난 디지털 아날로그 변환부(100)의 동작을 설명한다.
- [0257] N비트의 디지털 신호, 및 N비트의 반전 디지털 신호가, 회로 201에 입력된다.
- [0258] 회로 201은, 도4a와 마찬가지로, N비트의 디지털 신호, 및 N비트의 반전 디지털 신호에 의거하여 M비트의 디지털 신호를 생성한다.
- [0259] 그후, 회로 201은, M비트의 디지털 신호를, 회로 202p_1, 회로 202n_1, 회로 202p_2, 및 회로 202n_2에 입력하여, 회로 202p_1, 회로 202n_1, 회로 202p_2, 및 회로 202n_2를 제어한다.
- [0260] 회로 202p_1은, M비트의 디지털 신호에 따라서, 배선군 112p_1의 어느 한개와 배선 411p_1을 도통 상태로 해서 대략 동일한 전위로 한다. 회로 202n_1은, M비트의 디지털 신호에 따라서, 배선군 112n_1의 어느 한개와 배선 411n_1을 도통 상태로 해서 대략 동일한 전위로 한다. 회로 202p_2는, M비트의 디지털 신호에 따라서, 배선군 112p_2의 어느 한개와 배선 411p_2를 도통 상태로 해서 대략 동일한 전위로 한다. 회로 202n_2는, M비트의 디지털 신호에 따라서, 배선군 112n_2의 어느 한개와 배선 411n_2를 도통 상태로 해서 대략 동일한 전위로 한다.
- [0261] 이와 같이 해서, 회로 400_1에는, 회로 202p_1로부터 배선 411p_1을 통해 정극성의 제1 전압군의 어느 한개가 입력되고, 회로 202n_1로부터 배선 411n_1을 통해 부극성의 제1 전압군의 어느 한개가 입력된다. 동시에, 회로 400_2에는, 회로 202p_2로부터 배선 411p_2를 통해 정극성의 제2 전압군의 어느 한개가 입력되고, 회로 202n_2로부터 배선 411n_2를 통해 부극성의 제2 전압군의 어느 한개가 입력된다.
- [0262] 그리고, 회로 400_1은, 선택신호, 및 반전 선택신호에 따라서, 정극성의 제1 전압군의 어느 한개와, 부극성의 제1 전압군의 어느 한개의 한쪽을 제1 아날로그 신호로서 배선 113_1에 출력한다. 예를 들면, 제1 모드에 있어서, 회로 400_1은, 선택신호, 및 반전 선택신호에 따라서, 배선 411p_1과 배선 113_1을 도통 상태로 해서 대략 동일한 전위로 한다. 이와 같이 해서, 정극성의 제1 전압군의 어느 한 개를 정극성의 제1 아날로그 신호로서 배선 113_1에 출력한다. 한편, 예를 들면, 제2 모드에 있어서, 회로 400_1은, 선택신호, 및 반전 선택신호에 따라서, 배선 411n_1과 배선 113_1을 도통 상태로 해서 대략 동일한 전위로 한다. 이와 같이 해서, 부극성의 제1 전압군의 어느 한개를 부극성의 제1 아날로그 신호로서 배선 113_1에 출력한다.
- [0263] 더구나, 회로 400_2는, 선택신호, 및 반전 선택신호에 따라서, 정극성의 제2 전압군의 어느 한개와, 부극성의 제2 전압군의 어느 한개의 한쪽을 제2 아날로그 신호로서 배선 113_2에 출력한다. 예를 들면, 제1 모드에 있어서, 회로 400_2는, 선택신호, 및 반전 선택신호에 따라서, 배선 411p_2와 배선 113_2를 도통 상태로 해서 대략 동일한 전위로 한다. 이와 같이 해서, 정극성의 제2 전압군의 어느 한개를 정극성의 제2 아날로그 신호로서 배선 113_2에 출력한다. 한편, 예를 들면, 제2 모드에 있어서, 회로 400_2는, 선택신호, 및 반전 선택신호에 따라서, 배선 411n_2와 배선 113_2를 도통 상태로 해서 대략 동일한 전위로 한다. 이와 같이 해서, 부극성의 제2 전압군의 어느 한개를 부극성의 제2 아날로그 신호로서 배선 113_2에 출력한다.
- [0264] 이때, 회로 400_1, 및 회로 400_2의 구체적인 예로서는, 도 8b에 나타난 회로를 사용하는 것이 가능하

다. 회로 400_1은, 스위치 401, 및 스위치 402를 갖고, 회로 400_2는, 스위치 403, 및 스위치 404를 갖는다. 스위치 401의 제1 단자는, 배선 411p_1과 접속되고, 스위치 401의 제2 단자는, 배선 113_1과 접속되고, 스위치 401의 제어 단자는, 배선 115와 접속된다. 스위치 402의 제1 단자는, 배선 411n_1과 접속되고, 스위치 402의 제2 단자는, 배선 113_1과 접속되고, 스위치 402의 제어 단자는, 배선 116과 접속된다. 스위치 403의 제1 단자는, 배선 411p_2와 접속되고, 스위치 403의 제2 단자는, 배선 113_2와 접속되고, 스위치 403의 제어 단자는, 배선 115와 접속된다. 스위치 404의 제1 단자는, 배선 411n_2와 접속되고, 스위치 404의 제2 단자는, 배선 113_2와 접속되고, 스위치 404의 제어 단자는, 배선 116과 접속된다.

[0265] 회로 400_1, 및 회로 400_2의 동작에 대해 설명한다.

[0266] 제1 모드에 있어서, 스위치 401은, 선택신호에 따라서 온하여, 배선 411p_1과 배선 113_1을 도통하여, 대략 동일한 전위로 한다. 동시에, 스위치 403은, 선택신호에 따라서 온하여, 배선 411p_2와 배선 113_2를 도통하여, 대략 동일한 전위로 한다. 이때, 스위치 402, 및 스위치 404는, 반전 선택신호에 따라서 오프한다.

[0267] 한편, 제2 모드에 있어서, 스위치 402는, 반전 선택신호에 따라서 온하여, 배선 411n_1과 배선 113_1을 도통하여, 대략 동일한 전위로 한다. 동시에, 스위치 404는, 반전 선택신호에 따라서 온하고, 배선 411n_2와 배선 113_2를 도통하여, 대략 동일한 전위로 한다. 이때, 스위치 401, 및 스위치 403은, 선택신호에 따라서 오프한다.

[0268] 이때, 제1 아날로그 신호와 제2 아날로그 신호의 극성을 서로 다르게 하기 위해, 스위치 403의 제어 단자가 배선 116과 접속되고, 스위치 404의 제어 단자가 배선 115와 접속되는 것이 가능하다.

[0269] 이때, 스위치 401, 스위치 402, 스위치 403, 스위치 404로서는, P채널형 트랜지스터, N채널형 트랜지스터, 또는 N채널형 트랜지스터와 P채널형 트랜지스터를 조합한 CMOS형의 스위치를 사용하는 것이 가능하다. 이때, 각 트랜지스터의 게이트, 제1 단자(소스 또는 드레인의 한쪽), 제2 단자(소스 또는 드레인의 다른 쪽)는, 각 스위치의 제어 단자, 제1 단자, 제2 단자에 해당하고, 동일한 접속 구성으로 된다.

[0270] 특히, 도 8c에 도시된 것과 같이, 스위치 401, 스위치 402, 스위치 403, 스위치 404로서, 트랜지스터 401a, 트랜지스터 402a, 트랜지스터 403a, 트랜지스터 404a를 사용하는 것이 바람직하다. 트랜지스터 401a, 및 트랜지스터 403a는, P채널형이며, 트랜지스터 402a, 및 트랜지스터 404a는, N채널형이다. 그리고, 트랜지스터 401a, 트랜지스터 402a, 트랜지스터 403a, 트랜지스터 404a의 제어 단자는, 모두 같은 배선(도 8c에서는 배선 116)에 접속된다. 따라서, 배선 115와 배선 116의 한쪽을 생략할 수 있다.

[0271] 여기에서, 트랜지스터 401a의 제1 단자, 및 트랜지스터 403a의 제1 단자에는, 정극성의 전압이 입력되므로, 트랜지스터 401a의 제1 단자, 및 트랜지스터 403a의 제1 단자의 전위는 높아진다. 트랜지스터 401a, 및 트랜지스터 403a는, P채널형 트랜지스터이므로, 트랜지스터 401a, 및 트랜지스터 403a의 게이트와 소스 사이의 전위차(V_{gs})의 절대값이 커진다. 따라서, 트랜지스터 401a, 및 트랜지스터 403a의 트랜지스터 사이즈(예를 들면, 채널 폭 W)를 작게 할 수 있다. 한편, 트랜지스터 402a의 제1 단자, 및 트랜지스터 404a의 제1 단자에는, 부극성의 전압이 입력되므로, 트랜지스터 402a의 제1 단자, 및 트랜지스터 404a의 제1 단자의 전위는 낮아진다. 트랜지스터 402a, 및 트랜지스터 404a는, N채널형 트랜지스터이므로, 트랜지스터 402a, 및 트랜지스터 404a의 게이트와 소스 사이의 전위차(V_{gs})가 커진다. 따라서, 트랜지스터 402a, 및 트랜지스터 404a의 트랜지스터 사이즈(예를 들면, 채널 폭 W)를 작게 할 수 있다.

[0272] 이때, 제1 아날로그 신호의 스위칭 노이즈와 제2 아날로그 신호의 스위칭 노이즈가 대략 같아지도록, 예를 들면, 트랜지스터 401a의 W/L 비와, 트랜지스터 403a의 W/L 비는, 같은 것이 바람직하다. 이와 같이 함으로써, 도 8c의 디지털 아날로그 변환부(100)가 표시장치에 사용되는 경우, 제1 서브 화소와 제2 서브 화소는, 각각, 대략 동일한 스위칭 노이즈를 갖는 신호에 따라서, 계조를 표현한다. 따라서, 각 아날로그 신호의 스위칭 노이즈의 영향을 저감할 수 있다. 단, 이것에 한정되지 않는다.

[0273] 이때, 트랜지스터 401a, 및 트랜지스터 403a와 마찬가지로, 예를 들면, 트랜지스터 402a의 W/L 비와, 트랜지스터 404a의 W/L 비는, 같은 것이 바람직하다. 단, 이것에 한정되지 않는다.

[0274] 이때, 회로 202p_1, 회로 202n_1, 회로 202p_2, 및 회로 202n_2가 트랜지스터를 갖고 있는 경우, 해당 트랜지스터의 W/L 비는, 트랜지스터 401a~404a의 W/L 비보다도 작은 것이 바람직하다. 단, 이것에 한정되지 않는다.

[0275] 이상과 같이, 본 실시형태의 디지털 아날로그 변환부는, 한개의 디지털 신호를 복수의 아날로그 신호로

변환할 수 있으므로, 록업 테이블을 사용하지 않을 수 있다. 따라서, 메모리 소자로부터의 록업 테이블의 관독에 따르는 발열의 발생, 또는 소비 전력의 증대 등을 방지할 수 있다.

[0276] 더구나, 예를 들면, 표시장치에 있어서, 본 실시형태의 디지털 아날로그 변환부를 사용해서 비디오 신호가 생성되는 경우, 비디오 신호를 생성하는 부분과, 화소부를 같은 기관에 형성할 수 있다. 따라서, 패널과 외부 부품의 접속수를 적게 할 수 있으므로, 패널과 외부 부품의 접속 부분의 접속 불량을 저감할 수 있어, 신뢰성의 향상, 제품 수율의 향상, 생산 비용의 삭감, 또는 고선명화 등을 꾀할 수 있다.

[0277] (실시형태 5)

[0278] 본 실시형태에서는, 실시형태 1~실시형태 4에 있어서 설명한 디지털 아날로그 변환부(100)를 표시장치에 사용하는 경우에 대해 설명한다. 또한, 일례로서, 한개의 디지털 신호를 2개의 아날로그 신호로 변환하는 디지털 아날로그 변환부를 표시장치에 사용하는 경우에 대해서, 도9a를 참조해서 설명한다.

[0279] 표시장치는, 디지털 아날로그 변환부(100), 회로 501_1, 회로 501_2, 및 제1 서브 화소 502_1과 제2 서브 화소 502_2를 갖는 화소(502)를 갖는다.

[0280] 디지털 아날로그 변환부(100)는, 배선군 111, 배선군 112_1, 배선군 112_2, 배선 113_1, 및 배선 113_2와 접속된다. 회로 501_1은, 배선군 112_1과 접속된다. 회로 501_2는, 배선군 112_2와 접속된다. 제1 서브 화소 502_1은, 배선 113_1과 접속된다. 제2 서브 화소 502_2는, 배선 113_2와 접속된다.

[0281] 회로 501_1은, 복수의 전압을 생성하고, 배선군 112_1을 통해 디지털 아날로그 변환부(100)에 입력한다. 회로 501_2는, 복수의 전압을 생성하고, 배선군 112_2를 통해 디지털 아날로그 변환부(100)에 입력한다.

[0282] 이때, 회로 501_1에 의해 생성되는 복수의 전압은, 제1 전압군에 대응하고, 회로 501_2에 의해 생성되는 복수의 전압은, 제2 전압군에 대응한다.

[0283] 이때, 회로 501_1, 및 회로 501_2는, 각각, 제1 레퍼런스 드라이버, 제2 레퍼런스 드라이버로서 기능하는 것이 가능하다.

[0284] 디지털 아날로그 변환부(100)는, N비트의 디지털 신호, 회로 501_1의 출력 전압(예를 들면, 제1 전압군), 및 회로 501_2의 출력 전압(예를 들면, 제2 전압군)에 의거하여 실시형태 1~실시형태 4에 있어서 설명한 것과 같이, 제1 아날로그 신호, 및 제2 아날로그 신호를 생성한다. 그리고, 제1 아날로그 신호를 배선 113_1을 통해 제1 서브 화소 502_1에 입력하여, 제1 서브 화소 502_1의 계조를 제어한다. 제2 아날로그 신호를 배선 113_2를 통해 제2 서브 화소 502_2에 입력하여, 제2 서브 화소 502_2의 계조를 제어한다.

[0285] 제1 서브 화소 502_1은, 제1 아날로그 신호에 따라서 계조를 표현하고, 제2 서브 화소 502_2는, 제2 아날로그 신호에 따라서 계조를 표현한다. 예를 들면, 제1 서브 화소 502_1, 및 제2 서브 화소 502_2가, 각각, 액정소자를 갖고 있는 경우, 제1 서브 화소 502_1이 갖는 액정소자의 배향은, 제1 아날로그 신호에 따라서 변화하여, 해당 액정소자의 투과율이 변화한다. 마찬가지로, 제2 서브 화소 502_2가 갖는 액정소자의 배향은, 제2 아날로그 신호에 따라서 변화하여, 해당액정소자의 투과율이 변화한다. 예를 들면, 제1 아날로그 신호와 제2 아날로그 신호의 값이 서로 다른 경우, 제1 서브 화소 502_1이 갖는 액정소자의 배향상태와, 제2 서브 화소 502_2가 갖는 액정소자의 배향상태는, 서로 다르다. 따라서, 시야각 특성의 향상을 꾀할 수 있다.

[0286] 이때, 회로 501_1, 및 회로 501_2로서는, 복수의 전압을 생성할 수 있는 구성이면, 다양한 회로를 사용하는 것이 가능하다. 예를 들면, 복수의 저항소자가 직렬로 접속된 구성을 사용하는 것이 가능하다. 도 9b, 도 9c에 나타난 일례에서는, 회로 501_1은, 저항소자 501_11~501_1M이라고 하는 복수의 저항소자를 갖고, 회로 501_2는, 저항소자 501_21~501_2M이라고 하는 복수의 저항소자를 갖는다. 저항소자 501_11~501_1M은, 전원 V1과 전원 V2 사이에, 직렬로 접속된다. 저항소자 501_21~501_2M은, 전원 V3과 전원 V4 사이에, 직렬로 접속된다. 저항소자 501_11~501_1M은, 전원 V1로부터 공급되는 전압과, 전원 V2로부터 공급되는 전압을 분압함으로써, 복수의 전압(제1 전압군)을 생성한다. 저항소자 501_21~501_2M은, 전원 V3로부터 공급되는 전압과, 전원 V4로부터 공급되는 전압을 분압함으로써, 복수의 전압(제2 전압군)을 생성한다. 제1 전압군, 및 제2 전압군은, 저항소자의 저항값, 및 전원전압에 의해 결정된다.

[0287] 이때, 전원수, 및 배선수를 절감하기 위해서, 예를 들면, 회로 501_1, 및 회로 501_2에 있어서, 전원을

공유하는 것이 가능하다. 구체적인 일례로서, 전원 V1과 전원 V3이 공유되는 경우, 저항소자 501_11~501_1M은, 전원 V1과 전원 V2 사이에, 직렬로 접속된다. 그리고, 저항소자 501_21~501_2M은, 전원 V1과 전원 V4 사이에, 직렬로 접속된다.

[0288] 이때, 제1 전압군의 특성을 자유롭게 설정하기 위해, 예를 들면, 저항소자 501_11~501_1M의 어느 한 개, 또는 복수를 가변저항소자로 하는 것이 가능하다. 마찬가지로, 제2 전압군의 특성을 자유롭게 설정하기 위해, 예를 들면, 저항소자 501_21~501_2M의 어느 한 개, 또는 복수를 가변저항소자로 하는 것이 가능하다.

[0289] 이때, 제1 전압군, 및 제2 전압군의 특성을 자유롭게 설정하기 위해, 예를 들면, 전원 V1의 전압, 전원 V2의 전압, 전원 V3의 전압, 또는 전원 V4의 전압을 가변전원으로 하는 것이 가능하다. 가변전원의 일례로서는, 복수의 전원 중에서 어느 한개를 선택하는 일이 있다. 복수의 전원은, 각각, 스위치를 거쳐서 저항소자(예를 들면, 저항소자 501_11)와 접속된다. 그리고, 각 스위치의 온과 오프를 제어함으로써, 공급할 전압을 제어한다.

[0290] 이때, 제1 아날로그 신호의 극성과, 제2 아날로그 신호의 극성을 개별적으로 설정하는 경우에는, 도 10a에 나타난 일례와 같이, 정극성의 제1 전압군을 생성하는 회로 501p_1, 부극성의 제2 전압군을 생성하는 회로 501n_1, 정극성의 제1 전압군을 생성하는 회로 501p_2, 부극성의 제2 전압군을 생성하는 회로 501n_2를 사용할 수 있다. 이들 회로의 일례로서는, 도 9b, 도 9c에 나타난 회로 501_1, 또는 회로 501_2와 마찬가지로, 복수의 저항소자가, 2개의 전원 사이에, 직렬로 접속되는 구성이다. 이때, 정극성의 전압군을 출력하기 위해서, 예를 들면, 회로 501p_1, 및 회로 501p_2에 있어서 사용되는 전원전압의 적어도 한개를, 코몬 전압보다도 크게 하는 것이 바람직하다. 한편, 부극성의 전압군을 출력하기 위해, 예를 들면, 회로 501n_1, 및 회로 501n_2에 있어서 사용할 수 있는 전원전압의 적어도 한개를, 코몬 전압보다도 작게 한다.

[0291] 이때, 회로 501p_1과, 회로 501n_1을 합쳐서, 회로 501_1과 표시하고, 회로 501p_2와, 회로 501n_2를 합쳐서, 회로 501_2로 표시하는 것도 가능하다. 이 경우, 예를 들면, 회로 501_1, 및 회로 501_2는, 각각, 정극성의 전압군과 부극성의 전압군의 양쪽을 생성한다.

[0292] 이때, N비트의 디지털 신호를 n개의 아날로그 신호로 변환하는 경우에는, 도 10b에 나타난 일례와 같이, 회로 501_1~501_n을 사용할 수 있다. 회로 501_1~501_n은, 각각, 복수의 전압을 생성하고, 복수의 전압을 디지털 아날로그 변환부(100)에 출력한다. 회로 501_1~501_n의 일례로서는, 도 9b, 도 9c에 나타난 회로 501_1, 또는 회로 501_2와 마찬가지로, 복수의 저항소자가, 2개의 전원 사이에, 직렬로 접속되는 구성이다. 디지털 아날로그 변환부(100)는, n개의 전압군과 N비트의 디지털 신호에 따라서, n개의 아날로그 신호를 생성한다. 그리고, n개의 아날로그 신호를 n개의 서브 화소 502_1~502_n에 입력한다. 예를 들면, 제i(i:1~n의 어느 한개)의 아날로그 신호를 서브 화소 502_i에 출력한다.

[0293] 다음에, 도9a보다도 상세한 표시장치의 일례에 대해서, 도 11a를 참조해서 설명한다.

[0294] 표시장치는, 신호선 구동회로(601), 주사선 구동회로(602), 화소부(603), 회로 501_1, 및 회로 501_2를 갖는다. 신호선 구동회로(601)는, 시프트 레지스터(621), 제1 래치부(622), 제2 래치부(623), 복수의 디지털 아날로그 변환부(100), 및 버퍼부(625)를 갖는다. 화소부(603)는, 복수의 화소(605)를 갖고, 복수의 화소(605)는, 각각, 제1 서브 화소(606a), 및 제2 서브 화소(606b)를 갖는다. 제1 서브 화소(606a), 및 제2 서브 화소(606b)는, 기록된 신호를 유지하는 수단을 갖는다.

[0295] 제1 신호선 S1_1~S1_m, 및 제2 신호선 S2_1~S2_m은, 신호선 구동회로(601)로부터 열방향으로 신장해서 배치되어 있다. 주사선 G1~Gn은, 주사선 구동회로(602)로부터 행방향으로 신장해서 배치되어 있다.

[0296] 이때, 제1 신호선 S1_1~S1_m, 제2 신호선 S2_1~S2_m, 및 주사선 G1~Gn은, 제1 신호선, 제2 신호선, 제3 신호선으로서 기능하는 것이 가능하다.

[0297] 이때, 화소의 구성에 따라서는, 용량선, 전원선, 새로운 주사선, 새로운 신호선 등의 새로운 배선을 추가해서 배치하는 것이 가능하다. 예를 들면, 용량선은, 주사선 G1~Gn과 병렬로 배치되어 있는 경우가 많고, 용량선에는 어떤 일정한 전압이 공급되고 있는 경우가 많다. 단, 용량선에, 신호가 입력되고 있는 경우도 있다.

[0298] 각 화소(605)는, 제1 신호선 S1_1~S1_m과, 제2 신호선 S2_1~S2_m과, 주사선 G1~Gn에 대응하여, 매트릭스 모양으로 배치되어 있다. 제1 서브 화소(606a)는, 제1 신호선 S1_j(제1 신호선 S1_1~S1_m 중 어느 한개)와, 주사선 Gi(주사선 G1~Gn 중 어느 한개)에 접속되어 있다. 제2 서브 화소(606b)는, 제2 신호선 S2_j(제2 신호선 S2_1~S2_m 중 어느 한개)와, 주사선 Gi(주사선 G1~Gn 중 어느 한개)에 접속되어 있다.

[0299] 시프트 레지스터(621)에는, 스타트 펄스(SSP), 클록 신호(SCK), 반전 클록 신호(SCKB)가 입력된다. 시

프트 레지스터(621)는, 이들 신호에 따라서, 샘플링 펄스를 제1 래치부(622)에 출력한다.

[0300] 이때, 시프트 레지스터(621)로서는, 샘플링 펄스를 출력할 수 있으면, 예를 들면, 카운터, 또는 디코더 등을 사용하는 것이 가능하다.

[0301] 제1 래치부(622)에는, 샘플링 펄스, 및 영상신호(Vdata)가 입력된다. 제1 래치부(622)는, 샘플링 펄스에 따라서, 각 열씩 영상신호를 순차 유지한다. 최종열의 영상신호의 유지가 종료하면, 제1 래치부(622)는, 각 열에서 유지한 영상신호를 제2 래치부(623)에 일제히 출력한다. 이때, 영상신호(Vdata)은, 실시형태 1~실시형태 4에 있어서 설명한 N비트의 디지털 신호에 대응한다.

[0302] 제2 래치부(623)에는, 제1 래치부(622)로부터 입력되는 영상신호, 및 래치 펄스(LAT_Pulse)가 입력된다. 제2 래치부(623)은, 래치 펄스에 따라서, 제1 래치부(622)로부터 입력되는 영상신호를 일제히 유지한다. 그후, 제2 래치부(623)은, 일제히 영상신호를 복수의 디지털 아날로그 변환부(100)에 출력한다.

[0303] 이때, 래치 펄스로서, 예를 들면, 시프트 레지스터의 출력 신호, 또는 스타트 펄스 등을 사용하여, 래치 펄스를 생략하는 것이 가능하다.

[0304] 이때, 제2 래치부(623)가 각 열에서 출력하는 영상신호는, 예를 들면, 실시형태 1~실시형태 4에 있어서 설명한 N비트의 디지털 신호에 대응한다.

[0305] 복수의 디지털 아날로그 변환부(100)는, 각각, 실시형태 1~실시형태 4에 있어서 설명한 바와 같이, 영상신호를 제1 아날로그 신호, 및 제2 아날로그 신호로 변환한다. 그리고, 복수의 디지털 아날로그 변환부(100)는, 각각, 제1 아날로그 신호를 버퍼부(625)를 통해 제1 서브 화소 502_1에 기록하고, 제2 아날로그 신호를 버퍼부(625)를 통해 제2 서브 화소 502_2에 기록한다.

[0306] 여기에서, 영상신호의 진폭 전압을 작게 하기 위해서, 예를 들면, 제1 래치부(622), 및/또는 제2 래치부(623)는, 레벨 시프트 기능, 또는 레벨 시프터를 갖는 것이 가능하다. 이 경우, 제1 래치부(622)에 입력되는 영상신호의 진폭 전압은, 예를 들면, 제1 래치부(622)가 각 열에서 출력하는 영상신호의 진폭 전압, 또는 제2 래치부(623)가 각 열에서 출력하는 영상신호의 진폭 전압보다도 작다. 이와 같이 하는 것에 의해, 예를 들면, 시프트 레지스터(621), 제1 래치부(622), 또는 제2 래치부(623)의 구동전압을 작게 할 수 있으므로, 소비 전력의 삭감을 꾀할 수 있다.

[0307] 다음에, 표시장치의 동작의 일례에 대해서, 도 11b를 참조해서 설명한다. 도 11b의 타이밍 차트의 일례는, 1화면분의 화상을 표시하는 기간에 해당하는 1 프레임 기간을 나타낸다. 이 1 프레임 기간 내에, 화소의 행이 1행째부터 n행째까지 순차적으로 선택된다. 1 프레임 기간의 주기는, 화상을 보는 사람이 어른거림(플리커)을 느끼지 않도록 1/60초 이하(60Hz 이상)인 것이 바람직하다. 보다 바람직하게는, 1/120초 이하 주파수가 120Hz 이상인 것이 바람직하다. 더욱 바람직하게는, 1/180초 이하(주파수가 180Hz 이상)인 것이 바람직하다. 단, 프레임 주파수가 높아지는 경우, 표시장치의 프레임 주파수와 원래의 화상 데이터 프레임 주파수가 일치하지 않을 일이 있다. 따라서, 화상 데이터를 보완할 필요가 있다. 예를 들면, 이 화상 데이터의 보완은, 움직임 벡터를 검출하는 것으로 행해진다. 이와 같이 함으로써, 높은 프레임 주파수로 표시할 수 있다. 이상과 같이 하여, 화상의 움직임이 매끄럽게 표시되어, 잔상이 적은 표시를 행할 수 있다.

[0308] 주사선 구동회로(602)는, 스타트 펄스(GSP), 클록 신호(GCK), 반전 클록 신호(GCKB)에 따라서, 주사 신호를 주사선 G1~Gn에 출력한다. 주사 신호에 의해, 1행째로부터 n행째까지의 화소의 행이, 순차적으로 선택된다. 선택된 행에 속하는 화소에는, 비디오 신호를 기록하는 것이 가능해진다. 이 화소의 행이 선택될 때마다, 신호선 구동회로(601)는, 제1 아날로그 신호를 제1 서브 화소(606a)에 기록하고, 제2 아날로그 신호를 제2 서브 화소(606b)에 기록한다. 이때, 1행분의 화소가 선택되고 있는 기간을 1게이트 선택 기간이라고 부른다.

[0309] 이상과 같이, 도 11a에 나타난 표시장치에서는, 각 디지털 아날로그 변환부(100)는, 한개의 디지털 신호를 복수의 아날로그 신호로 변환할 수 있으므로, 화소가 복수의 서브 화소로 분할되어도, 영상신호의 데이터량은 증가하지 않는다. 따라서, 영상신호를 처리하는 회로(예를 들면, 시프트 레지스터, 제1 래치부, 제2 래치부 등)의 규모를 축소할 수 있다.

[0310] 더구나, 도 11a에 나타난 표시장치에서는, 한개의 디지털 신호를 복수의 아날로그 신호로 변환하기 위해, 록업 테이블, 즉 기억부를 필요로 하지 않으므로, 화소부와 그 주변회로(예를 들면, 신호선 구동회로, 주사선구동회로, 레퍼런스 드라이버 등)를 같은 기판에 형성하는 것을 용이하게 할 수 있다.

[0311] 이때, 신호선 구동회로(601)의 구성은, 도 11a의 구성에 한정되지 않는다. 예를 들면, 디지털 아날로그

변환부(100)의 전류능력이 높으면, 버퍼부(625)를 생략하는 것이 가능하다. 다른 예로서, 회로 501_1, 및 회로 501_2가 생성하는 전압군이, 버퍼를 거쳐서 디지털 아날로그 변환부(100)에 입력되는 경우, 버퍼부(625)를 생략하는 것이 가능하다. 예를 들면, 전압군의 전압수가 신호선의 수보다도 작을 경우에는, 버퍼의 수가 감소되므로, 회로 501_1, 및 회로 501_2가 생성하는 전압군이, 버퍼를 거쳐서 디지털 아날로그 변환부(100)에 입력되는 것이 바람직하다.

[0312] 이때, 1화소씩 도트 반전 구동을 실현하기 위해, 도 12a에 나타난 신호선 구동회로의 일례가 표시장치에 사용된다. 예를 들면, 도 10a에 있어서 설명한 회로 501p_1, 회로 501p_2, 회로 501n_1, 및 회로 501n_2가 각각 출력하는 정극성의 제1 전압군, 정극성의 제2 전압군, 부극성의 제1 전압군, 부극성의 제2 전압군이, 복수의 디지털 아날로그 변환부(100)에 입력된다. 더구나, 선택신호, 및 반전 선택신호가, 1열씩 번갈아 입력된다. 그리고, 선택신호, 및 반전 선택신호는, 1게이트 선택 기간마다, H신호와 L신호가 바뀐다. 따라서, 예를 들면, 선택신호, 및 반전 선택신호로서, 클록 신호(GCK), 및 반전 클록 신호(GCKB)를 사용함으로써, 선택신호, 및 반전 선택신호를 생략하는 것이 가능하다. 이와 같이 해서, 도트 반전 구동을 실현하는 것이 가능해 진다.

[0313] 이때, 도 12a에서는 1화소씩 도트 반전 구동을 실현하는 경우의 신호선 구동회로의 일례에 대해 설명했지만, 이것에 한정되지 않는다. 예를 들면, 1서브 화소씩 도트 반전 구동을 실현하는 것도 가능하다. 이 경우, 실시형태 3, 및 실시형태 4에 있어서 설명한 것과 같이, 정극성의 제1 전압군과 부극성의 제2 전압군을 교체해서 각 디지털 아날로그 변환부(100)에 입력함으로써, 제1 비디오 신호와 제2 비디오 신호의 극성을 서로 다르게 할 수 있다.

[0314] 다른 예로서, 선택신호, 및 반전 선택신호가, n열씩 번갈아서 입력되고, 선택신호, 및 반전 선택신호는, n게이트 선택 기간마다, H신호와 L신호가 바뀔으로써, n개의 화소씩 도트 반전 구동을 실현하는 것이 가능하다.

[0315] 다른 예로서, 선택신호와 반전 선택신호가, 1 프레임 기간마다 H신호와 L신호가 바뀔으로써, 소스 라인 반전 구동을 실현하는 것이 가능하다.

[0316] 다음에, 화소(605)가 액정소자를 갖는 경우의 일례에 대해서, 도 12b를 참조해서 설명한다. 화소(605)는, 트랜지스터 701a, 액정소자 702a, 및 용량소자 703a를 갖는 제1 서브 화소(606a)와, 트랜지스터 701b, 액정소자 702b, 및 용량소자 703b를 갖는 제2 서브 화소(606b)를 갖는다. 트랜지스터 701a의 제1 단자는, 신호선 S1_j와 접속되고, 트랜지스터 701a의 제2 단자는, 액정소자 702a의 한쪽의 전극과 접속되고, 트랜지스터 701a의 게이트는, 주사선 Gi와 접속된다. 용량소자 703a는, 트랜지스터 701a의 제2 단자와, 용량선 705 사이에 접속된다. 액정소자 702a의 다른 쪽의 전극은, 공통 전극(704)에 대응한다. 한편, 트랜지스터 701b의 제1 단자는, 신호선 S2_j와 접속되고, 트랜지스터 701b의 제2 단자는, 액정소자 702b의 한쪽의 전극과 접속되고, 트랜지스터 701b의 게이트는, 주사선 Gi와 접속된다. 용량소자 703b는, 트랜지스터 701b의 제2 단자와, 용량선 705 사이에 접속된다. 액정소자 702b의 다른 쪽의 전극은, 공통 전극(704)에 대응한다.

[0317] 예를 들면, i행째가 선택되면, H신호가 주사선 구동회로(602)로부터 주사선 Gi에 입력되어, 트랜지스터 701a, 및 트랜지스터 701b이 온한다. 그러면, 제1 비디오 신호가 신호선 구동회로(601)로부터 신호선 S1_j를 거쳐서 제1 서브 화소(606a)에 기록되고, 제1 비디오 신호와 용량선 705의 전위의 전위차가, 용량소자 703a에 유지된다. 그리고, 액정소자 704a는, 제1 비디오 신호에 따른 투과율로 되어, 제1 비디오 신호에 따른 계조를 표현한다. 동시에, 제2 비디오 신호가 신호선 구동회로(601)로부터 신호선 S2_j를 거쳐서 제2 서브 화소(606b)에 기록되고, 제2 비디오 신호와 용량선 705의 전위의 전위차가, 용량소자 703b에 유지된다. 그리고, 액정소자 704b는, 제2 비디오 신호에 따른 투과율로 되어, 제2 비디오 신호에 따른 계조를 표현한다.

[0318] 이상과 같이, 본 실시형태의 표시장치는, 실시형태 1~실시형태 4에 있어서 설명한 디지털 아날로그 변환부를 사용함으로써, 한개의 디지털 신호를 복수의 아날로그 신호로 변환할 수 있으므로, 록업 테이블을 사용하지 않을 수 있다. 따라서, 메모리 소자로부터의 록업 테이블의 판독에 따르는 발열의 발생, 또는 소비 전력의 증대 등을 방지할 수 있다.

[0319] 더구나, 록업 테이블을 사용하지 않으므로, 비디오 신호를 생성하는 부분과, 화소부를 같은 기판에 형성할 수 있다. 따라서, 패널과 외부 부품의 접속수를 적게 할 수 있으므로, 패널과 외부 부품의 접속 부분의 접속 불량률을 저감할 수 있어, 신뢰성의 향상, 제품 수율의 향상, 생산 비용의 삭감, 또는 고선명화 등을 꾀할 수 있다.

[0320] 더구나, 비디오 신호를 생성하는 부분과, 화소부를 가깝게 배치할 수 있다. 따라서, 비디오 신호가 생

성되고나서, 화소에 입력될 때까지의 경로를 짧게 할 수 있다. 따라서, 비디오 신호에 발생하는 노이즈를 저감할 수 있으므로, 표시 품질의 향상을 꾀할 수 있다.

[0321] (실시형태 6)

[0322] 본 실시형태에 있어서는, 트랜지스터의 구조에 대해 설명한다.

[0323] 도13은, 트랜지스터의 단면도의 일례이다. 단, 트랜지스터의 구조는, 도 13에 한정되지 않고, 다양한 구조를 사용할 수 있다.

[0324] 이때, 도 13에는, 복수의 트랜지스터의 단면도의 일례를 나란하게 배치해서 나타내고 있지만, 이것은, 트랜지스터의 구조를 설명하기 위한 표현이다. 따라서, 트랜지스터가, 실제로 도 13과 같이 나란하게 배치되어 있을 필요는 없고, 필요에 따라서 나누어 설치할 수 있다.

[0325] 트랜지스터 5051은, 싱글 드레인 트랜지스터의 일례이다. 트랜지스터 5052는, 게이트 전극(5063)에 일정 이상의 테이퍼 각을 갖는 트랜지스터의 일례이다. 트랜지스터 5053은, 게이트 전극(5063)이 적어도 2층으로 구성되고, 하층의 게이트 전극이 상층의 게이트 전극보다도 긴 형상을 갖는 트랜지스터의 일례이다. 트랜지스터 5054는, 게이트 전극(5063)의 측면에 접하고, 사이드월(5066)을 갖는 트랜지스터의 일례이다. 트랜지스터 5055는, 반도체층에 마스크를 사용해서 도핑함으로써, LDD(Loff)영역을 형성한 트랜지스터의 일례이다.

[0326] 다음에, 트랜지스터를 구성하는 각 층의 특징에 대해 설명한다.

[0327] 기판(5057)의 일례로서는, 바륨 보로실리케이트 유리, 알루미늄 보로실리케이트 유리 등의 유리 기판, 석영 기판, 세라믹 기판, 또는 스테인레스를 포함하는 금속 기판 등이 있다. 그 밖에도, 폴리에틸렌테레프탈레이트(PET), 폴리에틸렌나프탈레이트(PEN), 폴리에테르설폰(PES)으로 대표되는 플라스틱, 또는 아크릴 등의 가요성을 갖는 합성수지 등이 있다.

[0328] 절연막 5058은, 하지막으로서 기능한다. 절연막 5058의 일례로서는, 산화 규소(SiO_x), 질화규소(SiN_x), 산화질화규소(SiO_xNy)($x>y$), 질화산화규소(SiN_xOy)($x>y$) 등의 산소 또는 질소를 갖는 절연막의 단층 구조, 혹은 이들의 적층 구조 등이 있다. 절연막 5058이 2층 구조로 설치되는 경우의 일례로서는, 1층째의 절연막으로서 질화산화 규소막을 설치하고, 2층째의 절연막으로서 산화질화규소막을 설치하는 것이 가능하다. 다른 예로서, 절연막 5058이 3층 구조로 설정되는 경우, 1층째의 절연막으로서 산화 질화규소막을 설치하고, 2층째의 절연막으로서 질화산화 규소막을 설치하고, 3층째의 절연막으로서 산화 질화규소막을 설치하는 것이 가능하다.

[0329] 반도체층 5059, 반도체층 5060, 반도체층 5061의 일례로서는, 비정질(아모퍼스)반도체, 미결정(마이크로 크리스탈) 반도체, 세미아모퍼스 반도체(SAS), 다결정 반도체, 또는 단결정 반도체 등이 있다.

[0330] 이때, 반도체층 5059, 반도체층 5060, 반도체층 5061은, 각각, 불순물 농도가 다른 것이 바람직하다. 예를 들면, 반도체층 5059는 채널 영역, 반도체층 5060은 저농도 드레인(Lightly Doped Drain: LDD) 영역, 반도체층 5061은 소스 영역 및 드레인 영역으로서 기능한다.

[0331] 절연막 5062의 일례로서는, 절연막 5058과 마찬가지로, 산화 규소(SiO_x), 질화규소(SiN_x), 산화 질화규소(SiO_xNy)($x>y$), 질화산화 규소(SiN_xOy)($x>y$) 등의 산소 또는 질소를 갖는 절연막의 단층 구조, 혹은 이들의 적층 구조 등이 있다.

[0332] 게이트 전극(5063)의 일례로서는, 단층의 도전막, 다층(예를 들면, 2층, 3층 등)의 도전막의 축적 구조가 있다. 이 게이트 전극(5063)에 사용되는 도전막의 일례로서는, 탄타르(Ta), 티타늄(Ti), 몰리브덴(Mo), 텅스텐(W), 크롬(Cr), 실리콘(Si) 등의 원소의 단층막, 해당 원소의 질화막(예를 들면, 질화 탄타르막, 질화 텅스텐막, 질화 티타늄막), 해당 원소를 조합한 합금막(예를 들면, Mo-W 합금, Mo-Ta 합금), 또는 해당 원소의 실리사이드막(예를 들면, 텅스텐 실리사이드막, 티타늄 실리사이드막) 등이 있다.

[0333] 이때, 전술한 단층막, 질화막, 합금막, 실리사이드막 등은, 단층으로 하는 것도 가능하고, 적층 구조로 하는 것도 가능하다.

[0334] 절연막 5064의 일례로서는, 산화 규소(SiO_x), 질화 규소(SiN_x), 산화 질화규소(SiO_xNy)($x>y$), 질화산화 규소(SiN_xOy)($x>y$) 등의 산소 또는 질소를 갖는 절연막의 단층 구조, DLC(다이아몬드 라이크 카본) 등의 탄소를 포함하는 막의 단층 구조, 혹은 이들의 적층 구조 등이 있다.

- [0335] 절연막 5065의 일례로서는, 실록산 수지가 있다. 또는, 산화 규소(SiO_x), 질화규소(Si_3N_4), 산화 질화규소(SiO_xN_y ($x>y$)), 질화산화 규소($\text{Si}_3\text{N}_4\text{O}_y$ ($x>y$)) 등의 산소 또는 질소를 갖는 절연막이 있다. 또는, DLC(다이아몬드 라이크 카본) 등의 탄소를 포함하는 막이 있다. 또는, 에폭시, 폴리이미드, 폴리아미드, 폴리비닐페놀, 벤조시킴로부텐, 아크릴 등의 유기재료가 있다. 또는, 이들의 단층 구조, 또는 적층 구조가 있다.
- [0336] 이때, 실록산 수지의 일례로서는, Si-O-Si 결합을 포함하는 수지가 있다. 예를 들면, 실록산은, 실리콘(Si)과 산소(O)의 결합으로 골격 구조가 구성된다. 그리고, 치환기로서, 적어도 수소를 포함하는 유기기(예를 들면, 알킬기, 방향족 탄화수소)를 사용할 수 있다. 유기기는, 플루오르기를 포함하여도 된다.
- [0337] 이때, 절연막 5064를 설치하지 않고 게이트 전극(5063)을 덮도록 직접 절연막 5065를 설치하는 것도 가능하다.
- [0338] 도전막 5067의 일례로서는, 단층의 도전막, 다층(예를 들면, 2층, 3층 등)의 도전막의 축적 구조 등이 있다. 도전막 5067의 재료의 일례로서는, Al, Ni, C, W, Mo, Ti, Pt, Cu, Ta, Au, Mn 등의 원소의 단층막, 해당 원소의 질화막, 해당 원소를 조합한 합금막, 또는 해당 원소의 실리사이드막 등이 있다. 해당 원소를 조합한 합금막의 일례로서는, C 및 Ti를 함유한 Al 합금, Ni를 함유한 Al 합금, C 및 Ni를 함유한 Al 합금, C 및 Mn을 함유한 Al 합금 등등이 있다.
- [0339] 이때, 전술한 도전층이 적층 구조로 설치되는 경우, 예를 들면, Al을 Mo 또는 Ti 등으로 끼운 구조로 하는 것이 바람직하다. 이와 같이 함으로써, Al의 열이나 화학반응에 대한 내성을 향상할 수 있다.
- [0340] 사이드월(5066)의 일례로서는, 산화 규소(SiO_x)는 질화규소(Si_3N_4)를 사용할 수 있다.
- [0341] 이상과 같이, 본 실시형태에서 설명한 트랜지스터의 구성은, 실시형태 1~실시형태 4에 있어서 설명한 디지털 아날로그 변환부를 구성하는 트랜지스터에 채용할 수 있다. 실시형태 1~실시형태 4에 있어서 설명한 디지털 아날로그 변환부는, 룩업 테이블을 사용하지 않고, 각 서브 화소에 따른 신호를 생성할 수 있다. 따라서, 메모리 소자로부터의 룩업 테이블의 판독에 따르는 발열의 발생, 또는 소비 전력의 증대 등을 방지할 수 있다.
- [0342] 더구나, 룩업 테이블을 사용하지 않으므로, 비디오 신호를 생성하는 부분과, 화소부를 같은 기판에 형성할 수 있다. 따라서, 패널과 외부 부품의 접속수를 적게 할 수 있으므로, 신뢰성의 향상, 제품 수율의 향상, 비용의 삭감, 또는 고선명화 등을 꾀할 수 있다.
- [0343] (실시형태 7)
- [0344] 본 실시형태에서는, 반도체층의 형성방법의 일례에 대해 설명한다. 본 실시형태의 반도체층의 형성방법은, 실시형태 4에 있어서 설명한 트랜지스터의 구조 및
- [0345] 제조방법에 사용할 수 있다.
- [0346] 본 발명에 따른 SOI 기판을 도 14a에 나타낸다. 도 14a에 있어서 베이스 기판(9200)은 절연 표면을 갖는 기판 혹은 절연 기판이며, 알루미늄 실리케이트 유리, 알루미늄 보로실리케이트 유리, 바륨 보로실리케이트 유리와 같은 전자공업용으로 사용되어지는 각종 유리 기판을 적용한다. 그 밖에 석영 유리, 실리콘 웨이퍼와 같은 반도체 기판도 적용가능하다. SOI층(9202)은 단결정 반도체이며, 대표적으로는 단결정 실리콘이 적용된다. 그 밖에, 수소 이온 주입 박리법과 같이 해서 단결정 반도체 기판 혹은 다결정 반도체 기판으로부터 박리가능한 실리콘, 게르마늄, 그 외, 갈륨 비소, 인듐 인 등의 화합물 반도체에 의한 결정성 반도체층을 적용할 수도 있다.
- [0347] 이러한 베이스 기판(9200)과 SOI층(9202) 사이에는, 평활면을 갖고 친수성 표면을 형성하는 접합층(9204)을 설치한다. 이 접합층(9204)으로서 산화 실리콘 막이 적합하다. 특히 유기 실란 가스를 사용해서 화학 기상성장법에 의해 제조되는 산화 실리콘막이 바람직하다. 유기 실란 가스로서는, 규산에틸(TEOS : 화학식 $\text{Si}(\text{OC}_2\text{H}_5)_4$), 테트라메틸 실란(TMS : 화학식 $\text{Si}(\text{CH}_3)_4$), 테트라메틸시클로테트라실록산(TMCTS), 옥타메틸시클로테트라실록산(OMCTS), 헥사메틸디실라잔(HMDS), 트리에톡시실란($\text{SiH}(\text{OC}_2\text{H}_5)_3$), 트리스디메틸아미노실란($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$) 등의 실리콘 함유 화합물을 사용할 수 있다.
- [0348] 상기 평활면을 갖고 친수성 표면을 형성하는 접합층(9204)은 5nm 내지 500nm의 두께로 설치된다. 이 두

게이면, 피성막 표면의 표면 거칠음을 평활화하는 동시에, 해당 막의 성장 표면의 평활성을 확보하는 것이 가능하다. 또한, 접합하는 기판과의 왜곡 완화할 수 있다. 베이스 기판(9200)에도 동일한 산화 실리콘막을 설치하고 있어도 된다. 즉, 절연 표면을 갖는 기판 혹은 절연성의 베이스 기판(9200)에 SOI층(9202)을 접합하는 것에 있어서, 접합을 형성하는 면의 한쪽 혹은 양쪽에, 바람직하게는 유기 실란을 원재료로서 성막한 산화 실리콘막으로 이루어진 접합층(9204)을 형성함으로써 강고한 접합을 형성할 수 있다.

[0349] 이러한 SOI 기판의 제조 방법에 대해서 도 14b 내지 도 14e를 참조해서 설명한다.

[0350] 도 14b에 나타난 반도체 기판(9201)은 청정화되어 있고, 그 표면으로부터 전계로 가속된 이온을 소정의 깊이로 주입하여, 이온 도핑층(9203)을 형성한다. 이온의 주입은 베이스 기판으로 전치하는 SOI층의 두께를 고려해서 행해진다. 해당 SOI층의 두께는 5nm 내지 500nm, 바람직하게는 10nm 내지 200nm의 두께로 한다. 이온을 주입할 때의 가속 전압은 이러한 두께를 고려하여, 반도체 기판(9201)에 주입되도록 한다. 이온 도핑층(9203)은 수소, 헬륨 혹은 불소로 대표되는 할로겐의 이온을 주입함으로써 형성된다. 이 경우, 1 또는 복수의 동일한 원자로 이루어지는 질량수가 다른 이온을 주입하는 것이 바람직하다. 수소 이온을 주입하는 경우에는, H^+ , H_2^+ , H_3^+ 이온을 포함시키는 동시에, H_3^+ 이온의 비율을 높게 두는 것이 바람직하다. 수소 이온을 주입하는 경우에는, H^+ , H_2^+ , H_3^+ 이온을 포함시키는 동시에, H_3^+ 이온의 비율을 높여 두면 주입 효율을 높일 수 있어, 주입 시간을 단축할 수 있다. 이러한 구성으로 함으로써, 박리를 용이하게 행할 수 있다.

[0351] 이온을 고도즈 조건에서 주입할 필요가 있어, 반도체 기판(9201)의 표면이 거칠어져 버리는 경우가 있다. 그 때문에 이온이 주입되는 표면에 질화 실리콘막 혹은 질화산화 실리콘막 등에 의해 이온주입에 대한 보호막을 50nm 내지 200nm의 두께로 설치하고 있어도 된다.

[0352] 다음에, 도 14c에서 도시한 것과 같이 베이스 기판과 접합을 형성하는 면에 접합층(9204)으로서 산화 실리콘막을 형성한다. 산화 실리콘막으로서의 진술한 것과 같이 유기 실란 가스를 사용해서 화학기상성장법에 의해 제조되는 산화 실리콘막이 바람직하다. 그 밖에, 실란 가스를 사용해서 화학기상성장법에 의해 제조되는 산화 실리콘막을 적용할 수도 있다. 화학기상성장법에 의한 성막에서는, 단결정 반도체 기판에 형성한 이온 도핑층(9203)으로부터 탈 가스가 발생하지 않는 온도로서, 예를 들면, 350℃ 이하의 성막 온도가 적용된다. 또한, 단결정 혹은 다결정 반도체 기판으로부터 SOI층을 박리하는 열처리, 성막 온도보다도 높은 열처리 온도가 적용된다.

[0353] 도 14d는 베이스 기판(9200)과 반도체 기판(9201)의 접합층(9204)이 형성된 면을 밀착시켜, 이 양자를 접합시키는 태양을 나타낸다. 접합을 형성하는 면은, 충분히 청정화해 둔다. 그리고, 베이스 기판(9200)과 접합층(9204)을 밀착시킴으로써 접합이 형성된다. 이 접합은 반데르발스힘이 작용하고 있어, 베이스 기판(9200)과 반도체 기판(9201)을 압접함으로써 수소결합에 의해 강고한 접합을 형성하는 것이 가능하다.

[0354] 양호한 접합을 형성하기 위해서, 표면을 활성화하고 있어도 된다. 예를 들면, 접합을 형성하는 면에 원자빔 혹은 이온빔을 조사한다. 원자빔 혹은 이온빔을 이용하는 경우에는, 아르곤 등의 불활성 가스 중성 원자빔 혹은 불활성 가스 이온빔을 사용할 수 있다. 그 밖에, 플라스마 조사 혹은 라디칼 처리를 행한다. 이러한 표면 처리에 의해 200℃ 내지 400℃의 온도에서도 이종재료간의 접합을 형성하는 것이 용이하게 된다.

[0355] 베이스 기판(9200)과 반도체 기판(9201)을 접합층(9204)을 통해 부착한 후에는, 가열처리 또는 가압처리를 행하는 것이 바람직하다. 가열처리 또는 가압처리를 행함으로써 접합 강도를 향상시키는 것이 가능해진다. 가열처리의 온도는, 베이스 기판(9200)의 내열 온도 이하인 것이 바람직하다. 가압처리에 있어서는, 접합면에 수직한 방향으로 압력이 가해지도록 행하고, 베이스 기판(9200) 및 반도체 기판(9201)의 내압성을 고려해서 행한다.

[0356] 도 14e에 있어서, 베이스 기판(9200)과 반도체 기판(9201)을 부착한 후, 열처리를 행하여 이온 도핑층(9203)을 벽개면으로 하여 반도체 기판(9201)을 베이스 기판(9200)으로부터 박리한다. 열처리의 온도는 접합층(9204)의 성막 온도 이상, 베이스 기판(9200)의 내열온도 이하에서 행하는 것이 바람직하다. 예를 들면, 400℃ 내지 600℃의 열처리를 행함으로써, 이온 도핑층(9203)에 형성된 미소한 공동의 퇴적 변화가 발생하여, 이온 도핑층(9203)을 따라 벽개하는 것이 가능해진다. 접합층(9204)은 베이스 기판(9200)과 접합하고 있으므로, 베이스 기판(9200) 위에는 반도체 기판(9201)과 같은 결정성의 SOI층(9202)이 잔존하게 된다.

[0357] 이와 같이, 본 실시형태에 따르면, 유리 기판 등의 내열온도가 700℃ 이하인 베이스 기판(9200)이라도

접합부의 접착력이 강고한 SOI층(9202)을 얻을 수 있다. 베이스 기판(9200)으로서, 알루미늄 실리케이트 유리, 알루미늄 보로실리케이트 유리, 바륨 보로실리케이트 유리와 같이 무알칼리 유리로 불리는 전자공업용으로 사용되어지는 각종 유리 기판을 적용하는 것이 가능해 진다. 즉, 한 변이 1미터를 초과하는 기판 위에 단결정 반도체층을 형성할 수 있다. 이러한 대면적 기판을 사용해서 액정 모니터와 같은 표시장치 뿐만 아니라, 반도체 집적회로를 제조할 수 있다.

[0358] 전술한 반도체층을 사용한 트랜지스터는, 유리 기판 등의 빛을 투과하는 기판에 형성하는 것이 가능하다. 따라서, 표시장치의 화소부와, 실시형태 1에 있어서 설명한 디지털 아날로그 변환부를 같은 기판에 형성할 수 있다.

[0359] 전술한 반도체층을 사용한 트랜지스터는, 이동도가 높고, 특성 격차가 작다. 따라서, 해당 트랜지스터를 사용해서 실시형태 1에 있어서 설명한 디지털 아날로그 변환부를 제조함으로써, 디지털 아날로그 변환부의 레이아웃 면적을 작게 할 수 있다.

[0360] 이상과 같이, 본 실시형태에서 설명한 트랜지스터의 구성은, 실시형태 1~실시형태 4에 있어서 설명한 디지털 아날로그 변환부를 구성하는 트랜지스터에 채용할 수 있다. 실시형태 1~실시형태 4에 있어서 설명한 디지털 아날로그 변환부는, 록업 테이블을 사용하지 않고, 각 서브 화소에 따른 신호를 생성할 수 있다. 따라서, 메모리 소자로부터의 록업 테이블의 판독에 따르는 발열의 발생, 또는 소비 전력의 증대 등을 방지할 수 있다.

[0361] 더구나, 록업 테이블을 사용하지 않으므로, 비디오 신호를 생성하는 부분과, 화소부를 같은 기판에 형성할 수 있다. 따라서, 패널과 외부 부품의 접속수를 적게 할 수 있으므로, 신뢰성의 향상, 제품 수율의 향상, 비용의 삭감, 또는 고선명화 등을 꾀할 수 있다.

[0362] (실시형태 8)

[0363] 본 실시형태에 있어서는, 전자기기의 예에 대해 설명한다.

[0364] 도 15a 내지 도 15h, 도 16a 내지 도 16d는, 전자기기를 도시한 도면이다. 이들 전자기기는, 하우스(5000), 표시부(5001), 스피커(5003), LED 램프(5004), 조작 키(5005), 접속 단자(5006), 센서(5007)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액, 자기, 온도, 화학물질, 음성, 시간, 경도, 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경사도, 진동, 냄새 또는 적외선을 측정하는 기능을 포함하는 것), 마이크로폰(5008) 등을 가질 수 있다.

[0365] 도 15a는 모바일 컴퓨터로서, 전술한 것 이외에, 스위치(5009), 적외선 포트(5010) 등을 가질 수 있다. 도 15b는 기록매체를 구비한 휴대형의 화상재생장치(예를 들면, DVD 재생장치)이며, 전술한 것 이외에, 제2표시부(5002), 기록매체 판독부(5011) 등을 가질 수 있다. 도 15c는 고글형 디스플레이이며, 전술한 것 이외에, 제2표시부(5002), 지지부(5012), 이어폰(5013) 등을 가질 수 있다. 도 15d는 휴대형 게임기이며, 전술한 것 이외에, 기록매체 판독부(5011) 등을 가질 수 있다. 도 15e는 프로젝터이며, 전술한 것 이외에, 광원(5033), 투사 렌즈(5034) 등을 가질 수 있다. 도 15f는 휴대형 게임기이며, 전술한 것 이외에, 제2표시부(5002), 기록매체 판독부(5011) 등을 가질 수 있다. 도 15g는 텔레비전 수상기이며, 전술한 것 이외에, 튜너, 화상처리부 등을 가질 수 있다. 도 15h는 포터블 텔레비전 수상기이며, 전술한 것 이외에, 신호의 송수신이 가능한 충전기(5017) 등을 가질 수 있다. 도 16a는 디스플레이이며, 전술한 것 이외에, 지지대(5018) 등을 가질 수 있다. 도 16b는 카메라이며, 전술한 것 이외에, 외부 접속 포트(5019), 셔터 버튼(5015), 수상부(5016) 등을 가질 수 있다. 도 16c는 컴퓨터이며, 전술한 것 이외에, 포인팅 디바이스(5020), 외부 접속 포트(5019), 리더/라이터(5021) 등을 가질 수 있다. 도 16d는 휴대전화기이며, 전술한 것 이외에, 안테나(5014), 휴대전화·이동단말을 향한 1세그먼트 부분 수신 서비스용 튜너 등을 가질 수 있다.

[0366] 도 15a 내지 도 15h, 도 16a 내지 도 16d에 나타난 전자기기는, 다양한 기능을 가질 수 있다. 예를 들면, 다양한 정보(정지 화상, 동영상, 텍스트 화상 등)를 표시부에 표시하는 기능, 터치패널 기능, 캘렌다, 날짜 또는 시간 등을 표시하는 기능, 다양한 소프트웨어(프로그램)에 의해 처리를 제어하는 기능, 무선통신 기능, 무선통신 기능을 사용해서 다양한 컴퓨터 네트워크에 접속하는 기능, 무선통신 기능을 사용해서 다양한 데이터의 송신 또는 수신을 행하는 기능, 기록매체에 기록되어 있는 프로그램 또는 데이터를 판독해서 표시부에 표시하는 기능, 등을 가질 수 있다. 더구나, 복수의 표시부를 갖는 전자기기에 있어서는, 한개의 표시부를 주로 화상정보를 표시하고, 다른 한개의 표시부를 주로 문자정보를 표시하는 기능, 또는, 복수의 표시부에 시차를 고려한 화상을 표시하는 것으로 입체적인 화상을 표시하는 기능 등을 가질 수 있다. 더구나, 수상부를 갖는 전자기기에

있어서는, 정지 화상을 촬영하는 기능, 동영상 촬영하는 기능, 촬영한 화상을 자동 또는 수동으로 보정하는 기능, 촬영한 화상을 기록매체(외부 또는 카메라에 내장)에 보존하는 기능, 촬영한 화상을 표시부에 표시하는 기능 등을 가질 수 있다. 이때, 도 15a 내지 도 15h, 도 16a 내지 도 16d에 나타난 전자기기가 가질 수 있는 기능은 이것들에 한정되지 않고, 다양한 기능을 가질 수 있다.

[0367] 본 실시형태에 있어서 서술한 전자기기는, 어떠한 정보를 표시하기 위한 표시부를 갖는 것을 특징으로 한다. 실시형태 5에 있어서 설명한 표시장치가 전자기기의 표시부에 사용됨으로써, 시야각 특성의 향상을 꾀할 수 있다. 실시형태 5에 있어서 설명한 표시장치는 적은 신호수로 구동할 수 있으므로, 전자기기의 부품수를 적게 할 수 있다. 더구나, 실시형태 5에 있어서 설명한 표시장치는 록업 테이블을 필요로 하지 않으므로, 저렴하게 전자기기를 제조할 수 있다.

[0368] 다음에, 반도체장치의 응용예를 설명한다.

[0369] 도16e에, 반도체장치를, 건조물과 일체로 해서 설치한 예에 대해서 나타낸다. 도16e는, 하우스(5022), 표시부(5023), 조작부인 리모트 콘트롤 장치(5024), 스피커(5025) 등을 포함한다. 반도체장치는, 벽걸이형으로서 건물과 일체가 되어 있고, 설치하는 스페이스를 넓게 필요로 하는 않고 설치 가능하다.

[0370] 도16f에, 건조물 내에 반도체장치를, 건조물과 일체로 해서 설치한 다른 예에 대해서 나타낸다. 표시 패널(5026)은, 유닛 베스(5027)와 일체로 부착되어 있어, 입욕자는 표시 패널(5026)의 시청이 가능하게 된다.

[0371] 이때, 본 실시형태에 있어서, 건조물로서 벽, 유닛 베스를 예로 했지만, 본 실시형태는 이것에 한정되지 않고, 다양한 건조물에 반도체장치를 설치할 수 있다.

[0372] 다음에, 반도체장치를, 이동체와 일체로 해서 설치한 예에 대해서 나타낸다.

[0373] 도16g는, 반도체장치를, 자동차에 설치한 예에 대해서 나타낸 도면이다. 표시 패널(5028)은, 자동차의 차체(5029)에 부착되어 있고, 차체의 동작 또는 차체 내외로부터 입력되는 정보를 온디맨드로 표시할 수 있다. 이때, 네비게이션 기능을 갖고 있어도 된다.

[0374] 도16h는, 반도체장치를, 여객용 비행기와 일체로 해서 설치한 예에 대해 나타낸 도면이다. 도16h는, 여객용 비행기의 좌석 상부의 천장(5030)에 표시 패널(5031)을 설치했을 때의, 사용시의 형상에 대해서 나타낸 도면이다. 표시 패널(5031)은, 천장(5030)과 힌지부(5032)를 통해서 일체로 부착되어 있으며, 힌지부(5032)의 신축에 의해 승객은 표시 패널(5031)의 시청이 가능하게 된다. 표시 패널 (5031)은 승객이 조작함으로써 정보를 표시하는 기능을 갖는다.

[0375] 이때, 본 실시형태에 있어서, 이동체로서는 자동차 차체, 비행기 차체에 대해서 예시했지만 이것에 한정되지 않고, 자동 이륜차, 자동 4륜차(자동차, 버스 등을 포함한다), 전차(모노 레일, 철도 등을 포함한다), 선박 등, 다양한 것에 설치할 수 있다.

[0376] 이상과 같이, 본 실시형태에서 설명한 전자기기 또는 반도체장치에 있어서의 표시장치의 구성은, 실시 형태 5에 있어서 설명한 디지털 아날로그 변환부를 구비하는 표시장치에 채용할 수 있다. 실시형태 1~실시형태 4에 있어서 설명한 디지털 아날로그 변환부는, 록업 테이블을 사용하지 않고, 각 서브 화소에 따른 신호를 생성할 수 있다. 따라서, 메모리 소자로부터의 록업 테이블의 판독에 따르는 발열의 발생, 또는 소비 전력의 증대 등을 방지할 수 있다.

[0377] 더구나, 록업 테이블을 사용하지 않으므로, 비디오 신호를 생성하는 부분과, 화소부를 같은 기판에 형성할 수 있다. 따라서, 패널과 외부 부품의 접속수를 적게 할 수 있으므로, 신뢰성의 향상, 제품 수율의 향상, 비용의 삭감, 또는 고선명화 등을 꾀할 수 있다.

도면의 간단한 설명

[0378] 도 1은 본 발명의 일 양태에 관한 회로를 설명하는 도면.

[0379] 도 2는 본 발명의 일 양태에 관한 회로를 설명하는 도면.

[0380] 도 3은 본 발명의 일 양태에 관한 회로를 설명하는 도면.

[0381] 도 4는 본 발명의 일 양태에 관한 회로를 설명하는 도면.

[0382] 도 5는 본 발명의 일 양태에 관한 회로를 설명하는 도면.

[0383]	도 6은 본 발명의 일 양태에 관한 회로를 설명하는 도면.
[0384]	도 7은 본 발명의 일 양태에 관한 회로를 설명하는 도면.
[0385]	도 8은 본 발명의 일 양태에 관한 회로를 설명하는 도면.
[0386]	도 9는 본 발명의 일 양태에 관한 회로를 설명하는 도면.
[0387]	도 10은 본 발명의 일 양태에 관한 회로를 설명하는 도면.
[0388]	도 11은 본 발명의 일 양태에 관한 회로, 및 구동방법을 설명하는 도면.
[0389]	도 12는 본 발명의 일 양태에 관한 회로를 설명하는 도면.
[0390]	도 13은 본 발명의 일 양태에 관한 트랜지스터를 설명하는 단면도.
[0391]	도 14는 본 발명의 일 양태에 관한 트랜지스터를 설명하는 단면도.
[0392]	도 15는 본 발명의 일 양태에 관한 전자기기를 설명하는 도면.
[0393]	도16은 본 발명의 일 양태에 관한 전자기기를 설명하는 도면.
[0394]	* 도면의 주요부분에 대한 부호의 설명 *
[0395]	100: 디지털 아날로그 변환부
[0396]	101_1~101_n: 회로
[0397]	111: 배선군
[0398]	111_1~111_n: 배선
[0399]	112_1~112_n: 배선군
[0400]	112_11~112_nM: 배선
[0401]	113_1~113_n: 배선
[0402]	114: 배선군
[0403]	114_1~114_N: 배선
[0404]	115: 배선
[0405]	116: 배선
[0406]	201: 회로
[0407]	201_1: 회로
[0408]	201_2: 회로
[0409]	202: 회로
[0410]	202_1: 회로
[0411]	202_2: 회로
[0412]	202_1a: 셀렉터 회로
[0413]	202_2b: 셀렉터 회로
[0414]	203: 논리회로
[0415]	203_1~203_1M: 논리회로
[0416]	203_1a~203_Ma: NOR 회로
[0417]	203_1b~203_Mb: NAND 회로
[0418]	204_11~204_1M: 스위치

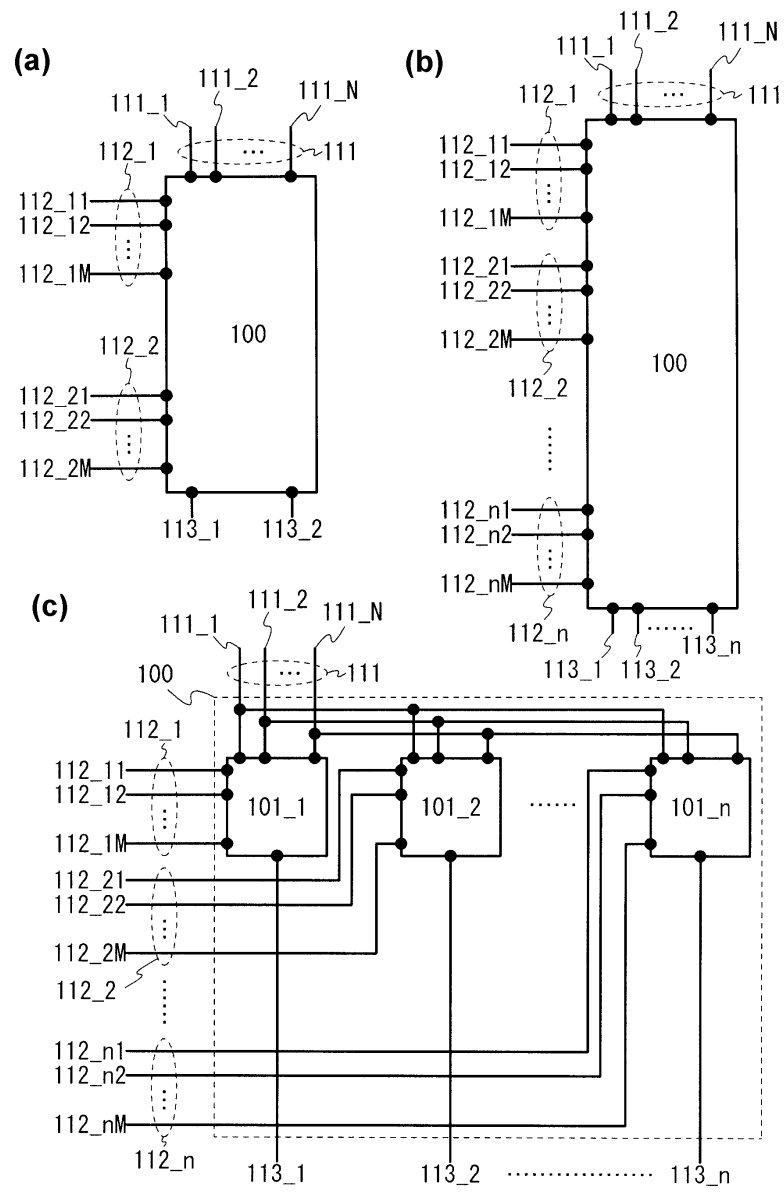
[0419]	204_21~204_2M: 스위치
[0420]	204_11a~204_1Ma: 트랜지스터
[0421]	204_11b~204_1Mb: 트랜지스터
[0422]	400_1: 회로
[0423]	400_2: 회로
[0424]	401: 스위치
[0425]	402: 스위치
[0426]	403: 스위치
[0427]	404: 스위치
[0428]	501_1: 회로
[0429]	501_2: 회로
[0430]	501_11~501_1M: 저항소자
[0431]	501_21~501_2M: 저항소자
[0432]	502_1: 서브 화소
[0433]	502_2: 서브 화소
[0434]	502_1~502_n: 서브 화소
[0435]	601: 신호선 구동회로
[0436]	602: 주사선 구동회로
[0437]	603: 화소부
[0438]	605: 화소
[0439]	621: 시프트 레지스터
[0440]	622: 제1 래치부
[0441]	623: 제2 래치부
[0442]	625: 버퍼부
[0443]	701a: 트랜지스터
[0444]	701b: 트랜지스터
[0445]	702a: 액정소자
[0446]	702b: 액정소자
[0447]	703a: 용량소자
[0448]	703b: 용량소자
[0449]	704a: 액정소자
[0450]	704b: 액정소자
[0451]	704: 공통 전극
[0452]	705: 용량선
[0453]	5000: 하우징
[0454]	5001: 표시부

[0455]	5002: 표시부
[0456]	5003: 스피커
[0457]	5004: LED 램프
[0458]	5005: 조작 키
[0459]	5006: 접속 단자
[0460]	5007: 센서
[0461]	5008: 마이크로폰
[0462]	5009: 스위치
[0463]	5010: 적외선 포트
[0464]	5011: 기록매체 판독부
[0465]	5012: 지지부
[0466]	5013: 이어폰
[0467]	5014: 안테나
[0468]	5015: 셔터 버튼
[0469]	5016: 수상부
[0470]	5017: 충전기
[0471]	5018: 지지대
[0472]	5019: 외부 접속 포트
[0473]	5020: 포인팅 디바이스
[0474]	5021: 리더/라이터
[0475]	5022: 하우징
[0476]	5023: 표시부
[0477]	5024: 리모트 콘트롤 장치
[0478]	5025: 스피커
[0479]	5026: 표시 패널
[0480]	5027: 유닛 베스
[0481]	5028: 표시 패널
[0482]	5029: 차체
[0483]	5030: 천장
[0484]	5031: 표시 패널
[0485]	5032: 힌지부
[0486]	5033: 광원
[0487]	5034: 투사 렌즈
[0488]	5051: 트랜지스터
[0489]	5052: 트랜지스터
[0490]	5053: 트랜지스터

[0491]	5054: 트랜지스터
[0492]	5055: 트랜지스터
[0493]	5057: 기판
[0494]	5058: 절연막
[0495]	5059: 반도체층
[0496]	5060: 반도체층
[0497]	5061: 반도체층
[0498]	5062: 절연막
[0499]	5063: 게이트 전극
[0500]	5064: 절연막
[0501]	5065: 절연막
[0502]	5066: 사이드월
[0503]	5067: 도전막
[0504]	9200: 베이스 기판
[0505]	9201: 반도체 기판
[0506]	9202: SOI층
[0507]	9203: 이온 도핑층
[0508]	9204: 접합층

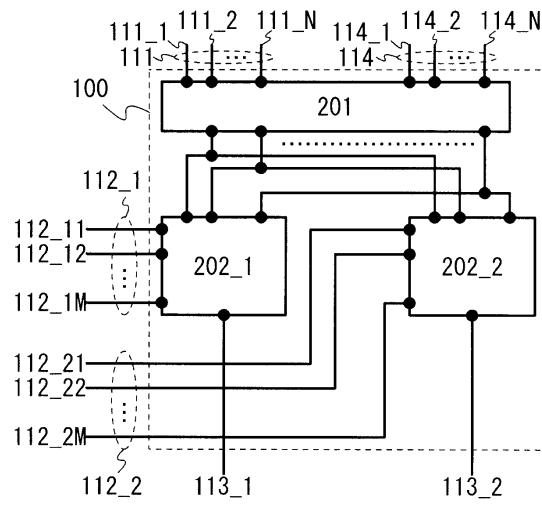
도면

도면1

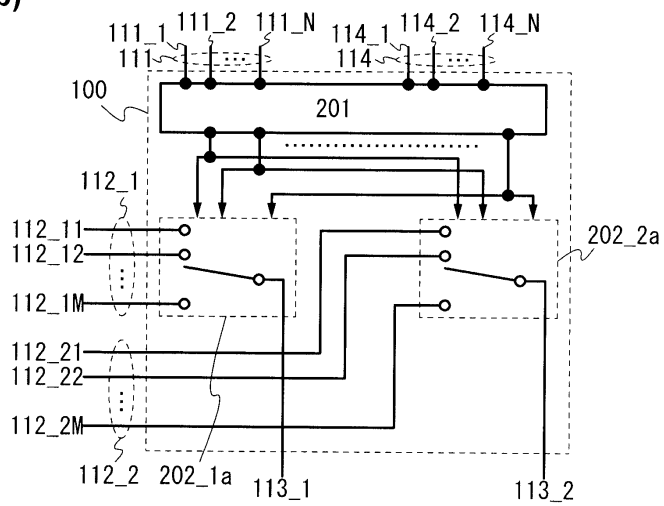


도면2

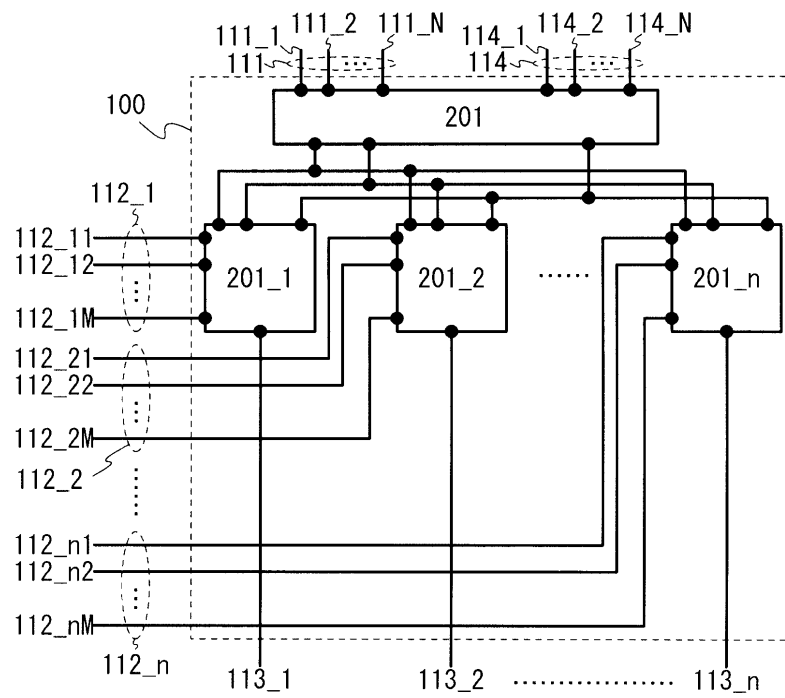
(a)



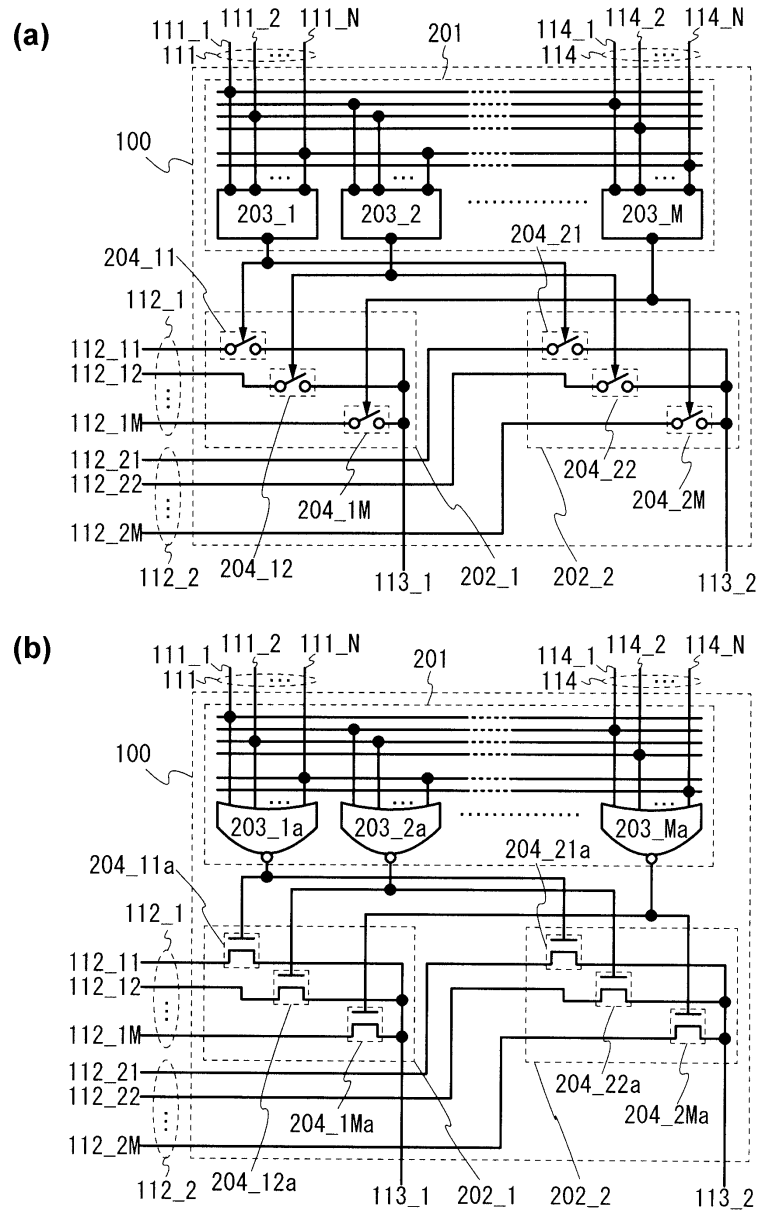
(b)



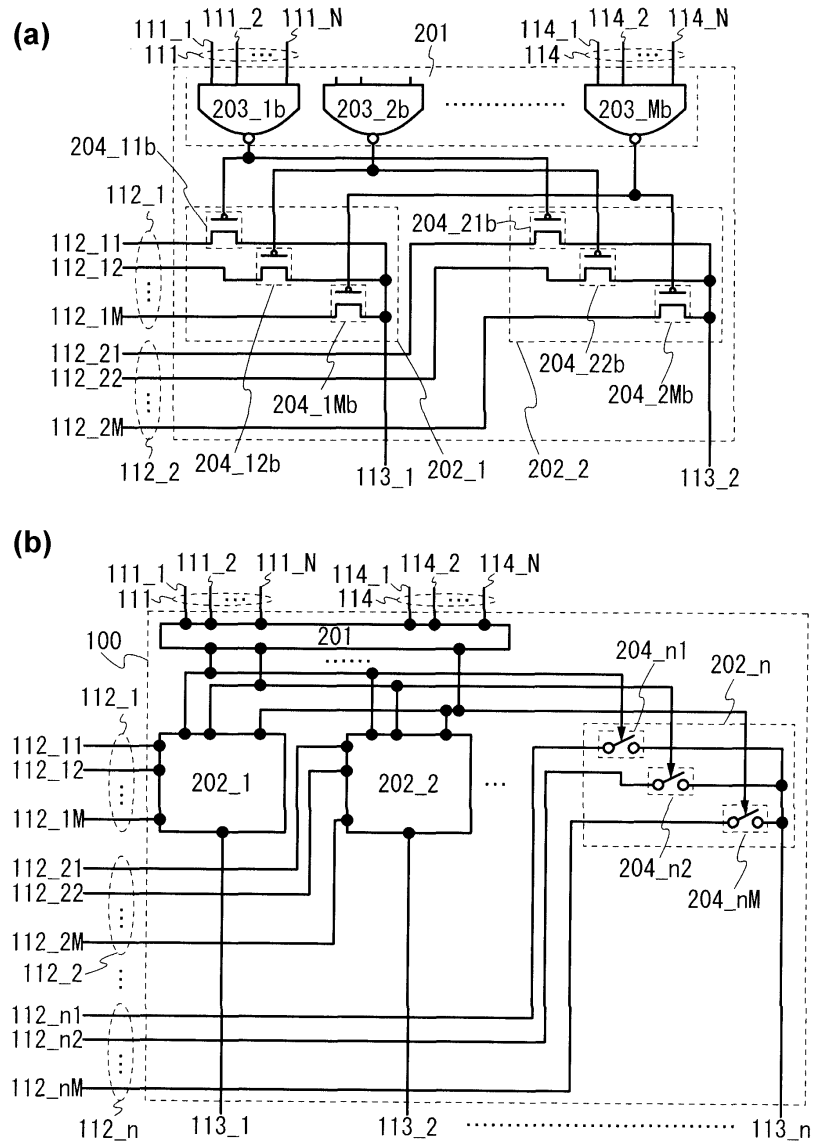
도면3



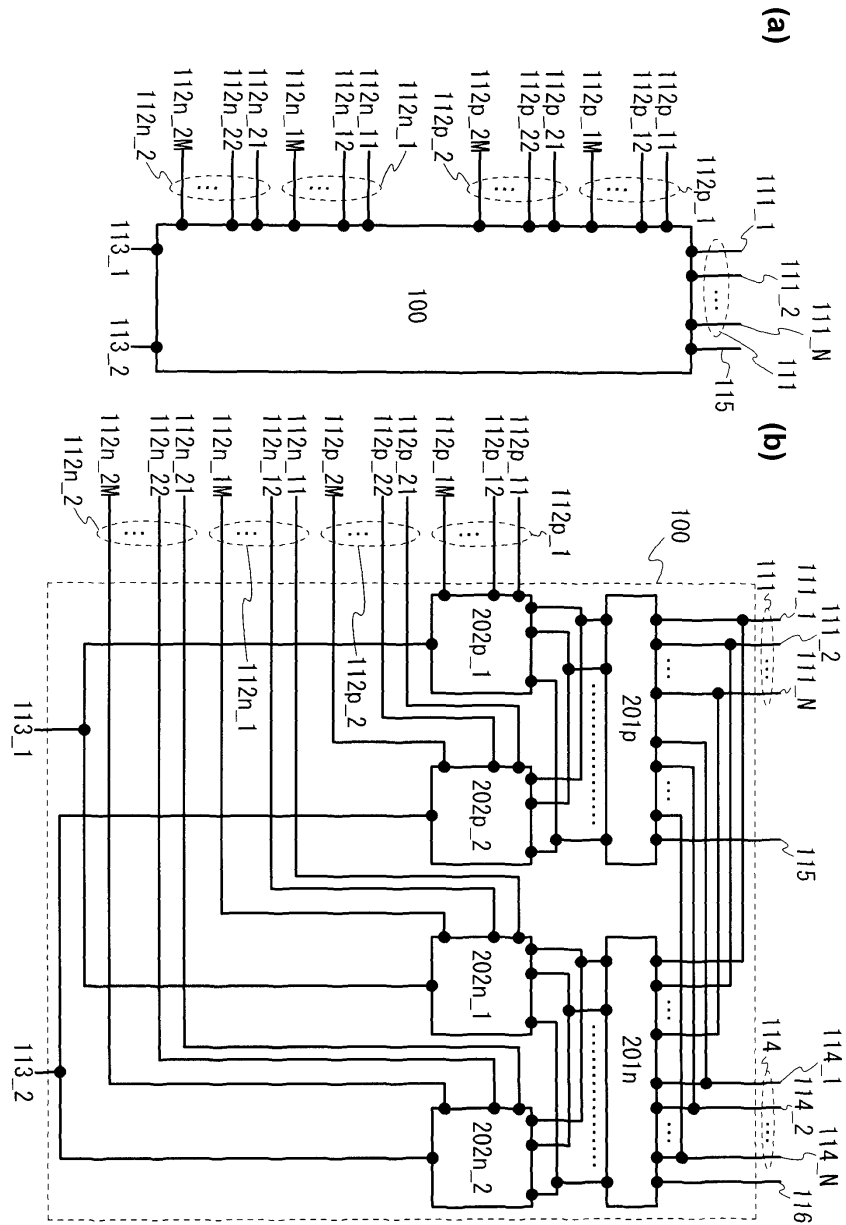
도면4



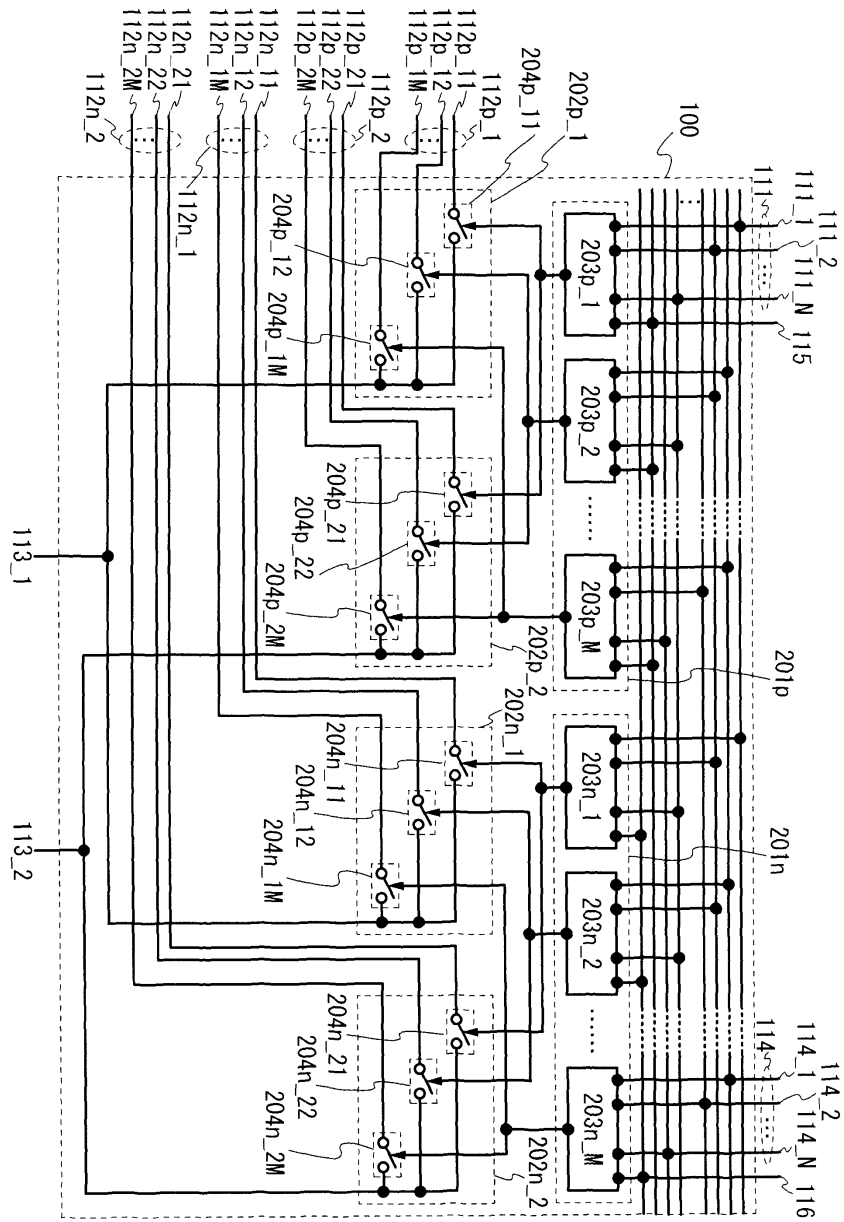
도면5



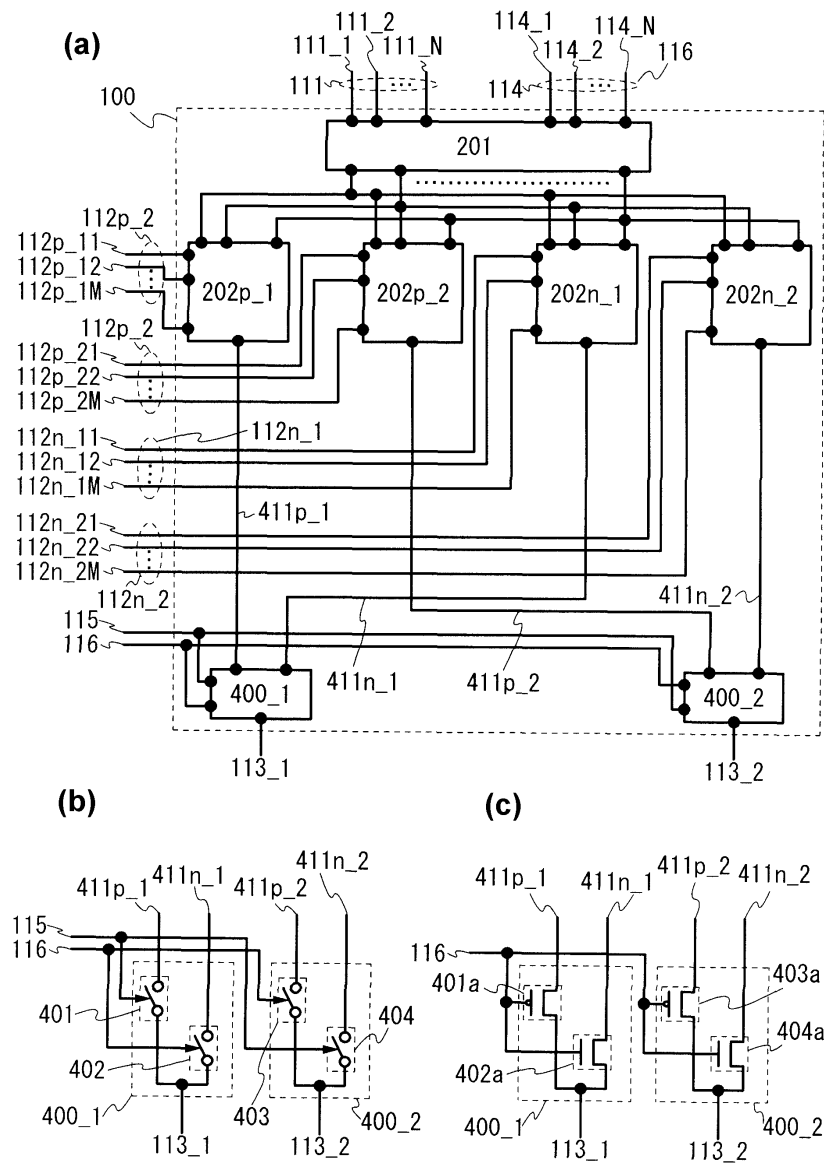
도면6



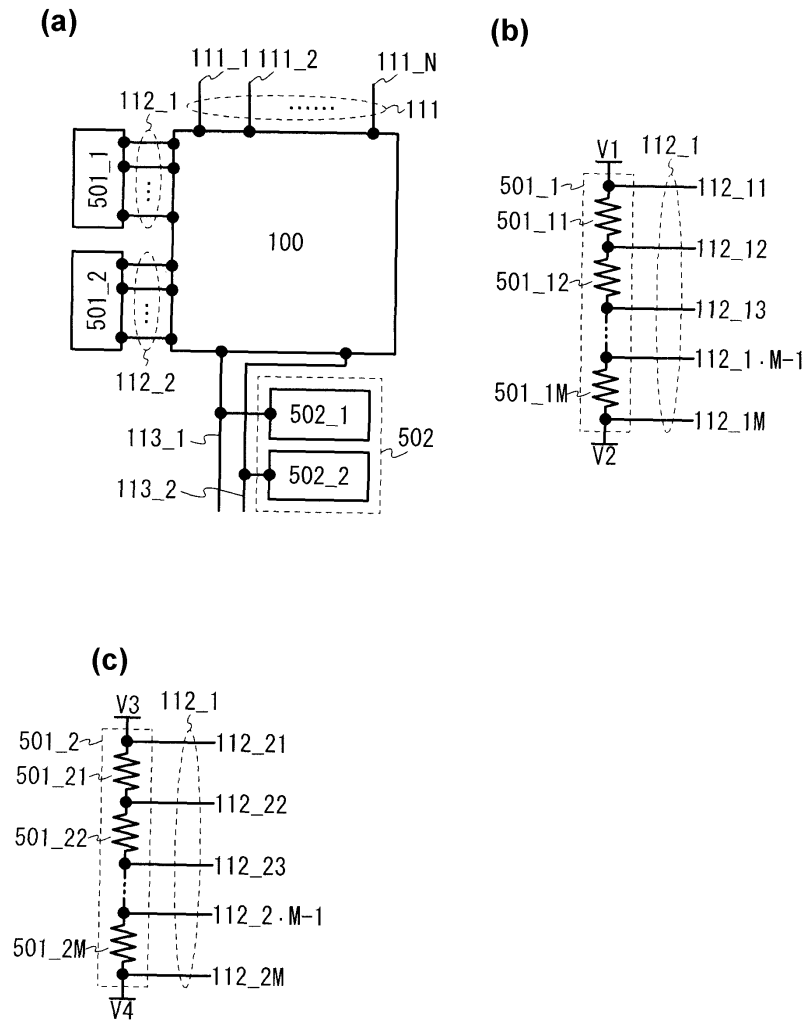
도면7



도면8

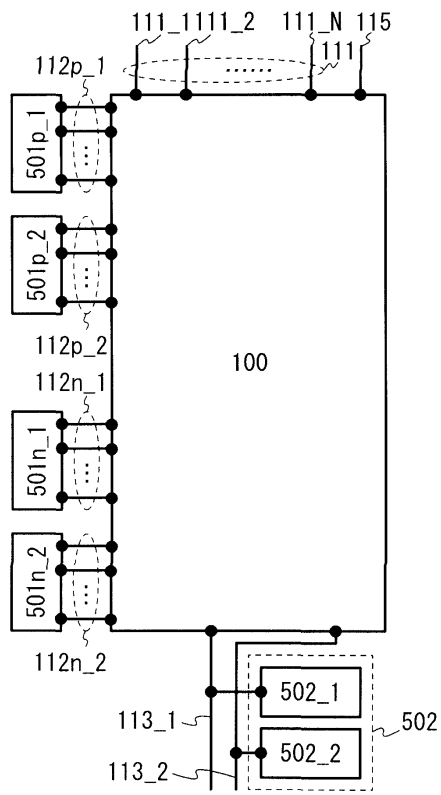


도면9

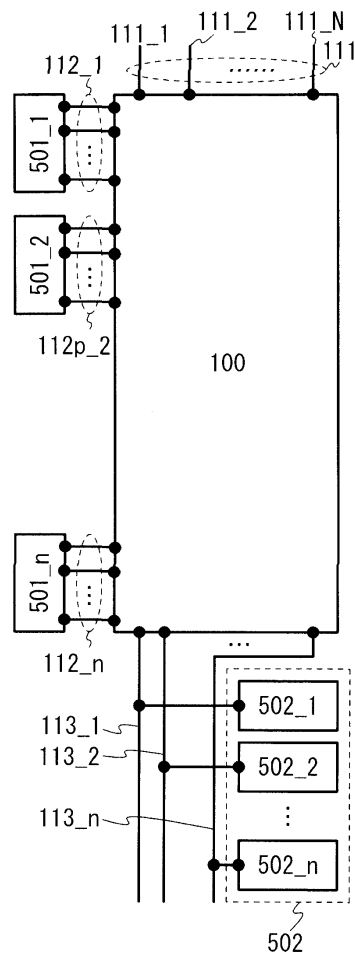


도면10

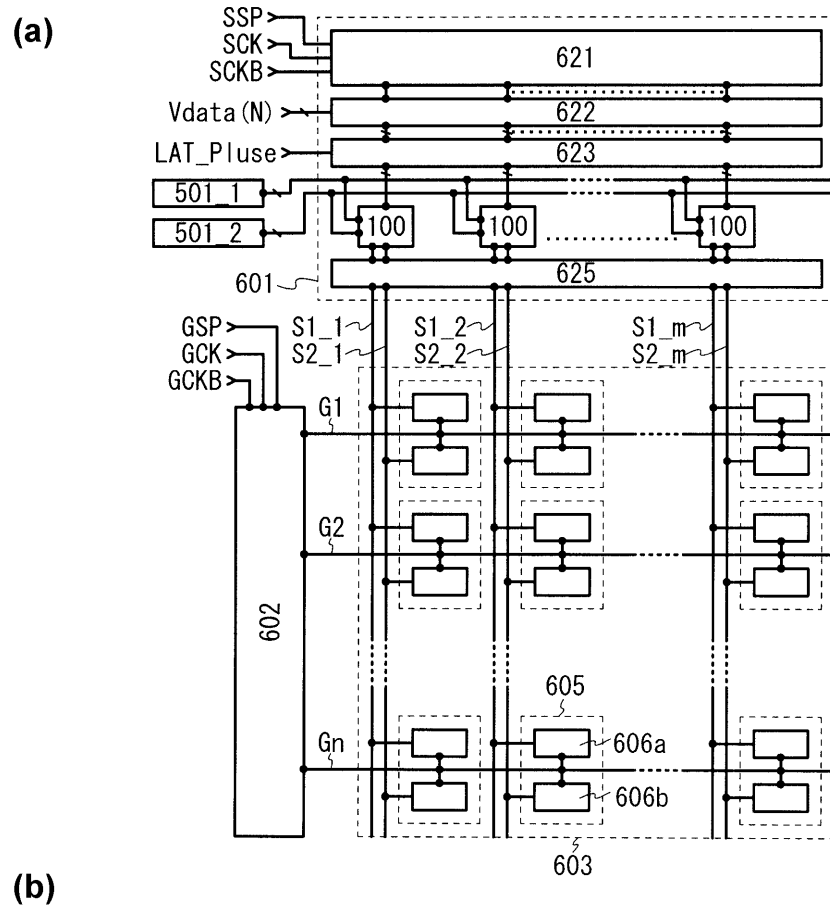
(a)



(b)

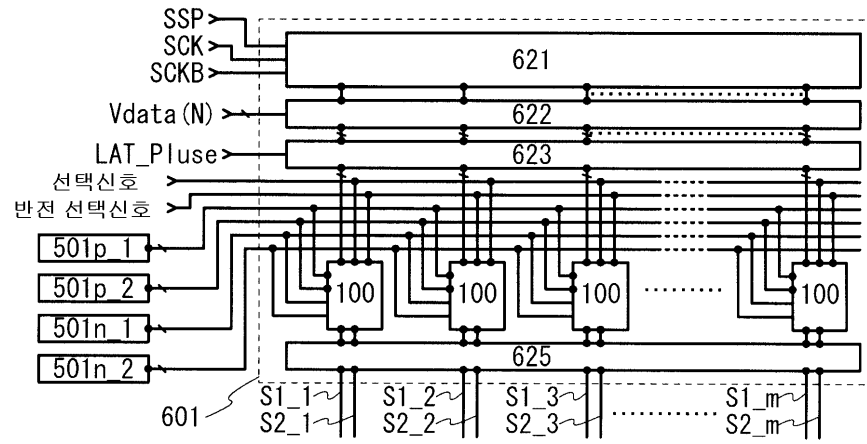


도면11

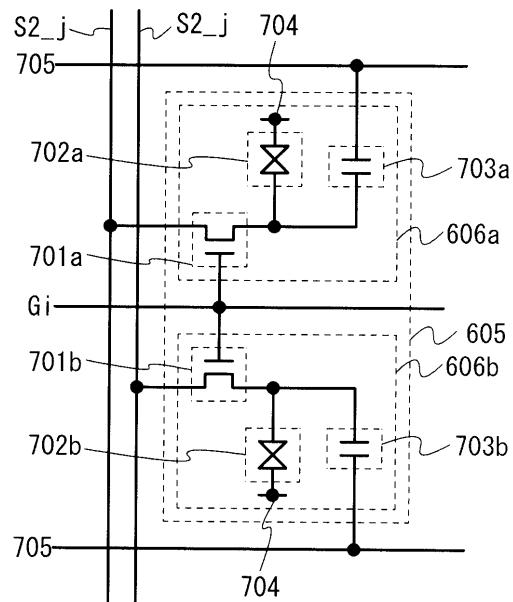


도면12

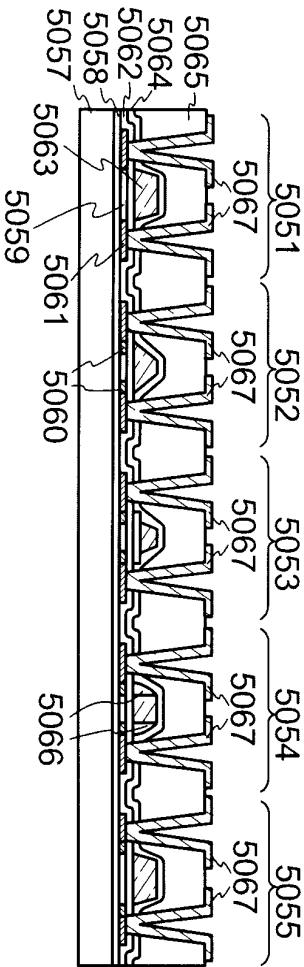
(a)



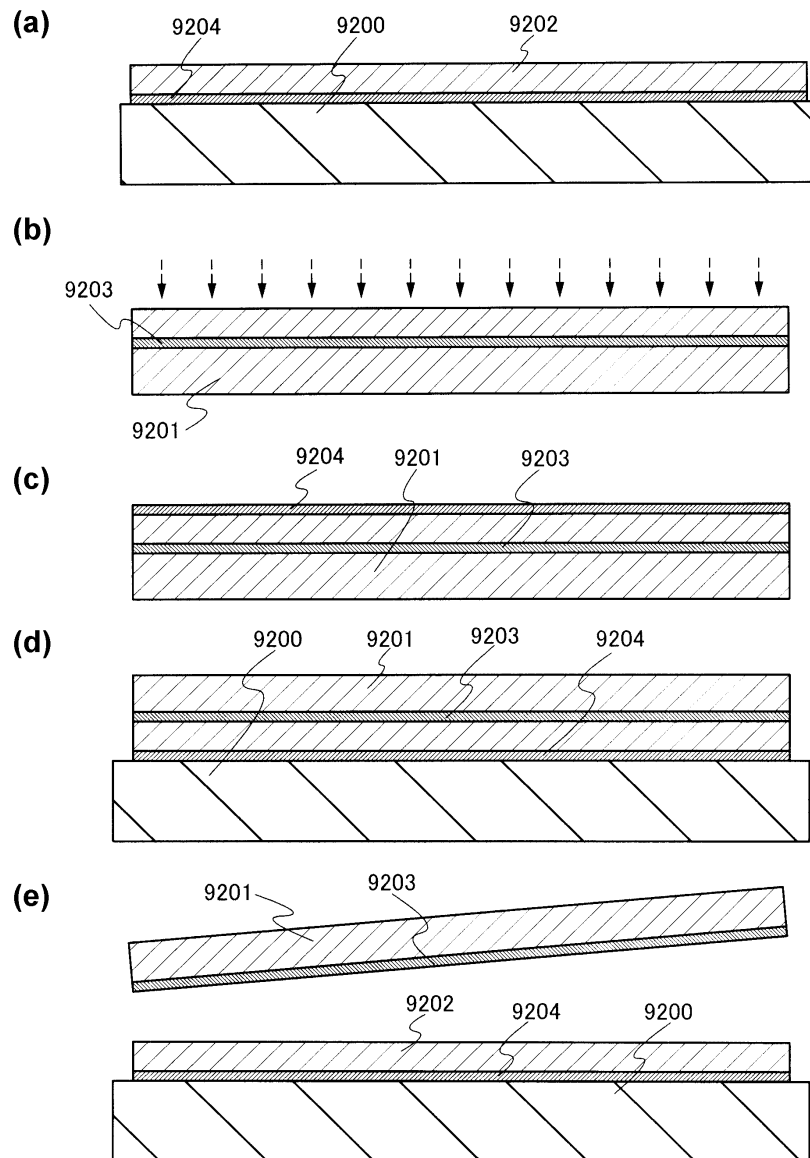
(b)



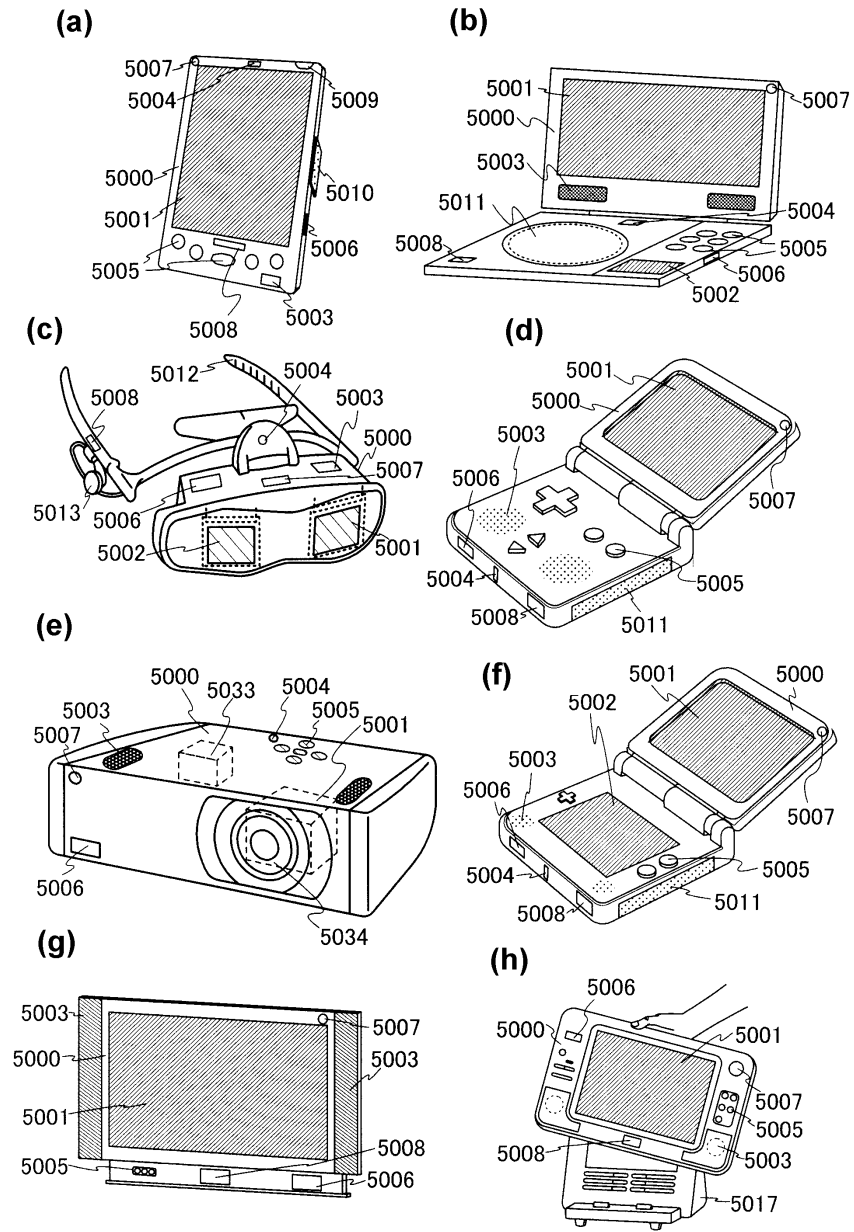
도면13



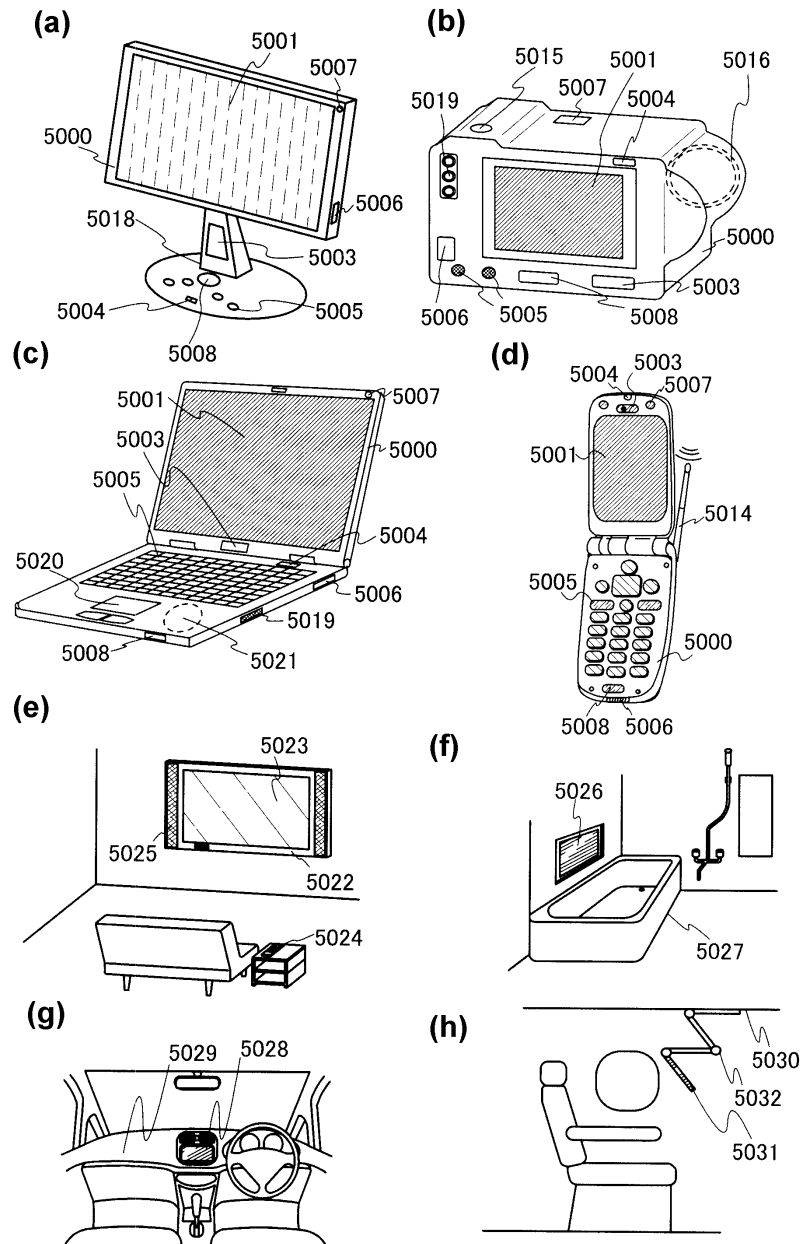
도면14



도면15



도면16



专利名称(译)	显示装置，液晶显示装置和具有液晶显示装置电子装置		
公开(公告)号	KR101645231B1	公开(公告)日	2016-08-03
申请号	KR1020090050316	申请日	2009-06-08
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	KIMURA HAJIME 키무라하지메 UMEZAKI ATSUSHI 우메자키아쓰시		
发明人	키무라하지메 우메자키아쓰시		
IPC分类号	G02F1/133 G09G3/36		
CPC分类号	G09G3/3413 G09G2310/027 G09G2320/0673 G09G2320/068 G09G3/3688 G09G3/3696 G09G3/3607 G09G3/3655 G09G2330/023		
代理人(译)	Yihwaik 金红豆		
优先权	2008150608 2008-06-09 JP		
其他公开文献	KR1020090127814A		
外部链接	Espacenet		

摘要(译)

用途：提供显示装置，液晶显示装置和包括液晶显示装置电子装置，以防止由于通过根据每个子级产生信号从存储装置读取查找表而产生热量。不使用查找表的像素。

