



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2016년03월31일

(11) 등록번호 10-1608165

(24) 등록일자 2016년03월25일

(51) 국제특허분류(Int. Cl.)

G02F 1/1345 (2006.01) G02F 1/1339 (2006.01)

G09G 3/20 (2006.01) G09G 3/36 (2006.01)

G11C 19/00 (2006.01) G11C 19/28 (2006.01)

(21) 출원번호 10-2014-7030850

(22) 출원일자(국제) 2013년05월09일

심사청구일자 2014년11월03일

(85) 번역문제출일자 2014년11월03일

(65) 공개번호 10-2014-0143436

(43) 공개일자 2014년12월16일

(86) 국제출원번호 PCT/JP2013/063022

(87) 국제공개번호 WO 2013/172243

국제공개일자 2013년11월21일

(30) 우선권주장

JP-P-2012-112771 2012년05월16일 일본(JP)

(56) 선행기술조사문헌

WO2011104945 A1*

KR1020060028051 A*

WO20111036911 A1

US20080284963 A1

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

샤프 가부시키키가이샤

일본 오사카후 오사카시 아베노꾸 나가이쎄쵸 22
방 22고

(72) 발명자

모리 다카히로

일본 545-8522 오사카후 오사카시 아베노꾸 나가
이쎄쵸 22방 22고 샤프 가부시키키가이샤 내

(74) 대리인

장수길, 박충범

전체 청구항 수 : 총 12 항

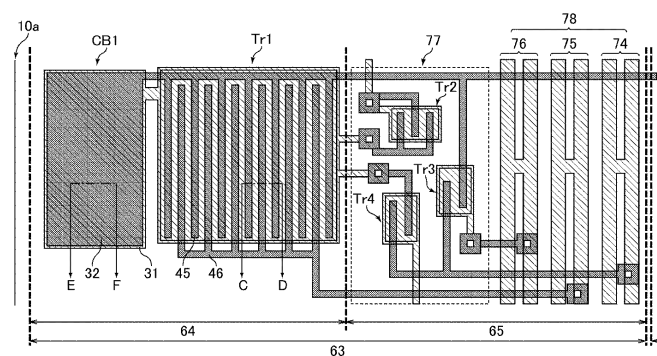
심사관 : 신영교

(54) 발명의 명칭 액정 디스플레이

(57) 요약

본 발명은 품질상의 문제의 발생을 저감할 수 있으면서, 기관 간의 접촉 강도를 향상시킬 수 있는 액정 디스플레이를 제공한다. 본 발명은, 제1 및 제2 기관과, 시일을 구비하는 액정 디스플레이로서, 제1 기관은, 절연 기관 위에 모놀리식으로 형성된 시프트 레지스터와, 복수의 버스 라인과, 제1 단부와, 표시 영역을 포함하고, 시프트 레지스터는, 다단 접속된 복수의 단위 회로와, 복수의 단위 회로에 접속된 배선을 포함하면서, 제1 단부와 표시 영역 사이의 영역 내에 배치되고, 단위 회로 중 적어도 하나는, 클럭 단자와, 출력 단자와, 출력 트랜지스터와, 제2 트랜지스터와, 부트스트랩 콘덴서를 포함하고, 출력 트랜지스터 및 부트스트랩 콘덴서는, 제1 단부와, 배선 또는 제2 트랜지스터 사이의 영역 내에 배치된다.

대표도



명세서

청구범위

청구항 1

제1 기관과, 상기 제1 기관에 대항하는 제2 기관과, 상기 제1 기관과 상기 제2 기관 사이에 설치된 액정층 및 시일(seal)을 구비하는 액정 디스플레이로서,

상기 제1 기관은, 절연 기관과, 상기 절연 기관 위에 모놀리식으로(monolithically) 형성된 시프트 레지스터와, 복수의 버스 라인과, 제1 단부와, 표시 영역을 포함하고,

상기 시프트 레지스터는, 다단 접속된 복수의 단위 회로와, 상기 복수의 단위 회로에 접속된 배선을 포함하면서, 상기 제1 단부와 상기 표시 영역 사이의 영역 내에 배치되고,

상기 복수의 단위 회로 중 적어도 하나는,

클럭 신호가 입력되는 클럭 단자와,

대응하는 버스 라인에 접속되고, 출력 신호가 출력되는 출력 단자와,

소스 및 드레인 중 한쪽이 상기 클럭 단자에 접속되고, 상기 소스 및 상기 드레인 중 다른 쪽이 상기 출력 단자에 접속된 제1 트랜지스터와,

제2 트랜지스터와,

제1 단자가 상기 제1 트랜지스터의 게이트에 접속되고, 제2 단자가 상기 출력 단자에 접속된 콘덴서를 포함하고,

상기 제1 트랜지스터 및 상기 콘덴서는, 상기 제1 단부와 상기 제2 트랜지스터 사이의 영역 내에 배치되고,

상기 제2 트랜지스터는, 상기 표시 영역과, 상기 제1 트랜지스터 및 상기 콘덴서 사이의 영역 내에 배치되는, 액정 디스플레이.

청구항 2

제1항에 있어서,

상기 제1 기관은, 상기 배선 및/또는 상기 제2 트랜지스터가 배치된 제1 영역과, 상기 제1 트랜지스터 및/또는 상기 콘덴서가 배치된 제2 영역을 포함하고,

상기 시일은, 상기 액정층에 인접하는 제1 부분과, 상기 제1 부분에 인접하는 제2 부분을 포함하고,

상기 제1 부분은 상기 제1 영역 위에 배치되고,

상기 제2 부분은 상기 제2 영역 위에 배치되는, 액정 디스플레이.

청구항 3

제1항 또는 제2항에 있어서,

상기 배선은, 상기 표시 영역과, 상기 제1 트랜지스터 또는 상기 콘덴서 사이의 영역 내에 배치되는, 액정 디스플레이.

청구항 4

제3항에 있어서,

상기 배선은, 상기 제2 트랜지스터와 상기 표시 영역 사이의 영역 내에 배치되는, 액정 디스플레이.

청구항 5

제3항에 있어서,

상기 제2 트랜지스터는, 상기 배선과 상기 표시 영역 사이의 영역 내에 배치되는, 액정 디스플레이.

청구항 6

제1항 또는 제2항에 있어서,

상기 제1 트랜지스터 및 상기 콘덴서는, 상기 배선과 상기 제2 트랜지스터 사이의 영역 내에 배치되는, 액정 디스플레이.

청구항 7

제6항에 있어서,

상기 배선은, 상기 제1 단부와, 상기 제1 트랜지스터 또는 상기 콘덴서 사이의 영역 내에 배치되는, 액정 디스플레이.

청구항 8

제1항 또는 제2항에 있어서,

상기 배선은, 상기 제1 트랜지스터와 상기 콘덴서 사이의 영역 내에 배치되는, 액정 디스플레이.

청구항 9

제1항 또는 제2항에 있어서,

상기 시일은, 광경화성 및 열경화성을 갖는 재료의 경화물을 포함하는, 액정 디스플레이.

청구항 10

제1항 또는 제2항에 있어서,

상기 제2 기관은, 상기 시프트 레지스터에 대항하는 차광 부재를 갖는, 액정 디스플레이.

청구항 11

제1항 또는 제2항에 있어서,

상기 배선에는 펄스 신호가 전송되는, 액정 디스플레이.

청구항 12

제1항 또는 제2항에 있어서,

상기 제1 기관은, 상기 표시 영역 내에 설치된 복수의 화소 회로를 포함하고,

상기 복수의 화소 회로는 각각, 화소용 트랜지스터와, 상기 화소용 트랜지스터에 접속된 화소 전극을 포함하고,

상기 복수의 버스 라인은 각각, 대응하는 복수의 화소용 트랜지스터의 게이트에 접속되는, 액정 디스플레이.

청구항 13

삭제

발명의 설명

기술 분야

본 발명은 액정 디스플레이에 관한 것이다. 보다 상세하게는, 시프트 레지스터를 구비한 액정 디스플레이에 적합한 액정 디스플레이에 관한 것이다.

배경 기술

액티브 매트릭스형 액정 디스플레이는, 통상적으로 매트릭스형으로 배열된 화소를 행 단위로 선택하고, 선택한 화소에 표시 데이터에 따른 전압을 기입함으로써 화상을 표시한다. 화소를 행 단위로 선택하기 위해서, 게이트

[0001]

[0002]

버스 라인용 구동 회로(이하, '게이트 드라이버'라고도 함) 내에는, 클럭 신호에 기초하여 출력 신호(주사 신호)를 순서대로 시프트하는 시프트 레지스터가 설치된다.

[0003] 게이트 드라이버는, 화소 내의 박막 트랜지스터(TFT)를 형성하기 위한 제조 프로세스를 이용하여, 화소 내의 TFT와 동시에 형성되는 경우가 있다. 예를 들어, 아몰퍼스 실리콘을 사용하여 화소 내의 TFT를 형성하는 경우, 제조 비용을 삭감하기 위해서, 게이트 드라이버에 포함되는 시프트 레지스터도 아몰퍼스 실리콘을 사용하여 형성되는 것이 바람직하다. 이와 같이 최근에는, 게이트 드라이버는, 어레이 기판 위에 모놀리식(monolithically) 형성되는 경우가 있다.

[0004] 또한 최근 들어, 액정 디스플레이의 액정 패널 내에 액정 재료를 충전하는 방법으로서, 적하 주입법(ODF법)이 개발되었다. 적하 주입법에 의하면, 2매의 기판을 접합하는 공정과, 액정 재료를 2매의 기판 사이에 봉입하는 공정을 동시에 행할 수 있다.

[0005] 게이트 드라이버의 모놀리식 형성에 관한 기술로서는, 이하를 예로 들 수 있다.

[0006] 표시 장치로서, 표시 패널은, 복수의 게이트선 및 복수의 데이터선이 설치된 제1 기판과, 제1 기판에 대향하는 제2 기판과, 제1 기판 및 제2 기판을 결합하는 밀봉재를 포함하고, 게이트 구동부는, 외부로부터 복수의 신호를 수신하는 배선부와, 복수의 신호에 응답하여 구동 신호를 출력하는 회로부를 포함하고, 배선부에는, 밀봉재를 경화하기 위해 제1 기판의 배면을 통하여 입사된 광을 투과시키는 개구부가 형성된 표시 장치가 개시되어 있다(예를 들어, 특허문헌 1 참조). 특허문헌 1에는, 밀봉재에 의해 제1 기판과 제2 기판의 결합력을 향상시키는 것이 기재되어 있다.

[0007] 회로부 및 배선부를 포함하는 구동 유닛으로서, 회로부는, 종속적으로 접속된 복수의 스테이지를 포함하고, 복수의 제어 신호에 따라서 구동 신호를 출력하고, 배선부는, 외부로부터 복수의 제어 신호의 입력을 받는 제1 및 제2 신호 배선과, 제1 신호 배선을 복수의 스테이지에 접속시키는 제1 접속 배선과, 제2 신호 배선을 복수의 스테이지에 접속시키는 제2 접속 배선을 포함하고, 제1 신호 배선, 제1 및 제2 접속 배선은, 제2 신호 배선과 다른 층에 배치되는 구동 유닛이 개시되어 있다(예를 들어, 특허문헌 2 참조).

[0008] 게이트 배선, 구동 회로부, 신호 배선부, 연결 배선부 및 콘택트부를 포함하는 표시 기판으로서, 게이트 배선은, 표시 영역에 형성되고, 소스 배선과 교차하고, 구동 회로부는, 표시 영역을 둘러싸는 주변 영역에 형성되고, 게이트 배선에 게이트 신호를 출력하고, 신호 배선부는, 구동 회로부와 인접하여 형성되고, 소스 배선의 연장 방향으로 연장되고, 구동 신호를 전달하는 것이며, 연결 배선부는, 신호 배선부 위에 겹치는 일단부와, 구동 회로부에 전기적으로 연결된 타단부를 포함하고, 콘택트부는, 신호 배선부 위에 형성되고, 연결 배선부의 일단부와 신호 배선 부를 전기적으로 접속하는 표시 기판이 개시되어 있다(예를 들어, 특허문헌 3 참조).

[0009] 복수의 구동 스테이지와 더미 스테이지로 구성되는 구동 회로로서, 복수의 구동 스테이지는, 각 스테이지의 출력 단자가 이전 스테이지의 제어 단자에 연결됨으로써, 서로 종속적으로 연결되고, 매트릭스 형태로 배열된 각각의 화소 위에 형성된 스위칭 소자에 연결된 복수의 구동 신호 라인에 스위칭 소자 구동 신호를 순차 출력하고, 더미 스테이지는, 더미 출력 단자가 복수의 구동 스테이지 중, 마지막 스테이지의 제어 단자 및 자체의 더미 제어 단자에 각각 연결되는 구동 회로가 개시되어 있다(예를 들어, 특허문헌 4 참조).

[0010] 종래의 제1 보조 용량 간배선(auxiliary capacitive trunk wiring)의 폭을 좁게 형성하고, 또한 제2 보조 용량 간배선을 새롭게 설치하고, 이것을 기판의 외연부에 가장 가까운 위치에 배치한 액정 표시 장치가 개시되어 있다(예를 들어, 특허문헌 5 참조). 특허문헌 5의 제5 실시 형태 및 도 13에는, 제2 보조 용량 간배선(440)과, 구동 신호 공급 간배선(420) 중 가장 폭이 큰 직류 전압 VSS용 배선(420a)에 슬릿형 개구부가 형성된 구조가 기재되어 있다.

[0011] 제1 및 제2 용량 전극에 의해 형성된 제1 용량과, 제3 및 제4 용량 전극에 의해 형성된 제2 용량과, 제1 인출 배선과, 게이트 전극에 접속된 제2 인출 배선과, 제3 인출 배선과, 제4 인출 배선과, 제1 배선과, 제2 배선을 구비하는 TFT가 개시되어 있다(예를 들어, 특허문헌 6 참조).

[0012] 단위 회로를 다단 접속하여 구성된 시프트 레지스터로서, 단위 회로는, 클럭 단자와 출력 단자 사이에 설치되고, 게이트 전위에 따라서 클럭 신호를 통과시킬지 여부를 전환하는 출력 트랜지스터와, 한쪽의 도통 단자가 출력 단자의 게이트에 접속된 하나 이상의 제어 트랜지스터를 포함하고, 출력 트랜지스터가 온 상태에서 클럭 신호가 하이 레벨로 되는 기간에서는, 출력 트랜지스터의 게이트 전위가 클럭 신호의 하이 레벨 전위보다도 높아지도록 구성되어 있으며, 제어 트랜지스터 중에, 출력 트랜지스터보다도 채널 길이가 긴 트랜지스터가

포함되어 있는 시프트 레지스터가 개시되어 있다(예를 들어, 특허문헌 7 참조).

[0013] 기관 위에, 복수의 시프트 레지스터단이 종속 접속된 구성을 구비하도록 형성된 시프트 레지스터로서, 시프트 레지스터단은, 2개의 소스/드레인 전극 중 적어도 한쪽에 대하여 게이트 전극과 반대측에서 막 두께 방향에 대향하는 용량 전극을 구비한 제1 트랜지스터를 구비하고 있으며, 용량 전극과, 용량 전극에 대향하는 어느 한쪽의 소스/드레인 전극 중 어느 한쪽은, 시프트 레지스터단의 출력 트랜지스터의 제어 전극과 전기적으로 접속되어 있는 시프트 레지스터가 개시되어 있다(예를 들어, 특허문헌 8 참조).

[0014] 적하 주입법에 관한 기술로서는, 이하를 예로 들 수 있다.

[0015] TFT 기관과, TFT 기관에 대향 배치된 CF 기관과, TFT 기관과 CF 기관 사이에 끼워지고, 양 기관의 주변부에 형성된 시일재(sealing material)와, TFT 기관과 CF 기관 사이에 개재되는 액정층을 구비하는 액정 표시 패널로서, CF 기관은, 시일재가 설치되는 주변부에 차광층을 갖고, 차광층은, TFT 기관의 배선과 겹치는 영역에 간극을 갖는 액정 표시 패널이 개시되어 있다(예를 들어, 특허문헌 9 참조).

[0016] 서로 대향 배치된 액티브 매트릭스 기관 및 대향 기관과, 양 기관 사이에 형성된 액정층을 구비하고, 표시 영역과 그 주위의 비표시 영역이 규정된 액정 표시 패널로서, 비표시 영역에 있어서, 양 기관 사이에는 폭이 좁은 선형 부분과 선형 부분보다도 폭이 넓은 광폭 부분을 갖고, 광경화성 재료에 의해 구성된 프레임 형상의 시일부가 설치되고, 액티브 매트릭스 기관에는 차광성의 표시용 배선이 패턴 형성되고, 대향 기관에는 시일부의 내주단부를 따라서 형성되고 광폭 부분에 대응한 위치에 절결 부분을 갖는 블랙 매트릭스가 설치되어 있는 액정 표시 패널이 개시되어 있다(예를 들어, 특허문헌 10 참조).

[0017] 폐환 형상(closed-circular)의 자외선 경화형 시일을 제1 투명 기관에 형성하는 시일 형성 공정과, 시일로 둘러싸인 영역 내에 액정을 적하하는 액정 적하 공정과, 소정의 간극을 갖고 제1 투명 기관에 제2 투명 기관을 시일을 개재하여 접합한 후에, 시일을 본경화하는 시일 본경화 공정을 가지며, 시일 형성 공정과 액정 적하 공정 사이에, 차광부를 갖는 마스크를 개재하여 시일 내측 영역에 상기 자외선을 조사하여, 시일의 일부 영역을 가경화하는 시일 가경화 공정을 행하는 액정 광학 소자의 제조 방법이 개시되어 있다(예를 들어, 특허문헌 11 참조).

선행기술문헌

특허문헌

[0018] (특허문헌 0001) 일본 특허공개 제2006-39524호 공보
(특허문헌 0002) 일본 특허공개 제2006-79041호 공보
(특허문헌 0003) 일본 특허공개 제2008-26865호 공보
(특허문헌 0004) 일본 특허공표 제2005-522734호 공보
(특허문헌 0005) 국제공개 제2011/067963호
(특허문헌 0006) 국제공개 제2009/150862호
(특허문헌 0007) 국제공개 제2010/137197호
(특허문헌 0008) 국제공개 제2011/135873호
(특허문헌 0009) 국제공개 제2006/098475호
(특허문헌 0010) 일본 특허공개 제2007-65037호 공보
(특허문헌 0011) 일본 특허공개 제2009-210965호 공보

발명의 내용

해결하려는 과제

[0019] 도 19를 참조하여, 비교 형태 1에 따른 액정 디스플레이에 대하여 설명한다.

[0020] 비교 형태 1에 따른 액정 디스플레이는, 어레이 기관과, 대향 기관과, 양 기관을 서로 접합하기 위한 시일과,

어레이 기판 위에 모놀리식으로 형성된 시프트 레지스터를 구비하고 있다. 시프트 레지스터는, 게이트 버스 라인에 접속된 출력 트랜지스터 Tr11과, 출력 트랜지스터 Tr11에 접속된 부트스트랩 콘덴서 CB11과, 트랜지스터 Tr12 내지 Tr14와, 배선(174 내지 176)을 포함하는 배선군(178)을 갖고 있다.

[0021] 비교 형태 1에 따른 액정 디스플레이는, 적하 주입법에 의해 제작되어 있으며, 시일은, 광경화성(예를 들어 자외선 경화성) 및 열경화성을 갖는 시일재의 경화물을 포함하고 있다. 시일재는, 광이 조사됨으로써 어느 정도까지 경화(가경화)되고, 그 후, 열처리가 실시됨으로써 충분히 경화(본경화)된다. 어레이 기판은, 굽은 파선으로 경계지어진 띠 형상의 영역(163: 이하, '시일 도포 영역'이라고도 함)을 포함하고 있으며, 시일은, 시일 도포 영역(163) 위에 띠 형상으로 형성되어 있다. 시일 도포 영역(163)은, 한쪽 단부가 배선군(178)과 어레이 기판의 단부(110a) 사이에 설정되고, 다른 쪽 단부가 부트스트랩 콘덴서 CB11과 출력 트랜지스터 Tr11 사이에 설정되어 있다.

[0022] 여기서, 시일의 폭은, 이하의 이유에서, 가능한 한 좁게 형성되는 것이 요망된다.

[0023] 제1 이유는, 화면의 고정밀화 및/또는 대화면화에 기인하여 출력 트랜지스터 Tr11 및 부트스트랩 콘덴서 CB11의 면적이 증가하기 때문이다. 이 결과, 부트스트랩 콘덴서 CB11 및 출력 트랜지스터 Tr11이 배치되어 있는 영역(164)의 폭은 넓어지는 경향이 있다. 또한, 고정밀화 및/또는 대화면화하면, 표시 영역 내의 화소용 트랜지스터의 게이트에 소정의 전압을 인가하는 능력, 즉, 인가 능력을 높게 할 필요가 있기 때문에, 출력 트랜지스터 Tr11 및 부트스트랩 콘덴서 CB11의 면적이 증가한다.

[0024] 제2 이유는, 액정 디스플레이를 이용한 전자 기기의 모바일성을 추구하는 일환으로서, 게이트 드라이버, 소스 드라이버 등이 배치되는 프레임 영역의 폭이 좁아지는 경향이 있기 때문이다. 이 결과, 시일 도포 영역(163)의 폭이 좁아지는 경향이 있다.

[0025] 그러나, 시일의 폭을 좁게 한 경우, 어레이 기판과 시일의 접촉 면적 및 대향 기판과 시일의 접촉 면적이 작아진다. 그로 인해, 액정 디스플레이에 외부로부터 물리적인 힘을 가했을 때의 패널 박리 강도가 약해진다. 결과로서, 액정 누설 등의 품질상의 문제가 발생하는 경우가 있다.

[0026] 또한, 만약 가령, 시일재를 출력 트랜지스터 Tr11 및 부트스트랩 콘덴서 CB11 위에도 도포한 경우에는, 출력 트랜지스터 Tr11 및 부트스트랩 콘덴서 CB11 위에 있어서, 시일재에 조사되는 광이 부족하여, 시일재를 충분히 가경화할 수 없는 경우가 있다. 이것은, 출력 트랜지스터 Tr11 및 부트스트랩 콘덴서 CB11은, 차광성의 전극을 포함하고, 차광 부재로서 기능하며, 이들에 의해 광이 차단되기 때문이다. 그리고, 이 경우, 가경화되지 않은 시일재 부분이 액정 재료에 접촉하면, 시일재 성분이 액정 재료 중에 용해되고, 그 결과, 표시 불량 등의 품질상의 문제가 발생하는 경우가 있다. 따라서, 비교 형태 1에서는, 시일 도포 영역(163)은, 출력 트랜지스터 Tr11 및 부트스트랩 콘덴서 CB11 이외의 영역에 설정할 필요가 있다.

[0027] 또한, 특허문헌 11에 기재된 기술에서는, 시일 형성 공정과 액정 적하 공정 사이의 시일 가경화 공정에 있어서, 차광부를 갖는 마스크가 필요해지기 때문에, 액정 디스플레이 자체의 단가가 올라 버린다. 또한, 시일 가경화 공정은, 제1 및 제2 투명 기판을 접합하기 전에 행할 필요가 있으며, 가경화 공정 후부터 양 기판을 접합할 때까지의 시간이 길어진다. 그로 인해, 먼지 등의 이물이 액정층에 혼입되고, 표시 휘점 등의 표시 품질상의 문제를 초래할 우려가 있다.

[0028] 본 발명은, 상기 현 상황을 감안하여 이루어진 것으로, 품질상의 문제의 발생을 저감할 수 있으면서, 기판 간의 접촉 강도를 향상시킬 수 있는 액정 디스플레이를 제공하는 것을 목적으로 하는 것이다.

과제의 해결 수단

[0029] 본 발명자는, 품질상의 문제의 발생을 저감할 수 있으면서, 기판 간의 접촉 강도를 향상시킬 수 있는 액정 디스플레이에 대하여 다양하게 검토한 바, 시프트 레지스터에 포함되는 소자 및 배선의 레이아웃에 착안하였다. 그리고, 어레이 기판의 제1 단부와 표시 영역 사이에 배치된 시프트 레지스터에 있어서, 출력 트랜지스터 및 부트스트랩 콘덴서를 제1 단부와 이들 이외의 부재(보다 상세하게는, 배선, 또는 출력 트랜지스터 이외의 트랜지스터(제2 트랜지스터)) 사이의 영역 내에 배치함으로써, 배선 및/또는 제2 트랜지스터를 출력 트랜지스터 및 부트스트랩 콘덴서의 표시 영역측에 배치할 수 있다는 사실을 알아내었다. 또한, 배선 및/또는 제2 트랜지스터가 배치된 영역 위에 있어서 시일재를 가경화 및 본경화할 수 있으며, 한편, 출력 트랜지스터 및/또는 부트스트랩 콘덴서가 배치된 영역 위에 있어서 시일재를 본경화할 수 있다는 사실을 알아내었다. 이상의 결과, 시일재 성분이 액정층에 용해되는 것을 억제할 수 있고, 또한 시일재의 도포 영역을 넓게 설정할 수 있으며, 또한, 액정

누설의 발생을 억제할 수 있음을 알아내고, 상기 과제를 훌륭하게 해결할 수 있다는 사실에 상도하여, 본 발명에 도달한 것이다.

- [0030] 즉, 본 발명의 한 측면은, 제1 기판과, 상기 제1 기판에 대항하는 제2 기판과, 상기 제1 기판과 상기 제2 기판 사이의 영역 내에 설치된 시일을 구비하는 액정 디스플레이로서,
- [0031] 상기 제1 기판은, 절연 기판과, 상기 절연 기판 위에 모놀리식으로 형성된 시프트 레지스터와, 복수의 버스 라인과, 제1 단부와, 표시 영역을 포함하고,
- [0032] 상기 시프트 레지스터는, 다단 접속된 복수의 단위 회로와, 상기 복수의 단위 회로에 접속된 배선을 포함하면서, 상기 제1 단부와 상기 표시 영역 사이의 영역 내에 배치되고,
- [0033] 상기 복수의 단위 회로 중 적어도 하나는,
- [0034] 클럭 신호가 입력되는 클럭 단자와,
- [0035] 대응하는 버스 라인에 접속되고, 출력 신호가 출력되는 출력 단자와,
- [0036] 소스 및 드레인 중 한쪽이 상기 클럭 단자에 접속되고, 상기 소스 및 상기 드레인 중 다른 쪽이 상기 출력 단자에 접속된 제1 트랜지스터(출력 트랜지스터)와,
- [0037] 제2 트랜지스터와,
- [0038] 제1 단자가 상기 제1 트랜지스터의 게이트에 접속되고, 제2 단자가 상기 출력 단자에 접속된 콘텐서(부트스트랩 콘텐서)를 포함하고,
- [0039] 상기 제1 트랜지스터 및 상기 콘텐서는, 상기 제1 단부와, 상기 배선 또는 상기 제2 트랜지스터 사이의 영역 내에 배치되는 액정 디스플레이(이하, 「본 발명에 따른 디스플레이」라고도 함)이다.
- [0040] 본 발명에 따른 디스플레이의 구성으로서는, 이와 같은 구성 요소가 필수적으로 형성되는 것인 한, 그 밖의 구성 요소에 의해 특별히 한정되는 것은 아니다.
- [0041] 또한, 상기 시프트 레지스터는, 상기 배선을 복수 가져도 되고, 상기 적어도 하나의 단위 회로는, 상기 제2 트랜지스터를 복수 가져도 된다. 이들의 경우, 상기 복수의 배선의 용도는 통상적으로 서로 다르며, 상기 복수의 제2 트랜지스터의 용도는 통상적으로 서로 다르다.
- [0042] 본 발명에 따른 디스플레이에 있어서의 바람직한 실시 형태에 대하여 이하에 설명한다. 또한, 이하의 바람직한 실시 형태는, 적절히 서로 조합되어도 되고, 이하의 둘 이상의 바람직한 실시 형태를 서로 조합한 실시 형태도 또한, 바람직한 실시 형태의 하나이다.
- [0043] (A) 상기 제1 기판은, 상기 배선 및/또는 상기 제2 트랜지스터가 배치된 제1 영역과, 상기 제1 트랜지스터 및/또는 상기 콘텐서가 배치된 제2 영역을 포함하고,
- [0044] 상기 시일은, 상기 액정층에 인접하는 제1 부분과, 상기 제1 부분에 인접하는 제2 부분을 포함하고,
- [0045] 상기 제1 부분은 상기 제1 영역 위에 배치되고,
- [0046] 상기 제2 부분은 상기 제2 영역 위에 배치되는 것이 바람직하다.
- [0047] (B) 상기 배선 및 상기 제2 트랜지스터는, 상기 표시 영역과, 상기 제1 트랜지스터 또는 상기 콘텐서 사이의 영역 내에 배치되어도 된다.
- [0048] 상기 실시 형태 (B)에 있어서, 상기 배선은, 상기 제2 트랜지스터와 상기 표시 영역 사이의 영역 내에 배치되어도 된다.
- [0049] 상기 실시 형태 (B)에 있어서, 상기 제2 트랜지스터는, 상기 배선과 상기 표시 영역 사이의 영역 내에 배치되어도 된다.
- [0050] (C) 상기 제1 트랜지스터 및 상기 콘텐서는, 상기 배선과 상기 제2 트랜지스터 사이의 영역 내에 배치되어도 된다.
- [0051] 상기 실시 형태 (C)에 있어서, 상기 제2 트랜지스터는, 상기 제1 단부와, 상기 제1 트랜지스터 또는 상기 콘텐서 사이의 영역 내에 배치되어도 된다.

- [0052] 상기 실시 형태 (C)에 있어서, 상기 배선은, 상기 제1 단부와, 상기 제1 트랜지스터 또는 상기 콘텐서 사이의 영역 내에 배치되어도 된다. 이 경우, 외부로부터 침입하는 정전기로부터 제1 및 제2 트랜지스터를 배선에 의해 보호할 수 있다.
- [0053] (D) 상기 배선 및 상기 제2 트랜지스터 중 한쪽은, 상기 표시 영역과, 상기 제1 트랜지스터 또는 상기 콘텐서 사이의 영역 내에 배치되고,
- [0054] 상기 배선 및 상기 제2 트랜지스터 중 다른 쪽은, 상기 제1 트랜지스터와 상기 콘텐서 사이의 영역 내에 배치되어도 된다.
- [0055] (E) 상기 시일은, 광경화성 및 열경화성을 갖는 재료의 경화물을 포함하는 것이 바람직하다.
- [0056] (F) 상기 제2 기관은, 상기 시프트 레지스터에 대항하는 차광 부재를 갖는 것이 바람직하다.
- [0057] 상기 배선의 용도는 특별히 한정되지 않지만, 하기 실시 형태 (G)가 적합하다.
- [0058] (G) 상기 배선에는 펄스 신호가 전송된다.
- [0059] 상기 버스 라인의 용도는 특별히 한정되지 않지만, 하기 실시 형태 (H)가 적합하다. 또한, 상기 복수의 버스 라인은 통상적으로 1행 또는 1열의 화소 회로에 공통적으로 접속된다.
- [0060] (H) 상기 제1 기관은, 상기 표시 영역 내에 설치된 복수의 화소 회로를 포함하고,
- [0061] 상기 복수의 화소 회로는 각각, 화소용 트랜지스터와, 상기 화소용 트랜지스터에 접속된 화소 전극을 포함하고,
- [0062] 상기 복수의 버스 라인은 각각, 대응하는 복수의 화소용 트랜지스터의 게이트에 접속되는 것이 바람직하다.

발명의 효과

- [0063] 본 발명에 의하면, 품질상의 문제의 발생을 저감할 수 있으면서, 기관 간의 접촉 강도를 향상시킬 수 있는 액정 디스플레이를 실현할 수 있다.

도면의 간단한 설명

- [0064] 도 1은, 실시 형태 1의 액정 디스플레이에 포함되는 액정 패널의 평면 모식도이다.
- 도 2는, 도 1의 A-B선에 있어서의 단면 모식도이다.
- 도 3은, 실시 형태 1의 액정 디스플레이에 포함되는 액정 패널의 평면 모식도이다.
- 도 4는, 실시 형태 1의 액정 디스플레이의 구성을 나타내는 블록도이다.
- 도 5는, 실시 형태 1에 있어서의 시프트 레지스터의 구성을 나타내는 블록도이다.
- 도 6은, 실시 형태 1에 있어서의 시프트 레지스터에 포함되는 단위 회로의 회로도이다.
- 도 7은, 실시 형태 1에 있어서의 시프트 레지스터의 타이밍차트를 나타낸다.
- 도 8은, 실시 형태 1에 있어서의 시프트 레지스터의 타이밍차트를 나타낸다.
- 도 9는, 실시 형태 1의 액정 디스플레이의 프레임 영역에서의 구성을 나타내는 평면 모식도이다.
- 도 10은, 실시 형태 1의 액정 디스플레이의 프레임 영역에서의 구성을 나타내는 평면 모식도이다.
- 도 11은, 도 9의 C-D선에 있어서의 단면 모식도이다.
- 도 12는, 도 9의 E-F선에 있어서의 단면 모식도이다.
- 도 13은, 실시 형태 1의 액정 디스플레이의 제조 공정을 설명하기 위한 도면이다.
- 도 14는, 실시 형태 1의 액정 디스플레이의 프레임 영역에서의 구성을 나타내는 평면 모식도이다.
- 도 15는, 실시 형태 2의 액정 디스플레이의 프레임 영역에서의 구성을 나타내는 평면 모식도이다.
- 도 16은, 실시 형태 3의 액정 디스플레이의 프레임 영역에서의 구성을 나타내는 평면 모식도이다.
- 도 17은, 실시 형태 4의 액정 디스플레이의 프레임 영역에서의 구성을 나타내는 평면 모식도이다.

도 18은, 실시 형태 5의 액정 디스플레이의 프레임 영역에서의 구성을 나타내는 평면 모식도이다.

도 19는, 비교 형태 1의 액정 디스플레이의 프레임 영역에서의 구성을 나타내는 평면 모식도이다.

발명을 실시하기 위한 구체적인 내용

- [0065] 이하에 실시 형태를 예로 들어, 본 발명을 도면을 참조하여 더 상세히 설명하지만, 본 발명은 이들 실시 형태에만 한정되는 것은 아니다.
- [0066] (실시 형태 1)
- [0067] 도 1 내지 도 14를 참조하여, 실시 형태 1의 액정 디스플레이에 대하여 설명한다. 우선, 도 1 내지 도 3을 참조하여, 본 실시 형태의 액정 디스플레이의 전체 구조에 대하여 설명한다.
- [0068] 본 실시 형태의 액정 디스플레이는, 액티브 매트릭스 구동 방식이면서, 투과형 액정 디스플레이이며, 액정 패널(1)과, 액정 패널(1)의 후방에 배치된 백라이트(도시생략)와, 액정 패널(1) 및 백라이트를 구동 및 제어하는 제어부(도시생략)와, 액정 패널(1)을 제어부에 접속하는 플렉시블 기판(도시생략)을 구비하고 있다.
- [0069] 액정 패널(1)은, 화상을 표시하는 표시부(2)를 포함하고, 표시부(2)에는, 복수의 화소(3)가 매트릭스형으로 배치되어 있다. 또한, 각 화소(3)는, 복수 색(예를 들어, 적, 녹 및 청의 3색)의 서브 화소로 구성되어도 된다. 한편, 본 실시 형태의 액정 디스플레이는, 모노크롬 액정 디스플레이이어도 되며, 그 경우에는, 각 화소(3)를 복수의 서브 화소로 분할할 필요는 없다.
- [0070] 액정 패널(1)은, 상기 제1 기판에 대응하는 어레이 기판(10: 액티브 매트릭스 기판)과, 상기 제2 기판에 대응하고, 어레이 기판(10)에 대향하는 대향 기판(50)과, 기판(10, 50) 사이에 형성된 액정층(61: 표시용 매체) 및 시일(62)과, 어레이 기판(10)의 액정층(61)측의 표면 위에 형성된 배향막(도시생략)과, 대향 기판(50)의 액정층(61)측의 표면 위에 형성된 배향막(도시생략)과, 어레이 기판(10) 위에 실장된 소스 드라이버(5)를 갖고 있다. 또한, 액정 패널(1), 어레이 기판(10) 및 대향 기판(50)은, 표시부(2)에 대응하는 영역(7: 표시 영역)과, 표시 영역(7)의 주위 영역(8: 프레임 영역)을 포함하고 있다. 또한, 소스 드라이버(5)는, 후술하는 소스 버스 라인용 구동 회로이다.
- [0071] 시일(62)은, 표시 영역(7)을 둘러싸도록 프레임 영역(8) 내에 형성되어 있다. 또한, 시일(62)은, 기판(10, 50)을 서로 접착함과 함께, 액정층(61)을 기판(10, 50) 사이에 밀봉하고 있다.
- [0072] 어레이 기판(10)은, 액정 디스플레이의 배면측에 설치되고, 대향 기판(50)은 관찰자측에 설치되어 있다. 어레이 기판(10)에는 백라이트로부터 광이 조사되고, 그리고, 액정 패널(1)에 표시되는 화상이 대향 기판(50)측으로부터 관찰된다. 각 기판(10, 50)의 액정층(61)과는 반대측의 표면 위에는, 편광판(도시생략)이 접착되어 있다. 이들 편광판은, 통상적으로는 크로스니콜로 배치되어 있다. 소스 드라이버(5)는, 어레이 기판(10)의 대향 기판(50)에 대향하지 않는 영역, 즉 대향 기판(50)으로부터 비어져 나온 영역(이하, '돌출 영역'이라고도 함)에 COG(Chip On Glass) 기술에 의해 실장되어 있다.
- [0073] 어레이 기판(10)은, 표시 영역(7)의 좌우에 모놀리식으로 형성된 게이트 드라이버(6a, 6b)와, 돌출 영역 내에 형성된 단자(26, 27, 28, 29, 30)와, 표시 영역(7)을 중단하도록 설치된 소스 버스 라인(12: 데이터 신호선)과, 표시 영역(7)을 횡단하도록 설치된 게이트 버스 라인(13: 주사 신호선) 및 공통 버스 라인(17)과, 프레임 영역(8) 내에 각각 형성된 인출선(18, 19)과, 표시 영역(7)을 둘러싸도록 프레임 영역(8) 내에 형성된 배선(16: 이하, '공통 간배선(common truck wiring)'이라고도 함)과, 프레임 영역(8) 내에 형성된 입력 배선(25)을 갖고 있다. 게이트 버스 라인(13)은, 좌측의 게이트 드라이버(6a)의 출력 단자에 접속된 게이트 버스 라인(13)과, 우측의 게이트 드라이버(6b)의 출력 단자에 접속된 게이트 버스 라인(13)을 포함하고, 이들은 교대로 배치되어 있다. 게이트 버스 라인(13)은, 상기 실시 형태 (D)에 있어서의 버스 라인에 상당한다. 단자(26, 28, 30)가 설치된 영역(도 3 중의 굵은 이점쇄선으로 둘러싸인 영역)에 플렉시블 기판이 실장되어 있다. 각 소스 버스 라인(12)은 대응하는 인출선(18) 및 단자(27)를 개재하여, 소스 드라이버(5)의 출력부에 접속되어 있다. 소스 드라이버(5)의 입력부에는, 플렉시블 기판, 단자(28), 입력 배선(25) 및 단자(29)를 개재하여, 제어부로부터 각종 신호 및 전원 전압이 입력된다. 공통 간배선(16)에는, 플렉시블 기판 및 단자(30)를 개재하여, 제어부로부터 공통 신호가 입력된다. 또한, 공통 신호란, 모든 화소에 공통적으로 인가되는 신호이다. 공통 버스 라인(17)은, 프레임 영역(8) 내에서 공통 간배선(16)에 접속되어 있으며, 공통 버스 라인(17)에는, 공통 간배선(16)으로부터 공통 신호가 인가된다.

- [0074] 게이트 드라이버(6a, 6b)에는, 플렉시블 기판, 단자(26) 및 인출선(19)을 개재하여 제어부로부터 각종 신호 및 전원 전압이 공급된다. 상세에 대해서는 후술한다. 게이트 모놀리식, 게이트 드라이버리스, 패널 내장 게이트 드라이버, 게이트 인 패널, 게이트 온 어레이 등이라 불리는 게이트 드라이버는 모두 게이트 드라이버(6a, 6b)에 포함될 수 있다. 또한, 2개의 게이트 드라이버(6a, 6b)를 설치하는 대신에, 2개의 게이트 드라이버(6a, 6b)와 마찬가지로의 기능을 발휘하는 1개의 게이트 드라이버만을 설치하여도 된다.
- [0075] 대향 기관(50)은, 투명한(투광성을 갖는) 절연 기관(51)과, 차광 부재로서 기능하는 블랙 매트릭스(52: BM)와, 복수의 기동형 스페이서(도시생략)를 갖고 있다. BM(52)은, 프레임 영역(8)과, 버스 라인에 대향하는 영역을 차광하도록 형성되어 있다. BM(52)은, 프레임 형상으로 형성되어 있으며, 게이트 드라이버(6a, 6b)를 덮고 있다. 또한, 도 2에서는, 표시 영역(7) 내에서 BM(52)의 도시는 생략하였다. 표시 영역(7) 내에는, 복수 색의 컬러 필터가 설치되어도 되고, 각 컬러 필터는, BM(52)에 의해 구획된 영역, 즉 BM(52)의 개구를 덮도록 형성된다. 또한, 대향 기관(50)은, 모든 컬러 필터를 덮는 투명한(광투과성을 갖는) 오버코트막을 가져도 된다. 기동형 스페이서는, BM(52) 위의 차광 영역 내에 배치되어 있다. 또한, 시일(62) 내에 입자형 스페이서(도시생략)가 혼입되어 있어도 된다. 이들 스페이서는, 어레이 기관(10)과 대향 기관(50)의 거리를 일정하게 하기 위한 부재이며, 양 기관 간의 거리(셀 갭)는, 4.0 μ m 정도로 설정되어 있다.
- [0076] 컬러 필터의 재료로서는, 안료를 혼합한 아크릴 수지 등을 들 수 있으며, BM(52)의 재료로서는, 크롬이나, 흑색 안료를 혼합한 아크릴 수지 등을 들 수 있다. 바람직하게는, BM(52)은, 그 두께가 1.0 μ m 정도이고, 흑색 안료를 혼합한 아크릴 수지로 형성된다. 오버코트막은, 투명한 절연 재료로 형성된다. 구체적으로는, 아크릴 수지나 에폭시 수지 등의 광투과성을 갖는 경화성 수지가 이용된다. 오버코트막은, 바람직하게는 아크릴 수지로 형성되고, 그 두께는, 바람직하게는 2.0 μ m 정도이다. 오버코트막은, 컬러 필터를 물리적 또는 화학적으로 보호하는 기능을 갖는다.
- [0077] 또한, 본 실시 형태의 액정 디스플레이의 액정 모드는 특별히 한정되지 않는다. TN(Twisted Nematic) 모드, VA(Vertical Alignment) 모드 등의 종전계를 이용하는 액정 모드의 경우, 대향 기관(50)은 공통 신호가 인가되는 대향 전극을 갖고 있고, 어레이 기관(10)은 공통 간배선(16)에 접속된 공통 전이용(common transfer) 전극(14)을 갖고 있으며, 양 전극은, 도통 부재를 개재하여 서로 접속되어 있다. 대향 전극은, 인듐 주석 산화물(ITO: Indium Tin Oxide), 주석 산화물(SnO₂), 산화인듐아연(IZO: Indium Zinc Oxide) 등의 투명 도전 재료(광투과성을 갖는 도전 재료)로 형성되어 있다. 바람직하게는 ITO가 이용된다. 도통 부재로서는, 예를 들어 도전성을 갖는 미립자가 혼입된 경화성 수지나, 은, 카본 페이스트 등을 들 수 있다. 시일재에 도전성을 갖는 미립자를 혼입하고, 이 미립자를 도전 부재로서 사용하여도 된다. 도전성을 갖는 미립자로서는, 수지체의 미립자에 금 등의 금속이 코팅된 것을 들 수 있다.
- [0078] 다음으로, 도 4 내지 도 8을 참조하여, 본 실시 형태의 액정 디스플레이의 회로 구성 및 동작에 대하여 설명한다.
- [0079] 도 4에 도시한 바와 같이, 본 실시 형태의 액정 디스플레이는, 화소 어레이(71)와, 제어부 내에 설치된 표시 제어 회로(72)와, 소스 드라이버(5)와, 게이트 드라이버(6a, 6b)를 구비하고 있다.
- [0080] 화소 어레이(71)는, 상기 게이트 버스 라인(13)에 대응하는 n개의 게이트 버스 라인 G1 내지 Gn과, 상기 소스 버스 라인(12)에 대응하는 m개의 소스 버스 라인 S1 내지 Sm과, 상기 화소(3)에 각각 형성된 (m $\times$ n)개의 화소 회로 Pij를 포함하고 있다. n과 m은 2 이상의 정수, i는 1 이상 n 이하의 정수, j는 1 이상 m 이하의 정수로 한다. 게이트 버스 라인 G1 내지 Gn은 서로 평행하게 배치되어 있으며, 소스 버스 라인 S1 내지 Sm은, 게이트 버스 라인 G1 내지 Gn과 직교하도록 서로 평행하게 배치되어 있다. 게이트 버스 라인 Gi와 소스 버스 라인 Sj의 교점 근방에는, 화소 회로 Pij가 배치되어 있다. 이와 같이 (m $\times$ n)개의 화소 회로 Pij는, 행 방향으로 m개씩, 열 방향으로 n개씩, 2차원 형상으로 배치되어 있다. 게이트 버스 라인 Gi는, i행째에 배치된 화소 회로 Pij에 공통적으로 접속되고, 소스 버스 라인 Sj는, j열째에 배치된 화소 회로 Pij에 공통적으로 접속되어 있다. 또한, 화소 회로 Pij에는 각각, 스위칭 소자로서의 화소용 TFT(4)와, 화소 전극(9)이 설치되어 있으며, TFT(4)의 게이트는, 게이트 버스 라인 Gi에 접속되고, TFT(4)의 드레인 및 소스는, 한쪽이 소스 버스 라인 Sj에 접속되고, 다른 쪽이 화소 전극(9)에 접속되어 있다.
- [0081] 본 실시 형태의 액정 디스플레이의 외부로부터는, 수평 동기 신호 HSYNC, 수직 동기 신호 VSYNC 등의 제어 신호와, 화상 신호 DAT가 공급된다. 표시 제어 회로(72)는 이들 신호에 기초하여, 게이트 드라이버(6a)에 대하여 클럭 신호 CK1, CK2 및 스타트 펄스 SP1을 출력하고, 게이트 드라이버(6b)에 대하여 클럭 신호 CK3, CK4 및 스

타트 펄스 SP2를 출력하고, 소스 드라이버(5)에 대하여 제어 신호 SC 및 디지털 영상 신호 DV를 출력한다.

- [0082] 게이트 드라이버(6a)는, 시프트 레지스터(73a)를 포함하고 있으며, 시프트 레지스터(73a)는, 다단 접속된 복수의 단위 회로 SR1, SR3, ..., SRn-1을 포함하고 있다. 단위 회로 SR1, SR3, ..., SRn-1은, 홀수 번째의 게이트 버스 라인 G1, G3, ..., Gn-1에 접속되어 있다.
- [0083] 게이트 드라이버(6b)는, 시프트 레지스터(73b)를 포함하고 있으며, 시프트 레지스터(73b)는, 다단 접속된 복수의 단위 회로 SR2, SR4, ..., SRn을 포함하고 있다. 단위 회로 SR2, SR4, ..., SRn은, 짝수 번째의 게이트 버스 라인 G2, G4, ..., Gn에 접속되어 있다.
- [0084] 시프트 레지스터(73a, 73b)는, 출력 신호 SROUT1 내지 SROUTn을 하나씩 순서대로 하이 레벨(선택 상태를 나타냄)로 제어한다. 출력 신호 SROUT1 내지 SROUTn은, 각각, 게이트 버스 라인 G1 내지 Gn에 부여된다. 이에 의해, 게이트 버스 라인 G1 내지 Gn이 하나씩 순서대로 선택되고, 1행분의 화소 회로 Pij가 일괄적으로 선택된다. 즉, 1행분의 화소 회로 Pij의 화소용 TFT(4)가 온 상태로 된다.
- [0085] 소스 드라이버(5)는, 제어 신호 SC 및 디지털 영상 신호 DV에 기초하여, 소스 버스 라인 S1 내지 Sm에 대하여 디지털 영상 신호 DV에 따른 전압을 인가한다. 이에 의해, 선택된 1행분의 화소 회로 Pij에 디지털 영상 신호 DV에 따른 전압이 기입된다. 이와 같이 하여, 본 실시 형태의 액정 디스플레이는 화상을 표시한다.
- [0086] 도 5에 도시한 바와 같이, 각 단위 회로 SR1 내지 SRn은, 입력 단자 INa, INb, 클럭 단자 CKA, CKB, 전원 단자 VSS, 및 출력 단자 OUT를 갖고 있다.
- [0087] 시프트 레지스터(73a)에는, 스타트 펄스 SP1과, 엔드 펄스 EP1과, 2상의 클럭 신호 CK1, CK2와, 로우 레벨 전위 VSS(편의상, 전원 단자와 동일한 부호를 부여하고 있음)가 공급된다. 스타트 펄스 SP1은, 시프트 레지스터(73a) 내에서 최초단제의 단위 회로 SR1의 입력 단자 INa에 입력된다. 엔드 펄스 EP1은, 시프트 레지스터(73a) 내에서 최종단제의 단위 회로 SRn-1의 입력 단자 INb에 입력된다. 클럭 신호 CK1은, 시프트 레지스터(73a) 내에서 홀수단제의 단위 회로의 클럭 단자 CKA와, 시프트 레지스터(73a) 내에서 짝수단제의 단위 회로의 클럭 단자 CKB에 입력된다. 클럭 신호 CK2는, 시프트 레지스터(73a) 내에서 짝수단제의 단위 회로의 클럭 단자 CKA와, 시프트 레지스터(73a) 내에서 홀수단제의 단위 회로의 클럭 단자 CKB에 입력된다. 로우 레벨 전위 VSS는, 시프트 레지스터(73a) 내의 모든 단위 회로의 전원 단자 VSS에 입력된다. 단위 회로 SR1, SR3, ..., SRn-1의 출력 단자 OUT로부터는, 각각, 출력 신호 SROUT1, SROUT3, ..., SROUTn-1이 출력되고, 출력 신호 SROUT1, SROUT3, ..., SROUTn-1은, 각각, 게이트 버스 라인 G1, G3, ..., Gn-1로 출력된다. 또한 각 출력 신호는, 2단 뒤(시프트 레지스터(73a) 내에서 고려하면 1단 뒤)의 단위 회로의 입력 단자 INa와, 4단 앞(시프트 레지스터(73a) 내에서 고려하면 2단 앞)의 단위 회로의 입력 단자 INb에 입력된다.
- [0088] 시프트 레지스터(73b)에는, 스타트 펄스 SP2와, 엔드 펄스 EP2와, 2상의 클럭 신호 CK3, CK4와, 로우 레벨 전위 VSS가 공급된다. 스타트 펄스 SP2는, 시프트 레지스터(73b) 내에서 최초단제의 단위 회로 SR2의 입력 단자 INa에 입력된다. 엔드 펄스 EP2는, 시프트 레지스터(73b) 내에서 최종단제의 단위 회로 SRn의 입력 단자 INb에 입력된다. 클럭 신호 CK3은, 시프트 레지스터(73b) 내에서 홀수단제의 단위 회로의 클럭 단자 CKA와, 시프트 레지스터(73b) 내에서 짝수단제의 단위 회로의 클럭 단자 CKB에 입력된다. 클럭 신호 CK4는, 시프트 레지스터(73b) 내에서 짝수단제의 단위 회로의 클럭 단자 CKA와, 시프트 레지스터(73b) 내에서 홀수단제의 단위 회로의 클럭 단자 CKB에 입력된다. 로우 레벨 전위 VSS는, 시프트 레지스터(73b) 내의 모든 단위 회로의 전원 단자 VSS에 입력된다. 단위 회로 SR2, SR4, ..., SRn의 출력 단자 OUT로부터는, 각각, 출력 신호 SROUT2, SROUT4, ..., SROUTn이 출력되고, 출력 신호 SROUT2, SROUT4, ..., SROUTn은, 각각, 게이트 버스 라인 G2, G4, ..., Gn으로 출력된다. 또한 각 출력 신호는, 2단 뒤(시프트 레지스터(73b) 내에서 고려하면 1단 뒤)의 단위 회로의 입력 단자 INa와, 4단 앞(시프트 레지스터(73b) 내에서 고려하면 2단 앞)의 단위 회로의 입력 단자 INb에 입력된다.
- [0089] 또한, 로우 레벨 전위 VSS는, n 채널형 TFT를 확실하게 오프 상태로 하는 관점에서는 부의 전위인 것이 바람직하지만, 화소용 TFT(4)로서 p 채널형 TFT에 사용하는 경우에는, 정의 전위이어도 된다.
- [0090] 도 6에 도시한 바와 같이, 각 단위 회로는, n 채널형 TFT인 트랜지스터 Tr1 내지 Tr4와, 콘텐서(이하, '부트스트랩 콘텐서'라고도 함) CB1을 포함하고 있다. 이하, 트랜지스터 Tr1을 출력 트랜지스터 Tr1이라고도 한다.
- [0091] 출력 트랜지스터 Tr1은, 드레인이 클럭 단자 CKA에 접속되어 있으며, 소스가 출력 단자 OUT에 접속되어 있다. 트랜지스터 Tr2는, 드레인과 게이트가 입력 단자 INa에 접속되어 있으며, 소스가 출력 트랜지스터 Tr1의 게이트에 접속되어 있다. 부트스트랩 콘텐서 CB1은, 출력 트랜지스터 Tr1의 게이트와 소스 사이에 설치되어 있고, 한

쪽의 단자가 출력 트랜지스터 Tr1의 게이트에 접속되어 있으며, 다른 쪽의 단자가 출력 단자 OUT에 접속되어 있다. 트랜지스터 Tr3은, 드레인이 출력 단자 OUT에 접속되어 있고, 게이트가 클럭 단자 CKB에 접속되어 있으며, 소스가 전원 단자 VSS에 접속되어 있다. 트랜지스터 Tr4는, 드레인이 출력 트랜지스터 Tr1의 게이트에 접속되어 있고, 게이트가 입력 단자 INb에 접속되어 있으며, 소스가 전원 단자 VSS에 접속되어 있다.

[0092] 출력 트랜지스터 Tr1은, 클럭 단자 CKA와 출력 단자 OUT 사이에 설치되어 있으며, 게이트 전위에 따라서 클럭 신호를 통과시킬지 여부를 전환하는 트랜지스터(전송 게이트)로서 기능한다. 또한, 출력 트랜지스터 Tr1의 게이트는, 출력 단자 OUT측의 도통 단자(소스)와 용량 결합되어 있다. 이로 인해, 후술하는 바와 같이, 출력 트랜지스터 Tr1이 온 상태에서, 클럭 단자 CKA에 입력되는 클럭 신호 CK1 또는 CK3(이하, '클럭 신호 CKA'라고도 함)이 하이 레벨로 되는 기간에서는, 출력 트랜지스터 Tr1의 게이트 전위는 클럭 신호 CKA의 하이 레벨 전위보다도 높아진다. 이하, 출력 트랜지스터 Tr1의 게이트가 접속된 노드를 netA라 한다.

[0093] 도 7 및 도 8에, 시프트 레지스터(73a, 73b)의 타이밍차트를 나타낸다. 도 7에는, 각 시프트 레지스터 내에서 홀수단계의 단위 회로의 입출력 신호 및 노드netA의 전압 변화가 도시되어 있다.

[0094] 도 7에 도시한 바와 같이, 각 시프트 레지스터 내에서 홀수단계의 단위 회로에는, 클럭 단자 CKA를 개재하여 클럭 신호 CK1 또는 CK3이 입력되고, 클럭 단자 CKB를 개재하여 클럭 신호 CK2 또는 CK4가 입력된다. 각 클럭 신호 CK1 내지 CK4의 전위가 하이 레벨인 기간에는, 1/2 주기와 대략 동일하다. 클럭 신호 CK2는, 클럭 신호 CK1을 1/2 주기만큼, 클럭 신호 CK3은, 클럭 신호 CK1을 1/4 주기만큼, 클럭 신호 CK4는, 클럭 신호 CK2를 1/4 주기만큼, 각각 지연시킨 신호이다.

[0095] 스타트 펄스 SP1 및 SP2는, 각각, 시프트 동작의 개시 전에, 클럭 신호 CK2 및 CK4의 전위가 하이 레벨인 기간과 동일한 길이의 시간만큼 하이 레벨로 된다. 엔드 펄스 EP1 및 EP2(도 7 및 도 8에서는 도시를 생략하였음)는, 각각 시프트 동작의 종료 후에, 클럭 신호 CK2 및 CK4의 전위가 하이 레벨인 기간과 동일한 길이의 시간만큼 하이 레벨로 된다.

[0096] 도 7을 참조하여, 각 시프트 레지스터 내에서 홀수단계의 단위 회로의 동작에 대하여 설명한다.

[0097] 우선, 입력 단자 INa에 입력되는 신호(스타트 펄스 SP1, SP2, 또는 전전단(각 시프트 레지스터 내에서 고려하면 1단 앞)의 단위 회로의 출력 신호. 이하, '입력 신호 INa'라고도 함)가 로우 레벨로부터 하이 레벨로 변화하면, 다이오드 접속된 트랜지스터 Tr2를 개재하여 노드 netA의 전위도 하이 레벨로 변화하고, 출력 트랜지스터 Tr1은 온 상태가 된다.

[0098] 다음으로, 입력 신호 INa가 로우 레벨로 변화하면, 트랜지스터 Tr2는 오프 상태로 되고, 노드 netA는 플로팅 상태로 되지만, 출력 트랜지스터 Tr1은 온 상태를 유지한다.

[0099] 다음으로, 클럭 신호 CKA(클럭 신호 CK1 또는 CK3)가 로우 레벨로부터 하이 레벨로 변화하면, 부트스트랩 콘덴서 CB1이 충전되고, 부트스트랩 효과에 의해 노드 netA의 전위는 클럭 신호 CKA의 진폭 $V_{ck} = (\text{하이 레벨 전위 } V_{GH}) - (\text{로우 레벨 전위 } V_{GL})$ 의 2배 정도까지 상승한다. 출력 트랜지스터 Tr1의 게이트 전위가 충분히 높으므로, 출력 트랜지스터 Tr1의 소스·드레인 간의 저항이 작아져서, 클럭 신호 CKA는 출력 트랜지스터 Tr1을 전압 강하하지 않고 통과한다.

[0100] 클럭 신호 CKA가 하이 레벨인 동안, 노드 netA의 전위는 V_{ck} 의 2배 정도가 되고, 출력 신호 SROUT는 하이 레벨로 된다.

[0101] 다음으로, 클럭 신호 CKA가 로우 레벨로 변화하면, 노드 netA의 전위는 하이 레벨로 된다. 동시에, 클럭 단자 CKB에 입력되는 클럭 신호 CK2 또는 CK4(이하, '클럭 신호 CKB'라고도 함)가 하이 레벨로 변화함으로써, 트랜지스터 Tr3이 온 상태가 되어 출력 단자 OUT에 로우 레벨 전위 VSS가 인가된다. 이 결과, 출력 신호 SROUT는 로우 레벨로 된다.

[0102] 다음으로, 입력 단자 INb에 입력되는 신호(엔드 펄스 EP1, EP2, 또는, 4단 뒤(각 시프트 레지스터 내에서 고려하면 2단 뒤)의 단위 회로의 출력 신호. 이하, '입력 신호 INb'라고도 함)가 로우 레벨로부터 하이 레벨로 변화하면, 트랜지스터 Tr4는 온 상태로 된다. 트랜지스터 Tr4가 온 상태로 되면, 노드 netA에는 로우 레벨 전위 VSS가 인가되고, 노드 netA의 전위는 로우 레벨로 변화하고, 출력 트랜지스터 Tr1은 오프 상태로 된다.

[0103] 다음으로, 입력 신호 INb가 로우 레벨로 변화하면, 트랜지스터 Tr4는 오프 상태로 된다. 이때, 노드 netA는 플로팅 상태로 되지만, 출력 트랜지스터 Tr1은 오프 상태를 유지한다. 입력 신호 INa가 다음의 하이 레벨로 될 때까지, 이상적으로는, 출력 트랜지스터 Tr1은 오프 상태를 유지하고, 출력 신호 SROUT는 로우 레벨을

유지한다.

- [0104] 그리고, 트랜지스터 Tr3은, 클럭 신호 CKB가 하이 레벨일 때 온 상태로 된다. 이로 인해, 클럭 신호 CKB가 하이 레벨로 될 때마다, 출력 단자 OUT에는 로우 레벨 전위 VSS가 인가된다. 이와 같이 트랜지스터 Tr3은, 출력 단자 OUT를 반복하여 로우 레벨 전위 VSS로 설정하고, 출력 신호 SROUT를 안정화시키는 기능을 갖는다.
- [0105] 짝수단계의 단위 회로에 대해서도, 홀수단계의 단위 회로와 마찬가지로 동작한다.
- [0106] 이상의 결과, 도 8에 도시한 바와 같이, 게이트 버스 라인 G1, G2, G3, ...으로 순차적으로 게이트 펄스가 출력되어 간다.
- [0107] 다음으로, 도 9 내지 도 14를 참조하여, 본 실시 형태의 액정 디스플레이의 프레임 영역에서의 구성에 대하여 설명한다.
- [0108] 도 9에 도시한 바와 같이, 각 게이트 드라이버 내에는, 전술한 게이트 버스 라인(13)과 직교하는 방향으로 연장하는 배선군(78)이 설치되어 있다. 배선군(78)은 로우 레벨 전위 VSS로 설정되어 있는 배선(74)과, 클럭 신호 CK1 또는 CK3을 전송하는 배선(75)과, 클럭 신호 CK2 또는 CK4를 전송하는 배선(76)을 포함하고 있다. 각 배선 내에는, 슬릿형 개구부가 형성되어 있다.
- [0109] 출력 트랜지스터 Tr1 및 부트스트랩 콘덴서 CB1은, 서로 인접하여 배치되어 있다. 트랜지스터 Tr2 내지 Tr4는, 서로 인접하여 배치되어 있다. 트랜지스터 Tr2 내지 Tr4가 배치되어 있는 영역(77: 이하, '제어 소자 영역'이라고도 함)은, 배선군(78)과 출력 트랜지스터 Tr1 사이에 위치하고 있다. 출력 트랜지스터 Tr1 및 부트스트랩 콘덴서 CB1은, 제어 소자 영역(77) 및 배선군(78)의 단부(10a)측(표시 영역(7)의 반대측)에 배치되어 있다.
- [0110] 도 10에 도시한 바와 같이, 어레이 기관(10)은 굵은 파선으로 경계지어진 띠 형상의 영역(63: 이하, '시일 도포 영역'이라고도 함)을 포함하고 있으며, 시일(62)은 시일 도포 영역(63)으로부터 비어져 나오지 않도록 하여 시일 도포 영역(63) 위에 띠 형상으로 형성되어 있다. 시일 도포 영역(63)은, 한쪽 단부가 부트스트랩 콘덴서 CB1과 어레이 기관(10)의 단부(10a) 사이의 영역 내에 설정되고, 다른 쪽 단부가 배선(74)과 표시 영역(7) 사이의 영역 내에 설정되어 있다. 또한, 시일 도포 영역(63)은, 트랜지스터 Tr2 내지 Tr4 및 배선(74 내지 76)(배선군(78))이 배치되어 있는 영역(65)과, 출력 트랜지스터 Tr1 및 부트스트랩 콘덴서 CB1이 배치되어 있는 영역(64)을 포함하고 있다. 영역(65)은, 상기 제1 영역에 상당하고, 영역(64)은, 상기 제2 영역에 상당한다. 이와 같이, 본 실시 형태에서는, 비교 형태 1과는 달리, 시일 도포 영역(63) 내에 출력 트랜지스터 Tr1 및 부트스트랩 콘덴서 CB1이 배치되어 있다.
- [0111] 시일(62)은, 출력 트랜지스터 Tr1의 일부 또는 전부와, 제어 소자 영역(77)의 일부 영역 또는 전체 영역을 적어도 덮도록 배치되어 있다. 시일 도포 영역(63)으로부터 비어져 나오지 않는 한, 이들 이외의 영역을 시일(62)이 덮는지 여부는 특별히 한정되지 않는다. 예를 들어, 시일(62)은, 출력 트랜지스터 Tr1의 일부 또는 전부와, 제어 소자 영역(77)의 전체 영역과, 배선(76)의 일부 또는 전부를 덮도록 배치되어도 되고, 부트스트랩 콘덴서 CB1의 일부 또는 전부와, 출력 트랜지스터 Tr1의 전부와, 제어 소자 영역(77)의 전체 영역과, 배선(76)의 전부와, 배선(75)의 일부 또는 전부를 덮도록 배치되어도 되며, 부트스트랩 콘덴서 CB1의 일부 또는 전부와, 출력 트랜지스터 Tr1의 전부와, 제어 소자 영역(77)의 전체 영역과, 배선(76)의 전부와, 배선(75)의 전부와, 배선(74)의 일부 또는 전부를 덮도록 배치되어도 된다. 이와 같이, 시일(62)은, 액정층(61)에 인접하는 제1 부분과, 제1 부분에 인접하는 제2 부분을 포함하고, 제1 부분은, 영역(65) 위에 배치되고, 제2 부분은, 영역(64) 위에 배치되어 있다.
- [0112] 각 트랜지스터 Tr1 내지 Tr4는, 보텀 게이트형 박막 트랜지스터이며, 그 중에서도 출력 트랜지스터 Tr1은, 그 사이즈가 크고, 빗살형 소스·드레인 구조를 갖는다. 이에 의해, 큰, 예를 들어 수십 μm 내지 수백 μm 정도의 채널 폭을 확보하고 있다.
- [0113] 도 11에 도시한 바와 같이, 어레이 기관(10)은 투명한(투광성을 갖는) 절연 기관(11)을 포함하고 있으며, 출력 트랜지스터 Tr1은, 절연 기관(11) 위의 게이트 전극(41)과, 게이트 전극(41) 위의 게이트 절연막(42)과, 게이트 절연막(42) 위의 i층(43: 반도체 활성층)과, i층(43) 위의 n+층(44)과, n+층(44) 위에 각각 설치된 소스 전극(45) 및 드레인 전극(46)을 갖고 있다. 소스 전극(45) 및 드레인 전극(46)은 각각, 복수의 빗살부를 갖고 있으며, 소스 전극(45) 및 드레인 전극(46)은 서로 빗살부가 맞물리도록 대향하여 배치되어 있다.
- [0114] 도 12에 도시한 바와 같이, 부트스트랩 콘덴서 CB1은, 절연 기관(11) 위의 제1 전극(31)과, 제1 전극(31) 위에 설치되고, 출력 트랜지스터 Tr1과 공용되어 있는 게이트 절연막(42)과, 게이트 절연막(42) 위의 제2 전극(32)을

갖고 있다.

- [0115] 어레이 기판(10) 및 대향 기판(50)은, 광투과성을 갖기 때문에, 절연 기판(11, 51)의 재료로서는, 주로, 유리, 석영 유리, 질화규소 등의 무기물이나, 아크릴 수지 등의 유기 고분자 화합물(수지) 등이 이용된다. 바람직하게는, 두께 0.7mm 정도의 석영 유리를 들 수 있다.
- [0116] 게이트 전극(41) 및 제1 전극(31)은 몰리브덴(Mo), 티타늄(Ti), 알루미늄(Al), 구리(Cu), 이들 합금 등의 재료를 포함하는 동일한 도전막으로 형성되어 있다. 게이트 전극(41) 및 제1 전극(31)은, 이들 도전막의 적층막으로 형성되어도 된다. 바람직하게는, Al이 사용된다. 게이트 절연막(42)은 질화실리콘, 산화실리콘 등의 무기 절연 재료를 포함하는 투명한(투광성을 갖는) 절연막으로 형성되어 있다. 게이트 절연막(42)은, 이들 절연막의 적층막을 사용하여 형성되어도 된다. i층(43: 반도체 활성층)은, 아몰퍼스 실리콘으로 형성되어 있으며, n+층(44)은 불순물(예를 들어 인)을 함유하는 아몰퍼스 실리콘으로 형성되어 있다. 소스 전극(45), 드레인 전극(46) 및 제2 전극(32)은, Mo, Ti, Al, Cu, 이들 합금 등의 재료를 포함하는 동일한 도전막으로 형성되어 있다. 소스 전극(45), 드레인 전극(46) 및 제2 전극(32)은 이들 도전막의 적층막으로 형성되어도 된다.
- [0117] 소스 전극(45), 드레인 전극(46) 및 제2 전극(32) 위에는, 패시베이션막으로서 기능하는 투명한(투광성을 갖는) 절연막(47)이 형성되어 있다. 절연막(47)은 질화실리콘막, 산화실리콘막 등의 무기 절연막으로 형성되어 있다. 또한, 절연막(47)은, 이들 무기 절연막의 적층막을 사용하여 형성되어도 된다. 절연막(47) 위에는, 평탄화막으로서 기능하는 투명한(투광성을 갖는) 절연막(48)이 형성되어 있다. 절연막(48)은 유기 절연막으로 형성되어 있다. 유기 절연막의 재료로서는, 감광성 아크릴 수지 등의 감광성 수지를 들 수 있다.
- [0118] 또한, 트랜지스터 Tr2 내지 Tr4는, 출력 트랜지스터 Tr1과 평면 구조가 서로 다를 뿐이며, 그 단면 구조는, 출력 트랜지스터 Tr1과 마찬가지로, 또한, 각 도면 중, 빗금친 부재와, 게이트 전극(41) 및 제1 전극(31)은, 동일한 도전막으로 형성되어 있으며, 도트형 모양이 표시된 부재와, 소스 전극(45), 드레인 전극(46) 및 제2 전극(32)은, 동일한 도전막으로 형성되어 있다. 또한, 각 도면 중, 빗금친 부재와 도트형 모양이 표시된 부재가 서로 겹치는 영역 내에 배치된 흰색의 사각형 영역은, 양쪽 부재를 서로 접속하기 위한 콘택트 홀을 나타내고 있다.
- [0119] 또한, 화소용 TFT(4)는, 출력 트랜지스터 Tr1 내지 Tr4와 마찬가지로 보텀 게이트형 박막 트랜지스터이며, 동일한 공정을 거쳐서 출력 트랜지스터 Tr1 내지 Tr4와 함께 형성된다.
- [0120] 또한, 표시 영역(7) 내에 있어서, 절연막(48) 위에는 전술한 화소 전극(9)이 형성되어 있다. 화소 전극(9)은, 절연막(47, 48)을 관통하는 콘택트 홀(도시생략)을 통하여 화소용 TFT(4)의 드레인 전극(도시생략)에 전기적으로 접속되어 있다. 화소 전극(9)은, ITO, SnO₂, IZO 등의 투명 도전 재료(광투과성을 갖는 도전 재료)로 형성되어 있다.
- [0121] 다음으로, 본 실시 형태의 액정 디스플레이의 제조 방법에 대하여 설명한다.
- [0122] 본 실시 형태의 액정 디스플레이는, 일반적인 방법에 의해 제조할 수 있지만, 보다 상세하게는, 우선 복수의 어레이 기판(10)으로 분단되기 전의 기판(이하, '어레이용 마더 유리'라고도 함)과, 복수의 대향 기판(50)으로 분단되기 전의 기판('CF용 마더 유리'라고도 함)을 통상의 방법에 의해 각각 제작한다.
- [0123] 어레이용 마더 유리 및 CF용 마더 유리를 제작한 후, 도 13에 도시한 바와 같이, 스텝 S11 내지 S19를 행한다.
- [0124] 우선, 스텝 S11(기판 세정 공정)에 있어서, 어레이용 마더 유리 및 CF용 마더 유리를 세정한다.
- [0125] 또한, 스텝 S11과 스텝 S12 사이에 탈가스 공정을 실시하여도 된다. 탈가스 공정에서는, 어레이용 마더 유리 및 CF용 마더 유리를 가열하고, 이들 마더 유리로부터 유기 용제, 가스 등의 불필요한 물질을 제거한다.
- [0126] 다음으로, 스텝 S12(배향막 형성 공정)에 있어서, 어레이용 마더 유리 및 CF용 마더 유리 위에 각각 배향막을 형성한다. 배향막의 재료로서는, 폴리이미드 등의 유기 재료나 실리콘 산화물 등의 무기 재료를 들 수 있다.
- [0127] 다음으로, 스텝 S13(러빙 공정)에서는, 각 배향막에 러빙 처리를 실시한다. 또한, 액정층(61) 중의 액정 분자의 배향 상태에 따라서는 스텝 S13을 생략하여도 된다. 또한, 러빙 처리 대신에, 러빙 처리 이외의 배향 처리, 예를 들어 광 배향 처리를 실시하여도 된다.
- [0128] 다음으로, 스텝 S14(시일 도포 공정)에 있어서, 스크린 인쇄법, 디스펜서 묘화법 등의 방법에 의해, 어레이용 마더 유리 및 CF용 마더 유리 중 어느 하나에 경화 전의 시일 재료(이하, '시일재'라고도 함)를 도포한다. 시일재는, 페이스트 상태이며, 폐쇄된 환형으로 도포된다. 이 시일재는, 경화성(예를 들어 자외선 경화성) 및 열

경화성을 갖는 재료(이하, '광·열 병용형 시일재'라고도 함)이며, 일반적으로는, 아크릴 수지 및/또는 에폭시 수지를 포함한다. 광·열 병용형 시일재의 구체예로서는, 예를 들어 에폭시 아크릴계 수지를 주성분으로 하는 포토렉 S 시리즈(세키스이카가쿠코교사 제조)를 들 수 있다. 시일재는, 바람직하게는 디스펜서 묘화법에 의해 도포된다.

[0129] 다음으로, 스텝 S15(액정 재료 적하 및 접합 공정)에 있어서, 시일재가 도포된 마더 유리, 도포되지 않은 마더 유리, 또는 양쪽의 마더 유리 위에 액정 재료를 적하하고, 그리고, 양 마더 유리를 서로 접합한다. 양 마더 유리의 접합은, 대기압보다도 낮은 환경하(예를 들어 진공하)에서 행해진다. 접합 후, 양 마더 유리는 대기압하에 놓인다. 액정 재료는, 바람직하게는 CF용 마더 유리 위에 적하된다.

[0130] 다음으로, 스텝 S16(시일 가경화 공정)에 있어서, 어레이용 마더 유리측으로부터 시일재에 광을 조사하고, 시일재를 어느 정도까지 경화(가경화)시킨다. 이때, 출력 트랜지스터 Tr1 및 부트스트랩 콘덴서 CB1에 의해 광이 차단되기 때문에, 출력 트랜지스터 Tr1 및 부트스트랩 콘덴서 CB1 위에 있어서는, 시일재에 조사되는 광이 부족하여, 시일재는 대부분 가경화되지 않는다. 그러나, 트랜지스터 Tr2 내지 Tr4 및 배선(74 내지 76)이 배치되어 있는 영역(65)에는 많은 투광 영역이 포함되기 때문에, 시일재는, 영역(65) 위에 있어서는 충분히 가경화될 수 있다. 또한, 가경화된 시일재 부분(상기 제1 부분에 대응하는 부분)은, 표시 영역(7)의 보다 근처에 배치되고, 가경화되지 않은 시일재 부분(상기 제2 부분에 대응하는 부분)은 어레이 기관(10)의 단부(10a)의 보다 근처에 배치되어 있다. 그로 인해, 가경화하지 않은 시일재 부분이 액정층에 접촉하는 것을 방지할 수 있고, 그 결과, 시일재 성분이 액정층에 용해 및 확산되는 것을 방지할 수 있다. 또한, 어레이 기관(10)측으로부터 광을 조사하는 것은, 대향 기관(50)에는 BM(52)이 형성되어 있기 때문이다. 조사하는 광의 종류는 특별히 한정되지 않으며, 예를 들어, 자외선을 포함하는 광을 들 수 있다. 바람직하게는, 자외선을 사용한다.

[0131] 다음으로, 스텝 S17(시일 본경화 공정)에 있어서, 접합된 마더 유리를 가열한다. 이 가열에 의해 시일재를 더 경화(본경화)시킨다. 이 공정에서 시일재의 전부가 경화된다. 그로 인해, 시일재는, 출력 트랜지스터 Tr1 및 부트스트랩 콘덴서 CB1이 배치되어 있는 영역(64) 위에 있어서, 스텝 S16에서는 대부분 가경화되지 않고, 스텝 S17에서 본경화된다. 한편, 시일재는, 트랜지스터 Tr2 내지 Tr4 및 배선(74 내지 76)이 배치되어 있는 영역(65) 위에 있어서, 스텝 S16에서 가경화되면서, 스텝 S17에서 본경화된다.

[0132] 이와 같이 본 실시 형태에서는, 가경화 및 본경화되는 시일재 부분(상기 제1 부분에 대응하는 부분)을 표시 영역(7)의 보다 근처에 배치하고, 가경화되지 않고, 본경화되는 시일재 부분(상기 제2 부분에 대응하는 부분)을 어레이 기관(10)의 단부(10a)의 보다 근처에 배치하고 있다.

[0133] 또한, 특허문헌 11에 기재된 기술에 있어서는 기관끼리를 접합하기 전에 시일재를 가경화시킬 필요가 있었지만, 본 실시 형태에서는, 마더 유리끼리를 접합한 후에 시일재를 가경화시키고 있다. 그로 인해, 먼지 등의 이물이 액정층에 혼입되는 것을 방지할 수 있다. 또한, 본 실시 형태에서는, 가경화를 위한 마스크도 필요 없다. 그로 인해, 제조 비용을 삭감할 수 있다.

[0134] 또한, 스텝 S16, S17에 있어서의 광조사 및 열처리의 조건은, 시일재의 특성에 맞춰서 적절히 설정할 수 있지만, 포토렉 S 시리즈를 사용한 경우에는, 예를 들어 10J 전후의 자외선을 조사하고, 120℃에서 60분간, 열처리를 행한다.

[0135] 다음으로, 스텝 S18(분단 공정)에 있어서, 접합된 마더 유리를 패널 분단선을 따라 분단하고, 복수의 액정 셀로 분할한다.

[0136] 다음으로, 스텝 S19(검사 공정)에 있어서, 액정 셀에 대하여 점등 검사 등의 검사를 행하고, 액정 셀의 품질 상태를 확인한다.

[0137] 그 후, 액정 셀의 양 표면 위에, 편광판 및 위상판(임의)을 접합한 후, 소스 드라이버(5)를 실장하여 액정 패널(1)이 완성된다. 그리고, 액정 패널(1)에 플렉시블 기관을 접속하고, 제어부 및 백라이트 유닛을 부착하여, 이들을 하우징에 수납함으로써, 실시 형태 1의 액정 디스플레이가 완성된다.

[0138] 본 실시 형태에서는, 출력 트랜지스터 Tr1 및 부트스트랩 콘덴서 CB1은, 어레이 기관(10)의 단부(10a)와 제어 소자 영역(77) 사이의 영역 내에 배치되어 있다. 그로 인해, 제어 소자 영역(77)의 각 트랜지스터와 배선군(78)을 출력 트랜지스터 Tr1 및 부트스트랩 콘덴서 CB1의 표시 영역(7)측에 배치할 수 있다. 또한, 트랜지스터 Tr2 내지 Tr4 및 배선(74 내지 76)이 배치되어 있는 영역(65) 위에 있어서 시일재를 가경화 및 본경화시킬 수 있으며, 한편, 출력 트랜지스터 Tr1 및 부트스트랩 콘덴서 CB1이 배치되어 있는 영역(64) 위에 있어서 시일재를 본경화시킬 수 있다. 이상의 결과, 시일 본경화 공정을 종료할 때까지 시일재 성분이 액정층에 용해되는 것을

억제할 수 있다. 또한, 시일 도포 영역(63)을 넓게 설정할 수 있다. 또한, 액정 누설이 발생하는 것을 억제할 수 있다. 따라서, 품질상의 문제의 발생을 저감할 수 있으면서, 기관 간의 접촉 강도를 향상시킬 수 있다.

[0139] 또한, 각 소자의 크기 및 각 배선의 굵기는 특별히 한정되지 않으며, 적절히 설정할 수 있지만, 예를 들어, 도 14에 도시한 값을 적용할 수 있다. 또한, 배선(74, 75)의 굵기는, 배선(76)과 실질적으로 동일하다. 또한, 배선(74) 및 배선(75)의 간격은, 30 μ m로 설정할 수 있다. 또한, 출력 트랜지스터의 피치는, 단위 회로 또는 게이트 버스 라인의 피치와 실질적으로 동등하다. 또한, 소자 간, 또는 소자와 배선 사이를 접속하는 배선의 폭에 관해서는, 예를 들어 10 μ m로 설정할 수 있다.

[0140] 도 14에 도시된 경우에는, 트랜지스터 Tr2 내지 Tr4, 배선(76) 및 배선(75)을 포함하는 영역 A에 있어서 차광되는 면적의 비율을 어렵하면, 대략 25% $(=(105 \times 70 + 50 \times 70 + 30 \times 60 + 20 \times 20 \times 6 \times \text{콘택트가 6개} + 30 \times 200 \times \text{배선의 선형상 부분이 4개}) / (800 \times 200) = 39050 / 160000)$ 이다. 한편, 출력 트랜지스터 Tr1 및 부트스트랩 콘덴서 CB1을 포함하는 영역 B에 있어서 차광되는 면적의 비율을 어렵하면, 대략 80% $(=(80 \times 190 + 200 \times 160) / (300 \times 200) = 47200 / 600)$ 이다. 이와 같이, 영역 A에 있어서 차광되는 면적의 비율은, 50% 이하인 것이 바람직하고, 영역 B에 있어서 차광되는 면적의 비율은, 50%보다 큰 것이 바람직하다.

[0141] (실시 형태 2)

[0142] 실시 형태 2의 액정 디스플레이는, 시프트 레지스터 내의 소자 및 배선의 레이아웃이 서로 다른 것을 제외하고, 실시 형태 1의 액정 디스플레이와 실질적으로 동일하다.

[0143] 실시 형태 1에서는, 배선군(78)은, 트랜지스터 Tr2 내지 Tr4(제어 소자 영역(77))와 표시 영역(7) 사이의 영역 내에 배치되어 있었다. 한편, 본 실시 형태에서는, 도 15에 도시한 바와 같이, 트랜지스터 Tr2 내지 Tr4(제어 소자 영역(77))가 배선군(78)과 표시 영역(7) 사이의 영역 내에 배치되어 있다. 실시 형태 1, 2는, 배선군(78) 및 트랜지스터 Tr2 내지 Tr4(제어 소자 영역(77))가 표시 영역(7)과 출력 트랜지스터 Tr1 사이의 영역 내에 배치되어 있다는 점에서 공통의 특징을 갖는다.

[0144] 어레이 기관(10)은, 굵은 파선으로 경계지어진 띠 형상의 영역(63: 이하, '시일 도포 영역'이라고도 함)을 포함하고 있으며, 시일(62)은, 시일 도포 영역(63)으로부터 비어져 나오지 않도록 하여 시일 도포 영역(63) 위에 띠 형상으로 형성되어 있다. 시일 도포 영역(63)은, 한쪽 단부가 부트스트랩 콘덴서 CB1과 어레이 기관(10)의 단부(10a) 사이의 영역 내에 설정되고, 다른 쪽 단부가 트랜지스터 Tr2 내지 Tr4(제어 소자 영역(77))와 표시 영역(7) 사이의 영역 내에 설정되어 있다. 또한, 시일 도포 영역(63)은, 출력 트랜지스터 Tr1 및 부트스트랩 콘덴서 CB1이 배치되어 있는 영역(64)과, 트랜지스터 Tr2 내지 Tr4(제어 소자 영역(77)) 및 배선(74 내지 76)(배선군(78))이 배치되어 있는 영역(66)을 포함하고 있다. 영역(66)은, 상기 제1 영역에 상당하고, 영역(64)은, 상기 제2 영역에 상당한다. 이와 같이, 본 실시 형태에서는, 비교 형태 1과는 달리, 시일 도포 영역(63) 내에 출력 트랜지스터 Tr1 및 부트스트랩 콘덴서 CB1이 배치되어 있다.

[0145] 시일(62)은, 출력 트랜지스터 Tr1의 일부 또는 전부와, 배선군(78)의 일부 또는 전부를 적어도 덮도록 배치되어 있다. 시일 도포 영역(63)으로부터 비어져 나오지 않는 한, 이들 이외의 영역을 시일(62)이 덮는지 여부는 특별히 한정되지 않는다. 예를 들어, 시일(62)은, 출력 트랜지스터 Tr1의 전부와, 배선군(78)의 전부와, 제어 소자 영역(77)의 일부 영역 또는 전체 영역을 덮도록 배치되어도 되고, 부트스트랩 콘덴서 CB1의 일부 또는 전부와, 출력 트랜지스터 Tr1의 전부와, 배선군(78)의 전부와, 제어 소자 영역(77)의 일부 영역 또는 전체 영역을 덮도록 배치되어도 된다. 이와 같이, 시일(62)은, 액정층(61)에 인접하는 제1 부분과, 제1 부분에 인접하는 제2 부분을 포함하고, 제1 부분은, 영역(66) 위에 배치되고, 제2 부분은, 영역(64) 위에 배치되어 있다.

[0146] 본 실시 형태에서는, 실시 형태 1과 마찬가지로, 출력 트랜지스터 Tr1 및 부트스트랩 콘덴서 CB1은, 어레이 기관(10)의 단부(10a)와 제어 소자 영역(77) 사이의 영역 내에 배치되어 있다. 따라서, 본 실시 형태에 있어서도, 품질상의 문제의 발생을 저감할 수 있으면서, 기관 간의 접촉 강도를 향상시킬 수 있다.

[0147] 또한, 실시 형태 1, 2의 각각에 있어서는, 출력 트랜지스터 Tr1 및 부트스트랩 콘덴서 CB1의 배치 장소가 서로 바뀌어 있어도 된다.

[0148] (실시 형태 3)

[0149] 실시 형태 3의 액정 디스플레이는, 시프트 레지스터 내의 소자 및 배선의 레이아웃이 서로 다른 것을 제외하고, 실시 형태 1의 액정 디스플레이와 실질적으로 동일하다.

[0150] 본 실시 형태에서는, 도 16에 도시한 바와 같이, 트랜지스터 Tr2 내지 Tr4(제어 소자 영역(77))는, 어레이 기관

(10)의 단부(10a)와, 부트스트랩 콘덴서 CB1 사이의 영역 내에 배치되어 있다.

- [0151] 어레이 기관(10)은, 굽은 파선으로 경계지어진 띠 형상의 영역(63; 이하, '시일 도포 영역'이라고도 함)을 포함하고 있으며, 시일(62)은, 시일 도포 영역(63)으로부터 비어져 나오지 않도록 하여 시일 도포 영역(63) 위에 띠 형상으로 형성되어 있다. 시일 도포 영역(63)은, 한쪽 단부가 제어 소자 영역(77)과 어레이 기관(10)의 단부(10a) 사이의 영역 내에 설정되고, 다른 쪽 단부가 배선(74) 및 표시 영역(7) 사이의 영역 내에 설정되어 있다. 또한, 시일 도포 영역(63)은, 출력 트랜지스터 Tr1 및 부트스트랩 콘덴서 CB1이 배치되어 있는 영역(64)과, 트랜지스터 Tr2 내지 Tr4가 배치되어 있는 영역(67)과, 배선(74 내지 76)(배선군(78))이 배치되어 있는 영역(68)을 포함하고 있다. 영역(68)은, 상기 제1 영역에 상당하고, 영역(64)은, 상기 제2 영역에 상당한다. 이와 같이, 본 실시 형태에서는, 비교 형태 1과는 달리, 시일 도포 영역(63) 내에 출력 트랜지스터 Tr1 및 부트스트랩 콘덴서 CB1이 배치되어 있다.
- [0152] 시일(62)은, 출력 트랜지스터 Tr1의 일부 또는 전부와, 배선(76)의 일부 또는 전부를 적어도 덮도록 배치되어 있다. 시일 도포 영역(63)으로부터 비어져 나오지 않는 한, 이들 이외의 영역을 시일(62)이 덮는지 여부는 특별히 한정되지 않는다. 예를 들어, 시일(62)은, 부트스트랩 콘덴서 CB1의 일부 또는 전부와, 출력 트랜지스터 Tr1의 전부와, 배선(76)의 전부를 덮도록 배치되어도 되고, 제어 소자 영역(77)의 일부 영역 또는 전체 영역과, 부트스트랩 콘덴서 CB1의 전부와, 출력 트랜지스터 Tr1의 전부와, 배선(76)의 전부와, 배선(75)의 일부 또는 전부를 덮도록 배치되어도 되며, 제어 소자 영역(77)의 일부 영역 또는 전체 영역과, 부트스트랩 콘덴서 CB1의 전부와, 출력 트랜지스터 Tr1의 전부와, 배선(76)의 전부와, 배선(75)의 전부와, 배선(74)의 일부 또는 전부를 덮도록 배치되어도 된다. 이와 같이, 시일(62)은 액정층(61)에 인접하는 제1 부분과, 제1 부분에 인접하는 제2 부분을 포함하며, 제1 부분은, 영역(68) 위에 배치되고, 제2 부분은, 영역(64) 위에 배치되어 있다.
- [0153] 본 실시 형태에서는, 출력 트랜지스터 Tr1 및 부트스트랩 콘덴서 CB1은, 어레이 기관(10)의 단부(10a)와 배선(76) 사이의 영역 내에 배치되어 있다. 그로 인해, 배선군(78)을 출력 트랜지스터 Tr1 및 부트스트랩 콘덴서 CB1의 표시 영역(7)측에 배치할 수 있다. 또한, 배선(74 내지 76)이 배치되어 있는 영역(68) 위에 있어서 시일재를 가경화 및 본경화시킬 수 있으며, 한편, 출력 트랜지스터 Tr1 및 부트스트랩 콘덴서 CB1이 배치되어 있는 영역(64) 위에 있어서 시일재를 본경화시킬 수 있다. 이상의 결과, 시일 본경화 공정을 종료할 때까지 시일재 성분이 액정층에 용해되는 것을 억제할 수 있다. 또한, 시일 도포 영역(63)을 넓게 설정할 수 있다. 또한, 액정 누설이 발생하는 것을 억제할 수 있다. 따라서, 실시 형태 1과 마찬가지로, 품질상의 문제의 발생을 저감할 수 있으면서, 기관 간의 접촉 강도를 향상시킬 수 있다.
- [0154] 단, 본 실시 형태에서는, 가경화 및 본경화하는 시일재 부분이 분리하여 배치되어 있는 점에서, 실시 형태 1과는 상이하다.
- [0155] (실시 형태 4)
- [0156] 실시 형태 4의 액정 디스플레이는, 시프트 레지스터 내의 소자 및 배선의 레이아웃이 서로 다른 것을 제외하고, 실시 형태 3의 액정 디스플레이와 실질적으로 동일하다.
- [0157] 실시 형태 3에서는, 트랜지스터 Tr2 내지 Tr4(제어 소자 영역(77))는, 어레이 기관(10)의 단부(10a)와, 부트스트랩 콘덴서 CB1 사이의 영역 내에 배치되어 있었다. 한편, 본 실시 형태에서는, 도 17에 도시한 바와 같이, 배선군(78)이 어레이 기관(10)의 단부(10a)와, 출력 트랜지스터 Tr1 사이의 영역 내에 배치되어 있다. 실시 형태 3, 4는, 출력 트랜지스터 Tr1 및 부트스트랩 콘덴서 CB1이, 배선군(78)과 트랜지스터 Tr2 내지 Tr4(제어 소자 영역(77)) 사이의 영역 내에 배치되어 있다는 점에서 공통의 특징을 갖는다.
- [0158] 어레이 기관(10)은, 굽은 파선으로 경계지어진 띠 형상의 영역(63: 이하, '시일 도포 영역'이라고도 함)을 포함하고 있으며, 시일(62)은, 시일 도포 영역(63)으로부터 비어져 나오지 않도록 하여 시일 도포 영역(63) 위에 띠 형상으로 형성되어 있다. 시일 도포 영역(63)은, 한쪽 단부가 배선(74)과 단부(10a) 사이에 설정되고, 다른 쪽 단부가 트랜지스터 Tr2 내지 Tr4(제어 소자 영역(77))와 표시 영역(7) 사이의 영역 내에 설정되어 있다. 시일 도포 영역(63)은, 출력 트랜지스터 Tr1 및 부트스트랩 콘덴서 CB1이 배치되어 있는 영역(64)과, 트랜지스터 Tr2 내지 Tr4가 배치되어 있는 영역(67)과, 배선(74 내지 76)(배선군(78))이 배치되어 있는 영역(68)을 포함하고 있다. 영역(67)은, 상기 제1 영역에 상당하고, 영역(64)은, 상기 제2 영역에 상당한다. 이와 같이, 본 실시 형태에서는, 비교 형태 1과는 달리, 시일 도포 영역(63) 내에 출력 트랜지스터 Tr1 및 부트스트랩 콘덴서 CB1이 배치되어 있다.
- [0159] 시일(62)은, 부트스트랩 콘덴서 CB1의 일부 또는 전부와, 제어 소자 영역(77)의 일부 영역 또는 전체 영역을 적

어도 덮도록 배치되어 있다. 시일 도포 영역(63)으로부터 비어져 나오지 않는 한, 이들 이외의 영역을 시일(62)이 덮는지 여부는 특별히 한정되지 않는다. 예를 들어, 시일(62)은, 출력 트랜지스터 Tr1의 일부 또는 전부와, 부트스트랩 콘덴서 CB1의 전부와, 제어 소자 영역(77)의 일부 영역 또는 전체 영역을 덮도록 배치되어도 되고, 배선(76)의 일부 또는 전부와, 출력 트랜지스터 Tr1의 전부와, 부트스트랩 콘덴서 CB1의 전부와, 제어 소자 영역(77)의 일부 영역 또는 전체 영역을 덮도록 배치되어도 되고, 배선(75)의 일부 또는 전부와, 배선(76)의 전부와, 출력 트랜지스터 Tr1의 전부와, 부트스트랩 콘덴서 CB1의 전부와, 제어 소자 영역(77)의 일부 영역 또는 전체 영역을 덮도록 배치되어도 되며, 배선(74)의 일부 또는 전부와, 배선(75)의 전부와, 배선(76)의 전부와, 출력 트랜지스터 Tr1의 전부와, 부트스트랩 콘덴서 CB1의 전부와, 제어 소자 영역(77)의 일부 영역 또는 전체 영역을 덮도록 배치되어도 된다. 이와 같이, 시일(62)은, 액정층(61)에 인접하는 제1 부분과, 제1 부분에 인접하는 제2 부분을 포함하고, 제1 부분은, 영역(67) 위에 배치되고, 제2 부분은, 영역(64) 위에 배치되어 있다.

[0160] 본 실시 형태에서는, 실시 형태 1과 마찬가지로, 출력 트랜지스터 Tr1 및 부트스트랩 콘덴서 CB1은, 어레이 기관(10)의 단부(10a)와 제어 소자 영역(77) 사이의 영역 내에 배치되어 있다. 따라서, 본 실시 형태에 있어서도, 품질상의 문제의 발생을 저감할 수 있으면서, 기관 간의 접촉 강도를 향상시킬 수 있다.

[0161] 또한, 배선군(78)은, 어레이 기관(10)의 단부(10a)와, 출력 트랜지스터 Tr1 사이의 영역 내에 배치되어 있다. 그로 인해, 외부로부터 침입하는 정전기로부터 트랜지스터 Tr1 내지 Tr4를 배선군(78)에 의해 보호할 수 있다.

[0162] 또한, 실시 형태 3, 4의 각각에 있어서는, 출력 트랜지스터 Tr1 및 부트스트랩 콘덴서 CB1의 배치 장소가 서로 바뀌어 있어도 된다.

[0163] (실시 형태 5)

[0164] 실시 형태 5의 액정 디스플레이는, 시프트 레지스터 내의 소자 및 배선의 레이아웃이 서로 다른 것을 제외하고, 실시 형태 1의 액정 디스플레이와 실질적으로 동일하다.

[0165] 본 실시 형태에서는, 도 18에 도시한 바와 같이, 트랜지스터 Tr2 내지 Tr4(제어 소자 영역(77))는 표시 영역(7)과, 부트스트랩 콘덴서 CB1 사이의 영역 내에 배치되어 있으며, 배선군(78)은, 출력 트랜지스터 Tr1과 부트스트랩 콘덴서 CB1 사이의 영역 내에 배치되어 있다.

[0166] 어레이 기관(10)은, 굵은 파선으로 경계지어진 띠 형상의 영역(63: 이하, '시일 도포 영역'이라고도 함)을 포함하고 있으며, 시일(62)은, 시일 도포 영역(63)으로부터 비어져 나오지 않도록 하여 시일 도포 영역(63) 위에 띠 형상으로 형성되어 있다. 시일 도포 영역(63)은, 한쪽 단부가 출력 트랜지스터 Tr1과 어레이 기관(10)의 단부(10a) 사이의 영역 내에 설정되고, 다른 쪽 단부가 트랜지스터 Tr2 내지 Tr4(제어 소자 영역(77))와 표시 영역(7) 사이의 영역 내에 설정되어 있다. 시일 도포 영역(63)은, 출력 트랜지스터 Tr1이 배치되어 있는 영역(69)과, 부트스트랩 콘덴서 CB1이 배치되어 있는 영역(70)과, 트랜지스터 Tr2 내지 Tr4가 배치되어 있는 영역(67)과, 배선(74 내지 76)(배선군(78))이 배치되어 있는 영역(79)을 포함하고 있다. 영역(67, 79)은, 상기 제1 영역에 상당하고, 영역(69, 70)은, 상기 제2 영역에 상당한다. 이와 같이, 본 실시 형태에서는, 비교 형태 1과는 달리, 시일 도포 영역(63) 내에 출력 트랜지스터 Tr1 및 부트스트랩 콘덴서 CB1이 배치되어 있다.

[0167] 시일(62)은, (1) 출력 트랜지스터 Tr1의 일부 또는 전부와, 배선(74)의 일부 또는 전부를 적어도 덮도록 배치되어 있거나, 또는 (2) 부트스트랩 콘덴서 CB1의 일부 또는 전부와, 제어 소자 영역(77)의 일부 영역 또는 전체 영역을 적어도 덮도록 배치되어 있다. 또한, 시일(62)은, 액정층(61)에 인접하는 제1 부분과, 제1 부분에 인접하는 제2 부분을 포함하고 있다. (1), (2)의 각 경우에 있어서, 시일 도포 영역(63)으로부터 비어져 나오지 않으면서, 제1 부분이 부트스트랩 콘덴서 CB1 위에 배치되지 않는 한, 상기 이외의 영역을 시일(62)이 덮는지 여부는 특별히 한정되지 않는다.

[0168] (1)의 경우, 예를 들어 시일(62)은, 출력 트랜지스터 Tr1의 전부와, 배선군(78)의 전부를 덮도록 배치되어도 되고, 출력 트랜지스터 Tr1의 일부 또는 전부와, 배선군(78)의 전부와, 부트스트랩 콘덴서 CB1의 전부와, 제어 소자 영역(77)의 일부 영역 또는 전체 영역을 덮도록 배치되어도 된다.

[0169] (2)의 경우, 예를 들어 시일(62)은, 부트스트랩 콘덴서 CB1의 전부와, 제어 소자 영역(77)의 전체 영역을 덮도록 배치되어도 되고, 배선군(78)의 일부 또는 전부와, 부트스트랩 콘덴서 CB1의 전부와, 제어 소자 영역(77)의 일부 영역 또는 전체 영역을 덮도록 배치되어도 되며, 출력 트랜지스터 Tr1의 일부 또는 전부와, 배선군(78)의 전부와, 부트스트랩 콘덴서 CB1의 전부와, 제어 소자 영역(77)의 일부 영역 또는 전체 영역을 덮도록 배치되어

도 된다.

- [0170] 본 실시 형태에서는, 출력 트랜지스터 Tr1은, 어레이 기판(10)의 단부(10a)와 배선군(78) 사이의 영역 내에 배치되어 있으며, 부트스트랩 콘덴서 CB1은, 어레이 기판(10)의 단부(10a)와 제어 소자 영역(77) 사이의 영역 내에 배치되어 있다. 그로 인해, 배선군(78)을 출력 트랜지스터 Tr1의 표시 영역(7)측에 배치할 수 있으며, 또한 제어 소자 영역(77)을 부트스트랩 콘덴서 CB1의 표시 영역(7)측에 배치할 수 있다. 또한, 트랜지스터 Tr2 내지 Tr4가 배치되어 있는 영역(67) 위와, 배선군(78)이 배치되어 있는 영역(79) 위에 있어서 시일재를 가경화 및 본경화시킬 수 있다. 한편, 출력 트랜지스터 Tr1이 배치되어 있는 영역(69) 위와, 부트스트랩 콘덴서 CB1이 배치되어 있는 영역(70) 위에 있어서 시일재를 본경화시킬 수 있다. 이상의 결과, 시일 본경화 공정을 종료할 때까지 시일재 성분이 액정층에 용해되는 것을 억제할 수 있다. 또한, 시일 도포 영역(63)을 넓게 설정할 수 있다. 또한, 액정 누설이 발생하는 것을 억제할 수 있다. 따라서, 실시 형태 1과 마찬가지로, 품질상의 문제의 발생을 저감할 수 있으면서, 기판 간의 접촉 강도를 향상시킬 수 있다.
- [0171] 단, 본 실시 형태에서는, 가경화 및 본경화되는 시일재 부분이 분리하여 배치되어 있는 점에서, 실시 형태 1과는 상이하다.
- [0172] 또한, 실시 형태 5에서는, 출력 트랜지스터 Tr1 및 부트스트랩 콘덴서 CB1의 배치 장소가 서로 바뀌어 있어도 되며, 또한 제어 소자 영역(77) 및 배선군(78)의 배치 장소가 서로 바뀌어 있어도 된다.
- [0173] 이하, 실시 형태 1 내지 5의 다양한 변형예에 대하여 설명한다.
- [0174] 각 TFT의 반도체 재료는 특별히 한정되지 않으며, 적절히 선택할 수 있다. 예를 들어, 실리콘 등의 14족 원소의 반도체, 산화물 반도체 등을 들 수 있다. 또한, 각 TFT의 반도체 재료 결정성은 특별히 한정되지 않으며, 단결정, 다결정, 비정질, 또는, 미결정이어도 되고, 이들 2종 이상의 결정 구조를 포함하여도 된다. 그러나, 출력 트랜지스터가 아몰퍼스 실리콘을 포함하는 경우, 그 구동 능력을 크게 하는 관점에서, 출력 트랜지스터의 채널 폭과, 부트스트랩 콘덴서의 사이즈는 특히 커진다. 따라서, 출력 트랜지스터가 아몰퍼스 실리콘을 포함하는 경우에, 품질상의 문제의 발생을 저감할 수 있는 효과나 시일의 접촉 강도를 향상시키는 등의 효과를 현저히 발휘할 수 있다. 또한, 산화물 반도체는, 인듐(In), 갈륨(Ga), 아연(Zn), 알루미늄(Al) 및 실리콘(Si)으로 이루어지는 군에서 선택되는 적어도 1종의 원소와, 산소(O)를 포함하는 것이 바람직하고, In, Ga, Zn 및 O를 포함하는 것이 보다 바람직하다.
- [0175] 또한, 각 TFT형은 보텀 게이트형으로 특별히 한정되지 않으며 적절히 선택할 수 있다.
- [0176] 또한, 프레임 영역에는, 게이트 드라이버의 TFT 이외의 TFT가 더 배치되어 있어도 된다.
- [0177] 또한, 전술한 레이아웃을 만족하는 단위 회로의 수와 배치 장소는 특별히 한정되지 않으며, 적절히 설정할 수 있다. 즉, 적어도 하나의 단위 회로가 전술한 어느 하나의 레이아웃을 포함하고 있으면 되고, 일부 또는 모든 단위 회로가 전술한 어느 하나의 레이아웃을 포함하여도 된다. 단, 전술한 효과를 특히 효과적으로 발휘하는 관점에서는, 모든 단위 회로가 전술한 어느 하나의 레이아웃을 포함하는 것이 바람직하다.
- [0178] 또한, 각 게이트 드라이버의 소자 및 배선의 종류는, 출력 트랜지스터 및 부트스트랩 콘덴서를 제외하고, 특별히 한정되지 않으며, 적절히 결정할 수 있다.
- [0179] 그리고, 실시 형태 1 내지 5는 서로 조합되어도 되며, 예를 들어 서로 다른 레이아웃의 단위 회로를 동일한 시프트 레지스터 내에 형성하여도 되고, 복수의 시프트 레지스터가 서로 다른 레이아웃의 단위 회로를 포함하고 있어도 된다.

부호의 설명

- [0180] 1: 액정 패널
- 2: 표시부
- 3: 화소
- 4: 화소용 TFT
- 5: 소스 버스 라인용 구동 회로(소스 드라이버)
- 6a, 6b: 게이트 버스 라인용 구동 회로(게이트 드라이버)

- 7: 표시 영역
- 8: 프레임 영역
- 9: 화소 전극
- 10: 어레이 기판
- 10a: 단부
- 11: 절연 기판
- 12, S1 내지 Sm: 소스 버스 라인
- 13, G1 내지 Gn: 게이트 버스 라인
- 14: 공통 전이용 전극
- 16: 공통 간배선
- 17: 공통 버스 라인
- 18, 19: 인출선
- 25: 입력 배선
- 26, 27, 28, 29, 30: 단자
- 31: 제1 전극
- 32: 제2 전극
- 41: 게이트 전극
- 42: 게이트 절연막
- 43: i층(반도체 활성층)
- 44: n+층
- 45: 소스 전극
- 46: 드레인 전극
- 47, 48: 절연막
- 50: 대향 기판
- 51: 절연 기판
- 52: 블랙 매트릭스(BM)
- 61: 액정층
- 62: 시일
- 63: 시일 도포 영역
- 64 내지 69, 70, 79: 영역
- 71: 화소 어레이
- 72: 표시 제어 회로
- 73a, 73b: 시프트 레지스터
- 74 내지 76: 배선
- 77: 제어 소자 영역
- 78: 배선군

Pij: 화소 회로

SR1 내지 SRn: 단위 회로

INa, INb: 입력 단자

CKA, CKB: 클럭 단자

VSS: 전원 단자

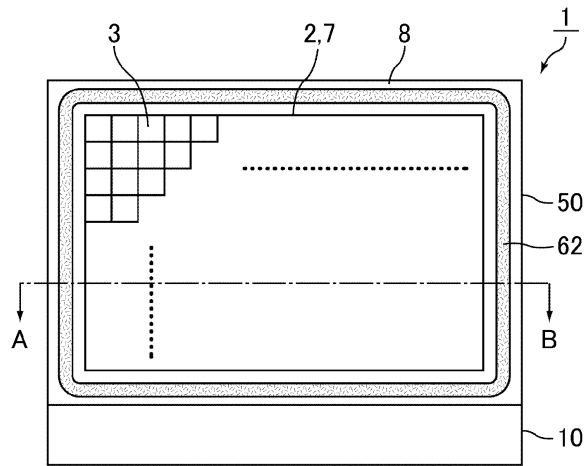
OUT: 출력 단자

Tr1 내지 Tr4: 트랜지스터

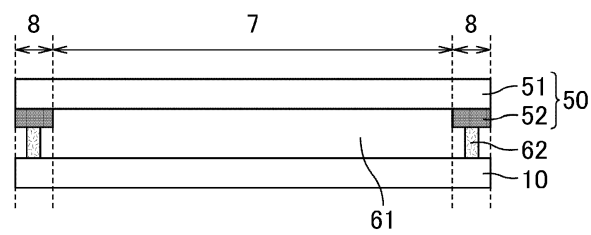
CB1: 부트스트랩 콘덴서

도면

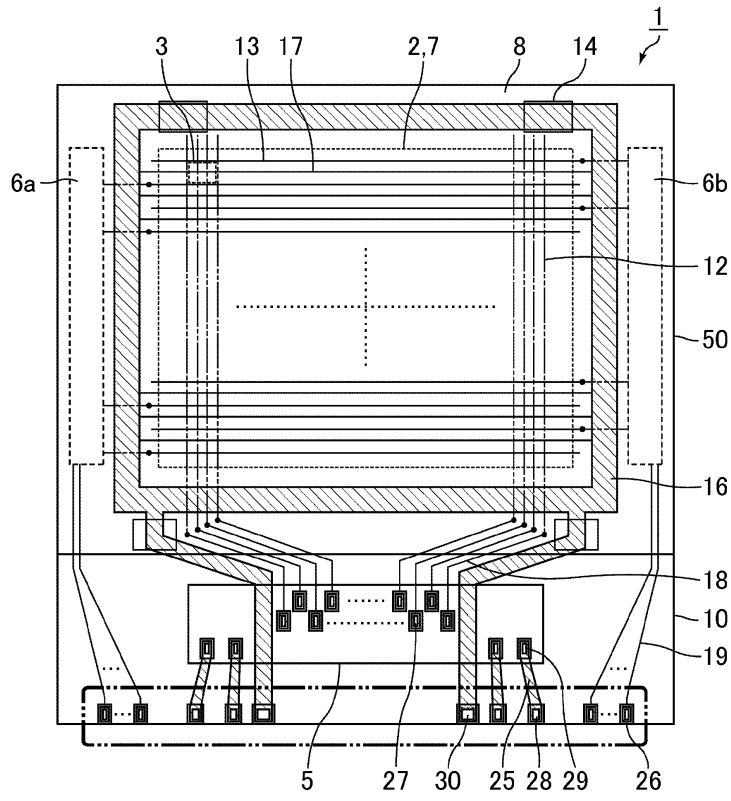
도면1



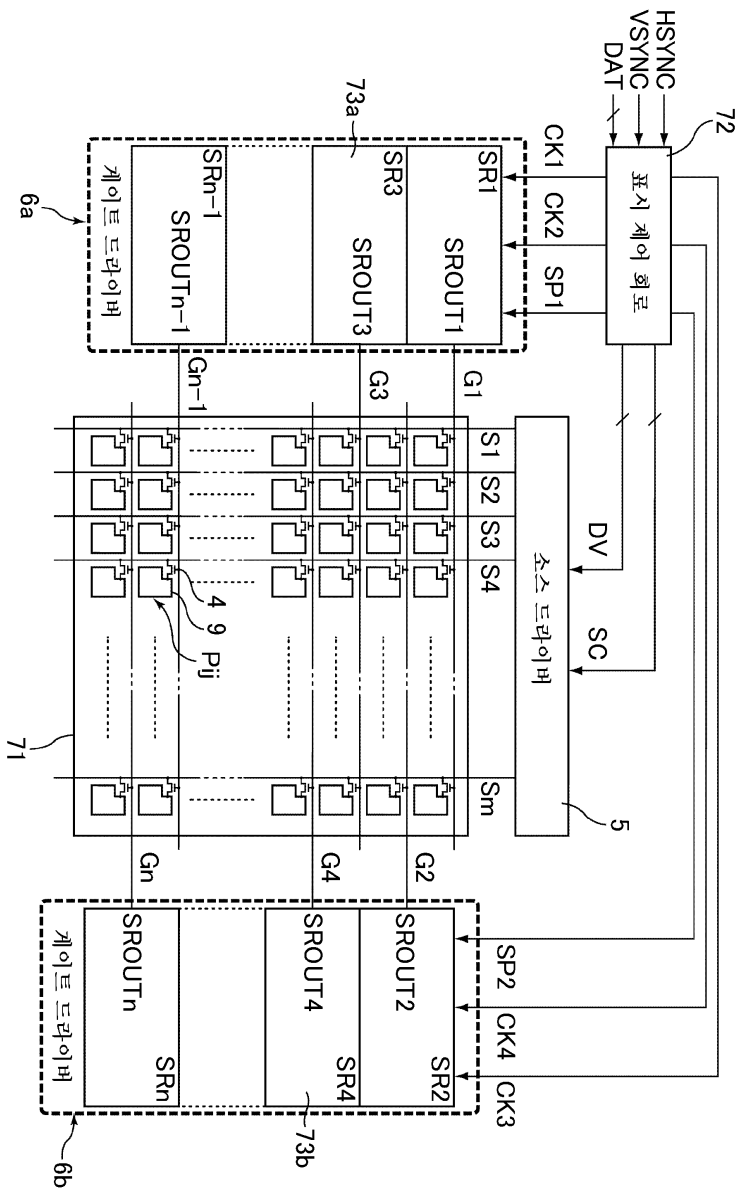
도면2



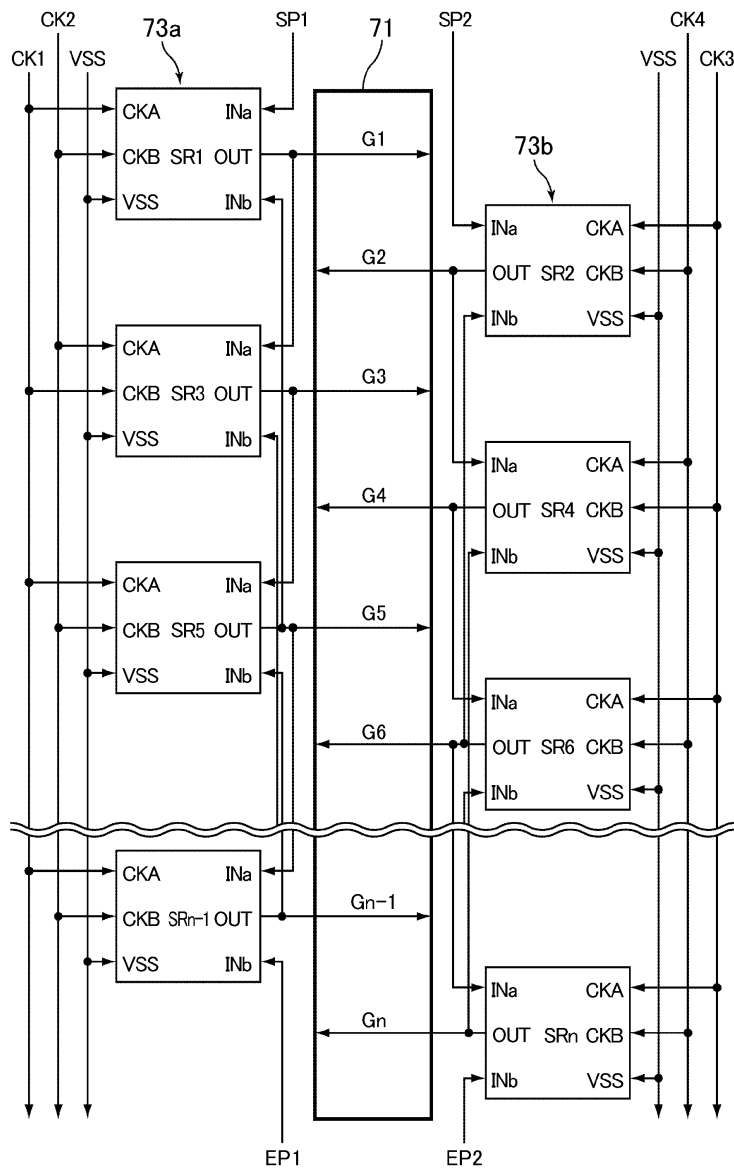
도면3



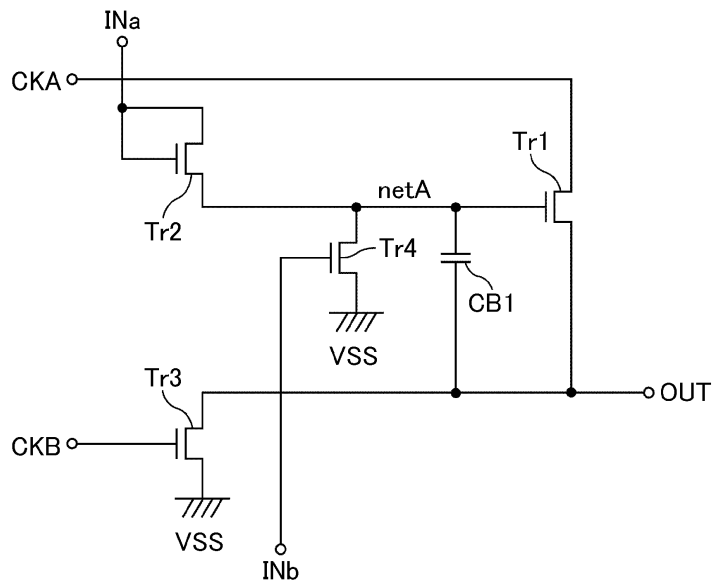
도면4



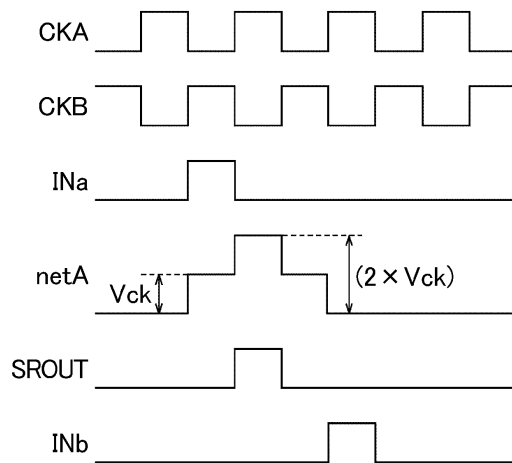
도면5



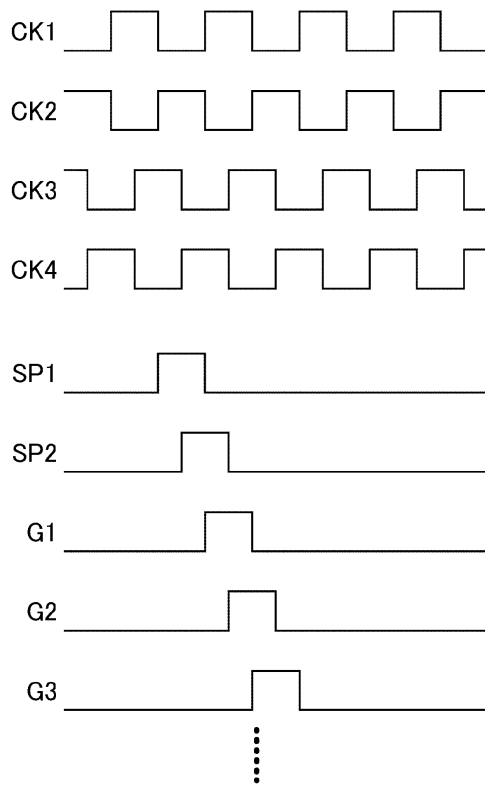
도면6



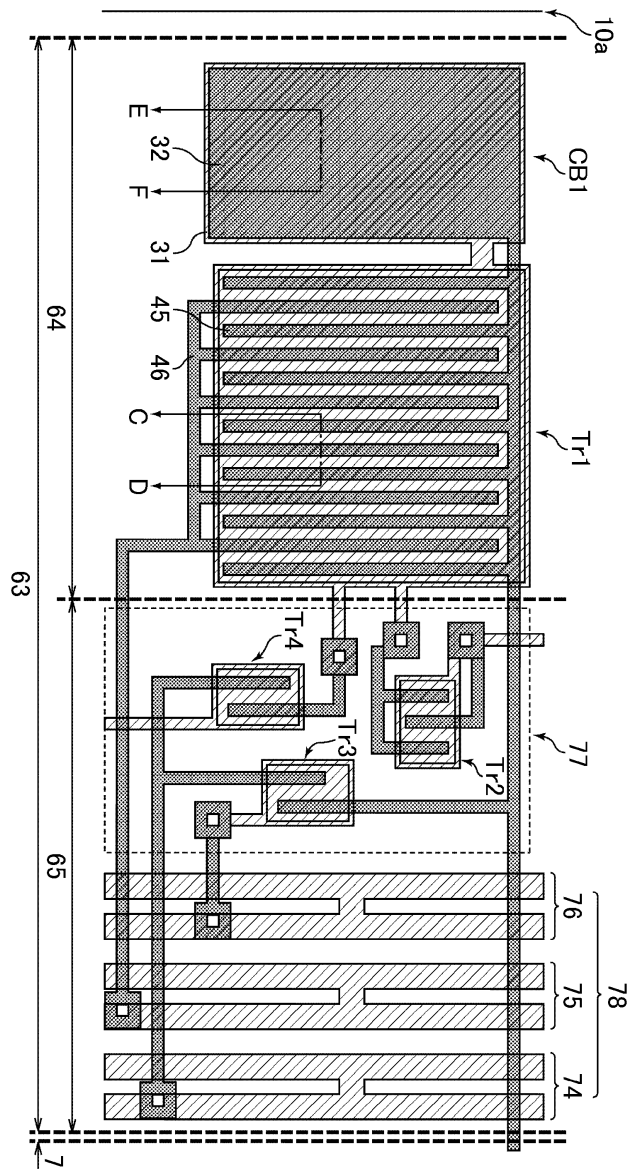
도면7



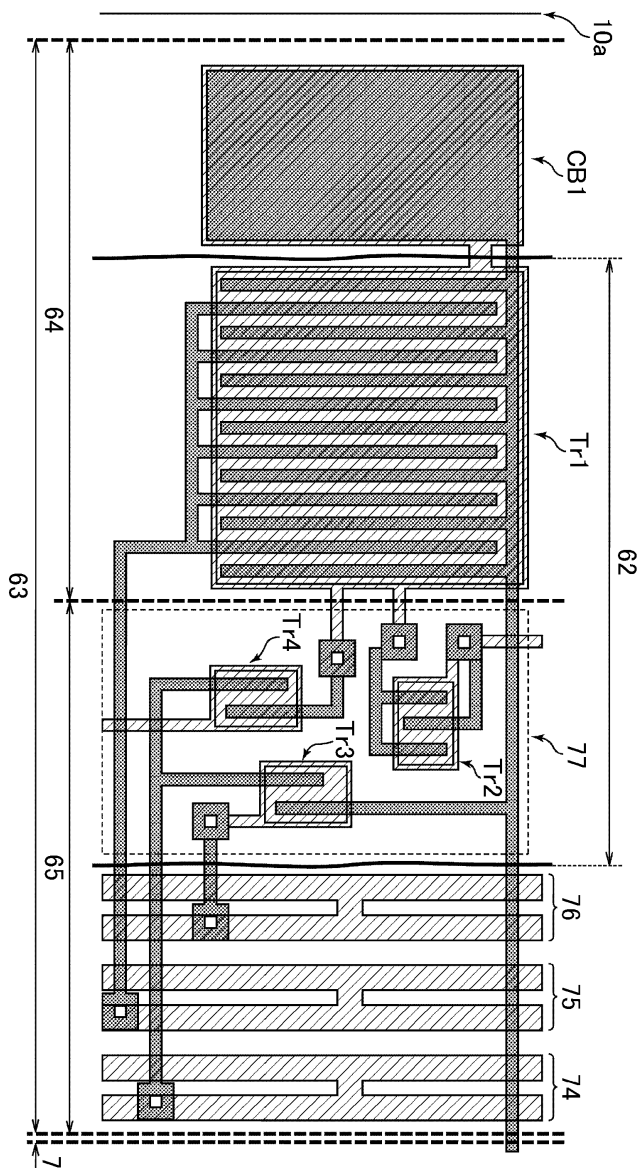
도면8



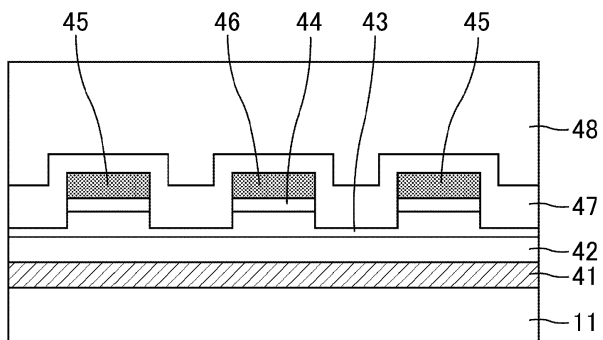
도면9



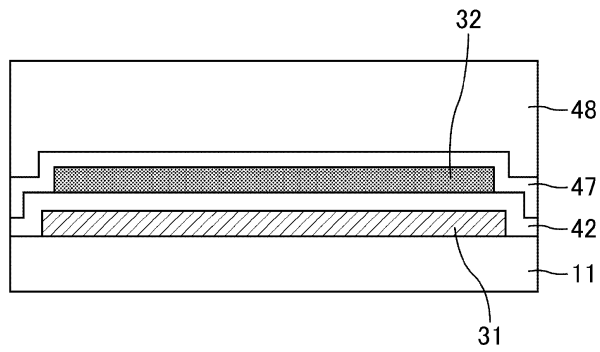
도면10



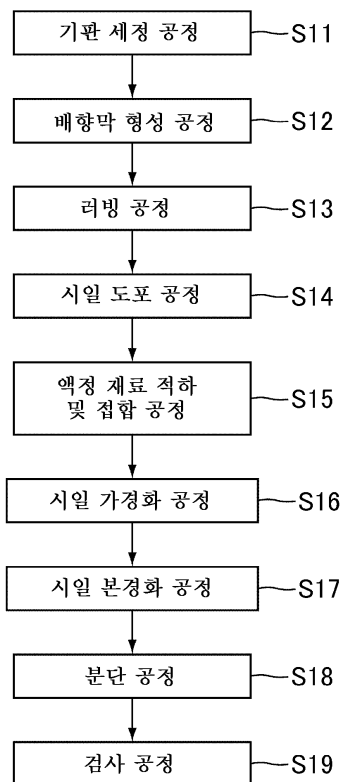
도면11



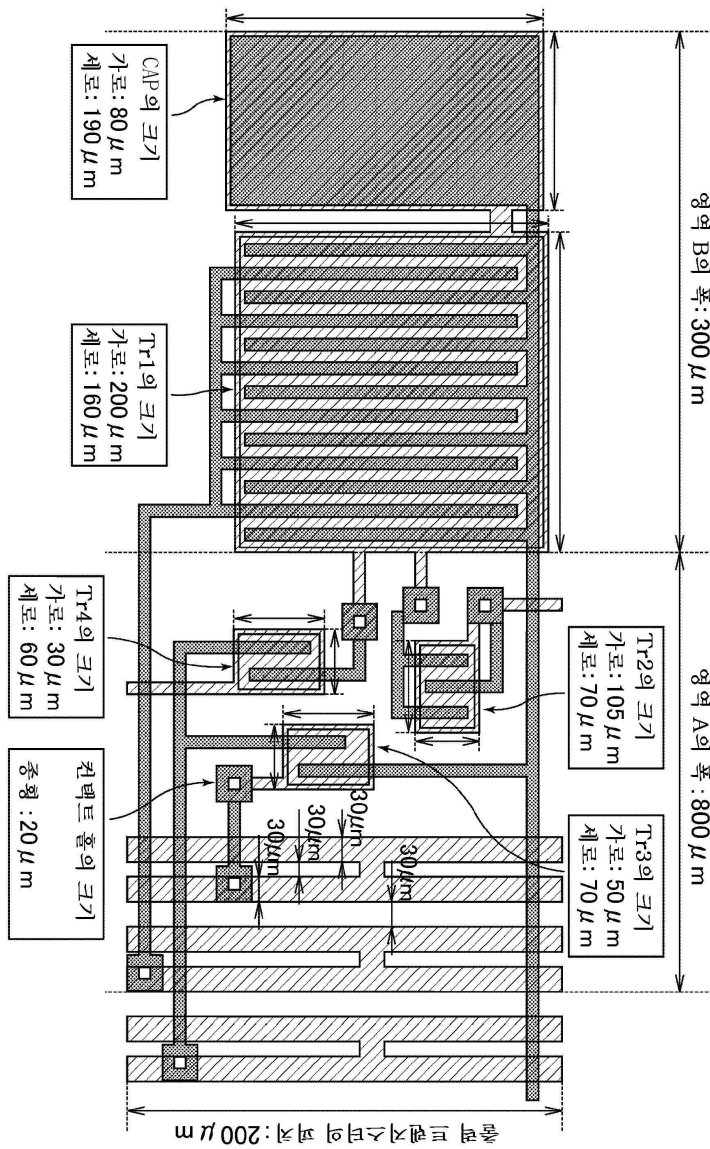
도면12



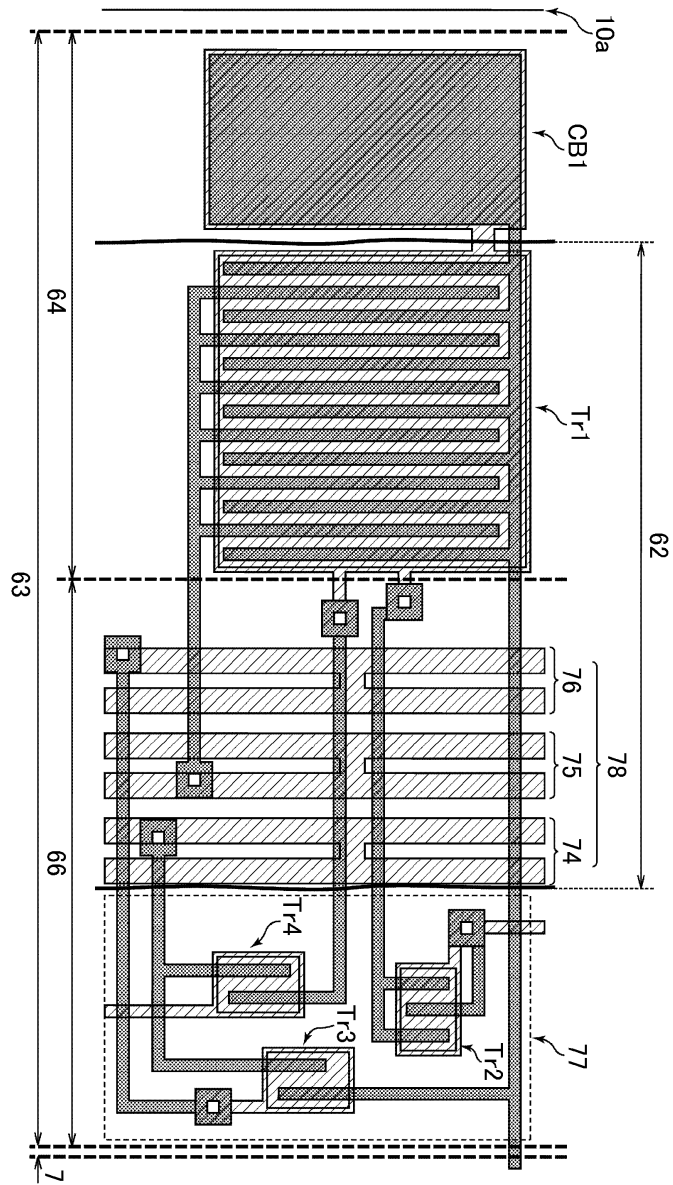
도면13



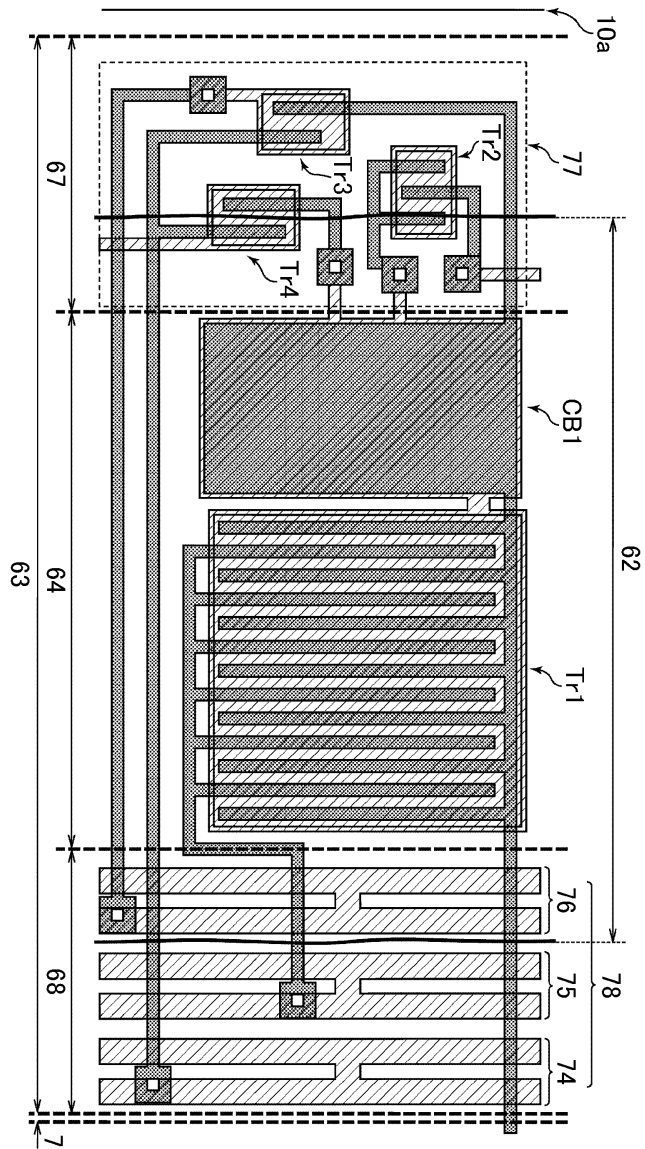
도면14



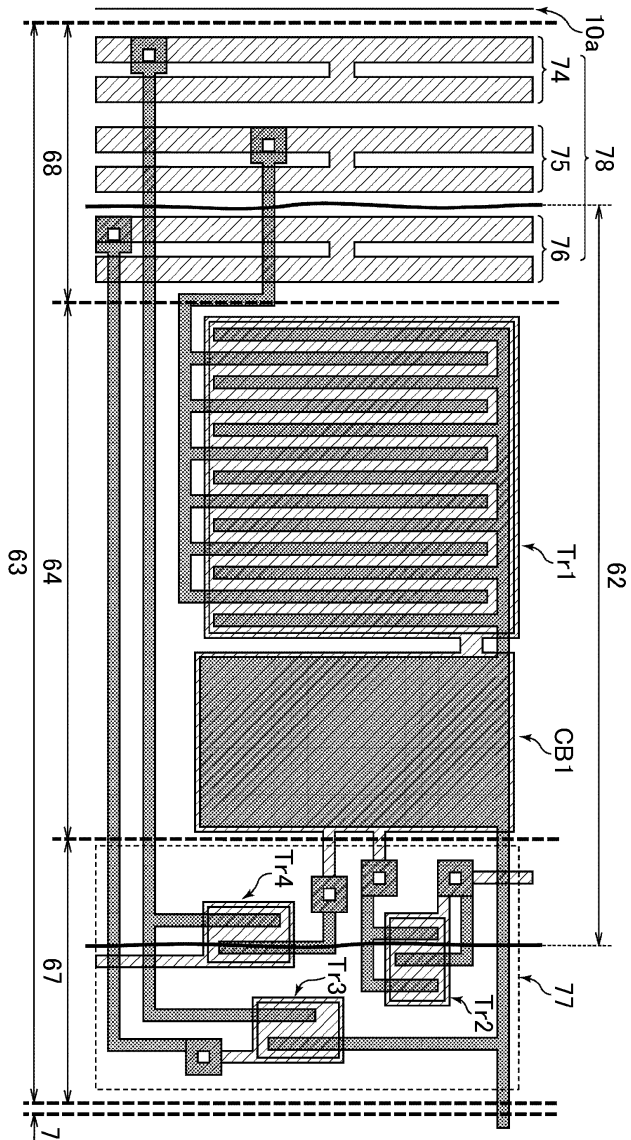
도면15



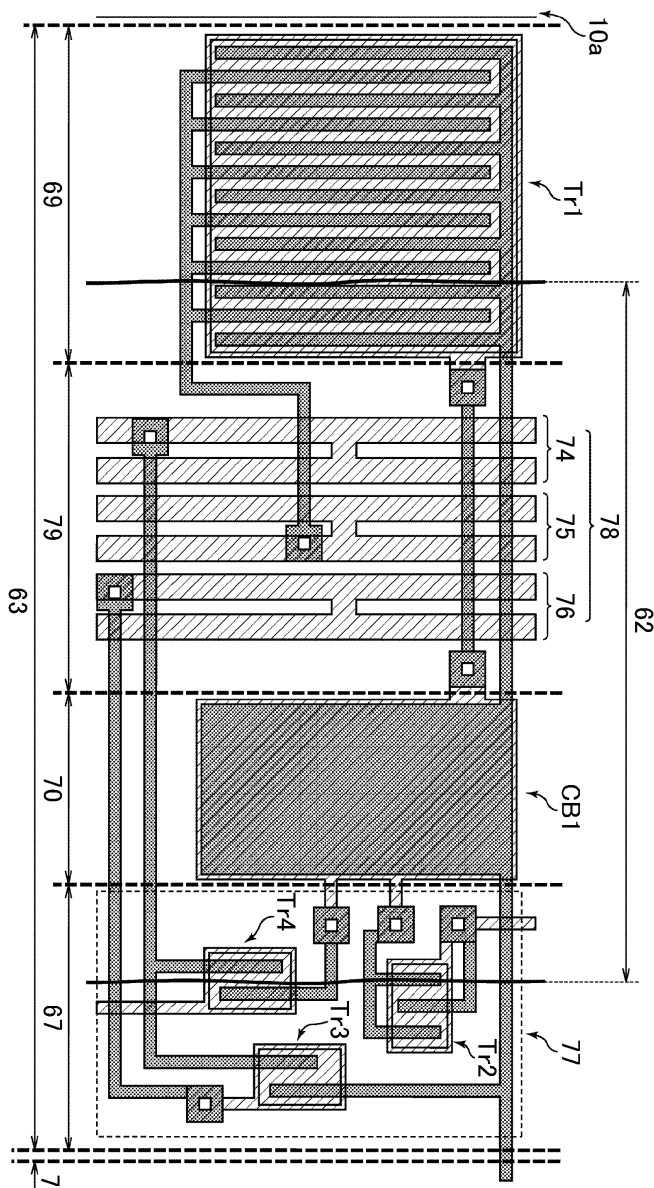
도면16



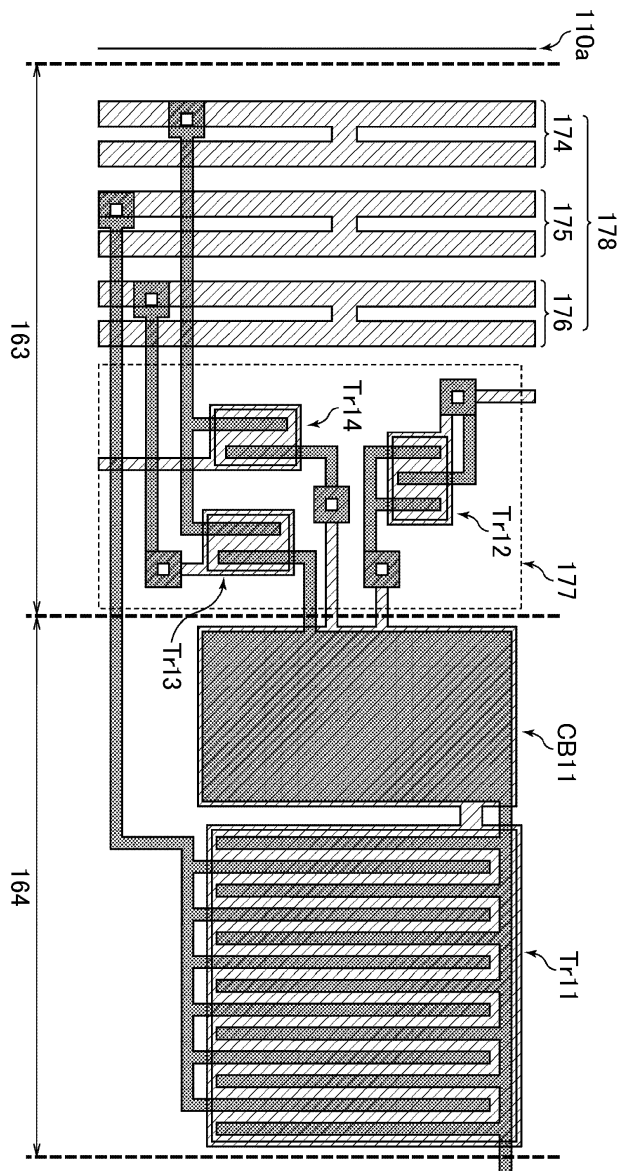
도면17



도면18



도면19



专利名称(译)	发明名称液晶显示器		
公开(公告)号	KR101608165B1	公开(公告)日	2016-03-31
申请号	KR1020147030850	申请日	2013-05-09
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	MORI TAKAHIRO 모리다카히로		
发明人	모리다카히로		
IPC分类号	G02F1/1345 G11C19/28 G09G3/36 G11C19/00 G02F1/1339 G09G3/20		
CPC分类号	G09G3/3677 G09G2300/0408 G09G2310/0286 G11C19/28 G11C19/287 G02F1/1339 G02F1/1345 G02F1/133345 G02F1/133512 G02F1/136213 G02F1/1368		
代理人(译)	Jangsugil Bakchungbeom		
优先权	2012112771 2012-05-16 JP		
其他公开文献	KR1020140143436A		
外部链接	Espacenet		

摘要(译)

本发明提供一种液晶显示器，其能够减少质量问题的发生并提高基板之间的结合强度。根据本发明，提供了一种液晶显示器，包括第一和第二基板以及密封件，其中第一基板包括：单片地形成在绝缘基板上的移位寄存器；多条总线；其中，移位寄存器包括多个级联连接的单元电路和连接到多个单元电路的布线，并设置在第一端和显示区域之间的区域中，输出晶体管，输出晶体管，第二晶体管和自举电容器，以及输出晶体管和自举电容器设置在第一端和布线或第二晶体管之间的区域中。

