



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년04월10일

(11) 등록번호 10-1510653

(24) 등록일자 2015년04월03일

(51) 국제특허분류(Int. Cl.)

G02F 1/133 (2006.01) G09G 3/36 (2006.01)

(21) 출원번호 10-2010-7012901

(22) 출원일자(국제) 2008년10월30일

심사청구일자 2013년10월15일

(85) 번역문제출일자 2010년06월11일

(65) 공개번호 10-2010-0097689

(43) 공개일자 2010년09월03일

(86) 국제출원번호 PCT/JP2008/070249

(87) 국제공개번호 WO 2009/063797

국제공개일자 2009년05월22일

(30) 우선권주장

JP-P-2007-295011 2007년11월14일 일본(JP)

(56) 선행기술조사문헌

JP08184809 A

JP2007304578 A

JP2009116205 A

KR1020010090761 A

(73) 특허권자

가부시키가이샤 한도오파이 에네루기 켄큐쇼

일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자

후쿠토메 다카히로

일본 243-0036 가나가와켄 아쓰기시 하세 398 가

부시키가이샤 한도오파이 에네루기 켄큐쇼 내

니시 타케시

일본 243-0036 가나가와켄 아쓰기시 하세 398 가

부시키가이샤 한도오파이 에네루기 켄큐쇼 내

(74) 대리인

장훈

전체 청구항 수 : 총 16 항

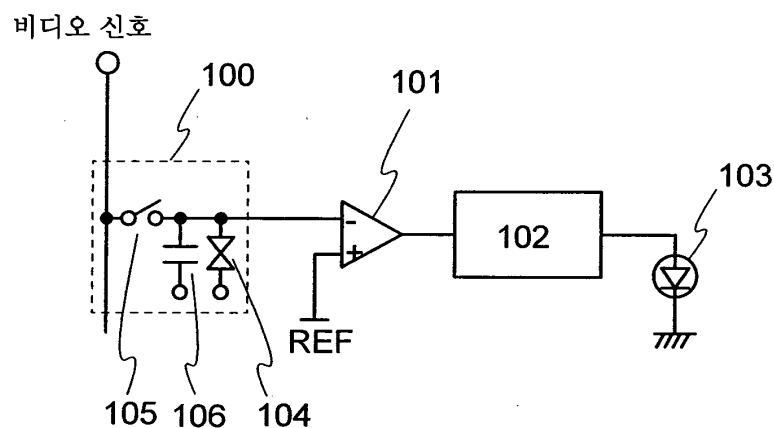
심사관 : 김민수

(54) 발명의 명칭 액정 표시 장치

(57) 요약

액정 표시 장치가 제공되고, 액정 표시 장치는 화소 전극, 대향 전극, 및 화소 전극과 대향 전극 간에 배치된 액정을 포함하는 액정 소자, 광원, 화소 전극의 전위와 기준 전위를 비교하고 비교 결과에 따라 출력 전위를 공급하도록 구성된 비교 회로, 및 비교 회로로부터 공급된 출력 전위에 따라 광원의 점등 및 소등을 스위칭하도록 구성된 제어 회로를 포함한다.

대표도



명세서

청구범위

청구항 1

액정 표시 장치에 있어서:

화소 전극, 대향 전극, 및 상기 화소 전극과 상기 대향 전극 간에 배치된 액정을 포함하는 액정 소자;

광원;

상기 화소 전극의 전위와 기준 전위를 비교하고, 상기 비교의 결과에 따라 출력 전위를 공급하는 비교 회로; 및
상기 비교 회로로부터 공급된 상기 출력 전위에 따라 상기 광원의 점등 및 소등을 스위칭하는 제어 회로를 포함하는, 액정 표시 장치.

청구항 2

제 1 항에 있어서, 상기 액정 소자에 전기적으로 접속된 용량 소자를 더 포함하는, 액정 표시 장치.

청구항 3

제 1 항에 있어서, 상기 액정 소자에 전기적으로 접속된 제 1 용량 소자 및 제 2 용량 소자를 더 포함하는, 액정 표시 장치.

청구항 4

제 1 항에 있어서, 상기 광원은 발광 다이오드를 포함하는, 액정 표시 장치.

청구항 5

제 1 항에 있어서, 상기 제어 회로는 상기 비교 회로로부터 공급된 상기 출력 전위를 보유하는 메모리 회로, 및 상기 광원을 점등 및 소등하는 스위칭 회로를 포함하는, 액정 표시 장치.

청구항 6

제 1 항에 있어서,

상기 액정 표시 장치가 사용되는 환경에서 광의 강도를 검출하고, 제 1 신호를 생성하는 광 검출기;

상기 검출의 결과에 따라 제 2 신호를 생성하는 신호 생성 회로; 및

상기 제 2 신호에 따라 상기 광원의 휘도를 조정하는 휘도 제어 회로를 더 포함하는, 액정 표시 장치.

청구항 7

제 1 항에 있어서,

상기 액정 표시 장치가 사용되는 환경에서 광의 강도를 검출하고, 제 1 신호를 생성하는 광 검출기;

상기 검출의 결과에 따라 제 2 신호를 생성하는 신호 생성 회로; 및

상기 제 2 신호에 따라 상기 광원의 휘도를 조정하는 휘도 제어 회로를 더 포함하고,

상기 신호 생성 회로는, 상기 환경에서 상기 광의 상기 강도가 더 높아짐에 따라 상기 광원의 상기 휘도를 더 높게 하거나, 상기 환경에서 상기 광의 상기 강도가 더 낮아짐에 따라 상기 광원의 상기 휘도를 더 낮게 하도록 상기 광원의 상기 휘도를 조정하기 위한 상기 제 2 신호를 생성하는, 액정 표시 장치.

청구항 8

액정 표시 장치에 있어서:

화소 전극, 대향 전극, 및 상기 화소 전극과 상기 대향 전극 간에 배치된 액정을 각각 포함하는 제 1 액정 소자 및 제 2 액정 소자;

제 1 광원 및 제 2 광원;

상기 제 1 액정 소자의 상기 화소 전극의 전위와 기준 전위를 비교하고, 상기 비교의 결과에 따라 제 1 출력 전위를 공급하는 제 1 비교 회로;

상기 제 2 액정 소자의 상기 화소 전극의 전위와 상기 기준 전위를 비교하고, 상기 비교의 결과에 따라 제 2 출력 전위를 공급하는 제 2 비교 회로;

상기 제 1 비교 회로로부터 공급된 상기 제 1 출력 전위 및 상기 제 2 비교 회로로부터 공급된 상기 제 2 출력 전위에 따라 상기 제 1 광원 및 상기 제 2 광원 각각의 점등 및 소등을 스위칭하는 제어 회로를 포함하는, 액정 표시 장치.

청구항 9

제 8 항에 있어서, 상기 제 1 액정 소자에 전기적으로 접속된 제 1 용량 소자 및 상기 제 2 액정 소자에 전기적으로 접속된 제 2 용량 소자를 더 포함하는, 액정 표시 장치.

청구항 10

제 8 항에 있어서, 상기 제 1 액정 소자에 전기적으로 접속된 제 1 용량 소자 및 제 2 용량 소자, 및 상기 제 2 액정 소자에 전기적으로 접속된 제 3 용량 소자 및 제 4 용량 소자를 더 포함하는, 액정 표시 장치.

청구항 11

제 8 항에 있어서, 상기 제 1 광원 및 상기 제 2 광원 각각은 발광 다이오드를 포함하는, 액정 표시 장치.

청구항 12

제 8 항에 있어서, 상기 제어 회로는 상기 제 1 비교 회로로부터 공급된 상기 제 1 출력 전위 및 상기 제 2 비교 회로로부터 공급된 상기 제 2 출력 전위를 보유하는 메모리 회로, 및 상기 제 1 광원 및 상기 제 2 광원 각각을 점등 및 소등하는 스위칭 회로를 포함하는, 액정 표시 장치.

청구항 13

제 8 항에 있어서,

상기 액정 표시 장치가 사용되는 환경에서 광의 강도를 검출하고, 제 1 신호를 생성하는 광 검출기;

상기 검출의 결과에 따라 제 2 신호를 생성하는 신호 생성 회로; 및

상기 제 2 신호에 따라 상기 제 1 광원 및 상기 제 2 광원 각각의 휘도를 조정하는 휘도 제어 회로를 더 포함하는, 액정 표시 장치.

청구항 14

제 8 항에 있어서,

상기 액정 표시 장치가 사용되는 환경에서 광의 강도를 검출하고, 제 1 신호를 생성하는 광 검출기;

상기 검출의 결과에 따라 제 2 신호를 생성하는 신호 생성 회로; 및

상기 제 2 신호에 따라 상기 제 1 광원 및 상기 제 2 광원 각각의 휘도를 조정하는 휘도 제어 회로를 더 포함하고,

상기 신호 생성 회로는, 상기 환경에서 상기 광의 상기 강도가 더 높아짐에 따라 상기 제 1 광원 및 상기 제 2 광원 각각의 상기 휘도를 더 높게 하거나, 상기 환경에서 상기 광의 상기 강도가 더 낮아짐에 따라 상기 제 1 광원 및 상기 제 2 광원 각각의 상기 휘도를 더 낮게 하도록 상기 제 1 광원 및 상기 제 2 광원 각각의 상기 휘도를 조정하기 위한 상기 제 2 신호를 생성하는, 액정 표시 장치.

청구항 15

제 8 항에 있어서,

상기 제 1 액정 소자에 입력될 제 1 비디오 신호의 평균화된 계조(gray level)를 계산하고, 상기 제 2 액정 소자에 입력될 제 2 비디오 신호의 평균화된 계조를 계산하는 화상 처리 필터;

상기 제 1 비디오 신호 및 상기 제 2 비디오 신호 각각의 상기 평균화된 계조에 따라 제 2 신호를 생성하는 신호 처리 회로; 및

상기 제 2 신호에 따라 상기 제 1 광원 및 상기 제 2 광원 각각의 휘도를 조정하는 휘도 제어 회로를 더 포함하는, 액정 표시 장치.

청구항 16

제 8 항에 있어서,

상기 제 1 액정 소자에 입력될 제 1 비디오 신호의 평균화된 계조를 계산하고, 상기 제 2 액정 소자에 입력될 제 2 비디오 신호의 평균화된 계조를 계산하는 화상 처리 필터;

상기 제 1 비디오 신호 및 상기 제 2 비디오 신호 각각의 상기 평균화된 계조에 따라 제 2 신호를 생성하는 신호 처리 회로; 및

상기 제 2 신호에 따라 상기 제 1 광원 및 상기 제 2 광원 각각의 휘도를 조정하는 휘도 제어 회로를 더 포함하고,

상기 신호 처리 회로는, 상기 제 1 비디오 신호의 상기 평균화된 계조가 상기 제 2 비디오 신호의 상기 평균화된 계조보다 높을 때 상기 제 1 광원의 상기 휘도를 상기 제 2 광원의 상기 휘도보다 높게 하고, 상기 제 1 비디오 신호의 상기 평균화된 계조가 상기 제 2 비디오 신호의 상기 평균화된 계조보다 낮을 때 상기 제 1 광원의 상기 휘도를 상기 제 2 광원의 상기 휘도보다 낮게 하기 위한 상기 제 2 신호를 생성하는, 액정 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정 소자를 사용하는 액정 표시 장치에 관한 것이다.

배경 기술

[0002] 전계가 액정들에 인가될 때 액정들의 굴절율이 액정 분자들의 배향의 변화에 따라 변하는 현상, 즉, 액정들의 전기 광학 효과를 사용함으로써 액정 표시 장치들은 화상들을 표시한다. 또한, 액정 분자들의 배향의 변화는 화상 정보에 기초하여 전기 신호(비디오 신호)의 전압에서의 변화를 따른다.

[0003] 인가된 전압이 변할 때부터 액정 분자들의 배향의 변화가 수렴될 때까지 액정 표시 장치에서 사용된 액정들의 응답 시간은 일반적으로 약 십 수 밀리초이고, 예를 들면, 액정 표시 장치가 60 Hz의 프레임 주파수에서 구동될 때 하나의 프레임 기간은 약 17 msec이다. 따라서, 하나의 프레임 기간에서 액정들의 응답 시간의 비율이 높기 때문에, 액정 소자의 투과율의 변화가 동화상의 흐릿한 형태처럼 보이기 쉽다. 동화상의 화상 품질을 개선하기 위해, 액정 소자에 인가된 전압을 일시적으로 높은 레벨로 설정함으로써 액정들의 배향을 빠르게 변경하는 오버 드라이브를 채용하거나, 액정들 자체를 개선하는 것과 같은 대책을 강구함으로써 응답 시간이 약간 단축될 수 있다. 그러나, 응답 시간이 단축될지라도, 이는 약 수 밀리초가 걸리고, 동화상의 화상 품질이 여전히 많이 개선되어야 한다.

[0004] 상술된 액정들의 응답 시간 이외에, 액정 표시 장치의 동화상이 흐릿하게 보이는 또 다른 이유가 존재하고, 이는 액정 표시 장치가 전압이 액정 소자에 항상 인가되는 홀드-드라이빙(hold-driving)을 채용한다는 것이다. 인간의 눈들이 잔상들을 인식하는 특성을 갖기 때문에, 흑색을 제외한 임의의 계조들(gray levels)이 표시될 때, 인간의 눈들은 홀드-구동으로 계조들의 변화들을 따라갈 수 없고, 이로써, 동화상이 흐릿한 형태로 보일 수 있다.

[0005] 그러면, 액정들의 응답 시간 및 홀드-구동 양자에 의해 야기된 흐릿함을 해결하기 위해, 액정 분자들의 배향의

변화가 상당한 기간 동안에 흑색을 표시하기 위해 백라이트가 소등되는 임펄스 구동(impulsive driving)이 제안되었다. 임펄스 구동을 채용함으로써, 액정 소자의 투과율의 변화가 상당한 기간 동안에 백라이트가 소등될 수 있고, 인간의 눈들에 잔상들이 남는 것이 방지되고, 이로써 동화상의 흐릿함이 해결될 수 있다.

[0006] 참조 문헌 1(일본 공개 특허 공보 제 H11-202286 호)은, 데이터가 화소에 기록된 후에 액정들이 응답할 때 광을 점등하여 동화상들을 표시하는데 있어서 흔적들이 제거되는 구동 방법을 개시하고 있다.

[0007] 한편, 액정들의 응답 시간은 액정들의 온도에 따라 변한다. 일반적으로, 이것은 액정들의 재료에 의존하지만, 온도가 높을 때, 응답 시간이 짧고, 온도가 낮을 때, 응답 시간이 길다. 또한, 액정들의 온도가 액정 표시 장치가 배치된 환경의 온도, 반도체 소자의 자체 가열, 백라이트의 발열 등으로 인해 크게 변하기 때문에, 액정들의 응답 시간이 또한 상당히 변화된다.

[0008] 예를 들어, 일본, Merck Ltd.에서 제조된 노멀리 화이트(normally white) TN 액정들(상품명: ZLI4792)이 설명될 것이다. 노멀리 화이트 TN 액정들은, 전압이 액정들에 인가되지 않을 때 고투광성을 갖는 밝은 상태이고, 전압이 액정들에 인가될 때 고투광성을 갖는 광 상태에서 저투광성을 갖는 어두운 상태로 돌아온다. 이에 반하여, 노멀리 화이트 TN 액정들은, 전압이 액정들에 인가되는 것이 유지될 때 저투광성을 갖는 어두운 상태이고, 액정들에 대한 전압의 인가가 정지될 때 고투광성을 갖는 밝은 상태로 돌아온다. 액정들이 밝은 상태에서 어두운 상태로 돌아오는데 걸리는 응답 시간 τ_{on} 에 대해 초점을 맞추면, 액정들에 인가된 전압이 5 V인 경우에, 액정들의 온도가 10 °C에서 30 °C로 변할 때, 응답 시간 τ_{on} 은 9.9 msec에서 5.1 msec로 변한다. 또한, 액정들이 어두운 상태에서 밝은 상태로 돌아오는데 걸리는 응답 시간 τ_{off} 에 대해 초점을 맞추면, 액정들에 인가된 전압이 5 V인 경우에, 액정들의 온도가 10 °C에서 30 °C로 변할 때, 응답 시간 τ_{off} 은 23.4 msec에서 11.9 msec로 변한다.

[0009] 한편, 비디오 신호의 전압 및 주파수와 같은 조건들은 실내 온도에서 액정들의 점성(viscosity)에 따라 설정된다. 그러나, 액정들의 점성이 온도에 따라 변하면서, 액정들의 점성 변화는 비디오 신호에 반영되지 않는다. 다시 말해서, 실내 온도보다 낮은 온도의 환경에서, 액정들의 점성이 더 높아지고, 그에 따라 액정들의 응답 속도가 더 낮아지지만, 실내 온도에서 액정들의 점성에 대응하는 비디오 신호의 조건들이 고정되어 유지된다. 따라서, 더 낮은 온도들의 환경에서, 액정 분자들의 배향 변화는 액정들의 응답 속도의 감소로 인해 부가적인 지연으로 비디오 신호의 전압에서의 변화를 따르고, 이로써 흐릿한 동화상의 표시와 같은 표시 품질의 열화가 분명해진다.

[0010] 또한, 상술된 임펄스 구동에서, 전압이 액정 소자에 인가되는 타이밍 및 백라이트가 구동되는 타이밍은, 액정 분자들의 배향 변화가 상당한 기간 동안에 백라이트를 소등하고, 액정 분자들의 배향 변화가 수렴되는 기간 동안에 백라이트를 점등하도록 설정된다. 그러나, 액정들의 응답 시간이 온도 변화로 인해 더 길어지기 때문에, 액정 분자들의 배향이 상당히 변하는 기간이 더 길어지고, 전압이 액정 소자에 인가되는 타이밍 및 백라이트가 구동되는 타이밍은, 액정 분자들의 배향 변화가 수렴되는 기간이 단축될지라도, 그들이 설정된 바와 같이 고정 유지된다. 따라서, 액정 분자들의 배향 변화가 상당한 기간 동안에 백라이트가 점등되는 상황이 발생되기 쉽다. 결과적으로, 액정 분자의 배향 변화, 즉, 액정 소자의 투과율의 변화가 보이고, 동화상이 흐릿하게 보이기 쉽다.

발명의 내용

해결하려는 과제

[0011] 상술된 문제점을 고려하여, 본 발명의 목적은, 액정들의 온도에 의해 영향을 받지 않고 동화상이 흐릿하게 보이는 것이 방지될 수 있는 액정 표시 장치를 제공하는 것이다.

과제의 해결 수단

[0012] 본 발명자들은 전계의 인가로 인한 액정들의 비유전율(relative permittivity)의 변화에 초점을 맞추고, 비유전율의 변화를 광원(백라이트)에 피드백함으로써 액정들의 온도에 의해 영향을 받지 않고 동화상의 흐릿함이 방지될 수 있다는 것을 고려하였다.

[0013] 액정 표시 장치들에서 사용된 액정 분자들의 형태는 일반적으로 막대형이다. 또한, 막대 형태를 갖는 액정 분자들에서, 장축 방향과 단축 방향 간의 분극율(polarizability)의 차이가 존재한다. 따라서, 액정들의 굴절율은 액정 분자들의 배향 변화에 따라 변한다. 비유전율은 또한 유사한 이유로 이방성을 갖고, 액정들의 비유전율은

액정 분자들의 배향 상태에 의존한다. 또한, 액정들의 비유전율은 인가된 전압에 의존한다.

- [0014] 따라서, 본 발명에서, 비유전율과 배향 상태 간의 관계, 및 비유전율과 인가된 전압 간의 관계를 사용하고, 전압을 모니터링함으로써, 액정 분자들의 배향 상태가 간접으로 파악된다. 그리고, 액정 분자들의 배향 변화가 수렴되는 타이밍을 알아내고, 액정 분자들의 배향 변화가 수렴되는 타이밍에 따라 광원이 구동되는 타이밍을 적절하게 설정하여, 액정 분자들의 배향 변화가 상당한 기간 동안 광원을 소등하고, 액정 분자들의 배향 변화가 수렴되는 기간 동안에 광원을 점등한다.
- [0015] 구체적으로, 본 발명의 액정 표시 장치는 화소 전극, 대향 전극, 및 전압이 화소 전극 및 대향 전극에 의해 인가되는 액정을 갖는 액정 소자를 구비한 화소, 화소에 광을 조사하는 광원, 더 높은 전위에 따라 출력될 전위가 스위칭되도록 화소 전극의 전위와 기준으로서 기능하는 전위를 서로 비교하는 비교 회로, 및 비교 회로로부터 출력된 전위가 스위칭되는 타이밍에 따라 광원의 점등 및 소등을 스위칭하는 제어 회로를 포함한다.
- [0016] 구체적으로, 본 발명의 액정 표시 장치는 화소 전극, 대향 전극, 및 전압이 화소 전극 및 대향 전극에 의해 인가되는 액정을 갖는 액정 소자를 구비한 화소, 화소에 광을 조사하는 광원, 더 높은 전위에 따라 출력될 전위가 스위칭되도록 화소 전극의 전위와 기준으로서 기능하는 전위를 서로 비교하는 비교 회로, 비교 회로로부터 출력된 전위를 보유하는 메모리 회로, 및 메모리 회로에 보유된 전위가 스위칭되는 타이밍에 따라 광원에 대한 전력 공급을 제어하는 스위칭 회로를 포함한다.
- [0017] 상술된 구조 이외에, 본 발명의 액정 표시 장치는 액정 소자에 병렬로 접속된 용량 소자 및 액정 소자에 직렬로 접속된 용량 소자 중 하나 또는 양자를 더 포함할 수 있다.
- [0018] 또한, 본 발명의 액정 표시 장치는, 액정 표시 장치가 설치되는 환경의 휘도 또는 광의 강도를 검출하고, 전기 신호(제 1 신호)를 생성하는 광 검출기, 액정 표시 장치가 설치되는 환경에서 광의 휘도가 더 높아짐에 따라 광원의 휘도를 높이거나, 액정 표시 장치가 설치되는 환경에서 광 휘도가 더 낮아짐에 따라 광원의 휘도를 낮추도록 광원의 휘도를 조정하는 신호(제 2 신호)를 생성하기 위한 신호 생성 회로, 및 제 2 신호에 따라 광원의 휘도를 조정하는 휘도 제어 회로를 포함할 수 있다.
- [0019] 구체적으로, 본 발명의 액정 표시 장치는 제 1 영역, 제 2 영역, 및 화소 전극, 대향 전극, 및 제 1 영역 및 제 2 영역 각각에 제공된, 화소 전극 및 대향 전극에 의해 전압이 인가되는 액정을 갖는 액정 소자를 구비한 화소를 갖는 화소부; 제 1 영역 내의 화소에 광을 조사하는 제 1 광원; 제 2 영역 내의 화소에 광을 조사하는 제 2 광원; 제 1 영역 내의 화소 내의 액정 소자의 화소 전극의 전위 및 기준으로서 기능하는 전위를 서로 비교하여, 더 높은 전위에 따라 출력될 전위가 스위칭되도록 하는 제 1 비교 회로; 제 2 영역 내의 화소 내의 액정 소자의 화소 전극의 전위 및 기준으로서 기능하는 전위를 서로 비교하여, 더 높은 전위에 따라 출력될 전위가 스위칭되도록 하는 제 2 비교 회로; 제 1 비교 회로로부터 출력된 전위가 스위칭되는 타이밍에 따라 제 1 광원의 점등 및 소등을 스위칭하고, 제 2 비교 회로로부터 출력된 전위가 스위칭되는 타이밍에 따라 제 2 광원의 점등 및 소등을 스위칭하는 제어 회로; 제 1 영역 내의 화소 내의 액정 소자에 입력될 제 1 비디오 신호에 포함된 계조들을 평균화하고, 제 2 영역 내의 화소 내의 액정 소자에 입력될 제 2 비디오 신호에 포함된 계조들을 평균화하는 화상 처리 필터; 평균화된 제 1 비디오 신호의 계조가 평균화된 제 2 비디오 신호의 계조보다 높을 때, 제 2 광원의 휘도보다 제 1 광원의 휘도를 더 높게 하고, 평균화된 제 1 비디오 신호의 계조가 평균화된 제 2 비디오 신호의 계조보다 낮을 때, 제 2 광원의 휘도보다 제 1 광원의 휘도를 낮게 하는 신호를 생성하는 신호 처리 회로; 및 제 1 광원의 휘도 및 제 2 광원의 휘도를 상기 신호에 따라 조정하는 휘도 제어 회로를 포함한다.

발명의 효과

- [0020] 본 발명의 액정 표시 장치는 액정 분자들의 배향 변화가 수렴되는 타이밍을 알 수 있으므로, 수렴의 타이밍에 따라 광원이 구동되는 타이밍이 적절히 설정될 수 있다. 따라서, 액정들의 온도에 의존하지 않고, 광원은 액정 분자들의 배향 변화가 상당한 기간 동안에 소등되고, 액정 분자들의 배향 변화가 수렴되는 기간 동안에 점등되어, 동화상들이 흐릿하게 보이는 것을 방지할 수 있다.

도면의 간단한 설명

- [0021] 도 1a 및 도 1b는 본 발명의 특징에 따른 액정 표시 장치의 구조를 각각 예시한 도면들.
- 도 2는 복수의 화소들을 포함하는, 본 발명의 특징에 따른 액정 표시 장치의 구조를 예시한 도면.
- 도 3은 본 발명의 특징에 따른 액정 표시 장치의 구동을 설명하는 흐름도.

도 4a 및 도 4b는 액정 소자의 투과율의 시간 변화를 각각 예시한 도면들, 및 도 4c는 신호선에 입력된 전압의 시간 변화를 예시한 도면.

도 5a 및 도 5b는 제어 회로의 구체적인 구조를 각각 예시한 도면들.

도 6는 본 발명의 특징에 따른 액정 표시 장치의 전체적인 구조를 예시한 블록도.

도 7은 본 발명 특징에 따른 액정 표시 장치의 전체적인 구조를 예시한 블록도.

도 8a 및 도 8b는 제어 회로의 구체적인 구조를 예시한 도면들.

도 9a 및 도 9b는 제어 회로의 구체적인 구조를 각각 예시한 도면들.

도 10은 본 발명의 특징에 따른 액정 표시 장치의 전체적인 구조를 예시한 블록도.

도 11a 내지 도 11c는 본 발명의 특징에 따른 액정 표시 장치의 제조 방법을 예시한 도면들.

도 12a 내지 도 12c는 본 발명의 특징에 따른 액정 표시 장치의 제조 방법을 예시한 도면들.

도 13a 내지 도 13c는 본 발명의 특징에 따른 액정 표시 장치의 제조 방법을 예시한 도면들.

도 14a 및 도 14b는 본 발명의 특징에 따른 액정 표시 장치의 제조 방법을 예시한 도면들.

도 15a는 본 발명의 특징에 따른 액정 표시 장치의 상면도.

도 15b는 본 발명의 특징에 따른 액정 표시 장치의 단면도.

도 16은 본 발명의 특징에 따른 액정 표시 장치의 구조를 예시한 사시도.

도 17a 내지 도 17c는 본 발명의 특징에 따른 액정 표시 장치를 사용하는 전자 기기를 각각 예시한 도면.

도 18a는 인가 전압과 비유전율 간의 관계를 예시한 그래프.

도 18b는 액정 소자의 단면 모식도.

발명을 실시하기 위한 구체적인 내용

[0022] 이후에, 본 발명의 실시 형태들은 도면들을 참조하여 설명될 것이다. 그러나, 본 발명은 많은 상이한 형태들로 구현될 수 있고, 본 발명의 범위 및 사상을 벗어나지 않고 형태 및 상세가 다양하게 변경될 수 있다는 것을 당업자는 쉽게 이해한다. 따라서, 본 발명이 실시 형태들의 설명에 제한되는 것으로 해석되어서는 안된다.

[0023] (실시 형태 1)

[0024] 도 1a에서, 본 발명의 액정 표시 장치의 구조가 도시된다. 도 1a에 도시된 액정 표시 장치는 화소(100), 비교 회로(101), 제어 회로(102), 및 광원(103)을 포함한다. 또한, 화소(100)는 적어도 액정 소자(104), 스위칭 소자(105), 및 용량 소자(106)를 포함한다. 액정 소자(104)는 화소 전극, 대향 전극 및 화소 전극과 대향 전극 간의 전압이 인가되는 액정들을 포함한다.

[0025] 광원(103)은 화소(100)에 광을 조사하는 기능을 갖는다.

[0026] 스위칭 소자(105)는 비디오 신호의 전위를 액정 소자(104)의 화소 전극에 인가할지 여부를 제어한다. 미리 결정된 전위 COM는 액정 소자(104)의 대향 전극에 인가된다. 또한, 용량 소자(106)는 한 쌍의 전극들을 포함하고, 하나의 전극(제 1 전극)은 액정 소자(104)의 화소 전극에 접속되고, 미리 결정된 전위 GND는 다른 전극(제 2 전극)에 인가된다. 본 명세서에서 용어 "접속"은 전기 접속 및 직접 접속 양자를 포함하는 것을 유의하라.

[0027] 스위칭 소자(105)가 턴 온될 때, 비디오 신호의 전위 V_s 는 액정 소자(104)의 화소 전극 및 용량 소자(106)의 제 1 전극에 인가된다. 따라서, 스위칭 소자(105)가 턴 온될 때, 액정 소자(104)의 화소 전극과 대향 전극 간의 전압 V_L 은 전위 V_s 와 전위 COM 간의 차이와 동일하고, 용량 소자(106)의 제 1 전극과 제 2 전극 간의 전압 V_{CS} 는 전위 V_s 와 전위 GND 간의 차이와 동일하다. 용량 소자(106)가 항상 필요하진 않지만, 스위칭 소자(105)로부터의 전하 누설로 인한 화소 전극의 전위 변화는 용량 소자(106)를 제공함으로써 방지될 수 있다는 것을 유의하라.

[0028] 그리고, 화소 전극과 대향 전극 간에 전압이 인가될 때, 액정 소자(104) 내에 포함된 액정들 내의 액정 분자들의 배향이 변하기 시작한다. 액정들의 비유전율이 이방성이고, 액정 분자들을 타원형으로 보면, 장축 방향의 비

유전율 및 장축 방향에 수직 방향, 즉, 단축 방향의 비유전율이 상이하다는 것을 유의하라. 따라서, 액정들의 비유전율은 액정 분자들의 배향 변화에 따라 변한다. 예를 들면, 일본, Merck Ltd.에서 제조된 TN 액정들(상품명: MJ001393)의 경우에, 장축 방향의 액정 분자들의 비유전율이 8.1이고, 단축 방향의 액정 분자들의 비유전율이 3.8이고, 액정 분자들의 배향 변화로 인해 비유전율이 최대 약 2.1 배 증가된다.

[0029] 도 18a에서, 네마틱 액정들이 사용된 경우에 액정 소자에 인가된 전압(인가 전압)과 비유전율 간의 관계가 예로서 도시된다. 도 18b의 단면 모식도에 도시된 바와 같이, 도 18a는 액정 소자가 화소 전극(3001)과 대향 전극(3002) 간에 액정층(3003)을 포함하는 경우의 데이터를 도시하고, 일본, Merck Ltd.에서 제조된 액정들(상품명: ZLI4792)이 액정층(3003)으로 사용되고, 셀 갭 d이 3.7 μm 라는 것을 유의하라. 또한, 액정층(3003) 내의 액정 분자들을 화소 전극(3001)의 표면과 평행하게 배향하기 위한 배향 처리가 미리 수행된다. 도 18a 및 도 18b로부터, 액정들의 비유전율은 액정 소자에 인가된 전압에 의존한다는 것을 알 수 있다.

[0030] 액정 소자(104)를 용량 소자로서 보면, 그의 용량값 C_L 는 이하의 수학식 1에 의해 표현될 수 있다는 것을 유의하라. ϵ_0 는 진공에서의 유전율을 나타내고, ϵ 은 액정들의 비유전율을 나타내고, S는 액정 소자(104)의 면적을 나타내고, d는 액정 소자(104)의 제 1 및 제 2 전극들 간의 거리(셀 갭)를 나타낸다는 것을 유의하라. 배향막의 비유전율이 용량값 C_L 에 실제로 영향을 주지만, 배향막의 비유전율은 설명의 편의를 위해 수학식 1에서 고려되지 않는다는 것을 유의하라.

수학식 1

[0031]
$$C_L = \epsilon_0 \times \epsilon \times S/d$$

[0032] 용량값 C_L , 전하 Q, 및 액정 소자(104)의 화소 전극과 대향 전극 간의 전압 V_L 의 관계는 이하의 수학식 2에 의해 표현될 수 있다.

수학식 2

[0033]
$$Q = C_L \times V_L$$

[0034] 따라서, 수학식 1 및 2로부터 이하의 수학식 3이 도출된다.

수학식 3

[0035]
$$V_L = d \times Q / (\epsilon_0 \times \epsilon \times S)$$

[0036] 수학식 3에서, 제 1 및 제 2 전극들 간의 거리 d, 액정 소자(104)의 면적 S, 및 진공에서의 유전율 ϵ_0 은 고정된 값이다. 액정 소자(104)의 전하 Q가 누설되지 않고, 이상적인 상태라고 가정하면, 전하 Q가 고정된 값으로서 간주될 수 있다. 따라서, 수학식 3은, 액정 분자들의 배향 변화로 인해 액정들의 비유전율 ϵ 이 변할 때, 액정 소자(104)의 화소 전극 및 대향 전극 간의 전압 V_L 이 변하는 것을 도시한다. 따라서, 스위칭 소자(105)가 비디오 신호의 전위 V_S 를 액정 소자(104)의 화소 전극에 인가하도록 턴 온된 후에, 스위칭 소자(105)가 턴 오프될 때 전압 V_L 의 변화, 즉, 액정 소자(104) 내에 포함된 화소 전극의 전위의 변화를 추적함으로써, 액정 분자들의 배향 상태가 파악되어, 액정 분자들의 배향 변화가 수렴하는 타이밍을 알 수 있다.

[0037] 도 1a의 경우에, 액정 소자(104) 및 용량 소자(106)가 직렬로 접속되기 때문에, 화소 전극의 전위는 액정 소자(104)의 용량값 대 용량 소자(106)의 용량값의 비율에 따라 결정된다는 것을 유의하라. 예를 들면, 비디오 신호의 전압 V_S 가 인가되기 전에, 액정 소자(104)의 용량값 C_L 대 용량 소자(106)의 용량값 C_S 의 비율은 100:100으로 가정된다. 일본, Merck Ltd.에서 제조된 상술된 TN 액정들(상품명: MJ001393)이 액정 소자(104)로 사용될 때,

액정 분자들의 비유전율은 비디오 신호의 전압 V_s 의 인가로 인해 궁극적으로 최대 약 2.1 배 증가하고, 이로써 액정 소자(104)의 용량값 C_L 이 2.1 배 증가한다. 따라서, 비디오 신호의 전압 V_s 의 인가 후에 액정 분자들의 배향 변화가 수렴할 때, 액정 소자(104)의 용량값 C_L 대 용량 소자(106)의 용량값 C_s 의 비율은 210:100이다. 따라서, 액정 분자들의 배향 변화가 수렴할 때, 액정 소자(104)의 화소 전극과 대향 전극 간의 전압 V_L 대 용량 소자(106)의 제 1 및 제 2 전극들 간의 전압 V_{CS} 의 비율이 210:100 이도록 화소 전극의 전위도 또한 수렴한다.

[0038] 비교 회로(101)는 화소(100)에서 액정 소자(104)의 화소 전극에 인가된 전위와 기준으로서 기능하는 전위 REF를 비교하고, 비교의 결과에 따라 서로 상이한 이진 전위들 중 하나를 출력한다. 예를 들면, 화소 전극의 전위가 전위 REF보다 높을 때, 전위 OUT1가 출력되고, 화소 전극의 전위가 전위 REF 이하일 때, 전위 OUT2가 출력된다. 전위 REF를 액정 분자들의 배향 변화가 수렴할 때 획득될 수 있는 화소 전극의 전위와 동일하게 설정함으로써, 비교 회로(101)로부터 출력될 전위는 액정 분자들의 배향 변화의 수렴 전후 사이에 상이할 수 있다. 액정 표시 장치의 실제 구동 시에, 액정 소자(104)의 전하 Q가 다소 누설된다는 것을 유의하라. 따라서, 전위 REF의 값은 누설로 인해 화소 전극의 전위 변화의 양을 고려하여 설정되는 것이 바람직하다.

[0039] 도 1a가 연산 증폭기를 비교 회로(101)를 사용하는 예를 예시하지만, 연산 증폭기에 제한되지 않고, 화소(100)로부터 인가된 전위와 기준으로서 기능하는 전위 REF를 비교한 결과에 따라 이진 전위들 중 하나를 출력할 수 있는 임의의 회로가 비교 회로(101)로서 사용될 수 있다는 것을 유의하라.

[0040] 제어 회로(102)는 비교 회로(101)로부터 출력된 전위에 따라 광원(103)의 구동을 제어한다. 구체적으로, 이진 전위들 중 하나가 비교 회로(101)로부터 출력될 때, 광원(103)은 제어 회로(102)의 제어에 의해 점등되고, 다른 전위가 비교 회로(101)로부터 출력될 때, 광원(103)은 제어 회로(102)의 제어에 의해 소등된다. 비교 회로(101)로부터 출력된 전위값이 액정 분자들의 배향 변화의 수렴 전후에 상이하기 때문에, 제어 회로(102)는 액정 분자들의 배향이 변하는 타이밍에 따라 광원(103)의 구동을 제어할 수 있다.

[0041] 따라서, 본 발명에서, 액정 분자들의 배향이 수렴하는 타이밍을 알 수 있기 때문에, 광원(103)이 구동되는 타이밍은 이러한 수렴의 타이밍에 따라 적절하게 새롭게 설정될 수 있다. 따라서, 액정들의 응답 속도가 변할 때조차, 액정 분자들의 배향 변화가 상당한 기간 동안에 광원(103)을 소등하고, 액정 분자들의 배향 변화가 수렴하는 기간 동안에 광원(103)을 점등함으로써, 동화상들이 흐트러지게 보이는 것이 방지될 수 있다.

[0042] 도 1a가 전위 COM가 액정 소자(104)의 대향 전극에 인가되고, 전위 GND가 용량 소자(106)의 제 2 전극에 인가되는 예를 예시하지만, 전위 COM는 액정 소자(104)의 대향 전극 및 용량 소자(106)의 제 2 전극 양자에 인가될 수 있다는 것을 유의하라. 그러한 경우에, 액정 소자(104) 및 용량 소자(106)가 병렬로 접속되기 때문에, 이하의 수학적 4가 성립한다.

수학적 4

[0043]
$$V_L = Q / (C_L + C_s)$$

[0044] 액정 소자(104) 및 용량 소자(106)가 병렬로 접속되는 경우에, 예를 들면, 비디오 신호의 전압 V_s 가 인가되기 전에, 액정 소자(104)의 용량값 C_L 대 용량 소자(106)의 용량값 C_s 의 비율이 100:100 이도록 가정된다. 일본, Merck Ltd.에서 제조된 상술된 TN 액정들(상품명: MJ001393)이 액정 소자(104)에서 사용될 때, 액정 분자들의 비유전율은 비디오 신호의 전압 V_s 의 인가로 인해 궁극적으로 최대 약 2.1 배 증가하고, 이로써 액정 소자(104)의 용량값 C_L 이 2.1 배 증가한다. 따라서, 비디오 신호의 전압 V_s 의 인가 후에 전압 액정 분자들의 배향 변화가 수렴할 때, 액정 소자(104)의 용량값 C_L 대 용량 소자(106)의 용량값 C_s 의 비율은 210:100이다. 따라서, 액정 분자들의 배향이 변하기 시작하기 전에 액정 소자(104)의 화소 전극과 대향 전극 간의 전압 V_L 은 액정 분자들의 배향 변화가 수렴한 후의 0.31 배만큼 변화된다.

[0045] 액정 분자들의 배향 변화가 수렴할 때 획득될 수 있는 화소 전극의 전위는 액정 소자(104)와 용량 소자(106) 간의 접속 관계에 따라 변한다. 따라서, 기준으로서 기능하는 전위 REF는 화소(100)의 구조에 따라 적절하게 설정될 수 있다.

- [0046] 다음에, 도 1b는 도 1a에 도시된 것과 상이한 본 발명의 액정 표시 장치의 또 다른 구조를 도시한다. 도 1b에 도시된 액정 표시 장치는 화소(200), 비교 회로(201), 제어 회로(202), 및 광원(203)을 포함한다. 화소(200)는 적어도 액정 소자(204), 스위칭 소자(205), 용량 소자(206), 및 용량 소자(207)를 포함한다. 액정 소자(204)는 화소 전극, 대향 전극, 화소 전극과 대향 전극 간의 전압이 인가되는 액정들을 포함한다.
- [0047] 스위칭 소자(205)는 비디오 신호의 전위를 액정 소자(204)의 화소 전극에 인가하는지 여부를 제어한다. 미리 결정된 전위 COM는 액정 소자(204)의 대향 전극에 인가된다. 또한, 용량 소자(206)는 한 쌍의 전극들을 포함하고, 하나의 전극(제 1 전극)은 액정 소자(204)의 화소 전극에 접속되고, 미리 결정된 전위 GND는 다른 전극(제 2 전극)에 인가된다. 또한, 용량 소자(207)는 한 쌍의 전극들을 포함하고, 하나의 전극(제 1 전극)은 액정 소자(204)의 화소 전극에 접속되고, 미리 결정된 전위 COM는 다른 전극(제 2 전극)에 인가된다. 따라서, 도 1b에서 도시된 액정 표시 장치에서, 액정 소자(204) 및 용량 소자(206)는 직렬로 접속되고, 액정 소자(204) 및 용량 소자(207)는 병렬로 접속된다.
- [0048] 스위칭 소자(205)가 턴 온될 때, 비디오 신호의 전위 V_s 는 스위칭 소자(205)를 통해 액정 소자(204)의 화소 전극, 용량 소자(206)의 제 1 전극, 및 용량 소자(207)의 제 1 전극에 인가된다. 따라서, 스위칭 소자(205)가 턴 온될 때, 액정 소자(204)의 화소 전극과 대향 전극 간의 전압 V_L 은 전위 V_s 와 전위 COM 간의 차이와 동일하고, 용량 소자(206)의 제 1 및 제 2 전극들 간의 전압 V_{CS1} 은 전위 V_s 와 전위 GND 간의 차이와 동일하고, 용량 소자(207)의 제 1 및 제 2 전극들 간의 전압 V_{CS2} 은 전위 V_s 와 전위 COM 간의 차이와 동일하다.
- [0049] 그리고, 전압이 화소 전극과 대향 전극 간에 인가될 때, 액정 소자(204) 내에 포함된 액정들 내의 액정 분자들의 배향이 변하기 시작한다. 그 후, 상술된 바와 같이, 액정들의 비유전율이 액정 분자들의 배향 변화로 인해 변할 때, 액정 소자(204)의 화소 전극과 대향 전극 간의 전압 V_L 이 변한다. 따라서, 스위칭 소자(205)를 턴 온함으로써 비디오 신호의 전위 V_s 가 액정 소자(204)의 화소 전극에 인가된 후에, 스위칭 소자(205)가 턴 오프되고, 전압 V_L 의 변화, 즉, 액정 소자(204) 내에 포함된 화소 전극의 전위 변화가 추적되어, 액정 분자들의 배향 상태가 파악되고, 액정 분자들의 배향 변화가 수렴하는 타이밍을 알 수 있다.
- [0050] 도 1b의 경우에, 액정 소자(204) 및 용량 소자(206)가 직렬로 접속되고, 액정 소자(204) 및 용량 소자(207)가 병렬로 접속된다는 것을 유의하라. 따라서, 화소 전극의 전위는 액정 소자(204)의 용량값, 용량 소자(206)의 용량값, 용량 소자(207)의 용량값의 비율에 따라 결정된다.
- [0051] 도 1a에 도시된 용량 소자(106)의 용량값은 전하의 누설로 인해 화소 전극의 전위 변화를 방지하기에 충분히 크도록 설정된다. 그러나, 용량 소자(106)의 용량값이 액정 소자(104)의 용량값과 비교하여 너무 크다면, 액정 소자(104)의 용량값이 변할 때조차, 액정 소자(104)의 화소 전극의 전위 변화가 작아지고, 이로써, 액정 분자들의 배향 상태는 파악하기 어려워진다. 따라서, 도 1a에 도시된 화소(100)의 경우에, 액정 소자(104)의 화소 전극의 전위 변화가 크게 함으로써 액정 분자들의 배향 상태를 더욱 명확히 파악하기 위해, 용량 소자(106)의 용량값 및 액정 소자(104)의 용량값은 서로 너무 상이하지 않거나, 바람직하게는 대략 동일하도록 설정된다.
- [0052] 한편, 도 1b에 도시된 화소(200)의 경우는 도 1a의 경우와 상이하고, 액정 소자(204)에 직렬로 접속되도록 용량 소자(206)가 제공되고, 용량 소자(207)는 액정 소자(204)에 병렬로 접속된다. 따라서, 액정 소자(204)의 전압 V_L 대 용량 소자(206)의 전압 V_{CS2} 의 비율은, 용량 소자(207)의 용량값을 액정 소자(204)의 용량값에 부가함으로써 획득된 값 대 용량 소자(206)의 용량값의 비율에 대응한다. 따라서, 용량 소자(206)의 용량값이 전하의 누설로 인한 화소 전극의 전위 변화를 방지하기에 충분히 크도록 설정될 때조차, 용량 소자(207)의 용량값을 용량 소자(206)의 용량값을 만족시키기에 충분히 크도록 설정함으로써, 액정 소자(204)의 용량값을 작게 유지하면서, 액정 소자(204)의 전압 V_L 및 용량 소자(206)의 전압 V_{CS2} 이 서로 너무 상이하지 않거나, 바람직하게는 대략 동일하게 설정될 수 있다. 따라서, 액정 소자(204)의 용량을 작게 유지하면서, 액정 소자(204)의 화소 전극의 전위 변화가 크도록 하여, 액정 분자들의 배향 상태가 더욱 명확히 파악될 수 있다.
- [0053] 비교 회로(201)는 화소(200)에서 액정 소자(204)의 화소 전극으로 인가된 전위와 기준으로서 기능하는 전위 REF를 비교하고, 비교 결과에 따라 서로 상이한 값들을 갖는 두 개의 전위들 중 하나를 출력한다. 예를 들면, 화소 전극의 전위가 전위 REF보다 높을 때, 전위 OUT1가 출력되고, 화소 전극의 전위가 전위 REF 이하일 때, 전위 OUT2가 출력된다. 전위 REF를, 액정 분자의 배향 변화가 수렴할 때 획득될 수 있는 화소 전극의 전위와 동일하도록 설정함으로써, 비교 회로(201)로부터 출력될 전위가 액정 분자들의 배향 변화의 수렴 전후 사이에서 상이

할 수 있다.

- [0054] 도 1b가 비교 회로(201)로서 연산 증폭기를 사용하는 예를 예시하지만, 연산 증폭기에 제한되지 않고, 화소(200)로부터 인가된 전위와 기준으로서 기능하는 전위 REF를 비교한 결과에 따라 두 개의 전위들 중 하나를 출력할 수 있는 임의의 회로가 비교 회로(201)로서 사용될 수 있다는 것을 유의하라.
- [0055] 제어 회로(202)는 비교 회로(201)로부터 출력된 전위에 따라 광원(203)의 구동을 제어한다. 구체적으로, 두 개의 전위들 중 하나가 비교 회로(201)로부터 출력될 때, 광원(203)은 제어 회로(202)의 제어에 의해 점등되고, 다른 전위가 비교 회로(201)로부터 출력될 때, 광원(203)은 제어 회로(202)의 제어에 의해 소등된다. 비교 회로(201)로부터 출력된 전위값이 액정 분자들의 배향 변화의 수렴 전후에 상이하기 때문에, 제어 회로(202)는 액정 분자들의 배향이 변하는 타이밍에 따라 광원(203)의 구동을 제어할 수 있다.
- [0056] 따라서, 본 발명에서, 액정 분자들의 배향의 변화가 수렴하는 타이밍을 알 수 있기 때문에, 광원(203)이 구동되는 타이밍은 이러한 수렴의 타이밍에 따라 적절하게 새롭게 설정될 수 있다. 따라서, 액정들의 응답 속도가 변할 때조차, 액정 분자들의 배향 변화가 상당한 기간 동안에 광원(203)을 소등하고, 액정 분자들의 배향 변화가 수렴하는 기간 동안에 광원(203)을 점등함으로써, 동화상들이 흐릿하게 보이는 것이 방지될 수 있다.
- [0057] 액정 표시 장치에서, 번-인(burn-in)이라 불리는 액정들의 열화를 방지하기 위해 액정 소자에 인가될 전압의 극성을 미리 결정된 타이밍으로 반전시키는 AC 구동이 종종 채용된다는 것을 유의하라. 예를 들면, 액정 소자에 인가될 전압의 극성을 프레임 기간마다 반전시키는 AC 구동이 채용되는 경우에, 도 1a 및 도 1b에 도시된 본 발명의 액정 표시 장치들에서, 광원이 구동되는 타이밍은, 화소 전극의 전위 극성이 이전 프레임 기간에서의 극성과 상이하지 않은 프레임 기간에서만 새롭게 설정된다. 다른 프레임 기간들에서, 광원은 직전 프레임 기간에서와 동일한 타이밍으로 구동될 수 있다. 또한, 광원이 구동되는 타이밍을 프레임 기간마다 적절하게 새롭게 설정하기 위해, 기준으로서 기능하는 전위 REF는 프레임 기간마다 변경될 수 있거나, 각각의 극성에 대응하는 비교 회로 및 제어 회로가 부가적으로 제공될 수 있다. 또한, 동일한 극성을 갖는 프레임 기간들에서, 광원이 구동되는 타이밍이 항상 새롭게 설정될 필요는 없다. 액정들의 온도 변화가 다소 많지 않다면, 광원이 구동되는 타이밍을 새롭게 설정하는 수가 감소될 수 있고, 예를 들면, 60 프레임 기간들에서 한번 설정된다.
- [0058] 또한, 본 발명의 액정 표시 장치에서, 화소부가 복수의 화소들을 포함하는 경우에, 화소 전극의 전위는 복수의 화소들 중 적어도 하나로부터 비교 회로로 출력될 수 있다. 도 2는 본 발명의 액정 표시 장치에 포함된 복수의 화소들(300)을 구비한 화소부(301), 비교 회로(302), 제어 회로(303), 및 광원(303)을 예로서 도시한다.
- [0059] 도 2에서, 복수의 화소들(300) 각각은 신호선들 S1 내지 Sx 중 적어도 하나 및 주사선들 G1 내지 Gy 중 적어도 하나를 포함한다. 또한, 화소(300)는 스위칭 소자로서 기능하는 트랜지스터(305), 액정 소자(306), 및 용량 소자(307)를 포함한다. 도 2가 하나의 트랜지스터(305)가 화소(300) 내의 스위칭 소자로서 사용되는 경우를 도시하지만, 본 발명이 이러한 구조로 제한되지 않는다는 것을 유의하라. 스위칭 소자로서, 트랜지스터 이외의 임의의 반도체 소자가 사용될 수 있다. 또한, 복수의 트랜지스터들이 스위칭 소자로서 사용될 수 있다.
- [0060] 또한, 도 2가 도 1a에서와 같이 액정 소자(306) 및 용량 소자(307)가 화소(300)에서 직렬로 접속되는 경우를 예시하지만, 액정 소자(306) 및 용량 소자(307)가 병렬로 접속될 수 있다. 또한, 도 1b에서와 같이, 화소(300)는 액정 소자(306)에 병렬로 접속된 용량 소자, 및 액정 소자(306)에 직렬로 접속된 용량 소자(307)를 포함할 수 있다.
- [0061] 도 2에서, 복수의 화소들(300) 중 신호선들 Sx 및 주사선 Gy를 포함하는 모니터링 화소(300a)에서, 액정 소자(306) 내에 포함된 화소 전극의 전위는 전위를 모니터링하기 위해 비교 회로(302)에 입력된다. 모든 화소들(300) 중 가장자리의 화소(300)가 항상 화소 전극의 전위를 모니터링하기 위한 모니터링 화소(300a)로서 사용될 필요는 없다는 것을 유의하라. 모니터링 화소(300a)가 다른 화소들(300)과 상이한 구조를 가질 필요가 없기 때문에, 설계자는 모니터링 화소들(300a)로서 사용될 화소(300) 중 하나를 적절히 결정할 수 있다. 또한, 화소부(301) 내에 포함된 복수의 화소들(300) 중 화상들을 표시하기 위해 실제 사용되지 않는 더미용의 하나의 화소는 모니터링 화소(300a)로서 사용될 수 있다. 그러나, 어느 한 경우에, 모든 화소들(300) 중 비디오 신호가 최후에 입력되는 화소에서, 액정 분자들의 배향 변화가 수렴되는 타이밍이 가장 늦어진다. 따라서, 비디오 신호가 최후에 입력되는 화소를 모니터링 화소(300a)로서 사용함으로써, 모든 화소들(300)에서 액정 분자들의 배향 변화가 수렴하는 타이밍을 알 수 있고, 이것이 바람직하다.
- [0062] 다음에, 도 2에 도시된 화소부(301)의 동작 및 광원(304)의 구동이 설명될 것이다. 우선, 주사선들 G1 내지 Gy이 순차적으로 선택될 때, 선택된 주사선들을 갖는 화소들(300) 내의 트랜지스터들(305)이 턴 온된다. 그후, 비

디오 신호의 전위가 신호선들 S1 내지 Sx에 순차적으로 또는 동시에 인가될 때, 비디오 신호의 전위는 턴 온된 트랜지스터(305)를 통해 액정 소자(306)의 화소 전극에 인가된다. 다음에, 주사선들의 선택이 완료될 때, 선택된 주사선들을 포함하는 화소들(300)에서, 트랜지스터들(305)이 턴 오프된다. 그후, 액정 소자(306) 내의 화소 전극의 전위는 액정 분자의 배향 변화에 따라 변경된다.

[0063] 도 3은 비디오 신호가 화소부(301) 내의 화소(300)에 입력되는 타이밍을 도시한다. 도 3에서, 수평축은 시간을 나타내고, 수직축은 주사선이 선택되는 방향(주사 방향)을 나타낸다. 또한, 도 3에서, 광원(304)의 점등 기간들은 백색으로 예시되고, 광원(304)의 소등 기간들은 해칭(hatching)으로 예시된다. 기간 Ta는 제 1 주사선이 선택될 때부터 최후 주사선이 선택될 때까지의 기간을 의미하고, 비디오 신호는 기간 Ta 내에서 모든 화소들(300)에 입력된다.

[0064] 기간 Ta 동안에, 비디오 신호가 복수의 화소들(300)에 순차적으로 입력되기 때문에, 액정 소자(306) 내에 포함된 액정 분자들의 배향이 화소(300)에 의존하여 상당히 변한다. 또한, 다른 화소들(300)과 비교하여, 기간 Ta 동안 비디오 신호가 최후로 입력되는 화소(300)에서, 액정 분자들의 배향 변화가 수렴하는 타이밍이 가장 느리게 된다. 액정 분자들의 배향 변화가 수렴하는 타이밍은 액정들의 온도에 의존하여 수시로 변한다.

[0065] 도 4a 및 도 4b 각각은, 비디오 신호가 최후에 입력되는 화소(300)에서 액정 소자(306)의 투과율의 시간 변화 및 광원이 구동되는 타이밍을 도시한다. 도 4a 및 도 4b에서, 수평축은 시간을 나타내고, 수직축은 액정 소자(306)의 투과율을 나타낸다. 또한, 도 4a 및 도 4b에서, 광원(304)의 점등 기간들은 백색으로 예시되고, 광원(304)의 소등 기간들은 해칭으로 예시된다. 또한, 도 4c는 신호선에 입력될 전위의 시간 변화를 도시한다. 그러나, 도 4c에서, 신호선에 입력될 전위가 제 1 프레임 기간 동안 및 제 3 프레임 기간 동안에 전위 COM보다 높고, 제 2 프레임 기간 동안에 전위 COM와 동일한 예가 도시된다.

[0066] 도 4a 및 도 4b에서 투과율의 변화들은 도 4c에 도시된 타이밍도와 동기이다. 그러나, 액정들의 비유전율은 온도 변화로 인해 상이하고, 투과율의 변화들이 많은 기간(401)의 길이는 도 4a 및 도 4b 사이에서 상이하다. 더욱 구체적으로, 도 4a에서, 기간(401)은 도 4b에서보다 짧고, 기간(402)은 도 4b에서보다 길다.

[0067] 본 발명에서, 액정 분자들의 배향 변화가 수렴하는 타이밍은 모니터링 화소(300a)에 포함된 액정 소자(306) 내의 화소 전극의 전위로부터 파악될 수 있다. 그리고, 제어 회로(303)는, 비디오 신호가 화소(300)에 입력되기 시작할 때부터 모든 화소들(300) 내의 액정 분자들의 배향 변화가 수렴할 때까지의 기간 Tb(도 3 참조) 동안에 광원(304)을 소등하기 위해 광원(304)의 구동을 제어한다. 따라서, 본 발명에서, 광원(304)은 도 4a 및 도 4b 중 어느 한 경우에서 적어도 기간(401) 동안에 소등되도록 구동될 수 있다. 광원(304)을 기간 Tb 동안에 소등된 상태를 유지함으로써 액정 분자들의 배향 변화, 즉, 액정 소자의 투과율의 변화가 적게 보이게 하여, 동화상들이 흐릿하게 보이는 것이 방지될 수 있다.

[0068] 기간(401)이 액정들의 비유전율뿐만 아니라 액정 소자에 인가된 전압의 변화의 양에 따라서도 상이하다는 것을 유의하라. 예를 들면, VA 액정들의 경우에, 흑색 표시가 중간 계조 표시로 전환할 때, 액정들의 응답 속도가 최저가 되기 때문에, 기간(401)이 가장 길어진다. 따라서, 광원(304)이 구동되는 타이밍이 설정될 때, 이전 프레임 기간에서 흑색 표시가 수행된 후에 제 2 프레임 기간에서 중간 계조 표시를 수행하기 위해 비디오 신호가 모니터링 화소(300a)에 입력된다. 그리고, 광원(304)이 구동되는 타이밍이 제 2 프레임 기간 내의 화소 전극의 전위에 따라 설정되는 것이 바람직하다. 상술된 구조에 의해, 임의의 계조를 표시할 경우에, 액정 분자들의 배향 변화가 수렴될 때까지 기간 Tb 동안에 광원(304)을 소등하기 위해 광원(304)의 구동이 제어되어, 동화상들이 흐릿하게 보이는 것이 방지될 수 있다.

[0069] VA 액정들의 경우에, 흑색 표시가 중간 계조 표시로 전환될 때, 액정들의 응답 속도가 최저가 되지만, 액정들의 응답 속도가 최저가 될 때 표시 패턴들은 액정들의 종류에 따라 상이하다는 것을 유의하라. 따라서, 액정들의 종류에 따라, 광원(304)이 구동되는 타이밍이 설정될 수 있을 때, 응답 속도가 최저가 되도록 모니터링 화소(300a)에서 계조들이 변하는 표시 패턴이 적절히 선택된다. 예를 들면, TN 액정들 또는 OCB 액정들의 경우에, 백색 표시가 중간 계조 표시로 전환될 때, 액정들의 응답 속도가 최저가 된다. 따라서, 그러한 경우에, 광원(304)이 구동되는 타이밍을 설정하기 위해, 백색 표시 다음에 중간 계조 표시를 수행하는 표시 패턴이 채용되는 것이 바람직하다. 또한, 예를 들면, IPS 액정들의 경우에, VA 액정들의 경우에서와 같이 흑색 표시가 중간 계조 표시로 전환될 때, 액정들의 응답 속도가 최저가 된다. 따라서, 그러한 경우에, 광원(304)이 구동되는 타이밍은, 흑색 표시 다음에 중간 계조 표시를 수행하는 표시 패턴을 채용함으로써 설정되는 것이 바람직하다.

[0070] 또한, 도 4a 및 도 4b 각각에서, 액정 분자들의 배향 변화는 기간(401)뿐만 아니라 기간(403)에서 상당하다. 기

간(401)은 액정 분자들이 상당한 배향 변화를 갖는 기간이고, 이것은 화소 전극의 전위가 액정 소자의 대향 전극과 또한 상이한 전위로 변할 때 발생한다. 한편, 기간(403)은 액정 분자들이 상당한 배향 변화를 갖는 기간이고, 이는 화소 전극의 전위가 액정 소자의 대향 전극의 전위에 가까운 전위로 변할 때 발생한다. 본 실시 형태에서, 광원(304)이 구동되는 타이밍이 기간(401) 동안에 화소 전극의 전위 변화를 사용함으로써 설정되지만, 광원(304)이 구동되는 타이밍은 기간(403) 동안에 화소 전극의 전위 변화를 사용함으로써 설정될 수 있다. 일부 경우들에서, 기간이 액정들의 종류에 따르지만, 기간(403)이 기간(401)보다 길어진다. 따라서, 기간(403)이 기간(401)보다 길 때, 광원(304)이 구동되는 타이밍은 기간(403) 동안에 화소 전극의 전위 변화를 사용하여 설정되어, 동화상들이 흐릿하게 보이는 것이 더욱 명확히 방지될 수 있다.

[0071] 또한, 광원(304)이 구동되는 타이밍이 기간(403) 동안에 설정되는 경우에, 기간(403)이 가장 길어지는 표시 패턴이 채용되는 것이 바람직하다는 것을 유의하라. 예를 들면, VA 액정들의 경우에, 백색 표시가 흑색 표시로 전환할 때, 액정들의 응답 시간이 최장이기 때문에, 기간(401)이 가장 길어진다. 따라서, 광원(304)이 구동되는 타이밍이 설정될 때, 이전 프레임 기간에서 백색 표시가 수행된 후에 제 2 프레임 기간에서 흑색 표시를 수행하기 위해 비디오 신호가 모니터링 화소(300a)에 입력된다. 그리고, 광원(304)이 구동되는 타이밍은 제 2 프레임 기간에서 화소 전극의 전위에 따라 설정되는 것이 바람직하다. 상술된 구조에 의해, 임의의 계조들을 표시하는 경우에, 액정 분자들의 배향 변화가 수렴될 때까지 기간 T_b 동안에 광원(304)을 소등하기 위해 광원(304)의 구동이 제어되어, 동화상들이 흐릿하게 보이는 것이 방지될 수 있다.

[0072] VA 액정들의 경우에, 백색 표시가 흑색 표시로 전환될 때, 액정들의 응답 시간이 최장이 되지만, 액정들의 응답 시간이 최장이 될 때 표시 패턴들은 액정들의 종류에 따라 상이하다는 것을 유의하라. 따라서, 액정들의 종류에 따라, 광원(304)이 구동되는 타이밍이 설정될 때, 표시 패턴이 적절히 선택된다. 예를 들면, TN 액정들 또는 OCB 액정들의 경우에, 흑색 표시가 백색 표시로 전환될 때, 액정들의 응답 속도가 최저가 된다. 따라서, 그러한 경우에, 광원(304)이 구동되는 타이밍을 설정하기 위해, 흑색 표시 다음에 백색 표시를 수행하는 표시 패턴이 채용되는 것이 바람직하다. 또한, 예를 들면, IPS 액정들의 경우에, VA 액정들의 경우에서와 같이 백색 표시가 흑색 표시로 전환될 때, 액정들의 응답 속도가 최저가 된다. 따라서, 그러한 경우에, 광원(304)이 구동되는 타이밍은, 백색 표시 다음에 흑색 표시를 수행하는 표시 패턴을 채용함으로써 설정되는 것이 바람직하다.

[0073] 또한, 도 1a에는 단지 하나의 광원(103)이 도시되고, 도 1b에는 단지 하나의 광원(203)이 도시되고, 도 2에는 단지 하나의 광원(304)이 도시된다. 그러나, 본 발명은 이러한 구조들에 제한되지 않는다. 광원(103), 광원(203) 및 광원(304) 각각의 수는 하나 이상일 수 있다.

[0074] 본 실시 형태에서 액티브 매트릭스 액정 표시 장치가 예로서 설명되었지만, 패시브 매트릭스 액정 표시 장치 또한 본 발명에서 가능하다는 것을 유의하라.

[0075] (실시 형태 2)

[0076] 본 실시 형태에서, 본 발명의 액정 표시 장치에 포함된 제어 회로의 특정 구조의 예들이 설명될 것이다.

[0077] 도 5a는 본 발명의 액정 표시 장치에 포함되는 비교 회로(501), 제어 회로(502), 및 광원(503)을 예시한다. 도 5a에 도시된 제어 회로(502)는 적어도 메모리 회로(504) 및 스위칭 회로(505)를 포함한다.

[0078] 화소로부터 인가된, 액정 소자의 화소 전극의 전위 V_E , 및 기준으로서 기능하는 전위 REF는 비교 회로(501)에 입력된다. 그리고, 비교 회로(501)는 전위 V_E 및 전위 REF를 서로 비교하고, 비교 결과에 따라 서로 상이한 전위 OUT1 및 전위 OUT2 중 하나를 출력한다.

[0079] 제어 회로(502)에서, 비교 회로(501)로부터 출력된 전위가 전위 OUT1 또는 전위 OUT2 인지가 메모리 회로(504) 내에 데이터로서 저장된다. 메모리 회로(504) 내에 저장된 데이터를 보유하기 위한 전원 전위 VDD 및 데이터가 저장되는 타이밍을 제어하기 위한 신호 Sig_L는 메모리 회로(504)에 저장된다. 구체적으로, 광원(503)이 구동되는 타이밍이 설정될 때, 데이터는 신호 Sig_L에 의해 메모리 회로(504)에 새롭게 기록된다. 이에 반하여, 광원(503)이 구동되는 타이밍이 설정된 바와 같이 유지될 때, 데이터는 신호 Sig_L에 의해 메모리 회로(504)에 새롭게 기록되지 않는다. 비디오 신호가 모든 화소들 중에서 제 1 화소에 입력되는 타이밍이 신호 Sig_L에 의해 제어되는 경우에, 광원(503)이 소등되는 타이밍은 또한 비디오 신호가 제 1 화소에 입력되는 타이밍에 따라 신호 Sig_L에 의해 제어될 수 있다.

[0080] 광원이 구동되는 타이밍을 설정하기 위한 타이밍은 상술된 바와 같이 설계자에 의해 적절히 결정될 수 있다. 구

체적으로, 신호 Sig_i 또는 다른 제어 신호들을 사용함으로써, 광원이 구동되는 타이밍을 설정하는 타이밍은 실시간으로 제어될 수 있다. 광원이 구동되는 타이밍이 프레임 기간마다 실시간으로 설정되지 않지만, 복수의 프레임 기간들마다 설정되는 경우에, 타이밍 검출 회로가 또한 제어 회로(502)에 제공될 수 있고, 설정된 광원(503)이 구동되는 타이밍은 설정된 광원(503)이 구동되는 타이밍의 다음 설정 시까지 타이밍 검출 회로에 저장될 수 있다. 예를 들면, 타이밍 검출 회로로서, 광원(503)이 구동되는 타이밍을 재설정하라고 지시될 때, 비교 회로(501)로부터 출력된 전위를 사용하여 하나의 프레임 기간이 시작될 때부터 모든 화소들에서 액정 분자들의 배향 변화가 수렴할 때까지의 기간을 검출하는 회로, 각각의 프레임 기간이 시작되는 시간을 측정하는 회로, 및 상술된 이러한 두 개의 회로들로부터 출력된 신호들에 따라 메모리 회로(504)에 데이터를 재기록하는 회로가 사용된다.

[0081] 스위칭 회로(505)는 메모리 회로(504)에 저장된 데이터에 따라 스위칭을 수행하여 광원(503)에 대한 전원을 제어한다. 도 5a가 스위칭 회로(505)로서 하나의 트랜지스터를 사용하는 예를 도시하지만, 본 발명은 이러한 구조에 제한되지 않는다. 트랜지스터를 제외한 반도체 소자 또는 복수의 트랜지스터들이 스위칭 회로(505)로서 사용될 수 있다. 또한, 래치 회로 등은 메모리 회로(504)로서 사용될 수 있다. LED(Light Emitting Diode)는 광원(503)으로서 사용될 수 있다. 본 발명의 액정 표시 장치에서 사용될 수 있는 광원이 반드시 LED로 제한되지 않는다는 것을 유의하라. LED와 같이 점등 및 소등을 고속으로 스위칭할 수 있는 발광 소자는 본 발명의 액정 표시 장치의 광원으로서 사용될 수 있다.

[0082] 메모리 회로(504)를 포함하는 제어 회로(502)의 구조가 본 실시 형태에서 설명되지만, 메모리 회로는 본 발명의 액정 표시 장치에 포함된 제어 회로로서 반드시 사용될 필요는 없다는 것을 유의하라. 메모리 회로가 사용되지 않는 경우에, 제어 회로(502)에서 비교 회로(501)의 하단에 스위칭 회로(505)가 제공된다. 또한, 메모리 회로가 사용되지 않는 경우에, 광원이 구동되는 타이밍이 단일의 프레임 기간마다 적절히 새롭게 설정되기 때문에, 기준으로서 기능하는 전위 REF는 프레임 기간마다 변화되거나, 각각의 극성에 대응하는 비교 회로 및 제어 회로가 또한 제공된다.

[0083] 제어 회로(502)가 도 5a에 도시된 구조 이외에 버퍼를 포함할 수 있다는 것을 유의하라. 도 5b는 비교 회로(501)에 부가하여 버퍼(506)를 포함하는 제어 회로(502), 및 광원(503)을 도시한다. 도 5b에 도시된 제어 회로(502)에서, 메모리 회로(504)로부터 출력된 전위는 버퍼(506)를 통해 제어 회로(502)에 입력된다. 버퍼(506)를 사용함으로써, 스위칭 회로(505)에서 스위칭을 제어하기 위해 많은 양의 전력이 요구될 때조차, 스위칭은 확실히 제어된다.

[0084] CPU(Central Processing Unit)가 비교 회로(501)에 의해 검출된 전위를 사용하여 도 5a 및 도 5b에 도시된 구조들을 갖는 제어 회로(502)의 기능을 가질 수 있다는 것을 유의하라. 본 발명은 CPU를 사용하는 제어 시스템의 복잡한 회로를 사용하지 않고 액정들의 응답 속도에 관하여 광원(503)의 구동을 제어할 수 있는 이점을 갖는다는 것을 유의하라. 또한, CPU가 사용될지라도, 본 발명은 CPU의 부하를 억제하면서 액정들의 응답 속도에 관하여 광원의 구동을 제어할 수 있는 이점을 갖는다.

[0085] 도 5a 및 도 5b 각각에서 단지 하나의 광원(530)이 도시되었지만, 본 발명은 이러한 구조에 제한되지 않는다. 광원(503)의 수는 하나 이상일 수 있다.

[0086] 본 실시 형태는 임의의 실시 형태들과 적절히 조합되어 구현될 수 있다.

[0087] (실시 형태 3)

[0088] 본 실시 형태에서, 본 발명의 액정 표시 장치의 일반적인 구조의 하나의 예가 설명될 것이다. 도 6에서, 본 발명의 액정 표시 장치의 블록도가 도시된다.

[0089] 도 6에 도시된 액정 표시 장치는 액정 소자를 각각 구비한 복수의 화소들을 갖는 화소부(600), 라인 마다 화소들을 선택하는 주사선 구동 회로(610), 선택된 라인의 화소들에 대한 비디오 신호의 입력을 제어하는 신호선 구동 회로(620), 비교 회로(630), 제어 회로(631), 및 광원(632)을 포함한다. 또한, 본 발명에서, 화소부(600)에 포함된 화소들 중 하나는 모니터링 화소(633)로서 사용된다. 모니터링 화소(633)의 화소 전극의 전위는 비교 회로(630)에 인가된다.

[0090] 도 6에서, 신호선 구동 회로(620)는 시프트 레지스터(621), 제 1 메모리 회로(622), 제 2 메모리 회로(623), 및 DA(디지털 대 아날로그) 변환기(621)를 포함한다. 클록 신호 S-CLK 및 시작 펄스 신호 S-SP는 시프트 레지스터(621)에 입력된다. 시프트 레지스터(621)는 클록 신호 S-CLK 및 시작 펄스 신호 S-SP에 따라 펄스가 순차적으로

시프트하는 타이밍 신호를 생성하고, 타이밍 신호를 제 1 메모리 회로(622)에 출력한다. 타이밍 신호의 펄스들의 출현 순서는 주사 방향 스위칭 신호에 따라 스위칭될 수 있다.

[0091] 타이밍 신호가 제 1 메모리 회로(622)에 입력될 때, 비디오 신호는 타이밍 신호의 펄스에 따라 제 1 메모리 회로(622)에 순차적으로 기록 및 보유된다. 비디오 신호들은 제 1 메모리 회로(622)에 포함된 복수의 메모리 회로들에 순차적으로 기록될 수 있지만, 제 1 메모리 회로(622)에 포함된 복수의 메모리 회로들은 몇 개의 그룹들로 분할될 수 있고, 비디오 신호들은 각각의 그룹들에 병렬로 입력될 수 있고, 즉, 소위 분할 구동이 수행될 수 있다. 이 때에 그룹들의 수는 분할 수라 한다는 것을 유의하라. 예를 들면, 각각의 그룹이 4 개의 메모리 소자들을 갖도록 메모리 회로가 분할되는 경우에, 분할 구동은 4 개의 분할들로 수행된다.

[0092] 제 1 메모리 회로(622)의 모든 메모리 소자들에 비디오 신호들을 기록하는 것이 완료될 때까지의 시간은 라인 기간이라 부른다. 실제로, 수평 귀선 기간(horizontal retrace interval period)이 라인 기간에 부가되는 라인 기간은 또한 일부 경우들에서 라인 기간으로 부른다.

[0093] 하나의 라인 기간이 완료될 때, 제 1 메모리 회로(622)에 보유된 비디오 신호들은 제 2 메모리 회로(623)에 입력될 래치 신호 S-LS의 펄스에 따라 한번에 모두 제 2 메모리 회로(623)에 기록 및 보유된다. 다음의 비디오 신호들은, 시프트 레지스터(621)로부터의 타이밍 신호에 따라, 비디오 신호들을 제 2 메모리 회로(623)에 전송하는 것을 완료한 제 1 메모리 회로(622)에 다시 순차적으로 기록된다. 하나의 라인 기간의 제 2 차례 동안에, 제 2 메모리 회로(623)에 기록 및 보유된 비디오 신호들은 DA 변환기(624)에 입력된다.

[0094] DA 변환기(624)는 입력 디지털 비디오 신호를 아날로그 비디오 신호로 변환하고, 아날로그 비디오 신호를 신호선을 통해 화소부(600)에 포함된 각각의 화소에 입력한다.

[0095] 신호선 구동 회로(620)는 시프트 레지스터(621) 대신에 펄스가 순차적으로 시프트하는 신호를 출력할 수 있는 또 다른 회로를 사용할 수 있다는 것을 유의하라.

[0096] 도 6에서 화소부(600)가 DA 변환기(624)의 하단에 직접 접속되지만, 본 발명은 이러한 구조에 제한되지 않는다는 것을 유의하라. DA 변환기(624)로부터 출력된 비디오 신호에 대한 신호 처리를 수행하는 회로는 화소부(600) 전단에 제공될 수 있다. 신호 처리를 수행하는 회로의 예들로서, 과형을 정형할 수 있는 버퍼 등이 주어질 수 있다.

[0097] 다음에, 주사선 구동 회로(610)의 동작이 설명될 것이다. 본 발명의 액정 표시 장치에서, 화소부(600) 내의 각각의 화소에 복수의 주사선들이 제공된다. 주사선 구동 회로(610)는, 선택 신호를 생성하고 선택 신호를 복수의 주사선들 각각에 입력함으로써 각각의 라인에 의해 화소를 선택한다. 화소가 선택 신호에 의해 선택될 때, 화소에 포함된 스위칭 소자가 턴 온되고, 비디오 신호가 화소에 입력된다.

[0098] 본 실시 형태는 복수의 주사선들에 입력될 모든 선택 신호들이 하나의 주사선 구동 회로(610)에서 생성되는 예를 도시하지만, 본 발명이 이러한 구조에 제한되지 않는다는 것을 유의하라. 복수의 주사선들에 입력될 선택 신호들은 복수의 주사선 구동 회로들(610)에서 생성될 수 있다.

[0099] 또한, 화소부(600), 주사선 구동 회로(610), 신호선 구동 회로(620), 비교 회로(630), 및 제어 회로(631)가 동일한 기판 위에 형성될 수 있지만, 이들 중 하나 또는 일부가 상이한 기판 위에 형성될 수 있다.

[0100] 또한, 도 6이 단지 하나의 광원(632)을 도시하지만, 본 발명은 이러한 구조에 제한되지 않는다. 광원들(632)의 수는 하나 이상일 수 있다.

[0101] 다음에, 도 6에서 도시된 것과 상이한, 본 실시 형태의 액정 표시 장치의 블록도가 예로서 도 7에 도시될 것이다.

[0102] 도 7에 도시된 액정 표시 장치는 복수의 화소들을 갖는 화소부(640), 라인 마다 복수의 화소들을 선택하는 주사선 구동 회로(650), 선택된 라인의 화소들에 대한 비디오 신호의 입력을 제어하는 신호선 구동 회로(660), 비교 회로(670), 제어 회로(671), 및 광원(672)을 포함한다. 또한, 본 발명에서, 화소부(640)에 포함된 화소들 중 하나는 모니터링 화소(673)로서 사용된다. 모니터링 화소(673)의 화소 전극의 전위는 비교 회로(670)에 인가된다.

[0103] 신호선 구동 회로(660)는 적어도 시프트 레지스터(661), 샘플링 회로(662), 및 아날로그 신호를 저장할 수 있는 메모리 회로(663)를 포함한다. 클럭 신호 S-CLK 및 시작 펄스 신호 S-SP가 시프트 레지스터(661)에 입력될 때, 시프트 레지스터(661)는 클럭 신호 S-CLK 및 시작 펄스 신호 S-SP에 따라 펄스가 순차적으로 시프트하는 타이밍 신호를 생성하고, 타이밍 신호를 샘플링 회로(662)에 입력한다. 샘플링 회로(662)는 입력된 타이밍 신호에

따라, 신호선 구동 회로(660)에 입력되는 하나의 라인 기간 동안의 아날로그 비디오 신호들을 샘플링한다. 하나의 라인 기간 동안의 모든 비디오 신호들이 샘플링될 때, 샘플링된 비디오 신호들은 래치 신호 S-LS에 따라 메모리 회로(663)에 모두 한번에 출력되고 보유된다. 메모리 회로(663)에 보유된 비디오 신호들은 신호선을 통해 화소부(640)에 입력된다.

[0104] 본 실시 형태는 하나의 라인 기간 동안의 비디오 신호들이 샘플링 회로(662)에서 샘플링된 후에, 모든 샘플링된 비디오 신호들이 한번에 모두 하단의 메모리 회로(663)에 입력되는 예를 도시하지만, 본 발명이 이러한 구조에 제한되지 않는다는 것을 유의하라. 각각의 화소들에 대응하는 비디오 신호들이 샘플링 회로(662)에서 샘플링될 때마다, 샘플링된 비디오 신호는 하나의 라인 기간의 완료를 분위기하지 않고 하단의 메모리 회로(663)에 입력될 수 있다.

[0105] 비디오 신호는 비디오 신호에 대응하는 화소에 대해 순차적으로 샘플링될 수 있다. 또한, 하나의 라인 내의 화소들은, 비디오 신호가 각각의 그룹에 대응하는 화소들에 대해 병렬로 샘플링될 수 있도록 몇 개의 그룹들로 분할될 수 있다.

[0106] 도 7에서 화소부(640)가 메모리 회로(663)의 하단에 직접 접속되지만, 본 발명이 이러한 구조에 제한되지 않는다는 것을 유의하라. 메모리 회로(663)로부터 출력된 비디오 신호에 대한 신호 처리를 수행하는 회로는 화소부(640) 전단에 제공될 수 있다. 신호 처리를 수행하는 회로의 예들로서, 과형을 정형할 수 있는 버퍼 등이 주어질 수 있다.

[0107] 그리고, 비디오 신호가 메모리 회로(663)로부터 화소부(640)에 입력되는 것과 동시에, 샘플링 회로(662)는 다음의 라인 기간에 대응하는 비디오 신호들을 다시 샘플링할 수 있다.

[0108] 다음에, 주사선 구동 회로(650)의 동작이 설명될 것이다. 본 발명의 액정 표시 장치에서, 화소부(640) 내의 각각의 화소에 복수의 주사선들이 제공된다. 주사선 구동 회로(650)는, 선택 신호를 생성하고 선택 신호를 복수의 주사선들 각각에 입력함으로써 각각의 라인에 대해 화소를 선택한다. 화소가 선택 신호에 의해 선택될 때, 화소에 포함된 스위칭 소자가 턴 온되고, 비디오 신호가 화소에 입력된다.

[0109] 본 실시 형태는 복수의 주사선들에 입력될 모든 선택 신호들이 하나의 주사선 구동 회로(650)에서 생성되는 예를 도시하지만, 본 발명이 이러한 구조에 제한되지 않는다는 것을 유의하라. 복수의 주사선들에 입력될 선택 신호들은 복수의 주사선 구동 회로들(650)에서 생성될 수 있다.

[0110] 또한, 화소부(640), 주사선 구동 회로(650), 신호선 구동 회로(660), 비교 회로(670), 및 제어 회로(671)가 동일한 기판 위에 형성될 수 있지만, 이들 중 하나 또는 일부가 상이한 기판 위에 형성될 수 있다.

[0111] 또한, 도 7이 단지 하나의 광원(672)을 도시하지만, 본 발명은 이러한 구조에 제한되지 않는다. 광원들(672)의 수는 하나 이상일 수 있다.

[0112] 본 실시 형태는 임의의 실시 형태들과 조합하여 적절히 구현될 수 있다.

[0113] (실시 형태 4)

[0114] 본 실시 형태에서, 액정 표시 장치가 설치된 환경에서 휘도를 검출하고, 검출된 휘도에 따라 광원의 휘도를 조정하는 액정 표시 장치의 구조가 설명될 것이다.

[0115] 도 8a는 본 실시 형태의 액정 표시 장치에 포함된 광원(801)에 대한 제어 시스템의 회로의 예를 도시한다. 도 8a에 도시된 광원(801)에 대한 제어 시스템의 회로는 비교 회로(802), 제어 회로(803), 광 검출기(804), 신호 생성 회로(805), 및 휘도 제어 회로(806)를 포함한다.

[0116] 비교 회로(802)는 화소로부터 인가된 액정 소자의 화소 전극의 전위 V_E 와 기준으로서 기능하는 전위 REF를 서로 비교하고, 비교의 결과에 따라 서로 상이한 값들을 갖는 두 개의 전위들 중 하나를 출력한다. 제어 회로(803)는 비교 회로(802)로부터 출력된 전위에 따라 광원(801)의 구동을 제어한다. 구체적으로, 두 개의 전위들 중 하나가 비교 회로(802)로부터 출력될 때, 광원(801)은 제어 회로(803)의 제어에 의해 점등되고, 다른 전위가 비교 회로(802)로부터 출력될 때, 광원(801)은 제어 회로(803)의 제어에 의해 소등된다. 비교 회로(802)로부터 출력된 전위값이 액정 분자들의 배향 변화의 수렴 전후에 상이하기 때문에, 제어 회로(803)는 액정 분자들의 배향이 변하는 타이밍에 따라 광원(801)의 구동을 제어할 수 있다.

[0117] 광 검출기(804)는 액정 표시 장치가 설치된 환경에서 휘도 또는 광의 강도를 검출하고, 광의 휘도 또는 강도에 관련된 정보를 포함하는 전기 신호(제 1 신호)를 생성할 수 있다. 광 검출기(804)로서, 예를 들면, 포토다이오

드, 포토 트랜지스터, 또는 CCD(Charge Coupled Device)와 같이 광을 전기 에너지로 변환하는 광전 변환 소자(photoelectric conversion element)가 사용될 수 있다.

[0118] 신호 생성 회로(805)는 광 검출기(804)에서 생성된 전기 신호를 사용함으로써 검출된 휘도에 관련된 정보에 따라 광원(801)의 휘도를 결정한다. 도 8a에서, 신호 생성 회로(805)가 적분 회로(807) 및 휘도 비교 회로(808)를 포함하는 예가 도시된다.

[0119] 적분 회로(807)는 시간에 대해 광 검출기(804)에서 검출된 광의 강도를 적분한다. 인간이 적분에 의해 일정 기간 내에 광의 강도를 지각하는 특성을 갖기 때문에, 인간의 눈에 의해 지각된 휘도는 적분 회로(807)를 사용하여 계산될 수 있다. 휘도 비교 회로(808)는 적분 회로(807)에 의해 계산된 휘도와 미리 설정된 기준 휘도를 비교한다.

[0120] 그리고, 비교의 결과들에 관련된 정보를 포함하는 신호(제 2 신호)가 출력된다. 휘도 제어 회로(806)는, 휘도 비교 회로(808)에서의 비교 결과에 따라 광원(801)의 휘도를 제어하기 위해 광원의 휘도를 조정하는 신호로서 제 2 신호를 사용한다. 구체적으로, 광원(801)의 휘도는 다음과 같이 제 2 신호에 따라 제어된다; 계산된 휘도가 설정된 휘도보다 높다면, 광원(801)의 휘도가 높도록 제어되고, 계산된 휘도가 설정된 휘도보다 낮다면, 광원(801)의 휘도가 낮도록 제어된다.

[0121] 따라서, 액정 표시 장치가 설치된 환경의 휘도가 높다면, 본 실시 형태의 액정 표시 장치는 광원(801)의 휘도를 증가시킬 수 있고, 액정 표시 장치가 설치된 환경의 휘도가 낮다면, 본 실시 형태의 액정 표시 장치는 광원(801)의 휘도를 감소시킬 수 있다. 상술된 구조에 의해, 밝은 영역에서 화상을 밝게 하여 액정 표시 장치에 표시된 화상이 뚜렷하게 할 수 있고, 반면에, 어두운 영역에서 화상의 밝기를 억제함으로써 전력 소비가 감소될 수 있다.

[0122] 기준이 되는 휘도의 수가 반드시 하나일 필요는 없고, 복수의 휘도들이 기준으로서 설정될 수 있다는 것을 유의하라. 예를 들면, 낮은 순서로 제 1 휘도, 제 2 휘도, 및 제 3 휘도와 같이 3 개의 휘도들이 기준으로서 설정되는 경우에, 점등 시에 광원(801)의 휘도가 4 개의 레벨들로 조정될 수 있다. 그리고, 계산된 휘도가 제 1 휘도보다 낮다면, 광원(801)이 4 개의 레벨들 중 최저 휘도를 갖도록 제 2 신호에 따라 점등된다. 또한, 계산된 휘도가 제 1 휘도보다 높고 제 2 휘도보다 낮다면, 광원(801)은 4 개의 레벨들 중 두 번째로 낮은 휘도를 갖도록 제 2 신호에 따라 점등된다. 또한, 계산된 휘도가 제 2 휘도보다 높고 제 3 휘도보다 낮다면, 광원(801)은 4 개의 레벨들 중 두 번째로 높은 휘도를 갖도록 제 2 신호에 따라 점등된다. 또한, 계산된 휘도가 제 3 휘도보다 높다면, 광원(801)은 4 개의 레벨들 중 최고 휘도를 갖도록 제 2 신호에 따라 점등된다.

[0123] 또한, 상술된 효과 이외에, 본 실시 형태의 액정 표시 장치가 액정 분자의 배향 변화가 수렴하는 타이밍을 파악할 수 있기 때문에, 광원(801)이 구동되는 타이밍은 액정 분자들의 배향 변화가 수렴하는 타이밍에 따라 적절히 새롭게 설정될 수 있다. 따라서, 액정들의 응답 속도가 변할지라도, 액정 분자들의 배향 변화가 상당한 기간 동안에 광원(801)이 소등되고, 액정 분자들의 배향 변화가 수렴하는 기간 동안에 광원(801)이 점등되어, 동화상들이 흐릿하게 보이는 것이 방지될 수 있다.

[0124] 다음에, 도 8b는 휘도 제어 회로(806)의 구체적인 회로 예를 도시한다. 도 8b는 휘도 제어 회로(806)가 4 개의 레벨들로 광원(801)의 휘도를 제어하고, 4 개의 스위칭 소자들(810) 및 4 개의 저항 소자들(811)을 포함하는 경우를 예시한다. 스위칭 소자들(810) 각각은 저항 소자들(811) 각각에 직렬로 접속된다. 직렬로 접속된 스위칭 소자(810) 및 저항 소자(811)의 4 개의 조합들은 제어 회로(803)와 광원(801) 사이에 모두 병렬로 접속된다.

[0125] 스위칭 소자들(810) 각각의 스위칭은 신호 생성 회로(805)로부터 출력된 제 2 신호에 따라 수행된다. 턴 온된 스위칭 소자(810)의 수가 많을수록, 제어 회로(803)와 광원(801) 사이의 저항값이 낮아진다. 이에 반하여, 턴 온된 스위칭 소자(810)의 수가 적을수록, 제어 회로(803)와 광원(801) 사이의 저항값이 높아진다. 따라서, 전력이 제어 회로(803)에서 설정된 타이밍에 따라 공급될 때, 광원(801)에 공급된 전력은 스위칭 소자들(810) 각각의 스위칭에 따라 조정될 수 있어, 광원(801)의 휘도가 4 개의 레벨로 제어될 수 있다.

[0126] 전력이 광원(801)에 공급되는지 여부가 제어 회로(803)에 의해 제어되기 때문에, 휘도 제어 회로(806)가 광원(801)에 공급된 전력의 양을 제어할 뿐이라는 것을 유의하라. 따라서, 복수의 스위칭 소자들(810) 중 적어도 하나는 항상 온이다. 그러나, 본 발명은 이러한 구조에 제한되지 않고, 휘도 제어 회로(806)에 있어서도, 모든 스위칭 소자들(810)이 전력이 광원(801)에 공급되는지 여부를 제어하기 위해 턴 오프될 수 있다.

[0127] 또한, m 개의 저항 소자들(811) 모두가 동일한 저항값을 갖는다면, 휘도는 m 개의 레벨들로 제어된다. 그러나,

저항 소자들(811) 각각의 저항값을 변경함으로써, 휘도가 (2^m-1) 개의 레벨들로 정확히 제어될 수 있다.

- [0128] 또한, 도 8이 단지 하나의 광원(801)을 도시하지만, 본 발명은 이러한 구조에 제한되지 않는다. 광원들(801)의 수는 하나 이상일 수 있다.
- [0129] 본 실시 형태는 임의의 실시 형태들과 조합하여 적절히 구현될 수 있다.
- [0130] (실시 형태 5)
- [0131] 본 실시 형태에서, 액정 표시 장치 내에 포함된 화소부가 복수의 영역들로 분할되어, 각각의 영역들에 대응하는 광원들의 휘도가 각각의 영역에 제공된 화소들의 계조들의 평균값에 따라 조정되는 액정 표시 장치의 구조가 설명될 것이다.
- [0132] 본 실시 형태의 액정 표시 장치는 각각의 영역들에 대응하는 복수의 광원들을 갖는다. 도 9a는, 액정 표시 장치에 포함되는 제 1 영역의 화소 및 제 2 영역의 화소에 각각 대응하는 제 1 광원(820) 및 제 2 광원(821)에 대한 제어 시스템의 회로 예를 도시한다. 광원들의 수는 2 개로 제한되지 않고 분할된 대응하는 영역들의 수에 따라 적절히 설정될 수 있다는 것을 유의하라.
- [0133] 도 9a에 도시된 제 1 광원(820) 및 제 2 광원(821)에 대한 제어 시스템의 회로는 비교 회로들(비교 회로들(8221 및 8222)), 제어 회로(823), 화상 처리 필터(824), 신호 처리 회로(825), 제 1 휘도 제어 회로(826), 및 제 2 휘도 제어 회로(827)를 포함한다.
- [0134] 비교 회로(8221)는 제 1 영역 내의 화소로부터 인가된, 액정 소자 내의 화소 전극의 전위 V_{E1} 과 기준으로서 기능하는 전위 REF를 비교하고, 비교 결과에 따라 서로 상이한 값들을 갖는 두 개의 전위들 중 하나를 제어 회로(823)에 출력한다.
- [0135] 비교 회로(8222)는 제 2 영역 내의 화소로부터 인가된, 액정 소자 내의 화소 전극의 전위 V_{E2} 와 기준 전위 REF를 비교하고, 비교 결과에 따라 서로 상이한 값들을 갖는 두 개의 전위들 중 하나를 제어 회로(823)에 출력한다.
- [0136] 제어 회로(823)는 비교 회로들(8221 및 8222)로부터 출력된 전위들에 따라 제 1 광원(820) 및 제 2 광원(821)의 구동을 제어한다. 구체적으로, 두 개의 전위들 중 하나가 비교 회로(8221)로부터 제어 회로(823)에 출력될 때, 제어 회로(823)는 제 1 광원(820)이 점등되도록 제어한다. 한편, 다른 전위가 제어 회로(823)에 출력될 때, 제어 회로(823)는 제 1 광원(820)이 소등되도록 제어한다. 또한, 두 개의 전위들 중 하나가 비교 회로(8222)로부터 제어 회로(823)에 출력될 때, 제어 회로(823)는 제 2 광원(821)이 점등되도록 제어한다. 한편, 다른 전위가 제어 회로(823)에 출력될 때, 제어 회로(823)는 제 2 광원(821)이 소등되도록 제어한다. 액정 분자들의 배향 변화의 수렴 전에 비교 회로들(8221 및 8222)로부터 출력된 전위들의 값들은, 액정 분자들의 배향 변화의 수렴 후와 상이하다. 따라서, 제어 회로(823)는 액정 분자들의 배향이 변하는 타이밍에 따라 제 1 광원(820) 및 제 2 광원(821)의 구동을 제어할 수 있다.
- [0137] 한편, 화상 처리 필터(824)는, 각각의 영역들 내의 화소들에 입력된 비디오 신호를 사용하여 각각의 영역에 제공된 화소들의 계조들의 평균값을 계산하고, 평균값을 정보로서 포함하는 신호를 생성한다. 화상 처리 필터(824)로서, 예를 들면, 랭크 필터(rank filter) 또는 콤보 필터와 같이 계조들의 평균값을 계산할 수 있는 화상 처리 필터가 사용될 수 있다.
- [0138] 신호 처리 회로(825)는, 화상 처리 필터(824)에서 생성된 신호를 사용하여 계산된 계조들의 평균값에 따라 제 1 광원(820) 및 제 2 광원(821)의 휘도를 결정한다. 구체적으로, 신호 처리 회로(825)는 계산된 계조들의 평균값과 미리 설정된 계조들을 비교한다. 그리고, 신호 처리 회로(825)는 비교의 결과들을 정보로서 포함하는 신호를 출력한다. 제 1 휘도 제어 회로(826) 및 제 2 휘도 제어 회로(827)는 제 1 광원(820) 및 제 2 광원(821)의 휘도를 조정하기 위한 신호로서 비교의 결과들을 포함하는 신호를 사용하여, 그의 휘도를 제어한다. 구체적으로, 제 1 광원(820) 및 제 2 광원(821)의 휘도는 다음과 같이 제어된다; 계산된 계조들의 평균값이 미리 설정된 계조들보다 높다면, 제 1 광원(820) 및 제 2 광원(821)의 휘도는 더 높도록 제어되고, 계산된 계조들의 평균값이 미리 설정된 계조들보다 낮다면, 제 1 광원(820) 및 제 2 광원(821)의 휘도는 낮도록 제어된다.
- [0139] 도 9b는 4개의 영역들(840, 841, 842, 및 843)로 분할된 화소부, 및 영역들(840, 841, 842, 및 843)에 각각 대응하는 광원들(844, 845, 846, 및 847)의 배치의 하나의 예를 도시한다. 사실상, 많은 경우들에서, 광원에 대응하는 영역 이외의 영역이 광원으로부터 광이 조사된다는 것을 유의하라. 그러나, 광원에 대응하는 영역에 광이 주로 조사될 수 있는 한, 임의의 광원이 사용될 수 있다.

- [0140] 영역들(840, 841, 842, 및 843)에 각각 제공된 화소들의 계조들을 평균화한 결과들이, 영역(843), 영역(842), 영역(841), 및 영역(840)의 순서로 낮다고 가정된다. 그러한 경우에, 광원의 휘도는 광원(847), 광원(846), 광원(845), 및 광원(844)의 순서로 낮을 수 있다.
- [0141] 도 9b가 광원이 화소부의 에지에 배치된 에지 라이트형의 광원을 예시하지만, 본 발명의 액정 표시 장치에서 광원들이 화소부 바로 아래에 배치된 직하형이 채용될 수 있다는 것을 유의하라. 또한, 하나의 제 1 광원(820) 및 하나의 제 2 광원(821)이 도 9a에 도시되지만, 본 발명은 이러한 구조에 제한되지 않는다. 제 1 광원들(820) 및 제 2 광원들(821) 각각의 수는 하나 이상일 수 있다.
- [0142] 따라서, 본 실시 형태의 액정 표시 장치는 밝은 화상들이 표시되는 높은 계조를 갖는 영역에서 화상들을 더욱 밝게 표시할 수 있고, 어두운 화상들이 표시되는 낮은 계조를 갖는 영역에서 화상들을 더욱 어둡게 표시할 수 있다. 상술된 구조에 의해, 본 실시 형태의 액정 표시 장치에서 전체 화소부에서 표시된 화상의 콘트라스트(contrast)가 증가될 수 있다.
- [0143] 또한, 상술된 효과 이외에, 본 실시 형태의 액정 표시 장치가 액정 분자들의 배향 변화가 수렴하는 타이밍을 파악할 수 있기 때문에, 제 1 광원(820) 및 제 2 광원(821) 각각이 구동되는 타이밍은, 액정 분자들의 배향 변화가 수렴하는 타이밍에 따라 적절히 새롭게 설정될 수 있다. 따라서, 액정들의 응답 속도가 변할지라도, 액정 분자들의 배향 변화가 상당한 기간 동안에 제 1 광원(820) 및 제 2 광원(821)이 소동되고, 액정 분자들의 배향 변화가 수렴하는 기간 동안에 제 1 광원(820) 및 제 2 광원(821)이 점등되어, 동화상들이 흐릿하게 보이는 것이 방지된다.
- [0144] 도 9a에 도시된 액정 표시 장치에서, 제 1 광원(820) 및 제 2 광원(821)에 각각 대응하도록 제 1 휘도 제어 회로(826) 및 제 2 휘도 제어 회로(827)가 제공되지만, 본 발명이 이러한 구조에 제한되지 않는다는 것을 유의하라. 복수의 광원들의 계조들은 하나의 휘도 제어 회로에 의해 제어될 수 있다. 또한, 제 1 휘도 제어 회로(826) 및 제 2 휘도 제어 회로(827) 각각은 도 8b에 도시된 휘도 제어 회로의 구조를 가질 수 있다.
- [0145] 화소부의 각각의 영역들에 대응하는 광원들의 휘도가 본 실시 형태에서 설명된 바와 같이 제어되는 경우에도, 액정 표시 장치가 사용되는 환경의 휘도가 검출되어, 각각의 광원의 휘도가 검출된 휘도에 따라 조정된다는 것을 유의하라.
- [0146] 또한, 본 실시 형태는 실시 형태 4를 제외한 임의의 실시 형태들과 조합하여 적절히 구현될 수 있다.
- [0147] (실시 형태 6)
- [0148] 실시 형태 3에서 도시된 것과 상이한 본 실시 형태에서, 본 발명의 액정 표시 장치의 일반적인 구조의 하나의 예가 설명될 것이다. 도 10은 본 발명의 액정 표시 장치의 블록도를 예시한다.
- [0149] 도 10에 도시된 액정 표시 장치는 액정 소자를 각각 구비한 복수의 화소부들을 갖는 화소부(900), 라인 마다 화소들을 선택하는 주사선 구동 회로(910), 선택된 라인의 화소들에 비디오 신호의 입력을 제어하는 신호선 구동 회로(920), 비교 회로(930), 제어 회로(931) 및 광원(932)을 포함한다. 또한, 본 발명에서, 화소부(900)에 포함된 화소들 중 하나는 모니터링 화소(933)로서 사용된다. 모니터링 화소(933)의 화소 전극의 전위는 비교 회로(930)에 인가된다.
- [0150] 도 10에서, 신호선 구동 회로(920)는 시프트 레지스터(921), 제 1 메모리 회로(922), 및 제 2 메모리 회로(923)를 포함한다. 클록 신호 S-CLK 및 시작 펄스 신호 S-SP는 시프트 레지스터(921)에 입력된다. 시프트 레지스터(921)는 클록 신호 S-CLK 및 시작 펄스 신호 S-SP에 따라 펄스가 순차적으로 시프트하는 타이밍 신호를 생성하고, 타이밍 신호를 제 1 메모리 회로(922)에 출력한다. 타이밍 신호의 펄스들의 출현 순서는 주사 방향 스윕칭 신호에 따라 스윕칭될 수 있다.
- [0151] 타이밍 신호가 제 1 메모리 회로(922)에 입력될 때, 비디오 신호는 타이밍 신호의 펄스에 따라 제 1 메모리 회로(922)에 순차적으로 기록 및 보유된다. 비디오 신호들은 제 1 메모리 회로(922)에 포함된 복수의 메모리 회로들에 순차적으로 기록될 수 있지만, 제 1 메모리 회로(922)에 포함된 복수의 메모리 회로들은 몇 개의 그룹들로 분할될 수 있고, 비디오 신호들은 각각의 그룹들에 병렬로 입력될 수 있고, 즉, 소위 분할 구동이 수행될 수 있다. 이 때, 그룹들의 수는 분할 수라고 부른다. 예를 들면, 각각의 그룹이 4 개의 메모리 소자들을 갖도록 메모리 회로가 분할되는 경우에, 분할 구동은 4 개의 분할들로 수행된다.
- [0152] 제 1 메모리 회로(922)의 모든 메모리 소자들에 비디오 신호들을 기록하는 것이 완료될 때까지의 시간은 라인 기간이라 부른다. 실제로, 수평 귀선 기간이 라인 기간에 부가되는 라인 기간은 또한 일부 경우들에서 라인 기

간으로 부른다.

- [0153] 하나의 라인 기간이 완료될 때, 제 1 메모리 회로(922)에 보유된 비디오 신호들은 제 2 메모리 회로(923)에 입력될 래치 신호 S-LS의 펄스에 따라 한번에 모두 제 2 메모리 회로(923)에 기록 및 보유된다. 다음의 비디오 신호들은, 시프트 레지스터(921)로부터의 타이밍 신호에 따라, 비디오 신호들을 제 2 메모리 회로(923)에 전송하는 것을 완료한 제 1 메모리 회로(922)에 다시 순차적으로 기록된다. 하나의 라인 기간의 제 2 차례 동안에, 제 2 메모리 회로(923)에 기록 및 보유된 비디오 신호들은 디지털 비디오 신호들로서 신호 라인을 통해 화소부(900)의 각각의 화소들에 입력된다.
- [0154] 신호선 구동 회로(920)는 시프트 레지스터(921) 대신에 펄스가 순차적으로 시프트하는 신호를 출력할 수 있는 또 다른 회로를 사용할 수 있다는 것을 유의하라.
- [0155] 도 10에서 화소부(900)가 제 2 메모리 회로(923)의 하단에 직접 접속되지만, 본 발명은 이러한 구조에 제한되지 않는다는 것을 유의하라. 제 2 메모리 회로(923)로부터 출력된 비디오 신호에 대한 신호 처리를 수행하는 회로는 화소부(900) 전단에 제공될 수 있다. 신호 처리를 수행하는 회로의 예들로서, 파형을 정형할 수 있는 버퍼, 전압의 진폭을 제어하는 레벨 시프터 등이 주어질 수 있다.
- [0156] 다음에, 주사선 구동 회로(910)의 동작이 설명될 것이다. 본 발명의 액정 표시 장치에서, 화소부(900) 내의 각각의 화소에 복수의 주사선들이 제공된다. 주사선 구동 회로(910)는, 선택 신호를 생성하고 선택 신호를 복수의 주사선들 각각에 입력함으로써 라인 마다 화소를 선택한다. 화소가 선택 신호에 의해 선택될 때, 화소에 포함된 스위칭 소자가 턴 온되고, 비디오 신호가 화소에 입력된다.
- [0157] 본 실시 형태는 복수의 주사선들에 입력될 모든 선택 신호들이 하나의 주사선 구동 회로(910)에서 생성되는 예를 도시하지만, 본 발명이 이러한 구조에 제한되지 않는다는 것을 유의하라. 복수의 주사선들에 입력된 선택 신호들은 복수의 주사선 구동 회로들(910)에서 생성될 수 있다.
- [0158] 본 실시 형태의 액정 표시 장치에서, 디지털 비디오 신호는 화소부(900)에 입력된다. 화소부(900)에 입력된 비디오 신호가 디지털 신호일 때, 화소에서 백색 표시의 시간을 제어하여 계조가 표시될 수 있거나(시간 계조 방법), 백색 표시를 수행하는 화소의 면적에 따라 계조가 표시될 수 있다(면적 계조 방법). 예를 들면, 본 실시 형태에서 시간 계조 방법이 사용될 때, 하나의 프레임 기간은 비디오 신호의 각각의 비트들에 대응하는 복수의 서브 프레임 기간들로 분할된다. 그리고, 화소가 하나의 프레임 기간에서 백색 표시를 수행하는 동안 서브 프레임 기간들의 총 길이는 비디오 신호에 의해 제어되어, 계조가 표시될 수 있다.
- [0159] 또한, 화소부(900), 주사선 구동 회로(910), 신호선 구동 회로(920), 비교 회로(930), 및 제어 회로(931)가 동일한 기판 위에 형성될 수 있지만, 이들 중 하나 또는 일부가 상이한 기판 위에 형성될 수 있다.
- [0160] 또한, 도 10이 단지 하나의 광원(932)을 도시하지만, 본 발명은 이러한 구조에 제한되지 않는다. 광원들(932)의 수는 하나 이상일 수 있다.
- [0161] 본 실시 형태는 임의의 실시 형태들과 조합하여 적절히 구현될 수 있다.
- [0162] [실시예 1]
- [0163] 다음에, 본 발명의 액정 표시 장치의 제조 방법이 상세하게 설명될 것이다. 본 실시예가 예시적인 반도체 소자로서 박막 트랜지스터(TFT)를 예시하지만, 본 발명의 액정 표시 장치에서 사용된 반도체 소자가 이에 제한되지 않는다. 예를 들면, TFT뿐만 아니라 메모리 소자, 다이오드, 저항 소자, 코일, 용량 소자, 인덕터 등이 사용될 수 있다.
- [0164] 우선, 도 11a에 도시된 바와 같이, 절연막(701), 분리층(702), 절연막(703) 및 반도체막(704)은 내열성을 갖는 기판(700) 위에 순차적으로 형성된다. 절연막(701), 분리층(702), 절연막(703) 및 반도체막(704)은 연속하여 형성될 수 있다.
- [0165] 기판(700)으로서, 바륨 보로실리케이트 유리 또는 알루미늄보로실리케이트 유리와 같은 유리 기판, 석영 기판, 세라믹 기판 등이 사용될 수 있다. 또한, 스테인리스-스틸 기판을 포함하는 금속 기판 또는 실리콘 기판과 같은 반도체 기판이 또한 사용될 수 있다. 제조 공정에서 공정 온도를 견딜 수 있다면, 일반적으로 상술된 기판들보다 더 낮은 내열 온도를 갖는 플라스틱과 같은 가요성을 갖는 합성 수지로 구성된 기판이 사용될 수 있다.
- [0166] 플라스틱 기판으로서, 폴리에틸렌 테레프탈레이트(polyethylene terephthalate)(PET)로 대표되는 폴리에스테르; 폴리에테르 술폰(polyether sulfone)(PES); 폴리에틸렌 나프탈레이트(polyethylene naphthalate)(PEN); 폴리카

보네이트(polycarbonate)(PC); 폴리에테르 에텔케톤(polyether etherketone)(PEEK); 폴리술폰(polysulfone)(PSF); 폴리에테르 이미드(polyether imide)(PEI); 폴리아릴레이트(polyarylate)(PAR); 폴리부틸렌 테레프탈레이트(polybutylene terephthalate)(PBT); 폴리이미드(polyimide); 아크릴로니트릴 부타디엔 스티렌 수지(acrylonitrile butadiene styrene resin); 폴리 비닐 염화물(poly vinyl chloride); 폴리프로필렌(polypropylene); 폴리 비닐 아세테이트(poly vinyl acetate); 아크릴 수지(acrylic resin) 등이 주어질 수 있다.

[0167] 분리층(702)이 본 실시예에서 기판(700)의 전면 위에 제공되지만, 본 발명은 이에 제한되지 않는다. 예를 들면, 분리층(702)은 포토리소그래피 방법 등에 의해 기판(700) 위에 부분적으로 형성될 수 있다.

[0168] 절연막들(701 및 703)은 CVD 방법, 스퍼터링 방법 등에 의해 산화 규소, 질화 규소, 산화 질화 규소(SiO_xN_y , 여기서 $x > y > 0$), 또는 질화 산화 규소(SiN_xO_y , 여기서 $x > y > 0$)와 같은 절연 금속을 사용하여 형성된다.

[0169] 절연막(701) 및 절연막(703)은, 기판(700)에 포함된 Na와 같은 알칼리 금속 또는 알칼리 토 금속이 반도체막(704)으로 확산하고, TFT와 같은 반도체 소자의 특성에 악영향을 끼치는 것을 방지하도록 제공된다. 또한, 절연막(703)은 분리층(702)에 포함된 불순물 원소가 반도체막(704)으로 확산하는 것을 방지하고, 반도체 소자가 기판(700)으로부터 분리되는 후속 단계에서 반도체 소자를 보호하는 역할을 한다.

[0170] 절연막들(701 및 703) 각각은 단일의 절연막 또는 복수의 절연막들의 적층들 중 어느 하나일 수 있다. 본 실시예에서, 절연막(703)을 형성하기 위해 100 nm의 두께를 갖는 산화 질화 규소막, 50 nm의 두께를 갖는 질화 산화 규소막, 및 100 nm의 두께를 갖는 산화 질화 규소막이 이러한 순서로 적층되지만, 재료들 및 각각의 층의 막 두께 및 적층된 층들의 수가 이에 제한되지 않는다. 예를 들면, 하부층인 산화 질화 규소막 대신에, 스핀 코팅 방법, 슬릿 코터 방법(slit coater method), 액적 토출 방법(droplet discharge method), 인쇄 방법 등에 의해 0.5 내지 3 μm 의 두께를 갖는 실록산계 수지(siloxane-based resin)가 형성될 수 있다. 중간층인 질화 산화 규소막 대신에, 질화 규소막이 사용될 수 있다. 상부층인 산화 질화 규소막 대신에, 산화 규소막이 사용될 수 있다. 각각의 막 두께는 0.5 내지 3 μm 의 범위가 바람직하고, 그 범위에서 자유롭게 선택될 수 있다.

[0171] 또한, 분리층(702)에 가장 근접한 절연막(703)의 하부층, 중간층, 및 상부층은 산화 질화 규소막 또는 산화 규소막, 실록산계 수지 및 산화 규소막 각각으로 형성될 수 있다.

[0172] 실록산계 수지가 출발 재료로서 실록산계 재료로부터 형성되고 Si-O-Si의 결합을 갖는 수지라는 것을 유의하라. 실록산계 수지는 치환기로서 수소에 부가하여 불소, 알킬기, 및 방향족 탄화수소(aromatic hydrocarbon) 중 적어도 하나를 포함할 수 있다.

[0173] 산화 규소막은 열 CVD, 플라즈마 CVD, 분위기압 CVD, 바이어스 ECRCVD와 같은 방법에 의해 실란 및 산소, TEOS(tetraethoxysilane) 및 산소 등의 조합의 혼합 가스를 사용하여 형성될 수 있다. 또한, 질산 규소막은 통상적으로 플라즈마 CVD 방법에 의해 실란 및 암모니아의 혼합 가스를 사용하여 형성될 수 있다. 또한, 산화 질화 규소막 및 질화 산화 규소막은 통상적으로 플라즈마 CVD 방법에 의해 실란 및 아산화 질소(nitrous oxide)의 혼합 가스를 사용하여 형성될 수 있다.

[0174] 분리층(702)으로서, 금속막, 산화 금속막, 또는 금속막 및 산화 금속막이 적층된 막이 사용될 수 있다. 금속막 및 산화 금속막은 단층 또는 복수의 층들의 적층된 구조일 수 있다. 금속막 또는 산화 금속막 이외에, 질산 금속 또는 산화 질화 금속이 또한 사용될 수 있다. 분리층(702)은 스퍼터링 방법, 플라즈마 CVD 방법과 같은 CVD 방법에 의해 형성될 수 있다.

[0175] 분리층(702)에서 사용된 금속들의 예들은 텅스텐(W), 몰리브덴(Mo), 티타늄(Ti), 탄탈(Ta), 니오브(Nb), 니켈(Ni), 코발트(Co), 지르코늄(Zr), 아연(Zn), 루테튬(Ru), 로듐(Rh), 팔라듐(Pd), 오스뮴(Os), 이리듐(Ir) 등을 포함한다. 그러한 금속막들 이외에, 분리층(702)은 또한 주성분으로서 상술된 금속을 포함하는 합금 또는 상술된 금속을 포함하는 화합물로 구성된 막을 사용하여 형성될 수 있다.

[0176] 또한, 분리층(702)은 규소(Si)만으로 형성된 막 또는 주성분으로서 규소(Si)를 포함하는 화합물로 형성된 막을 사용하여 형성될 수 있다. 또 다른 대안으로서, 분리층(702)은 규소(Si) 및 상술된 금속들 중 임의의 금속의 합금으로 형성된 막을 사용하여 형성될 수 있다. 규소를 포함하는 막은 비정질, 미결정 또는 다결정 중 어느 하나일 수 있다.

[0177] 분리층(702)은 상술된 막의 단층 또는 그의 적층들일 수 있다. 금속막 및 산화 금속막의 적층을 갖는 분리층(702)은 기저 금속막을 형성하고, 그후 상기 금속막의 표면을 산화 또는 질화하여 형성될 수 있다. 구체적으로,

산소 분위기 또는 아산화 질소 분위기에서 기저 금속막에 플라즈마 처리가 가해지거나, 산소 분위기 또는 아산화 질소 분위기에서 금속막에 열처리가 가해질 수 있다. 또한, 금속막은 기저 금속막에 접촉하기 위해, 산화 규소막 또는 산화 질화 규소막을 형성하여 금속막이 산화될 수 있다. 또한, 금속막은 기저 금속막과 접촉하기 위해 질화 산화 규소막 또는 질화 규소막을 형성하여 질화될 수 있다.

[0178] 금속막을 산화 또는 질화하는 플라즈마 처리로서, 플라즈마 밀도가 $1 \times 10^{11} \text{ cm}^{-3}$ 이상 또는 바람직하게는 $1 \times 10^{11} \text{ cm}^{-3}$ 내지 $9 \times 10^{15} \text{ cm}^{-3}$ 범위이고, 마이크로파(예를 들면, 주파수가 2.45 GHz임)와 같은 고주파를 사용하는 고밀도 플라즈마 처리가 수행될 수 있다.

[0179] 금속막 및 산화 금속막이 적층된 분리층(702)은 기저 금속막의 표면을 산화하여 형성될 수 있지만, 금속막이 형성된 후에 산화 금속막이 개별적으로 형성될 수 있다는 것을 유의하라. 금속으로서 텅스텐을 사용하는 경우에, 예를 들면, 텅스텐막은 스퍼터링, CVD 방법 등에 의해 기저 금속막으로서 형성되고, 그후 텅스텐막에 플라즈마 처리가 가해진다. 따라서, 금속막에 대응하는 텅스텐막 및 금속막과 접촉하고 텅스텐의 산화물로 형성된 산화 금속막이 형성될 수 있다.

[0180] 반도체막(704)은 분위기중에 노출되지 않고 절연막(703)의 형성 후에 연속하여 형성되는 것이 바람직하다. 반도체막(704)의 두께는 20 내지 200 nm(바람직하게는 40 내지 170 nm 또는 더욱 바람직하게는 50 내지 150 nm)이다. 반도체막(704)은 비정질 반도체 또는 다결정 반도체일 수 있다. 규소뿐만 아니라 실리콘 게르마늄이 반도체로서 사용될 수 있다. 실리콘 게르마늄의 경우에, 게르마늄의 농도가 약 0.01 내지 4.5 atomic%인 것이 바람직하다.

[0181] 반도체막(704)이 공지된 기술에 의해 결정화될 수 있다는 것을 유의하라. 공지된 결정화 기술로서, 레이저 빔을 사용하는 레이저 결정화 방법 및 촉매 원소를 사용하는 결정화 방법이 주어진다. 또한, 촉매 원소를 사용하는 결정화 방법 및 레이저 결정화 방법이 조합될 수 있다. 기판(700)으로서 석영과 같은 열적으로 안정된 기판을 사용하는 경우에, 다음의 결정화 방법들: 전열 노를 사용하는 열 결정화 방법, 적외선 광을 사용하는 램프 어닐 결정화 방법, 촉매 원소를 사용하는 결정화 방법, 및 약 950 °C에서의 고온 어닐링 중 임의의 방법을 적절히 조합하는 것이 가능하다.

[0182] 예를 들면, 레이저 결정화를 사용하는 경우에, 레이저에 대한 반도체막(704)의 내성을 강화하기 위해 레이저 결정화 전에 4 시간 동안 반도체막(704)에 550 °C에서의 열처리가 가해진다. 연속 발진이 가능한 고체 레이저를 사용하고, 기본파의 제 2 고조파 내지 제 4 고조파의 레이저 광을 반도체막(704)에 조사함으로써, 큰 입자 결정들이 획득될 수 있다. 통상적으로, Nd:YVO₄ 레이저(1064 nm의 기본파)의 제 2 고조파(532 nm) 또는 제 3 고조파(355 nm)가 사용되는 것이 바람직하다. 구체적으로, 연속파 YVO₄ 레이저로부터 조사된 레이저 광은 비선형 광학 소자를 사용하여 고조파로 변환되고, 이로써 10 W의 레이저 광 출력이 획득된다. 그리고, 레이저 광은 조사 표면 상에서 광학계에 의해 직사각형 또는 타원형으로 정형되는 것이 바람직하다. 레이저에서 약 0.01 내지 100 MW/cm²의 에너지 밀도(바람직하게는 0.1 내지 10 MW/cm²)가 요구된다. 또한, 주사 비율은 약 10 내지 2000 cm/sec로 설정된다.

[0183] 연속 발진 가스 레이저로서, Ar 레이저, Kr 레이저 등이 사용될 수 있다는 것을 유의하라. 연속파 고체 상태 레이저로서, YAG 레이저, YVO₄ 레이저, YLF 레이저, YAlO₃ 레이저, 포스터라이트(Mg₂SiO₄) 레이저, GdVO₄ 레이저, Y₂O₃ 레이저, 유리 레이저, 루비 레이저, 알렉산드라이트 레이저, Ti:사파이어 레이저 등이 사용될 수 있다.

[0184] 펄스 발진 레이저로서, Ar 레이저, Kr 레이저, 엑시머 레이저, CO₂ 레이저, YAG 레이저, Y₂O₃ 레이저, YVO₄ 레이저, YLF 레이저, YAlO₃ 레이저, 유리 레이저, 루비 레이저, 알렉산드라이트 레이저, Ti:사파이어 레이저, 구리 증기 레이저 또는 금 증기 레이저가 사용될 수 있다.

[0185] 펄스 레이저 광의 반복 비율은 10 MHz 이상으로 설정될 수 있어, 수십 내지 수백 Hz 범위의 보통 사용되는 주파수 대역보다 상당히 높은 주파수 대역으로 레이저 결정화가 수행될 수 있다. 펄스 발진 레이저 광으로 조사된 후에, 반도체막(704)이 완전히 고체화되는데 걸리는 시간이 수십 내지 수백 나노초라고 추정된다. 따라서, 상기 주파수 대역을 사용하여, 이전 펄스의 레이저 빔에 의해 용융된 후에, 반도체막(704)이 고체화될 때까지 반도체막(704)에 다음 펄스의 레이저 빔이 조사될 수 있다. 따라서, 반도체막(704)의 고체-액체 계면이 연속하여 이동될 수 있고, 따라서, 주사 방향으로 성장한 결정 입자들을 갖는 반도체막(704)이 형성될 수 있다. 구체적으로, 각각 결정 입자들의 주사 방향으로 10 내지 30 μm의 폭 및 주사 방향에 수직 방향으로 약 1 내지 5 μm의 폭을

갖는 결정 입자들의 집합이 형성될 수 있다. 주사 방향으로 연속적으로 성장한 결정 입자들을 갖는 단결정들을 형성하여, 적어도 TFT의 채널 방향으로 소수의 결정 입자들을 갖는 반도체막(704)을 형성하는 것이 가능하다.

[0186] 기본파의 연속파 레이저 광 및 고조파의 연속파 레이저 광에 의한 병렬 조사 또는 기본파의 연속파 레이저 광 및 고조파의 펄스 발진 레이저 광에 의한 병렬 조사에 의해 레이저 결정화가 수행될 수 있다는 것을 유의하라.

[0187] 희가스 또는 질소와 같은 불활성 가스 분위기에서 레이저 광 조사가 수행될 수 있다. 불활성 가스 분위기에서 레이저 광 조사를 수행하여, 레이저 광 조사에 의해 야기된 반도체 표면의 거칠음이 억제될 수 있고, 계면 상태 밀도의 변화에 의해 야기된 문턱 전압에서의 변동이 억제될 수 있다.

[0188] 상술된 레이저 조사에 의해, 개선된 결정성을 갖는 반도체막(704)이 형성될 수 있다. 반도체막(704)으로서, 스퍼터링 방법, 플라즈마 CVD 방법, 열 CVD 방법 등에 의해 형성된 다결정 반도체를 사용하는 것이 또한 가능하다는 것을 유의하라.

[0189] 본 실시예에서 반도체막(704)이 결정화되지만, 결정화되지 않고 이하에 직접 설명된 공정이 비정질 규소막 또는 미결정 반도체막에 가해질 수 있다. 비정질 반도체 또는 미결정 반도체를 사용하여 형성된 TFT는, 다결정 반도체를 사용하여 형성된 TFT보다 더 적은 제조 단계들을 필요로 한다. 따라서, 이는 저가 및 고수율의 이점을 갖는다.

[0190] 규소를 포함하는 가스의 글로우 방전 분해(glow discharge decomposition)에 의해 비정질 반도체가 획득될 수 있다. 규소를 포함하는 가스의 예들로서, SiH_4 , Si_2H_6 등이 주어질 수 있다. 수소 또는 수소 및 헬륨으로 희석된 규소를 포함하는 가스가 사용될 수 있다.

[0191] 다음에, 반도체막(704)에는, p 형 도전성을 부여하는 불순물 원소 또는 n 형 도전성을 부여하는 불순물 원소가 저농도로 첨가된 채널 도핑이 행해진다. 채널 도핑은 전체 반도체막(704) 또는 반도체막(704)의 일부에 수행될 수 있다. p 형 도전성을 부여하는 불순물 원소로서, 붕소(B), 알루미늄(Al), 갈륨(Ga) 등이 사용될 수 있다. n 형 도전성을 부여하는 불순물 원소로서, 인(P), 비소(As) 등이 사용될 수 있다. 여기서, 붕소(B)은 불순물 원소로서 사용되고, 1×10^{16} 내지 $5 \times 10^{17} / \text{cm}^3$ 의 농도로 첨가된다.

[0192] 다음에, 도 11b에 도시된 바와 같이, 반도체막(704)은 섬 형상 반도체막들(705 내지 707)을 형성하기 위해 미리 결정된 형상으로 가공(패터닝)된다. 그리고, 게이트 절연막(709)은 섬 형상 반도체막들(705 내지 707)을 덮기 위해 형성된다. 게이트 절연막(709)은, 플라즈마 CVD 방법, 스퍼터링 방법 등에 의해 질화 규소, 산화 규소, 질화 산화 규소, 또는 산화 질화 규소를 포함하는 막의 단층 또는 적층으로서 형성될 수 있다. 게이트 절연막(709)이 적층들을 갖도록 형성될 때, 산화 규소막, 질화 규소막, 및 산화 규소막이 기판(700) 위에 순차적으로 적층된 3 층 구조를 형성하는 것이 바람직하다.

[0193] 게이트 절연막(709)은 또한 고밀도 플라즈마 처리에 의해 섬 형상 반도체막들(705 내지 707)의 표면들을 산화 또는 질화하여 형성될 수 있다. 고밀도 플라즈마 처리는, 예를 들면, He, Ar, Kr 또는 Xe와 같은 희가스; 및 산소, 산화 질소, 암모니아, 질소, 또는 수소의 혼합 가스를 사용하여 수행된다. 이러한 경우에, 마이크로파를 도입하여 플라즈마의 여기(excitation)가 수행될 때, 저전자 온도 및 고밀도를 갖는 플라즈마가 생성될 수 있다. 이러한 고밀도 플라즈마에 의해 생성된 산소 라디칼(OH 라디칼이 포함되는 경우가 존재함) 및/또는 질소 라디칼(NH 라디칼이 포함되는 경우가 존재함), 반도체막의 표면이 산화 또는 질화될 수 있고, 이로써 반도체막과 접촉하도록 1 내지 20 nm의 두께, 통상적으로 5 내지 10 nm의 두께를 갖는 절연막이 형성될 수 있다. 5 내지 10 nm의 두께를 갖는 절연막은 게이트 절연막(709)으로서 사용된다.

[0194] 상술된 고밀도 플라즈마 처리에 의한 반도체막의 산화 또는 질화가 고체 반응으로 진행되기 때문에, 게이트 절연막과 반도체막 간의 계면 상태 밀도가 극단적으로 낮아질 수 있다. 또한, 고밀도 플라즈마 처리에 의한 반도체막의 직접적인 산화 또는 질화에 의해, 형성된 절연막의 두께 변동들이 감소될 수 있다. 반도체막들이 결정성을 갖는 경우에, 고밀도 플라즈마 처리를 사용하여 반도체막들의 표면들을 고상 반응(solid-phase reaction) 하에서 산화함으로써, 결정 입자 경계에서만 고속 산화가 방지될 수 있고, 따라서, 양호한 균일성 및 낮은 계면 상태 밀도를 갖는 게이트 절연막이 형성될 수 있다. 고밀도 플라즈마 처리에 의해 형성된 절연막이 트랜지스터들의 게이트 절연막의 일부 또는 모두에 포함될 때, 트랜지스터들의 특성 변화들이 억제될 수 있다.

[0195] 다음에, 도 11c에 도시된 바와 같이, 도전막이 게이트 절연막(709) 위에 형성되고, 도전막은 미리 결정된 형상들로 패터닝되어, 섬 형상 반도체막들(705 내지 707) 위에 전극들(710)이 형성된다. 본 실시예에서, 전극들(710)은 2 개의 적층된 도전막들을 패터닝함으로써 각각 형성된다. 도전막으로서, 탄탈(Ta), 텅스텐(W), 티타늄

(Ti), 몰리브덴(Mo), 알루미늄(Al), 구리(Cu), 크롬(Cr), 니오브(Nb) 등이 사용될 수 있다. 또한, 주성분으로서 상술된 금속을 포함하는 합금 또는 상술된 금속을 포함하는 화합물이 또한 사용될 수 있다. 또한, 인 등과 같은 도전성을 부여하는 불순물 원소로 반도체막을 도핑함으로써 획득된 다결정 실리콘과 같은 반도체가 사용될 수 있다.

[0196] 본 실시예에서, 제 1 도전막으로서 질화 탄탈막 또는 탄탈막이 사용되고, 제 2 도전막으로서 텅스텐막이 사용된다. 이러한 2 개의 도전막들의 조합으로서, 본 실시예에서 도시된 예 이외에, 다음의 조합들: 질화 텅스텐막 및 텅스텐막; 질화 몰리브덴막 및 몰리브덴막; 알루미늄막 및 탄탈막; 알루미늄막 및 티타늄막 등이 가능하다. 텅스텐 및 질화 탄탈은 고내열성을 갖는다. 따라서, 2 개의 도전막들의 형성 후에, 이들은 열 활성화를 위해 가열될 수 있다. 또한, 2 개의 도전막들의 조합으로서, 예를 들면, n 형 도전성을 부여하는 불순물로 도핑된 규소 및 니켈 실리사이드, n 형 도전성을 부여하는 불순물로 도핑된 WSix 및 규소 등이 사용될 수 있다.

[0197] 본 실시예에서, 전극들(710)은 두 개의 적층된 도전막들을 사용하여 형성되지만, 본 실시예는 이러한 구조에 제한되지 않는다. 전극들(710)은 단일의 도전막 또는 세 개 이상의 적층된 도전막들을 사용하여 형성될 수 있다. 3 개 이상의 도전막들이 적층된 3 층 구조의 경우에, 몰리브덴막, 알루미늄막 및 몰리브덴막의 적층 구조가 채용되는 것이 바람직하다.

[0198] 도전막들은 CVD 방법, 스퍼터링 방법 등에 의해 형성될 수 있다. 본 실시예에서, 제 1 도전막은 20 내지 100 nm의 두께로 형성되고, 제 2 도전막은 100 내지 400 nm의 두께로 형성된다.

[0199] 전극들(710)의 형성에서 사용된 마스크로서, 레지스트 마스크 대신에 산화 규소, 산화 질화 규소 등으로 형성된 마스크가 사용될 수 있다는 것을 유의하라. 이러한 경우에, 산화 규소, 산화 질화 규소 등의 마스크를 형성하는 단계가 공정에 추가되지만, 에칭에서 레지스트가 제거되는 양과 비교하여 에칭에서 마스크막이 제거되는 양이 적기 때문에, 전극들(710)은 원하는 폭으로 형성될 수 있다. 또한, 전극들(710)은 마스크를 사용하지 않고 액적 토출 방법을 사용하여 선택적으로 형성될 수 있다.

[0200] 액적 토출 방법은, 미리 결정된 조성을 포함하는 액적들이 미세 구멍들로부터 토출 또는 방출되어 미리 결정된 패턴을 형성하는 방법을 의미하며 잉크 젯 방법 등을 포함하는 것을 유의하라.

[0201] 다음에, 섬 형상 반도체막들(705 내지 707)은 전극들(710)을 마스크들로서 n 형 도전성을 부여하는 불순물 원소(통상적으로, P(인) 또는 As(비소))로 도핑되어, 섬 형상 반도체막들(705 내지 707)은 저농도로 불순물 원소를 포함한다(제 1 도핑 단계). 제 1 도핑 단계는 다음의 조건: 1×10^{15} 내지 $1 \times 10^{19} / \text{cm}^3$ 의 도즈 및 50 내지 70 keV의 가속 전압 하에서 수행되지만, 본 발명이 이에 제한되지 않는다. 이러한 제 1 도핑 단계에 의해, 게이트 절연막(709)을 통해 도핑이 수행되어, 저농도 불순물 영역들(711)이 섬 형상 반도체막들(705 내지 707) 각각에 형성된다. p-채널 TFT가 되는 섬 형상 반도체막(706)이 마스크로 덮여도, 제 1 도핑 단계가 수행될 수 있다는 것을 유의하라.

[0202] 다음에, 도 12a에 도시된 바와 같이, n-채널 TFT들이 되는 섬 형상 반도체막들(705 내지 707)을 덮기 위해 마스크(712)가 형성된다. 그리고, 섬 형상 반도체막(706)은 마스크(712) 및 전극(710)을 마스크들로서 사용하여 p 형 도전성을 부여하는 불순물 원소(통상적으로 B(보론))로 고농도로 도핑된다(제 2 도핑 단계). 제 2 도핑 단계의 조건들은 1×10^{19} 내지 $1 \times 10^{20} / \text{cm}^3$ 의 도즈 및 20 내지 40 keV의 가속 전압 하에서 수행된다. 이러한 제 2 도핑 단계에 의해, 게이트 절연막(709)을 통해 도핑이 수행되어, p 형 고농도 불순물 영역들(713)이 섬 형상 반도체막(706)에 형성된다.

[0203] 다음에, 도 12b에 도시된 바와 같이, 마스크(712)가 애싱(ashing) 등에 의해 제거되고, 게이트 절연막(709) 및 전극들(710)을 덮기 위해 절연막이 형성된다. 절연막은 규소막, 산화 규소막, 산화 질화 규소막, 질화 산화 규소막, 또는 유기 수지와 같은 유기 재료를 포함하는 막을 플라즈마 CVD 방법, 스퍼터링 방법 등에 의해 단층 또는 적층들로 침착하여 형성된다. 본 실시예에서, 100 nm의 두께를 갖는 산화 규소막이 플라즈마 CVD 방법에 의해 형성된다.

[0204] 다음에, 절연막 및 게이트 절연막(709)은 주로 수직 방향으로 이방성 에칭에 의해 부분적으로 에칭된다. 이러한 이방성 에칭에 의해, 게이트 절연막(709)은 부분적으로 에칭되어, 섬 형상 반도체막들(705 내지 707) 위에 부분적으로 형성된 게이트 절연막들(714)을 남겨둔다. 또한, 게이트 절연막(709) 및 전극들(710)을 덮기 위해 형성된 절연막은 이방성 에칭에 의해 부분적으로 에칭되어, 전극들(710)의 측면들과 접촉하는 측벽들(715)이 형성된다. 측벽들(715)은 LDD(Lightly Doped Drain) 영역들의 형성에서 도핑 마스크들로서 사용된다. 본 실시예에서,

CHF₃ 및 He의 혼합 가스는 에칭 가스로서 사용된다. 측벽들(715)을 형성하는 공정이 이에 제한되지 않는다는 것을 유의하라.

[0205] 다음에, 도 12c에 도시된 바와 같이, 마스크(716)는, p 채널 TFT가 되는 섬 형상 반도체막(706)을 덮도록 형성된다. 그리고, 섬 형상 반도체막들(705 및 707)은 마스크(716), 전극들(710) 및 측벽들(715)을 마스크들로서 사용하여 n 형 도전성을 부여하는 불순물 원소(통상적으로, P 또는 As)로 도핑되어, 섬 형상 반도체막들(705 및 707)이 고농도로 불순물 원소를 포함한다(제 3 도핑 단계). 제 3 도핑 단계는 다음의 조건들: 1×10^{19} 내지 $1 \times 10^{20} / \text{cm}^3$ 의 도즈 및 60 내지 100 keV의 가속 전압 하에서 수행된다. 제 3 도핑 단계를 통해, n 형 고농도 불순물 영역들(717)은 섬 형상 반도체막들(705, 707, 및 708)에 형성된다.

[0206] 측벽들은, 나중에 n 형 도전성을 부여하는 불순물로 반도체막을 도핑하여 측벽들(715) 아래에 저농도 불순물 영역들 또는 비도핑된 오프셋 영역들을 형성할 때 마스크로서 기능하여, 반도체막이 고농도로 불순물 원소를 포함한다. 따라서, 저농도 불순물 영역들 또는 오프셋 영역들의 폭을 제어하기 위해, 측벽들(715)을 형성할 때의 이방성 에칭의 조건들 또는 측벽들(715)을 형성하기 위한 절연막의 두께는 적절히 변경되어, 측벽들(715)의 크기가 조정된다. 반도체막(706)에서 저농도 불순물 영역들 또는 비도핑된 오프셋 영역들이 측벽들(715) 아래에 형성될 수 있다는 것을 유의하라.

[0207] 다음에, 마스크(716)가 애싱 등에 의해 제거되고, 불순물 영역들이 가열 처리에 의해 활성화될 수 있다. 예를 들면, 50 nm의 두께를 갖는 산화 질화 규소막이 형성된 후에, 질소 분위기에서 550 °C로 4 시간 동안 가열 처리가 수행된다.

[0208] 또한, 수소를 포함하는 질화 규소막이 먼저 100 nm의 두께로 형성될 수 있고, 다음에 질소 분위기에서 410 °C로 1 시간 동안 열 처리가 수행되어, 섬 형상 반도체막들(705 내지 707)이 수소화된다. 또한, 섬 형상 반도체막들(705 내지 707)은 수소를 포함하는 분위기에서 300 내지 450 °C로 1 내지 12 시간 동안에 열처리가 가해져, 수소화된다. 열 처리는 열 어닐링 방법, 레이저 어닐링 방법, RTA 방법 등에 의해 수행될 수 있다. 가열 처리에 의해, 반도체막들에 첨가된 불순물 원소가 활성화되고, 수소화도 활성화된다. 수소화를 위한 또 다른 수단으로서, 플라즈마 수소화(플라즈마에 의해 여기된 수소를 사용함)가 수행될 수 있다. 수소화 공정에서, 열적으로 여기된 수소를 사용하여 땀글링 결합(dangling bond)이 종결될 수 있다.

[0209] 상기 일련의 단계들을 통해, n 채널 TFT들(718 및 720) 및 p 채널 TFT(719)이 형성된다.

[0210] 다음에, 도 13a에 도시된 바와 같이, 절연막(722)은 TFT들(718 내지 720)을 덮기 위해 형성된다. 절연막(722)이 반드시 필요하지는 않지만, 절연막(722)을 형성하여, 알칼리 금속 및 알칼리 토 금속과 같은 불순물들이 TFT들(718 내지 720)에 들어오는 것이 방지된다. 구체적으로, 절연막(722)으로서 질화 규소, 질화 산화 규소, 질화 알루미늄, 산화 알루미늄, 산화 규소 등을 사용하는 것이 바람직하다. 본 실시예에서, 약 600 nm의 두께를 갖는 산화 질화 규소막이 절연막(722)으로서 사용된다. 이러한 경우에, 수소화 단계는 이러한 산화 질화 규소막의 형성 후에 수행될 수 있다.

[0211] 다음에, TFT들(718 내지 720)을 덮기 위해 절연막(723)이 절연막(722) 위에 형성된다. 폴리이미드, 아크릴, 벤조사이클로부텐(benzocyclobutene), 폴리아미드, 또는 에폭시와 같은 내열성을 갖는 유기 재료가 절연막(723)으로서 사용될 수 있다. 또한, 상기 유기 재료들 이외에, 저 유전율 재료(낮은 k 재료), 실록산계 수지, 산화 규소, 질화 규소, 산화 질화 규소, 질화 산화 규소, PSG(phosphosilicate glass), BPSG(borophosphosilicate glass), 알루미늄 등이 사용될 수 있다. 실록산계 수지는 수소 이외에 불소, 알킬기, 및 방향족 탄화수소를 치환기로서 포함할 수 있다. 절연막(723)은, 상술된 재료들 중 임의의 재료로 형성된 복수의 절연막들이 적층되는 방법으로 형성될 수 있다는 것을 유의하라.

[0212] 절연막(723)은 절연막(723)의 재료에 따라 CVD 방법, 스퍼터링 방법, SOG 방법, 스핀 코팅, 딥핑(dipping), 스프레이 코팅, 액적 토출 방법(잉크젯 방법, 스크린 인쇄, 오프셋 인쇄 등), 닥터 나이프, 롤 코터, 커튼 코터, 나이프 코터 등에 의해 형성될 수 있다.

[0213] 다음에, 섬 형상 반도체막들(705 내지 707) 각각이 부분적으로 노출되도록 콘택트 홀들이 절연막(722) 및 절연막(723)에 형성된다. 그리고, 콘택트 홀들을 통해 섬 형상 반도체막들(705 내지 707)과 접촉하는 도전막들(725 내지 730)이 형성된다. 콘택트 홀들을 형성하기 위한 에칭용 가스로서, CHF₃ 및 He의 혼합 가스가 사용되지만, 본 발명이 이에 제한되지 않는다.

- [0214] 도전막들(725 내지 730)은 CVD 방법, 스퍼터링 방법 등에 의해 형성될 수 있다. 구체적으로, 도전막들(725 내지 730)은 알루미늄(Al), 텅스텐(W), 티타늄(Ti), 탄탈(Ta), 몰리브덴(Mo), 니켈(Ni), 백금(Pt), 구리(Cu), 금(Au), 은(Ag), 망간(Mn), 네오디뮴(Nd), 탄소(C), 규소(Si) 등을 사용하여 형성될 수 있다. 또한, 주성분으로서 상술된 재료를 포함하는 합금 또는 상술된 재료를 포함하는 화합물이 또한 사용될 수 있다. 도전막들(725 내지 730)은 상술된 금속막의 단층 또는 그의 적층층일 수 있다.
- [0215] 주성분으로서 알루미늄을 포함하는 합금의 예로서, 주성분으로서 알루미늄 및 니켈을 포함하는 합금이 주어질 수 있다. 또한, 주성분으로서 알루미늄을 포함하고, 니켈과 탄소 및 규소 중 하나 또는 양자를 포함하는 합금이 또한 주어질 수 있다. 저저항값을 갖고 저렴한 알루미늄 및 알루미늄 실리콘은 도전막들(725 내지 730)의 형성을 위한 가장 적합한 재료들이다. 특히, 알루미늄 실리콘막이 사용될 때, 도전막들(725 내지 730)을 패터닝할 때에 알루미늄막을 사용하는 경우보다 레지스트 베이킹에 있어서 힐록들(hillocks)의 발생이 억제될 수 있다. 또한, 규소 대신에, 구리(Cu)가 약 0.5 wt.%로 알루미늄막에 혼합될 수 있다.
- [0216] 도전막들(725 내지 730) 각각은, 예를 들면, 배리어막, 알루미늄 실리콘막, 및 배리어막의 적층 구조, 또는 배리어막, 알루미늄 실리콘 막, 질화 티타늄막, 및 배리어 막의 적층 구조를 갖도록 형성될 수 있다. 배리어막은 티타늄, 티타늄의 질화물, 몰리브덴, 또는 몰리브덴의 질화물을 사용하여 형성된 막이라는 것을 유의하라. 배리어막들이 그 사이에 알루미늄 실리콘막을 개재하도록 형성될 때, 알루미늄 또는 알루미늄 실리콘의 힐록들의 발생이 더욱 효과적으로 방지될 수 있다. 또한, 배리어막이 환원성을 높은 원소인 티타늄을 사용하여 형성될 때, 얇은 산화막이 섬 형상 반도체막들(705 내지 707) 위에 형성될지라도, 배리어막에 포함된 티타늄에 의해 산화막이 환원되어, 도전막들(725 내지 730) 및 섬 형상 반도체막들(705 내지 707) 간의 양호한 접촉이 획득될 수 있다. 또한, 복수의 배리어막들이 사용되도록 적층될 수 있다. 이러한 경우에, 도전막들(725 내지 730)은, 티타늄, 질화 티타늄, 알루미늄 실리콘, 티타늄, 및 질화 티타늄이 하부로부터 순차적으로 적층된 5 층 구조를 각각 갖는다.
- [0217] 도전막들(725 및 726)은 n 채널 TFT(718)의 고농도 불순물 영역들(717)에 접속된다는 것을 유의하라. 도전막들(727 및 728)은 p 채널 TFT(719)의 고농도 불순물 영역들(713)에 접속된다. 도전막들(729 및 730)은 n 채널 TFT(720)의 고농도 불순물 영역들(717)에 접속된다.
- [0218] 다음에, 도 13b에 도시된 바와 같이, 전극(731)은 도전막(730)과 접촉하도록 절연막(723) 위에 형성된다. 도 13b는, 쉽게 광을 투과하는 도전막을 사용하여 전극(731)을 형성함으로써 투과성 액정 소자를 제조하는 예를 도시하지만, 본 발명은 이러한 구조에 제한되지 않는다. 본 발명의 액정 표시 장치는 반투과형일 수 있다.
- [0219] 전극(731)으로서 사용된 투명 도전막은 산화 규소를 포함하는 산화 인듐 주석(ITSO), 산화 인듐 주석(ITO), 산화 아연(ZnO), 산화 인듐 아연(IZO), 갈륨-도핑된 산화 아연(GZO) 등으로 형성될 수 있다.
- [0220] 도 13c에 도시된 바와 같이, 보호층(736)은 도전막들(725 내지 730) 및 전극들(731)을 덮기 위해 절연막(723) 위에 형성된다. 보호층(736)은 나중에 분리층(702)을 경계로서 기판(700)을 분리할 때, 절연막(723), 도전막들(725 내지 730), 및 전극들을 보호할 수 있는 재료로 형성된다. 예를 들면, 보호층(736)은, 물 또는 알코올에 용해되는 에폭시계, 아크릴레이트계, 또는 실리콘계 수지를 전면에 도포함으로써 형성될 수 있다.
- [0221] 본 실시예에서, 보호막(736)은, 수용성 수지(Toagosei Co., Ltd.에서 제조된 VL-WSHL10)가 스핀 코팅 방법에 의해 30 μm 의 두께로 도포되고, 일시적으로 경화되도록 2 분간 광에 노출되는 방법으로 형성된다. 그리고, 상기 수지는 후면으로부터의 광 노출 2.5 분 및 전면으로부터의 광 노출 10분을 포함하여 총 12.5 분 동안 UV 광에 노출되어, 상기 수지를 완전히 경화시킨다. 복수의 유기 수지들을 적층하는 경우에, 사용된 용매에 따라, 도포 또는 베이킹 동안에 적층된 유기 수지들이 부분적으로 용해될 수 있거나, 접착성이 너무 강하게 된다는 것을 유의하라. 따라서, 동일한 용매에서 용해되는 유기 수지들이 절연막(723) 및 보호막(736)에서 사용되는 경우에, 보호막(736)이 나중 단계에서 매끄럽게(smoothly) 제거될 수 있도록 절연막(723)을 덮는 무기 절연막(예를 들면, 질화 규소막, 질화 산화 규소막, AlN_x 막 또는 AlN_xO_y 막)을 형성하는 것이 바람직하다.
- [0222] 다음에, 도 13c에 도시된 바와 같이, 절연막(703)으로부터 TFT로 대표되는 반도체 소자들 및 다양한 도전막들을 포함하는, 절연막(723) 위에 형성된 도전막들(725 내지 730)까지의 층(이후에, "소자 형성층(738)"으로 지칭됨), 및 보호층(736)이 기판(700)에서 분리된다. 본 실시예에서, 제 1 시트 재료(737)는 보호층(736)에 부착되고, 소자 형성층(738) 및 보호층(736)은 물리력에 의해 기판(700)으로부터 분리된다. 분리층(702)은 완전히 제거될 필요가 없고 부분적으로 남겨질 수 있다.
- [0223] 상술된 분리 단계로서, 분리층(702)을 에칭하는 방법이 수행될 수 있다. 이러한 경우에, 흡은 분리층(702)을 부

본적으로 노출시키도록 형성된다. 홈은 다이싱, 스크라이빙, UV 광을 포함하는 레이저 광을 사용하는 가공, 포토리소그래피 방법 등에 의해 형성된다. 홈이 분리층(702)을 노출시키기에 충분히 깊을 필요가 있다. 플루오르화 할로겐은 에칭 가스로서 사용되고, 상기 가스는 홈을 통해 도입된다. 본 실시예에서, 예를 들면, ClF_3 (삼플루오르화 염소)는 다음의 조건: 350 °C의 온도, 300 sccm의 유량, 800 Pa의 압력, 및 3 시간의 가공 시간에 따라 에칭하는데 사용된다. 또한, 질소가 ClF_3 가스에 혼합될 수 있다. ClF_3 와 같은 플루오르화 할로겐을 사용하는 것은 분리층(702)이 선택적으로 에칭되도록 하여, 기판(700)이 소자 형성층(738)으로부터 분리될 수 있다. 또한, 플루오르화 할로겐은 가스 또는 액체일 수 있다.

[0224] 다음에, 도 14a에 도시된 바와 같이, 제 2 시트 재료(744)는 소자 형성층(738)의 분리에 의해 노출된 표면에 부착된다. 그리고, 소자 형성층(738) 및 보호층(736)이 제 1 시트 재료(737)로부터 분리된 후에, 보호층(736)이 제거된다.

[0225] 제 2 시트 재료(744)로서, 예를 들면, 바륨 보로실리케이트 유리 또는 알루미늄보로실리케이트 유리와 같은 유리 기판, 종이 또는 플라스틱과 같은 가요성 유기 재료가 사용될 수 있다. 또한, 제 2 시트 재료(744)로서, 가요성 무기 재료가 사용될 수 있다. 플라스틱 기판은 극성기(polar group)를 갖는 폴리-노보넨을 포함하는 ARTON(JSR에 의해 제조)으로 구성될 수 있다. 또한, 폴리에틸렌 테레프탈레이트(PET)로 대표되는 폴리에스테르; 폴리에테르 술폰(PES); 폴리에틸렌 나프탈레이트(PEN); 폴리카보네이트(PC); 폴리에테르 에틸케톤(PEEK); 폴리술폰(PSF); 폴리에테르 이미드(PEI); 폴리아릴레이트(PAR); 폴리부틸렌 테레프탈레이트(PBT); 폴리이미드; 아크릴로니트릴 부타디엔 스티렌 수지; 폴리 비닐 염화물; 폴리프로필렌; 폴리 비닐 아세테이트; 아크릴 수지 등이 주어질 수 있다.

[0226] 복수의 액정 표시 장치들에 대응하는 반도체 소자들이 기판(700) 위에 형성되는 경우에, 소자 형성층(738)이 개별적인 액정 표시 장치들로 절단된다. 절단은 레이저 조사 장치, 다이싱 장치, 스크라이빙 장치 등으로 수행될 수 있다.

[0227] 다음에, 도 14b에 도시된 바와 같이, 배향막(750)은 도전막(730) 및 전극(731)을 덮도록 형성되고, 러빙 처리가 수행된다. 배향막(750)은, 액정 표시 장치로서 기능하는 영역에서 패터닝 등에 의해 선택적으로 형성된다. 그리고, 액정을 밀봉하는 셀재(751)가 형성된다. 한편, 투명 도전막을 사용하는 전극(752) 및 러빙 처리가 수행되는 배향막(753) 상에 기판이 구비된다. 그리고, 액정(755)은 셀재(751)에 의해 둘러싸인 영역에 적하되고, 개별적으로 구비된 기판(754)은 셀재(751)를 사용하여 부착되어, 전극(752) 및 전극(731)이 대면하게 된다. 필러(filler)가 셀재(751)에 혼합될 수 있다는 것을 유의하라.

[0228] 컬러 필터 및 디스클리네이션(disclination)을 방지하기 위한 차폐막(블랙 매트릭스)이 형성될 수 있다는 것을 유의하라. 또한, 편광판(756)은 전극이 형성된 기판(754)의 대향면에 부착된다.

[0229] 전극(731) 또는 전극(752)으로서 사용된 투명 도전막은 산화 규소를 포함하는 산화 인듐 주석(ITSO), 산화 인듐 주석(ITO), 산화 아연(ZnO), 산화 인듐 아연(IZO), 갈륨-도핑된 산화 아연(GZO) 등으로 형성될 수 있다. 액정 소자(760)는 전극(731), 액정(755), 및 전극(752)을 적층함으로써 형성된다.

[0230] 상기 액정의 주입을 위해 디스펜서 방법(적하(dripping) 방법)이 사용되지만, 본 발명은 상기 방법에 제한되지 않는다. 기판(754)이 부착된 후에 액정이 주입되는 딥핑 방법(펌핑 방법)이 사용될 수 있다.

[0231] 본 실시예는 기판(700)으로부터 분리되어 소자 형성층(738)이 사용되는 예를 도시하지만, 상술된 소자 형성층(738)이 분리층(702)을 제공하지 않고 기판(700) 위에 형성되고 액정 표시 장치로서 사용될 수 있다는 것을 유의하라.

[0232] 또한, 본 실시예에서, 게이트 절연막들(714)의 두께가 모든 TFT들, 즉, TFT들(718, 719 및 720)에서 동일하지만, 본 발명이 이러한 구조에 제한되지 않는다는 것을 유의하라. 예를 들면, 고속으로 구동하도록 요구된 회로에서 TFT에 포함된 게이트 절연막의 두께는 다른 회로들보다 더 얇을 수 있다.

[0233] 또한, 본 실시예에서 박막 트랜지스터의 예를 참조하여 설명이 이루어졌지만, 본 발명은 이러한 구조에 제한되지 않는다. 박막 트랜지스터 이외에, 단결정 실리콘을 사용하여 형성된 트랜지스터, SOI를 사용하여 형성된 트랜지스터 등이 물론 사용될 수 있다.

[0234] 본 실시예는 상술된 실시 형태들 중 임의의 실시 형태와 적절히 조합하여 구현될 수 있다.

[0235] [실시예 2]

- [0236] 본 실시예에서, 본 발명의 액정 표시 장치의 외관은 도 15a 및 도 15b를 참조하여 설명될 것이다. 도 15a는 제 1 기관 위에 형성된 트랜지스터 및 액정 소자가 제 1 기관 및 제 2 기관 사이에 형성된 패널의 상면도이다. 도 15b는 A-A' 라인에 따른 도 15a의 단면도이다.
- [0237] 제 1 기관(4001) 위에 형성된 화소부(4002), 신호선 구동 회로(4003), 및 주사선 구동 회로(4004)를 둘러싸기 위해 셀재(4020)가 형성된다. 또한, 제 2 기관(4006)은 화소부(4002), 신호선 구동 회로(4003), 및 주사선 구동 회로(4004) 위에 형성된다. 따라서, 화소부(4002), 신호선 구동 회로(4003), 및 주사선 구동 회로(4004)는 제 1 기관(4001)과 제 2 기관(4006) 간에 셀재(4020)로 단단하게 밀봉된다.
- [0238] 제 1 기관(4001) 위에 형성된 화소부(4002), 신호선 구동 회로(4003), 및 주사선 구동 회로(4004) 각각은 복수의 트랜지스터들을 갖는다. 도 15b에서, 신호선 구동 회로(4003)에 포함된 트랜지스터(4008) 및 트랜지스터(4009), 및 화소부(4002)에 포함된 트랜지스터(4010)가 예시된다.
- [0239] 또한, 액정 소자(4011)는 배선(4017)을 통해 트랜지스터(4010)의 소스 영역 또는 드레인 영역에 접속된 화소 전극(4030), 제 2 기관(4006) 위에 형성된 대향 전극(4012), 및 액정(4013)을 포함한다.
- [0240] 예시되지 않았지만, 본 실시예에 도시된 액정 표시 장치는 배향막, 편광판을 포함하고, 컬러 필터 및 차폐막을 더 포함할 수 있다는 것을 유의하라.
- [0241] 또한, 참조 번호(4035)는 화소 전극(4030) 및 대향 전극(4012) 간의 거리(셀 갭)를 제어하도록 제공된 구형 스페이서이다. 또한, 절연막을 패터닝하여 획득된 스페이서가 사용될 수 있다.
- [0242] 신호선 구동 회로(4003), 주사선 구동 회로(4004) 또는 화소부(4002)에 인가되는 각종 전압들 및 신호들은 배선들(4014 및 4015)을 통해 접속 단자(4016)로부터 공급된다. 접속 단자(4016)는 이방성 도전막(4019)을 통해 FPC(4018)의 단자에 전기적으로 접속된다.
- [0243] 본 실시예는 상기 실시 형태들 및 상기 실시예와 적절히 조합될 수 있다.
- [0244] [실시예 3]
- [0245] 본 실시예에서, 본 발명의 액정 표시 장치 내의 액정 패널 및 광원의 배열이 설명될 것이다.
- [0246] 도 16은 본 발명의 액정 표시 장치의 구조를 도시하는 사시도의 하나의 예이다. 도 16에 도시된 액정 표시 장치는 액정 소자가 한 쌍의 기관들 사이에 형성된 액정 패널(1601), 제 1 확산판(1602), 프리즘 시트(1603), 제 2 확산판(1604), 도광판(1605), 반사판(1606), 광원(1607), 및 회로기관(1608)을 포함한다.
- [0247] 액정 패널(1601), 제 1 확산판(1602), 프리즘 시트(1603), 제 2 확산판(1604), 도광판(1605), 반사판(1606)이 순차적으로 적층된다. 광원(1607)은 도광판(1605)의 에지 부분 상에 제공되고, 도광판(1605) 내부에 확산되는 광원(1607)으로부터의 광은 프리즘 시트(1603) 및 제 2 확산판(1604)에 의해 액정 패널(1601)에 균일하게 전달된다.
- [0248] 제 1 확산판(1602) 및 제 2 확산판(1604)이 본 실시예에서 사용되지만, 확산판들의 수가 이에 제한되지 않고, 단수 또는 3 개 이상일 수 있다는 것을 유의하라. 또한, 확산판은 도광판(1605)과 액정 패널(1601) 간에 제공될 수 있다. 따라서, 확산판은 프리즘 시트(1603)로부터 액정 패널(1601)에 더 근접한 측에만 또는 프리즘 시트(1603)로부터 도광판(1605)에 더 근접한 측에만 제공될 수 있다.
- [0249] 또한, 프리즘(1603)의 단면의 형태는 도 16에 도시된 톱니에 제한되지 않고, 도광판(1605)으로부터의 광을 액정 패널(1601) 측 상으로 집광할 수 있는 형태를 가질 수 있다.
- [0250] 액정 패널(1601)에 입력될 다양한 신호들을 생성하는 회로, 이러한 신호들을 처리하는 회로 등이 회로기관(1608) 위에 형성된다. 도 16에서, 회로기관(1608) 및 액정 패널(1601)은 FPC(가요성 인쇄 회로)(1609)을 통해서로 접속된다. 상술된 회로들은 COG(Chip On Glass) 방법에 의해 액정 패널(1601)에 접속될 수 있거나, 회로들 중 일부는 COF(Chip On Film) 방법에 의해 액정 패널(1601)에 접속될 수 있다.
- [0251] 도 16은, 광원(1607)의 구동을 제어하는 비교 회로 및 제어 회로와 같은 제어 시스템의 회로들이 회로기관(1608) 위에 제공되고, 제어 시스템의 회로들 및 광원(1607)이 FPC(1610)을 통해 서로 접속되는 예를 도시한다. 제어 시스템의 상술된 회로들이 액정 패널(1601) 위에 형성될 수 있다는 것을 유의하라. 이러한 경우에, 액정 패널(1601) 및 광원(1607)은 FPC 등을 통해 서로 접속된다.
- [0252] 도 16은 광원(1607)이 액정 패널(1601)의 에지 상에 제공되는 에지 라이트형 광원을 예시하지만, 광원들(1607)

이 액정 패널(1601) 바로 아래에 제공되는 직하형 광원이 사용될 수 있다는 것을 유의하라.

[0253] 본 실시예는 상기 실시 형태들 및 상기 실시예와 적절히 조합될 수 있다.

[0254] [실시예 4]

[0255] 본 발명의 액정 표시 장치를 사용할 수 있는 전자 기기들로서, 휴대폰, 휴대형 게임기, 전자 서적 판독기, 비디오 카메라, 디지털 스틸 카메라, 고글형 디스플레이(헤드 마운트 디스플레이), 내비게이션 시스템, 음향 재생 장치(예를 들면, 카 오디오 또는 오디오 컴포넌트 세트), 랩탑 컴퓨터, 기록 매체를 구비한 화상 재생 장치(대표적으로는 DVD(Digital Versatile Disc)와 같은 기록 매체를 재생하고, 재생된 화상을 표시할 수 있는 디스플레이를 갖는 장치) 등이 주어질 수 있다. 이러한 전자 기기들의 특정 예들은 도 17a 내지 도 17c에 도시된다.

[0256] 도 17a는 휴대 전화를 도시하고, 휴대 전화는 본체(2101), 표시부(2102), 음성 입력부(2103), 음성 출력부(2104), 및 동작 키들(2015)을 포함한다. 본 발명의 액정 표시 장치가 표시부(2102)에서 사용될 때, 동화상들이 흐릿하게 보이는 것이 방지되는 휴대폰이 획득될 수 있다.

[0257] 도 17b는 비디오 카메라이고, 이는 본체(2601), 표시부(2602), 하우징(2603), 외부 접속 포트(2604), 원격 제어 수신부(2605), 화상 수신부(2606), 전지(2607), 음성 입력부(2608), 동작 키들(2609), 접안부(2610) 등을 포함한다. 본 발명의 액정 표시 장치가 표시부(2602)에서 사용될 때, 동화상들이 흐릿하게 보이는 것이 방지되는 비디오 카메라가 획득될 수 있다.

[0258] 도 17c는 하우징(2401), 표시부(2402), 스피커부(2403) 등을 포함하는 영상 표시 장치이다. 본 발명의 액정 표시 장치가 표시부(2402)에서 사용될 때, 동화상들이 흐릿하게 보이는 것이 방지되는 영상 표시 장치가 획득될 수 있다. 영상 표시 장치는 퍼스널 컴퓨터용, TV 방송 수신용, 및 광고 표시용과 같이 영상을 표시하는 모든 장치들을 포함한다는 것을 유의하라.

[0259] 상술된 바와 같이, 본 발명의 적용 범위는 지극히 넓고, 본 발명은 다양한 분야들의 전자 기기들에 적용될 수 있다.

[0260] 본 실시예는 상술된 실시 형태들 또는 상술된 실시예들 중 임의의 실시예와 적절히 조합하여 구현될 수 있다.

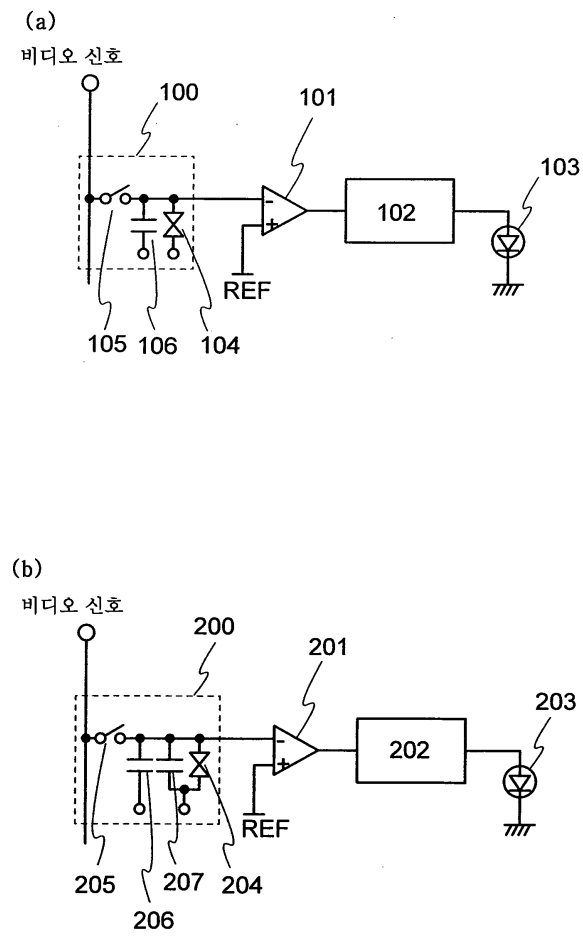
[0261] 본 출원은 2007년 11월 14일자로 일본특허청에 제출된 일본 특허 출원 번호 제 2007-295011 호에 기초하며, 상기 특허의 전체 내용은 참조로서 본원에 통합된다.

부호의 설명

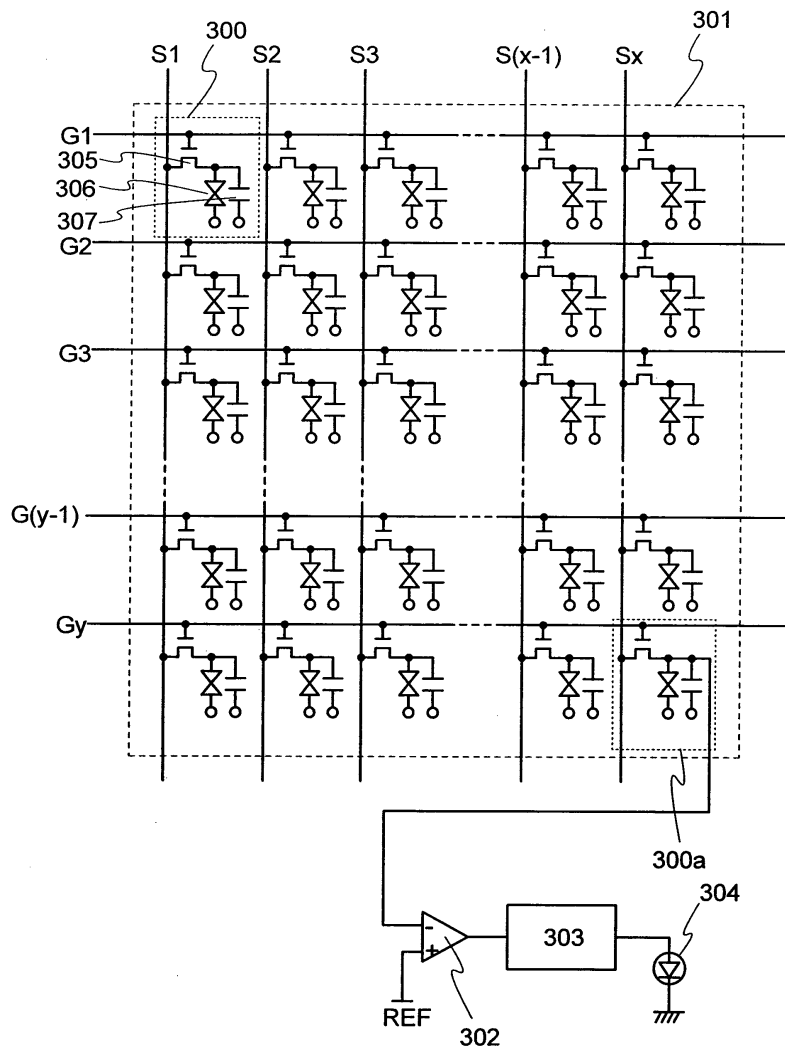
[0262] 100: 화소 101: 비교 회로 102: 제어 회로 103: 광원 104: 액정 소자 105: 스위칭 소자 106: 용량 소자 200: 화소 201: 비교 회로 202: 제어 회로 203: 광원 204: 액정 소자 205: 스위칭 소자 206: 용량 소자 207: 용량 소자 300: 화소 300a: 모니터링 화소 301: 화소부 302: 비교 회로 303: 제어 회로 304: 광원 305: 트랜지스터 306: 액정 소자 307: 용량 소자 401: 기간 402: 기간 403: 기간 501: 비교 회로 502: 제어 회로 503: 광원 504: 메모리 회로 505: 스위칭 회로 506: 버퍼 600: 화소부 610: 주사선 구동 회로 620: 신호선 구동 회로 621: 시프트 레지스터 622: 메모리 회로 623: 메모리 회로 624: DA 변환기 630: 비교 회로 631: 제어 회로 632: 광원 633: 모니터링 화소 640: 화소부 650: 주사선 구동 회로 660: 신호선 구동 회로 661: 시프트 레지스터 662: 샘플링 회로 663: 메모리 회로 670: 비교 회로 671: 제어 회로 672: 광원 673: 모니터링 화소 700: 기관 701: 절연막 702: 분리층 703: 절연막 704: 반도체막 705: 반도체막 706: 반도체막 707: 반도체막 709: 게이트 절연막 710: 전극 711: 저농도 불순물 영역 712: 마스크 713: 고농도 불순물 영역 714: 게이트 절연막 715: 측벽 716: 마스크 717: 고농도 불순물 영역 718: TFT 719: TFT 720: TFT 722: 절연막 723: 절연막 725: 도전막 727: 도전막 729: 도전막 730: 도전막 731: 전극 736: 보호층 737: 시트 재료 738: 소자 형성층 744: 시트 재료 750: 배향막 751: 셀재 752: 전극 753: 배향막 754: 기관 755: 액정 756: 편광판 760: 액정 소자 801: 광원 802: 비교 회로 803: 제어 회로 804: 광 검출기 805: 신호 생성 회로 806: 휘도 제어 회로 807: 적분 회로 808: 휘도 비교 회로 810: 스위칭 소자 811: 저항 소자 820: 광원 821: 광원 823: 제어 회로 824: 화상 처리 필터 825: 신호 처리 회로 826: 제 1 휘도 제어 회로 827: 제 2 휘도 제어 회로 840: 영역 841: 영역 842: 영역 843: 영역 844: 광원 845: 광원 846: 광원 847: 광원 8221: 비교 회로 8222: 비교 회로 900: 화소부 910: 주사선 구동 회로 920: 신호선 구동 회로 921: 시프트 레지스터 922: 메모리 회로 923: 메모리 회로 930: 비교 회로 931: 제어 회로 932: 광원 933: 모니터링 화소

도면

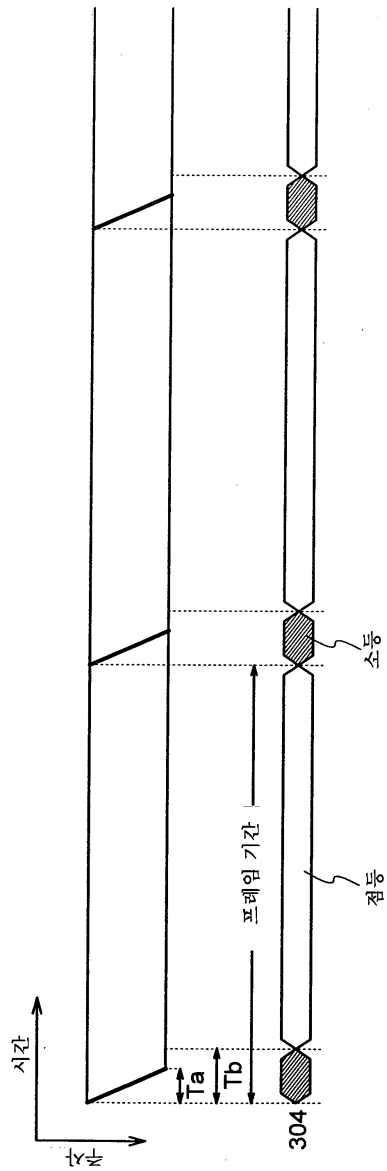
도면1



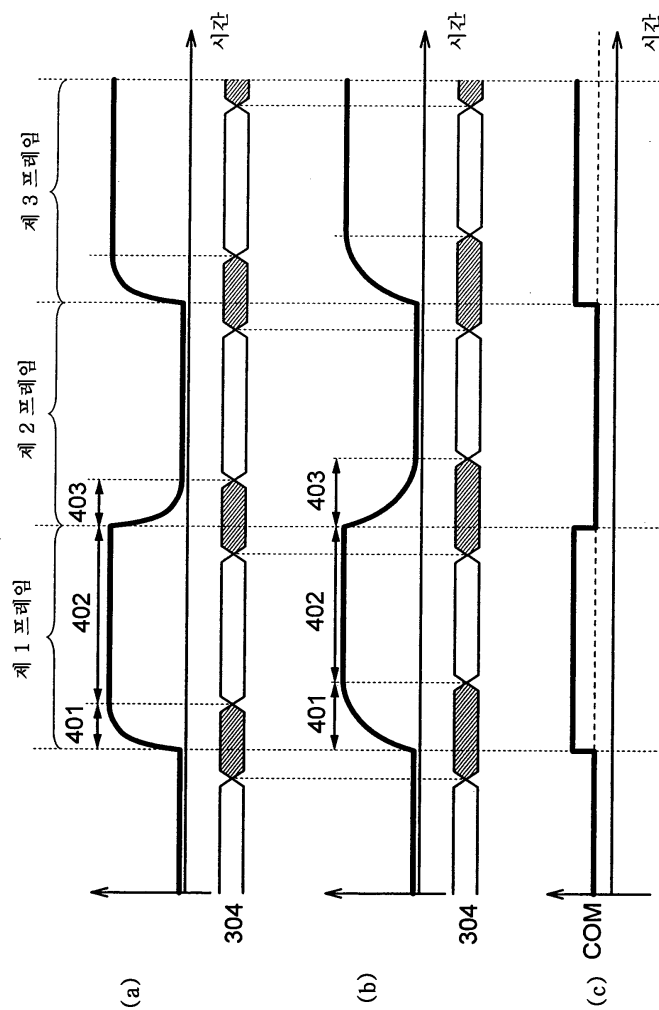
도면2



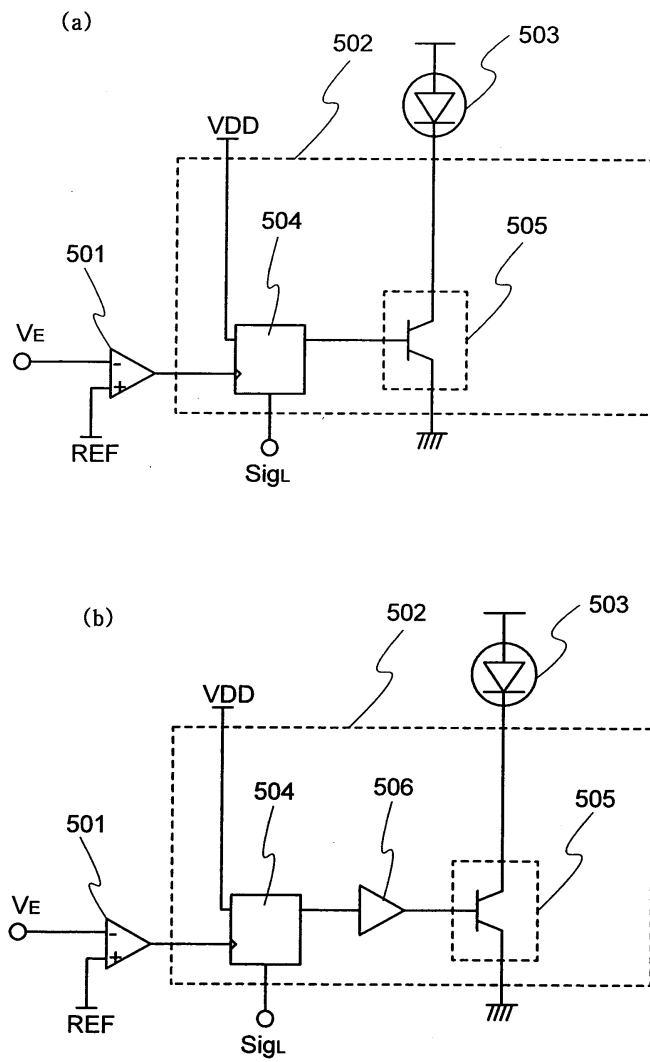
도면3



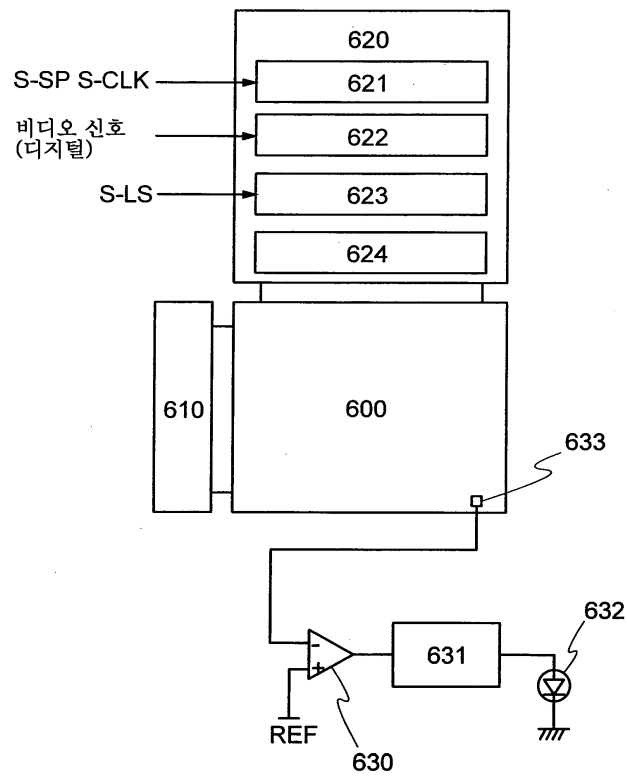
도면4



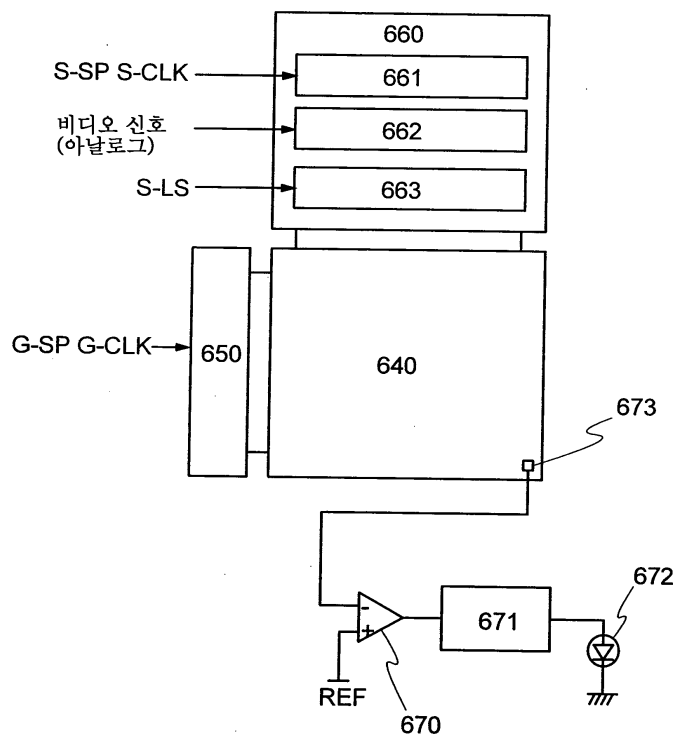
도면5



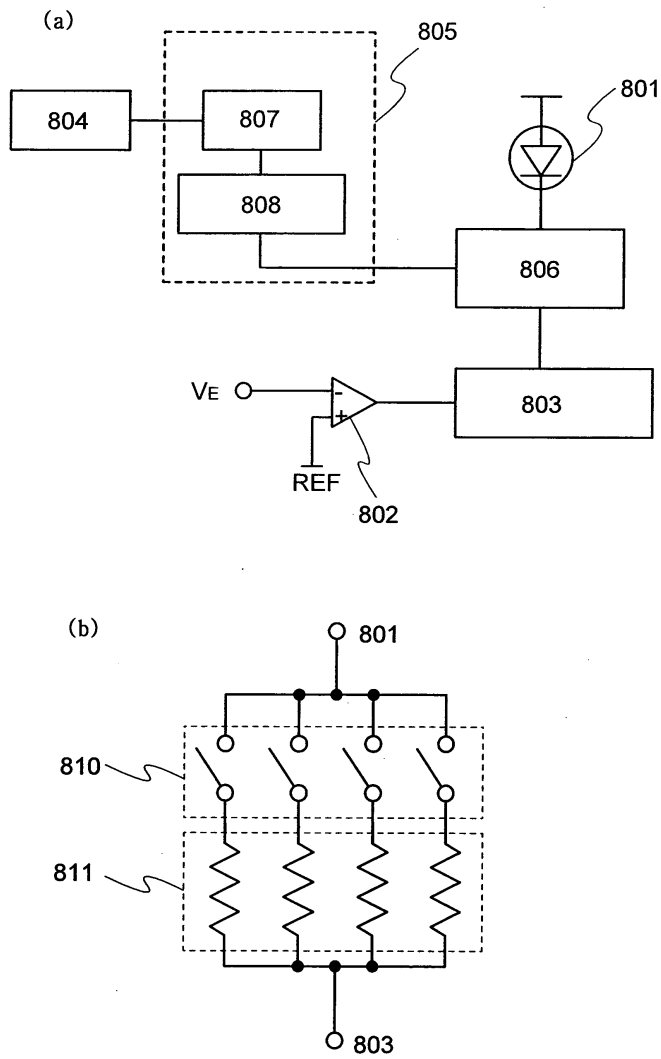
도면6



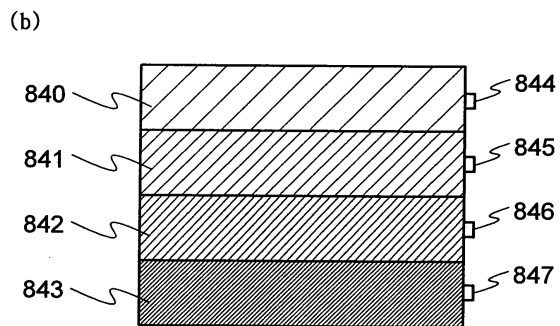
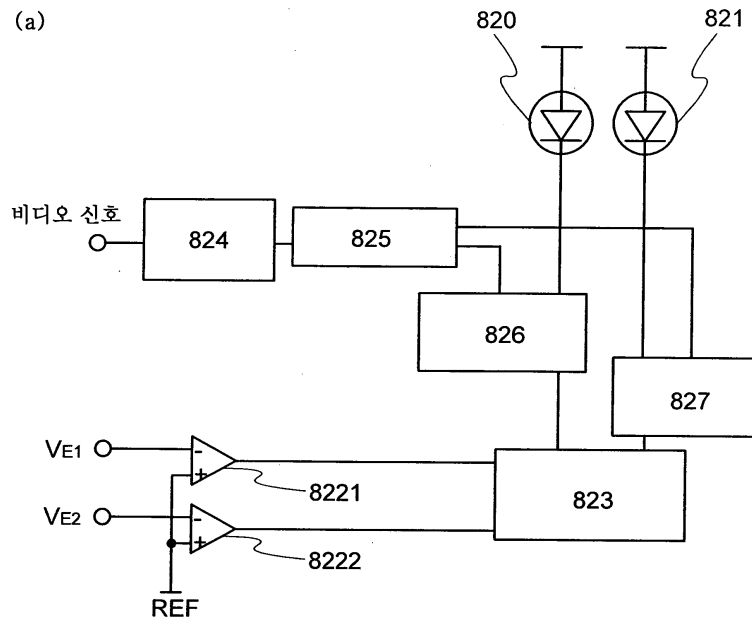
도면7



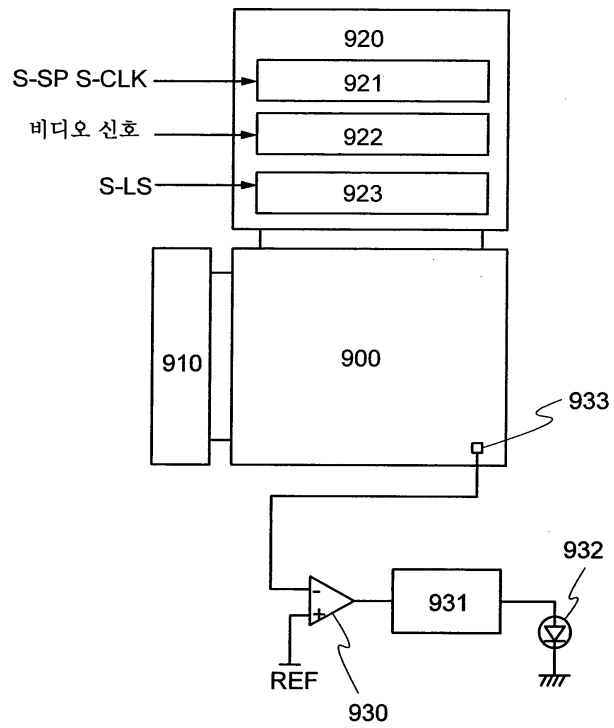
도면8



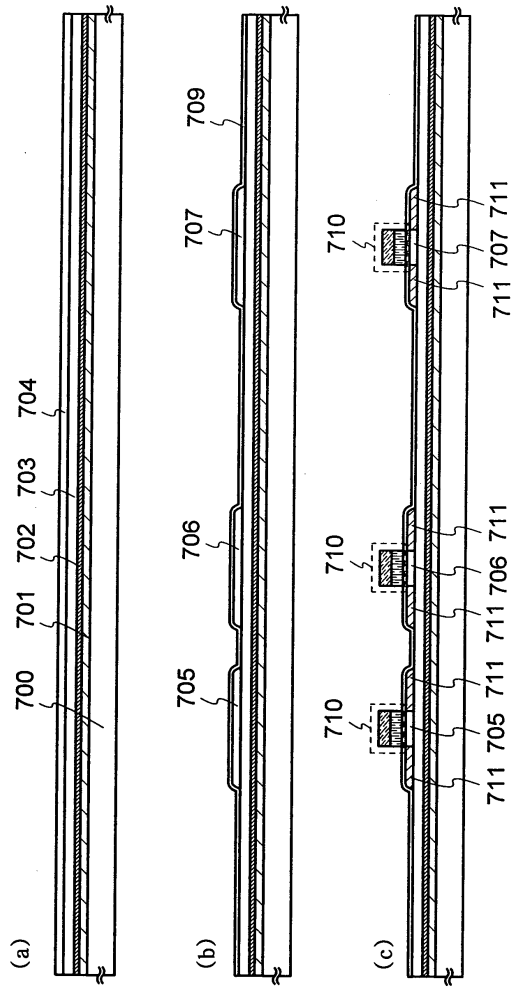
도면9



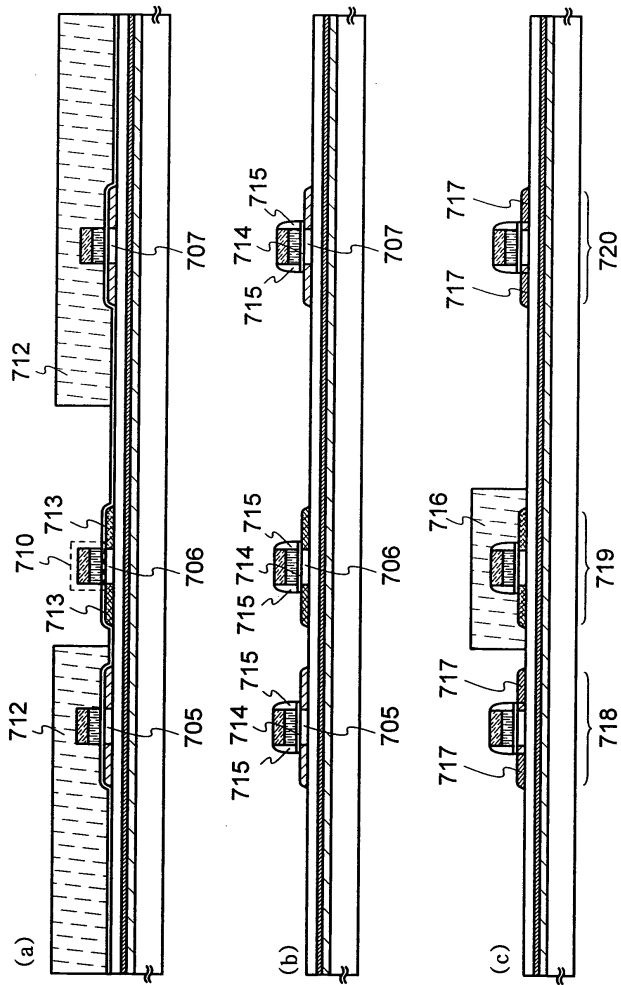
도면10



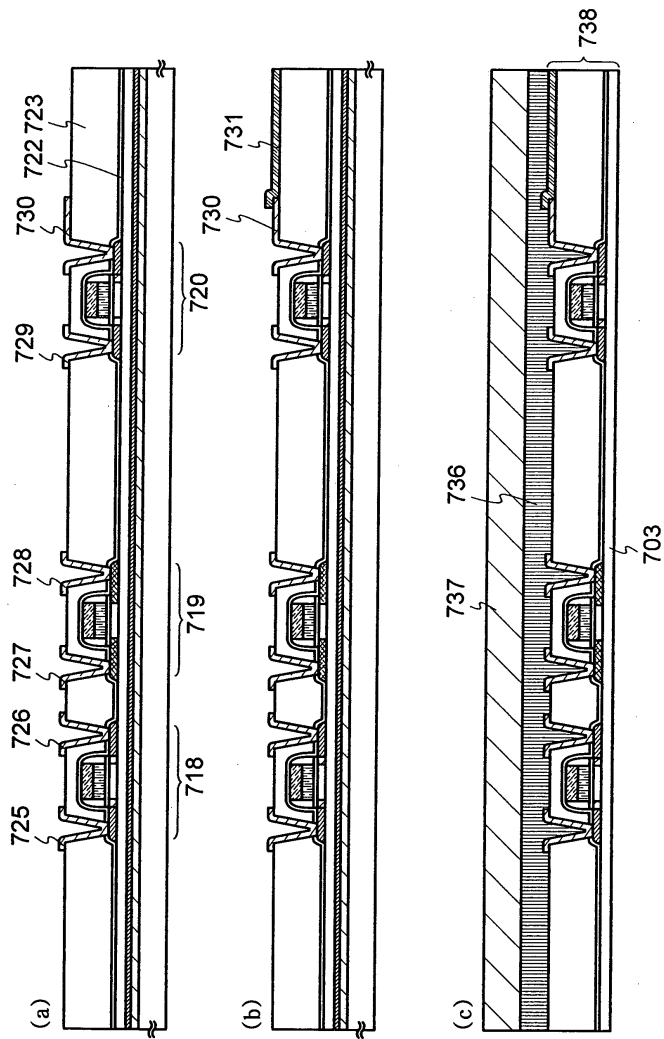
도면11



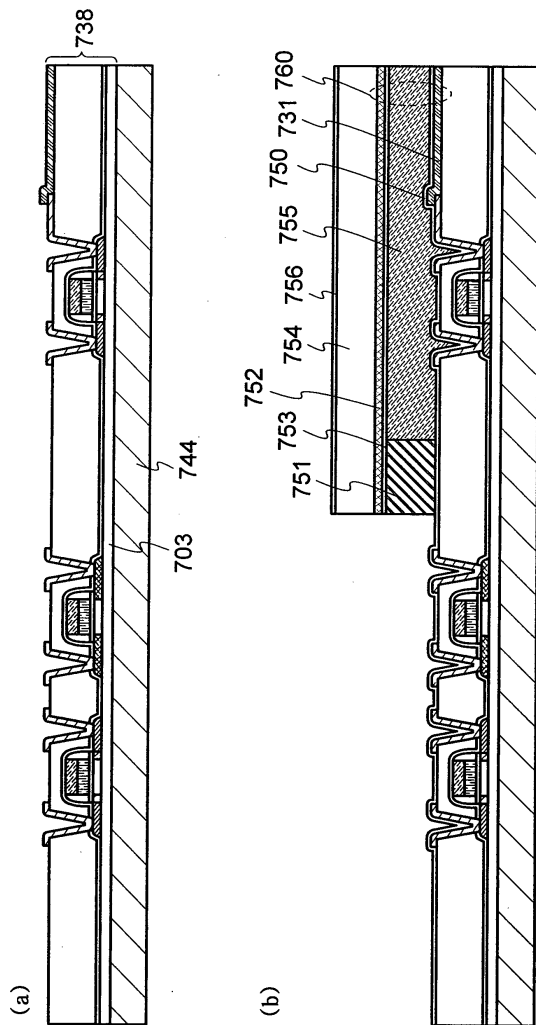
도면12



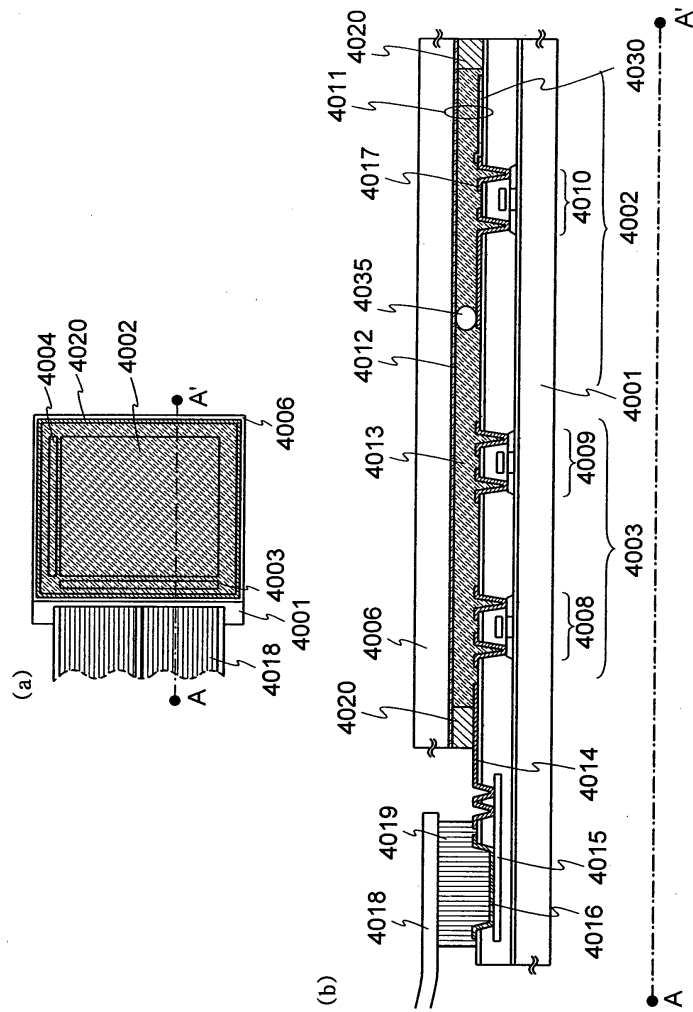
도면13



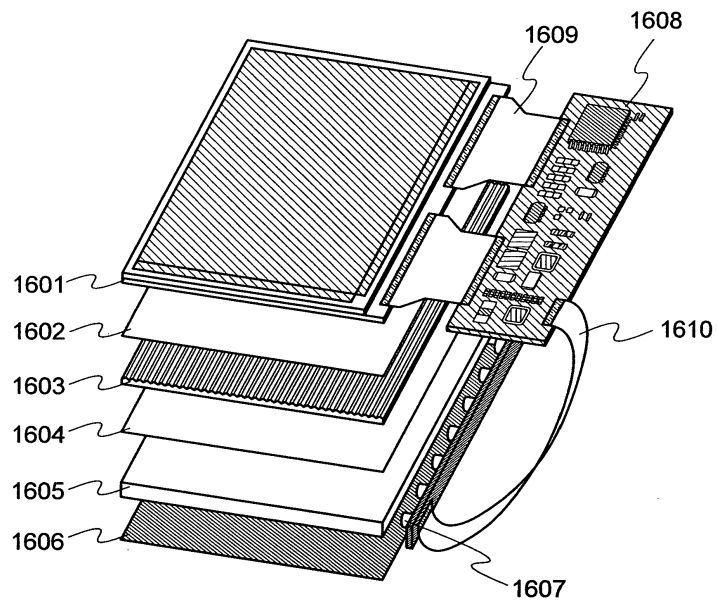
도면14



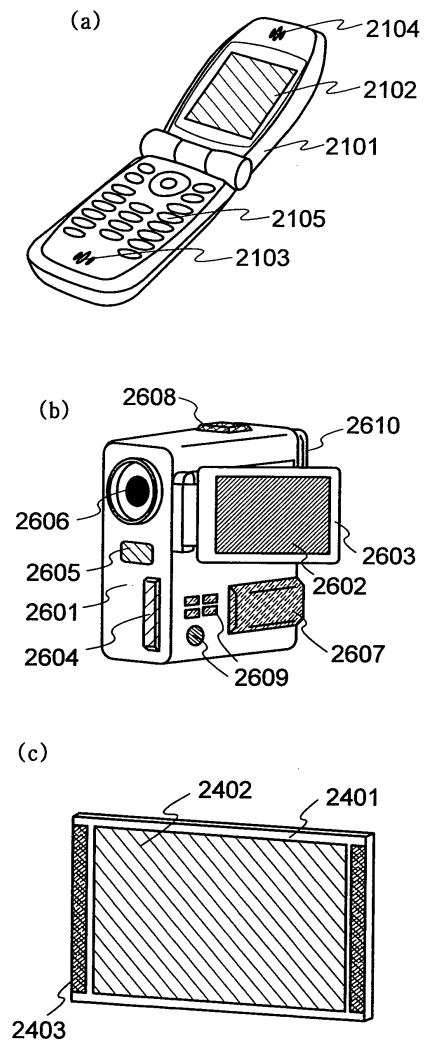
도면15



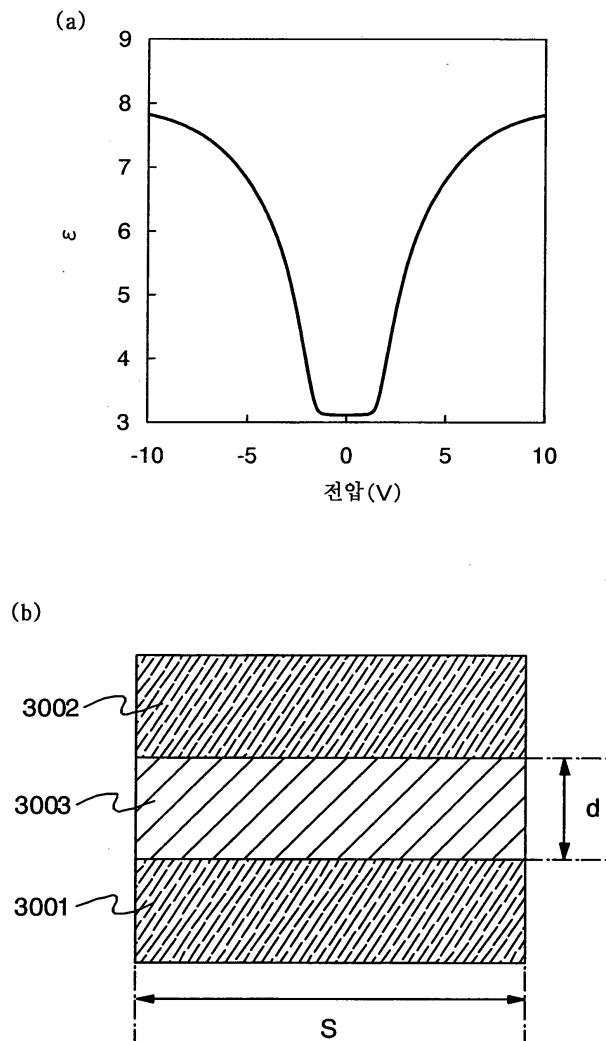
도면16



도면17



도면18



专利名称(译)	液晶显示器		
公开(公告)号	KR101510653B1	公开(公告)日	2015-04-10
申请号	KR1020107012901	申请日	2008-10-30
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	FUKUTOME TAKAHIRO 후쿠토메다카히로 NISHI TAKESHI 니시타케시		
发明人	후쿠토메다카히로 니시타케시		
IPC分类号	G02F1/133 G09G3/36		
CPC分类号	G09G2360/16 G09G3/3406 G09G2320/029 G09G2310/0237 G09G2310/08 G09G3/342 G09G2360/144 G09G2320/0261 G09G3/3648 G09G2320/0633		
代理人(译)	李昌勋		
优先权	2007295011 2007-11-14 JP		
其他公开文献	KR1020100097689A		
外部链接	Espacenet		

摘要(译)

本发明提供一种液晶显示装置，包括：液晶元件，包括像素电极，对电极，设置在像素电极和对电极之间的液晶;光源，比较电路，用于比较电位像素电极和参考电位，并根据比较结果提供输出电位，以及控制电路，配置为根据比较提供的输出电位切换光源的开启和关闭电路。

비디오 신호

