



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년03월16일

(11) 등록번호 10-1502361

(24) 등록일자 2015년03월09일

(51) 국제특허분류(Int. Cl.)

G09G 3/36 (2006.01) G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

(21) 출원번호 10-2008-0077032

(22) 출원일자 2008년08월06일

심사청구일자 2013년07월24일

(65) 공개번호 10-2010-0018317

(43) 공개일자 2010년02월17일

(56) 선행기술조사문헌

KR1020070002907 A

KR1020080033773 A

KR1020070013013 A

KR1020080053597 A

전체 청구항 수 : 총 6 항

(73) 특허권자

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

손지현

경기도 성남시 중원구 여수동 376-8

허승현

충청남도 천안시 서북구 시청로 73, 통일3차아파트 305동 804호 (불당동)

(뒷면에 계속)

(74) 대리인

특허법인가산

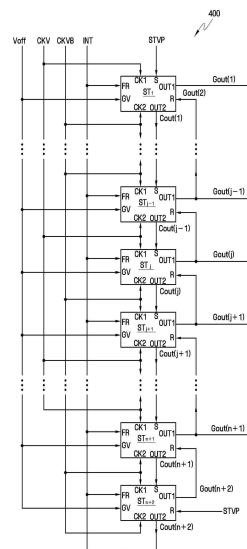
심사관 : 김민수

(54) 발명의 명칭 액정 표시 장치

(57) 요약

액정 표시 장치를 제공한다. 액정 표시 장치는 다수의 게이트 라인을 포함하는 액정 패널, 및 다수의 게이트 라인과 각각 연결되어 게이트 신호를 순차적으로 제공하는 다수의 스테이지와, 서로 분리되어 있는 제1 및 제2 더미 스테이지를 포함하는 게이트 드라이버를 포함하되, 제1 더미 스테이지는 다수의 스테이지 중 어느 하나의 스테이지의 캐리 신호에 의해 인에이블되고, 제2 더미 스테이지는 제1 더미 스테이지의 캐리 신호에 의해 인에이블되어 다수의 스테이지 각각을 초기화하는 것을 포함한다.

대표도 - 도3



(72) 발명자

김장일

충청남도 아산시 탕정면 삼성로 261, 삼성크리스탈
정옥동406호

신재용

대구광역시 북구 침산남로7길 44-1 (침산동)

손우성

서울특별시 강남구 대치동 청실아파트 16동 1105호

이윤석

충청남도 천안시 서북구 부성8길 29, 103동 803호
(두정동, 계룡리슈빌아파트)

김인우

경기도 수원시 영통구 태장로82번길 32, 동수원엘
지빌리지1차 109동 804호 (망포동)

특허청구의 범위

청구항 1

다수의 게이트 라인을 포함하는 액정 패널; 및

상기 다수의 게이트 라인과 각각 연결되어 게이트 신호를 순차적으로 제공하는 다수의 스테이지와, 서로 분리되어 있는 제1 및 제2 더미 스테이지를 포함하는 게이트 드라이버를 포함하되,

상기 제2 더미 스테이지는 상기 다수의 스테이지에 인가되는 신호와 상이한 신호를 통해 상기 제1 더미 스테이지를 리셋시키고,

상기 제1 더미 스테이지는 상기 다수의 스테이지 중 어느 하나의 스테이지의 캐리 신호에 의해 인에이블되고,

상기 제2 더미 스테이지는 상기 제1 더미 스테이지의 캐리 신호에 의해 인에이블되어 상기 다수의 스테이지 각각을 초기화하고,

상기 액정 패널은 다수의 더미 게이트 라인을 더 포함하고,

상기 제1 더미 스테이지는 상기 다수의 더미 게이트 라인 중 적어도 일부와 연결되고,

상기 제1 더미 스테이지는 상기 다수의 스테이지 중 마지막 스테이지의 캐리 신호에 의해 인에이블되고,

상기 다수의 스테이지 각각은 후단 스테이지의 게이트 신호 또는 상기 제2 더미 스테이지의 초기화 신호에 응답하여 상기 다수의 스테이지의 게이트 신호가 게이트 오프 전압으로 풀다운되고,

상기 제1 더미 스테이지는 상기 제2 더미 스테이지의 상기 초기화 신호에 응답하여 상기 제1 더미 스테이지의 게이트 신호가 게이트 오프 전압으로 풀다운되는 액정 표시 장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

제1 항에 있어서,

상기 초기화 신호는 상기 각 스테이지에 제공되어 상기 각 스테이지를 초기화하는 상기 제2 더미 스테이지의 캐리 신호인 액정 표시 장치.

청구항 6

다수의 게이트 라인을 포함하는 액정 패널; 및

상기 다수의 게이트 라인과 각각 연결되어 게이트 신호를 순차적으로 제공하는 다수의 스테이지와, 서로 분리되어 있는 제1 및 제2 더미 스테이지를 포함하는 게이트 드라이버를 포함하되,

상기 제1 더미 스테이지는 상기 다수의 스테이지 중 어느 하나의 스테이지의 캐리 신호에 의해 인에이블되고,

상기 제2 더미 스테이지는 상기 제1 더미 스테이지의 캐리 신호에 의해 인에이블되어 상기 다수의 스테이지 각각을 초기화하고,

상기 각 스테이지는,

스캔 개시 신호 또는 전단 스테이지의 캐리 신호에 따라 전하가 충전되는 충전부와,

상기 충전부가 충전됨에 따라 제1 클럭 신호 또는 제2 클럭 신호에 응답하여 상기 게이트 신호를 제공하는 풀업

부와,

후단 스테이지의 게이트 신호 또는 상기 제2 더미 스테이지의 초기화 신호에 응답하여 상기 게이트 신호를 게이트 오프 전압으로 풀다운시키는 풀다운부와,

상기 충전부에 충전된 전하를 방전하는 방전부로, 상기 후단 스테이지의 게이트 신호에 응답하여 상기 충전부를 제1 방전하는 제1 트랜지스터와 방전 신호에 응답하여 상기 충전부를 제2 방전하는 제2 트랜지스터를 포함하는 방전부와,

상기 게이트 신호를 홀드하는 홀딩부를 포함하는 액정 표시 장치.

청구항 7

제6 항에 있어서,

상기 스캔 개시 신호는 상기 다수의 스테이지 중 첫번째 스테이지와, 상기 제2 더미 스테이지에 제공되는 액정 표시 장치.

청구항 8

제6 항에 있어서,

상기 다수의 스테이지는 제1 내지 제n 스테이지를 포함하고,

상기 제1 내지 제n 스테이지, 제1 및 제2 더미 스테이지 순으로 배열되어 있고,

상기 스캔 개시 신호는 상기 제1 스테이지와, 상기 제2 더미 스테이지에 제공되는 액정 표시 장치.

청구항 9

제1 항에 있어서,

상기 제2 더미 스테이지는 매 프레임마다 상기 각 스테이지에 초기화 신호를 제공하여 상기 각 스테이지를 초기화하는 액정 표시 장치.

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 액정 표시 장치에 관한 것이다.

배경기술

[0002] 액정 표시 장치는 게이트 구동 IC를 TCP(tape carrier package) 또는 COG(chip on the glass) 등의 방법으로 실장하였으나, 제조 원가 또는 제품의 크기, 설계적인 측면에서 다른 방법이 모색되고 있다. 즉, 게이트 구동 IC를 채택하지 않고, 비정질-실리콘 박막 트랜지스터(amorphous silicon Thin Film Transistor, 이하 'a-Si TFT'라 함)를 이용하여 게이트 신호를 발생시키는 게이트 드라이버를 유리 기판에 실장하고 있다.

[0003] 이러한 게이트 드라이버를 포함하는 액정 표시 장치의 표시 품질을 향상시키기 위한 노력이 시도되고 있다.

발명의 내용

해결하고자하는 과제

[0004] 본 발명이 해결하고자 하는 기술적 과제는 표시 품질을 향상시킬 수 있는 액정 표시 장치를 제공하는 것이다.

[0005] 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제 해결수단

[0006] 상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 액정 표시 장치는, 다수의 게이트 라인을 포함하는 액정 패널, 및 상기 다수의 게이트 라인과 각각 연결되어 게이트 신호를 순차적으로 제공하는 다수의 스테이지와, 서로 분리되어 있는 제1 및 제2 더미 스테이지를 포함하는 게이트 드라이버를 포함하되, 상기 제1 더미 스테이지는 상기 다수의 스테이지 중 어느 하나의 스테이지의 캐리 신호에 의해 인에이블되고, 상기 제2 더미 스테이지는 상기 제1 더미 스테이지의 캐리 신호에 의해 인에이블되어 상기 다수의 스테이지 각각을 초기화하는 것을 포함한다.

[0007] 상기 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 액정 표시 장치는, 다수의 게이트 라인을 포함하는 액정 패널, 및 상기 다수의 게이트 라인과 각각 연결되어 게이트 신호를 순차적으로 제공하는 다수의 스테이지와, 더미 스테이지를 포함하는 게이트 드라이버를 포함하되, 상기 다수의 스테이지 및 더미 스테이지 각각은, 스캔 개시 신호 또는 전단 스테이지의 캐리 신호에 따라 전하가 충전되는 충전부와, 상기 충전부가 충전됨에 따라 제1 클럭 신호 또는 제2 클럭 신호에 응답하여 상기 게이트 신호를 제공하는 풀업 트랜지스터를 포함하는 풀업부와, 후단 스테이지의 게이트 신호 또는 초기화 신호에 응답하여 상기 게이트 신호를 게이트 오프 전압으로 풀다운시키는 풀다운부와, 상기 충전부에 충전된 전하를 방전하는 방전부와, 상기 게이트 신호를 홀드하는 홀딩부를 포함하고, 상기 더미 스테이지는 상기 다수의 스테이지의 풀업 트랜지스터보다 크기가 큰 풀업 트랜지스터를 포함하는 더미 스테이지를 포함한다.

[0008] 상기 기술적 과제를 달성하기 위한 본 발명의 또 다른 실시예에 따른 액정 표시 장치는, 다수의 게이트 라인을 포함하는 액정 패널, 및 상기 다수의 게이트 라인과 각각 연결되어 게이트 신호를 순차적으로 제공하는 다수의 스테이지와, 더미 스테이지를 포함하는 게이트 드라이버를 포함하되, 상기 다수의 스테이지 및 상기 더미 스테이지 각각은 게이트 신호를 제공하는 게이트 출력 단자를 포함하고, 상기 더미 스테이지의 상기 게이트 출력 단자를 통하여 출력되는 상기 게이트 신호의 출력량은 상기 각 스테이지의 상기 게이트 출력 단자를 통해 출력되는 상기 게이트 신호의 출력량보다 작은 것을 포함한다.

[0009] 본 발명의 기타 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 실시를 위한 구체적인 내용

[0010] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0011] 하나의 소자(elements)가 다른 소자와 "연결된(connected to)" 또는 "커플링된(coupled to)" 이라고 지칭되는 것은, 다른 소자와 직접 연결 또는 커플링된 경우 또는 중간에 다른 소자를 개재한 경우를 모두 포함한다. 반면, 하나의 소자가 다른 소자와 "직접 연결된(directly connected to)" 또는 "직접 커플링된(directly coupled to)"으로 지칭되는 것은 중간에 다른 소자를 개재하지 않은 것을 나타낸다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.

[0012] 비록 제1, 제2 등이 다양한 소자, 구성요소 및/또는 섹션들을 서술하기 위해서 사용되나, 이들 소자, 구성요소 및/또는 섹션들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 소자, 구성요소 또는 섹션들을 다른 소자, 구성요소 또는 섹션들과 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 소자, 제1 구성요소 또는 제1 섹션은 본 발명의 기술적 사상내에서 제2 소자, 제2 구성요소 또는 제2 섹션일 수도 있음은 물론이다.

[0013] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.

[0014] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.

[0015] 이하, 본 발명의 실시예들에 따른 액정 표시 장치 및 그 구동 방법을 설명한다.

[0016] 먼저, 도 1 내지 도 6을 참조하여 본 발명의 일 실시예에 따른 액정 표시 장치 및 그 구동 방법을 설명한다. 도 1은 본 발명의 실시예들에 따른 액정 표시 장치 및 그의 구동 방법을 설명하기 위한 블록도이다. 도 2는 도 1의 한 화소의 등가 회로도이다. 도 3은 도 1의 게이트 드라이버를 설명하기 위한 예시적인 블록도이다. 도 4는 도 3의 제j 스테이지의 예시적인 회로도이다. 도 5는 도 3의 제n 스테이지의 예시적인 회로도이다. 도 6인 도 3의 제n+1 스테이지의 예시적인 회로도이다.

[0017] 먼저 도 1을 참조하면, 본 발명의 일 실시예에 따른 액정 표시 장치(10)는 액정 패널(300), 타이밍 컨트롤러(500), 클럭 생성부(600), 게이트 드라이버(400) 및 데이터 드라이버(700)를 포함한다. 타이밍 컨트롤러(500)와 클럭 생성부(600)는 신호 제공부를 형성할 수 있다.

[0018] 액정 패널(300)은 영상이 표시되는 표시부(DA)와 영상이 표시되지 않는 비표시부(PA)로 구분될 수 있다.

[0019] 표시부(DA)는 다수의 게이트 라인(G1~Gn), 다수의 데이터 라인(D1~Dm), 스위칭 소자(미도시) 및 화소 전극(미도시)이 형성된 제1 기판(미도시)과, 컬러 필터(미도시)와 공통 전극(미도시)이 형성된 제2 기판(미도시), 제1 기판(미도시)과 제2 기판(미도시) 사이에 개재된 액정층(미도시)을 포함하여 영상을 표시할 수 있다. 게이트 라인

(G1~Gn)은 대략 행 방향으로 연장되어 서로가 거의 평행하고, 데이터 라인(D1~Dm)은 대략 열 방향으로 연장되어 서로가 거의 평행하게 형성될 수 있다. 도면에는 도시하지 않았으나, 게이트 라인은 다수의 더미 게이트 라인을 더 포함할 수 있으며, 이에 대한 더욱 상세한 설명은 후술하기로 한다.

[0020] 도 2를 참조하여 도 1의 한 화소에 대해 설명하면, 제1 기관(100)의 화소 전극(PE)과 대향하도록 제2 기관(200)의 공통 전극(CE)의 일부 영역에 선크필터(CF)가 형성될 수 있다. 예를 들어, i번째($i=1\sim n$) 게이트 라인(Gi)과 j번째($j=1\sim m$) 데이터 라인(Dj)에 연결된 화소(PX)는 신호선(Gi, Dj)에 연결된 스위칭 소자(Q)와 이에 연결된 액정 커패시터(liquid crystal capacitor, Clc) 및 유지 커패시터(storage capacitor, Cst)를 포함한다. 유지 커패시터(Cst)는 필요에 따라 생략될 수 있다. 스위칭 소자(Q)는 a-Si(amorphous - silicon)으로 이루어진 박막 트랜지스터(Thin Film Transistor, 이하 'a-Si TFT'라 함)일 수 있다.

[0021] 비표시부(PA)는 제1 기관(도 2의 100 참조)이 제2 기관(도 2의 200 참조)보다 더 넓게 형성되어 영상이 표시되지 않는 부분을 의미한다.

[0022] 신호 제공부는 타이밍 컨트롤러(500)와 클럭 생성부(600)를 포함하여, 외부의 그래픽 제어기(미도시)로부터 입력 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호를 수신하고, 영상 신호(DAT), 데이터 제어 신호(CONT)를 데이터 드라이버(700)에 제공할 수 있다. 좀더 구체적으로 설명하면, 타이밍 컨트롤러(500)는 수평 동기 신호(Hsync), 메인 클럭 신호(Mclk), 데이터 인에이블 신호(DE) 등의 입력 제어 신호를 입력받아 데이터 제어 신호(CONT)를 출력할 수 있다. 데이터 제어 신호(CONT)는 데이터 드라이버(700)의 동작을 제어하는 신호로, 데이터 드라이버(700)의 동작을 개시하는 수평 개시 신호, 두 개의 데이터 전압의 출력을 지시하는 로드 신호 등을 포함한다.

[0023] 데이터 드라이버(700)는 영상 신호(DAT), 데이터 제어 신호(CONT)를 제공받아, 영상 신호(DAT)에 대응하는 영상 데이터 전압을 각 데이터 라인(D1~Dm)에 제공한다. 데이터 드라이버(700)는 IC로써 테이프 캐리어 패키지(Tape Carrier Package, TCP)형태로 액정 패널(300)과 연결될 수 있으며, 이에 한정되지 않고, 액정 패널(300)의 비표시부(PA) 상에 형성될 수도 있다.

[0024] 또한 신호 제공부는 외부의 그래픽 제어기(미도시)로부터 수직 동기 신호(Vsync) 및 메인 클럭 신호(Mclk)를 제공받고, 전압 생성부(미도시)로부터 게이트 온 전압(Von) 및 게이트 오프 전압(Voff)을 제공받고, 제1 스캔 개시 신호(STVP), 클럭 신호(CKV), 클럭바 신호(CKVB) 및 게이트 오프 전압(Voff)을 게이트 드라이버(400)에 제공할 수 있다. 좀더 구체적으로 설명하면, 타이밍 컨트롤러(500)는 제2 스캔 개시 신호(STV), 제1 클럭생성 제어 신호(OE) 및 제2 클럭생성 제어신호(CPV)를 제공할 수 있다. 클럭 생성부(600)는 제2 스캔 개시 신호(STV)를 제공받아 제1 스캔 개시 신호(STVP)를 출력하고, 제1 클럭생성 제어신호(OE) 및 제2 클럭생성 제어신호(CPV)를 입력받아 클럭 신호(CKV) 및 클럭바 신호(CKVB)를 출력할 수 있다. 여기서 클럭 신호(CKV)는 클럭바 신호(CKVB)와 역위상을 가지는 신호일 수 있다.

[0025] 게이트 드라이버(400)는 제1 스캔 개시 신호(STVP)에 인에이블되어 클럭 신호(CKV), 클럭바 신호(CKVB) 및 게이트 오프 전압(Voff)을 이용하여 다수의 게이트 신호들을 생성하고, 각 게이트 라인(G1~Gn)에 각 게이트 신호를 순차적으로 제공한다. 이 때, 도면에 도시하지는 않았으나, 액정 패널(300)은 다수의 더미 게이트 라인을 포함할 수 있고, 다수의 더미 게이트 라인 중 적어도 일부는 제1 더미 스테이지와 연결될 수 있다. 이러한 게이트 드라이버(400)를 도 3을 참조하여 좀더 구체적으로 설명한다.

[0026] 도 3을 참조하면 게이트 드라이버(400)는 다수의 게이트 라인(G1~Gn)과 각각 연결되어 게이트 신호(Gout(1)~Gout(n))를 순차적으로 제공하는 다수의 스테이지(ST1~STn)와, 서로 분리되어 있는 제1 및 제2 더미 스테이지(ST_{n+1}, ST_{n+2})를 포함한다. 이 때, 제1 더미 스테이지(ST_{n+1})는 다수의 스테이지(ST1~STn) 중 어느 하나의 스테이지의 캐리 신호에 의해 인에이블되고, 제2 더미 스테이지(ST_{n+2})는 제1 더미 스테이지(ST_{n+1})의 캐리 신호에 의해 인에이블되어 다수의 스테이지(ST1~STn) 각각을 초기화한다.

[0027] 다수의 스테이지(ST1~STn)와, 제1 및 제2 더미 스테이지(ST_{n+1}, ST_{n+2})는 서로 캐스케이드(cascade)로 연결될 수 있다. 또한, 각 스테이지(ST1~ST_{n+2})에는 게이트 오프 전압(Voff), 클럭 신호(CKV), 클럭바 신호(CKVB) 및 초기화 신호(INT)가 입력될 수 있다. 이 때, 초기화 신호(INT)는 제2 더미 스테이지(ST_{n+2})에 의해 제공될 수 있다.

[0028] 다수의 스테이지(ST1~STn)와, 제1 및 제2 더미 스테이지(ST_{n+1}, ST_{n+2}) 각각은 제1 클럭 단자(CK1), 제2 클럭 단자(CK2), 셋 단자(S), 리셋 단자(R), 전원 전압 단자(GV), 프레임 리셋 단자(FR), 게이트 출력 단자(OUT1) 및

캐리 출력 단자(OUT2)를 포함할 수 있다.

- [0029] 다수의 스테이지(ST1~STn) 중 j 번째($j \neq 1$) 게이트 라인과 연결된 제 j 스테이지(ST _{j})를 예를 들어 살펴보면, 제 j 스테이지(ST _{j})의 셋 단자(S)에는 전단 스테이지(ST _{$j-1$})의 캐리 신호(Cout _{$(j-1)$})가, 리셋 단자(R)에는 후단 스테이지(ST _{$j+1$})의 게이트 신호(Gout _{$(j+1)$})가 입력되고, 제1 클럭 단자(CK1) 및 제2 클럭 단자(CK2)에는 각각 클럭 신호(CKV) 및 클럭바 신호(CKVB)가 입력되며, 전원 전압 단자(GV)에는 게이트 오프 전압(Voff)이 입력되며, 프레임 리셋 단자(FR)에는 초기화 신호(INT) 또는 제2 더미 스테이지(ST _{$n+2$})의 캐리 신호(Cout _{$(n+2)$})가 입력될 수 있다. 게이트 출력 단자(OUT1)는 게이트 신호(Gout _{(j)})를 출력하고, 캐리 출력 단자(OUT2)는 캐리 신호(Cout _{(j)})를 출력할 수 있다.
- [0030] 단, 첫 번째 스테이지(ST₁)에는 전단 캐리 신호 대신 제1 스캔 개시 신호(STVP)가 입력되며, 제2 더미 스테이지(ST _{$n+2$})에는 후단 게이트 신호 대신 제1 스캔 개시 신호(STVP)가 입력될 수 있다.
- [0031] 여기서, 도 4를 참조하여 도 3의 제 j 스테이지(ST _{j})에 대하여 더욱 상세히 설명한다.
- [0032] 도 4를 참조하면, 제 j 스테이지(ST _{j})는 버퍼부(410), 충전부(420), 풀업부(430), 캐리 신호 발생부(470), 풀다운부(440), 방전부(450) 및 홀딩부(460)를 포함할 수 있다. 이러한 제 j 스테이지(ST _{j})에 전단 스테이지(ST _{$j-1$})의 캐리 신호(Cout _{$(j-1)$}), 클럭 신호(CKV) 및 클럭바 신호(CKVB)가 제공된다.
- [0033] 버퍼부(410)는 다이오드 연결된(diode-connected) 트랜지스터(T4)를 포함할 수 있다. 동작을 설명하면, 버퍼부(410)는 셋 단자(S)를 통해 입력된 전단 스테이지(ST _{$j-1$})의 캐리 신호(Cout _{$(j-1)$})를, 소스에 연결된 충전부(420), 캐리 신호 발생부(470), 방전부(450) 및 홀딩부(460)에 제공한다.
- [0034] 충전부(420)는 일단이 트랜지스터(T4)의 소스와 방전부(450)에 연결되고, 타단이 구동부(30)의 게이트 출력 단자(OUT1)에 연결된 캐패시터(C1)로 이루어질 수 있다. 충전부(420)는 셋 단자(S)를 통해 입력된 전단 스테이지(ST _{$j-1$})의 캐리 신호(Cout _{$(j-1)$})에 따라 전하가 충전된다.
- [0035] 풀업부(430)는 드레인이 제1 클럭 단자(CK1)에 연결되고, 게이트가 캐패시터(C1)의 일단에 연결되며, 소스가 캐패시터(C1)의 타단 및 게이트 출력 단자(OUT1)에 연결된 트랜지스터(T1)를 포함할 수 있다. 충전부(420)의 커패시터(C1)가 충전되면, 트랜지스터(T1)는 턴온되고, 제1 클럭 단자(CK1)를 통해 입력되는 제1 클럭 신호(CKV)를 게이트 출력 단자(OUT1)를 통해 게이트 신호(Gout _{(j)})로 제공할 수 있다. 즉, 제1 클럭 신호(CKV)가 하이 레벨인 경우, 게이트 온 전압이 출력될 수 있다.
- [0036] 캐리 신호 발생부(470)는 드레인이 제1 클럭 단자(CK1)에 연결되고, 소스가 캐리 출력 단자(OUT2)에 연결되고, 게이트가 버퍼부(410)와 연결되어 있는 트랜지스터(T15)와, 트랜지스터(T15)의 게이트와 소스에 연결된 커패시터(C2)를 포함할 수 있다. 커패시터(C2)는 충전부(420)와 동일하게 충전되고, 커패시터(C2)가 충전되면 트랜지스터(T15)는 캐리 출력 단자(OUT2)를 통해 제1 클럭 신호(CKV)를 캐리 신호(Cout _{(j)})로 출력한다.
- [0037] 풀다운부(440)는 드레인이 트랜지스터(T1)의 소스 및 캐패시터(C1)의 타단에 연결되고, 소스가 전원 전압 단자(GV)에 연결되고, 게이트가 리셋 단자(R)에 연결된 트랜지스터(T2)를 포함할 수 있다. 풀다운부(440)는 리셋 단자(R)를 통해 입력된 다음 스테이지(ST _{$j+1$})의 게이트 신호(Gout _{$(j+1)$})에 의해 턴온되어 게이트 신호(Gout _{(j)})를 게이트 오프 전압(Voff)으로 풀다운시킨다.
- [0038] 방전부(450)는, 게이트가 리셋 단자(R)에 연결되고 드레인이 캐패시터(C1)의 일단에 연결되고 소스가 전원 전압 단자(GV)에 연결되어, 다음 스테이지(ST _{$j+1$})의 게이트 신호(Gout _{$(j+1)$})에 응답하여 충전부(420)를 방전시키는 트랜지스터(T9)와, 게이트가 프레임 리셋 단자(FR)에 연결되고 드레인이 캐패시터(C1)의 일단에 연결되고 소스가 전원 전압 단자(GV)에 연결되어, 초기화 신호(INT)에 응답하여 충전부(420)를 방전시키는 트랜지스터(T6)를 포함할 수 있다. 즉, 방전부(450)는 다음 스테이지(ST _{$j+1$})의 게이트 신호(Gout _{$(j+1)$}) 또는 초기화 신호(INT)에 응답하여 캐패시터(C1)에 충전된 전하를 소스를 통해 게이트 오프 전압(Voff)으로 방전한다. 이 때, 초기화 신호(INT)는 제2 더미 스테이지(ST _{$n+2$})의 캐리 신호(Cout _{$(j+2)$})일 수 있다.
- [0039] 홀딩부(460)는 다수의 트랜지스터들(T3, T5, T7, T8, T10, T11, T12, T13)을 포함하여, 게이트 신호(Gout _{(j)})가

로우 레벨에서 하이 레벨로 변환되면 하이 레벨 상태를 유지시키고, 게이트 신호($Gout_{(j)}$)가 하이 레벨에서 로우 레벨로 변환된 후에는 클럭 신호(CKV) 및 클럭바 신호(CKVB)의 전압 레벨에 관계없이 한 프레임 동안 게이트 신호($Gout_{(j)}$)를 로우 레벨로 유지시키는 동작을 수행한다.

- [0040] 좀더 구체적으로 설명하면, 트랜지스터(T3)는 드레인이 게이트 출력 단자(OUT1)에 연결되고, 소스가 게이트 오프 전압(Voff)에 연결된다. 트랜지스터(T7, T8)는 게이트 출력 단자(OUT1)를 통해 출력되는 게이트 신호($Gout_{(j)}$)가 하이 레벨일 때 턴온되어 트랜지스터(T3)의 게이트를 게이트 오프 전압(Voff)으로 풀다운시켜 턴 오프시키고, 따라서 게이트 신호($Gout_{(j)}$)의 하이 레벨을 홀딩한다.
- [0041] 트랜지스터(T11)는 드레인이 셋 단자(S)에 연결되고, 게이트가 제2 신호 라인(L2)에 연결되며, 소스가 캐패시터(C1)의 일단에 연결된다. 트랜지스터(T10)는 드레인이 트랜지스터(T11)의 소스 및 캐패시터(C1)의 일단에 연결되고, 게이트가 제1 클럭 단자(CK1)에 연결되며, 소스가 게이트 출력 단자(OUT1)에 연결된다. 트랜지스터(T5)는 드레인이 게이트 출력 단자(OUT1)에 연결되고, 게이트가 트랜지스터(T11)의 게이트와 공통하여 제2 신호 라인(L2)에 연결되며, 소스가 전원 전압 단자(GV)에 연결된다.
- [0042] 제2 클럭 신호(CKVB)가 하이 레벨일 때 게이트 신호($Gout_{(j)}$)는 로우 레벨이고 트랜지스터(T5)는 턴온되어, 게이트 출력 단자(OUT1)를 게이트 오프 전압(Voff)으로 홀딩하는 동작을 수행한다.
- [0043] 다음으로, 도 3, 도 5, 및 도 6을 참조하여 제1 및 제2 더미 스테이지(ST_{n+1} , ST_{n+2})를 설명한다. 도 4와 동일한 기능을 하는 구성 요소에 대해서는 동일한 도면 부호를 사용하고, 설명의 편의상 해당 구성 요소에 대한 상세한 설명은 생략한다.
- [0044] 먼저, 제1 더미 스테이지(ST_{n+1})는 다수의 스테이지($ST1 \sim STn$) 중 어느 하나의 스테이지의 캐리 신호에 의해 인에이블된다. 이 때, 제1 더미 스테이지(ST_{n+1})는 다수의 스테이지($ST1 \sim STn$) 중 마지막 스테이지(STn)의 캐리 신호($Cout_{(n)}$)에 의해 인에이블될 수 있다. 더욱 구체적으로, 다수의 스테이지($ST1 \sim STn$)는 순차적으로 배열된 제1 내지 제n 스테이지를 포함하고, 제1 더미 스테이지(ST_{n+1})는 제n 스테이지(STn)의 캐리 신호($Cout_{(n)}$)를 제공받을 수 있다.
- [0045] 마지막 스테이지(STn)의 캐리 신호($Cout_{(n)}$)에 의해 인에이블된 제1 더미 스테이지(ST_{n+1})는 상술한 다수의 스테이지($ST1 \sim STn$)와 실질적으로 동일하게 동작할 수 있다. 또한, 제1 더미 스테이지(ST_{n+1})는 액정 패널(도 1의 300 참조)에 형성된 다수의 더미 게이트 라인 중 적어도 일부와 연결될 수 있다. 다만, 제1 더미 스테이지(ST_{n+1})가 더미 게이트 라인을 통해 게이트 신호($Gout_{(n+1)}$)를 전송하더라도 액정 패널(300)에는 상기 게이트 신호($Gout_{(n+1)}$)에 대응되는 영상이 표시되지 않을 수 있다.
- [0046] 요컨대, 제1 더미 스테이지(ST_{n+1})는 제n 스테이지(STn)의 캐리 신호($Cout_{(n)}$)를 입력받아, 다수의 스테이지($ST1 \sim STn$)와 마찬가지로 캐리 신호($Cout_{(n+1)}$) 및 게이트 신호($Gout_{(n+2)}$)를 출력할 수 있다. 제1 더미 스테이지(ST_{n+1})의 캐리 신호($Cout_{(n+1)}$)는 제2 더미 스테이지(ST_{n+2})에 제공되어 제2 더미 스테이지(ST_{n+2})를 인에이블시킨다. 그러나, 더미 게이트 라인을 통해 전송되는 게이트 신호($Gout_{(n+1)}$)에 대응되는 영상은 액정 패널(300) 상에 표시되지 않을 수 있다.
- [0047] 제2 더미 스테이지(ST_{n+2})는 제1 더미 스테이지(ST_{n+1})의 캐리 신호($Cout_{(n+1)}$)를 입력받아 인에이블되어 다수의 스테이지($ST1 \sim STn$) 각각을 초기화할 수 있다. 더욱 구체적으로, 제2 더미 스테이지(ST_{n+2}) 역시 제1 더미 스테이지(ST_{n+1})의 캐리 신호($Cout_{(n+1)}$)에 의해 인에이블되어 캐리 신호($Cout_{(n+2)}$) 및 게이트 신호($Gout_{(n+2)}$)를 출력할 수 있다.
- [0048] 제2 더미 스테이지(ST_{n+2})의 캐리 신호($Cout_{(n+2)}$)는 다수의 스테이지($ST1 \sim STn$)를 초기화하는 초기화 신호(INT)로, 다수의 스테이지($ST1 \sim STn$)에 각각 제공되어 각 스테이지($ST1 \sim STn$)를 초기화시킨다. 나아가, 제2 더미 스테이지(ST_{n+2})는 매 프레임(frame)마다 다수의 스테이지($ST1 \sim STn$)에 각각 초기화 신호(INT)를 제공하여 각 스테이지($ST1 \sim STn$)를 초기화할 수 있다. 초기화 신호(INT)는 제1 및 제2 더미 스테이지(ST_{n+1} , ST_{n+2})에도 제공될 수

있다.

- [0049] 제1 및 제2 더미 스테이지(ST_{n+1} , ST_{n+2})는 서로 분리되어 배치된다. 즉, 제2 더미 스테이지(ST_{n+2})와 분리 배치된 제1 더미 스테이지(ST_{n+1})는 게이트 신호($Gout_{(n+1)}$)를 전단 스테이지, 예를 들어 순차적으로 배열된 제1 내지 제n 스테이지(ST_n) 중 마지막 제n 스테이지(ST_n)에 제공하여 전단 스테이지의 게이트 신호를 게이트 오프 전압(Voff)으로 풀다운시키고, 캐리 신호($Cout_{(n+1)}$)를 제2 더미 스테이지(ST_{n+2})에 제공하여 제2 더미 스테이지(ST_{n+2})를 인에이블시킨다. 이어서, 제2 더미 스테이지(ST_{n+2})는 제1 더미 스테이지(ST_{n+1})의 캐리 신호($Cout_{(n+1)}$)에 의해 인에이블되어 다수의 스테이지($ST_1 \sim ST_n$) 각각에 초기화 신호(INT)를 제공하여 다수의 스테이지($ST_1 \sim ST_n$)를 방전시킨다.
- [0050] 따라서, 제1 및 제2 더미 스테이지(ST_{n+1} , ST_{n+2})가 서로 분리되어 배치된다고 하는 것은, 각각 독립적인 회로를 형성되어 있다는 물리적인 분리를 의미할 수 있다. 또는, 제1 더미 스테이지(ST_{n+1})는 전단 스테이지를 초기화하고 제2 더미 스테이지(ST_{n+2})를 인에이블 시키는 역할을 하고, 제2 더미 스테이지(ST_{n+2})는 다수의 스테이지($ST_1 \sim ST_n$) 각각에 초기화 신호(INT)를 제공하여 다수의 스테이지($ST_1 \sim ST_n$)를 초기화시키는 역할을 하는 것과 같이, 기능적 측면의 분리를 의미할 수 있다.
- [0051] 이와 같이, 본 발명의 일 실시예에 따른 액정 표시 장치에 따르면, 다수의 스테이지($ST_1 \sim ST_n$) 각각에 초기화 신호(INT)를 제공하는 기능을 제2 더미 스테이지(ST_{n+2})가 수행함으로써, 제1 더미 스테이지(ST_{n+1})가 전단 스테이지의 게이트 신호($Gout(n)$)를 충분히 풀다운시킬 수 있다. 따라서, 액정 표시 장치의 표시 품질을 향상시킬 수 있는 장점이 있다.
- [0052] 이하, 도 7 및 도 8을 참조하여, 본 발명의 다른 실시예에 따른 액정 표시 장치를 설명한다. 도 7은 본 발명의 다른 실시예에 따른 액정 표시 장치의 게이트 드라이버를 설명하기 위한 예시적인 블록도이다. 도 8은 도 7의 더미 스테이지의 예시적인 회로도이다. 도 1 내지 도 6에 도시된 구성 요소와 동일한 기능을 하는 구성 요소에 대해서는 동일한 도면 부호를 사용하며, 설명의 편의상 해당 구성 요소에 대한 상세한 설명은 생략한다.
- [0053] 도 7 및 도 8을 참조하면, 본 발명의 다른 실시예에 따른 액정 표시 장치의 게이트 드라이버(401)는 다수의 게이트 라인($G1 \sim Gn$)과 각각 연결되어 게이트 신호($Gout(1) \sim (n)$)를 순차적으로 제공하는 다수의 스테이지($ST_1 \sim ST_n$)와, 더미 스테이지(ST_{n+1})를 포함한다. 이 때, 다수의 스테이지($ST_1 \sim ST_n$) 및 더미 스테이지(ST_{n+1}) 각각은, 스캔 개시 신호(STVP) 또는 전단 스테이지의 캐리 신호에 따라 전하가 충전되는 충전부(421)와, 충전부(421)가 충전됨에 따라 제1 클럭 신호(CKV) 또는 제2 클럭 신호(CKVB)에 응답하여 게이트 신호($Gout(1) \sim (n)$)를 제공하는 풀업 트랜지스터(T_1)를 포함하는 풀업부(431)와, 후단 스테이지의 게이트 신호 또는 초기화 신호(INT)에 응답하여 게이트 신호를 게이트 오프 전압(Voff)으로 풀다운시키는 풀다운부(441)와, 충전부(421)에 충전된 전하를 방전하는 방전부(451)와, 게이트 신호를 홀드하는 홀딩부(461)를 포함하고, 더미 스테이지(ST_{n+1})의 풀업 트랜지스터(T_1)는 다수의 스테이지($ST_1 \sim ST_n$)의 풀업 트랜지스터(T_1)보다 크기가 크다.
- [0054] 이 때, 더미 스테이지(ST_{n+1})의 풀업 트랜지스터(T_1)의 크기는 다수의 스테이지($ST_1 \sim ST_n$)의 풀업 트랜지스터(T_1)보다 약 20%이상 클 수 있으나, 이에 한정되지 않음은 물론이다. 나아가, 더미 스테이지(ST_{n+1})의 풀업 트랜지스터(T_1)가 다수의 스테이지($ST_1 \sim ST_n$)의 풀업 트랜지스터(T_1)보다 크기가 크다고 하는 것은, 예를 들어 두 풀업 트랜지스터(T_1)의 중형비를 비교하여 더미 스테이지(ST_{n+1})의 풀업 트랜지스터(T_1)의 중형비가 더 큼을 의미할 수 있다.
- [0055] 더욱 구체적으로, 풀업 트랜지스터(T_1)는 충전부(421)가 충전됨에 따라 제1 클럭 신호(CKV) 또는 제2 클럭 신호(CKVB)에 응답하여 게이트 출력 단자(OUT1)를 통해 게이트 신호($Gout(1) \sim (n)$)를 출력하며, 충전부(421)와 동일하게 커패시터(C_2)가 충전되면 캐리 출력 단자(OUT2)를 통해 캐리 신호($Cout$)를 출력하는 데 관여한다.
- [0056] 다수의 스테이지($ST_1 \sim ST_n$)의 풀업 트랜지스터(T_1)는 전단 스테이지와 각 스테이지($ST_1 \sim ST_n$)에 대응하는 게이트 라인($G1 \sim Gn$)에 게이트 신호($Gout(1) \sim (n)$)를 출력하고, 후단 스테이지에 캐리 신호($Cout(1) \sim (n)$)를 출력할 수 있다. 이에 반하여, 더미 스테이지(ST_{n+1})는 더미 스테이지(ST_{n+1})의 캐리 신호($Cout_{(n+1)}$)를 이용하여 다수의 스테이지($ST_1 \sim ST_n$) 각각에 초기화 신호(INT)를 제공함으로써 다수의 스테이지($ST_1 \sim ST_n$)를 초기화한다.
- [0057] 이와 같이, 더미 스테이지(ST_{n+1})의 풀업 트랜지스터(T_1)가 관여하는 신호의 출력량이 다수의 스테이지($ST_1 \sim ST_n$)

n)의 경우보다 많음에도 불구하고, 더미 스테이지(ST_{n+1})가 다수의 스테이지(ST₁~ST_n)보다 크기가 큰 폴업 트랜지스터(T1)를 포함함으로써 더미 스테이지(ST_{n+1})의 출력 신호가 정상적으로 제공될 수 있도록 한다. 따라서, 액정 표시 장치의 표시 품질을 더욱 향상시킬 수 있다.

[0058] 이하, 본 발명의 또 다른 실시예에 따른 액정 표시 장치를 설명한다. 본 발명의 또 다른 실시예에 따른 액정 표시 장치는 더미 스테이지가 다수의 스테이지보다 적은 출력량을 가진다는 점에서 상술한 실시예들과 차이가 있다.

[0059] 도 7 및 도 8을 참조하면, 본 발명의 또 다른 실시예에 따른 액정 표시 장치는 다수의 게이트 라인(G1~Gn)을 포함하는 액정 패널, 및 다수의 게이트 라인(G1~Gn)과 각각 연결되어 게이트 신호(Gout(1)~Gout(n))를 순차적으로 제공하는 다수의 스테이지(ST1~STn)와, 더미 스테이지(ST_(n+1))를 포함하는 게이트 드라이버를 포함하되, 다수의 스테이지(ST1~STn) 및 더미 스테이지(ST_(n+1)) 각각은 게이트 신호를 제공하는 게이트 출력 단자를 포함하고, 더미 스테이지(ST_(n+1))의 게이트 출력 단자(OUT1)를 통하여 출력되는 게이트 신호(Gout_(n+1))의 출력량은 각 스테이지(ST1~STn)의 게이트 출력 단자(OUT1)를 통해 출력되는 게이트 신호의 출력량보다 작다. 이 경우, 더미 스테이지(ST_(n+1))의 게이트 신호(Gout_(n+1))의 출력량은 각 스테이지(ST1~STn)의 게이트 신호(Gout(1)~Gout(n))의 출력량의 80%이하일 수 있다. 나아가, 다수의 스테이지(ST1~STn) 및 더미 스테이지(ST_(n+1))의 게이트 신호(Gout_(n+1))는 소정의 전압 레벨로 출력될 수 있으며, 이 경우 더미 스테이지(ST_(n+1))의 게이트 신호(Gout_(n+1))의 전압 레벨은 다수의 스테이지(ST1~STn)에서 각각 출력되는 게이트 신호(Gout(1)~Gout(n))의 전압 레벨보다 낮다.

[0060] 더미 스테이지(ST_(n+1))의 게이트 신호(Gout_(n+1))의 출력량을 감소시키기 위하여, 예를 들면 더미 스테이지(ST_(n+1))와 연결된 더미 게이트 라인에 대응되는 화소를 제거할 수도 있다. 이 외에도 다양한 방법을 이용하여 더미 스테이지(ST_(n+1))의 게이트 신호(Gout_(n+1))의 출력량을 감소시킬 수 있다.

[0061] 본 발명의 또 다른 실시예에 따른 액정 표시 장치에 따르면, 다수의 스테이지의 게이트 출력 단자를 통해 출력되는 게이트 신호의 출력량보다 더미 스테이지의 게이트 출력 단자를 통해 출력되는 게이트 신호의 출력량을 감소시킴으로써 더미 스테이지가 전단 스테이지를 충분히 풀다운시킬 수 있다. 따라서, 액정 표시 장치의 품질이 더욱 향상될 수 있다.

[0062] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

도면의 간단한 설명

[0063] 도 1은 본 발명의 실시예들에 따른 액정 표시 장치 및 그의 구동 방법을 설명하기 위한 블록도이다.

[0064] 도 2는 도 1의 한 화소의 등가 회로도이다.

[0065] 도 3은 도 1의 게이트 드라이버를 설명하기 위한 예시적인 블록도이다.

[0066] 도 4는 도 3의 제j 스테이지의 예시적인 회로도이다.

[0067] 도 5는 도 3의 제n 스테이지의 예시적인 회로도이다.

[0068] 도 6은 도 3의 제n+1 스테이지의 예시적인 회로도이다.

[0069] 도 7은 본 발명의 다른 실시예에 따른 액정 표시 장치의 게이트 드라이버를 설명하기 위한 예시적인 블록도이다.

[0070] 도 8은 도 7의 더미 스테이지의 예시적인 회로도이다.

[0071] (도면의 주요부분에 대한 부호의 설명)

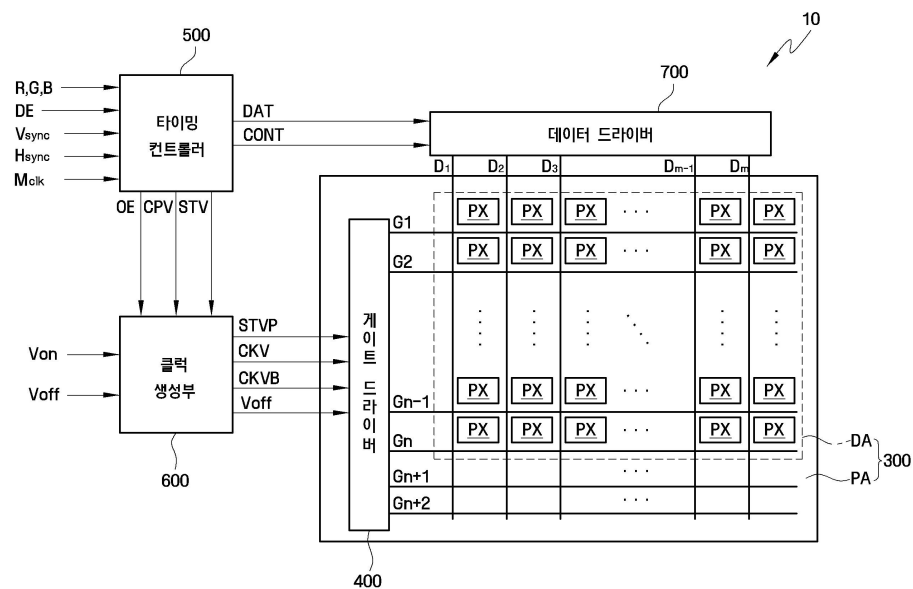
[0072] 10: 액정 표시 장치 100: 제1 표시판

[0073] 150: 액정층 200: 제2 표시판

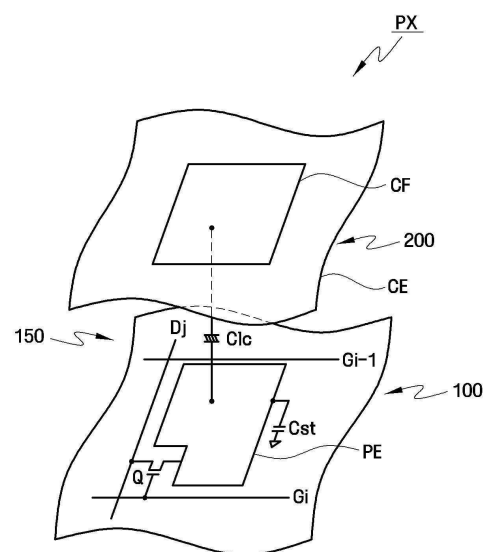
[0074]	300: 액정 패널	400, 401: 게이트 드라이버
[0075]	410, 411: 버퍼부	420, 421: 충전부
[0076]	430, 431: 풀업부	440, 441: 풀다운부
[0077]	450, 451: 방전부	460, 461: 홀딩부
[0078]	470, 471: 캐리 신호 발생부	500: 타이밍 컨트롤러
[0079]	600: 클럭 생성부	700: 데이터 드라이버

도면

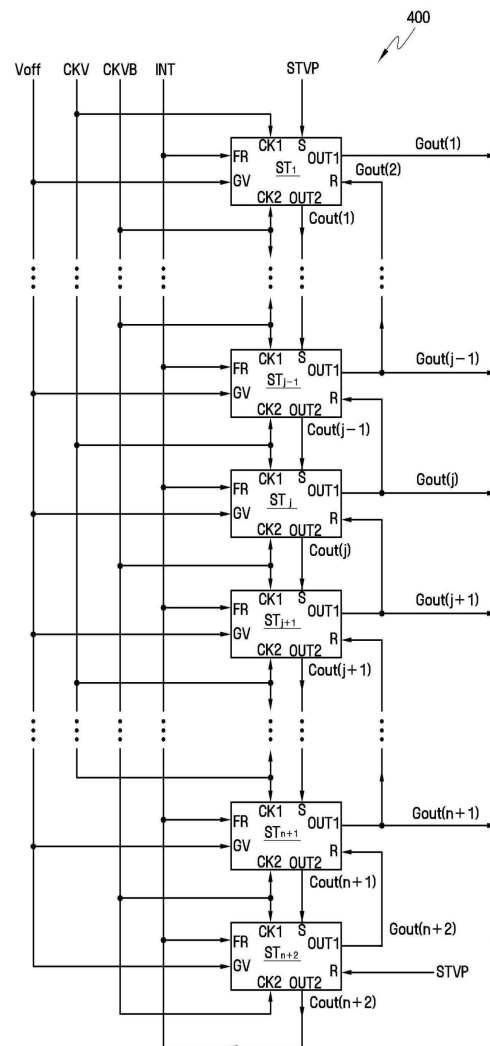
도면1



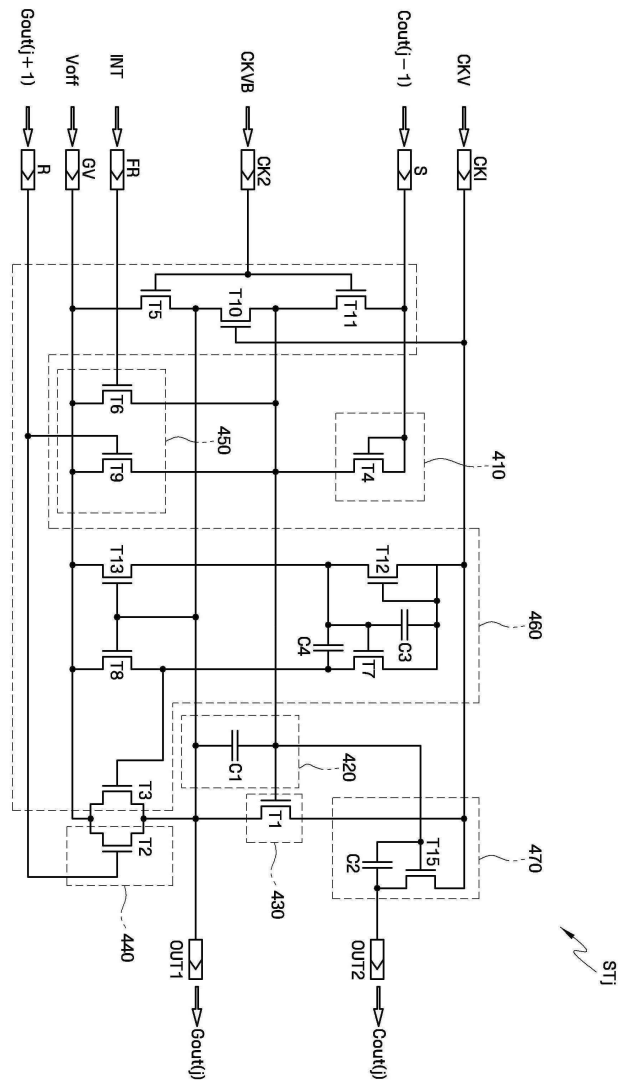
도면2



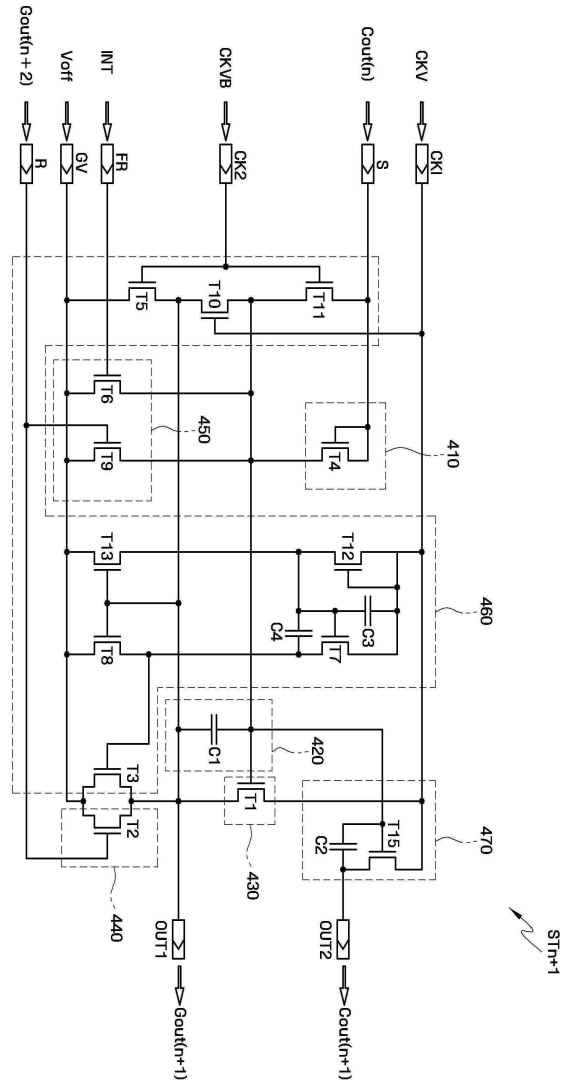
도면3



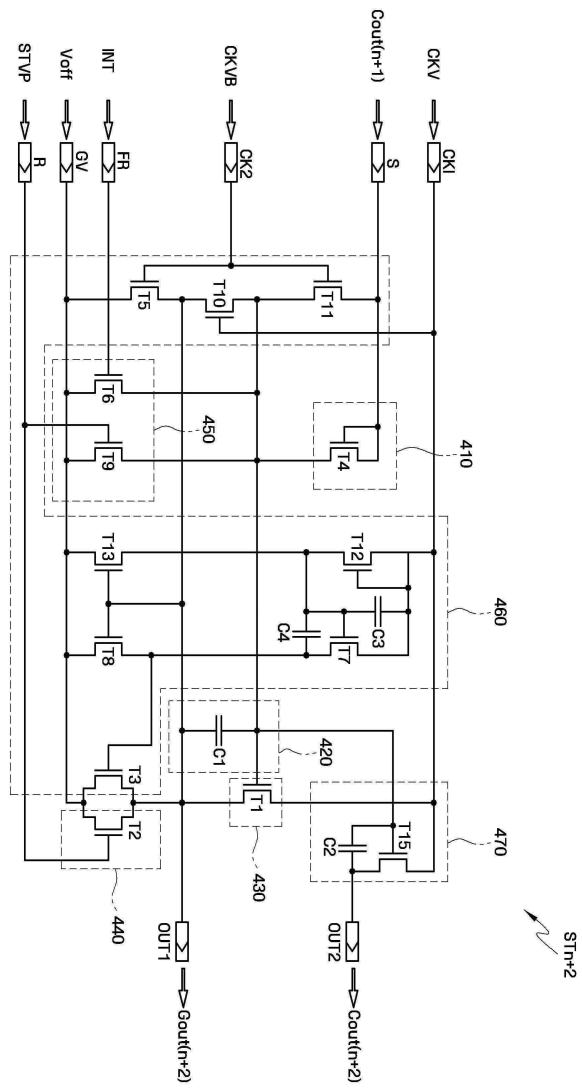
도면4



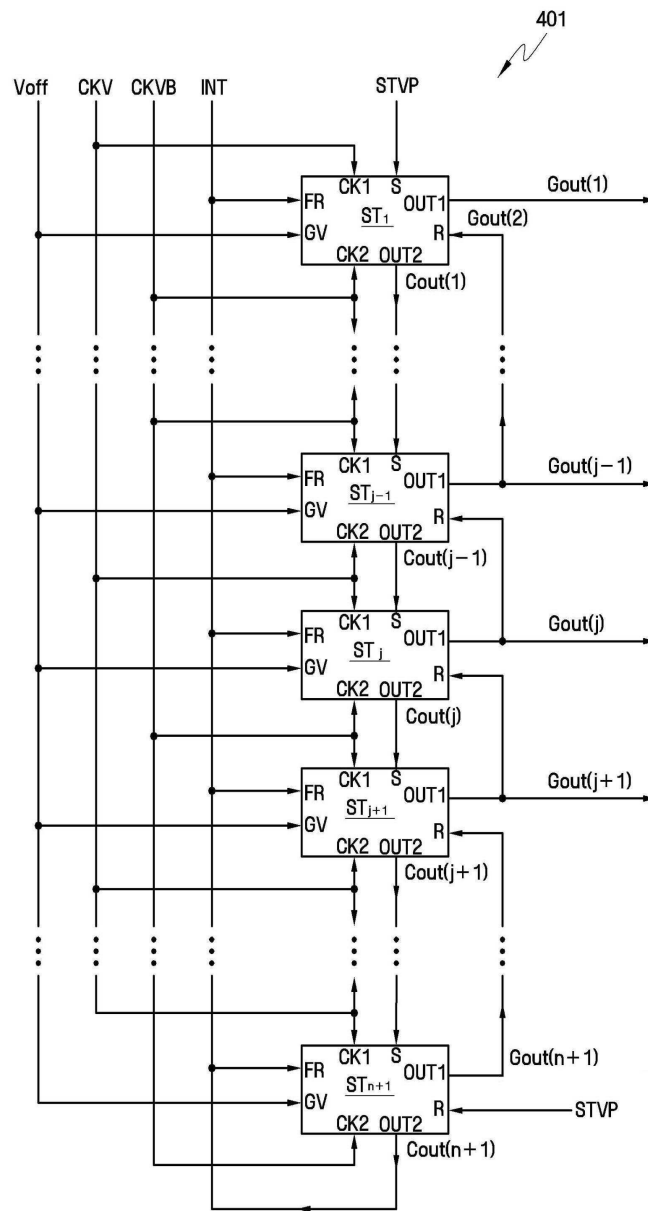
도면5



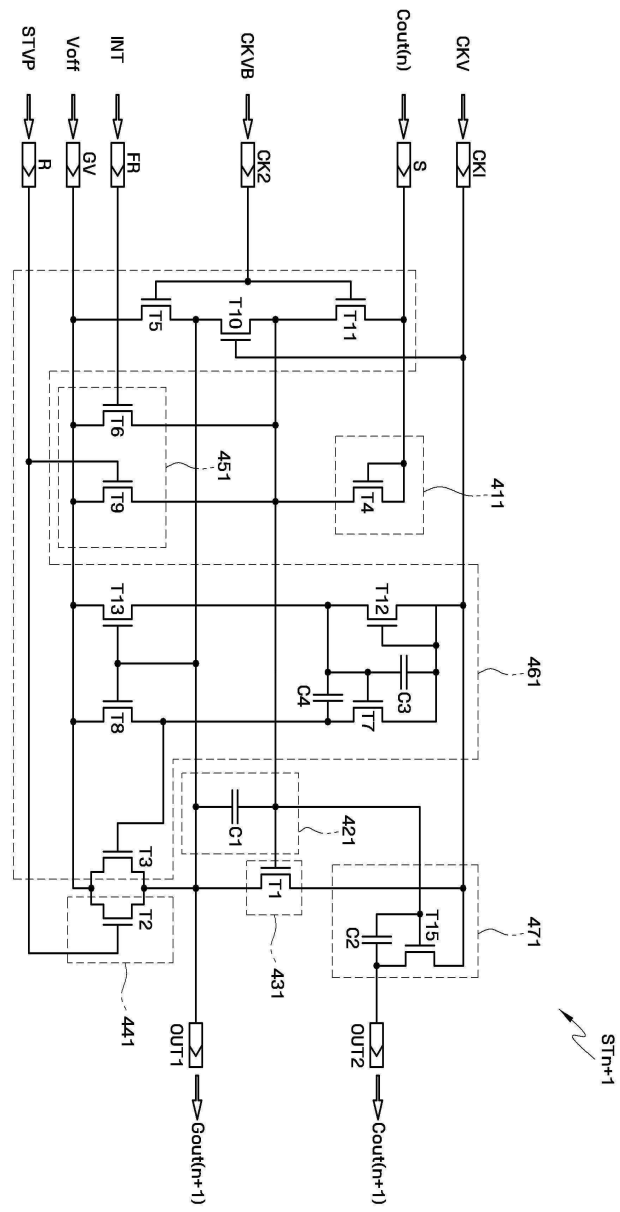
도면6



도면7



도면8



专利名称(译)	液晶显示器		
公开(公告)号	KR101502361B1	公开(公告)日	2015-03-16
申请号	KR1020080077032	申请日	2008-08-06
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	SON JI HYEON 손지현 HUR SEUNG HYUN 허승현 KIM JANG IL 김장일 SHIN JAE YONG 신재용 SOHN WOO SUNG 손우성 LEE YUN SEOK 이윤석 KIM IN WOO 김인우		
发明人	손지현 허승현 김장일 신재용 손우성 이윤석 김인우		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3677		
其他公开文献	KR1020100018317A		
外部链接	Espacenet		

摘要(译)

本发明提供一种液晶显示器 (LCD) 。 LCD包括：液晶面板，包括多条栅极线;栅极驱动器包括多个级，所述多个级分别连接到栅极线，并且分别向栅极线依次提供多个栅极信号，以及与栅极线分离的第一虚设级和第二虚设级。彼此，其中第一虚设级由一个级的进位信号使能，第二虚设级由第一虚拟级的进位信号使能并初始化每个级。

