



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0019525  
(43) 공개일자 2017년02월22일

(51) 국제특허분류(Int. Cl.)  
G02F 1/1339 (2006.01) G02F 1/1362 (2006.01)  
(52) CPC특허분류  
G02F 1/1339 (2013.01)  
G02F 1/136286 (2013.01)  
(21) 출원번호 10-2015-0113049  
(22) 출원일자 2015년08월11일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
구선주  
경기도 파주시 책향기로 448 1204동 1202호 (동패동, 책향기마을진흥효자아파트)  
이승철  
경기도 고양시 일산동구 위시티4로 46 216동 402호 (식사동, 위시티일산자이2단지아파트)  
서유진  
대구광역시 달서구 학산로 15 101동 1206호 (월성동, 월성서한타운)  
(74) 대리인  
특허법인로얄

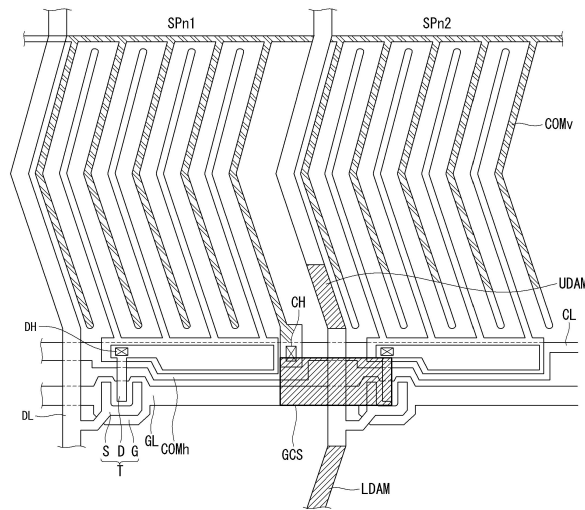
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 액정표시장치와 이의 제조방법

**(57) 요약**

본 발명은 액정패널에 개재된 스페이서가 외력에 의해 이동하게 되더라도 하부막이 손상되거나 액정 배향이 틀어지는 문제를 방지한다. 이를 위해, 상부 및 하부 베리어부는 평탄화막으로부터 돌출되고 스페이서를 기준으로 상부와 하부에 이격하여 위치한다.

대표도 - 도8



## 명세서

### 청구범위

#### 청구항 1

하부기관 상에 위치하는 데이터라인;

상기 데이터라인 상에 위치하는 평탄화막;

상부기관 상에 위치하는 스페이서; 및

상기 평탄화막으로부터 돌출되고 상기 스페이서를 기준으로 상부와 하부에 이격하여 위치하는 상부 및 하부 베리어부를 포함하는 액정표시장치.

#### 청구항 2

제1항에 있어서,

상기 상부 및 하부 베리어부는

상기 스페이서와 인접하는 영역이 경사진 액정표시장치.

#### 청구항 3

제1항에 있어서,

상기 상부 및 하부 베리어부는

상기 데이터라인에 대응하여 위치하는 액정표시장치.

#### 청구항 4

제1항에 있어서,

상기 상부 및 하부 베리어부는

상기 데이터라인과 중첩하는 사각형 또는 직사각형 형상을 갖는 액정표시장치.

#### 청구항 5

제1항에 있어서,

상기 스페이서는

사각형 또는 직사각형 형상을 갖는 액정표시장치.

#### 청구항 6

하부기관 상에 데이터라인을 형성하는 단계;

상부기관 상에 스페이서를 형성하는 단계; 및

상기 데이터라인 상에 평탄화막을 형성하고, 상기 평탄화막으로부터 돌출되고 상기 스페이서를 기준으로 상부와 하부에 이격하여 위치하는 상부 및 하부 베리어부를 형성하는 단계를 포함하는 액정표시장치의 제조방법.

#### 청구항 7

제6항에 있어서,

상기 상부 및 하부 베리어부는

상기 스페이서와 인접하는 영역이 경사진 액정표시장치의 제조방법.

**청구항 8**

제6항에 있어서,

상기 상부 및 하부 베리어부를 형성하는 단계는

상기 평탄화막 상에 마스크를 얼라인하고, 상기 마스크를 이용하여 포토리소그래피를 하는 공정을 통해 형성하며,

상기 마스크는 0%의 빛 투과율을 갖는 비개구부와 100%의 빛 투과율을 갖는 개구부를 갖는 액정표시장치의 제조 방법.

**청구항 9**

제6항에 있어서,

상기 상부 및 하부 베리어부를 형성하는 단계는

상기 평탄화막 상에 마스크를 얼라인하고, 상기 마스크를 이용하여 포토리소그래피를 하는 공정을 통해 형성하며,

상기 마스크는 0%의 빛 투과율을 갖는 비개구부와 빛 투과율이 점진적으로 향상되는 개구부를 갖는 액정표시장치의 제조 방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 액정표시장치와 이의 제조방법에 관한 것이다.

**배경 기술**

[0002] 정보화 기술이 발달함에 따라 사용자와 정보간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 액정표시장치(Liquid Crystal Display: LCD), 유기전계발광표시장치(Organic Light Emitting Diode Display: OLED) 및 플라즈마액정패널(Plasma Display Panel: PDP) 등과 같은 평판 표시장치(Flat Panel Display: FPD)의 사용이 증가하고 있다. 그 중 고해상도를 구현할 수 있고 소형화뿐만 아니라 대형화가 가능한 액정표시장치가 널리 사용되고 있다.

[0003] 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시한다. 액정표시장치는 액정을 구동시키는 전계의 방향에 따라 수직 전계 방식과 수평 전계 방식으로 대별된다.

[0004] 액정표시장치에는 액정패널과 백라이트유닛이 포함된다. 액정패널은 박막 트랜지스터, 스토리지 커패시터 및 화소전극 등이 형성된 트랜지스터기판, 컬러필터 및 블랙매트릭스 등이 형성된 컬러필터기판 등을 포함한다.

[0005] 트랜지스터기판과 컬러필터기판 사이에는 액정층과 더불어 스페이서가 형성된다. 스페이서는 트랜지스터기판과 컬러필터기판 간의 간격을 유지하거나 눌림에 의한 문제 등을 방지하는 등 다양한 목적을 수행한다.

[0006] 그런데 종래 액정표시장치는 액정패널에 개재된 스페이서가 외력에 의해 이동하게 될 경우 그 하부막(예: 폴리이미드)을 손상시키는 문제를 유발하고 있다. 이러한 문제는 결국 액정 배향을 틀어지게 하고, 그 부위로 빛샘을 일으켜 액정패널의 신뢰성 및 표시품질 등을 저하하므로 이의 개선이 요구된다.

**발명의 내용**

**해결하려는 과제**

[0007] 상술한 배경기술의 문제점을 해결하기 위한 본 발명은 액정패널에 개재된 스페이서가 외력에 의해 이동하게 되더라도 하부막이 손상되거나 액정 배향이 틀어지는 문제를 방지하는 것이다.

**과제의 해결 수단**

[0008] 상술한 과제 해결 수단으로 본 발명은 데이터라인, 평탄화막, 스페이서 및 상부 및 하부 베리어부를 포함하는

액정표시장치를 제공한다. 데이터라인은 하부기관 상에 위치한다. 평탄화막은 데이터라인 상에 위치한다. 스페이서는 상부기관 상에 위치한다. 상부 및 하부 베리어부는 평탄화막으로부터 돌출되고 스페이서를 기준으로 상부와 하부에 이격하여 위치한다.

- [0009] 상부 및 하부 베리어부는 스페이서와 인접하는 영역이 경사질 수 있다.
- [0010] 상부 및 하부 베리어부는 데이터라인에 대응하여 위치할 수 있다.
- [0011] 상부 및 하부 베리어부는 데이터라인과 중첩하는 사각형 또는 직사각형 형상을 가질 수 있다.
- [0012] 스페이서는 사각형 또는 직사각형 형상을 가질 수 있다.
- [0013] 다른 측면에서 본 발명은 액정표시장치의 제조방법을 제공한다. 액정표시장치의 제조방법은 하부기관 상에 데이터라인을 형성하는 단계, 상부기관 상에 스페이서를 형성하는 단계, 및 데이터라인 상에 평탄화막을 형성하고, 평탄화막으로부터 돌출되고 스페이서를 기준으로 상부와 하부에 이격하여 위치하는 상부 및 하부 베리어부를 형성하는 단계를 포함한다.
- [0014] 상부 및 하부 베리어부는 스페이서와 인접하는 영역이 경사질 수 있다.
- [0015] 상부 및 하부 베리어부를 형성하는 단계는 평탄화막 상에 마스크를 얼라인하고, 마스크를 이용하여 포토리소그라피를 하는 공정을 통해 형성하며, 마스크는 0%의 빛 투과율을 갖는 비개구부와 100%의 빛 투과율을 갖는 개구부를 가질 수 있다.
- [0016] 상부 및 하부 베리어부를 형성하는 단계는 평탄화막 상에 마스크를 얼라인하고, 마스크를 이용하여 포토리소그라피를 하는 공정을 통해 형성하며, 마스크는 0%의 빛 투과율을 갖는 비개구부와 빛 투과율이 점진적으로 향상되는 개구부를 가질 수 있다.

**발명의 효과**

- [0017] 본 발명은 액정패널에 개재된 스페이서가 외력에 의해 이동하게 되더라도 하부막이 손상되거나 액정 배향이 틀어지는 문제를 방지할 수 있다. 또한, 본 발명은 스페이서의 이동에 의한 빛샘을 방지하여 액정패널의 신뢰성을 향상함과 더불어 표시품질이 저하되는 문제를 방지할 수 있다. 또한, 본 발명은 스페이서의 이동에 따른 문제를 구조적으로 보완하면서도 셀갭 관리 항목을 단순화함과 더불어 액정 마진을 확보할 수 있다.

**도면의 간단한 설명**

- [0018] 도 1은 액정표시장치를 개략적으로 나타낸 블록도.
- 도 2는 도 1에 도시된 서브 픽셀을 개략적으로 나타낸 회로도.
- 도 3은 액정패널이 IPS 모드로 구현될 시, 서브 픽셀의 평면 예시도.
- 도 4는 액정패널 내에 스페이서가 배치된 위치를 예시적으로 보여주는 평면도.
- 도 5는 종래 액정패널 내에 개재된 스페이서를 보여주는 평면도.
- 도 6은 종래에 액정패널 내에 개재된 스페이서를 보여주는 단면도.
- 도 7은 실험예에 따라 액정패널 내에 개재된 스페이서를 보여주는 단면도.
- 도 8은 본 발명의 일 실시예에 따라 액정패널 내에 개재된 스페이서를 보여주는 평면도.
- 도 9는 도 8에 도시된 스페이서를 더욱 구체적으로 보여주는 평면도 및 단면도.
- 도 10은 외력이 가해질 경우 스페이서의 이동 모습을 보여주는 평면도 및 단면도.
- 도 11은 스페이서와 베리어부를 보여주는 평면도.
- 도 12는 평탄화막에 베리어부를 형성하는 방법을 설명하기 위한 제1공정 예시도.
- 도 13은 평탄화막에 베리어부를 형성하는 방법을 설명하기 위한 제2공정 예시도.
- 도 14는 실시예에 따라 구현된 베리어부를 보여주는 사진.

**발명을 실시하기 위한 구체적인 내용**

- [0019] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.
- [0020] 이하에서 설명되는 액정표시장치는 액정패널의 화소전극 및 공통전극의 구조에 따라 TN(Twisted Nematic) 모드, VA(Vertical Alignment) 모드, IPS(In Plane Switching) 모드, FFS(Fringe Field Switching) 모드 또는 ECB(Electrically Controlled Birefringence) 모드로 구현된다. 그러나, 설명의 편의를 위해 IPS 모드로 구현된 것을 일례로 한다.
- [0021] 또한, 이하에서 설명되는 액정표시장치는 액정패널이 적색, 녹색 및 청색의 서브 픽셀로 구현되거나 소비전류 절감 등을 위해 적색, 녹색, 청색의 서브 픽셀과 더불어 백색의 서브 픽셀로 구현된다. 그러나 설명의 편의를 위해 적색, 녹색 및 청색의 서브 픽셀로 구현된 것을 일례로 한다.
- [0022] 도 1은 액정표시장치를 개략적으로 나타낸 블록도이고, 도 2는 도 1에 도시된 서브 픽셀을 개략적으로 나타낸 회로도이며, 도 3은 액정패널이 IPS 모드로 구현될 시, 서브 픽셀의 평면 예시도이고, 도 4는 액정패널 내에 스페이서가 배치된 위치를 예시적으로 보여주는 평면도이다.
- [0023] 도 1 및 도 2에 도시된 바와 같이 액정표시장치에는 영상 공급부(110), 타이밍 제어부(130), 게이트 구동부(140), 데이터 구동부(150), 액정패널(160), 전원공급부(180) 및 백라이트유닛(190)이 포함된다.
- [0024] 영상 공급부(110)는 데이터신호를 영상처리하고 수직 동기신호, 수평 동기신호, 데이터 인에이블 신호 및 클럭 신호 등과 함께 출력한다. 영상 공급부(110)는 LVDS(Low Voltage Differential Signaling) 인터페이스나 TMDs(Transition Minimized Differential Signaling) 인터페이스 등을 통해 수직 동기신호, 수평 동기신호, 데이터 인에이블 신호, 클럭신호 및 데이터신호 등을 타이밍 제어부(120)에 공급한다.
- [0025] 타이밍 제어부(130)는 게이트 구동부(140)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터 구동부(150)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 출력한다. 타이밍 제어부(130)는 데이터 타이밍 제어신호(DDC)와 함께 영상처리부(110)로부터 공급된 데이터신호(DATA)를 데이터 구동부(150)에 공급한다.
- [0026] 게이트 구동부(140)는 타이밍 제어부(130)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 게이트전압의 레벨을 시프트시키면서 게이트신호를 출력한다. 게이트 구동부(140)는 게이트라인들(GL)을 통해 액정패널(160)에 포함된 서브 픽셀들(SP)에 게이트신호를 공급한다. 게이트 구동부(140)는 IC(Integrated Circuit) 형태로 형성되거나 액정패널(160)에 게이트인패널(Gate In Panel) 방식으로 형성된다.
- [0027] 데이터 구동부(150)는 타이밍 제어부(130)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 데이터신호(DATA)를 샘플링하고 래치하며 감마 기준전압으로 변환하여 출력한다. 데이터 구동부(150)는 1 프레임 주기로 데이터전압의 극성을 반전하여 출력할 수 있다. 데이터 구동부(150)는 데이터라인들(DL)을 통해 액정패널(160)에 포함된 서브 픽셀들(SP)에 데이터전압(또는 데이터신호)을 공급한다. 데이터 구동부(150)는 IC(Integrated Circuit) 형태로 형성된다.
- [0028] 전원 공급부(180)는 고전위전압(VCC), 저전위전압(GND) 및 공통전압(VCOM)을 생성하고 출력한다. 고전위전압(VCC)과 저전위전압(GND)은 타이밍 제어부(130), 게이트 구동부(140) 및 데이터 구동부(150) 중 하나 이상에 공급된다. 공통전압(VCOM)은 액정패널(160)에 공급된다. 공통전압(VCOM)은 액정패널(160)의 공통전압라인(Vcom)을 통해 서브 픽셀들(SP)에 공급된다.
- [0029] 백라이트유닛(190)은 광을 출사하는 광원 등을 이용하여 액정패널(160)에 광을 제공한다. 백라이트유닛(190)은 발광다이오드(이하 LED), LED를 구동하는 LED구동부, LED가 실장된 LED기판, LED로부터 출사된 광을 면광원으로 변환시키는 도광판, 도광판의 하부에서 광을 반사시키는 반사판, 도광판으로부터 출사된 광을 집광 및 확산하는 광학시트류 등이 포함된다.
- [0030] 액정패널(160)은 게이트 구동부(140)로부터 공급된 게이트신호와 데이터 구동부(150)로부터 공급된 데이터전압에 대응하여 영상을 표시한다. 액정패널(160)은 백라이트유닛(170)을 통해 제공된 광을 제어하는 서브 픽셀들(SP)이 포함된다.
- [0031] 하나의 서브 픽셀에는 스위칭 트랜지스터(SW), 스토리지 커패시터(Cst) 및 액정층(Clc)이 포함된다. 스위칭 트랜지스터(SW)의 게이트전극은 게이트라인(GL1)에 연결되고 소스전극은 데이터라인(DL1)에 연결된다. 스토리지 커패시터(Cst)는 스위칭 트랜지스터(SW)의 드레인전극에 일단이 연결되고 공통전압라인(Vcom)에 타단이 연결된

다. 액정층(C1c)은 스위칭 트랜지스터(SW)의 드레인전극에 연결된 화소전극(1)과 공통전압라인(Vcom)에 연결된 공통전극(2) 사이에 형성된다.

- [0032] 도 3에 도시된 바와 같이, 트랜지스터기판 상에는 게이트라인(GL), 데이터라인(DL), 스위칭 트랜지스터(SW), 화소 전극(PXL), 공통 전극(COM) 및 공통 전극(COM)과 접속되며 게이트라인(GL)과 나란하게 배치된 공통전압라인(CL)이 형성된다.
- [0033] 게이트라인(GL)은 스위칭 트랜지스터(SW)의 게이트 전극(G)에 게이트 신호를 공급한다. 데이터라인(DL)은 스위칭 트랜지스터(SW)의 드레인 전극(D), 소스 전극(S) 및 화소전극(PXL)을 통해 데이터신호를 공급한다. 공통전압라인(CL)은 서브 픽셀 영역 내의 일측면에 게이트라인(GL)과 나란하게 형성되며 액정 구동을 위한 공통전압을 공통 전극(COMh, COMv)에 공급한다.
- [0034] 화소전극(PXL)은 보호막(도시하지 않음) 및 평탄화막(도시하지 않음)을 관통하는 드레인 콘택홀(DH)을 통해 스위칭 트랜지스터(SW)의 드레인 전극(D)과 접속된다. 화소전극(PXL)은 드레인 전극(D)과 접속되고 인접한 게이트라인(GL)과 나란하게 형성된 수평 화소전극(PXLh)과, 이 수평 화소전극(PXLh)에서 수직 방향으로 형성된 다수 개의 수직 화소전극(PXLv)을 포함한다.
- [0035] 공통전극(COMh, COMv)은 게이트절연막 보호막 및 평탄화막을 관통하는 공통 콘택홀(CH)을 통해 공통전압라인(CL)과 접속된다. 공통전극(COMh, COMv)은 게이트라인(GL)과 평행하게 배치되며 일부분이 좀 더 넓은 폭을 갖는 수평 공통전극(COMh)과 수직 방향으로 형성된 다수 개의 수직 공통전극(COMv)을 포함한다. 수직 공통전극(COMv)은 서브 픽셀 영역 내에서 수직 화소전극(PXLv)과 나란하게 배치된다.
- [0036] 위와 같은 구조에 따라, 수직 화소전극(PXLv)과 수직 공통전극(COMv) 사이에는 수평 전계가 형성된다. 액정 분자들은 수평 전계에 의한 유전 이방성에 의해 회전하게 된다. 액정 분자들의 회전 정도에 따라 서브 픽셀 영역의 빛의 투과율은 달라지고, 이때 투과된 빛의 양에 대응하여 화상이 구현된다.
- [0037] 도 4에 도시된 바와 같이, 트랜지스터기판(하부기판)과 컬러필터기판(상부기판) 사이에는 액정층(C1c)과 더불어 스페이서(GCS)가 형성된다. 스페이서(GCS)는 블랙매트릭스가 위치하는 영역 내에 형성된다.
- [0038] 스페이서(GCS)는 트랜지스터기판과 컬러필터기판 간의 간격을 유지{액정층의 두께(즉, '셀 갭; Cell Gap'이라고도 함)를 기판 전체 면적에 걸쳐 균일하게 유지}하거나 눌림에 의한 문제 등을 방지하는 등 다양한 목적을 수행한다.
- [0039] 예컨대, 스페이서(GCS)는 도 3과 같이 액정패널에 형성된 25(세로) X 9(가로)의 서브 픽셀 그룹 내에 4개씩 위치하도록 일정 간격을 유지하며 균일하게 배치될 수 있으나 이에 한정되지 않는다.
- [0040] 한편, 스페이서(GCS)를 구비한 액정표시장치는 트랜지스터기판과 컬러필터기판 사이의 간격(또는 셀갭)을 균일하게 유지할 수 있다. 하지만, 터치 패널과 액정패널을 일체화함에 따라, 사용자가 액정패널의 화면을 손으로 터치하거나 누르는 힘(즉, 압력)에 의해 스페이서(GCS)가 자신의 위치를 벗어나 이동하는 횟수 또한 증가하고 있다.
- [0041] 액정패널에 개재된 스페이서(GCS)가 외력에 의해 이동하게 될 경우, 종래 제안된 액정표시장치는 빛샘과 더불어 액정패널의 신뢰성 및 표시품질 등의 문제를 유발할 수 있다. 이때 발생하는 빛샘은 스페이서(GCS)에 의해 하부 배향막의 손상에 의해 액정 배향이 틀어지게 되어 발생하는 현상으로서 "Red eye 불량"으로 불리기도 한다.
- [0042] 도 5는 종래 액정패널 내에 개재된 스페이서를 보여주는 평면도이고, 도 6은 종래에 액정패널 내에 개재된 스페이서를 보여주는 단면도이며, 도 7은 실험예에 따라 액정패널 내에 개재된 스페이서를 보여주는 단면도이다. 도 6 및 도 7에서, 트랜지스터기판(160a)의 최상층인 하부 배향막의 구조는 그 하부에 위치하는 평탄화막(167)의 구조에 대응하여 형성된다. 이하에서는 평탄화막(167)의 구조에 중점을 두고자 하부 배향막을 생략하였음을 참조한다.
- [0043] 도 5 및 도 6에 도시된 바와 같이, 종래 액정패널 내에는 원형의 스페이서(174, GCS)가 배치된다. 스페이서(GCS)는 컬러필터기판(160b)의 최상층인 상부 배향막(173) 상에 형성된다.
- [0044] 스페이서(GCS)와 대향하는 트랜지스터기판(160a)의 상층인 평탄화막(167, PAC) 상에는 돌출부(CSP)가 형성된다. 돌출부(CSP)는 평탄화막(167)으로 이루어진다. 돌출부(CSP)는 스페이서(GCS)를 지지하는 역할과 더불어 셀갭을 유지하기 위한 구조물 역할을 한다.
- [0045] 돌출부(CSP)의 상부 면적은 스페이서(GCS)의 하부면을 수용할 수 있는 면적(돌출부의 상부 면적은 스페이서의

하부 면적보다 넓음)을 갖는다. 돌출부(CSP)의 높이(TFT 단차 참조)는 액정의 적하량 설정을 위해 스페이서(GCS)의 높이(GCS 높이 참조)와 동일하게 모든 서브 픽셀들의 스위칭 트랜지스터(SW)의 단차를 측정된 평균값으로 설정된다. 이때, 액정량의 결정인자는 스페이서(GCS)의 높이 + 돌출부(CSP)의 높이가 된다.

- [0046] 종래 액정패널 내에 배치된 스페이서(GCS)는 돌출부(CSP)에 대응하여 배치된다. 이로 인하여, 스페이서(GCS)가 배치되는 위치마다 평탄화막(167)에도 돌출부(CSP)를 형성하기 위한 패턴이 형성된다.
- [0047] 그런데 종래의 구조는 트랜지스터기관과 컬러필터기관 사이의 간격(또는 셀갭)을 균일하게 관리하기 위해 돌출부(CSP)의 측정 및 관리가 요구되며, 액정의 마진 감소시 공정 마진 또한 축소된다. 더욱이, 종래의 구조는 스페이서(GCS)의 이동으로 인한 문제(배향막 손상, 배향 불량, 빛샘 등)를 해소하기 위해 블랙매트릭스를 넓게 형성하여 문제가 되는 부분을 가려주어야 한다. 그러나 이와 같은 경우 블랙매트릭스의 증가분만큼 서브 픽셀의 개구율이 감소하는 문제 또한 수반된다.
- [0048] 아울러, 종래 액정표시장치는 액정패널에 개재된 스페이서(GCS)가 외력에 의해 이동하게 될 경우 그 하부막(예: 하부 배향막에 사용되는 폴리이미드)을 손상시키는 문제를 유발하고 있다. 이러한 문제는 결국 액정 배향을 틀어지게 하고, 그 부위로 빛샘을 일으켜 액정패널의 신뢰성 및 표시품질 등을 저하하므로 이의 개선이 요구된다.
- [0049] 이하, 종래 구조의 문제를 해결하고자 실험예를 제작하고 이를 평가한 결과를 설명하면 다음과 같다.
- [0050] 도 5 및 도 7에 도시된 바와 같이, 실험예의 액정패널 내에는 원형의 스페이서(GCS)가 배치된다. 스페이서(174, GCS)는 컬러필터기관(160b)의 최상층인 상부 배향막(173) 상에 형성된다.
- [0051] 스페이서(GCS)와 대향하는 트랜지스터기관(160a)의 상층인 평탄화막(167, PAC) 상에는 함몰부(CSP)가 형성된다. 함몰부(CSP)는 평탄화막(167)으로 이루어진다. 함몰부(CSP)는 스페이서(GCS)를 지지하는 역할 및 스페이서(GCS)의 이동(유동)을 저지하는 역할과 더불어 셀갭을 유지하기 위한 구조물 역할을 한다.
- [0052] 함몰부(CSP)의 기저 면적은 스페이서(GCS)의 하부면을 수용할 수 있는 면적(함몰출부의 기저 면적은 스페이서의 하부 면적보다 넓음)을 갖는다. 함몰부(CSP)의 깊이(TFT 단차 참조)는 액정의 적하량 설정을 위해 스페이서(GCS)의 높이(GCS 높이 참조)와 동일하게 모든 서브 픽셀들의 스위칭 트랜지스터(SW)의 단차를 측정된 평균값으로 설정된다. 이때, 액정량의 결정인자는 스페이서(GCS)의 높이가 되고, 스페이서(GCS)의 높이는 함몰부(CSP)의 깊이에 따라 달라질 수 있다.
- [0053] 실험예의 액정패널 내에 배치된 스페이서(GCS)는 함몰부(CSP)에 대응하여 배치된다. 이로 인하여, 스페이서(GCS)가 배치되는 위치마다 평탄화막(167)에도 함몰부(CSP)를 형성하기 위한 패턴이 형성된다.
- [0054] 그런데 실험예의 구조는 액정의 마진 감소시 공정 마진 또한 축소되는 문제는 해소할 수 있었지만 트랜지스터기관과 컬러필터기관 사이의 간격(또는 셀갭)을 균일하게 관리하기 위해 함몰부(CSP)의 측정 및 관리가 요구되는 것으로 나타났다. 그리고 실험예의 구조는 함몰부(CSP) 내에 스페이서(GCS)가 위치하므로 스페이서(GCS)의 이동으로 인한 문제(하부 배향막 손상, 배향 불량, 빛샘 등)를 어느 정도 해소할 수 있었지만, 스페이서(GCS)와 함몰부(CSP) 간의 얼라인 문제(미스얼라인 발생, 함몰부의 기저 면적을 넓고 균일하게 해야 함) 등이 나타났다.
- [0055] 위와 같이, 실험예는 스페이서가 외력에 의해 이동하게 될 경우 그 하부막(예: 하부 배향막-폴리이미드)을 손상시키는 문제를 어느 정도 해소할 수 있으나 스페이서(GCS)와 함몰부(CSP) 간의 얼라인 문제 등이 나타나고 있는 바 이를 다음과 같이 개선한다.
- [0056] 도 8은 본 발명의 일 실시예에 따라 액정패널 내에 개재된 스페이서를 보여주는 평면도이고, 도 9는 도 8에 도시된 스페이서를 더욱 구체적으로 보여주는 평면도 및 단면도이며, 도 10은 외력이 가해질 경우 스페이서의 이동 모습을 보여주는 평면도 및 단면도이다. 도 9 및 도 10에서, 트랜지스터기관(160a)의 최상층인 하부 배향막의 구조는 그 하부에 위치하는 평탄화막(167)의 구조에 대응하여 형성된다. 이하에서는 평탄화막(167)의 구조에 중점을 두고자 하부 배향막을 생략하였음을 참조한다.
- [0057] 도 8 내지 도 10에 도시된 바와 같이, 트랜지스터기관(160a) 상에는 게이트전극(161)이 형성된다. 게이트전극(161) 상에는 게이트절연막(162)이 형성된다. 게이트절연막(162) 상에는 반도체층(163)이 형성된다. 반도체층(163) 상에는 오믹콘택층(164)이 형성된다. 오믹콘택층(164) 상에는 소오스 및 드레인 전극(165a, 165b)이 형성된다. 소오스 및 드레인 전극(165a, 165b) 상에는 제1보호막(166)이 형성된다. 제1보호막(166) 상에는 평탄화막(167)이 형성된다. 평탄화막(167) 상에는 공통전극(168)이 형성된다. 공통전극(168) 상에는 제2보호막(169)이 형성된다. 제2보호막(169) 상에는 화소전극(170)이 형성된다.

- [0058] 컬러필터기판(160b) 상에는 블랙매트릭스(171)가 형성된다. 블랙매트릭스(171) 상에는 컬러필터층(171G, 172R)이 형성된다. 컬러필터층(171G, 172R) 상에는 상부 배향막(173)이 형성된다. 상부 배향막(173) 상에는 스페이서(174)가 형성된다.
- [0059] 실시예의 액정패널 내에는 직선형의 스페이서(174, GCS)가 배치된다. 스페이서(GCS)는 사각형 또는 직사각형(테이터라인 방향보다 게이트라인 방향이 더 긴 직사각형)형상을 갖는다. 스페이서(GCS)는 컬러필터기판(160b)의 최상층인 상부 배향막(173) 상에 형성된다.
- [0060] 스페이서(GCS)와 대향하는 트랜지스터기판(160a)의 상층인 평탄화막(167, PAC) 상에는 베리어부(UDAM, LDAM)가 형성된다. 베리어부(UDAM, LDAM)는 평탄화막(167)으로 이루어지고 평탄화막(167)의 표면으로부터 돌출된다. 베리어부(UDAM, LDAM)는 테이터라인(DL)에 대응하여 위치한다. 베리어부(UDAM, LDAM)는 테이터라인(DL)과 중첩하는 사각형 또는 직사각형 형상을 갖는다.
- [0061] 베리어부(UDAM, LDAM)는 스페이서(GCS)를 기준으로 상부에 위치하는 상부 베리어부(UDAM)와 하부에 위치하는 하부 베리어부(LDAM)를 갖는다. 상부 및 하부 베리어부(UDAM, LDAM)는 스페이서(GCS)와 이격하는 영역에 위치한다. 상부 및 하부 베리어부(UDAM, LDAM)는 스페이서(GCS)와 인접하는 영역이 경사진 영역을 갖는다. 상부 및 하부 베리어부(UDAM, LDAM)는 스페이서(GCS)의 상하 이동(유동)을 저지하는 역할을 한다.
- [0062] 참고로, 스페이서(GCS)는 트랜지스터기판(160a)의 평탄화막(167) 상에 위치하는 하부 배향막(트랜지스터기판의 최상층에 해당; 미도시)과 맞닿는다. 때문에, 셀갭은 스페이서(GCS)의 높에 의해서만 결정되므로 다른 요인(종래의 돌출부나 실험예의 함몰부와 같은 구조물의 높이나 깊이에 대한 측정값)을 고려하지 않아도 된다(셀갭 관리 항목 단순화). 즉, 액정량의 결정인자는 스페이서(GCS)의 높이가 된다.
- [0063] 또한, 스페이서(GCS)가 외력에 의해 상하 이동하더라도, 상부 및 하부 베리어부(UDAM, LDAM)에 의해 일정 거리 이상 이동이 방지된다. 설령, 스페이서(GCS)가 외력에 의해 상하 이동이 심하게 나타나더라도 상부 또는 하부 베리어부(UDAM, LDAM)의 상부에 위치(스페이서는 상부 또는 하부 베리어부의 상부로 올라가는 형태로 이동)하게 된다. 그러므로 스페이서(GCS)의 상하 이동에 의한 문제(하부 배향막 손상, 배향 불량, 빗샘 등)는 해소된다.
- [0064] 또한, 스페이서(GCS)는 실질적으로 트랜지스터기판(160a)의 평탄화막(167) 상에 위치하는 하부 배향막(트랜지스터기판의 최상층에 해당; 미도시)과 맞닿기 때문에 스페이서(GCS)를 지지하는 구조물과의 얼라인 문제(종래 및 실험예에서 나타나는 문제)를 고려하지 않아도 된다.
- [0065] 한편, 스페이서(GCS)가 상하 이동하면 서브 픽셀 영역을 침범하게 된다. 그리고 스페이서(GCS)에 의해 하부 배향막, 전극 등이 손상되고 이로 인하여 빗샘 등이 유발된다. 이와 달리, 스페이서(GCS)가 좌우 이동하면 서브 픽셀 영역을 침범하지 않는다. 스페이서(GCS)가 좌우 이동하는 영역은 블랙매트릭스에 의해 가려지는 영역에 해당하므로 스페이서(GCS)에 의해 하부 배향막, 전극 등이 손상되더라도 이로 인하여 빗샘 등이 유발되지 않는다.
- [0066] 도 11은 스페이서와 베리어부를 보여주는 평면도이고, 도 12는 평탄화막에 베리어부를 형성하는 방법을 설명하기 위한 제1공정 예시도이며, 도 13은 평탄화막에 베리어부를 형성하는 방법을 설명하기 위한 제2공정 예시도이고, 도 14는 실시예에 따라 구현된 베리어부를 보여주는 사진이다. 실시예에 따라 구현된 베리어부는 도 14의 빨간색 타원 부분을 참조한다.
- [0067] 도 11 및 도 12에 도시된 바와 같이, 미도시된 제1보호막 상에 평탄화막(167)을 형성한다. 평탄화막(167)은 유기물 예컨대 포토아크릴(광반응성 물질을 갖는 유기물)과 같이 포토리소그래피(이하 포토공정)가 가능한 재료로 이루어질 수 있다.
- [0068] 평탄화막(167) 상에 비개구부(NOPN)와 개구부(OPN)를 갖는 하프톤마스크(HMSK)를 얼라인하고 포토공정을 한다. 하프톤마스크(HMSK)의 비개구부(NOPN)는 스페이서가 형성되는 위치에 대응되고, 개구부(OPN)는 상부 및 하부 베리어부가 형성되는 위치에 대응된다. 비개구부(NOPN)는 0%의 빛 투과율을 갖는다. 개구부(OPN)는 100%의 빛 투과율을 갖는다.
- [0069] 위와 같이, 평탄화막(167) 상에 하프톤마스크(HMSK)를 얼라인하고 포토공정을 실시하면, 개구부(OPN)에 대응되는 영역에는 경사진 영역을 갖는 상부 및 하부 베리어부가 형성된다. 평탄화막(167)의 상부 및 하부 베리어부는 경사진 영역과 평탄한 영역을 가질 수 있다. 평탄한 영역은 스페이서가 맞닿는 표면영역 및 상부 및 하부 베리어부의 정상영역에 해당한다.
- [0070] 도 11 및 도 13에 도시된 바와 같이, 미도시된 제1보호막 상에 평탄화막(167)을 형성한다. 평탄화막(167)은 유기물 예컨대 포토아크릴(광반응성 물질을 갖는 유기물)과 같이 포토리소그래피(이하 포토공정)가 가능한 재료로

이루어질 수 있다.

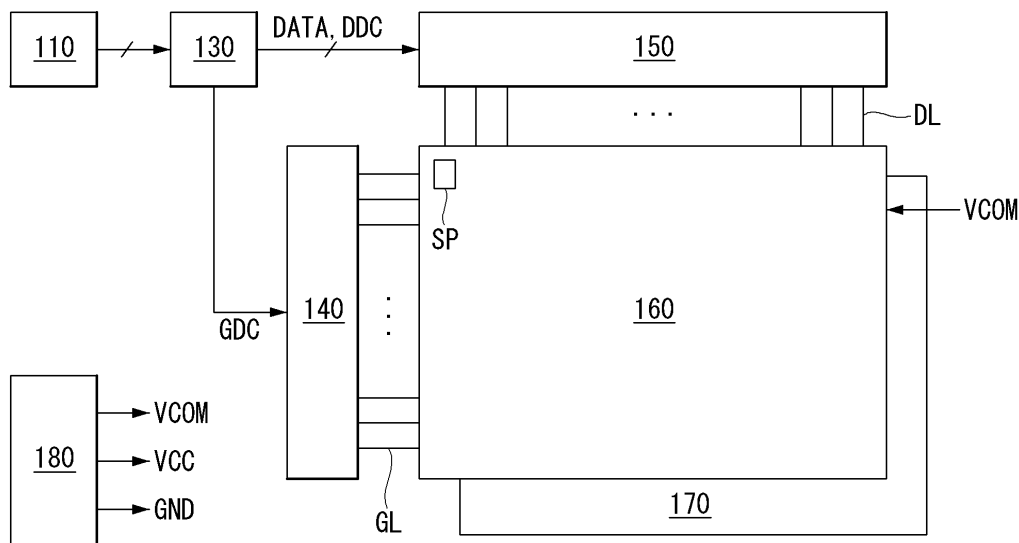
- [0071] 평탄화막(167) 상에 비개구부(NOPN)와 개구부(OPN)를 갖는 하프톤마스크(HMSK)를 얼라인하고 포토공정을 한다. 하프톤마스크(HMSK)의 비개구부(NOPN)는 스페이서가 형성되는 위치에 대응되고, 개구부(OPN)는 상부 및 하부 베리어부가 형성되는 위치에 대응된다. 비개구부(NOPN)는 0%의 빛 투과율을 갖는다. 개구부(OPN)는 빛 투과율이 점진적으로 가변되는 영역(예: 30%, 50%, 80% 등의 빛 투과율)과 100%의 빛 투과율을 갖는 영역으로 구분된다. 즉, 개구부(OPN)는 빛 투과율이 점진적으로 향상되어 100%가 되는 영역을 갖는다.
- [0072] 위와 같이, 평탄화막(167) 상에 하프톤마스크(HMSK)를 얼라인하고 포토공정을 실시하면, 개구부(OPN)에 대응되는 영역에는 점진적으로 경사진 영역을 갖는 상부 및 하부 베리어부가 형성된다. 평탄화막(167)의 상부 및 하부 베리어부는 점진적으로 경사진 영역과 평탄한 영역을 가질 수 있다. 점진적으로 경사진 영역의 각도는 빛 투과율이 점진적으로 가변되는 영역에 대응하여 달라진다. 평탄한 영역은 스페이서가 맞는 표면영역 및 상부 및 하부 베리어부의 정상영역에 해당한다.
- [0073] 이상 본 발명은 액정패널에 개재된 스페이서가 외력에 의해 이동하게 되더라도 하부막이 손상되거나 액정 배향이 틀어지는 문제를 방지할 수 있다. 또한, 본 발명은 스페이서의 이동에 의한 빛샘을 방지하여 액정패널의 신뢰성을 향상함과 더불어 표시품질이 저하되는 문제를 방지할 수 있다. 또한, 본 발명은 스페이서의 이동에 따른 문제를 구조적으로 보완하면서도 셀갭 관리 항목을 단순화함과 더불어 액정 마진을 확보할 수 있다.
- [0074] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

**부호의 설명**

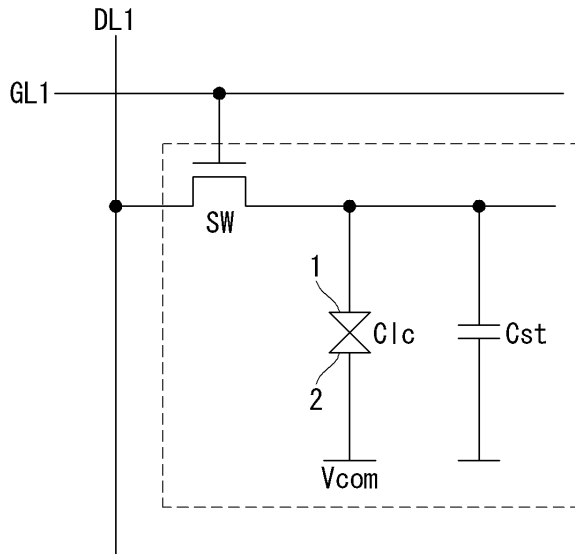
- [0075] 160: 액정패널 180: 전원공급부
- 190: 백라이트유닛 174, GCS: 스페이서
- 160b: 컬러필터기판 160a: 트랜지스터기판
- 167: 평탄화막 UDAM, LDAM: 베리어부

**도면**

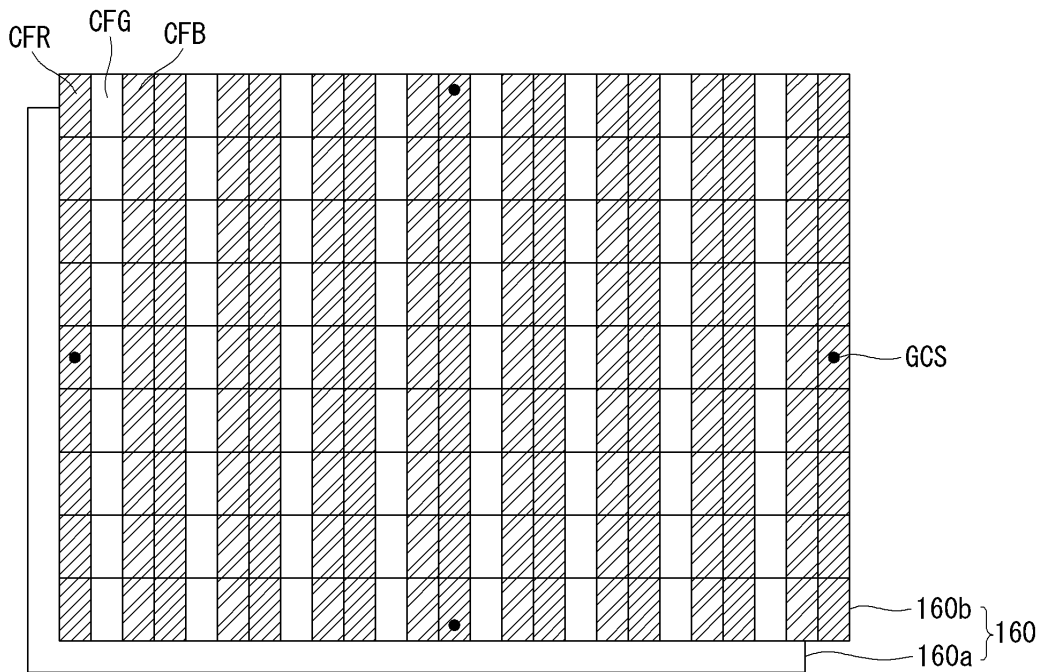
**도면1**



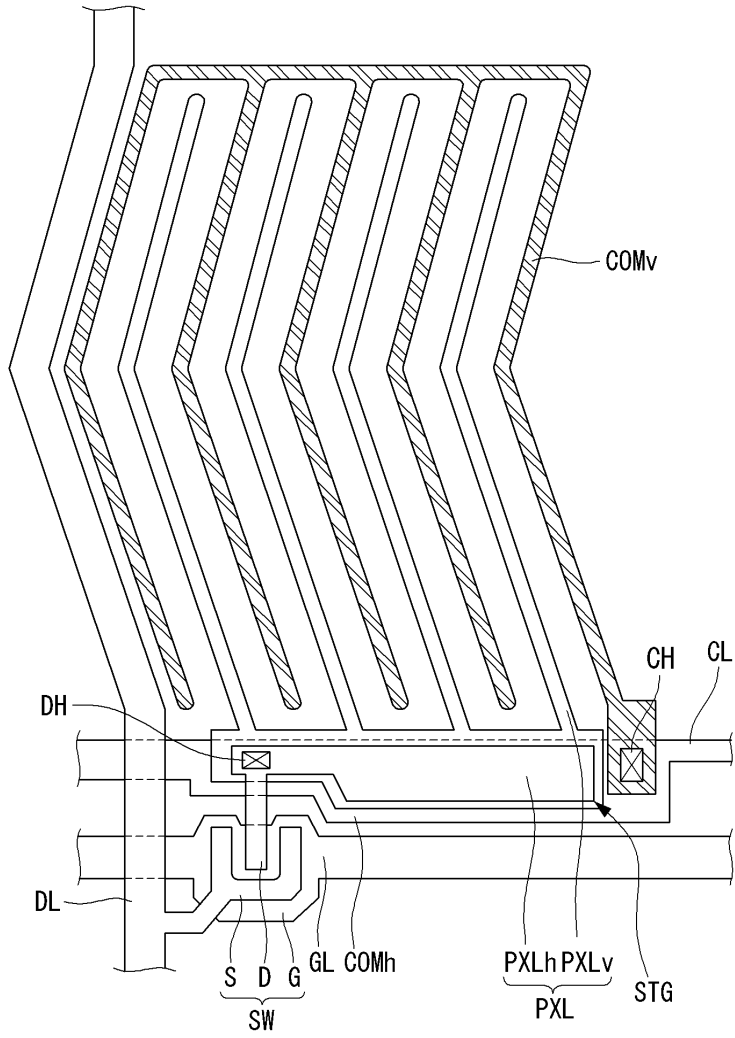
도면2



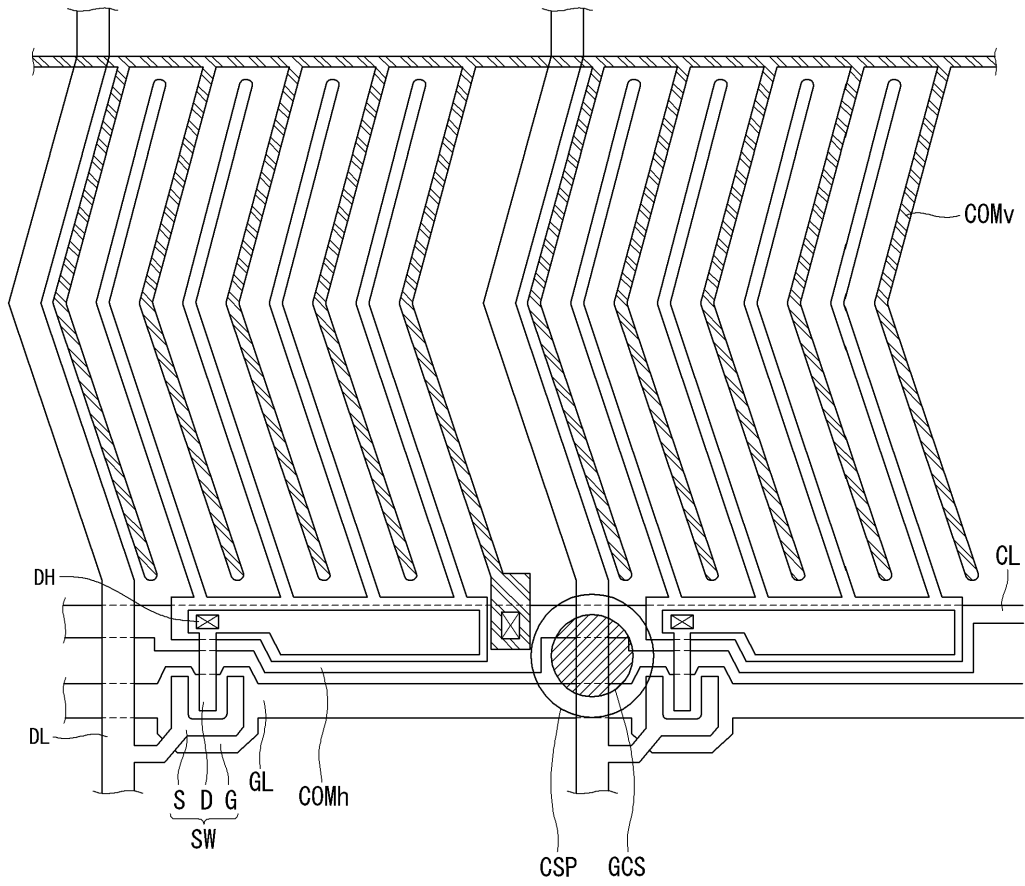
도면3



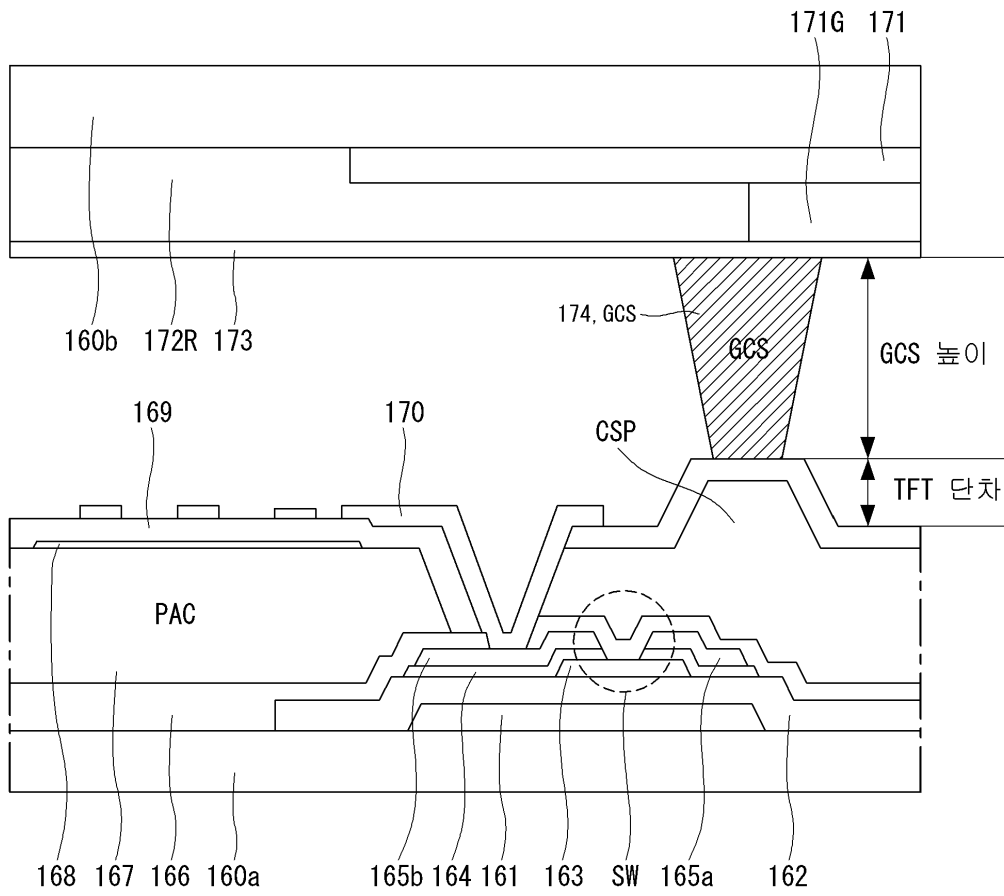
도면4



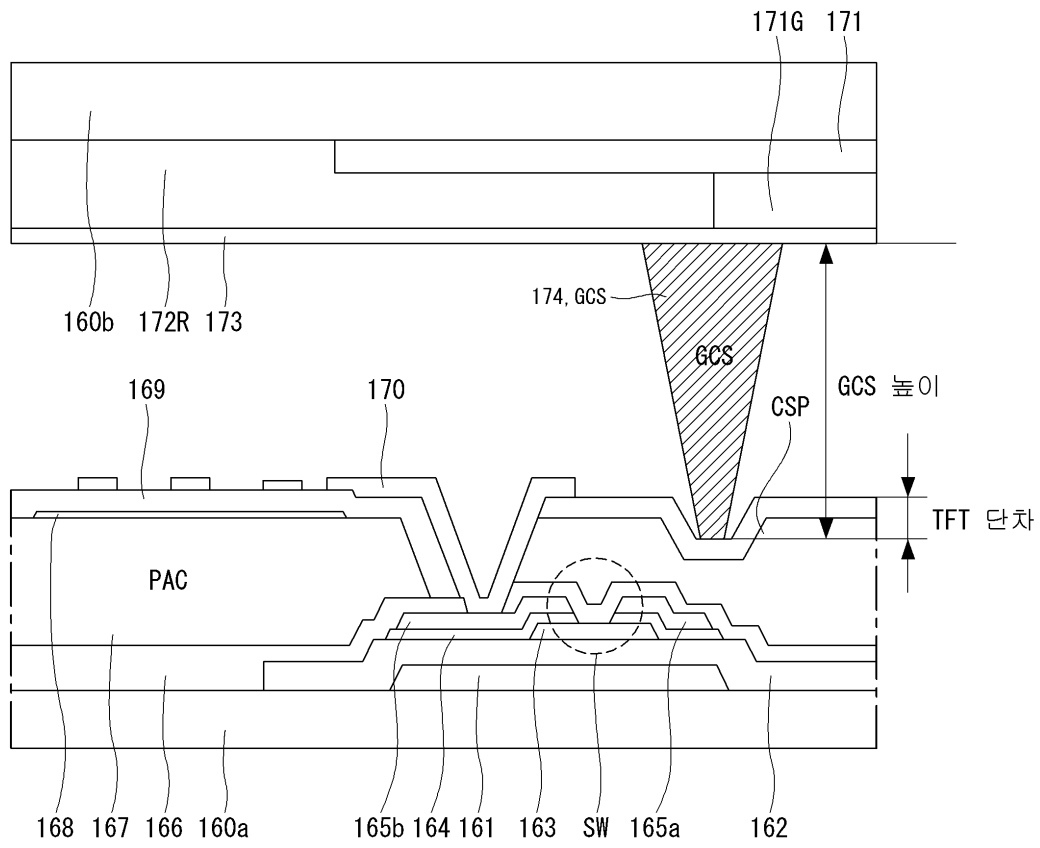
도면5



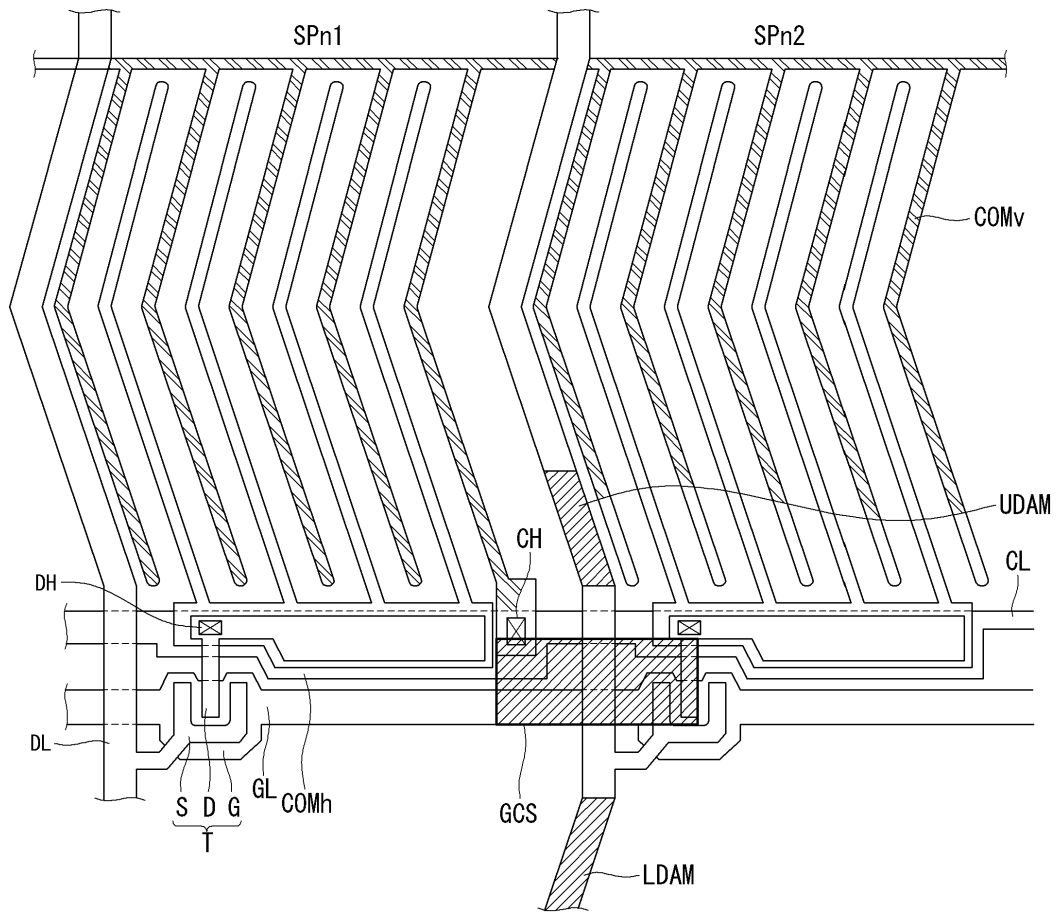
도면6



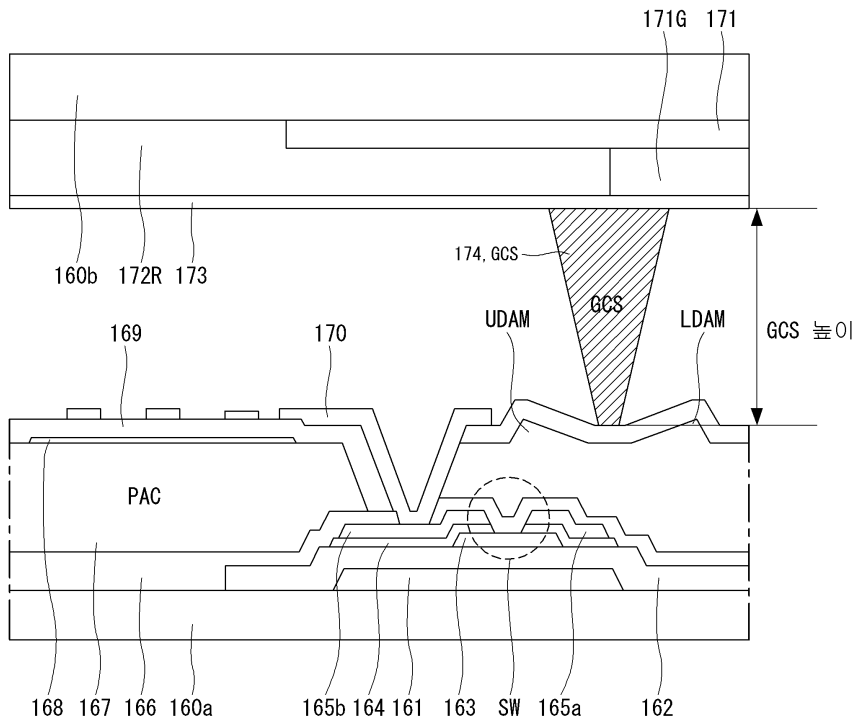
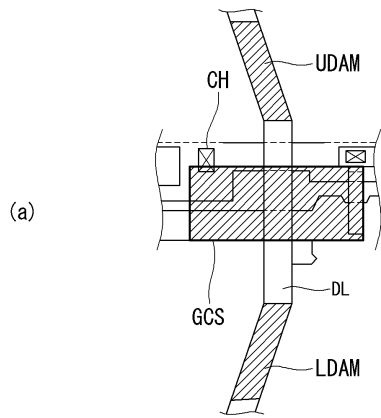
도면7



도면8

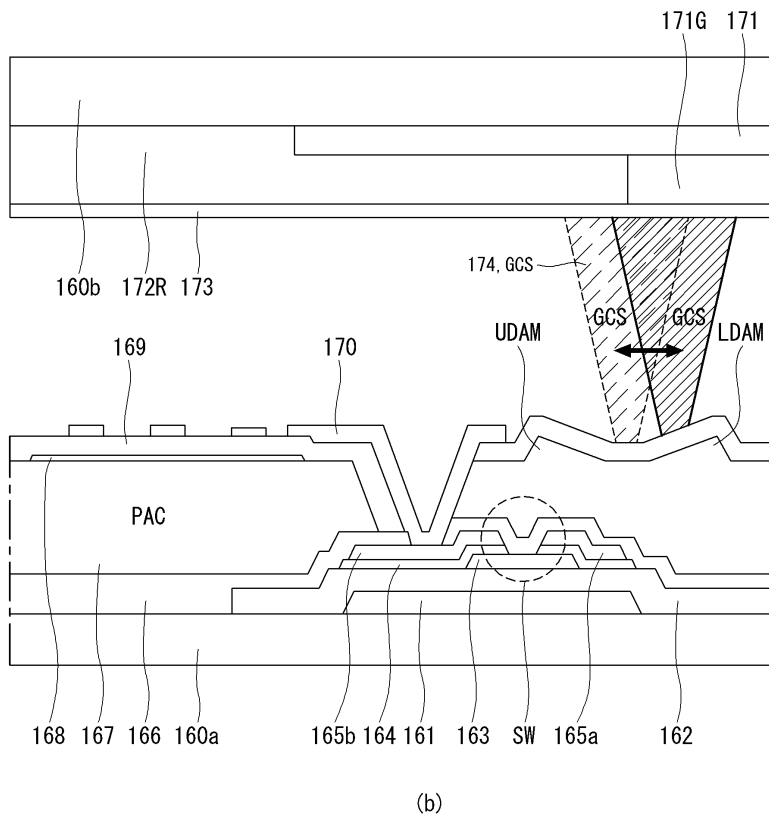
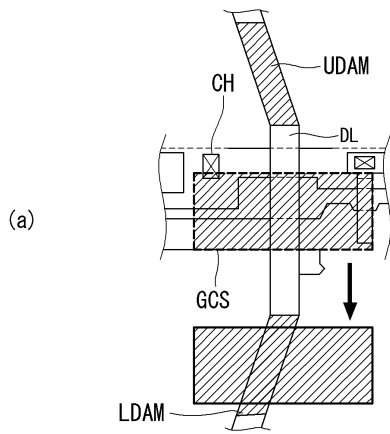


도면9

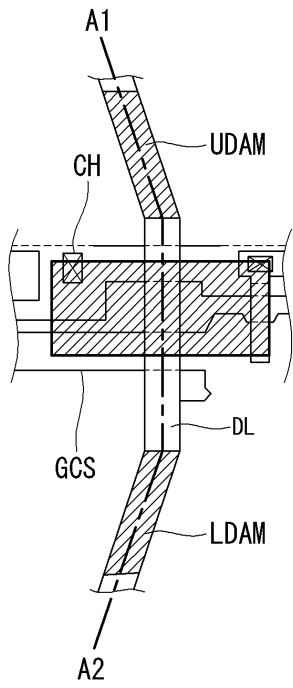


(b)

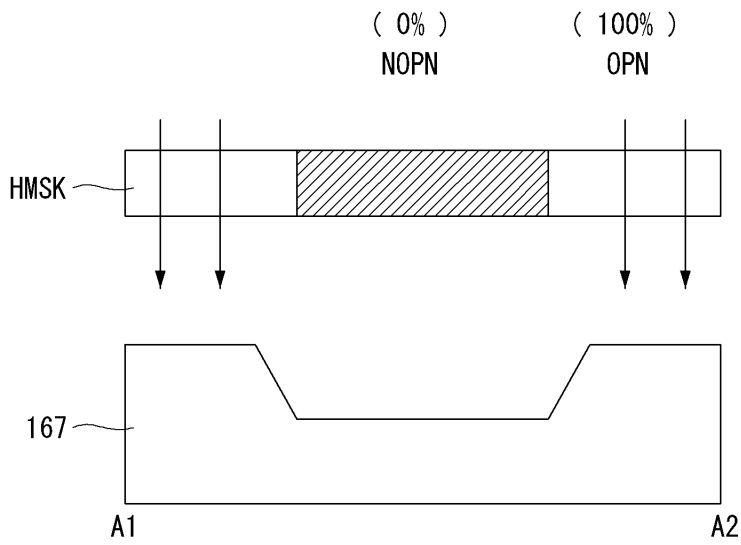
도면10



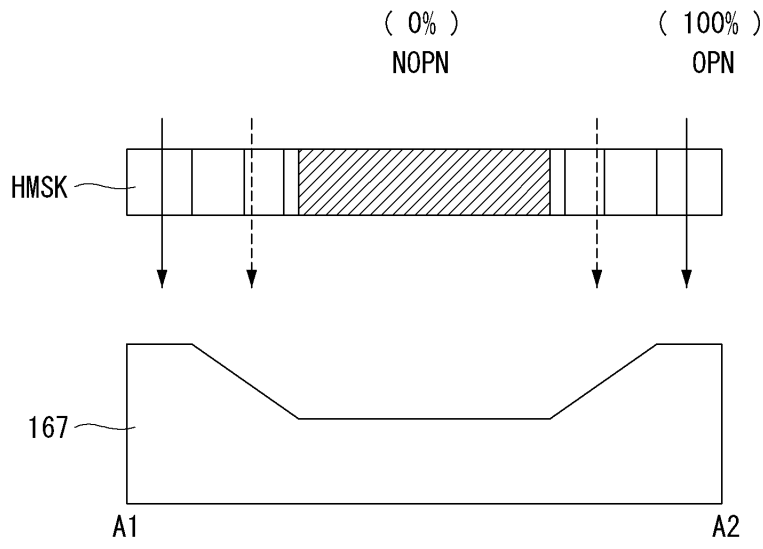
도면11



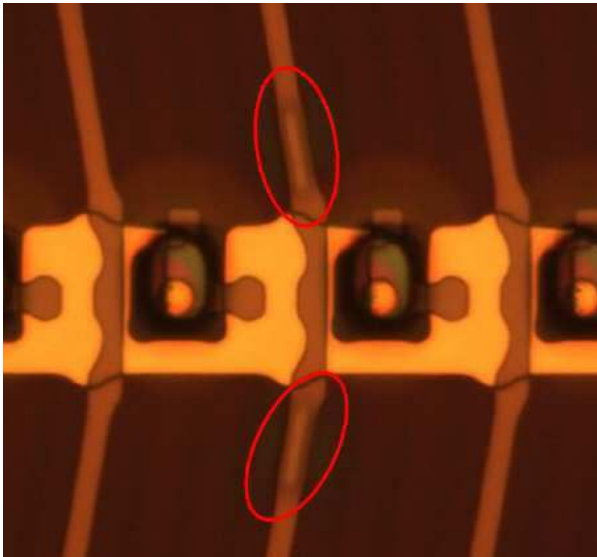
도면12



도면13



도면14



专利名称(译)	标题：液晶显示装置及其制造方法		
公开(公告)号	<a href="#">KR1020170019525A</a>	公开(公告)日	2017-02-22
申请号	KR1020150113049	申请日	2015-08-11
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KU SUN JU 구선주 YI SUNG CHOL 이승철 SEO YU JIN 서유진		
发明人	구선주 이승철 서유진		
IPC分类号	G02F1/1339 G02F1/1362		
CPC分类号	G02F1/1339 G02F1/136286		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明防止了即使当插入液晶面板中的间隔物被外力移动时下膜损坏或液晶取向变形的问题。为此，上屏障部分和下屏障部分从平坦化膜突出，并且相对于间隔物与上部和下部间隔开。

