



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0141346
(43) 공개일자 2016년12월08일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01)

(52) CPC특허분류
G09G 3/3677 (2013.01)

(21) 출원번호 10-2015-0076968

(22) 출원일자 2015년05월31일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

윤상필

경기도 고양시 일산동구 노루목로 100 호수마을2 단지아파트 203동 605호

(74) 대리인

특허법인인벤투스

전체 청구항 수 : 총 6 항

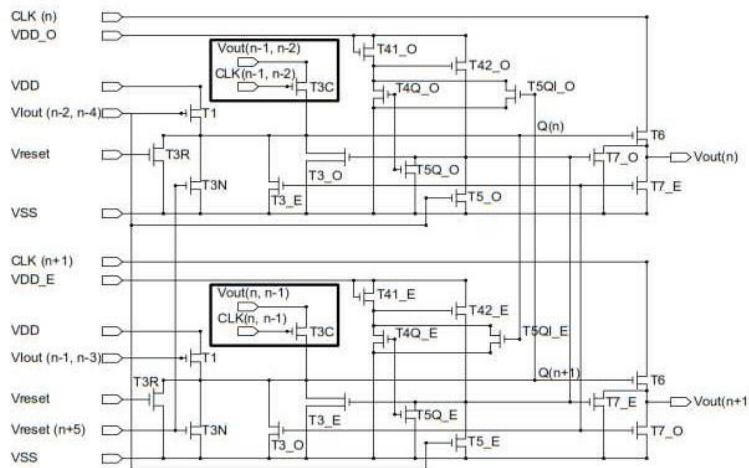
(54) 발명의 명칭 게이트 드라이버 및 이를 포함하는 액정표시장치

(57) 요약

본 발명은 GIP(gate in panel) 방식의 게이트 구동부의 게이트 구동 신호의 출력 오동작을 방지한 디스플레이 장치의 게이트 구동부에 관한 것이다.

본 발명의 일 실시예에 따른 디스플레이 장치의 게이트 구동부는, 디스플레이 패널에 형성된 복수의 게이트 라인에 게이트 구동 신호를 순차적으로 공급하는 복수의 스테이지를 포함하고, 상기 복수의 스테이지 각각은, Q 노드에 충전된 고전압을 게이트 라인으로 출력하는 풀업 TFT(thin film transistor); 오드 QB 노드의 전압에 의해 턴온되어 상기 게이트 라인의 전압을 그라운드로 방전시키는 오드 풀다운 TFT; 이븐 QB 노드의 전압에 의해 턴온되어 상기 게이트 라인의 전압을 그라운드로 방전시키는 이븐 풀다운 TFT; 및 n-1 클럭 신호에 동작하여 상기 Q 노드에 충전된 전압을 그라운드로 방전시키는 제1 안정화부를 포함한다.

대표도



명세서

청구범위

청구항 1

디스플레이 패널에 배치된 복수의 게이트 라인에 게이트 구동 신호를 순차적으로 공급하는 복수의 스테이지를 포함하고,

상기 복수의 스테이지 각각은,

Q 노드에 충전된 고전압을 게이트 라인으로 출력하는 풀업 TFT(thin film transistor);

오드(odd) QB 노드의 전압에 의해 턴온되어 상기 게이트 라인의 전압을 그라운드로 방전시키는 오드 풀다운 TFT;

이븐(even) QB 노드의 전압에 의해 턴온되어 상기 게이트 라인의 전압을 그라운드로 방전시키는 이븐 풀다운 TFT; 및

n-1 클럭 신호에 동작하여 상기 Q 노드에 충전된 전압을 그라운드로 방전시키는 제1 안정화부;를 포함하는 디스플레이 장치의 게이트 구동부.

청구항 2

제1 항에 있어서,

상기 제1 안정화부의 게이트 전극은 n-1 클럭 신호의 출력 단자와 접속되고,

상기 제1 안정화부의 소스 전극은 n-1 스테이지의 출력 단자와 접속되고,

상기 제1 안정화부의 드레인 전극은 상기 Q 노드에 접속된 디스플레이 장치의 게이트 구동부.

청구항 3

제1 항에 있어서,

n 클럭 신호에 동작하여 상기 게이트 라인의 전압을 그라운드로 방전시키는 제2 안정화부를 더 포함하는 디스플레이 장치의 게이트 구동부.

청구항 4

제3 항에 있어서,

상기 제2 안정화부의 게이트 전극과 소스 전극은 게이트 구동 신호의 출력 단자에 접속되고,

상기 제2 안정화부의 드레인 전극은 n 클럭 신호의 출력 단자에 접속된 디스플레이 장치의 게이트 구동부.

청구항 5

제1 항에 있어서,

n+4 클럭 신호에 동작하여

상기 오드 풀다운 TFT 및 상기 이븐 풀다운 TFT의 출력을 그라운드로 방전시키는 제3 안정화부를 더 포함하는 디스플레이 장치의 게이트 구동부.

청구항 6

제5 항에 있어서,

상기 제3 안정화부의 게이트 전극은 n-4 클럭 신호의 출력 단자와 접속되고,

상기 제3 안정화부의 소스 전극은 그라운드와 접속되고,

상기 제3 안정화부의 드레인 전극은 상기 오드 풀다운 TFT 및 상기 이븐 풀다운 TFT의 출력 단자와 접속된 디스플레이 장치의 게이트 구동부.

발명의 설명

기술 분야

[0001] 본 발명은 게이트 드라이버 및 이를 포함하는 액정표시장치에 관한 것으로, 특히 디스플레이 패널에 박막트랜지스터로 구성되어 화소에 게이트 구동신호를 공급하는 GIP(Gate-In-Panel) 방식의 게이트 드라이버 및 이를 포함하는 액정표시장치에 관한 것이다.

배경 기술

[0002] 이동통신 단말기, 노트북 컴퓨터와 같은 각종 휴대용 전자기기가 발전함에 따라 이에 적용할 수 있는 평판 디스플레이 장치(Flat Panel Display Device)에 대한 요구가 점차 증대되고 있다.

[0003] 평판 디스플레이 장치로는 디스플레이 장치(LCD: Liquid Crystal Display apparatus), 플라즈마 디스플레이 패널(PDP: Plasma Display Panel), 전계 방출 디스플레이 장치(FED: Field Emission Display apparatus), 유기발광 다이오드 디스플레이 장치(OLED: Organic Light Emitting Diode Display apparatus) 등이 연구되고 있다.

[0004] 최근에는, 디스플레이 패널의 표시 영역의 각 픽셀에 박막트랜지스터(TFT: thin film transistor)를 형성함과 아울러, 비표시 영역에 게이트 드라이버의 회로를 형성하여 게이트 드라이버를 디스플레이 패널의 TFT 어레이 기판에 내장하는 GIP(Gate-In-Panel) 방식이 적용되고 있다.

[0005] GIP 방식의 게이트 드라이버의 각 스테이지(채널)에는 복수의 트랜지스터(TFT)를 포함하여 구성되어 고전위 구동 전압(VGH) 또는 저전위 구동 전압(VGL) 레벨의 게이트 구동 신호(Vout, 스캔 신호)를 게이트 라인에 공급한다. 이를 위해서, 게이트 드라이버는 다수의 트랜지스터를 포함하는 복수의 스테이지를 포함하고, 각 스테이지의 동작에 따라 게이트 구동 신호를 순차적으로 출력한다. 각 스테이지의 출력 단자에는 고전위 구동 전압(VGH)을 출력시키기 위한 풀업(Pull-Up) TFT와 저전위 구동 전압(VGL)을 출력시키기 위한 풀다운(Pull-Down) TFT가 출력 단자에 접속된다. 게이트 드라이버를 구성하는 TFT들은 표시 패널에 형성된 각 픽셀의 TFT에 스캔신호를 공급하는 역할을 한다. 따라서, 이동도, 누설 전류 등과 같은 기본적인 TFT의 특성뿐만 아니라, 장기간 수명을 유지할 수 있는 내구성 및 안정적으로 동작하는 전기적 신뢰성이 매우 중요하다.

[0006] 게이트 드라이버를 구동함에 있어서, 각 스테이지에는 자신의 타이밍에 맞추어 게이트 파형을 생성 후, 게이트 라인을 저전위 구동 전압(VGL) 레벨로 유지하기 위해, Q-노드(Q-Node)를 방전시키는 TFT와 게이트 라인을 저전위 구동 전압(VGL) 상태로 잡아주는 TFT가 동작한다. 이와 같은 TFT들을 턴온시키는 QB노드(QB-Node)의 전압은 특정 주기(frame ~ 수일)로 오드(odd) VDD(VDD_0) 및 이븐(even) VDD (VDD_E) 신호를 반전하여 공급하도록 설정된 TFT들의 구동에 의해 형성된다.

[0007] 하지만 게이트 드라이버가 장시간 구동 시에는 상술한 TFT들의 열화로 인해 QB-노드(QB-Node)의 전압이 감소하여 Q-노드(Q-Node)를 방전시키도록 구성된 TFT와 게이트 라인을 저전위 구동 전압(VGL) 상태로 잡아주도록 구성된 TFT의 동작능력이 감소한다. 이로 인해서 게이트 라인상에 의도하지 않았던 스캔신호 또는 노이즈 신호가 발생하는 등 구동회로부의 신뢰성 마진이 감소하는 단점이 있다.

발명의 내용

해결하려는 과제

[0008] 본 발명은 앞에서 설명한 문제점을 해결하기 위한 것으로서, QB노드의 전압에 대응하여 동작하는 TFT들의 열화에 따른 게이트 드라이버의 오동작을 방지할 수 있는 디스플레이 장치의 게이트 드라이버를 제공하는 것을 기술적 과제로 한다.

[0009] 본 발명은 앞에서 설명한 문제점을 해결하기 위한 것으로서, 풀다운(Pull-Down) TFT로 흐르는 전류의 감소를 최소화하여 타이밍에 어긋나는 스캔신호의 출력 및 멀티 출력을 방지할 수 있는 디스플레이 장치의 게이트 드라이버를 제공하는 것을 기술적 과제로 한다.

[0010] 본 발명은 앞에서 설명한 문제점을 해결하기 위한 것으로서, 게이트 드라이버가 장시간 구동하여도 게이트 드라이버가 일정한 전압의 스캔신호를 출력될 수 있는 디스플레이 장치의 게이트 드라이버를 제공하는 것을 기술적

과제로 한다.

[0011] 위에서 언급된 본 발명의 기술적 과제 외에도, 본 발명의 다른 특징 및 이점들이 이하에서 기술되거나, 그러한 기술 및 설명으로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0012] 본 발명의 일 실시예에 따른 디스플레이 장치의 게이트 드라이버는, 디스플레이 패널에 배치된 복수의 게이트 라인에 스캔신호를 순차적으로 공급하는 복수의 스테이지를 포함하고, 상기 복수의 스테이지 각각은, Q 노드에 충전된 고전압을 게이트 라인으로 출력하는 풀업 TFT(thin film transistor); 오드 QB 노드의 전압에 의해 턴온되어 상기 게이트 라인의 전압을 그라운드로 방전시키는 오드 풀다운 TFT; 이븐 QB 노드의 전압에 의해 턴온되어 상기 게이트 라인의 전압을 그라운드로 방전시키는 이븐 풀다운 TFT; 및 n-1 클럭 신호에 동작하여 상기 Q 노드에 충전된 전압을 그라운드로 방전시키는 제1 안정화부를 포함한다.

발명의 효과

[0013] 본 발명의 일 실시예에 따른 디스플레이 장치의 게이트 드라이버는 QB노드(QB-Node)의 전압을 충/방전하는 TFT 들의 열화에 따른 게이트 드라이버의 감소시킬 수 있다.

[0014] 본 발명의 실시예에 따른 디스플레이 장치의 게이트 드라이버는 풀다운(Pull-Down) TFT로 흐르는 전류의 감소를 방지하여 스캔신호 출력의 오동작 및 멀티 출력을 방지할 수 있다.

[0015] 이 밖에도, 본 발명의 실시예들을 통해 본 발명의 또 다른 특징 및 이점들이 새롭게 파악될 수도 있을 것이다.

도면의 간단한 설명

[0016] 도 1은 본 발명의 일 실시예에 따른 게이트 드라이버를 포함하는 디스플레이 장치의 개략적인 구조를 나타내는 도면이다.

도 2는 본 발명의 일 실시예에 따른 GIP 방식의 게이트 드라이버 회로를 나타내는 도면이다.

도 3a는 본 발명의 일 실시예에 따른 디스플레이 장치의 게이트 드라이버의 회로를 나타내는 도면이다.

도 3b는 본 발명의 일 실시예에 따른 디스플레이 장치의 게이트 드라이버의 입력 파형 및 출력 파형을 나타내는 도면이다.

도 4a는 본 발명의 일 실시예에 따른 디스플레이 장치의 게이트 드라이버에 구비된 안정화부의 동작을 설명하는 도면이다.

도 4b는 본 발명의 일 실시예에 따른 안정화부를 포함한 게이트 드라이버의 입력 파형 및 출력 파형을 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0017] 이하, 도면을 참조하여 본 발명의 바람직한 실시예에 따른 게이트 드라이버 및 이를 포함하는 액정표시장치를 설명한다.

[0018] 도 1은 본 발명의 일 실시예에 따른 게이트 드라이버를 포함하는 디스플레이 장치의 전체구조를 나타내는 도면이다.

[0019] 도 1을 참조하면, 본 발명의 일 실시예에 따른 디스플레이 장치는 복수의 화소(P)가 형성되어 화상을 표시하는 표시영역(A/A) 및 표시영역(A/A)의 외곽부인 비표시영역(N/A)이 정의되는 디스플레이 패널(100)과, 각 구동부를 제어하는 생성하는 타이밍 제어부(110)와, 디스플레이 패널(100) 내에 실장되며 화소(P)에 스캔신호(Vout)를 공급하되, 특정 스테이지에 리셋신호를 공급하는 더미 스테이지를 포함하는 게이트 드라이버(120)와, 디스플레이 패널(100)과 연결되어 화소(P)에 데이터신호(Vdata)를 공급하는 데이터 드라이버(130)를 포함한다.

[0020] 디스플레이 패널(100)은 투명기판 상에 다수의 게이트배선(GL), 그리고 게이트배선(GL)과 수직하는 방향으로 다수의 데이터배선(DL)이 매트릭스 형태로 교차 배치되고, 그 교차지점에 화소(P)가 정의된다. 화소(P)는 다수개가 하나의 표시영역(A/A)을 이루게 되며, 각 화소(P)에는 스위칭 소자의 역할을 하는 적어도 하나의 박막트랜지

스터(T)가 형성되어 있으며 박막트랜지스터(T)에 의해 제어되는 액정캐패시터(LC)를 통해 화면을 표시하게 된다. 표시영역(A/A)의 외측으로는 화상이 표시되지 않고, 게이트 드라이버(120) 및 각종 배선이 연장되어 형성되는 비표시영역(N/A)이 정의된다.

- [0021] 전술한 박막트랜지스터(T)는 게이트 라인(GL)으로부터 하이레벨의 스캔신호(Vout)에 따라 턴-온(Turn-On)되며, 이에 동기하여 데이터 배선(DL)으로부터 공급되는 데이터신호(Vdata)를 화소에 공급한다. 디스플레이 패널이 액정캐패시터(LC)로 구성된 경우, 액정캐패시터(LC)는 액정물질을 사이에 두고 대면하는 공통전극과 박막트랜지스터(T)에 접속된 화소전극이 이루는 캐패시터 구조이다. 도시되어 있진 않지만, 액정캐패시터(LC)는 충전된 데이터신호(Vdata)가 다음 프레임까지 충전된 전압레벨을 안정적으로 유지하기 위해 저장캐패시터(미도시)와 더 연결될 수 있다.
- [0022] 각 화소(P)는 박막트랜지스터(T)를 통해 충전되는 데이터신호(Vdata)에 따라 액정물질의 배열 상태가 가변되어 액정캐패시터(LC)의 광 투과율이 조절됨으로써 계조를 구현하게 된다.
- [0023] 타이밍 제어부(110)는 외부로부터 인가되는 화상신호와, 소정의 타이밍 신호를 인가받아, 정렬된 화상신호(RGB)와 게이트 제어신호(GCS) 및 데이터 제어신호(DCS)를 생성하여 각 구동부(120, 130)에 공급한다. 또한, 타이밍 제어부(110)는 게이트 드라이버(120)의 제어를 위한 게이트 제어신호(GCS)뿐만 아니라, 게이트 드라이버(VG)의 구동을 위한 하나 이상의 클럭신호(CLK)를 생성 및 공급하며, 본 발명의 실시예에서는 클럭신호(CLK)가 8개인 8상 구조가 적용될 수 있다.
- [0024] 한편, 도시되어 있지 않지만 타이밍 제어부(110)는 외부의 시스템과 소정의 인터페이스를 통해 연결되어 그로부터 출력되는 영상관련 신호와 타이밍신호를 잡음없이 고속으로 수신하도록 설계되어 있다. 이러한 인터페이스로는 LVDS(Low Voltage Differential Signal)방식 또는 TTL(Transistor-Transistor Logic) 인터페이스 방식 등이 있다.
- [0025] 또한, 디스플레이 패널(100)의 적어도 하나의 측단의 비표시영역(N/A)상에는 복수의 박막트랜지스터로 이루어지는 게이트 드라이버(120)가 형성되며, 그 출력단은 표시영역(A/A)에 형성된 복수의 게이트배선(GL)과 전기적으로 연결되어 있다.
- [0026] 게이트 드라이버(120)는 타이밍 제어부(110)로부터 인가되는 게이트 제어신호(GCS)에 대응하여 디스플레이 패널(100)상에 배열된 게이트 라인(GL)에 스캔신호(Vout)를 인가하여 박막트랜지스터(T)를 턴-온(turn-on) 또는 턴-오프(turn-off)하며, 이에 따라 데이터 드라이버(140)로부터 공급되는 아날로그 파형의 데이터신호(Vdata)가 각 박막트랜지스터(T)에 접속된 액정캐패시터(LC)에 인가되도록 한다.
- [0027] 여기서, 전술한 게이트 제어신호(GCS)로는 게이트 스타트신호(Gate Start Pulse), 게이트 쉬프트 클럭(Gate Shift Clock) 및 게이트 출력 인에이블(Gate Output Enable)등이 있다.
- [0028] 또한, 스캔신호(Vout)는 하이레벨 및 로우레벨의 두 전압레벨을 가지며, 하나의 프레임(1 frame)동안 하이레벨로 1~4 수평기간(1~4H)마다 순차적으로 게이트 라인(GL)에 출력된다. 여기서, 인접한 게이트배선(GL)으로 출력되는 스캔신호(Vout)는 1~3 수평기간(1~3H)씩 중첩되게 되며, 데이터신호(Vdata)가 하나의 수평선상의 화소들에 대하여 1 수평기간(1H)씩 인가된다.
- [0029] 게이트 드라이버(120)는 스캔신호(Vout)간에 중첩기간이 존재하지 않도록 설정될 수도 있으나, 디스플레이 패널(100)이 고해상도의 화상을 구현하고 대면적으로 형성됨에 따라 게이트 라인(GL)의 충전시간의 부족으로 인하여 오작동되는 것을 방지하기 위해, 각 스캔신호(Vout)의 공급시간을 늘리고 서로 중첩시키는 형태로 설정되는 것이 바람직하다.
- [0030] 또한, 게이트 드라이버(120)는 하나가 두 개의 스캔신호(Vout)를 출력하는 QB노드(QB-Node) 공유의 더블출력구조(double output) 스테이지로 구성되며, 게이트 드라이버(120)에 포함된 쉬프트레지스터의 마지막 두 스테이지에 리셋신호를 각각 공급하는 두 개의 더미 스테이지(125)를 더 포함한다. 여기서, 더미 스테이지(125)는 다른 스테이지와 다르게 QB노드(QB-Node) 공유구조가 아닌, 하나의 스테이지가 하나의 신호만을 출력하는 싱글출력구조(single output)로서 구비되는 박막트랜지스터의 개수가 적으며 따라서 디스플레이 패널(100)의 세로방향으로의 폭이 종래보다 작게 구현되게 된다.
- [0031] 한편, 데이터 드라이버(130)는 타이밍 제어부(110)로부터 입력되는 데이터 제어신호(DCS)에 따라 입력되는 정렬된 화상신호(RGB)를 기준전압을 이용하여 아날로그 형태의 데이터신호(Vdata)로 변환한다. 데이터신호(Vdata)는 1 수평기간(1H)씩 래치되고, 스캔신호(Vout)에 대응하여 모든 데이터 배선(DL)을 통해 동시에 디스플레이 패널

(100)으로 출력된다.

- [0032] 상술한 데이터 제어신호(DCS)로는 소스 스타트 펄스(Source Start Pulse, SSP), 소스 쉬프트 클럭(Source Shift Clock, SSC) 및 소스 출력 인에이블(Source Output Enable, SOE) 등이 있다.
- [0033] 전술한 구조에 따라, 본 발명의 일 실시예에 따른 게이트 드라이버(120)를 포함하는 디스플레이 장치는 게이트 드라이버(120)의 마지막 스테이지와 연결되는 두 더미 스테이지를 더블 출력구조가 아닌 싱글출력구조로 구현함으로써, 박막트랜지스터의 개수를 최소화하고 이에 따라 디스플레이 패널의 세로방향으로의 폭을 줄일 수 있는 효과가 있다.
- [0034] 도 2는 본 발명의 일 실시예에 따른 게이트 드라이버(120)에 포함된 스테이지들의 연결구조를 계략적으로 나타낸 도면이고, 도 2b는 도 2a의 게이트 드라이버에 입출력되는 클럭신호 및 게이트 구동신호를 나타낸 도면이다.
- [0035] 도 2를 참조하면, 본 발명의 게이트 드라이버(120)는 소정의 클럭신호(CLK1 ~ CLK8)에 동기화되어 디스플레이 패널(100)에 형성된 게이트 라인(GL)에 스캔신호(Vout ~ Vout n)을 출력하는 복수의 스테이지(ST1 ~ STn)를 포함한다.
- [0036] 도면에서는 8개의 클럭신호(CLK1 ~ CLK8)에 동기화되어 구동하는 8상 구조 게이트 드라이버(120)의 일 예로서 본 발명의 일 실시예의 구성을 설명하고 있으나, 클럭신호가 8상이 아닌 2상, 4상 또는 6상 구조의 게이트 드라이버(120)에도 본 발명의 일 실시예에 따른 기술적 사상을 적용할 수 있다.
- [0037] 또한, 도시되어 있지는 않지만 각 스테이지들(ST1 ~ STn)에는 게이트 드라이버(120)를 구동하기 위한 통상의 전원전압(VDD) 및 접지전압(VSS)이 공급된다. 그리고, 각 스테이지들(ST1 ~ STn)은 하나의 스테이지내의 박막트랜지스터를 소정개 공유하고 QB노드(QB-node)를 우수 및 기수번째로 나누어 두 개의 출력단에 교번하여 하이레벨의 게이트 스캔신호(Vout(1) ~ Vout(n))을 출력하는 더블 출력구조로 구성된다.
- [0038] 제1 스테이지(ST1)에는 제1 및 제2 스타트신호(Vst1, Vst2)가 시작신호로서 입력되며, 또한 제1 및 제2 클럭신호(CLK1, CLK2)에 동기화되어 제1 및 제2 게이트 스캔신호(Vout(1), Vout(2))를 순차적으로 출력한다. 또한, 제1 스테이지(ST1)는 제n-1 스테이지(STn-1)의 제n-2 스캔신호(Vout(n-2))를 리셋신호로 입력받게 된다.
- [0039] 즉, 각 스테이지는 n-2단의 스테이지의 두번째 게이트 스캔신호를 리셋신호로 입력받아 로우레벨의 게이트 스캔신호를 출력하고, 게이트 스캔신호를 n+2 스테이지의 시작신호로 공급하게 된다.
- [0040] 그리고, n-1 스테이지(STn-1)는 n-3 및 n-2단 스테이지의 스캔신호(Vout(n-3), Vout(n-2))를 출력하고, n-2단 스테이지의 스캔신호(Vout(n-2))를 제1 스테이지(ST1)의 리셋신호 및 제1 더미 스테이지(DT1)의 시작신호로 공급하게 된다. 또한, 제n 스테이지(STn)는 n-1단 및 n단의 스캔신호(Vout(n), Vout(n-1))를 출력하고, n 단의 스캔신호(Vout(n))를 제2 스테이지(ST2)의 리셋신호 및 제2 더미 스테이지(DT2)의 시작신호로 공급하게 된다.
- [0041] 제1 및 제2 더미스테이지(DT1, DT2)는 각각 n-2 및 n단 스테이지의 스캔신호(Vout(n-2), Vout(n))를 시작신호로서 입력받아, n-1 스테이지 및 n 스테이지(STn-1, STn)에 제1 및 제2 리셋신호(rst1, rst2)를 출력한다. 또한 제1 및 제2 더미스테이지(DT1, DT2)는 제1 및 제2 스타트신호(Vst1, Vst2)를 리셋신호로서 입력받게 된다.
- [0042] 이러한 구조에 따라, 본 발명의 게이트 드라이버(120)는 제1 스테이지(ST1)가 스타트신호(Vst1, Vst2) 및 제1 및 제2 클럭신호(CLK1, CLK2)를 입력받아 4 수평기간(4H)동안 서로 3 수평기간(3H)의 중첩구간을 갖는 하이레벨의 제1 및 제2 게이트 스캔신호(Vout1, Vout2)를 출력하고, 이어서 제2 스테이지(ST2)가 하이레벨의 제3 및 제4 스캔신호(Vout3, Vout4)를 출력하는 구조이다. 여기서, 제1 및 제2 게이트 스캔신호(Vout1, Vout2)는 서로 3 수평기간(3H) 중첩되는 신호일 수 있다.
- [0043] 이러한 동작을 반복하여 n 스테이지(n ST)까지 스캔신호(Vout)가 출력되면 하나의 프레임에 대한 동작이 완료되며, 더미 스테이지의 제1 및 제2 리셋신호(rst1, rst2)가 출력되면, 다음 프레임이 시작된다.
- [0044] 더미부(125)는 하나의 스테이지가 하나의 출력신호를 갖는 싱글 출력구조이며, 따라서 종래보다 그 박막트랜지스터의 개수가 작으며 게이트 드라이버(120)의 전체 면적을 작게 설계할 수 있게 된다.
- [0045] 한편, 클럭신호(CLK1 ~ CLK8)에 동기하여 스캔신호(Vout(n-3) ~ Vout(n))가 출력되고, 각 스캔신호(Vout(n-3) ~ Vout(n))에 해당하는 수평라인의 데이터신호(Vdata)가 1 수평기간(1H)씩 출력됨에 따라 화상이 표시된다.
- [0046] 도 3은 본 발명의 게이트 드라이버의 일 스테이지에 대한 등가 회로도의 일 예를 나타낸 도면이다. 도 3을 참조하면, 본 발명의 게이트 드라이버에 포함되는 일 스테이지(STn)는 n단 스테이지의 스캔신호(Vout(n))를 출력하

는 우수단(ODD) 및 n+1단 스테이지의 스캔신호(Vout(n+1))를 출력하는 기수단(EVEN)으로 이루어진다.

- [0047] 특히, 예시된 스테이지(STn)는 QB_0노드(QB_0) 및 QB_E노드(QB_E)가 서로 공유되어 박막트랜지스터의 개수가 저감된 더블 출력 구조로서, 우수단(ODD) 및 기수단(EVEN)에 구비되는 박막트랜지스터의 개수가 각각 15개씩 총 30개가 된다. 또한, 우수단(ODD) 및 기수단(EVEN)은 공유되는 QB_0노드(QB_0) 및 QB_E 노드(QB_E)의 연결구조 이외에 서로 동일한 구조를 갖는다.
- [0048] 우수단(ODD)의 제1 TFT(T1)는 n-2단 스테이지의 스캔신호(Vout(n-2))를 스타트신호로 인가 받아 턴-온되어 전원 전압(VDD)으로 우수단(ODD) Q노드(Q-node)를 충전한다. 기수단(EVEN)의 제1 TFT(T1)는 n-1단 스테이지의 스캔신호(Vout(n-1))를 스타트신호로 인가받아 턴-온되어 전원전압(VDD)으로 기수단(EVEN)의 Q노드(Q-node)를 충전한다.
- [0049] 제2 TFT(T3N)는 n+5단 스테이지의 스캔신호(Vout(n+5))를 스타트신호로 인가 받아 Q노드(Q-node)를 접지전압(VSS)으로 방전시킨다.
- [0050] 제3_Odd TFT(T3_0)는 QB_0노드(QB_0)가 충전됨에 따라 도통되어 Q노드(Q-Node)를 방전시키고, 제3_Even TFT(T3_E)는 QB_E노드(QB_E)가 충전됨에 따라 도통되어 Q노드(Q-Node)를 방전시킨다. 즉, 제3_Odd TFT(T3_0) 및 제3_Even TFT(T3_E)는 QB-Node 전압을 통해서 GIP 회로부 전체의 Q-Node 전하를 방전시키는 역할을 한다.
- [0051] 제T41_0 TFT(T41_0)는 우수 전원전압(VDD_0) 및 기수 전원전압(VDD_E)이 교번으로 하이레벨로 천이됨에 따라, 제T42_0 및 제T42_E TFT(T42_0, T42_E)를 턴-온시킨다. 또한, 제T42_0 및 제T42_E TFT(T42_0, T42_E)는 하이레벨의 우수 전원전압(VDD_0) 또는 기수 전원전압(VDD_E)을 통해 QB_0노드(QB_0) 또는 QB_E노드(QB_E)를 충전하게 된다. 또한, 제T4Q_0 및 제T4Q_E TFT(T4Q_0, T4Q_E)는 우수단(ODD)의 Q노드(Q-NODE)가 충전되면 기수단(EVEN)의 Q노드(Q-NODE)를 방전시키거나, 또는 기수단(EVEN)의 Q노드(Q-NODE)가 충전되면 우수단(ODD)의 Q노드(Q-NODE)를 방전시키는 역할을 한다.
- [0052] 제5 TFT(T5_0, T5_E)는 제1 스타트신호(Vst1)가 인가됨에 따라, QB_0노드(QB_0) 및 QB_E노드(QB_E)를 접지전압(VSS)으로 방전시키고, 제5Q TFT(T5Q_0, T5Q_E)는 우수단(ODD)의 Q노드(Q-NODE) 또는 기수단(EVEN)의 Q노드(Q-NODE)가 충전됨에 따라, QB_0노드(QB_0) 또는 QB_E노드(QB_E)를 방전시키며, 제5QI TFT(T5QI_0, T5QI_E)는 우수단(ODD)의 Q노드(Q-NODE) 또는 기수단(EVEN)의 Q노드(Q-NODE)가 충전됨에 따라, 제4 TFT(T4)를 턴-오프하는 역할을 한다.
- [0053] 우수단(ODD) 제6 TFT(T6)는 풀-업 버퍼(Pull-Up Buffer)의 기능을 하며, 우수단(ODD) Q노드(Q-Node)가 충전됨에 따라 턴-온되어 하이레벨의 제1 클럭신호(CLK1)를 n단의 스캔신호(Vout(n))로서 출력한다. 또한, 기수단(EVEN) 제6 TFT(T6)는 기수단(EVEN) Q노드(Q-Node)가 충전됨에 따라 턴-온되어 하이레벨의 제2 클럭신호(CLK 2)를 n+1단 스테이지의 스캔신호(Vout(n+1))로서 출력한다.
- [0054] 제T7_0 TFT(T7_0)는 풀-다운 버퍼(Pull-Up Buffer)의 기능을 하며, QB_0노드(QB_0)가 충전됨에 따라, n스테이지단의 스캔신호(Vout(n))를 로우레벨로 출력되도록 하고, 동시에 n+1단 스테이지의 스캔신호(Vout(n+1))가 로우레벨을 유지하도록 한다. 또한, 제T7_E TFT(T7_E)는 QB_E노드(QB_E)가 충전됨에 따라, n단 스테이지의 스캔신호(Vout(n))를 로우레벨을 유지하도록 하고, 동시에 n+1단 스테이지의 스캔신호(Vout(n+1))가 로우레벨로 출력되도록 한다.
- [0055] 전술한 구조에 따른 게이트 드라이버(120)의 스테이지의 구동을 설명하면 다음과 같다.
- [0056] 먼저, 하이레벨의 n-2단 스테이지의 스캔신호(Vout(n-2))가 입력됨에 따라, 우수단(ODD)의 제1 TFT(T1_0)가 턴-온 되어 우수단(ODD)의 Q노드(Q-NODE)가 하이레벨로 충전되고, 제4Q TFT(T4Q_0) 및 제5Q TFT(T5Q_0)가 턴-온되어 QB_0노드(QB_0) 및 QB_E노드(QB_E)가 방전된다. 이때, 우수 전원전압(VDD_0)은 하이레벨 상태로서 제T41_0 TFT(T41_0)는 다이오드 상태이나, 제T4Q_0 TFT(T4Q_0)에 의해 전류가 흐르게 되어 제T42_0 및 제T42_E TFT(T42_0, T42_E)는 턴-오프 상태를 유지하게 된다.
- [0057] 다음으로, 하이레벨의 제1 클럭신호(CLK1)가 인가되면 우수단(ODD)의 제T6 TFT(T6)의 게이트-소스전압이 변동되어 하이레벨의 n단 스테이지의 스캔신호(Vout(n))가 출력되게 된다.
- [0058] 이어서, 하이레벨의 n-1단 스테이지의 스캔신호(Vout(n-1))가 입력됨에 따라, 기수단(EVEN)의 제1 TFT(T1)가 턴-온 되어 기수단(EVEN)의 Q노드(Q-NODE)가 하이레벨로 충전되고, 제T4Q_E TFT(T4Q_E) 및 제5Q_E TFT(T5Q_E)는 턴-온되어 QB_0노드(QB_0) 및 QB_E노드(QB_E)는 방전상태가 유지된다. 다음으로 하이레벨의 제2 클럭신호(CLK 2)가 인가되면 기수단(EVEN)의 제6 TFT(T6)의 게이트-소스전압이 변동되어 하이레벨의 n+1단 스테이지의 스캔신

호(Vout(n+1))가 출력되게 된다. 여기서, n-1단 스테이지의 스캔신호(Vout(n-1)) 및 클럭신호(CLK n+1)는 n-2단 스테이지의 스캔신호(Vout(n-2)) 및 클럭신호(CLK n)와 1 수평기간(1H)기간이 지연되어 4 수평기간(4H)동안 하이레벨로 천이되는 신호로서, 결국 n단 스테이지의 스캔신호(Vout(n))와 n+1단 스테이지의 스캔신호(Vout(n+1))는 3 수평기간(3H)이 중첩되도록 출력된다.

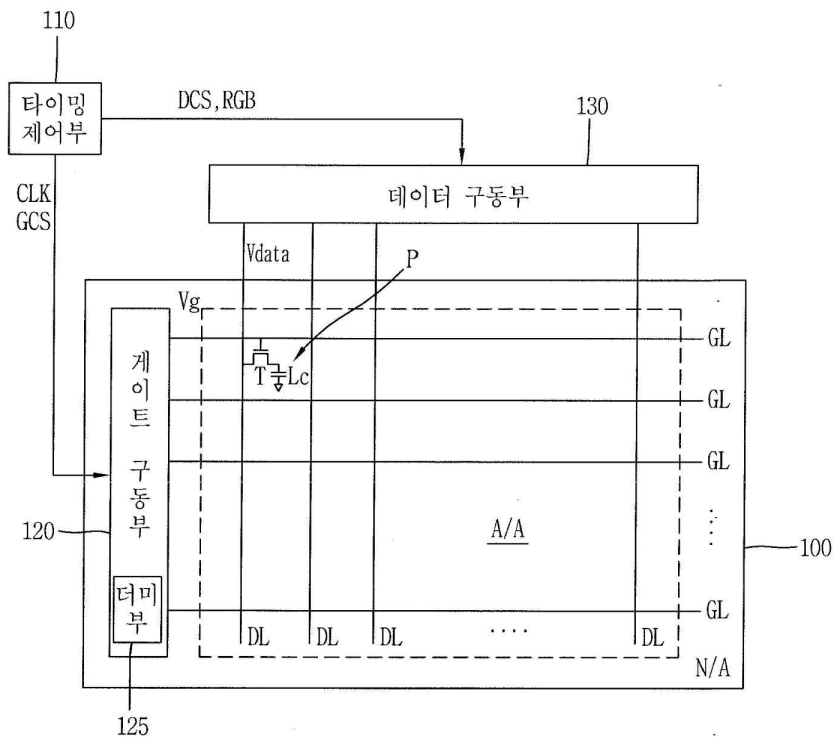
- [0059] 3수평기간(3H)이 경과되면, 도시되어 있지는 않지만, n+5단 스테이지의 스캔신호(Vout(n+5))가 스타트 신호로서 제2 TFT(T3N)에 인가되며, 우수단(ODD)의 Q노드(Q-NODE) 및 기수단(EVEN)의 Q노드(Q-NODE)는 방전된다. 이때, 우수 전원전압(VDD_0)은 하이레벨 상태이고, 제T5QI TFT(T5QI_0, T5QI_E)는 턴-오프 되므로, 제T42_0 TFT(T42_0)가 턴-온되어 QB_0 노드(QB_0)를 우수 전원전압(VDD_0)으로 충전하게 된다.
- [0060] 이에 따라, 제T7_0 TFT(T7_0)가 턴-온되어 n단 스테이지의 스캔신호(Vout(n)) 및 n+1단 스테이지의 스캔신호(Vout(n+1))를 순차적으로 로우레벨로 천이시키게 된다. 상기의 제T7_0 TFT(T7_0) 및 제T7_E TFT(T7_E)는 우수 전원전압(VDD_0) 및 기수 전원전압(VDD_E)에 의해 그 턴-온 및 턴-오프 시점이 결정된다.
- [0061] 상술하였듯이 제T41_0 TFT, 제T41_E TFT, 제T42_0 TFT 및 제T42_E TFT는 VDD_0 전압과 VDD_E 전압이 High일때 QB-node에 전하를 충전시키는 역할을 한다. 게이트 드라이버가 장기간 구동하여 제T41_0, 제T41_E, 제T42_0 와 제T42_E TFT들이 열화됨에 따라, 이 TFT들의 문턱 전압(threshold voltage)이 양(positive)의 방향으로 변동(shift)된다. 이 경우, QB-node (QB_0, QB_E)의 전압의 감소하게 되며, (QB_0, QB_E)의 전압에 의해 동작하는 T3_0, T7_0, T3_E 및 T7_E가 정상적으로 동작하지 않게 된다. 특히 T3_0, T7_0, T3_E 및 T7_E가 스테이지의 출력단자를 접지전압(VSS)으로 홀드하지 못하게 되면 게이트 라인 상에 노이즈가 출력될 수 있다. 예를 들어, 제n 스테이지가 구동되어 n단 스테이지의 스캔신호(Vout(n))가 출력된 후에도 제n 스테이지에는 n 클럭 신호가(CLK n)가 지속적으로 공급된다. 상술하였듯이, T3_0, T7_0, T3_E 및 T7_E TFT가 스테이지의 출력단자를 접지전압(VSS)으로 완전히 방전시키지 못하게 될 경우에 스테이지로부터 스캔신호의 출력 후에도 계속해서 공급되는 클럭신호가 Q-Node에 노이즈로 작용하여 Q-Node의 전압이 흔들리는 Q-Node Ripple로 인해 Q-Node에 잔류하는 전압이 출력단자를 통해 게이트 라인으로 출력될 수 있으며, 이는 결국 디스플레이 패널의 화질 불량으로 감지될 수 있다.
- [0062] 이러한 TFT들의 열화에 따른 게이트 드라이버의 신뢰성 감소에 대응할 수 있도록, 게이트 드라이버(100)의 각 스테이지에는 안정화부(T3C)가 추가로 구비된다. 안정화부(T3C)는 게이트 드라이버(100)의 박막 트랜지스터들이 열화되더라도 각 스테이지의 출력단에서 원래 의도하지 않았던 타이밍에 스캔신호 또는 노이즈가 출력되는 것을 최소화한다.
- [0063] 도 4a 및 도 4b는 본 발명의 실시 예에 따른 디스플레이 장치의 게이트 드라이버(100)의 안정화부(T3C)의 동작을 설명하는 도면이다.
- [0064] 도 4a와 도4b를 참조하면, 안정화부(T3C)의 게이트 전극은 n-1 클럭 신호의 출력 단자와 접속되고, 소스 전극은 n-1 스테이지의 출력 단자와 접속되고, 드레인 전극은 상기 Q 노드에 접속되어 있다.
- [0065] 안정화부(T3C)는 n-1 클럭 신호(CLK n-1)에 의해 턴온되고, Q 노드(Q node)에 충전된 전하를 n-1 단의 스테이지의 출력 단자로 방전시킨다. 이때, n-1 단의 스테이지의 출력 단자는 접지전압(VSS)로 유지되고 있어 Q 노드(Q-node)에 충전된 전하를 VSS 전압 레벨로 방전시킨다.
- [0066] T1 TFT가 n-4단의 스테이지의 스캔신호(Vout(n-4))를 스타트 신호로 입력받아 Q 노드(Q node)가 VDD 전압에 의해 충전된 상태이고, 안정화부(T3C)는 n-1 클럭 신호(CLK n-1)에 의해 턴온되어 Q 노드(Q-node)에 충전된 전하를 VSS 전압 레벨로 방전시킨다.
- [0067] 본 발명의 일 실시예에 따른 디스플레이 장치의 게이트 드라이버(100)는 고해상도(UHD/UHD) 급 디스플레이 장치에 적용 시 장시간 화면 시청에도 구동의 안정성을 유지할 수 있다.
- [0068] 본 발명이 속하는 기술분야의 당 업자는 상술한 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로 이해해야만 한다.
- [0069] 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

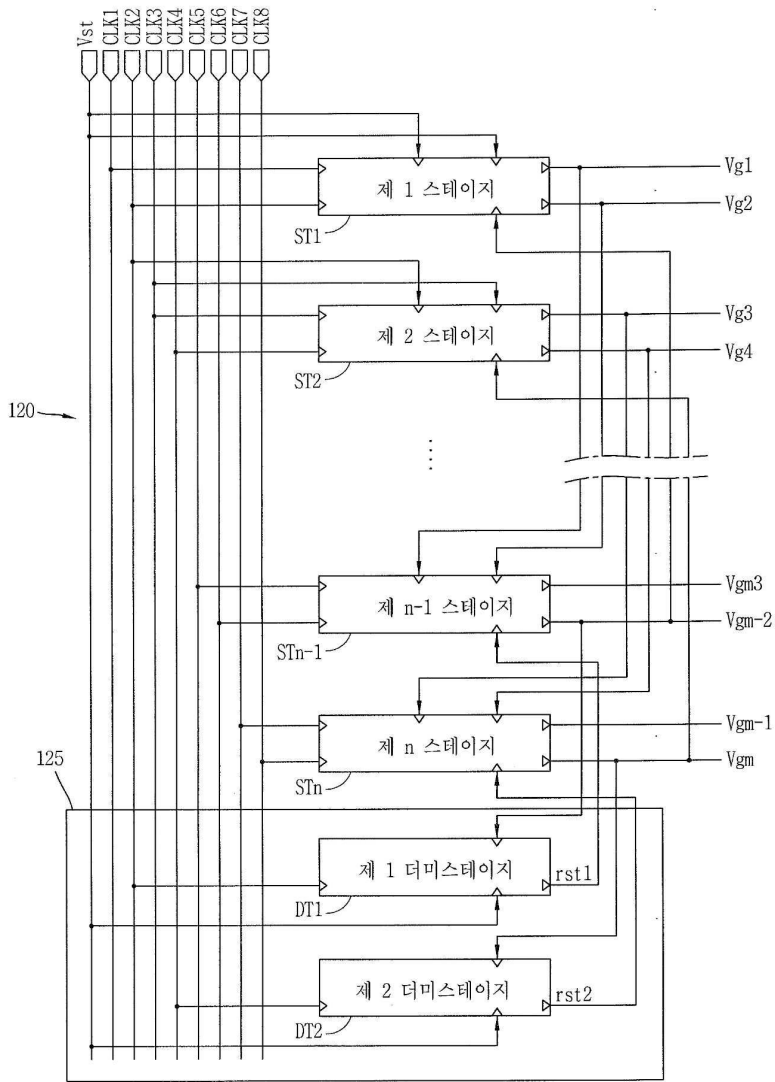
- [0070] 100: 디스플레이 패널
- 110: 타이밍 제어부
- 120: 게이트 드라이버
- 130: 데이터 구동부
- 125: 터미부

도면

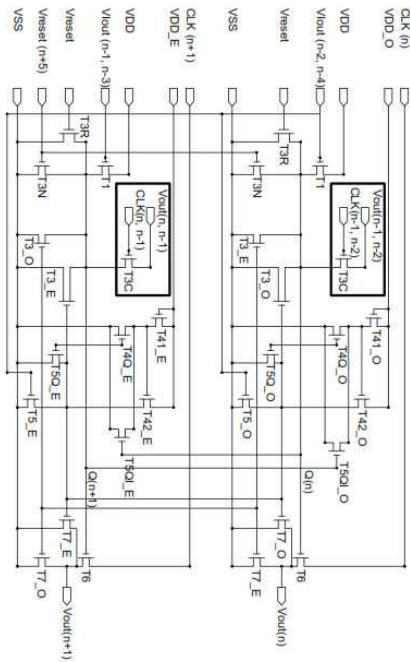
도면1



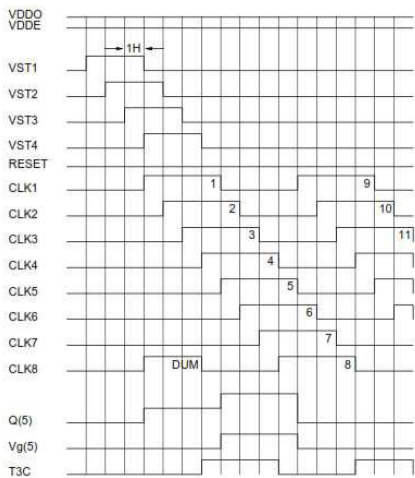
도면2



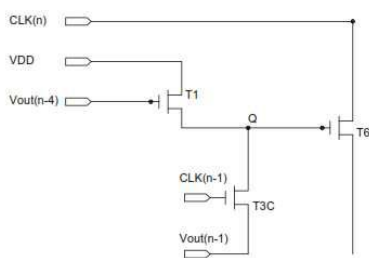
도면3a



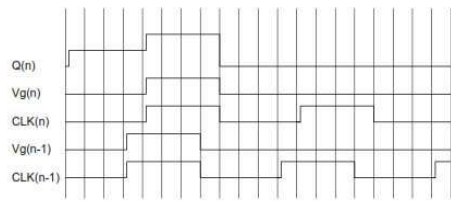
도면3b



도면4a



도면4b



| | | | |
|----------------|----------------------------------|---------|------------|
| 专利名称(译) | 标题：栅极驱动器和包括其的液晶显示器件 | | |
| 公开(公告)号 | KR1020160141346A | 公开(公告)日 | 2016-12-08 |
| 申请号 | KR1020150076968 | 申请日 | 2015-05-31 |
| [标]申请(专利权)人(译) | 乐金显示有限公司 | | |
| 申请(专利权)人(译) | LG显示器有限公司 | | |
| 当前申请(专利权)人(译) | LG显示器有限公司 | | |
| [标]发明人 | YOON SANG PIL 윤상필 | | |
| 发明人 | 윤상필 | | |
| IPC分类号 | G09G3/36 | | |
| CPC分类号 | G09G3/3677 | | |
| 外部链接 | Espacenet | | |

摘要(译)

显示装置的栅极驱动单元技术领域本发明涉及一种显示装置的栅极驱动单元，其防止GIP（面板内栅极）方法的栅极驱动单元的栅极驱动信号的输出故障。根据本发明实施例的显示装置的栅极驱动器包括多个级，用于顺序地将栅极驱动信号提供给形成在显示面板上的多条栅极线，一种上拉TFT（薄膜晶体管），用于将高电压输出到栅极线；奇数下拉TFT，由奇数QB节点的电压导通，并将栅极线的电压放电到地；一个偶数下拉TFT，它由偶数QB节点的电压导通，以将栅极线的电压放电到地；并且第一稳定器用于操作n-1时钟信号以将Q节点中充电的电压放电到地。

