



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년08월29일
(11) 등록번호 10-2015848
(24) 등록일자 2019년08월23일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G02F 1/133 (2006.01)
(21) 출원번호 10-2012-0134744
(22) 출원일자 2012년11월26일
심사청구일자 2017년11월16일
(65) 공개번호 10-2014-0067472
(43) 공개일자 2014년06월05일
(56) 선행기술조사문헌
JP2008225424 A*
(뒷면에 계속)

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
조창희
경상북도 칠곡군 석적읍 동중리4길 2, 204호 (해피데이)
(74) 대리인
네이트특허법인

전체 청구항 수 : 총 11 항

심사관 : 정원식

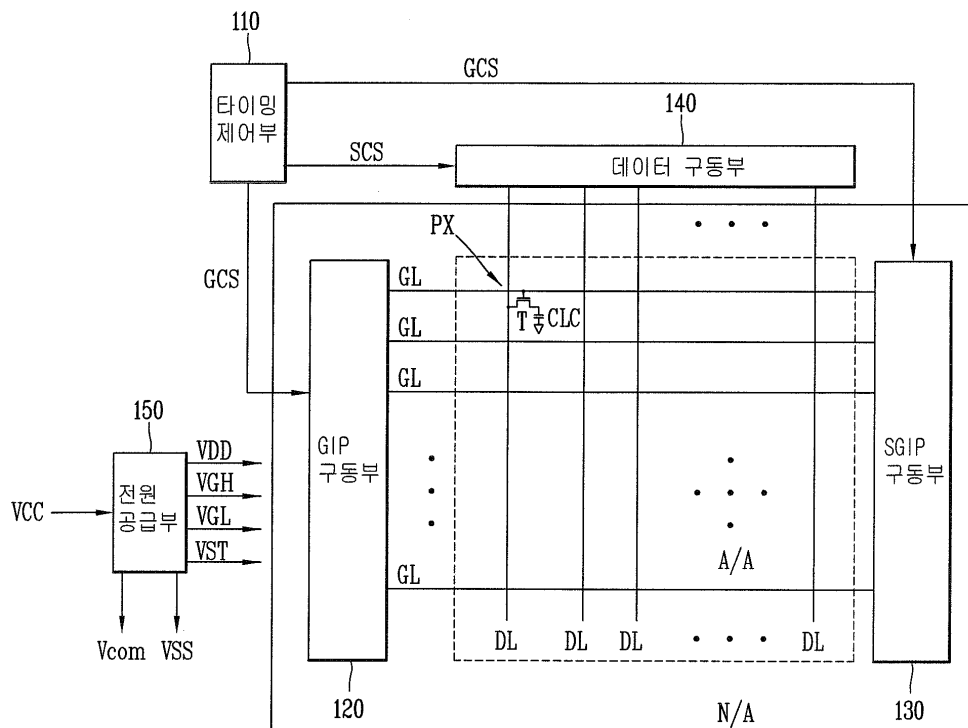
(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명은 액정표시장치를 공개한다. 보다 상세하게는 본 발명은 액정표시장치의 구동 초기시, 액정패널의 양 측에 구비되어 게이트 구동전압을 제공하는 GIP 및 SGIP 구동부의 과전류로 인한 비정상 구동문제를 개선한 액정표시장치에 관한 것이다.

(뒷면에 계속)

대표도 - 도3



본 발명의 실시예에 따른 액정표시장치는, 액정패널과, GIP 구동부 및 SGIP 구동부와, 데이터 구동부와, 설정된 VDD 상승구간 동안 정상전압레벨까지 도달하며, 상기 VDD 상승구간 동안 지연하여 생성되는 복수의 전압을 상기 GIP구동부에 공급하는 전원공급부와, 구동초기시 복수의 전압이 정상전압레벨에 도달하기 이전에 GIP 구동부를 구동 개시하여 복수의 전압에 따른 낮은 누설전류가 전원공급부로 인가되도록 하는 타이밍 제어부를 포함한다.

본 발명의 실시예 따라, 본 발명은 게이트스타트전압(VST)이 정상레벨에 도달하기 이전에 GIP 구동부를 구동개시하여 전압차(ΔV)를 줄임으로서 낮은 누설전류가 흐르도록 하여 제1 전원전압(VCC)이 변동되는 문제를 최소화할 수 있다.

(56) 선행기술조사문헌

JP2011172203 A*

KR1020110079038 A*

KR1020120063677 A*

KR1020070002713 A

KR1020080088736 A

KR1020120014716 A

KR1020120105781 A

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

복수의 게이트 배선 및 데이터 배선이 형성되어 복수의 화소를 정의하는 액정패널;

상기 게이트 배선과 연결되어 상기 화소에 게이트 구동전압을 공급하는 쉬프트 레지스터로 구성되며, 적어도 풀-업 트랜지스터 및 풀-다운 트랜지스터를 구비하는 GIP 구동부 및 풀-업 트랜지스터를 구비하는 SGIP 구동부;

상기 데이터배선과 연결되어 데이터전압을 상기 화소에 공급하는 데이터 구동부;

설정된 VDD 상승구간 동안 정상전압레벨까지 도달하며, 상기 VDD 상승구간 동안 지연하여 생성되는 복수의 전압을 상기 GIP구동부에 공급하는 전원공급부; 및

구동초기시, 상기 복수의 전압이 정상전압레벨에 도달하기 이전에 상기 GIP 구동부를 구동개시하여 상기 복수의 전압에 따른 낮은 누설전류가 상기 풀-다운 트랜지스터를 통해 상기 전원공급부로 인가되도록 하는 타이밍 제어부

를 포함하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 전원공급부는,

외부로부터 제1 전원전압(VCC)을 공급받아 상기 복수의 전압을 생성하는 것을 특징으로 하는 액정표시장치.

청구항 3

제 1 항 및 제 2 항 중, 선택되는 어느 하나의 항에 있어서,

상기 복수의 전압은

적어도 제2 전원전압(VDD), 접지전압(VSS), 게이트 하이전압(VGH), 게이트 로우전압(VGL) 및 게이트스타트전압(VST)을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 4

제 3 항에 있어서,

상기 전원공급부는,

상기 제2 전원전압(VDD)의 상승구간(VDD RISING PERIOD)을 결정하는 소프트-스타트 회로와 연결되는 것을 특징으로 하는 액정표시장치.

청구항 5

제 4 항에 있어서,

상기 제2 전원전압(VDD)의 상승구간은 79.38 ms 내지 84.6 ms 로 설정되는 것을 특징으로 하는 액정표시장치.

청구항 6

제 4 항에 있어서,

상기 소프트-스타트 회로는,

상기 전원공급부의 적어도 하나의 입출력단자와 접지전압단사이에 연결되는 캐패시터를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 7

제 6 항에 있어서,

상기 캐패시터는, 정전용량이 적어도 220 nF 이상인 것을 특징으로 하는 액정표시장치.

청구항 8

제 3 항에 있어서,

상기 낮은 누설전류는,

상기 게이트 하이전압(VGH) 및 게이트 로우전압(VGL)의 전압차(ΔV)에 대응되는 것을 특징으로 하는 액정표시장치.

청구항 9

제 3 항에 있어서,

상기 타이밍 제어부는,

상기 게이트스타트전압(VST)가 정상전압레벨에 도달하기 이전에 상기 GIP 구동부의 개시시점을 정의하는 마스크 구간(masking period)이 종료되도록 설정된 것을 특징으로 하는 액정표시장치.

청구항 10

제 9 항에 있어서,

상기 마스크 구간(masking period)은,

상기 게이트 하이전압(VGH)이 5 V 내지 7 V이고, 게이트 로우전압(VGL)이 -3 V 내지 -5 V 인 시점에서 종료되도록 설정된 것을 특징으로 하는 액정표시장치.

청구항 11

제 9 항에 있어서,

상기 마스크 구간(masking period)은, 적어도 47ms 내지 72.9ms 범위로 설정되는 것을 특징으로 하는 액정표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 특히 액정표시장치의 구동 초기시, 액정패널의 양측에 구비되어 게이트 구동전압을 제공하는 GIP 및 SGIP 구동부의 과전류로 인한 비정상 구동문제를 개선한 액정표시장치에 관한 것이다.

배경 기술

[0002] 최근, 휴대폰(Mobile Phone), 노트북컴퓨터와 같은 각종 포터블기기(portable device) 및, HDTV 등의 고해상도, 고품질의 영상을 구현하는 정보전자장치가 발전함에 따라, 이에 적용되는 평판표시장치(Flat Panel Display Device)에 대한 수요가 점차 증대되고 있다. 이러한 평판표시장치로는 LCD(Liquid Crystal Display), PDP(Plasma Display Panel), FED(Field Emission Display) 및 OLED(Organic Light Emitting Diodes) 등이 활발히 연구되었지만, 양산화 기술, 구동수단의 용이성, 고화질의 구현, 대면적 화면의 실현이라는 이유로 인해 현재에는 액정표시장치(LCD)가 각광을 받고 있다.

[0003] 특히, 스위칭 소자로서 박막 트랜지스터(Thin Film Transistor, TFT)가 이용되는 액티브 매트릭스 방식의 액정표시장치는 동적인 영상을 표시하기에 적합하다.

[0004] 도 1은 기존의 액정표시장치의 일부를 개략적으로 나타낸 것으로, 기존의 액정표시장치는 복수의 게이트배선(GL) 및 데이터배선(미도시)의 교차지점에 복수의 화소(미도시)가 정의되어 화상을 표시하는 액정패널(1)과, 액

정패널(1)을 구동하는 하나이상의 구동부(6,7)를 포함한다.

- [0005] 특히, 이웃한 두 화소가 하나의 데이터 배선을 공유하여 데이터 배선을 저장하는 DRD 구조(double rate drive type) 또는 SSD 구조(super double DRD type)의 액정표시장치의 경우에는 액정패널(1) 내부의 신호지연(RC delay)에 따른 오작동을 방지하고 신뢰성을 개선하기 위해, 일반적으로 액정패널(1)의 게이트 배선(GL)의 양측에서 게이트 구동전압을 동시에 출력하도록 적어도 두 개의 GIP 및 SGIP 구동부(6,7)가 구비된다.
- [0006] 각 GIP 및 SGIP 구동부(6,7)는 GIP 제어신호 및 SGIP 제어신호에 대응하여 게이트 구동전압을 동일 게이트배선(GL)에 동시에 출력하는 GIP 스테이지 및 SGIP 스테이지를 포함하며, 특히 좌측의 GIP 구동부(6)는 적어도 Q 노드(Q)의 전위에 따라 클록신호(CLK)를 게이트배선(GL)에 게이트 구동전압을 출력하는 제1 트랜지스터(T1) 및 QB 노드(Qb)의 전위에 따라 게이트배선(GL)에 게이트 로우전압(VGL)을 출력하는 제2 트랜지스터(T2)를 포함한다. 여기서 제1 트랜지스터(T1)가 출력하는 게이트 구동전압은 클록신호(CLK)가 고전위 상태인 경우이며, 게이트 하이전압(VGH) 레벨이다.
- [0007] 또한, 우측의 SGIP 구동부(7)는 GIP 스테이지(6)에 동기하여 고전위의 클록신호(CLK)를 게이트배선(GL)에 인가하여 신호지연에 따른 오작동을 최소화하게 된다. 여기서, SGIP 구동부(7)는 GIP 스테이지(6)와는 달리 효율성 증대를 위해 게이트 로우전압(VGL)을 출력하기 위한 트랜지스터가 생략되고, 게이트 배선(GL)의 로우전압(VGL) 구간에서 GIP 구동부(6)의 제2 트랜지스터(T2)를 통해 전류를 흐르게 함으로서 게이트 배선(GL)에 전압을 게이트 로우전압(VGL)레벨로 낮추는 Qb-node Shrink 구조가 적용된다.
- [0008] 그러나, 전술한 Qb-node Shrink 구조는 상기 제2 트랜지스터(T2)에 높은 스트레스(stress)가 지속적으로 걸림에 따라 누설전류(current leakage)가 발생하여 회로의 신뢰성을 저하시키는 원인이 될 수 있으며, 이러한 신뢰성 저하문제는 액정표시장치의 구동 초기구간에서 특히 빈번하게 발생하게 된다.
- [0009] 도 2는 종래 액정표시장치의 구동 초기구간에서 전원공급부의 GIP 제어신호들의 출력 파형을 나타낸 도면이다.
- [0010] 도 1 및 도 2를 참조하면, GIP 구동부(6)는 구동 초기구간에서 전원공급부(미도시)로부터 제2 전원전압(VDD), 게이트 하이전압(VGH), 게이트 로우전압(VGL) 및 게이트스타트전압(VST)을 인가받아 구동한다. 여기서, GIP 구동부(6)는 게이트 하이전압(VGH) 및 게이트 로우전압(VGL)이 정상전압레벨, 일례로서 제2 전원전압(VDD)이 8.7 V 일 때, 각각 약 24 V 및 -6.7 V 에 도달한 시점 이후 동작하도록 설정되어 있다.
- [0011] 액정표시장치의 전원-온에 따라 외부로부터 전원공급부에 제1 전원전압(VCC)이 인가되면, 전원공급부는 설정된 전압생성 시퀀스(sequence)에 따라, 제2 전원전압(VDD) 및 게이트 하이전압(VGH)을 생성하기 시작한다. 이때, 전원공급부는 설정된 VDD 상승 구간(VDD rising period)동안 제2 전원전압(VDD)을 정상전압레벨까지 도달하게 하고, 이와 동기하여 게이트 하이전압(VGH) 및 게이트 로우전압(VGL)을 정상전압레벨로 상승시키게 된다.
- [0012] 이때, 제1 전원전압(VCC)이 전원공급부에 인가되는 순간, 정상전류보다 높은 전류가 흐르는 돌입전류(inrush current)가 발생할 수 있으며, 이를 방지하기 위해 전원공급부는 소프트-스타트 회로(soft-start circuit)가 더 연결된다. 이러한 소프트-스타트 회로는 전원공급부의 접지전압(GND) 입력단 사이에 연결되는 캐패시터(미도시)로 구현될 수 있다. 특히, 전술한 VDD 상승 구간(VDD rising period)은 상기 캐패시터의 정전용량에 대응되어 설정된다.
- [0013] 이후, 게이트 하이전압(VGH) 및 게이트 로우전압(VGL)이 정상전압레벨이 되면, 기타 게이트스타트전압(VST)등을 정상전압레벨까지 상승시켜 게이트 구동전압을 출력하게 된다. 전원구동부로부터 생성되는 각 전압들은 GIP, SGIP 구동부(6,7)의 각 소자에 인가된다.
- [0014] 이때, 타이밍 제어부(미도시)는 각 게이트 제어신호등이 정상레벨에 도달하기 이전에 GIP, SGIP 구동부(6,7)가 동작하여 표시패널(1)에 비정상적인 영상이 표시되는 것을 방지하기 위해, 소정 프레임 동안 마스킹 구간(masking period)을 정의하여 GIP 및 SGIP 구동부(6,7)의 동작을 중단시키며, 전술한 전압생성 단계는 마스킹 구간(masking period)동안 진행되게 된다. 통상적으로 마스킹 구간은 6 프레임(frame)기간 정도로 설정된다.
- [0015] 마스킹 구간이 종료되면, GIP 및 SGIP 구동부(6,7)가 동작하여 게이트 배선(GL)으로 게이트 구동전압을 출력하기 시작한다. 이때, 제1 및 제3 트랜지스터(T1,T3)에는 게이트 하이전압(VGH)이 인가되고, 제2 트랜지스터(T2)에는 게이트 로우전압(VGL)이 인가되며, 정상전압레벨로 진입 직후 게이트 배선(GL)의 온 구동시 제2 트랜지스터(T2)의 소스 및 드레인에 걸리는 전압차(ΔV)가 30 V 이상이 됨에 따라, 순간적으로 단락성 과전류가 제2 트랜지스터(T2)를 통해 급격하게 흐르게 되어 전원공급부에 영향을 주게 되며, 이는 제1 전원전압(VCC)이 일시적으로 낮아지는 원인이 된다(a).

[0016] 이러한 제1 전원전압(VCC)의 변동에 따라, 전원공급부는 UVLO(Under Voltage Lock Out)상태로 진입하여 액정표시장치에 정상적인 전압을 공급하지 못하게 되어, 결국 비정상적인 화상을 표시하게 되는 문제가 발생하게 된다.

발명의 내용

해결하려는 과제

[0017] 본 발명은 전술한 문제점을 해결하기 위해 안출된 것으로, Qb-node Shrink 구조가 적용된 액정표시장치에서 게이트 하이전압(VGH)과 게이트 로우전압(VGL)간의 높은 전압차(ΔV)에 의한 제1 전원전압(VCC)의 변동되는 현상에 기인한 비정상 화상표시불량을 개선한 액정표시장치를 제공하는 데 목적이 있다.

과제의 해결 수단

[0018] 본 발명의 바람직한 실시예에 따른 액정표시장치는, 복수의 게이트 배선 및 데이터 배선이 형성되어 복수의 화소를 정의하는 액정패널; 상기 게이트 배선과 연결되어 상기 화소에 게이트 구동전압을 공급하는 쉬프트 레지스터로 구성되며, 적어도 풀-업 트랜지스터 및 풀-다운 트랜지스터를 구비하는 GIP 구동부 및 풀-업 트랜지스터를 구비하는 SGIP 구동부; 상기 데이터배선과 연결되어 데이터전압을 상기 화소에 공급하는 데이터 구동부; 설정된 VDD 상승구간 동안 정상전압레벨까지 도달하며, 상기 VDD 상승구간 동안 지연하여 생성되는 복수의 전압을 상기 GIP구동부에 공급하는 전원공급부; 및 구동초기시, 상기 복수의 전압이 정상전압레벨에 도달하기 이전에 상기 GIP 구동부를 구동개시하여 상기 복수의 전압에 따른 낮은 누설전류가 상기 풀-다운 트랜지스터를 통해 상기 전원공급부로 인가되도록 하는 타이밍 제어부를 포함하는 한다.

[0019] 상기 전원공급부는, 외부로부터 제1 전원전압(VCC)을 공급받아 상기 복수의 전압을 생성하는 것을 특징으로 한다.

[0020] 상기 복수의 전압은, 적어도 제2 전원전압(VDD), 접지전압(VSS), 게이트 하이전압(VGH), 게이트 로우전압(VGL) 및 게이트스타트전압(VST)을 포함하는 것을 특징으로 한다.

[0021] 상기 전원공급부는, 상기 제2 전원전압(VDD)의 상승구간(VDD RISING PERIOD)을 결정하는 소프트-스타트 회로와 연결되는 것을 특징으로 한다.

[0022] 상기 제2 전원전압(VDD)의 상승구간은 79.38 ms 내지 84.6 ms 로 설정되는 것을 특징으로 한다.

[0023] 상기 소프트-스타트 회로는, 상기 전원공급부의 적어도 하나의 입출력단자와 접지전압단사이에 연결되는 캐패시터를 포함하는 것을 특징으로 한다.

[0024] 상기 캐패시터는, 정전용량이 적어도 220 nF 이상인 것을 특징으로 한다.

[0025] 상기 낮은 누설전류는, 상기 게이트 하이전압(VGH) 및 게이트 로우전압(VGL)의 전압차(ΔV)에 대응하는 것을 특징으로 한다.

[0026] 상기 타이밍 제어부는, 상기 게이트스타트전압(VST)가 정상전압레벨에 도달하기 이전에 상기 GIP 구동부의 개시시점을 정의하는 마스킹 구간(masking period)를 종료하도록 설정된 것을 특징으로 한다.

[0027] 상기 마스킹 구간(masking period)은, 상기 게이트 하이전압(VGH)이 5 V 내지 7 V이고, 게이트 로우전압(VGL)이 -3 V 내지 -5 V 인 시점에서 종료되도록 설정된 것을 특징으로 한다.

[0028] 상기 마스킹 구간(masking period)은, 적어도 47ms 내지 72.9ms 범위로 설정되는 것을 특징으로 한다.

발명의 효과

[0029] 본 발명의 실시예에 따른 액정표시장치는 초기구동시 제2 전원전압 상승 구간(VDD rising period)을 연장하고, 게이트스타트전압(VST)이 정상레벨에 도달하기 이전에 GIP 구동부를 구동개시하여 전압차(ΔV)를 줄여 낮은 누설전류가 흐르도록 함으로서, 제1 전원전압(VCC)이 변동되는 문제를 최소화하여 비정상 화상표시불량을 개선할 수 있다.

도면의 간단한 설명

[0030] 도 1은 기존의 액정표시장치의 일부를 개략적으로 나타낸 도면이다.

도 2는 종래 액정표시장치의 구동 초기구간에서 전원공급부의 GIP 제어신호들의 출력 파형을 나타낸 도면이다.

도 3은 본 발명의 바람직한 실시예에 따른 액정표시장치의 구조를 나타낸 도면이다.

도 4는 본 발명의 실시예에 따른 액정표시장치의 구동 초기구간에서 전원공급부의 GIP 제어신호들의 출력 파형을 나타낸 도면이다.

도 5는 본 발명의 전원공급부를 상용화된 PM-IC로 구현시 소프트 스타트 회로와의 연결구조 일부를 나타내는 도면이다.

도 6은 본 발명의 액정표시장치의 GIP 구동부의 등가회로도를 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0031] 이하, 도면을 참조하여, 본 발명의 바람직한 실시예에 따른 액정표시장치의 구동회로 및 구동방법을 설명한다.
- [0032] 도 3은 본 발명의 바람직한 실시예에 따른 액정표시장치의 구조를 나타낸 도면이다.
- [0033] 도면을 참조하면, 본 발명의 액정표시장치는 복수의 게이트배선(GL)과 데이터배선(DL)이 교차 배치되고, 그 교차지점에 화소(PX) 정의되는 액정패널(100)과, 각 구동부를 제어하는 타이밍 제어부(110)와, 타이밍 제어부(110)의 제어에 따라 게이트배선(GL)에 게이트 구동전압을 인가하는 GIP 구동부(120) 및 SGIP 구동부(130)와, 데이터배선(DL)에 데이터 전압을 인가하는 데이터 구동부(140)와, 구동을 위한 전원전압 및 게이트전압 등을 생성하는 전원공급부(150)를 포함한다.
- [0034] 액정패널(100)은 투명기판 상에 다수의 게이트배선(GL), 그리고 게이트배선(GL)과 수직하는 방향으로 다수의 데이터배선(DL)이 매트릭스 형태로 교차 배치되고, 교차지점에 다수의 화소영역(PX)이 정의된다. 다수의 화소영역(PX)은 하나의 표시영역(A/A)을 이루게 되며, 각 화소영역(PX)에는 적어도 하나의 박막트랜지스터(T)가 형성되어 있으며, 박막트랜지스터(T)에 의해 제어되는 액정캐패시터(CLC)를 통해 화면을 표시하게 된다. 표시영역(A/A)은 외측으로 화상이 표시되지 않는 비표시영역(N/A)으로 구분된다.
- [0035] 전술한 박막트랜지스터(T)는 게이트배선(GL)으로부터 게이트 하이전압(VGH)의 인가에 따라 턴-온되어 데이터 배선(DL)으로부터 공급되는 데이터전압을 액정캐패시터(CLC)에 인가한다.
- [0036] 액정캐패시터(CLC)은 액정을 사이에 두고 대면하는 공통전극과 박막트랜지스터(T)에 접속된 화소전극이 이루는 캐패시터 구조이다. 도시하지는 않았지만 액정캐패시터(CLC)은 충전된 데이터전압이 다음 프레임의 데이터전압이 인가되기 전까지 전위를 안정적으로 유지하기 위해 저장캐패시터(미도시)와 더 연결될 수 있다. 각 화소(PX)는 박막트랜지스터(T)를 통해 충전되는 데이터전압에 따라 액정의 배열 상태가 가변되어 액정캐패시터(CLC)의 광 투과율이 조절됨으로써 계조를 구현하게 된다.
- [0037] 타이밍 제어부(110)는 외부로부터 인가되는 화상 데이터와, 클럭신호, 수직 및 수평동기신호 등의 타이밍 신호를 인가받아, 게이트 제어신호(GCS) 및 데이터 제어신호(DCS)를 생성한다.
- [0038] 여기서, 수평동기신호는 화면의 한 라인을 표시하는 데 걸리는 시간을 나타내고, 수직동기신호는 한 프레임의 화면을 표시하는 데 걸리는 시간을 나타낸다. 또한, 클럭신호는 게이트 및 각 구동부의 제어신호의 생성 기준이 되는 신호이다.
- [0039] 특히, 타이밍 제어부(110)는 액정표시장치의 구동초기시, GIP 구동부(120)에 인가되는 복수의 전압이 정상전압 레벨에 도달하기 이전에 GIP 구동부(120)를 구동개시하여 게이트하이전압(VGH) 및 게이트로우전압(VGL)의 전압차에 따른 누설전류의 양이 적은 시점에서 GIP 구동부(120)의 풀-다운 트랜지스터(미도시)를 통해 전원공급부(150)로 인가되도록 설정되어 있다.
- [0040] 한편, 도시하지는 않았지만, 타이밍 제어부(110)는 외부의 시스템과 소정의 인터페이스를 통해 연결되어 그로부터 출력되는 영상관련 신호와 타이밍신호를 잡음없이 고속으로 수신하게 된다. 이러한 인터페이스로는 LVDS(Low Voltage Differential Signal)방식 또는 TTL(Transistor-Transistor Logic) 인터페이스 방식 등이 이용될 수 있다.
- [0041] 또한, 액정패널(100)의 양측으로 비표시영역(N/A)내에는 복수의 박막트랜지스터로 이루어지는 GIP 구동부(120) 및 SGIP 구동부(130)가 형성되며, 표시영역(A/A)에 형성된 게이트배선(GL)과 전기적으로 접속된다.
- [0042] GIP 구동부(120) 및 SGIP 구동부(130)는 타이밍 제어부(110)로부터 인가되는 게이트 제어신호(GCS)에 대응하여

액정패널(100)상에 배열된 게이트 배선(GL)에 게이트 구동전압을 인가하여 박막트랜지스터(T)를 턴-온(turn-on)하며, 이에 따라 데이터 구동부(140)로부터 공급되는 아날로그 파형의 데이터전압이 각 박막트랜지스터(T)에 접속된 액정캐패시터(CLC)에 인가되도록 한다.

[0043] 여기서, 게이트 구동전압은 게이트 하이전압(VGH) 또는 게이트 로우전압(VGL)의 두 전압레벨을 가지며, 하나의 프레임동안 게이트 하이전압(VGH)이 1 수평기간(1H)마다 순차적으로 게이트 배선(GL)에 출력된다.

[0044] 데이터 구동부(140)는 타이밍 제어부(110)로부터 입력되는 데이터 제어신호들에 대응하여 입력되는 화상데이터를 정렬하고, 전원공급부(150)로부터 기준전압을 공급받아 영상신호에 대응하는 선택하여 아날로그 형태의 데이터 전압으로 변환한다. 데이터전압은 1 수평기간(1H)씩 래치되어 모든 데이터 배선(DL)을 통해 동시에 액정패널(100)으로 출력된다.

[0045] 전원공급부(150)는 외부로부터 시스템 전압(Vsys)를 인가받아 미리설정된 전압생성 시퀀스에 따라 액정표시장치의 구동을 위한 제1 전원전압(VCC), 제2 전원전압(VDD), 접지전압(VSS), 게이트 하이전압(VGH), 게이트 로우전압(VGL), 게이트스타트전압(VST) 및 공통전압(Vcom)등을 생성한다. 이러한 전원공급부(150)는 PM-IC로 구현될 수 있다.

[0046] 특히, 전원공급부(150)는 액정표시장치의 전원-온에 따라 외부로부터 시스템전압(Vsys)가 인가되면, 제1 전원전압(VCC)을 생성하기 시작하고, 이어서 제2 전원전압(VDD) 및 게이트 하이전압(VGH)을 생성하기 시작한다. 이때, 종래보다 앞선 시점에 게이트스타트전압(VST)을 생성하기 시작하여 GIP 구동부 및 SGIP 구동부(120, 130)에 인가되는 게이트스타트전압(VST)을 낮추며, 또한 게이트 하이전압(VGH) 및 게이트 로우전압(VGL)의 정상레벨로의 도달시점을 지연시켜 게이트 전압차(ΔV)를 갖는 구간에서 게이트 구동전압을 출력함으로써, GIP 구동부(120)의 풀-다운 트랜지스터(도 2의 제2 트랜지스터)로 흐르는 전류의 양을 줄여 전원공급부(150)의 오작동을 최소화하게 된다. 이러한 복수의 전압을 생성하는 시점은 전원공급부(150)에 연결되는 소프트-스타트 회로(미도시)에 의해 결정되며, 이러한 소프트-스타트 회로의 구체적인 구조는 후술한다.

[0047] 이하, 본 발명의 액정표시장치에 인가되는 신호들의 파형을 참조하여 액정표시장치의 구동방법을 설명한다.

[0048] 도 4는 본 발명의 실시예에 따른 액정표시장치의 구동 초기구간에서 전원공급부의 GIP 제어신호들의 출력 파형을 나타낸 도면이다.

[0049] 도 3 및 도 4를 참조하면, GIP 구동부(130)는 전원공급부(150)로부터 제1 전원전압(VCC), 게이트 하이전압(VGH), 게이트 로우전압(VGL) 및 게이트스타트전압(VST)을 인가받아 구동한다. 여기서, 전원공급부(150)는 미리설정된 전압생성 시퀀스에 따라 구동을 위한 전압을 생성하며, 특히 본 발명의 실시예에서는 종래 게이트 하이전압(VGH) 및 게이트 로우전압(VGL)이 정상전압레벨에 도달한 이후 형성하던 게이트스타트전압(VST)의 생성시점을 앞당겨 게이트 하이전압(VGH) 및 게이트 로우전압(VGL)과 동시에 생성하는 것을 특징으로 한다.

[0050] 먼저, 액정표시장치의 전원-온에 따라 외부로부터 전원공급부에 시스템전압(Vsys)이 인가되면, 전원공급부(150)는 제1 전원전압(VCC)을 생성하기 시작하고, 이어서 제2 전원전압(VDD) 및 게이트 하이전압(VGH)을 생성하기 시작한다. 이때, 전원공급부(150)는 설정된 VDD 상승 구간(VDD rising period)동안 제2 전원전압(VDD)을 정상전압레벨까지 도달하게 하고, 이와 동기하여 게이트 하이전압(VGH) 및 게이트 로우전압(VGL)을 정상전압레벨까지 이르게 한다.

[0051] 여기서, VDD 상승 구간은 종래보다 기간이 더 연장되도록 설정되며, 일 예로서 종래의 VDD 상승 구간이 30ms 일 경우, 본 발명의 실시예에 따른 VDD 상승 구간은 적어도 79.38 ms 내지 84.6 ms 로 종래보다 길게 설정될 수 있다.

[0052] 특히, VDD 상승 구간은 전원공급부(150)에 연결된 소프트-스타트 회로에 의해 결정된다.

[0053] 도 5는 본 발명의 전원공급부를 상용화된 PM-IC로 구현시 소프트 스타트 회로와의 연결구조 일부를 나타내는 도면이다.

[0054] 도 5를 참조하면 전원공급부(150)에 연결되어 제1 전원전압(VCC)이 인가에 따른 돌입전류(inrush current)를 방지하기 위한 소프트-스타트 회로는 전원공급부(150)의 특정 입출력 단자들 및 접지전압단과 접속되는 캐패시터(C1)로 구현되며, 그 정전용량이 VDD 상승 구간(VDD rising period)의 시간에 대응되어 설정된다.

[0055] 도면에서는 상용화된 전원공급부(150)로써 SM4026 PM-IC가 사용된 일 예를 도시하고 있으며, 소프트-스타트 회로를 구현하기 위해, 접지전압단과 접지전압에 관련된 복수의 입출력 단자들 PGND, QQ, AGND가 연결된 구조를

나타내고 있다.

- [0056] 특히, 종래 소프트-스타트 회로에 정전용량이 33 nF 인 캐패시터가 사용되어 30ms의 소프트-스타트 시간을 갖도록 설정된 경우, 본 발명의 실시예에 따른 소프트-스타트 회로는 정전용량이 적어도 220 nf 이상인 캐패시터(C1)가 사용될 수 있다.
- [0057] 이러한 캐패시터(C1)의 정전용량의 변화에 따라 소프트-스타트 시간은 30ms 에서 79.38 ms 내지 84.6ms 사이로 변경된다.
- [0058] 이에 따라, VDD 상승 구간이 종래보다 지연되고, 또한 게이트하이전압(VGH) 및 게이트 로우전압(VGL)이 정상전압레벨까지 도달하는 데 걸리는 시간도 늦추어진다.
- [0059] 또한, 타이밍 제어부(110)는 게이트스타트전압(VST), 게이트 하이전압(VGH) 및 게이트 로우전압(VGL)이 정상레벨까지 상승하기 이전에 마스킹 구간(masking period)를 종료하여 GIP 구동부(120)를 구동시키게 된다. 이에 따라 GIP 구동부(120)가 구동 개시하는 시점에서의 게이트 하이전압(VGH)은 5 V ~ 7 V 정도이고, 게이트 로우전압(VGL)은 -3 V ~ -5 V 의 전압레벨을 갖게 된다. 여기서, 상기 마스킹 구간은 종래 122ms 정도에서 적어도 47ms 내지 72.9ms 이하로 짧게 설정된다.
- [0060] 따라서, GIP 구동부(120)는 전술한 게이트 하이전압(VGH) 및 게이트 로우전압(VGL)의 전압차(ΔV)가 종래보다 낮은 상태에서 게이트 구동전압이 출력되게 되어 게이트 배선을 프리차징하게 되고, GIP 구동부(120)의 풀-다운 트랜지스터를 통해 누설전류가 발생하더라도 그 양이 적어 전원공급부(150)에 영향을 주지 않게 된다.
- [0061] 한편, VDD 상승 구간 동안 게이트 하이전압(VGH) 및 게이트 로우전압(VGL)도 서서히 정상전압레벨에 인접함에 따라, 두 전압차도 서서히 커지게 되고($\Delta V1 < \Delta V2$), VDD 상승 구간이 종료되어 제2 전원전압(VDD)이 정상전압레벨에 도달함에 따라, 게이트 하이전압(VGH) 및 게이트 로우전압(VGL)도 정상전압레벨에 도달하고, VDD 상승 구간이 완료됨에 따라 두 전압차($\Delta V3$)가 30 V 이상이 되더라도, 이미 GIP 구동부(120)는 동작하고 있으므로 순간적인 단락성 과전류가 발생하지 않아 VCC 변동현상이 개선된다.
- [0062] 이하, 도면을 참조하여 본 발명의 실시예에 따른 액정표시장치의 구동회로의 구조를 설명한다.
- [0063] 도 6은 본 발명의 액정표시장치의 GIP 구동부의 등가회로도를 나타낸 도면이다.
- [0064] GIP 구동부는 복수의 스테이지로 구성되며, 하나의 스테이지는 적어도 복수의 박막트랜지스터(T1 내지 T9)로 이루어진다. 도 6은 본 발명의 GIP 구동부는 기수 및 우수 프레임별로 교번하여 Qb노드(Qb NODE)를 충전전하는 쉬프트 레지스터의 일부를 예시한 것으로, 기수번째 프레임에 구동하는 9개의 박막트랜지스터만을 도시한 것이다. 따라서, 실제 GIP 구동부에 적용되는 쉬프트 레지스터에는 제6 및 제7 박막트랜지스터(T6, T7) 및 Qb노드(Qb NODE)에 대응하여 우수번째 프레임에 구동하는 제6' 및 제7' 박막트랜지스터 및 Qb'노드(미도시)가 더 포함된다.
- [0065] 여기서, 제 8 박막트랜지스터 및 제9 박막트랜지스터(T8, T9)는 도 2의 제1 및 제2 트랜지스터(T1, T2)에 대응된다. 따라서, 도시하지는 않았지만 SGIP 구동부(미도시)에는 제9 박막트랜지스터(T9)가 생략되어 있다.
- [0066] 도 6을 참조하면, GIP 구동부의 쉬프트 레지스터는 게이트스타트전압(Vst) 또는 이전 단 쉬프트 레지스터의 출력신호(Vout n-1)와, 제2 전원전압(VDD_IN)이 인가됨에 따라 도통되어 Q노드(Q NODE)를 충전시키는 제1 박막트랜지스터(T1)와, 다음 단 쉬프트 레지스터의 출력신호(Vout n+1)가 인가됨에 따라 Q노드(Q NODE)를 방전하는 제2 박막트랜지스터(T2) 및 Qb노드(Qb NODE)를 충전하는 제3 박막트랜지스터(T3)와, Qb노드(Qb NODE)의 전압레벨에 따라, Q노드(Q NODE)를 방전하는 제4 박막트랜지스터(T4)와, Q노드(Q NODE)에 인가되는 전압에 따라, Qb노드(Qb NODE)를 방전시키는 제5 박막트랜지스터(T5)를 포함한다.
- [0067] 또한, GIP 구동부는 이전 단 쉬프트 레지스터의 출력신호(Vout n-1)에 따라 Qb노드(Qb NODE)를 방전하는 제6 박막트랜지스터(T6)와, 기수번째 프레임마다 공급되는 제2 전원전압(VDD)에 따라 다이오드 연결되어 Qb노드(Qb NODE)를 충전하는 제7 박막트랜지스터(T7)와, Q노드(Q NODE)의 전압레벨에 따라 클럭신호(CLK)를 게이트 구동전압(Vout n)으로서 출력하는 풀-업(pull-up) 트랜지스터 역할을 하는 제8 박막트랜지스터(T8)와, Qb노드(Qb NODE)의 전압레벨에 따라 접지전압(VSS)을 게이트 구동전압(Vout n)으로서 출력하는 풀-다운(pull-down) 트랜지스터 역할을 하는 제9 박막트랜지스터(T9)를 포함한다.
- [0068] 여기서, 클럭신호(CLK)는 게이트 하이전압(VGH)이 클럭신호파형으로 인가되는 신호를 가리키는 것이며, 접지전압(VSS)은 게이트 로우전압(VGL)을 가리키는 것이다.

[0069] 이러한 구조에 따라, 본 발명의 GIP 구동부는 기수번째 프레임에서 전원공급부(미도시)로부터 낮은 전압레벨의 게이트구동신호(VST)와 제1 전원전압(VDD_IN)을 인가받으면 제1 박막트랜지스터(T1)가 턴-온되고 Q노드(Q NOD E)을 약하게 충전함에 따라 제 8 박막트랜지스터(T8)를 턴-온하여 게이트 하이전압(VGH)의 전압레벨을 갖는 클럭신호(CLK)를 게이트 구동전압(Vout n)으로 출력한다.

[0070] 전술한 게이트 구동전압(Vout n)은 1 수평기간(1H)동안 유지되며, 이어서 하이레벨의 제2 전원전압(VDD)가 인가되면 제7 박막트랜지스터(T7)가 턴-온 되어 Qb노드(Qb NODE)에 하이레벨의 전압이 인가되고, 이에 따라 제4 박막트랜지스터(T4)가 턴-온되어 Q노드(Q NODE)를 접지전압(VSS)으로 방전시킴에 따라 제8 박막트랜지스터(T8)가 턴-오프 되며, 제9 박막트랜지스터(T9)가 턴-온된다.

[0071] 이에 따라, 제9 박막트랜지스터(T9)를 통해 정상전압레벨보다 높은 게이트 로우전압(VGL) 레벨의 게이트 구동전압(Vout n)이 출력되며, Qb-node Shrink 구조로서 제9 박막트랜지스터(T9)를 통해 누설전류가 흐르게 되나, 적은 양의 전류가 흐르게 되어 전원구동부(미도시)에 오작동이 최소화된다.

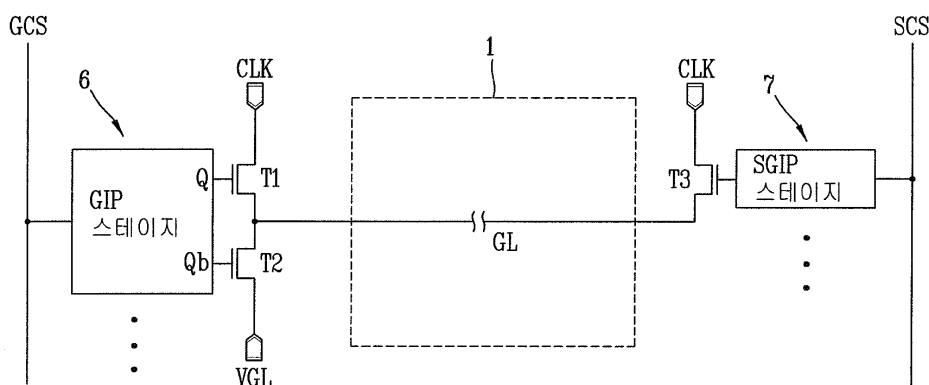
[0072] 전술한 설명에 많은 사항이 구체적으로 기재되어 있으나 이것은 발명의 범위를 한정하는 것이라기보다 바람직한 실시예의 예시로서 해석되어야 한다. 따라서 발명은 설명된 실시예에 의하여 정할 것이 아니고 특허청구범위와 특허청구범위에 균등한 것에 의하여 정하여져야 한다.

부호의 설명

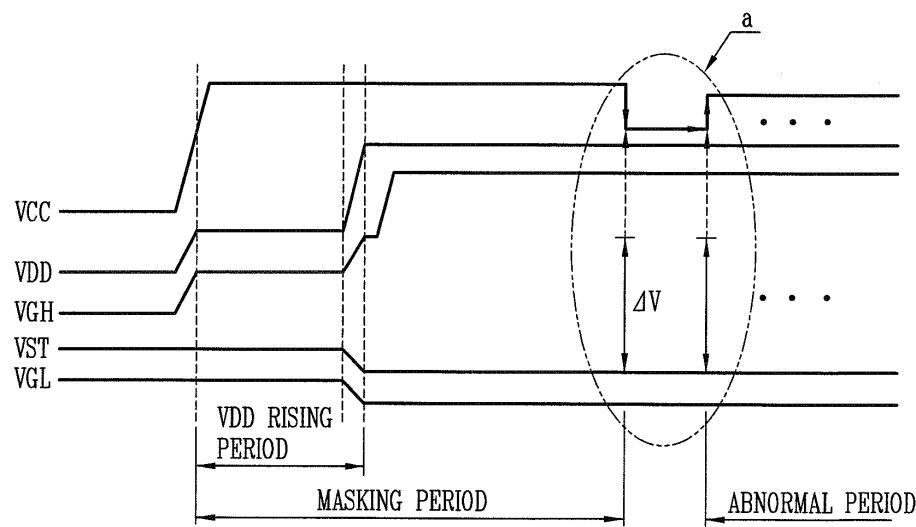
[0073]	100 : 액정패널	110 : 타이밍 제어부
	120 : GIP 구동부	130 : SGIP 구동부
	140 : 데이터 구동부	150 : 전원공급부
	VCC : 제1 전원전압	VDD : 제2 전원전압
	VGH : 게이트 하이전압	VGL : 게이트 로우전압
	VST : 게이트스타트전압	VSS : 접지전압
	Vcom : 공통전압	

도면

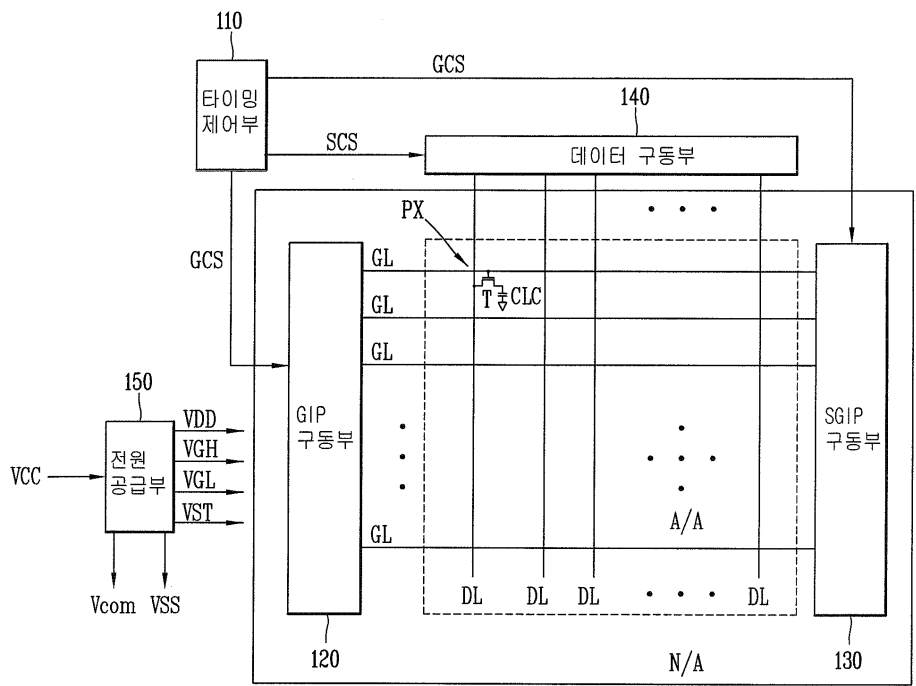
도면1



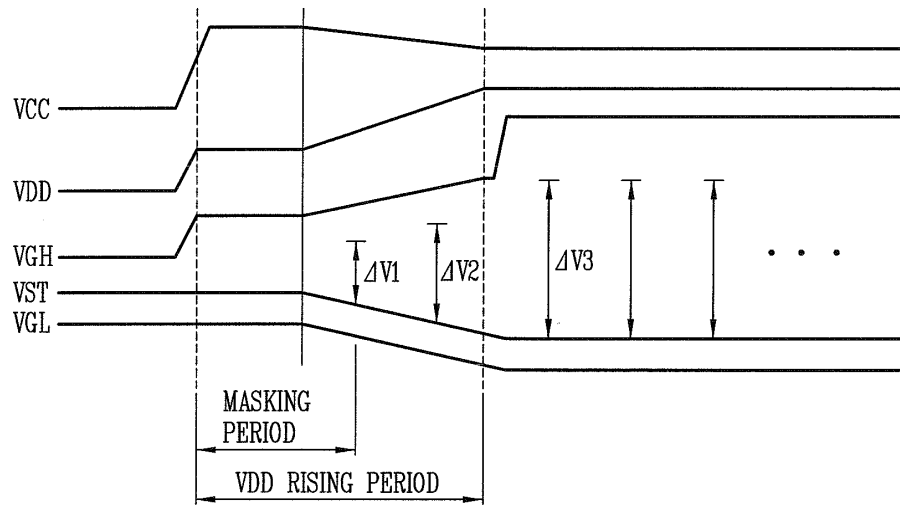
도면2



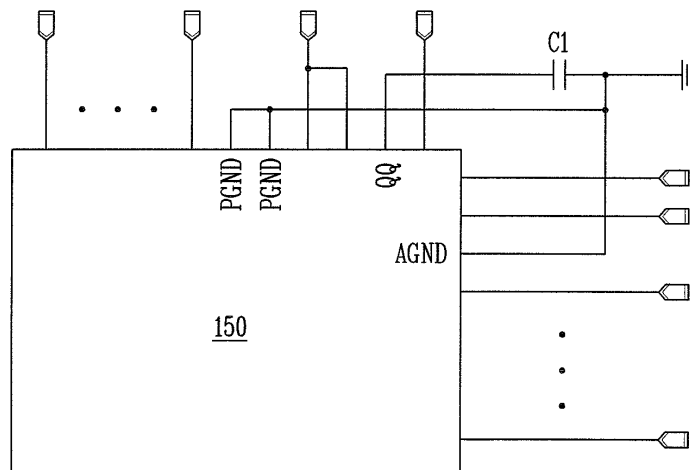
도면3



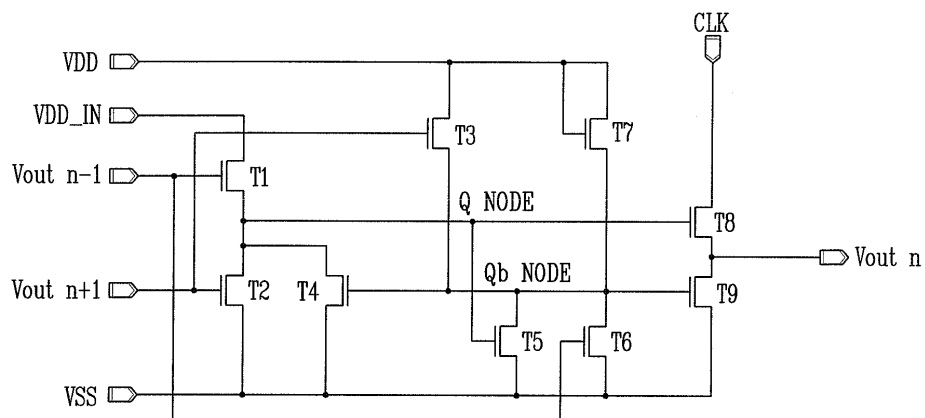
도면4



도면5



도면6



专利名称(译)	液晶显示器		
公开(公告)号	KR102015848B1	公开(公告)日	2019-08-29
申请号	KR1020120134744	申请日	2012-11-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	조창희		
发明人	조창희		
IPC分类号	G09G3/36 G02F1/133		
审查员(译)	庭院式		
其他公开文献	KR1020140067472A		
外部链接	Espacenet		

摘要(译)

液晶显示装置技术领域本发明涉及一种液晶显示装置，更具体地，涉及一种能够克服在液晶面板的两侧设置的用于提供栅极驱动电压的GIP和SGIP驱动单元的异常驱动的液晶显示装置。由于在初始驱动期间过电流。根据本发明实施例的液晶显示装置包括：液晶面板；和GIP驱动单元；SGIP驱动单元；数据驱动单元；电源单元，将延迟了发电时间的多个电压提供给GIP驱动单元；时序控制单元，其在初始驱动期间控制GIP驱动单元在多个电压达到正常电压电平之前开始驱动，以将根据多个电压的低泄漏电流施加到电源单元。根据本发明的实施例，由于GIP驱动单元在栅极起始电压（VST）达到正常水平之前开始驱动，从而可以减小第一电源电压（VCC）的变化，从而减小了电压差（ ΔV ）。使漏电流低。

도3

