



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0085035

(43) 공개일자 2015년07월22일

(51) 국제특허분류(Int. Cl.)

G02F 1/133 (2006.01) G02F 1/1362 (2006.01)

G02F 1/137 (2006.01) G02F 1/139 (2006.01)

G09G 3/36 (2006.01)

(52) CPC특허분류

G02F 1/133 (2013.01)

G02F 1/136277 (2013.01)

(21) 출원번호 10-2015-7015759

(22) 출원일자(국제) 2013년11월07일

심사청구일자 없음

(85) 번역문제출일자 2015년06월12일

(86) 국제출원번호 PCT/JP2013/080735

(87) 국제공개번호 WO 2014/077295

국제공개일자 2014년05월22일

(30) 우선권주장

JP-P-2012-251653 2012년11월15일 일본(JP)

(뒷면에 계속)

(71) 출원인

가부시키가이샤 한도오따이 에네루기 켄큐쇼

일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자

쿠보타 다이ске

일본 243-0036 가나가와켄 아쓰기시 하세 398 가

부시키가이샤 한도오따이 에네루기 켄큐쇼 내

히라카타 요시하루

일본 243-0036 가나가와켄 아쓰기시 하세 398 가

부시키가이샤 한도오따이 에네루기 켄큐쇼 내

하츠미 료

일본 243-0036 가나가와켄 아쓰기시 하세 398 가

부시키가이샤 한도오따이 에네루기 켄큐쇼 내

(74) 대리인

장훈

전체 청구항 수 : 총 12 항

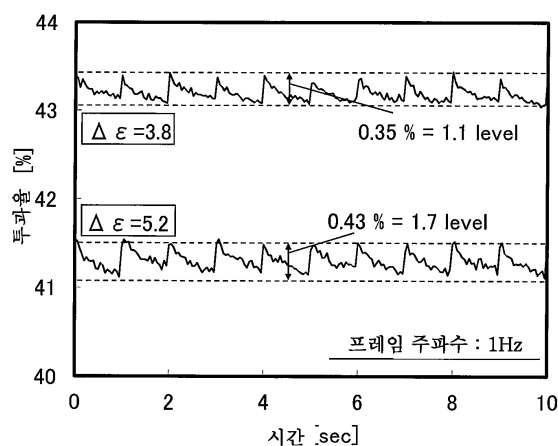
(54) 발명의 명칭 액정 디스플레이 장치

(57) 요약

본 발명은 디스플레이 품질의 감소 없는 새로운 액정 디스플레이 장치에 관한 것이다. 액정 디스플레이 장치는 1Hz 이하의 프레임 주파수로 스틸 이미지를 디스플레이하기 위한 픽셀을 포함하고, 픽셀 내의 액정층은 2 이상 5 이하의 유전율 이방성을 갖는다. 위의 구조를 통해, 픽셀에 인가된 전압의 변화는 동일한 스틸 이미지를 디스플레이하기 위한 그레이 레벨 변동의 허용 가능한 범위 내에서 유지될 수 있다. 따라서, 낮은 리프레시율로 인한 플리커들은 감소될 수 있고, 이는 디스플레이 품질의 상승을 초래한다.

대표도

[도 4B]



(52) CPC특허분류

G02F 1/1396 (2013.01)

G09G 3/3648 (2013.01)

G02F 2001/13706 (2013.01)

G02F 2202/42 (2013.01)

(30) 우선권주장

JP-P-2012-260839 2012년11월29일 일본(JP)

JP-P-2013-044848 2013년03월07일 일본(JP)

JP-P-2013-151217 2013년07월22일 일본(JP)

명세서

청구범위

청구항 1

액정 디스플레이 장치에 있어서,
1Hz 이하의 프레임 주파수로 스틸 이미지를 디스플레이하기 위한 픽셀을 포함하고,
상기 픽셀은 2 이상 5 이하의 유전율 이방성을 갖는 액정층을 포함하는, 액정 디스플레이 장치.

청구항 2

제 1 항에 있어서,
상기 픽셀은:
트랜지스터; 및
상기 트랜지스터에 전기적으로 접속된 액정 소자를 포함하고,
상기 액정 소자는 상기 액정층을 포함하는, 액정 디스플레이 장치.

청구항 3

제 2 항에 있어서,
상기 트랜지스터는 반도체층을 포함하고,
상기 반도체층은 산화물 반도체를 포함하는, 액정 디스플레이 장치.

청구항 4

제 1 항에 있어서,
상기 액정층은 2.6 이상 4.4 이하의 유전율 이방성을 갖는, 액정 디스플레이 장치.

청구항 5

제 1 항에 있어서,
상기 액정층은 3 이상 3.8 이하의 유전율 이방성을 갖는, 액정 디스플레이 장치.

청구항 6

제 1 항에 있어서,
상기 프레임 주파수는 0.2Hz 이하인, 액정 디스플레이 장치.

청구항 7

액정 디스플레이 장치에 있어서:
픽셀로서,
픽셀 전극, 및
상기 픽셀 전극 위의 액정을 포함하는 액정층을 포함하는, 상기 픽셀; 및
1Hz 이하의 프레임 주파수로 신호를 상기 픽셀에 출력할 수 있는 드라이버 회로를 포함하고,
상기 액정은 2 이상 5 이하의 유전율 이방성을 갖는, 액정 디스플레이 장치.

청구항 8

제 7 항에 있어서,

상기 픽셀은 상기 픽셀 전극에 전기적으로 접속된 트랜지스터를 포함하는, 액정 디스플레이 장치.

청구항 9

제 8 항에 있어서,

상기 트랜지스터는 반도체층을 포함하고,

상기 반도체층은 산화물 반도체를 포함하는, 액정 디스플레이 장치.

청구항 10

제 7 항에 있어서,

상기 액정층은 2.6 이상 4.4 이하의 유전율 이방성을 갖는, 액정 디스플레이 장치.

청구항 11

제 7 항에 있어서,

상기 액정층은 3 이상 3.8 이하의 유전율 이방성을 갖는, 액정 디스플레이 장치.

청구항 12

제 7 항에 있어서,

상기 프레임 주파수는 0.2Hz 이하인, 액정 디스플레이 장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정 디스플레이 장치에 관한 것이다.

[0002] 액정 디스플레이 장치가 액정 소자를 포함하는 장치를 언급함을 주목해야 한다. 액정 디스플레이 장치는 복수의 픽셀들을 구동하기 위한 드라이버 회로, 등을 포함한다. 더욱이, 액정 디스플레이 장치는 상이한 기판 위에 제공된 제어 회로, 전원 회로, 신호 생성 회로, 등을 포함한다.

배경 기술

[0003] 최근의 기술 혁신의 결과 액정 디스플레이 장치들의 일상화가 진행되고 있다. 더 높은 부가가치 제품들이 요구되고 있고, 여전히 활발하게 개발되고 있다.

[0004] 액정 디스플레이 장치들의 부가 가치로서, 모바일 장치, 등의 동작 시간을 연장하기 위하여 전력 소비의 절감이 주의를 끌고 있다.

[0005] 예컨대, 특허문헌 1은 동일한 이미지(스틸 이미지)를 연속적으로 디스플레이하는 경우 동일한 이미지에 대한 기록 신호들("리프레시"로도 언급됨)의 빈도를 줄임으로써 전력 소비가 줄어드는 디스플레이 장치의 구조를 개시한다.

[0006] 리프레시 동작은 리프레시 동작에 의해 야기된 이미지의 변화가 사용자들에 의해 구별되지 않도록 수행될 필요가 있다. 리프레시 동작들의 빈도는 리프레시율로 언급된다.

선행기술문헌

특허문헌

[0007] (특허문헌 0001) 일본 공개특허공보 2011-237760호

발명의 내용

해결하려는 과제

[0008] 낮은 리프레시율로 디스플레이 장치를 구동하기 위하여, 시간에 따른 스틸 이미지의 변화가 사용자들에 의해 지각되는 것을 방지하는 것이 필요하다.

[0009] 그러나, 픽셀에 기록된 신호에 대응하는 전압은 시간에 따라 변한다. 픽셀에 인가된 전압이 동일한 스틸 이미지를 디스플레이하기 위한 그레이 레벨에서 변동의 허용 범위를 초과하여 변할 때, 시청자들은 이미지 내에서 플리커들을 지각하고, 이는 디스플레이 품질의 저하를 초래한다.

과제의 해결 수단

[0010] 위의 관점에서, 본 발명의 일 실시예의 목적은 디스플레이 품질의 감소가 없는 새로운 액정 디스플레이 장치를 제공하는 것이다.

[0011] 본 발명의 일 실시예는 1 Hz 이하의 프레임 주파수로 스틸 이미지를 디스플레이하기 위한 픽셀을 포함하는 액정 디스플레이 장치이다. 이러한 액정 디스플레이 장치에서, 픽셀은 2 이상 5 이하의 유전율 이방성을 갖는 액정층을 포함한다.

[0012] 본 발명의 일 실시예는 1 Hz 이하의 프레임 주파수로 스틸 이미지를 디스플레이하기 위한 픽셀을 포함하는 액정 디스플레이 장치이다. 이러한 액정 디스플레이 장치에서, 픽셀은 트랜지스터와, 액정층을 포함하는 액정 소자를 포함하고, 액정층은 2 이상 5 이하의 유전율 이방성을 갖는다.

[0013] 본 발명의 일 실시예의 액정 디스플레이 장치에서, 트랜지스터가 반도체층을 포함하고, 반도체층이 산화물 반도체를 포함하는 것이 바람직하다.

[0014] 본 발명의 일 실시예의 액정 디스플레이 장치에서, 액정층은 2.6 이상 4.4 이하의 유전율 이방성을 갖는 것이 바람직하다.

[0015] 본 발명의 일 실시예의 액정 디스플레이 장치에서, 액정층은 3 이상 3.8 이하의 유전율 이방성을 갖는 것이 바람직하다.

[0016] 본 발명의 일 실시예의 액정 디스플레이 장치에서, 프레임 주파수는 0.2 Hz 이하인 것이 바람직하다.

발명의 효과

[0017] 본 발명의 일 실시예에서, 픽셀에 인가된 전압의 변화는 동일한 스틸 이미지를 디스플레이하기 위한 그레이 레벨에서 변동의 허용 가능한 범위 내에서 유지될 수 있다. 따라서, 낮은 리프레시율로 인한 플리커들은 줄어들 수 있고, 이는 디스플레이 품질의 증진을 초래한다.

도면의 간단한 설명

[0018] 도 1은 액정층의 전류-전압 특성들을 도시하는 그래프.

도 2는 액정층의 투과율-전압 특성들을 도시하는 그래프들 및 액정층의 개략적인 단면도.

도 3은 액정층의 투과율을 관찰하기 위한 액정층의 개략적인 단면도.

도 4는 액정층의 투과율에서 시간-의존 변화(1 Hz)를 각각 도시하는 그래프들.

도 5는 액정층의 투과율에서 시간-의존 변화(0.2 Hz)를 각각 도시하는 그래프들.

도 6은 상이한 유전율 이방성들을 갖는 액정층들의 그레이 레벨에서 변동의 양을 도시하는 그래프.

도 7은 본 발명의 일 실시예의 디스플레이 기능을 갖는 액정 디스플레이 장치의 구조를 도시하는 블록도.

도 8은 본 발명의 일 실시예의 디스플레이 기능을 갖는 액정 디스플레이 장치의 디스플레이부의 구조를 도시하는 도면.

도 9는 본 발명의 일 실시예의 디스플레이 기능을 갖는 액정 디스플레이 장치의 디스플레이부의 구조를 도시하는 도면.

- 도 10은 본 발명의 일 실시예의 디스플레이 기능을 갖는 액정 디스플레이 장치를 도시하는 회로도.
- 도 11은 본 발명의 일 실시예의 디스플레이 기능을 갖는 액정 디스플레이 장치의 소스 라인 반전 구동 및 도트 반전 구동을 도시하는 도면들.
- 도 12는 본 발명의 일 실시예의 디스플레이 기능을 갖는 액정 디스플레이 장치의 소스 라인 반전 구동 및 도트 반전 구동을 도시하는 타이밍도.
- 도 13은 본 발명의 일 실시예의 디스플레이 장치의 구조를 도시하는 도면.
- 도 14는 터치 패널을 도시하는 도면.
- 도 15는 터치 패널을 도시하는 도면.
- 도 16은 본 발명의 일 실시예의 트랜지스터의 구조예를 도시하는 도면.
- 도 17은 본 발명의 일 실시예의 트랜지스터를 제작하는 방법의 예를 도시하는 도면.
- 도 18은 본 발명의 일 실시예의 트랜지스터의 구조예들을 도시하는 도면.
- 도 19는 본 발명의 일 실시예의 트랜지스터의 예들을 도시하는 도면.
- 도 20은 본 발명의 일 실시예의 전자 장치들을 도시하는 도면.
- 도 21은 본 발명의 일 실시예의 디스플레이를 도시하는 도면.
- 도 22는 본 발명의 일 실시예의 디스플레이를 도시하는 도면.
- 도 23은 본 발명의 일 실시예의 디스플레이 장치의 구조예를 도시하는 도면.
- 도 24는 백라이트의 방출 스펙트럼을 도시하는 그래프.
- 도 25는 상이한 유전율 이방성들을 갖는 액정층들의 잔류 DC의 변화들을 도시하는 그래프.
- 도 26은 액정 디스플레이 장치의 투과율에서 시간-의존 변화를 도시하는 그래프들.
- 도 27은 액정 디스플레이 장치의 디스플레이를 도시하는 도면.
- 도 28은 상이한 유전율 이방성들을 갖는 액정층들의 전압 유지율의 변화들을 도시하는 그래프.
- 도 29는 상이한 배향막들을 갖는 액정 소자들의 잔류 DC의 변화들을 도시하는 그래프.
- 도 30은 상이한 배향막들을 갖는 액정 소자들의 전압 유지율의 변화들을 도시하는 그래프.
- 도 31은 상이한 리프레시율들에서 투과율의 변화들을 도시하는 그래프.

발명을 실시하기 위한 구체적인 내용

- [0019] 이후로, 실시예들이 도면들을 참조하여 기술될 것이다. 실시예들이 다양한 모드들을 통해 구현될 수 있고, 모드들 및 세부사항들이 본 발명의 사상과 범주를 벗어나지 않고도 다양한 방식으로 변화될 수 있음을 당업자가 쉽게 인식할 것임을 주목해야 한다. 따라서, 본 발명은 실시예들의 다음의 설명으로 국한되는 것으로 해석되지 않아야 한다.
- [0020] 참조 도면들에서, 크기, 층들의 두께, 및/또는 영역들은 일부 경우들에서 명확성을 위해 과장될 수 있다. 그러므로, 본 발명의 실시예들은 그러한 축척들로 국한되지 않는다. 도면들이 이상적인 예들의 개략도들이고, 본 발명의 실시예들이 도면들에 도시된 형태 또는 값에 국한되지 않음을 주목해야 한다. 예컨대, 잡음 또는 타이밍의 차이로 인해 신호, 전압 또는 전류의 변동이 포함될 수 있다.
- [0021] 본 명세서, 등에서, 트랜지스터가 게이트, 드레인 및 소스의 적어도 3개의 단자들을 갖는 소자임을 주목해야 한다. 덧붙여, 트랜지스터는 드레인(드레인 단자, 드레인 영역, 또는 드레인 전극)과 소스(소스 단자, 소스 영역, 또는 소스 전극) 사이에 채널 영역을 갖고, 전류는 드레인, 채널 영역 및 소스를 통해 흐를 수 있다.
- [0022] 본 명세서에서, 트랜지스터의 소스 및 드레인은 트랜지스터의 구조, 동작 조건들, 등에 따라 변하기 때문에, 어느 것이 소스 또는 드레인인지를 한정하는 것은 어렵다. 따라서, 소스로서 기능하는 부분 및 드레인으로서 기능하는 부분은 소스 및 드레인으로 불리지 않고, 일부 경우들에서 소스 및 드레인 중 하나는 제 1 전극으로 언급

되고, 다른 하나는 제 2 전극으로 언급된다.

- [0023] 본 명세서에서, "제 1", "제 2" 및 "제 3"과 같은 서수들은 구성요소들 사이의 혼동을 피하기 위하여 사용되고, 이러한 용어들은 구성요소들을 수치적으로 제한하는 것은 아님을 주목해야 한다.
- [0024] 본 명세서에서, "A 및 B가 서로 접촉되었다"라고 기술될 때, A 및 B가 직접 서로 접촉된 경우에 부가하여 A 및 B가 서로 전기적으로 접촉된 경우가 포함됨을 주목해야 한다. 여기에서, "A 및 B가 서로 전기적으로 접촉되었다"라는 기술은, 임의의 전기적인 기능을 갖는 물체가 A 및 B 사이에 존재할 때, 전기 신호가 A 및 B 사이에서 송수신될 수 있는 경우를 의미한다.
- [0025] 본 명세서에서, "위에" 및 "아래에"와 같은 배치를 기술하는 용어들은, 도면들을 참조하여 구성요소들 사이의 위치 관계를 설명하기 위해서 편의상 사용됨을 주목해야 한다. 또한, 구성요소들 사이의 위치 관계는, 각 구성요소가 기술되는 방향에 따라 적절하게 변화된다. 따라서, 본 명세서에서 사용된 용어들에 어떠한 제한도 존재하지 않고, 상황에 따라 적절하게 설명이 이루어질 수 있다.
- [0026] 블록도들에서 회로 블록들의 위치 관계들이 설명을 위해 특정되고, 상이한 회로 블록들이 상이한 기능들을 갖는 경우에도, 이들이 실제 회로 또는 영역 내에 제공되어, 동일한 회로 또는 영역 내에서 상이한 기능들이 달성되게 할 수 있음을 주목해야 한다. 덧붙여, 블록도들 내의 회로 블록들의 기능들은 설명을 위해 특정되고, 하나의 회로 블록이 도시되는 경우에도, 블록들이 실제 회로 또는 영역에 제공되어, 하나의 회로 블록에 의해 수행되는 처리가 복수의 회로 블록들에 의해 수행되게 할 수 있다.
- [0027] 픽셀은 하나의 컬러 성분(예, R(적색), G(녹색) 및 B(청색) 중 어느 하나)의 휘도를 제어하는 디스플레이 유닛에 대응함을 주목해야 한다. 그러므로, 컬러 디스플레이 장치에서, 컬러 이미지의 최소 디스플레이 유닛은 R 픽셀, G 픽셀 및 B 픽셀의 3개의 픽셀들로 이루어진다. 컬러 소자들의 컬러가 반드시 3가지 종류들인 것은 아니고, 3가지 이상의 종류들일 수 있거나, 또는 RGB 이외의 컬러를 포함할 수 있음을 주목해야 한다.
- [0028] 이후로, 본 발명의 실시예들 및 예가 첨부된 도면들을 참조하여 기술될 것이다. 실시예들 및 예는 다음의 순서로 기술될 것이다.
- [0029] 1. 실시예 1(본 발명의 일 실시예의 기본 구조)
- [0030] 2. 실시예 2(액정 디스플레이 장치의 구조)
- [0031] 3. 실시예 3(구동 방법의 예)
- [0032] 4. 실시예 4(구동 방법의 다른 예)
- [0033] 5. 실시예 5(구동 방법의 다른 예)
- [0034] 6. 실시예 6(패널 모듈의 구조)
- [0035] 7. 실시예 7(터치 패널 기능을 갖는 패널 모듈의 구조)
- [0036] 8. 실시예 8(트랜지스터의 구조)
- [0037] 9. 실시예 9(반도체막의 구조)
- [0038] 10. 실시예 10(전자 장치들)
- [0039] 11. 실시예 11(리프레시율의 감소의 중요성)
- [0040] 12. 예(패널의 투과율에서 시간-의존 변화)
- [0041] (실시예 1)
- [0042] 본 실시예에서, 본 발명의 일 실시예의 기본 구조가 기술된다. 본 발명의 일 실시예의 기본 동작은 도 1, 도 2, 도 3, 도 4, 도 5 및 도 6의 그래프들 및 개략도들을 사용하여 설명될 수 있다.
- [0043] 본 발명의 일 실시예의 액정 디스플레이 장치는 1 Hz 이하의 프레임 주파수에서 스틸 이미지를 디스플레이하기 위한 픽셀을 포함한다. 픽셀에 포함된 액정층은 2 이상 5 이하의 유전율 이방성($\Delta \epsilon$)을 갖는다.
- [0044] 먼저, 액정층의 유전율 이방성을 2 이상 5 이하로 설정함으로써 야기되는 효과가 기술된다. 도 1의 그래프는 2 이상 5 이하의 유전율 이방성을 갖는 액정층의 일 예로서, 3.8의 유전율 이방성을 갖는 액정층의 전압-전류 특성들을 도시한다. 비교를 위해, 도 1의 그래프는 또한 5를 초과하는 유전율 이방성을 갖는 액정층들의 예들로서

5.2의 유전율 이방성을 갖는 액정층의 전압-전류 특성들 및 9.9의 유전율 이방성을 갖는 액정층의 전압-전류 특성들을 도시한다.

- [0045] TN 모드 액정(Merck가 생산한 MLC7030)이 3.8의 유전율 이방성을 갖는 액정층의 액정 재료로서 사용되었음을 주목해야 한다. TN 모드 액정(Merck가 생산한 MLC4792)이 5.2의 유전율 이방성을 갖는 액정층의 액정 재료로서 사용되었다. TN 모드 액정(Merck가 생산한 MLC3019)이 9.9의 유전율 이방성을 갖는 액정층의 액정 재료로서 사용되었다.
- [0046] 3.8의 유전율 이방성을 갖는 액정층의 액정 재료가 $4.9 \times 10^{14} (\Omega \cdot \text{cm})$ 의 고유저항을 가짐을 주목해야 한다. 5.2의 유전율 이방성을 갖는 액정층의 액정 재료는 $8.1 \times 10^{13} (\Omega \cdot \text{cm})$ 의 고유저항을 갖는다. 9.9의 유전율 이방성을 갖는 액정층의 액정 재료는 $2.9 \times 10^{13} (\Omega \cdot \text{cm})$ 의 고유저항을 갖는다.
- [0047] 도 1은 유전율 이방성이 3.8일 때, 전압 증가에 따라 전류가 급격하게 변하고(도 1의 영역들(10)), 이후 안정 상태가 됨을 도시한다. 유사하게, 도 1은 유전율 이방성이 5.2 또는 9.9일 때, 전압 증가에 따라 전류가 급격하게 변하고(도 1의 영역들(10)), 이후 안정 상태가 됨을 도시한다.
- [0048] 도 1에서 상이한 유전율 이방성들을 갖는 라인들을 비교함으로써, 전류의 급격한 변화의 정도가 큰 유전율 이방성을 갖는 액정층에서 더 큰 것이 밝혀졌다. 전류의 이러한 급격한 변화는, 액정층 내에 포함된 불순물(예, 이온 불순물)의 비율이 유전율 이방성이 높을 때 증가하고, 따라서 액정층의 고유저항이 감소하는 사실로부터 초래된다.
- [0049] 여기에서, 유전율 이방성이 기술된다. 유전율 이방성은 또한 유전 이방성으로도 언급된다. 높은 유전 이방성은 동영상들을 디스플레이하기 위하여 바람직하다.
- [0050] 액정층의 유전율 이방성이 높을 때, 전계와의 상호작용은 강하고, 액정층의 동작 속도는 높다; 따라서 높은 유전율 이방성을 갖는 액정층을 포함하는 액정 디스플레이 장치는 고속으로 동작할 수 있다.
- [0051] 그러나, 액정층의 유전율 이방성이 5를 초과할 때, 액정층에 포함된 불순물의 영향은 상술한 바와 같이 커진다. 액정층, 특히 5를 초과하는 유전율 이방성을 갖는 액정층에서 불순물을 제거하기는 어렵다. 액정층에 남아 있는 불순물은 액정층의 도전율을 증가시키고, 이는 리프레시율이 낮을 때 픽셀에 인가된 전압을 유지하기 어렵게 한다.
- [0052] 다른 한 편으로, 낮은 유전율 이방성이 바람직하다는 개념이 존재한다.
- [0053] 액정층의 유전율 이방성이 낮을 때, 액정층 내의 불순물의 양은 줄어들 수 있어서, 액정층은 낮은 도전율을 가질 수 있다. 이러한 이유로, 낮은 유전율 이방성을 갖는 액정층은 픽셀에 인가된 전압이 리프레시율이 낮을 때 더 길게 유지될 수 있다는 장점을 갖는다.
- [0054] 그러나, 액정층의 유전율 이방성이 2 미만일 때, 전계와의 상호작용은 작고, 액정층의 동작 속도는 낮다; 따라서 높은 속도의 동작을 위해 높은 구동 전압이 필요하다. 이러한 이유로, 2 미만의 유전율 이방성은 낮은 전력 소비를 위해 리프레시율이 감소되는 액정 디스플레이 장치의 액정층을 위해 적합하지 않다. 특히, 높은 구동 전압은 바람직하지 않은데, 왜냐하면 낮은 리프레시율의 구동이 동영상들을 디스플레이하기 위한 높은 리프레시율의 구동으로 변할 때 액정 디스플레이 장치의 총 전력 소비가 상당히 증가하기 때문이다.
- [0055] 그러므로, 본 실시예의 하나의 모드에서, 액정층의 유전율 이방성이 2 이상 5 이하인 것이 바람직하다. 2 이상 5 이하의 유전율 이방성을 갖는 액정층은 액정층에 포함된 불순물의 비율을 줄일 수 있고, 동영상 디스플레이가 수행될 때 전력 소비를 증가시키지 않는다; 따라서 액정층의 구동 전압은 바람직한 범위 내로 설정될 수 있다.
- [0056] 액정층의 유전율 이방성이 2 이상 5 이하인 경우, 액정층의 구동 전압은 전력 소비를 증가시키지 않는 범위 내에서 높게 설정되는 것이 바람직함을 주목해야 한다. 액정층의 높은 구동 전압은 그레이 레벨에서 변동의 허용 범위를 확장시킨다. 즉, 구동 전압이 높기 때문에 전압 변화에 따른 그레이 레벨의 작은 변동으로 인해 플리커들이 줄어들 수 있다.
- [0057] 2 이상 5 이하의 유전율 이방성을 갖는 액정층이 상술되었지만, 유전율 이방성이 2.2 이상 4.8 이하; 2.4 이상 4.6 이하; 2.6 이상 4.4 이하; 2.8 이상 4.2 이하; 3 이상 4 이하; 및 3 이상 3.8 이하인 것이 더욱 바람직하다(선호도를 증가시키는 순서로 기술되었음).
- [0058] 본 실시예에서, 트위스트 네마틱(TN) 모드의 액정층이 일 예로 기술되었지만, 다른 모드들이 채용될 수 있다.

- [0059] TN 모드 이외에 액정층의 동작 모드로서, IPS(in-plane-switching) 모드, FFS(fringe field switching) 모드, MVA(multi-domain vertical alignment) 모드, PVA(patterned vertical alignment) 모드, ASM(axially symmetric aligned micro-cell) 모드, OCB(optical compensated birefringence) 모드, FLC(ferroelectric liquid crystal) 모드, AFLC(antiFerroelectric liquid crystal) 모드 등이 사용될 수 있다. 액정 디스플레이 장치 내의 각 픽셀 내에서 픽셀 전극의 구조가 디스플레이 모드에 따라 적절하게 변할 수 있음을 주목해야 한다.
- [0060] 액정층의 유전율 이방성을 2 이상 5 이하로 설정함으로써, 그레이 레벨의 변동은 동일한 스틸 이미지를 디스플레이하기 위한 허용 가능한 범위 내로 유지될 수 있어서, 플리커들이 줄어들 수 있다. 결과적으로, 디스플레이 품질은 개선될 수 있다.
- [0061] 동일한 스틸 이미지를 디스플레이하기 위한 그레이 레벨의 허용 가능한 변동은 예컨대 투과율의 256 레벨들을 제어함으로써 이미지가 디스플레이될 때 0 이상 3 이하임을 주목해야 한다. 동일한 스틸 이미지를 디스플레이하기 위한 그레이 레벨의 변동이 0 이상 3 이하일 때, 시청자들은 플리커들을 거의 지각하지 못한다. 다른 예로서, 투과율의 1024 레벨들을 제어함으로써 이미지가 디스플레이될 때, 그레이 레벨 변동의 허용 가능한 범위는 0 이상 12 이하이다. 즉, 동일한 스틸 이미지를 디스플레이하기 위한 그레이 레벨 변동의 허용 가능한 범위는 최대 그레이 레벨들의 1% 이상 1.2% 이하가 바람직하다.
- [0062] 본 발명의 일 실시예인, 2 이상 5 이하의 유전율 이방성을 갖는 액정층의 구조가 동영상 디스플레이 및 스틸 이미지 디스플레이가 상이한 리프레시율들로 수행되는 구동 방법과 결합되는 것이 특히 바람직하다. 상이한 리프레시율들로 동작하는 액정 디스플레이 장치에서, 동영상 디스플레이가 스틸 이미지 디스플레이로 변환 때, 프레임 주파수는 60Hz에서 1Hz 이하로, 바람직하게는 60Hz에서 0.2Hz 이하로 변하고, 이에 의해 전력 소비가 줄어든다. 즉, 본 실시예의 구조는 리프레시율이 스틸 이미지 디스플레이시 줄어드는 구조로서 적합하다.
- [0063] 상이한 리프레시율들로 디스플레이를 수행하는 액정 디스플레이 장치에서, 동영상 디스플레이시 및 스틸 이미지 디스플레이시 전력 소비를 줄이고 디스플레이 품질의 저하를 방지하는 것이 바람직하다. 스틸 이미지 디스플레이시 리프레시율이 낮게 설정되기 때문에, 픽셀에 대한 전압의 인가들 사이의 시간 간격은 더 길어진다. 즉, 스틸 이미지 디스플레이시의 리프레시율이 감소할 때, 픽셀에 전압이 인가되지 않는 특정 시간 기간이 존재한다.
- [0064] 따라서, 스틸 이미지 디스플레이시 감소된 리프레시율로 구동하는 경우, 픽셀에 인가된 전압을 특정 값으로 유지하는 것이 중요하다. 덧붙여, 동영상 디스플레이시 증가된 리프레시율로 구동하는 경우, 프레임 주파수가 증가하기 때문에, 구동 전압을 낮게 설정하는 것은 전력 소비를 줄이기 위하여 중요하다.
- [0065] 본 발명의 일 실시예에서, 액정층 내의 불순물은 5를 초과하는 유전율 이방성을 갖는 액정층과 비교하여 감소된다. 따라서, 액정층 내의 불순물에 의해 야기된 누설 전류는 작아서, 픽셀에 인가된 전압은 리프레시율이 낮을 때 유지될 수 있다.
- [0066] 더욱이, 본 발명의 일 실시예의 구조에서, 2 미만의 유전율 이방성을 갖는 액정층의 경우와 비교하여 구동 전압은 낮게 설정될 수 있다. 낮은 구동 전압으로 동작하는 액정 디스플레이 장치에서, 스틸 이미지 디스플레이가 동영상 디스플레이로 변화할 때 프레임 주파수의 증가에 의해 야기되는 전력 소비의 증가는 억제될 수 있다.
- [0067] 본 발명의 일 실시예에서, 액정층 내의 불순물에 의해 야기된 누설 전류가 작을 수 있기 때문에, 미리 픽셀 내에 큰 저장 커패시터를 제공함이 없이 플리커들은 줄어들 수 있다. 큰 저장 커패시터를 통해 플리커들을 감소시키기 위한 설계가 필요하지 않으므로, 작은 저장 커패시터를 통한 설계가 가능하며, 픽셀 해상도가 증가될 수 있다. 높은 픽셀 해상도 및 낮은 리프레시율은 눈의 피로를 감소시킬 수 있다.
- [0068] 본 실시예에서 스틸 이미지 디스플레이가 1Hz 이하의 리프레시율로 수행되는 경우, 다음의 요건들을 충족시킴으로써 눈에 친화적인 액정 디스플레이 장치가 달성될 수 있다. 이러한 특정 요건들은, 스틸 이미지 디스플레이가 수행될 때, 액정층을 통해 시청자에게 전달되는 광이 420nm 보다 긴, 바람직하게는 440nm 보다 긴 파장을 갖는 디스플레이부 상에 이미지들이 디스플레이되고, 픽셀 해상도가 150ppi 이상, 바람직하게는 200ppi 이상이라는 요건이다.
- [0069] 액정층의 유전율 이방성을 2 이상 5 이하로 설정함으로써 잔류 DC의 시간의존 변화에 대한 영향이 기술된다. 도 25의 그래프는, 액정층이 삽입된 전극들 사이에 5V의 전압이 1시간 동안 인가되고, 전극들이 1초동안 단락되고, 이후 전극들이 개방 회로가 되는 상태에서 전압의 시간 의존 변화를 도시한다. 도 25의 그래프가 전극들이 개방

회로가 된 후 잔류 DC의 시간 의존 변화를 도시함을 주목해야 한다.

[0070] 잔류 DC는 전압이 액정층에 인가될 때 전극들 사이에 남아 있는 전기 전하들에 의해 생성된 전압을 언급함을 주목해야 한다. 잔류 DC에 의해, 미리 결정된 전압이 액정층에 인가될 때 별도의 전압이 전극들 사이에 인가된다. 덧붙여, 심지어 전압이 액정층에 인가되지 않는 시간의 기간에도, 액정층 내에 남아 있는 전기 전하들로 인해 전압이 전극들 사이에 남아 있게 된다. 액정 재료가 전극들 사이에 삽입되고, 배향막들이 전극들 상에 제공되는 구조에서, "전극들 사이"는 배향막들 사이를 의미함을 주목해야 한다.

[0071] 도 25의 그래프는, 2 이상 5 이하의 유전율 이방성을 갖는 액정층의 예로서 3.8의 유전율 이방성을 갖는 액정층의 결과를 도시한다. 비교를 위해, 도 25의 그래프는 또한 5.2 및 9.9의 유전율 이방성들을 갖는 액정층들의 결과를 도시한다. 액정층들의 액정 재료들은 도 1의 것들과 동일하다.

[0072] 도 25는, 유전율 이방성이 3.8일 때 전압은 전극들이 개방 회로가 된 직후에 증가하지만, 액정층 내의 불순물에 기인한 잔류 전압은 시간에 따라 감소하는 것을 도시한다. 다른 한 편으로, 유전율 이방성이 5.2 또는 9.9일 때, 전압은 전극들이 개방 회로가 된 직후에 크게 증가하고, 액정층 내의 불순물에 기인한 잔류 전압은, 시간에 따라 감소할지라도, 남아 있게 된다.

[0073] 도 25에서 상이한 유전율 이방성들을 갖는 라인들을 비교함으로써, 전극들이 개방 회로가 된 직후의 전압이 더 큰 유전율 이방성을 갖는 액정층 내에서 더 큼이 밝혀졌다. 액정 재료들에 의존하는 전압 차이들의 원인은 큰 유전율 이방성이 액정층 내의 불순물의 비율을 증가시키기 때문이다. 그러므로, 액정층 내의 불순물의 비율이 낮은, 2 이상 5 이하의 유전율 이방성을 갖는 본 발명의 일 실시예의 구조를 채용함으로써, 전극들이 개방 회로가 된 직후의 잔류 DC의 영향은 줄어들 수 있다.

[0074] 다음에, 도 28은, 상이한 유전율 이방성들($\Delta \epsilon = 3.8, 5.2, 9.9$)을 갖는 액정층들의 각각의 30°C에서 전압 유지 비율(VHR)의 시간 의존 변화를 도시한다. 도 28의 그래프는 전압이 액정층이 삽입된 전극들 사이에 인가되고, 전극들이 개방 회로가 된 후, 전압의 변화를 측정함으로써 얻어진 결과들을 도시한다. 결과들은 전압 유지 비율이 고유저항의 증가에 따라 증가함을 나타낸다. 심지어 전압이 액정층에 인가되지 않는 시간의 기간에도, 전압 유지 비율은 그레이 레벨의 변동을 줄이기 위하여 높은 것이 바람직하다.

[0075] 다음에, 도 2, 도 3, 도 4, 도 5 및 도 6을 사용하여, 픽셀에 인가된 전압의 변화에 따른 그레이 레벨의 변동이 2 이상 5 이하의 유전율 이방성을 갖는 액정층을 채용함으로써 허용 가능한 범위 내로 유지될 수 있는, 도 1의 구조에 대한 설명이 이루어진다.

[0076] 먼저, 도 3, 도 4, 도 5 및 도 6을 사용하는 액정층들의 특정 예들의 다음의 설명들의 쉬운 이해를 위해, 액정층의 특성들이 도 2를 사용하여 기술된다.

[0077] 도 2의 (A)는 TN 모드의 액정층의 전압-투과율 특성들을 도시하는 그래프이다.

[0078] 도 2의 (A)의 그래프는 노멀리 백색 액정 소자의 곡선을 도시한다. 액정층에서, 액정층 내의 액정 분자들의 배향들은 액정층이 삽입된 전극들 사이에 인가된 전압에 따른 전계에 의해 변화되고, 이에 의해 편광된 광의 투과율이 제어된다. 도 2의 (A)에서, 전압(V_{max})은 액정층을 통한 광의 투과율이 0이 되는 전압이다. 전압(V_{min})은 액정층을 통한 광의 투과율이 최대값이 되는 전압이다. 전압(V_{mid})은 액정층을 통한 광의 투과율이 절반값(50%)이 되는 전압이다.

[0079] 도 2의 (B)의 그래프는 액정층에 인가된 전압과 그레이 레벨의 관계를 도시한다. 도 2의 (B)에서, 예컨대 흑색 이미지 또는 백색 이미지가 디스플레이되는 경우, 광 투과율은 전압(V_{max}) 또는 전압(V_{min})의 인가에 의해 변화되고; 따라서 이미지는 0과 G_{max} 사이에서 그레이 레벨을 전환함으로써 디스플레이될 수 있다.

[0080] 도 2의 (B)에서, 색의 농담을 나타내기 위하여 다중 그레이 레벨들로 이미지가 디스플레이되는 경우, 전압들(V_{max} , V_{mid} 및 V_{min})이 인가되어, 광 투과율이 변화되고, 그레이 레벨이 G_{max} , G_{mid} 및 0 사이에서 전환되고, 이에 의해 이미지가 디스플레이될 수 있다. 그레이 레벨들을 증가시키기 위하여, 복수의 전압 레벨들이 전압(V_{max})과 전압(V_{min}) 사이에서 설정된다. 광 투과율은 복수의 그레이 레벨들로 이미지를 디스플레이할 수 있는 액정 디스플레이 장치를 얻기 위하여 사용되는 전압 레벨에 따라 변화된다.

[0081] 그 경우, 액정층에 인가된 전압의 값이 변화되지 않을 때, 광 투과율은 또한 변화되지 않고; 따라서 원하는 그레이 레벨이 얻어질 수 있다. 다른 한 편으로, 액티브 매트릭스 액정 디스플레이 장치의 픽셀 내의 액정층에 인가된 전압의 값이 액정층을 통해 흐르는 전류로 인해 시간에 따라 변화된다. 특히, 특정 시간의 기간이 경과하고, 전압의 값이 ΔV 만큼 변화할 때, 그레이 레벨은 또한 ΔG 만큼 변화된다. 픽셀에 인가된 전압의 값이 동일한

스틸 이미지를 디스플레이하기 위한 그레이 레벨 변동의 허용 가능한 범위 밖의 값으로 변화할 때, 플리커들이 시청자들에 의해 지각될 수 있고, 이는 디스플레이 품질의 감소를 의미한다.

[0082] 도 2의 (C)는 사이에 액정층이 삽입된 전극들의 단면 개략도이다. 도 2의 (C)는 도 2의 (A)의 전압(V_{min})이 인가된 액정층의 배향된 상태(초기 배향 상태) 및 전압(V_{max})이 인가된 액정층의 배향된 상태(포화된 배향 상태)를 도시한다.

[0083] 초기 배향 상태가 전압이 인가되지 않은 액정 분자들의 상태를 언급함을 주목해야 한다. TN 액정에서 초기 배향 상태는 액정 분자들이 전극들 사이에서 90° 만큼 뒤틀린 상태이다. 포화된 배향 상태는 전압이 인가된 액정 분자들의 상태로서, 액정 분자들이 기울어지거나 일어난 상태이고, 배향들이 더 높은 전압의 인가에 의해 변경되기 어려운 상태를 언급한다.

[0084] 도 2의 (C)에서, 제 1 전극(11), 제 2 전극(12), 배향막(13), 배향막(14) 및 액정 분자들(15)의 단면들이 도시되었다. 제 1 전극(11)이 픽셀 전극에 대응하고, 제 2 전극(12)이 대향 전극에 대응함을 주목해야 한다.

[0085] 초기 배향 상태에서 유전율은 $\epsilon \perp$ 로 표현되고, 포화된 배향 상태에서 유전율은 $\epsilon //$ 로 표현된다. 초기 배향 상태에서의 유전율($\epsilon \perp$)과 포화된 배향 상태에서 유전율($\epsilon //$) 사이의 차이는 상술한 유전율 이방성($\Delta \epsilon$)에 대응한다.

[0086] 도 3은 액정층이 사이에 삽입된 도 2의 (C)에 도시된 전극들 사이에 전압(V_{mid})이 인가되는 경우의 투과율 변화를 관측하기 위한 개략도이다.

[0087] 도 3은 도 2의 (A)에서 전압(V_{mid})이 인가된 액정층의 배향 상태(중간 배향 상태)를 도시한다. 도 3은, 도 2의 (C)에 도시된, 제 1 전극(11), 제 2 전극(12), 배향막(13), 배향막(14) 및 액정 분자들(15)에 부가하여, 편광 플레이트(21), 편광 플레이트(22), 및 광 검출기(23)를 도시한다. 도 3에서, 화살표들은 광을 나타내고; 화살표(24)는 액정층으로 입사하는 광을 나타내고, 화살표(25)는 액정층을 투과하는 광을 나타낸다. 화살표(24)에 의해 표현된 광이 액정 디스플레이 장치의 백라이트에 대응함을 주목해야 한다. 액정 소자가 도 3에 도시된 제 1 전극(11), 제 2 전극(12), 배향막(13), 배향막(14), 액정 분자들(15), 편광 플레이트(21) 및 편광 플레이트(22)를 포함하는 구조를 언급할 수 있음을 주목해야 한다.

[0088] 도 3에 도시된 구성요소들은 아래에서 상세하게 기술된다. 110-nm 두께의 인듐 주석 산화물(ITO)막은 각 제 1 전극(11) 및 제 2 전극(12)으로 형성된다. 70-nm 두께의 폴리이미드막(Nissan Chemical Industries, Ltd.가 제작한 SE-7492)은 각 배향막(13) 및 배향막(14)으로 형성된다. 액정 분자들(15)을 위해, 상이한 유전율들을 갖는 2 종류의 TN 모드 액정 재료들(Merck가 제작한 ZLI4792 및 MLC7030)이 사용된다. 배향막(13) 및 배향막(14) 사이의 셀 갭은 $4\mu m$ 이다. 액정층에 대한 전압 인가에 의해 광 투과율의 제어로 표시되는 측정을 위한 그레이 레벨들은 256개의 레벨들이다.

[0089] 도 4의 (A)는 도 1의 5.2의 유전율 이방성을 갖는 TN 모드 액정층을 포함하는 액정 소자에 전압이 인가되는 경우 투과율의 시간 의존 변화를 도시한다. 전압은 구동 전압 파형(도 4의 (A)에서 상부측의 구형파)에서 1Hz의 프레임 주파수로 제 1 전극(11)에 인가된다. 0V의 전압이 제 2 전극(12)에 인가된다. 도 4의 (A)는 전압(V_{mid})에 대응하는 +2.5V의 전압과 -2.5V의 전압이 교대로 액정층에 인가되는 경우 투과율의 시간 의존 변화(도 4의 (A)에서 하부측의 톱니파형)를 도시한다.

[0090] 도 4의 (B)는 도 4의 (A)의 것과 유사한 방식으로 얻어질 수 있는 3.8의 유전율 이방성을 갖는 TN 모드 액정층을 포함하는 액정 소자에 전압이 인가되는 경우 투과율의 시간 의존 변화(도 4의 (B)에서 상부측의 톱니파형)를 도시한다. 도 4의 (B)는 또한 도 4의 (A)의 것과 유사한 방식으로 얻어질 수 있는 5.2의 유전율 이방성을 갖는 TN 모드 액정층을 포함하는 액정 소자에 전압이 인가되는 경우 투과율의 시간 의존 변화(도 4의 (B)에서 하부측의 톱니파형)를 도시한다.

[0091] 3.8의 유전율 이방성을 갖는 TN 모드 액정층을 포함하는 액정 소자에서 그레이 레벨의 최대 변동이 1.1 레벨들(투과율: 0.35%)이고; 반면에 5.2의 유전율 이방성을 갖는 TN 모드 액정층을 포함하는 액정 소자에서 그레이 레벨의 최대 변동이 1.7 레벨들(투과율: 0.43%)인 것이 추정된다.

[0092] 도 4의 (B)에서 톱니 파형은 상술한 액정층 내의 불순물에 기인한 상술한 잔류 DC를 반영한다. 그러므로, 액정층 내의 불순물의 비율이 낮은, 2 이상 5 이하의 유전율 이방성을 갖는 본 발명의 일 실시예의 구조에서, 잔류 DC에 의해 야기된 투과율 변화는 감소될 수 있다.

- [0093] 즉, 본 발명의 일 실시예의 유전율 이방성의 범위 내에 드는 3.8의 유전율 이방성의 경우, 그레이 레벨의 변동은 줄어들 수 있다.
- [0094] 다른 예로서, 도 5의 (A)는 도 1의 5.2의 유전율 이방성을 갖는 TN 모드 액정층을 포함하는 액정 소자에 전압이 인가되는 경우 투과율의 시간 의존 변화를 도시한다. 전압은 구동 전압 파형(도 5의 (A)에서 상부측의 굽니파형)에서 0.2Hz의 프레임 주파수로 제 1 전극(11)에 인가된다. 0V의 전압이 제 2 전극(12)에 인가된다. 도 5의 (A)는 전압(V_{mid})에 대응하는 +2.5V의 전압과 -2.5V의 전압이 교대로 액정층에 인가되는 경우 투과율의 시간 의존 변화(도 5의 (A)에서 하부측의 굽니파형)를 도시한다.
- [0095] 도 5의 (B)는 도 5의 (A)의 것과 유사한 방식으로 얻어질 수 있는 3.8의 유전율 이방성을 갖는 TN 모드 액정층을 포함하는 액정 소자에 전압이 인가되는 경우 투과율의 시간 의존 변화(도 5의 (B)에서 상부측의 굽니파형)를 도시한다. 도 5의 (B)는 또한 도 5의 (A)의 것과 유사하게 얻어질 수 있는 5.2의 유전율 이방성을 갖는 TN 모드 액정층을 포함하는 액정 소자에 전압이 인가되는 경우 투과율의 시간 의존 변화(도 5의 (B)에서 하부측의 굽니파형)를 도시한다.
- [0096] 3.8의 유전율 이방성을 갖는 TN 모드 액정층을 포함하는 액정 소자에서 그레이 레벨의 최대 변동이 2.2 레벨들(투과율: 0.7%)이고; 반면에 5.2의 유전율 이방성을 갖는 TN 모드 액정층을 포함하는 액정 소자에서 그레이 레벨의 최대 변동이 3.4 레벨들(투과율: 0.89%)인 것이 추정된다.
- [0097] 도 5의 (B)에서 굽니 파형은 상술한 액정층 내의 불순물에 기인한 상술한 잔류 DC를 반영한다. 그러므로, 도 4의 (B)에서와 유사하게, 액정층 내의 불순물의 비율이 낮은, 2 이상 5 이하의 유전율 이방성을 갖는 본 발명의 일 실시예의 구조에서, 잔류 DC에 의해 야기된 투과율 변화는 감소될 수 있다.
- [0098] 즉, 본 발명의 일 실시예의 유전율 이방성의 범위 내에 드는 3.8의 유전율 이방성의 경우, 그레이 레벨의 변동은 줄어들 수 있다. 3을 초과하는 그레이 레벨의 변동이 상술한 바와 같이 시청자들에 의해 플리커들로서 지각되므로, 유전율 이방성이 2 내지 5인 본 발명의 일 실시예의 허용 가능한 범위를 벗어나면 원하는 효과는 얻어질 수 없다.
- [0099] 1Hz의 프레임 주파수의 경우와 0.2Hz의 프레임 주파수의 경우가 도 4 및 도 5를 참조한 예들로서 각각 기술되었지만, 주파수는 이들에 국한되지 않는다. 프레임 주파수는 액정층의 액정 모드 및/또는 재료에 따라 적절하게 설정될 수 있다.
- [0100] 도 6은 프레임 주파수들, 유전율 이방성들, 및 도 4 및 도 5를 사용하여 기술된 그레이 레벨의 변동들을 모두 함께 도시한다. 도 6으로부터 알 수 있는 바와 같이, 유전율 이방성이 3.8일 때, 그레이 레벨의 변동은 3 이하일 수 있다. 다른 한 편으로, 유전율 이방성이 5.2일 때, 1Hz의 프레임 주파수에서 그레이 레벨의 변동은 3 이하일 수 있지만, 0.2Hz의 프레임 주파수에서 그레이 레벨의 변동은 3을 초과한다.
- [0101] 도 6에 도시된 바와 같이, 본 발명의 일 실시예의 유전율 이방성을 2 이상 5 이하로 설정함으로써, 픽셀에 인가된 전압의 변동에 의해 야기된 그레이 레벨의 변동은 3 이하일 수 있다. 따라서, 낮은 리프레시율로 인한 플리커들은 줄어들 수 있고, 이는 디스플레이 품질의 향상을 초래한다.
- [0102] 더욱이, 배향막과 액정층 사이의 전기 특성들의 차이에 의해 야기된 전기 전하들의 축적은 픽셀에 인가된 전압의 변동에 의해 야기된 그레이 레벨의 변동에 기여할 수 있다. 누설 전류는 배향막과 액정층을 통해 흐른다. 따라서, 배향막을 통해 흐르는 누설 전류의 전류 밀도는 액정층을 통해 흐르는 누설 전류의 전류 밀도와 동일한 값을 갖는다. 그러나, 배향막과 액정층 사이에서, 유전율(ϵ)과 고유저항(ρ)의 곱에 비례하는 완화 시간(τ)의 차이가 존재한다. 결과적으로, 누설 전류가 액정층을 통해 흐를 때, 전기 전하들은 배향막과 액정층 사이의 계면 주위에 축적되어, 계면 주위에서 잔류 DC가 생성된다.
- [0103] 다층 유전체에 대한 맥스웰-와그너 이론으로부터 유도된 수학적 식 1이 충족될 때, 배향막과 액정층 사이의 계면 주위에 축적된 전기 전하들은 감소될 수 있어서, 잔류 DC는 줄어들 수 있다. 수학적 식 1에서, ϵ_{LC} 는 액정층의 유전율을 나타내고, ρ_{LC} 는 액정층의 고유저항을 나타내고, ϵ_{AL} 는 배향막의 유전율을 나타내고, ρ_{AL} 는 배향막의 고유저항을 나타냄을 주목해야 한다.

수학식 1

$$\varepsilon_{LC} \cdot \rho_{LC} = \varepsilon_{AL} \cdot \rho_{AL}$$

[0104]

[0105]

수학식 1의 관계와 밀접한 관계를 얻기 위하여, 액정층의 고유저항과 배향막의 고유저항이 가능한 많이 서로 밀접한 것이 바람직하다. 배향막이 액정층보다 더 높은 고유저항을 갖기 때문에, 액정층과 배향막의 고유저항들을 서로 밀접하게 하기 위하여, 액정층의 고유저항을 증가시키거나 배향막의 고유저항을 감소시키는 것이 필요하다. 상술한 바와 같이, 액정층의 고유저항을 증가시키는 것이 바람직하다.

[0106]

특히, 3.8의 유전율 이방성을 갖는 TN 모드 액정층이 2 이상 5 이하의 유전율 이방성을 갖는 액정층으로 사용되었고, 상이한 물리적인 특성값들을 갖는 배향막들이 사용되었고, 잔류 DC의 차이가 측정되었다. 도 29는 측정 결과들을 도시한다. 도 29는 배향막(A)이 $4 \times 10^{15} (\Omega \cdot \text{cm})$ 의 고유저항을 갖는 배향막을 나타내고, 배향막(B)이 $2 \times 10^{14} (\Omega \cdot \text{cm})$ 의 고유저항을 갖는 배향막을 나타내고, 수평축이 시간을 나타내고, 수직축이 잔류 DC로 인한 전압값을 나타내는 그래프이다.

[0107]

도 30은 3.8의 유전율 이방성을 갖는 TN 모드 액정 디스플레이 장치들의 전압 유지율의 변화를 도시하고, 액정 디스플레이 장치들 중 하나는 배향막(A)을 포함하고, 다른 하나는 배향막(B)을 포함한다.

[0108]

도 29는 잔류 DC가 배향막의 고유저항을 감소시킴으로써 감소될 수 있음을 나타낸다. 그러나, 도 30은 액정층 및 배향막의 고유저항들을 감소시킴으로써 누설 전류가 증가하고, 전압 유지율이 감소됨을 나타낸다.

[0109]

본 실시예의 구조에서와 같이 낮은 리프레시율로 구동하는 경우, 배향막 및 액정층의 고유저항들을 서로 밀접하도록 증가시키는 것이 바람직하다.

[0110]

위의 결과들의 관점에서, 다음의 조건들, 즉 2 이상 5 이하의 유전율 이방성을 갖는 액정층을 사용하는 것; 액정층을 위해 높은 전압 유지율을 갖는 재료를 사용하는 것; 및 배향막 및 액정층의 고유저항들을 서로 밀접하도록 증가시킴으로써 잔류 DC를 감소시키는 것을 충족시키는 것이 바람직하다.

[0111]

(실시예 2)

[0112]

본 실시예에서, 실시예 1에 기술된 액정층을 포함하는 액정 디스플레이 장치의 일 예가 도 7 및 도 8을 참조하여 기술된다.

[0113]

특히, G 신호가 60Hz 이상의 주파수로 출력되는 제 1 모드 및 G 신호가 1Hz 이하, 바람직하게는 0.2Hz 이하의 주파수로 출력되는 제 2 모드를 갖는 액정 디스플레이 장치가 기술된다. G 신호는 픽셀을 선택한다.

[0114]

도 7은 본 발명의 일 실시예의 디스플레이 기능을 갖는 액정 디스플레이 장치의 구조의 블록도이다.

[0115]

도 8은 본 발명의 일 실시예의 디스플레이 기능을 갖는 액정 디스플레이 장치의 디스플레이부의 구조의 블록도 및 회로도이다.

[0116]

< 1. 액정 디스플레이 장치의 구조 >

[0117]

본 실시예의 일 예로서 기술되고 도 7에 도시된, 디스플레이 기능을 갖는 액정 디스플레이 장치(600)는, 픽셀 회로들(634)을 포함하는 픽셀부(631); 제 1 구동 신호들(S 신호들로도 언급됨)(633_S) 입력을 유지하고, S 신호들(633_S)에 따라 픽셀부(631)상에 이미지를 디스플레이하는 디스플레이 소자들(635)을 포함하는 픽셀 회로들(634); S 신호들(633_S)을 픽셀 회로들(634)에 출력하는 제 1 드라이버 회로(S 드라이버 회로로도 언급됨)(633); 및 픽셀 회로들(634)을 선택하기 위한 제 2 구동 신호들(G 신호들로도 언급됨)(632_G)을 픽셀 회로들(634)에 출력하는 제 2 드라이버 회로(G 드라이버 회로로도 언급됨)(632)를 포함한다.

[0118]

G 드라이버 회로(632)는 G 신호(632_G)가 초당 30회 이상의 빈도, 바람직하게는 초당 60회 이상 960회 미만의 빈도로 픽셀에 출력되는 제 1 모드 및 G 신호(632_G)가 하루당 1회 이상 초당 0.1회 미만의 빈도, 바람직하게는 시간당 1회 이상 초당 1회 미만의 빈도로 픽셀에 출력되는 제 2 모드를 갖는다.

[0119]

G 드라이버 회로(632)에서, 제 1 모드 및 제 2 모드가 모드-전환 신호에 따라 전환됨을 주목해야 한다.

[0120]

픽셀 회로(634)는 픽셀(631p) 내에 제공된다. 복수의 픽셀들(631p)은 디스플레이부(630) 내의 픽셀부(631) 내에

제공된다.

- [0121] 디스플레이 기능을 갖는 액정 디스플레이 장치(600)는 연산 유닛(620)을 포함한다. 연산 유닛(620)은 1차 제어 신호(625_C) 및 1차 이미지 신호(625_V)를 출력한다.
- [0122] 액정 디스플레이 장치(600)는 제어 유닛(610)을 포함한다. 제어 유닛(610)은 S 드라이버 회로(633)와 G 드라이버 회로(632)를 제어한다.
- [0123] 액정 소자가 디스플레이 소자(635)로 사용되는 경우, 광 공급부(650)는 디스플레이부(630) 내에 제공된다. 광 공급부(650)는 광을 액정 소자를 포함하는 픽셀부(631)에 공급하고, 백라이트로서 기능한다.
- [0124] 디스플레이 기능을 갖는 액정 디스플레이 장치(600)에서, 픽셀부(631) 내의 복수의 픽셀 회로들(634)로부터 하나를 선택하는 빈도는 G 드라이버 회로(632)로부터 출력된 G 신호(632_G)에 의해 변화될 수 있다. 결과적으로, 액정 디스플레이 장치(600)는 사용자들에게 가해지는 눈의 피로를 줄이는 디스플레이 기능을 가질 수 있다.
- [0125] 본 발명의 일 실시예의 디스플레이 기능을 갖는 액정 디스플레이 장치 내에 포함된 소자들은 아래에 기술된다.
- [0126] < 2. 연산 유닛 >
- [0127] 연산 유닛(620)은 1차 이미지 신호(625_V) 및 1차 제어 신호(625_C)를 생성한다.
- [0128] 연산 유닛(620)에 의해 생성된 1차 제어 신호(625_C)는 모드-전환 신호를 포함한다.
- [0129] 예컨대, 연산 유닛(620)은 입력 유닛(500)으로부터 출력된 이미지-전환 신호(500_C)에 따른 모드-전환 신호를 포함하는 1차 제어 신호(625_C)를 출력할 수 있다.
- [0130] 이미지-전환 신호(500_C)가 제 2 모드에서 입력 유닛(500)으로부터 제어 유닛(610)을 통해 G 드라이버 회로(632)로 입력될 때, G 드라이버 회로(632)는 제 2 모드로부터 제 1 모드로 모드를 전환하고, G 신호를 적어도 한 번 출력하고, 이후 모드들을 제 2 모드로 전환한다.
- [0131] 예컨대, 입력 유닛(500)이 페이지 순환 동작을 감지할 때, 입력 유닛(500)은 이미지-전환 신호(500_C)를 연산 유닛(620)에 출력한다.
- [0132] 연산 유닛(620)은 페이지 순환 동작 신호를 포함하는 1차 이미지 신호(625_V)를 생성하고, 이미지-전환 신호(500_C)를 포함하는 1차 제어 신호(625_C)와 함께 1차 이미지 신호(625_V)를 출력한다.
- [0133] 제어 유닛(610)은 이미지-전환 신호(500_C)를 G 드라이버 회로(632)에 출력하고, 페이지 순환 동작 신호를 포함하는 2차 이미지 신호(615_V)를 S 드라이버 회로(633)에 출력한다.
- [0134] G 드라이버 회로(632)는 제 2 모드로부터 제 1 모드로 모드들을 전환하고, 시청자들이 신호 재기록 동작에 의한 이미지 변화를 지각할 수 없는 비율로 G 신호(632_G)를 출력한다.
- [0135] 한편, S 드라이버 회로(633)는 픽셀 회로들(634)에 페이지 순환 동작 신호를 포함하는 2차 이미지 신호(615_V)로부터 생성된 S 신호들(633_S)을 출력한다.
- [0136] 페이지 순환 동작 신호를 포함하는 2차 이미지 신호(615_V)는 픽셀(631p)에 인가되고; 따라서 픽셀(631p)은 짧은 시간 동안 페이지 순환 동작을 포함하는 많은 프레임 이미지들을 디스플레이할 수 있어서, 평활한 페이지 순환 동작을 초래한다.
- [0137] 연산 유닛(620)은, 연산 유닛(620)으로부터 디스플레이부(630)로 출력된 1차 이미지 신호(625_V)가 동영상인지 또는 스틸 이미지인지를 결정하도록 구성될 수 있고, 1차 이미지 신호(625_V)가 동영상일 때 제 1 모드를 선택하기 위한 신호를 출력하고, 1차 이미지 신호(625_V)가 스틸 이미지일 때 제 2 모드를 선택하기 위한 신호를 출력한다.
- [0138] 1차 이미지 신호(625_V)가 동영상인지 또는 스틸 이미지인지의 여부는 1차 이미지 신호(625_V) 내의 한 프레임과 이전 또는 다음 프레임 사이의 신호 차이에 따라 결정될 수 있다. 차이가 미리 결정된 값보다 클 때, 신호는 동영상이고; 차이가 미리 결정된 값 이하일 때, 신호는 스틸 이미지이다.
- [0139] 대안적으로, 제 2 모드가 제 1 모드로 전환될 때 G 신호(632_G)가 1 이상인 미리 결정된 횟수로 출력되고, 이후 제 1 모드가 제 2 모드로 전환되는 구조가 채용될 수 있다.
- [0140] < 3. 제어 유닛 >

- [0141] 제어 유닛(610)은 1차 이미지 신호(625_V)로부터 생성된 2차 이미지 신호(615_V)를 출력한다(도 7 참조). 제어 유닛(610)이 1차 이미지 신호(625_V)를 직접 디스플레이부(630)에 출력하도록 구성될 수 있음을 주목해야 한다.
- [0142] 제어 유닛(610)은 동기 신호(예, 수직 동기 신호 및 수평 동기 신호)를 포함하는 1차 제어 신호(625_C)로부터 2차 제어 신호(615_C)(예, 시작 펄스 신호(SP), 래치 신호(LP), 또는 펄스폭 제어 신호(PWC))를 생성하고, 생성된 신호를 디스플레이부(630)에 공급하는 기능을 갖는다. 2차 제어 신호(615_C)가 클록 신호(CK), 등을 포함함을 주목해야 한다.
- [0143] 제어 유닛(610)은 반전 제어 회로를 구비하여, 반전 제어 회로에 의해 통보된 타이밍으로 2차 이미지 신호(615_V)의 극성을 반전시키는 기능을 가질 수 있다. 특히, 2차 이미지 신호(615_V)의 극성의 반전은 제어 유닛(610)의 지시에 따라 제어 유닛(610) 또는 디스플레이부(630) 내에서 수행될 수 있다.
- [0144] 반전 제어 회로는 동기 신호를 사용함으로써 2차 이미지 신호(615_V)의 극성을 반전시키는 타이밍을 결정하는 기능을 갖는다. 예컨대, 반전 제어 회로는 카운터 및 신호 생성 회로를 포함한다.
- [0145] 카운터는 수평 동기 신호의 펄스를 사용함으로써 프레임 기간들의 수를 계수하는 기능을 갖는다.
- [0146] 신호 생성 회로는, 2차 이미지 신호(615_V)의 극성이 카운터에서 얻어진 프레임 기간들의 수에 대한 정보를 사용함으로써 매 복수의 연속 프레임 기간들마다 반전되도록, 2차 이미지 신호(615_V)의 극성을 반전시키는 타이밍을 제어 회로(610)에 통보하는 기능을 갖는다.
- [0147] < 4. 디스플레이부 >
- [0148] 디스플레이부(630)는 각 픽셀 내의 디스플레이 소자(635)를 포함하는 픽셀부(631), 및 S 드라이버 회로(633) 및 G 드라이버 회로(632)와 같은 드라이버 회로들을 포함한다. 픽셀부(631)는 각각이 디스플레이 소자(635)를 구비하는 복수의 픽셀들(631p)을 포함한다(도 7 참조).
- [0149] 디스플레이부(630)에 입력되는 2차 이미지 신호(615_V)는 S 드라이버 회로(633)에 공급된다. 덧붙여, 전력 공급 전위들 및 2차 제어 신호(615_C)는 S 드라이버 회로(633) 및 G 드라이버 회로(632)에 공급된다.
- [0150] 2차 제어 신호들(615_C)이 S 드라이버 회로(633)의 동작을 제어하는 S 드라이버 회로 시작 펄스 신호(SP) 및 S 드라이버 회로 클록 신호(CK); 래치 신호(LP); G 드라이버 회로(632)의 동작을 제어하는 G 드라이버 회로 시작 펄스(SP) 및 G 드라이버 회로 클록 신호(CK); 펄스폭 제어 신호(PWC); 등을 포함함을 주목해야 한다.
- [0151] 도 8의 (A)는 디스플레이부(630)의 구조의 일 예를 도시한다.
- [0152] 도 8의 (A)의 디스플레이부(630)에서, 복수의 픽셀들(631p), 픽셀들(631p)을 한 행씩 선택하기 위한 복수의 스캔 라인들(G), 2차 이미지 신호(615_V)로부터 생성된 S 신호들(633_S)을 선택된 픽셀들(631p)에 공급하기 위한 복수의 신호 라인들(S)이 픽셀부(631) 내에 제공된다.
- [0153] 스캔 라인들(G)에 대한 G 신호들(632_G)의 입력은 G 드라이버 회로(632)에 의해 제어된다. 신호 라인들(S)에 대한 S 신호들(633_S)의 입력은 S 드라이버 회로(633)에 의해 제어된다. 복수의 픽셀들(631p)의 각각은 스캔 라인들(G) 중 적어도 하나 및 신호 라인들(S) 중 적어도 하나에 접속된다.
- [0154] 픽셀부(631) 내에서 배선들의 종류들 및 수가 픽셀들(631p)의 구조, 수 및 위치에 의해 결정됨을 주목해야 한다. 특히, 도 8의 (A)에 도시된 픽셀부(631) 내에서, 픽셀들(631p)은 x개의 열들 및 y개의 행들의 매트릭스로 배열되고, 신호 라인들(S1 내지 Sx) 및 스캔 라인들(G1 내지 Gy)이 픽셀부(631) 내에 제공된다.
- [0155] < 4-1. 픽셀 >
- [0156] 각 픽셀(631p)은 디스플레이 소자(635) 및 디스플레이 소자(635)를 포함하는 픽셀 회로(634)를 포함한다.
- [0157] < 4-2. 픽셀 회로 >
- [0158] 본 실시예에서, 도 8의 (B)는 액정 소자(635LC)가 디스플레이 소자(635)로 사용된 픽셀 회로(634)의 구조의 일 예를 도시한다.
- [0159] 픽셀 회로(634)는 액정 소자(635LC)에 대한 S 신호(633_S)의 공급을 제어하기 위한 트랜지스터(634t)를 포함한다. 트랜지스터(634t)와 디스플레이 소자(635) 사이의 접속 관계의 일 예가 기술된다.
- [0160] 트랜지스터(634t)의 게이트는 스캔 라인들(G1 내지 Gy) 중 어느 하나에 접속된다. 트랜지스터(634t)의 소스 및 드레인 중 하나는 신호 라인들(S1 내지 Sx) 중 어느 하나에 접속된다. 트랜지스터(634t)의 소스 및 드레인 중

다른 하나는 디스플레이 소자(635)의 제 1 전극에 접속된다.

[0161] 픽셀(631p)이 액정 소자(635LC)의 제 1 전극 및 제 2 전극 사이에서 전압을 유지하기 위한 커패시터(634c)에 덧붙여, 필요한 트랜지스터, 다이오드, 레지스터, 커패시터, 또는 인덕터와 같은 다른 회로 소자를 포함할 수 있음을 주목해야 한다.

[0162] 도 8의 (B)에 도시된 픽셀(631p)에서, 하나의 트랜지스터(634t)가 픽셀(631p)에 대한 S 신호(633_S)의 입력을 제어하기 위한 스위칭 소자로서 사용된다. 그러나, 하나의 스위칭 소자로서 작용하는 복수의 트랜지스터들이 픽셀(631p) 내에서 사용될 수 있다. 복수의 트랜지스터들이 하나의 스위칭 소자로서 작용하는 경우, 트랜지스터들은 서로 병렬로, 직렬로, 또는 병렬 접속 및 직렬 접속의 조합으로 접속될 수 있다.

[0163] 픽셀 회로(634)의 커패시턴스가 적절하게 조정될 수 있음을 주목해야 한다. 예컨대, 이후에 기술될 제 2 모드에서, S 신호(633_S)가 상대적으로 긴 시간(특히 1/60초 이상) 동안 유지되는 경우, 커패시터(634c)가 제공된다. 대안적으로, 픽셀 회로(634)의 커패시턴스는 커패시터(634c) 이외의 구조를 사용함으로써 조정될 수 있다. 예컨대, 액정 소자(635LC)의 제 1 전극 및 제 2 전극이 서로 중첩하도록 형성된 구조를 통해, 커패시터가 실질적으로 형성될 수 있다.

[0164] 픽셀 회로(634)의 구조가 디스플레이 소자(635)의 종류 또는 구동 방법에 따라 선택될 수 있음을 주목해야 한다.

[0165] < 4-2a. 디스플레이 소자 >

[0166] 액정 소자(635LC)는 제 1 전극, 제 2 전극, 및 제 1 전극과 제 2 전극 사이의 전압이 인가되는 액정 재료를 포함하는 액정층을 포함한다. 액정 소자(635LC)에서, 액정 분자들의 배향은 제 1 전극과 제 2 전극 사이에 인가된 전압의 레벨에 따라 변하여, 투과율이 변한다. 따라서, 디스플레이 소자(635)의 투과율은 S 신호(633_S)의 전위에 의해 제어되고; 따라서 계조가 표시될 수 있다.

[0167] < 4-2b. 트랜지스터 >

[0168] 트랜지스터(634t)는 신호 라인(S)의 전위를 디스플레이 소자(635)의 제 1 전극에 인가할지의 여부를 제어한다. 미리 결정된 기준 전위(Vcom)가 디스플레이 소자(635)의 제 2 전극에 인가된다.

[0169] 산화물 반도체를 포함하는 트랜지스터가 본 발명의 일 실시예의 액정 디스플레이 장치 내의 트랜지스터로서 적절하게 사용될 수 있음을 주목해야 한다. 실시예들(8 및 9)은 산화물 반도체를 포함하는 트랜지스터의 세부사항들을 위해 참조될 수 있다.

[0170] < 5. 광 공급부 >

[0171] 복수의 광원들이 광 공급부(650) 내에 제공된다. 제어 유닛(610)은 광 공급부(650) 내의 광원들의 구동을 제어한다.

[0172] 광 공급부(650) 내의 광원은 냉음극 형광 램프, 발광 다이오드(LED), 전계가 인가될 때 발광(전기 발광)을 생성하는 OLED 소자, 등이 될 수 있다.

[0173] 특히, 광원에 의해 방출된 청색 광의 강도는 임의의 다른 색의 광의 강도에 비해 약해지는 것이 바람직하다. 광원에 의해 방출된 광에 포함된 청색 광은 각막 또는 수정체에 의해 흡수되지 않고 눈의 망막에 도달한다. 따라서, 광원에 의해 방출된 청색 광의 강도를 임의의 다른 색의 광 강도에 비해 약화시키는 것은 망막에 대한 청색 광의 장기간의 효과(예, 나이-관련 황반 변성), 24시간 주기 리듬에 대한 밤까지의 청색 광 노출의 악 영향, 등을 줄이는 것을 가능케 한다. 광원에 의해 방출된 광의 파장은 바람직하게는 420nm보다 더 길고, 더욱 바람직하게는 440nm보다 더 길다.

[0174] 도 24는 선호되는 백라이트의 방출 스펙트럼을 도시한다. 백라이트의 광원으로서, 3색, R(적색), G(녹색) 및 B(청색)의 발광 다이오드들(LEDs)이 사용된다. 도 24는 발광 다이오드들의 방출 스펙트럼을 도시한다. 도 24에서, 복사는 420nm 이하의 파장에서 거의 관측되지 않는다. 이들 광원들이 사용되는 백라이트를 갖는 디스플레이부는 사용자들의 눈의 피로를 줄일 수 있다.

[0175] 위의 구조는 단파장 광의 휘도를 줄일 수 있고, 사용자의 눈의 피로와 망막에 대한 손상을 줄이고 사용자의 건강에 대한 손상을 방지하는 것을 가능케 할 수 있다.

[0176] < 6. 입력 유닛 >

- [0177] 입력 유닛(500)으로서, 예컨대 터치 패널, 터치 패드, 마우스, 핑거 조이스틱, 트랙볼, 데이터 글로브, 또는 촬상 장치가 사용될 수 있다. 연산 유닛(620)에서, 입력 유닛(500)으로부터 출력된 전기 신호는 디스플레이부의 좌표들과 관련될 수 있다. 따라서, 사용자들은 디스플레이부상에 디스플레이된 정보를 처리하기 위한 지시를 입력할 수 있다.
- [0178] 사용자들에 의해 입력 유닛(500)을 통해 입력된 정보의 예들은, 디스플레이부 상에 디스플레이된 이미지를 디스플레이부 상의 다른 위치로 드래그하기 위한 지시; 디스플레이된 이미지를 순환시켜 다음 이미지를 디스플레이하기 위해 스크린을 스위프하기 위한 지시; 연속 이미지를 스크롤하기 위한 지시; 특정 이미지를 선택하기 위한 지시; 디스플레이된 이미지의 크기를 변경하기 위해 스크린을 핀칭하는 지시; 및 욕필 문자들을 입력하기 위한 지시이다.
- [0179] 본 실시예가 본 명세서의 다른 실시예들 중 어느 하나와 적절하게 결합될 수 있음을 주목해야 한다.
- [0180] (실시예 3)
- [0181] 본 실시예에서, 실시예 2에 기술된 액정 디스플레이 장치(디스플레이 장치로도 언급됨)를 구동하기 위한 방법의 일 예가 도 8, 도 9 및 도 10을 참조하여 기술될 것이다.
- [0182] 도 8은 본 발명의 일 실시예의 디스플레이 기능을 갖는 액정 디스플레이 장치의 디스플레이부의 구성을 도시하는 블록도 및 회로도이다.
- [0183] 도 9는 본 발명의 일 실시예의 디스플레이 기능을 갖는 액정 디스플레이 장치의 디스플레이부의 구성의 수정예를 도시하는 블록도이다.
- [0184] 도 10은 본 발명의 일 실시예의 디스플레이 기능을 갖는 액정 디스플레이 장치를 도시하는 회로도이다.
- [0185] < 1. S 신호들을 픽셀부에 기록하는 방법 >
- [0186] 도 8의 (A) 또는 도 9에서 S 신호들(633_S)을 픽셀부(631)에 기록하기 위한 방법의 예가 기술된다. 특히, 여기에서 기술된 방법은 S 신호(633_S)를 픽셀부(631) 내의 도 8의 (B)에 도시된 픽셀 회로를 포함하는 각 픽셀(631p)에 기록하기 위한 방법이다.
- [0187] < 신호들을 픽셀부에 기록 >
- [0188] 제 1 프레임 기간에서, 스캔 라인(G1)은 펄스를 갖는 G 신호(632_G)의 스캔 라인(G1)에 대한 입력에 의해 선택된다. 선택된 스캔 라인(G1)에 접속된 복수의 픽셀들(631p)의 각각에서, 트랜지스터(634t)가 턴온된다.
- [0189] 트랜지스터들(634t)이 온일 때(하나의 라인 기간에서), 2차 이미지 신호들(615_V)로부터 생성된 S 신호들(633_S)의 전위들은 신호 라인들(S1 내지 Sx)에 인가된다. 온 상태인 트랜지스터들(634t)의 각각을 통해, S 신호(633_S)의 전위에 대응하는 전하는 커패시터(634c) 내에 누적되고, S 신호(633_S)의 전위는 액정 소자(635LC)의 제 1 전극에 인가된다.
- [0190] 스캔 라인(G1)이 제 1 프레임 기간 내에서 선택되는 기간에서, 양의 극성을 갖는 S 신호들(633_S)은 모든 신호 라인들(S1 내지 Sx)에 순차적으로 입력된다. 따라서, 양의 극성을 갖는 S 신호들(633_S)은 스캔 라인(G1)과 신호 라인들(S1 내지 Sx)에 접속된 픽셀들(631p) 내의 제 1 전극들(G1S1 내지 G1Sx)에 입력된다. 따라서, 액정 소자(635LC)의 투과율은 S 신호(633_S)의 전위에 의해 제어되고; 따라서 계조가 픽셀들에 의해 표시된다.
- [0191] 유사하게, 스캔 라인들(G2 내지 Gy)은 순차적으로 선택되고, 스캔 라인들(G2 내지 Gy)에 접속된 픽셀들(631p)은 스캔 라인(G1)이 선택되는 동안 수행되는 것과 동일한 동작을 순차적으로 겪게 된다. 위의 동작들을 통해, 제 1 프레임을 위한 이미지는 픽셀부(631) 상에 디스플레이될 수 있다.
- [0192] 본 발명의 일 실시예에서, 스캔 라인들(G1 내지 Gy)은 반드시 순차적으로 선택되는 것은 아님을 주목해야 한다.
- [0193] S 신호들(633_S)이 S 드라이버 회로(633)로부터 신호 라인들(S1 내지 Sx)로 순차적으로 입력되는 도트 순차 구동, 또는 S 신호들(633_S)이 한 번에 모두 입력되는 라인 순차 구동을 채용하는 것이 가능하다. 대안적으로, S 신호들(633_S)이 모든 복수의 신호 라인들(S)에 순차적으로 입력되는 구동 방법이 채용될 수 있다.
- [0194] 덧붙여, 스캔 라인들(G)을 선택하기 위한 방법은 순차 스캔에 국한되지 않고; 비월 스캔이 스캔 라인들(G)을 선택하기 위해 채용될 수 있다.
- [0195] 주어진 하나의 프레임 기간에서, 모든 신호 라인들에 입력되는 S 신호들(633_S)의 극성들은 동일할 수 있거나,

또는 픽셀들에 입력될 S 신호들(633_S)의 극성들은 신호 라인마다 반전될 수 있다.

[0196]

< 복수의 영역들로 분할된 픽셀부에 신호들을 기록 >

[0197]

도 9는 디스플레이부(630)의 구조의 수정예를 도시한다.

[0198]

도 9의 디스플레이부(630)에서, 복수의 픽셀들(631p), 픽셀들(631p)을 한 행씩 선택하기 위한 복수의 스캔 라인들(G), 및 S 신호들(633_S)을 선택된 픽셀들(631p)에 공급하기 위한 복수의 신호 라인들(S)이 복수의 영역들(특히, 제 1 영역(631a), 제 2 영역(631b), 및 제 3 영역(631c))로 분할된 픽셀부(631) 내에 제공된다.

[0199]

각 영역 내의 스캔 라인들(G)에 대한 G 신호들(632_G)의 입력은 대응하는 G 드라이버 회로(632)에 의해 제어된다. 신호 라인들(S)에 대한 S 신호들(633_S)의 입력은 S 드라이버 회로(633)에 의해 제어된다. 복수의 픽셀들(631p)의 각각은 스캔 라인들(G) 중 적어도 하나 및 신호 라인들(S) 중 적어도 하나에 접속된다.

[0200]

이러한 구조는 픽셀부(631)가 별도로 구동되는 영역들로 분할되도록 허용한다.

[0201]

예컨대, 다음의 동작이 가능하다: 입력 유닛(500)으로 사용된 터치 패널로부터 정보가 입력될 때, 정보가 입력될 영역을 규정하는 좌표들이 얻어지고, 좌표들에 대응하는 영역을 구동하는 G 드라이버 회로(632)는 제 1 모드에서 동작하고, 다른 영역을 구동하는 G 드라이버 회로(632)는 제 2 모드에서 동작한다. 따라서, 정보가 터치 패널로부터 입력되지 않은 영역, 즉 디스플레이된 이미지의 재기록이 필요하지 않은 영역에 대해 G 드라이버 회로의 동작을 중지하는 것이 가능하다.

[0202]

< 2. 제 1 모드 및 제 2 모드의 G 드라이버 회로 >

[0203]

S 신호(633_S)는, G 드라이버 회로(632)에 의해 출력된 G 신호(632_G)가 입력되는 픽셀 회로(634)에 입력된다. G 신호(632_G)가 입력되지 않은 기간에서, 픽셀 회로(634)는 S 신호(633_S)의 전위를 유지한다. 즉, 픽셀 회로(634)는 S 신호(633_S)의 전위가 기록되는 상태를 유지한다.

[0204]

디스플레이 데이터가 기록되는 픽셀 회로(634)는 S 신호(633_S)에 대응하는 디스플레이 상태를 유지한다. 디스플레이 상태를 유지하는 것이 디스플레이 상태의 변화의 양을 주어진 범위로 유지하는 것임을 주목해야 한다. 이러한 주어진 범위는 적절하게 설정되고, 디스플레이된 이미지들을 시청하는 사용자가 디스플레이된 이미지들을 동일한 이미지로 인식할 수 있도록 설정되는 것이 바람직하다.

[0205]

G 드라이버 회로(632)는 제 1 모드 및 제 2 모드를 갖는다.

[0206]

< 2-1. 제 1 모드 >

[0207]

G 드라이버 회로(632)는 제 1 모드에서 G 신호들(632_G)을 픽셀들에 초당 30회 이상, 바람직하게는 초당 60회 이상 초당 960회 미만의 비율로 출력한다.

[0208]

G 드라이버 회로(632)는 제 1 모드에서, 신호들이 재기록될 때마다 발생하는 이미지들의 변화가 사용자에게 의해 인식되지 않는 속도로 신호들을 재기록한다. 결과적으로, 평활한 동영상은 디스플레이될 수 있다.

[0209]

< 2-2. 제 2 모드 >

[0210]

G 드라이버 회로(632)는 제 2 모드에서 G 신호들(632_G)을 픽셀들에 하루당 1회 이상 초당 0.1회 미만, 바람직하게는 시간당 1회 이상 초당 1회 미만의 비율로 출력한다.

[0211]

G 신호(632_G)가 입력되지 않는 기간에, 픽셀 회로(634)는 S 신호(633_S)의 유지를 지속하고, S 신호(633_S)의 전위에 대응하는 디스플레이 상태를 유지한다.

[0212]

이러한 방식으로, 픽셀 내의 디스플레이의 재기록으로 인한 플리커가 없는 디스플레이가 제 2 모드에서 수행될 수 있다.

[0213]

결과적으로, 디스플레이 기능을 갖는 액정 디스플레이 장치의 사용자의 눈의 피로는 줄어들 수 있다.

[0214]

G 드라이버 회로(632)에 의해 소비되는 전력은 G 드라이버 회로(632)가 동작하지 않는 기간에 줄어든다.

[0215]

제 2 모드를 갖는 G 드라이버 회로(632)에 의해 구동되는 픽셀 회로가 장기간 동안 S 신호(633_S)를 유지하도록 구성되는 것이 바람직함을 주목해야 한다. 예컨대, 트랜지스터(634t)의 오프 상태 누설 전류는 가능한 한 낮은 것이 바람직하다.

[0216]

실시예들(8 및 9)은 낮은 오프 상태 누설 전류를 갖는 트랜지스터(634t)의 구조의 예들을 위해 참조될 수 있다.

- [0217] 본 실시예가 본 명세서의 다른 실시예들 중 어느 하나와 적절하게 결합될 수 있음을 주목해야 한다.
- [0218] (실시예 4)
- [0219] 본 실시예에서, 실시예 2에 기술된 액정 디스플레이 장치를 구동하기 위한 방법의 일 예가 도 10, 도 11 및 도 12를 참조하여 기술될 것이다.
- [0220] 도 10은 본 발명의 일 실시예의 디스플레이 기능을 갖는 액정 디스플레이 장치를 도시하는 회로도이다.
- [0221] 도 11은 본 발명의 일 실시예의 디스플레이 기능을 갖는 액정 디스플레이 장치의 소스 라인 반전 구동 및 도트 라인 반전 구동을 도시한다.
- [0222] 도 12는 본 발명의 일 실시예의 디스플레이 기능을 갖는 액정 디스플레이 장치의 소스 라인 반전 구동 및 도트 라인 반전 구동을 도시하는 타이밍도이다.
- [0223] < 1. 오버드라이빙 구동 >
- [0224] 투과율 변화의 포화에 대한 전압의 인가로부터 액정의 응답 시간은 일반적으로 대략 십 밀리초이다. 따라서, 액정의 느린 응답은 동영상의 흐릿함으로 지각되는 경향이 있다.
- [0225] 대응책으로서, 본 발명의 일 실시예에서, 액정 소자를 포함하는 디스플레이 소자(635)에 인가된 전압이 액정의 배향이 신속하게 변화하도록 순간적으로 증가하는 오버드라이빙 구동이 채용될 수 있다. 오버드라이빙 구동에 의해, 액정의 응답 속도는 증가될 수 있고, 동영상의 흐릿함은 방지될 수 있고, 동영상의 품질은 개선될 수 있다.
- [0226] 또한, 액정 소자를 포함하는 디스플레이 소자(635)의 투과율이 트랜지스터(634t)가 턴오프된 후 일정한 값에 도달하지 않고 변화를 유지하면, 액정의 비유전율 또한 변화하고; 따라서 액정 소자를 포함하는 디스플레이 소자(635) 내에서 유지되는 전압은 쉽게 변화한다.
- [0227] 예컨대, 액정 소자를 포함하는 디스플레이 소자(635)에 어떠한 커패시터도 병렬로 접속되지 않은 경우, 또는 액정 소자를 포함하는 디스플레이 소자(635)에 병렬로 접속된 커패시터(634c)가 작은 커패시턴스를 갖는 경우, 액정 소자를 포함하는 디스플레이 소자(635) 내에서 유지되는 전압의 변화는 현저하게 발생하는 경향이 있다. 그러나, 오버드라이빙 구동에 의해, 응답 시간은 짧아지고, 따라서 트랜지스터(634t)가 턴오프된 후 액정 소자를 포함하는 디스플레이 소자(635)의 투과율의 변화는 작게 될 수 있다. 따라서, 액정 소자를 포함하는 디스플레이 소자(635)에 병렬로 접속된 커패시터(634c)가 작은 커패시턴스를 갖는 경우에 조차, 트랜지스터(634t)를 턴오프시킨 후 액정 소자를 포함하는 디스플레이 소자(635)에 유지되는 전압의 변화는 방지될 수 있다.
- [0228] < 2. 소스 라인 반전 구동 및 도트 반전 구동 >
- [0229] 도 10에 도시된 픽셀 회로의 신호 라인(Si)이 접속된 픽셀(631p)에서, 픽셀 전극(635_1)은 신호 라인(Si)과 신호 라인(Si)에 인접한 신호 라인(Si+1) 사이에 위치한다. 트랜지스터(634t)가 오프되면, 픽셀 전극(635_1)과 신호 라인(Si)은 서로 전기적으로 분리되는 것이 이상적이다. 또한, 이상적으로, 픽셀 전극(635_1)과 신호 라인(Si+1)은 서로 전기적으로 분리된다. 그러나, 픽셀 전극(635_1)과 신호 라인(Si) 사이에 기생 커패시턴스(634c(i)), 및 픽셀 전극(635_1)과 신호 라인(Si+1) 사이에 기생 커패시턴스(634c(i+1))가 실제로 존재한다(도 11의 (C) 참조). 도 11의 (C)는 도 10에 도시된 액정 소자(635LC) 대신에, 액정 소자(635LC)의 제 1 전극 또는 제 2 전극으로 작용하는 픽셀 전극(635_1)을 도시함을 주목해야 한다.
- [0230] 예컨대, 액정 소자(635LC)의 제 1 전극 및 제 2 전극이 서로 중첩하고, 두 전극들 사이의 중첩부가 실질적으로 커패시터로서 사용되는 구조가 채용될 때, 커패시터 라인을 사용하여 형성된 커패시터(634c)가 액정 소자(635LC)에 연결되지 않거나, 또는 액정 소자(635LC)에 연결된 커패시터(634c)가 작은 커패시턴스를 갖는 경우들이 존재한다. 이러한 경우들에서, 액정 소자의 제 1 전극 또는 제 2 전극으로 작용하는 픽셀 전극(635_1)의 전위는 기생 커패시턴스(634c(i)) 및 기생 커패시터(634c(i+1))에 의해 쉽게 영향을 받는다.
- [0231] 이것은 이미지 신호의 전위가 유지되는 기간에 트랜지스터(634t)가 오프되는 때조차 픽셀 전극(635_1)의 전위가 신호 라인(Si) 또는 신호 라인(Si+1)의 전위의 변화에 관련하여 변동하는 현상을 야기하는 경향이 있다.
- [0232] 이미지 신호의 전위가 유지되는 기간에 픽셀 전극의 전위가 신호 라인의 전위의 변화에 관련하여 변동하는 현상은 크로스토크로 언급된다. 크로스토크는 디스플레이 콘트라스트의 열화를 야기한다. 예컨대, 액정 소자(635LC)를 위해 노멀리 백색 액정을 사용하는 경우, 이미지들이 흰빛을 띄게 된다.

- [0233] 본 발명의 일 실시예에서, 위의 상황의 관점에서, 반대 극성들을 갖는 이미지 신호들이 하나의 주어진 프레임 기간에 픽셀 전극(635₁)을 사이에 개재하여 배열된 신호 라인(Si)과 신호 라인(Si+1)에 입력되는 구동 방법이 채용될 수 있다.
- [0234] "반대 극성들을 갖는 이미지 신호들"은 액정 소자의 공통 전극의 전위가 기준 전위라는 가정하에, 기준 전위보다 높은 전위를 갖는 이미지 신호와 기준 전위보다 낮은 전위를 갖는 이미지 신호를 의미함을 주목해야 한다.
- [0235] 두 가지 방법들(소스 라인 반전 및 도트 반전)이 교대되는 반대 극성들을 갖는 이미지 신호들을 선택된 복수의 픽셀들에 순차적으로 기록하기 위한 방법의 예들로서 주어질 수 있다.
- [0236] 어느 하나의 방법에서, 제 1 프레임 기간에, 양(+) 극성을 갖는 이미지 신호가 신호 라인(Si)에 입력되고, 음(-) 극성을 갖는 이미지 신호가 신호 라인(Si+1)에 입력된다. 다음에, 제 2 프레임 기간에, 음(-) 극성을 갖는 이미지 신호가 신호 라인(Si)에 입력되고, 양(+) 극성을 갖는 이미지 신호가 신호 라인(Si+1)에 입력된다. 이후, 제 3 프레임 기간에, 양(+) 극성을 갖는 이미지 신호가 신호 라인(Si)에 입력되고, 음(-) 극성을 갖는 이미지 신호가 신호 라인(Si+1)에 입력된다(도 11의 (C) 참조).
- [0237] 이러한 구동 방법이 채용될 때, 한 쌍의 신호 라인들의 전위들은 반대 극성 방향으로 변화하고, 이에 의해 픽셀 전극의 전위의 변동은 상쇄될 수 있다. 그러므로, 크로스토크는 줄어들 수 있다.
- [0238] < 2-1. 소스 라인 반전 구동 >
- [0239] 소스 라인 반전은, 반대 극성들을 갖는 이미지 신호들이 하나의 주어진 프레임 기간에 입력되어, 하나의 신호 라인에 접속된 복수의 픽셀들에 입력된 이미지 신호의 극성과 위의 신호 라인에 인접한 다른 신호 라인에 접속된 복수의 픽셀들에 입력된 이미지 신호의 극성이 서로 반대가 되는 방법이다.
- [0240] 도 11의 (A1) 및 (A2)는 소스 라인 반전 구동의 경우 픽셀들에 공급되는 이미지 신호들의 극성들을 개략적으로 도시한다. 도 11의 (A1) 및 (A2)에서, 부호 "+"는 양의 극성을 갖는 이미지 신호가 하나의 주어진 프레임 기간에 공급되는 픽셀을 나타내고, 부호 "-"는 음의 극성을 갖는 이미지 신호가 주어진 프레임 기간에 공급되는 픽셀을 나타낸다. 도 11의 (A2)에 도시된 프레임은 도 11의 (A1)에 도시된 프레임에 뒤이은 프레임이다.
- [0241] < 2-2. 도트 반전 구동 >
- [0242] 도트 반전은 반대 극성들을 갖는 이미지 신호들이 하나의 주어진 프레임 기간에 입력되어, 하나의 신호 라인에 접속된 복수의 픽셀들에 입력된 이미지 신호의 극성과 위의 신호 라인에 인접한 다른 신호 라인에 접속된 복수의 픽셀들에 입력된 이미지 신호의 극성이 서로 반대가 되고, 덧붙여 하나의 신호 라인에 접속된 복수의 픽셀들에서, 하나의 픽셀에 입력된 이미지 신호의 극성과 그 픽셀에 인접한 하나의 픽셀에 입력된 이미지 신호의 극성이 서로 반대가 되는 방법이다.
- [0243] 도 11의 (B1) 및 (B2)는 도트 반전 구동의 경우 픽셀들에 공급되는 이미지 신호들의 극성들을 개략적으로 도시한다. 도 11의 (B1) 및 (B2)에서, 부호 "+"는 양의 극성을 갖는 이미지 신호가 하나의 주어진 프레임 기간에 공급되는 픽셀을 나타내고, 부호 "-"는 음의 극성을 갖는 이미지 신호가 주어진 프레임 기간에 공급되는 픽셀을 나타낸다. 도 11의 (B2)에 도시된 프레임은 도 11의 (B1)에 도시된 프레임에 뒤이은 프레임이다.
- [0244] < 2-3. 타이밍도 >
- [0245] 도 12는 소스 라인 반전 구동에 의해 도 10에 도시된 픽셀부(631)를 동작하는 경우의 타이밍도이다. 특히, 도 12는 스캔 라인(G1)에 공급된 신호의 전위, 신호 라인들(S1 내지 Sx)에 공급된 이미지 신호들의 전위들, 및 스캔 라인(G1)에 접속된 픽셀들 내에 포함된 픽셀 전극들의 전위들의 시간에 걸친 변화들을 도시한다.
- [0246] 먼저, 스캔 라인(G1)은 펄스를 갖는 신호를 스캔 라인(G1)에 입력함으로써 선택된다. 선택된 스캔 라인(G1)에 접속된 복수의 픽셀들(631p)의 각각에서, 트랜지스터(634t)가 턴온된다. 트랜지스터(634t)가 온 상태에서 이미지 신호의 전위가 신호 라인들(S1 내지 Sx)에 공급될 때, 이미지 신호의 전위는 온-상태의 트랜지스터(634t)를 통해 액정 소자(635LC)의 픽셀 전극에 공급된다.
- [0247] 도 12의 타이밍도에서, 스캔 라인(G1)이 제 1 프레임 기간에 선택되는 기간에, 양의 극성을 갖는 이미지 신호들은 홀수 신호 라인들(S1, S3, ...)에 순차적으로 입력되고, 음의 극성을 갖는 이미지 신호들은 짝수 신호 라인들(S2, S4, ..., Sx)에 순차적으로 입력되는 일 예가 도시된다. 그러므로, 양의 극성을 갖는 이미지 신호들은 홀수 신호 라인들(S1, S3, ...)에 접속된 픽셀들(631p) 내의 픽셀 전극들{(S1), (S3), ...}에 공급된다. 또한 음의 극성을 갖는 이미지 신호들은 짝수 신호 라인들(S2, S4, ..., Sx)에 접속된 픽셀들(631p) 내의 픽셀 전극들

{(S2), (S4), ..., (Sx)}에 공급된다.

- [0248] 액정 소자(635LC) 내에서, 액정 분자들의 배향은 픽셀 전극과 공통 전극 사이에 인가된 전압의 레벨에 따라 변하고, 이에 의해 투과율이 변한다. 따라서, 액정 소자(635LC)의 투과율은 이미지 신호의 전위에 의해 제어될 수 있고; 따라서 계조가 디스플레이될 수 있다.
- [0249] 신호 라인들(S1 내지 Sx)에 대한 이미지 신호들의 입력이 완료될 때, 스캔 라인(G1)의 선택이 종료된다. 스캔 라인의 선택이 종료될 때, 트랜지스터들(634t)은 스캔 라인에 접속된 픽셀들(631p) 내에서 턴오프된다. 이후, 픽셀 전극과 공통 전극 사이에 인가된 전압은 액정 소자(635LC) 내에서 유지되고, 이에 의해 계조의 디스플레이가 유지된다. 또한, 스캔 라인들(G2 내지 Gy)은 순차적으로 선택되고, 스캔 라인(G1)이 선택되는 기간 내에서도 유사한 동작들이 위의 각 스캔 라인들에 접속된 픽셀들 내에서 수행된다.
- [0250] 다음에, 제 2 프레임 기간 내에서 스캔 라인(G1)이 다시 선택된다. 제 1 프레임 기간에서 스캔 라인(G1)이 선택되는 기간과는 달리, 제 2 프레임 기간에서 스캔 라인(G1)이 선택되는 기간에, 음의 극성을 갖는 이미지 신호들은 홀수 신호 라인들(S1, S3, ...)에 순차적으로 입력되고, 양의 극성을 갖는 이미지 신호들은 짝수 신호 라인들(S2, S4, ..., Sx)에 순차적으로 입력된다. 그러므로, 음의 극성을 갖는 이미지 신호들은 홀수 신호 라인들(S1, S3, ...)에 접속된 픽셀들(631p) 내의 픽셀 전극들{(S1), (S3), ...}에 공급된다. 또한 양의 극성을 갖는 이미지 신호들은 짝수 신호 라인들(S2, S4, ..., Sx)에 접속된 픽셀들(631p) 내의 픽셀 전극들{(S2), (S4), ..., (Sx)}에 공급된다.
- [0251] 또한 제 2 프레임 기간에서, 신호 라인들(S1 내지 Sx)에 대한 이미지 신호들의 입력이 완료될 때, 스캔 라인(G1)의 선택이 종료된다. 또한, 스캔 라인들(G2 내지 Gy)은 순차적으로 선택되고, 스캔 라인(G1)이 선택되는 기간 내에서도 유사한 동작들이 위의 각 스캔 라인들에 접속된 픽셀들 내에서 수행된다.
- [0252] 위와 유사한 동작이 제 3 프레임 기간 및 제 4 프레임 기간에 반복된다.
- [0253] 이미지 신호들이 신호 라인들(S1 내지 Sx)에 순차적으로 입력되는 일 예가 도 12의 타이밍도에 도시되었지만, 본 발명의 일 실시예는 이러한 구조로 국한되지 않는다. 이미지 신호들은 신호 라인들(S1 내지 Sx)에 한 번에 모두 입력될 수 있거나, 또는 이미지 신호들은 복수의 신호 라인들 마다 순차적으로 입력될 수 있다.
- [0254] 본 실시예에 있어서, 스캔 라인은 순차 스캔에 의해 선택된다; 하지만 비월 스캔이 또한 스캔 라인을 선택하기 위하여 채용될 수 있다.
- [0255] 이미지 신호의 전위의 극성이 공통 전극의 기준 전위를 기준으로 사용하여 반전되는 반전 구동에 의해, 번-인(burn-in)으로 불리는 액정의 열화가 방지될 수 있다.
- [0256] 그러나, 반전 구동에서, 신호 라인에 공급되는 전위의 변화는 이미지 신호의 극성의 변화시 증가되고; 따라서 스위칭 소자로서 기능하는 트랜지스터(634t)의 소스 전극 및 드레인 전극 사이의 전위 차이는 증가한다. 따라서, 임계 전압의 이동과 같은 특성들의 열화는 트랜지스터(634t) 내에서 쉽게 야기된다.
- [0257] 더욱이, 액정 소자(635LC) 내에서 보전된 전압을 유지하기 위하여, 트랜지스터(634t)의 오프 상태 전류는 소스 전극 및 드레인 전극 사이의 전위 차이가 큰 경우에도 낮게 될 필요가 있다.
- [0258] 본 실시예가 본 명세서의 다른 실시예들 중 어느 하나와 적절하게 결합될 수 있음을 주목해야 한다.
- [0259] (실시예 5)
- [0260] 본 실시예에서, 본 발명의 일 실시예의 액정 디스플레이 장치 상에 디스플레이될 수 있는 이미지를 생성하는 방법에 대한 설명이 이루어진다. 특히, 눈에 친화적인 이미지 스위칭 방법이 기술된다. 눈에 친화적인 이미지 스위칭 방법은 사용자들의 눈의 피로가 감소되는 이미지 스위칭 방법과 눈의 피로가 야기되지 않은 이미지 스위칭 방법을 포함한다.
- [0261] 고속 이미지 스위칭은 일부 경우들에서 사용자들의 눈의 피로를 야기한다. 예컨대, 이미지들이 극히 높은 속도로 스위칭되는 동영상 디스플레이 및 상이한 스틸 이미지들 사이의 스위칭의 경우가 고속 이미지 스위칭에 해당한다.
- [0262] 이미지들이 상이한 이미지들을 디스플레이하기 위하여 스위칭될 때, 이미지들이 순간적으로가 아니라 점진적으로(고요하게) 및 자연스럽게 스위칭되는 것이 바람직하다.
- [0263] 예컨대, 제 1 이미지가 제 1 이미지와 상이한 제 2 이미지로 변화할 때, 제 1 이미지와 제 2 이미지 사이에 제

1 이미지의 페이드-아웃 이미지 및/또는 제 2 이미지의 페이드-인 이미지를 삽입하는 것이 바람직하다. 대안적으로, 제 1 이미지와 제 2 이미지를 중첩시켜 얻어진 이미지가 삽입될 수 있어서, 제 1 이미지가 페이드-아웃될 때 동시에 제 2 이미지가 페이드-인될 수 있다(이 기술은 크로스페이딩으로 또한 언급된다). 또한, 대안적으로 제 1 이미지가 제 2 이미지로 점진적으로 변하는 처리를 디스플레이하기 위한 동영상(또한 모핑으로 언급됨)이 삽입될 수 있다.

[0264] 구체적으로, 제 1 스틸 이미지는 낮은 리프레시율로 디스플레이되고, 뒤이어 이미지 스위칭을 위한 이미지가 높은 리프레시율로 디스플레이되고, 이후 제 2 스틸 이미지가 낮은 리프레시율로 디스플레이된다.

[0265] < 페이드-인, 페이드-아웃 >

[0266] 상이한 이미지들인 스위칭 이미지들(A 및 B)을 위한 방법의 예가 아래에 기술된다.

[0267] 도 13의 (A)는 이미지들을 스위칭할 수 있는 디스플레이 장치의 구조의 블록도이다. 도 13의 (A)에 도시된 디스플레이 장치는 연산 유닛(701), 메모리 유닛(702), 그래픽 유닛(703) 및 디스플레이 수단(704)을 포함한다.

[0268] 제 1 단계에서, 연산 유닛(701)은 메모리 유닛(702)으로 하여금 외부 메모리 장치 등으로부터 이미지(A)를 위한 데이터 및 이미지(B)를 위한 데이터를 저장하도록 한다.

[0269] 제 2 단계에서, 연산 유닛(701)은 미리 설정된 분할 수에 따라, 이미지(A)를 위한 데이터 및 이미지(B)를 위한 데이터를 기초로 새로운 이미지 데이터를 순차적으로 생성한다.

[0270] 제 3 단계에서, 연산 유닛(701)은 생성된 이미지 데이터를 그래픽 유닛(703)으로 출력한다. 그래픽 유닛(703)은 디스플레이 수단(704)이 이미지 데이터를 디스플레이하게 한다.

[0271] 도 13의 (B)는 이미지(A)로부터 이미지(B)로 점진적인 이미지 스위칭을 위해 생성된 이미지 데이터를 설명하기 위한 개략도이다.

[0272] 도 13의 (B)는 이미지 데이터의 N(N은 자연수)개의 세트들이 이미지(A)로부터 이미지(B)로 스위칭을 위해 생성되는 경우를 도시하고, 이미지 데이터의 각 세트는 f(f는 자연수)의 프레임 기간 동안 디스플레이된다. 그러므로, 이미지(A)로부터 이미지(B)로 스위칭하기 위해 필요한 기간은 $f \times N$ 개의 프레임들이다.

[0273] 여기에서, N 및 f와 같은 위의 파라미터들이 사용자들에 의해 자유롭게 설정되는 것이 바람직하다. 연산 유닛(701)은 미리 이들 파라미터들을 얻고, 파라미터들에 따라 이미지 데이터를 생성한다.

[0274] i번째 생성된 이미지 데이터(i는 1 이상 N 이하의 정수이다)는 이미지(A)의 이미지 데이터와 이미지(B)의 이미지 데이터를 가중시키고 가중된 데이터를 합산함으로써 생성된다. 예컨대, 이미지(A)가 디스플레이되는 특정 픽셀의 휘도(그레이 레벨)가 a로 표시되고, 이미지(B)가 디스플레이되는 픽셀의 휘도(그레이 레벨)가 b로 표시될 때, i번째 생성된 이미지 데이터가 디스플레이되는 픽셀의 휘도(그레이 레벨)(c)는 수학식 2로 표시된다.

수학식 2

$$c = \frac{(N-i)a + ib}{N}$$

[0275]

[0276] 이미지(A)는 위의 방식으로 생성된 이미지 데이터를 사용하여 이미지(B)로 변화되고; 따라서 불연속 이미지들은 점진적으로(고요하게) 및 자연스럽게 전환될 수 있다.

[0277] 모든 픽셀들이 수학식 2에서 $a=0$ 을 충족시키는 경우는 흑색 이미지가 점진적으로 이미지(B)로 변할 때 페이드-인에 대응한다. 모든 픽셀들이 $b=0$ 을 충족시키는 경우는 이미지(A)가 흑색 이미지로 점진적으로 변할 때 페이드-아웃에 대응한다.

[0278] 2개의 이미지들을 순간적으로 중첩함으로써 이미지들을 전환하기 위한 방법이 위에서 기술되었지만, 이미지들이 중첩되지 않는 방법이 채용될 수 있다.

[0279] 2개의 이미지들이 서로 중첩하지 않는 경우, 흑색 이미지가 이미지(A)와 이미지(B) 사이에 삽입될 수 있다. 이 경우, 위의 이미지 전환 방법은 이미지(A)로부터 흑색 이미지로의 전이 및/또는 흑색 이미지로부터 이미지(B)로의 전이 수행될 수 있다. 더욱이, 이미지(A)와 이미지(B) 사이에 삽입된 이미지는 반드시 흑색 이미지로

국한되는 것은 아니다; 백색 이미지와 같은 단일 컬러의 이미지가 사용될 수 있거나, 또는 이미지(A) 및 이미지(B)와 상이한 한 다중 컬러 이미지가 사용될 수 있다.

[0280] 이미지(A) 및 이미지(B) 사이에 다른 이미지, 특히 흑색 이미지와 같은 단일 컬러 이미지의 삽입은, 이미지들이 전환될 때에도 사용자들이 불편함을 느끼지 않고 이미지들을 시청하는 것을 가능케 한다; 즉, 이미지들은 사용자들의 스트레스를 야기하지 않고 전환될 수 있다.

[0281] (실시예 6)

[0282] 본 실시예에서, 본 발명의 일 실시예의 액정 디스플레이 장치의 디스플레이 유닛으로서 사용될 수 있는 패널 모듈의 구조 예가 도면들을 참조하여 기술된다.

[0283] 도 23의 (A)는 본 실시예에서 일 예로서 기술된 패널 모듈(200)의 개략 평면도이다.

[0284] 패널 모듈(200)은, 제 1 기판(201), 제 2 기판(202) 및 밀봉제(203)에 의해 둘러싸인 밀봉된 영역 내에 복수의 픽셀들 및 게이트 드라이버 회로(213)를 포함하는 픽셀부(211)를 포함한다. 패널 모듈(200)은 또한 제 1 기판(201) 위의 밀봉된 영역 밖의 영역에서 소스 드라이버 회로로서 작용하는 IC(212)와 외부 접속 전극(205)을 포함한다. 픽셀부(211), 게이트 드라이버 회로(213), IC(212), 등을 구동하기 위한 전력 및 신호들은 외부 접속 전극(205)에 전기적으로 접속된 FPC(204)를 통해 입력될 수 있다.

[0285] 도 23의 (B)는 도 23의 (A)에서, 절단선(A-B)을 따라 FPC(204) 및 밀봉제(203)를 포함하는 영역, 절단선(C-D)을 따라 게이트 드라이버 회로(213)를 포함하는 영역, 절단선(E-F)을 따라 픽셀부(211)를 포함하는 영역, 및 절단선(G-H)을 따라 밀봉제(203)를 포함하는 영역의 개략 단면도이다.

[0286] 제 1 기판(201) 및 제 2 기판(202)은 외측 에지들에 근접한 기판들의 영역들 내에서 밀봉제(203)를 통해 서로 결합된다. 제 1 기판(201), 제 2 기판(202) 및 밀봉제(203)에 의해 둘러싸인 영역 내에, 적어도 픽셀부(211)가 제공된다.

[0287] 도 23의 (B)에서, 게이트 드라이버 회로(213)는 n-채널 트랜지스터들, 트랜지스터들(231 및 232)이 일 예로서 결합하여 사용되는 회로를 포함한다. 게이트 드라이버 회로(213)가 이러한 구조에 국한되지 않고, n-채널 트랜지스터와 p-채널 트랜지스터가 조합하여 사용되는 다양한 CMOS 회로들, 또는 p-채널 트랜지스터들이 조합하여 사용되는 회로를 포함할 수 있음을 주목해야 한다. 게이트 드라이버 회로(213)가 제 1 기판(201) 위에 형성되는 드라이버-집적된 구조가 본 구조 예에서 기술되었지만, 게이트 드라이버 회로 또는 소스 드라이버 회로, 또는 둘 모두는 제 1 기판(201)과 다른 기판 위에 형성될 수 있다. 예컨대, 드라이버 회로 IC는 COG 방법에 의해 장착될 수 있거나, 또는 COF 방법에 의해 드라이버 회로 IC와 함께 장착된 가요성 기판(FPC)이 장착될 수 있다. 이러한 구조 예에서, 소스 드라이버 회로로서 작용하는 IC(212)는 COG 방법에 의해 제 1 기판(201) 위에 제공된다.

[0288] 픽셀부(211) 및 게이트 드라이버 회로(213) 내에 포함된 트랜지스터들의 구조에 대한 어떠한 특별한 제한도 없음을 주목해야 한다. 예컨대, 스테거형 트랜지스터 또는 반전 스테거형 트랜지스터가 사용될 수 있다. 또한, 상부-게이트 트랜지스터 또는 하부-게이트 트랜지스터가 사용될 수 있다. 트랜지스터들을 위해 사용된 반도체 재료로서, 예컨대 실리콘 또는 게르마늄, 또는 인듐, 갈륨 및 아연 중 적어도 하나를 함유하는 산화물 반도체와 같은 반도체 재료가 사용될 수 있다.

[0289] 또한, 트랜지스터들을 위해 사용된 반도체의 결정성에 대한 어떠한 특별한 제한도 없고, 비정질 반도체 또는 결정성을 갖는 반도체(미결정 반도체, 다결정 반도체, 단결정 반도체, 또는 부분적으로 결정 영역들을 포함하는 반도체)가 사용될 수 있다. 결정성을 갖는 반도체가 바람직하게 사용되고, 이 경우 트랜지스터 특성들의 열화는 감소될 수 있다.

[0290] 인듐, 갈륨 및 아연 중 적어도 하나를 함유하는 산화물 반도체의 전형적인 예들은 In-Ga-Zn계 금속 산화물을 포함한다. 실리콘보다 넓은 밴드갭과 낮은 캐리어 밀도를 갖는 산화물 반도체는 오프-상태 누설 전류가 감소될 수 있으므로 바람직하게 사용된다. 바람직한 산화물 반도체들의 세부사항들은 아래의 실시예들(8 및 9)에서 기술될 것이다.

[0291] 도 23의 (B)는 픽셀부(211)의 일 예로서 하나의 픽셀의 단면 구조를 도시한다. 픽셀부(211)는 수직 배향(VA) 모드를 사용하는 액정 소자(250)를 포함한다.

[0292] 하나의 픽셀은 적어도 스위칭 트랜지스터(256)를 포함하고, 또한 도시되지 않은 저장 커패시터를 포함할 수 있

다. 덧붙여, 제 1 전극(251)은 트랜지스터(256)의 소스 전극 및 드레인 전극에 전기적으로 접속되도록 절연층(239) 위에 제공된다.

[0293] 픽셀을 위해 제공된 액정 소자(250)는 절연층(239) 위에 제공된 제 1 전극(251), 제 2 기관(202) 상에 제공된 제 2 전극(253), 및 제 1 전극(251)과 제 2 전극(253) 사이에 삽입된 액정(252)을 포함한다.

[0294] 제 1 전극(251) 및 제 2 전극(253)을 위해, 광 투과 도전성 재료가 사용된다. 광 투과 도전성 재료로서, 산화 인듐, 산화 인듐 주석, 산화 인듐 아연, 산화 아연, 또는 갈륨이 첨가된 산화 아연과 같은 도전성 산화물 또는 그래핀이 사용될 수 있다.

[0295] 또한, 컬러 필터(243)와 블랙 매트릭스(242)는 픽셀부(211)와 중첩하는 적어도 한 영역에서 제 2 기관(202) 상에 제공된다.

[0296] 컬러 필터(243)는 픽셀을 통해 투과된 광의 컬러를 조정하여 컬러 순도를 증가시키기 위해 제공된다. 예컨대, 백색 백라이트를 사용하는 풀-컬러 패널 모듈에서, 상이한 컬러의 컬러 필터들을 구비한 복수의 픽셀들이 사용된다. 그 경우, 컬러 필터들은 R(적색), G(녹색), 및 B(청색)의 3개 컬러들, 또는 4개 컬러들(이들 3개 컬러들에 노랑(Y)이 첨가된)의 필터일 수 있다. 또한, 백색(W) 픽셀이 R, G 및 B 픽셀들(및 Y 픽셀)에 부가될 수 있다. 즉, 4개 컬러들(또는 5개 컬러들)의 컬러 필터가 사용될 수 있다.

[0297] 블랙 매트릭스(242)는 인접한 컬러 필터들(243) 사이에 제공된다. 블랙 매트릭스(242)는 인접한 픽셀로부터 방출된 광을 차단하고, 이에 의해 인접한 픽셀들 사이에서 컬러 혼합을 방지한다. 일 구성에 있어서, 블랙 매트릭스(242)는 동일한 방출 컬러의 픽셀들 사이가 아니라 상이한 방출 컬러들의 인접한 픽셀들 사이에 오로지 제공된다. 여기에서, 컬러 필터(243)는 그 단부들이 블랙 매트릭스(242)와 중첩하도록 제공되고, 이에 의해 광 누설은 감소될 수 있다. 블랙 매트릭스(242)는 픽셀을 통해 투과된 광을 차단하는 재료, 예컨대 금속 재료 또는 안료를 포함하는 수지 재료를 사용하여 형성될 수 있다. 도 23에 도시된 바와 같이 픽셀부(211) 이외에 게이트 드라이버 회로(213)와 중첩하는 영역, 등에 또한 블랙 매트릭스(242)를 제공하는 것이 바람직하고, 이 경우 안내광, 등의 바람직하지 않은 누설이 방지될 수 있음을 주목해야 한다.

[0298] 컬러 필터(243)와 블랙 매트릭스(242)를 덮도록 보호막(255)이 제공된다. 보호막(255)은 컬러 필터(243) 및 블랙 매트릭스(242)에 포함된 안료와 같은 불순물들의 액정(252)으로의 확산을 억제할 수 있다. 보호막을 위해, 광-투과 재료가 사용되고, 무기 절연 재료 또는 유기 절연 재료가 사용될 수 있다.

[0299] 제 2 전극(253)이 보호막(255) 위에 제공됨을 주목해야 한다.

[0300] 덧붙여, 스페이서(254)가 보호막(255)이 블랙 매트릭스(242)와 중첩하는 영역에 제공된다. 스페이서(254)는 두 겹께 형성될 수 있기 때문에 수지 재료를 사용하여 형성되는 것이 바람직하다. 예컨대, 스페이서(254)는 양 또는 음의 광감응 수지를 사용하여 형성된다. 광-차단 재료가 스페이서(254)를 위해 사용될 때, 스페이서(254)는 인접한 픽셀로부터 방출된 광을 차단하고, 이에 의해 인접한 픽셀들 사이의 컬러 혼합을 방지한다. 스페이서(254)가 본 구조 예에서 제 2 기관(202) 측 상에 제공되지만, 스페이서(254)는 제 1 기관(201) 측 상에 제공될 수 있다. 또한, 구형 산화 실리콘 입자들이 스페이서(254)로 사용되고, 입자들이 액정(252)이 제공된 영역 내에서 산재되는 구조가 사용될 수 있다.

[0301] 이미지는 다음의 방식으로 디스플레이될 수 있다: 제 1 전극(251)과 제 2 전극(253) 사이에 전압의 인가에 의해 전극 표면에 대해 수직 방향으로 전계가 생성되고, 액정(252)의 배향은 전계에 의해 제어되고, 패널 모듈의 밖에 제공된 백라이트로부터의 광의 편광은 각 픽셀 내에서 제어된다.

[0302] 액정(252)의 배향을 제어하는 배향막은 액정(252)과 접하는 표면상에 제공될 수 있다. 광-투과 재료가 배향막을 위하여 사용된다.

[0303] 이러한 구조 예에서, 컬러 필터는 액정 소자(250)와 중첩하는 영역 내에 제공되고; 따라서, 높은 컬러 순도를 갖는 풀-컬러 이미지가 디스플레이될 수 있다. 상이한 컬러들의 광을 방출하는 복수의 발광 다이오드들(LEDs)을 백라이트로서 사용하여, 시-분할 디스플레이 방법(필드-순차 구동 방법)이 사용될 수 있다. 시-분할 디스플레이 방법을 사용하는 경우, 각 픽셀 또는 단위 면적당 다수의 픽셀들의 개구비는 증가될 수 있는데, 왜냐하면 컬러 필터들 또는 예컨대 적색(R), 녹색(G) 또는 청색(B)의 광이 얻어지는 하위-픽셀들 중 어느 것도 필요하지 않기 때문이다.

[0304] 액정(252)으로서, 서모트로픽 액정, 저분자 액정, 고분자 액정, 강유전성 액정, 반강유전성 액정 등을 사용할 수 있다. 더욱이, 블루상을 나타내는 액정이 바람직하게 사용되는데, 왜냐하면 이 경우 배향막이 필요하지 않

고 넓은 시칭 각도가 얻어지기 때문이다. 위의 액정에 모노머와 중합 개시제를 첨가하고, 액정의 주입 또는 분배 및 밀봉 이후, 모노머를 중합화함으로써 얻어지는 고분자-안정화된 액정 재료를 사용하는 것도 또한 가능하다.

- [0305] VA 모드를 사용하는 액정 소자(250)가 본 구조 예에서 기술되었지만, 액정 소자의 구조는 본 예에 국한되지 않고, 상이한 모드를 사용하는 액정 소자(250)가 사용될 수 있다.
- [0306] 제 1 기관(201)은, 제 1 기관(201)의 상부 표면과 접하는 절연층(237), 트랜지스터들의 게이트 절연층으로 작용하는 절연층(238), 및 트랜지스터들을 덮는 절연층(239)을 구비한다.
- [0307] 절연층(237)은 제 1 기관(201)에 포함된 불순물들의 확산을 방지하기 위하여 제공된다. 트랜지스터들의 반도체층들과 접하는 절연층들(238 및 239)은 트랜지스터들의 악화를 촉진하는 불순물들의 확산을 방지하는 재료를 사용하여 바람직하게 형성된다. 이들 절연층들을 위해, 예컨대, 실리콘과 같은 반도체의 산화물, 질화물, 또는 산화질화물 또는 알루미늄과 같은 금속이 사용될 수 있다. 대안적으로, 이러한 무기 절연 재료들의 적층 또는 이러한 무기 절연 재료와 유기 절연 재료의 적층이 사용될 수 있다. 절연층들(237 및 239)은 필요하지 않을 때 반드시 제공되는 것은 아님을 주목해야 한다.
- [0308] 그 아래에 제공된 트랜지스터들, 배선, 등으로 인한 단차들을 덮는 평탄화층으로 작용하는 절연층은 절연층(239)과 제 1 전극(251) 사이에 제공될 수 있다. 이러한 절연층을 위하여, 폴리이미드 또는 아크릴 수지와 같은 수지 재료를 사용하는 것이 바람직하다. 높은 평탄성이 얻어질 수 있는한, 무기 절연 재료가 사용될 수 있다.
- [0309] 도 23의 (B)에 도시된 구조를 통해, 액정 소자(250)의 트랜지스터와 제 1 전극(251)을 제 1 기관(201) 위에 형성하기 위해 필요한 포토마스크들의 수는 감소될 수 있다. 특히, 5개의 포토마스크들이 필요하고; 하나는 게이트 전극을 처리하는 단계에서 사용되고, 하나는 반도체층을 처리하는 단계에서 사용되고, 하나는 소스 전극 및 드레인 전극을 처리하는 단계에서 사용되고, 하나는 절연층(239) 내의 개구부를 형성하는 단계에서 사용되고, 하나는 제 1 전극(251)을 처리하는 단계에서 사용된다.
- [0310] 제 1 기관(201) 위의 배선(206)은 밀봉재(203)를 통해 밀봉된 영역의 밖으로 확장되도록 제공되고, 게이트 드라이버 회로(213)에 전기적으로 접속된다. 배선(206)의 단부의 부분은 외부 접속 전극(205)의 부분을 형성한다. 이러한 구조 예에서, 외부 접속 전극(205)은 트랜지스터의 소스 전극 및 드레인 전극을 위해 사용된 도전막 및 트랜지스터의 게이트 전극을 위해 사용된 도전막의 적층으로 형성된다. 외부 접속 전극(205)은 바람직하게 위에서 기술한 복수의 도전막들의 적층으로 형성되는데, 왜냐하면 FPC(204) 등 상에 수행된 압력 접합 단계에 대한 기계적인 강도가 증가할 수 있기 때문이다.
- [0311] 도시되지 않았지만, IC(212)와 픽셀부(211)를 전기적으로 접속하는 배선 및 외부 접속 전극은 배선(206) 및 외부 접속 전극(205)의 것과 유사한 구조를 가질 수 있다.
- [0312] 접속층(208)은 외부 접속 전극(205)과 접하여 제공된다. FPC(204)는 접속층(208)을 통해 외부 접속 전극(205)에 전기적으로 접속된다. 접속층(208)을 위해, 알려진 이방성 도전막, 알려진 이방성 도전 페이스트, 등이 사용될 수 있다.
- [0313] 배선(206) 및 외부 접속 전극(205)의 단부들은 이들의 표면이 노출되지 않도록 절연층으로 덮이는 것이 바람직하고, 이 경우 표면들의 산화 및 의도되지 않은 단락 회로와 같은 결함들이 억제될 수 있다.
- [0314] 본 실시예가 본 명세서의 다른 실시예들 중 어느 하나와 적절하게 결합될 수 있음을 주목해야 한다.
- [0315] (실시예 7)
- [0316] 실시예 6에 기술된 패널 모듈은 터치 센서(접촉 검출기)를 구비함으로써 터치 패널로서 기능할 수 있다. 본 실시예에서, 터치 패널은 도 14 및 도 15를 참조하여 기술된다. 이후로, 위의 실시예의 것과 동일한 부분들의 설명은 일부 경우들에서 생략된다.
- [0317] 도 14의 (A)는 일 예로서 본 실시예에서 기술된 터치 패널(400)의 개략 사시도이다. 도 14의 (B)는 터치 패널(400)의 개략 사시도의 분해도이다. 도 14는 단순화를 위해 오로지 주 구성요소들을 도시함을 주목해야 한다.
- [0318] 터치 패널(400)은 제 1 기관(401) 및 제 2 기관(402) 사이에 삽입된 디스플레이부(411), 및 제 2 기관(402)과 제 3 기관(403) 사이에 삽입된 터치 센서(430)를 포함한다.
- [0319] 제 1 기관(401)은 디스플레이부(411) 및 디스플레이부(411)에 전기적으로 접속된 복수의 배선들(406)을 구비한

다. 복수의 배선들(406)은 제 1 기판(401)의 주변으로 리드되고, 배선들의 부분은 FPC(404)에 전기 접속을 위한 외부 접속 전극(405)을 형성한다.

[0320] 디스플레이부(411)는 픽셀부(414)를 포함하고, 픽셀부(414)는 복수의 픽셀들, 소스 드라이버 회로(412) 및 게이트 드라이버 회로(413)를 포함하고, 제 1 기판(401)과 제 2 기판(402)에 의해 밀봉된다. 도 14의 (B)가 두 개의 소스 드라이버 회로들(412)이 픽셀부(414)의 양 측들 상에 위치하는 구조를 도시하지만, 하나의 소스 드라이버 회로(412)는 픽셀부(414)의 한 측을 따라 위치할 수 있다.

[0321] 액정 소자는 디스플레이부(411) 내의 픽셀부(414)에 적용 가능한 디스플레이 소자로서 사용된다.

[0322] 제 3 기판(403)은 터치 센서(430) 및 터치 센서(430)에 전기적으로 접속된 복수의 배선들(417)을 구비한다. 터치 센서(430)는 제 2 기판(402)에 대향하는 측 상의 제 3 기판(403)의 표면 상에 제공된다. 복수의 배선들(417)은 제 3 기판(403)의 주변으로 리드되고, 배선들의 부분은 FPC(415)에 전기 접속을 위한 외부 접속 전극(416)을 형성한다. 도 14의 (B)에서 제 3 기판(403)의 이면 측(도면의 이면 측) 상에 제공된 터치 센서(430)의 전극들, 배선들, 등은 명확성을 위해 실선들로 표시됨을 주목해야 한다.

[0323] 도 14의 (B)에 도시된 터치 센서(430)는 돌출한 용량성 터치 센서의 일 예이다. 터치 센서(430)는 전극들(421) 및 전극들(422)을 포함한다. 전극(421) 및 전극(422)은 각각 복수의 배선들(417) 중 어느 하나에 전기적으로 접속된다.

[0324] 여기에서, 전극(422)은 도 14에 도시된 바와 같이 한 방향으로 배열된 일련의 4변형들의 형태이다. 전극들(421)의 각각은 사변형의 형태이다. 전극(422)이 확장하는 방향과 교차하는 방향으로 한 라인으로 배열된 복수의 전극들(421)은 배선(423)에 의해 서로 전기적으로 접속된다. 전극(422) 및 배선(423)의 교차부의 면적이 가능한 작도록 전극(422) 및 배선(423)이 배열되는 것이 바람직하다. 이러한 형태는 전극들이 제공되지 않는 영역의 면적을 줄일 수 있고, 전극들이 제공되는지의 여부에 따른 투과율의 차이에 의해 야기되는 터치 센서(430)를 통과하는 광의 휘도 불균일을 감소시킬 수 있다.

[0325] 전극(421) 및 전극(422)의 형태들이 이에 국한되지 않고, 다양한 형태들 중 어느 하나가 될 수 있음을 주목해야 한다. 예컨대, 전극들(421) 사이의 갭들이 가능한 줄어들도록 복수의 전극들(421)이 배열되고, 전극(422)이 전극들(421)과 중첩하지 않는 영역들을 갖도록 그 사이에 절연층을 개재하여 전극들(421)로부터 이격되는 구조가 사용될 수 있다. 이 경우, 두 개의 인접한 전극들(422) 사이에, 이들 전극들로부터 전기적으로 분리된 더미 전극을 제공하는 것이 바람직하고, 이에 의해 상이한 투과율들을 갖는 영역들의 면적은 줄어들 수 있다.

[0326] 도 15는 도 14의 (A)에서 X1-X2를 따라 취해진 터치 패널(400)의 단면도이다.

[0327] 스위칭 소자층(437)은 제 1 기판(401) 위에 제공된다. 스위칭 소자층(437)은 적어도 하나의 트랜지스터를 포함하고, 추가로 커패시터, 등을 포함할 수 있다. 더욱이, 스위칭 소자층(437)은 드라이버 회로(게이트 드라이버 회로 및/또는 소스 드라이버 회로), 배선, 전극, 등을 포함할 수 있다.

[0328] 컬러 필터층(435)은 제 2 기판(402)의 한 표면상에 제공된다. 컬러 필터층(435)은 액정 소자와 중첩하는 컬러 필터를 포함한다. 컬러 필터층(435)이 적색(R), 녹색(G) 및 청색(B)의 3개의 컬러 필터들을 구비할 때, 풀-컬러 액정 디스플레이 장치가 얻어질 수 있다.

[0329] 컬러 필터층(435)은 포토리소그래피 공정에 의해 안료를 포함하는 광감응 재료를 사용하여 형성될 수 있다. 컬러 필터층(435)에서, 블랙 매트릭스는 상이한 컬러들을 갖는 컬러 필터들 사이에 제공될 수 있다. 더욱이, 보호막이 컬러 필터들과 블랙 매트릭스를 덮도록 제공될 수 있다.

[0330] 액정 소자의 전극들 중 하나가 액정 소자의 구조에 따라 컬러 필터층(435) 상에 제공될 수 있음을 주목해야 한다. 전극이 이후에 형성될 액정 소자의 부분이 됨을 주목해야 한다. 배향막은 전극 위에 제공될 수 있다.

[0331] 액정(431)은 밀봉제(436)를 통해 제 1 기판(401)과 제 2 기판(402) 사이에 밀봉된다. 밀봉제(436)는 스위칭 소자층(437)과 컬러 필터층(435)을 둘러싸도록 제공된다.

[0332] 밀봉제(436)로서, 열경화 수지 또는 자외선 경화가능 수지가 사용될 수 있다; 예컨대, 아크릴 수지, 우레탄 수지, 에폭시 수지 또는 실록산 결합을 갖는 수지와 같은 유기 수지가 사용될 수 있다. 대안적으로, 밀봉제(436)는 낮은 용융점 유리를 포함하는 유리 프리트로서 형성된다. 또한 대안적으로, 밀봉제(436)는 유기 수지 및 유리 프리트의 조합으로 형성될 수 있다. 예컨대, 유기 수지가 액정(431)과 접하여 제공되고, 유리 프리트가 액정(431) 밖에 제공되는 구조는 물 등이 외부로부터 액정으로 들어가는 것을 방지할 수 있다.

- [0333] 터치 센서는 제 2 기관(402) 위에 제공된다. 센서층(440)은 절연층(424)을 개재하여 제 3 기관(403)의 한 표면에 제공된다. 센서층(440)은 그 사이에 제공된 접촉층(434)을 통해 제 2 기관(402)에 결합된다. 편광 플레이트(441)는 제 3 기관(403)의 다른 표면에 제공된다.
- [0334] 터치 센서는 다음과 같이 형성될 수 있다: 센서층(440)은 제 3 기관(403) 위에 형성되고; 센서층(440)은 센서층(440) 위에 개재되는 접촉층(434)을 통해 제 2 기관(402)에 결합된다.
- [0335] 절연층(424)을 위해, 산화 실리콘과 같은 산화물이 사용될 수 있다. 광-투과 특성을 갖는 전극들(421) 및 광-투과 특성을 갖는 전극들(422)이 절연층(424)과 접하여 제공된다. 전극들(421)과 전극들(422)은 다음의 방식으로 형성된다: 도전막이 스퍼터링 방법에 의해 제 3 기관(403) 위의 절연층(424) 위에 형성되고, 포토리소그래피 공정과 같은 알려진 패터닝 기술에 의해 선택적으로 에칭된다. 광-투과 도전성 재료로서, 산화 인듐, 산화 인듐 주석, 산화 인듐 아연, 산화 아연, 또는 갈륨이 첨가된 산화 아연과 같은 도전성 산화물이 사용될 수 있다.
- [0336] 배선(438)은 전극(421) 또는 전극(422)에 전기적으로 접속된다. 배선(438)의 부분은 FPC(415)에 전기적으로 접속되는 외부 접속 전극으로서 작용한다. 배선(438)을 위해, 알루미늄, 금, 백금, 은, 니켈, 티타늄, 텅스텐, 크롬, 몰리브덴, 철, 코발트, 구리, 또는 팔라듐과 같은 금속 재료, 또는 이들 금속 재료들 중 어느 하나를 함유하는 합금 재료가 사용될 수 있다.
- [0337] 전극들(422)은 한 방향으로 확장된 줄무늬들을 형성하도록 제공된다. 전극들(421)은 하나의 전극(422)이 한 쌍의 전극들(421) 사이에 삽입되도록 제공된다. 한 쌍의 전극들(421)은 배선(423)에 의해 서로 전기적으로 접속된다. 배선(423)은 전극(422)과 교차하도록 제공된다. 여기에서, 배선(423)에 의해 서로 전기적으로 접속된 하나의 전극(422) 및 한 쌍의 전극들(421)은 반드시 직각으로 교차하는 것은 아니고, 90° 미만의 각도를 형성할 수 있다.
- [0338] 절연층(433)은 전극들(421)과 전극들(422)을 덮도록 제공된다. 절연층(433)의 재료로서, 예컨대 아크릴 수지 또는 에폭시 수지와 같은 수지, 실록산 결합을 갖는 수지, 또는 산화 실리콘, 산화질화 실리콘, 또는 산화 알루미늄과 같은 무기 절연 재료가 사용될 수 있다. 전극들(421)에 도달하는 개구부들은 절연층(433) 내에 형성되고, 전극들(421)에 전기적으로 접속된 배선들(423)이 절연층(433) 위에 그리고 개구부들 내에 제공된다. 배선(423)은 전극(421) 및 전극(422)의 것과 유사한 광-투과 도전성 재료를 사용하여 형성되는 것이 바람직하고, 이 경우 터치 패널의 개구비는 개선될 수 있다. 전극(421) 및 전극(422)의 것과 동일한 재료가 배선(423)을 위해 사용될 수 있지만, 전극(421) 및 전극(422)의 재료보다 더 높은 도전성을 갖는 재료가 배선(423)을 위해 사용되는 것이 바람직하다.
- [0339] 절연층(433) 및 배선들(423)을 덮는 절연층이 제공될 수 있다. 절연층은 보호층으로서 작용할 수 있다.
- [0340] 배선(438)에 도달하는 개구부는 절연층(433)(및 보호층으로 작용하는 절연층) 내에 형성된다. 접속층(439)은 FPC(415)를 배선(438)과 전기적으로 접속시키는 개구부 내에 제공된다. 접속층(439)을 위해, 이방성 도전막(ACF), 이방성 도전 페이스트(ACP), 등이 사용될 수 있다.
- [0341] 센서층(440)을 제 2 기관(402)에 결합시키는 접촉층(434)이 광-투과 특성을 갖는 것이 바람직하다. 예컨대, 열경화 수지 또는 자외선 경화가 가능 수지가 사용될 수 있다; 특히, 아크릴 수지, 우레탄 수지, 에폭시 수지 또는 실록산 결합을 갖는 수지와 같은 수지가 사용될 수 있다.
- [0342] 편광 플레이트(441)로서, 알려진 편광 플레이트가 사용될 수 있다. 편광 플레이트(441)를 위해, 자연광 또는 원형으로 편광된 광으로부터 선형으로 편광된 광을 생성할 수 있는 재료가 사용된다. 예컨대, 이색성 물질들을 한 방향으로 배치함으로써 광 이방성이 얻어지는 재료가 사용될 수 있다. 이러한 편광 플레이트는, 요오드계 화합물, 등이 폴리비닐 알코올막과 같은 막에 흡착되고, 예컨대 이러한 막, 등이 한 방향으로 연신되는 방식으로 형성될 수 있다. 이색성 물질로서, 요오드계 화합물뿐만 아니라 염료계 화합물 등이 사용될 수 있음을 주목해야 한다. 막-형, 시트-형, 또는 플레이트-형 재료가 편광 플레이트(441)를 위해 사용될 수 있다.
- [0343] 본 실시예에서, 돌출된 용량성 터치 센서가 센서층(440)을 위해 사용된 예가 기술되었다; 하지만, 센서층(440)이 이에 국한되지 않고, 손가락과 같은 감지될 도전성 물체의 근접 또는 터치를 편광 플레이트가 아니라 외부측으로부터 감지하는 터치 센서로서 작용하는 센서가 사용될 수 있음을 주목해야 한다. 센서층(440)에 제공된 터치 센서는 용량성 터치 센서인 것이 바람직하다. 용량성 터치 센서의 예들은 표면 용량성 유형, 돌출된 용량성 유형, 등으로 이루어질 수 있다. 또한, 돌출된 용량성 유형의 예들은 주로 구동 방법의 차이에 따라 자가 용량성 유형, 상호 용량성 유형, 등으로 이루어진다. 상호 용량성 유형의 사용은 다중 점들이 동시에 감지될 수 있

으므로 선호된다.

[0344] 본 실시예에 기술된 터치 패널에서, 스틸 이미지 디스플레이시의 리프레시율이 감소될 수 있으므로, 사용자들이 동일한 이미지를 가능한 오랜 시간 동안 볼 수 있고; 따라서, 스크린 내의 지각 가능한 플리커들은 감소될 수 있다. 더욱이, 한 픽셀의 크기는 작고, 따라서 높은 해상도의 디스플레이가 가능하여, 정확하고 평활한 디스플레이가 달성될 수 있다. 더욱이, 스틸 이미지 디스플레이시에, 그레이 레벨의 변화에 의해 야기된 이미지 품질의 악화는 줄어 들 수 있고, 터치 패널에 의해 소비되는 전력은 줄어 들 수 있다.

[0345] (실시예 8)

[0346] 본 실시예에서, 액정 디스플레이 장치의 픽셀들에 사용될 수 있는 트랜지스터들의 구조 예들이 도면들을 참조하여 기술될 것이다.

[0347] < 트랜지스터의 구조 예 >

[0348] 도 16의 (A)는 일 예로서 아래에 기술된 트랜지스터(100)의 개략적 평면도이다. 도 16의 (B)는 도 16의 (A)에서 절단 라인(A-B)을 따라 취해진 트랜지스터(100)의 개략적 단면도이다. 본 구조 예에서 일 예로서 기술된 트랜지스터(100)는 하부-게이트 트랜지스터이다.

[0349] 트랜지스터(100)는, 기판(101) 위의 게이트 전극(102), 기판(101) 및 게이트 전극(102) 위의 절연층(103), 게이트 전극(102)과 중첩하는 절연층(103) 위의 산화물 반도체층(104), 및 산화물 반도체층(104)의 상부 표면과 접하는 한 쌍의 전극들(105a 및 105b)을 포함한다. 또한, 절연층(106)은 절연층(103), 산화물 반도체층(104), 및 한 쌍의 전극들(105a 및 105b)을 덮도록 제공되고, 절연층(107)은 절연층(106) 위에 제공된다.

[0350] << 기판(101) >>

[0351] 재료가 이후에 수행될 적어도 열처리를 견디기에 충분한 열 저항성을 갖는 한, 기판(101)의 재료, 등의 특성에 대한 특별한 제한은 없다. 예컨대, 유리 기판, 세라믹 기판, 수정 기판, 사파이어 기판, 또는 이트리아 안정화 지르코니아(YSZ) 기판이 기판(101)으로 사용될 수 있다. 대안적으로, 실리콘, 탄화 실리콘, 등으로 만들어진 단결정 반도체 기판 또는 다결정 반도체 기판, 실리콘 게르마늄, 등으로 만들어진 화합물 반도체 기판, SOI 기판, 등이 기판(101)으로 사용될 수 있다. 또 다른 대안으로, 반도체 소자를 구비한 이들 기판들 중 어느 하나가 기판(101)으로 사용될 수 있다.

[0352] 또 다른 대안으로, 플라스틱 기판과 같은 가요성 기판이 기판(101)으로 사용될 수 있고, 트랜지스터(100)는 가요성 기판상에 직접 제공될 수 있다. 추가의 대안으로, 분리층이 기판(101)과 트랜지스터(100) 사이에 제공될 수 있다. 분리층은 트랜지스터의 일부 또는 전체가 분리층 위에 형성되고, 기판(101)으로부터 분리되어, 다른 기판에 전제될 때, 사용될 수 있다. 따라서, 트랜지스터(100)는 낮은 열 저항을 갖는 기판 또는 가요성 기판에 전제될 수 있다.

[0353] << 게이트 전극(102) >>

[0354] 게이트 전극(102)은, 알루미늄, 크롬, 구리, 탄탈, 티타늄, 몰리브덴 및 텅스텐으로부터 선택된 금속; 이들 금속들 중 어느 하나를 한 성분으로 함유하는 합금; 이들 금속들 중 어느 하나를 조합하여 함유하는 합금, 등을 사용하여 형성될 수 있다. 또한, 망간 및 지르코늄으로부터 선택된 하나 이상의 금속들이 사용될 수 있다. 더욱이, 게이트 전극(102)은 2이상의 층들의 단일층 구조 또는 적층 구조를 가질 수 있다. 예컨대, 실리콘을 함유하는 알루미늄막의 단층 구조, 티타늄막이 알루미늄막 위에 적층된 2층 구조, 티타늄막이 질화 티타늄막 위에 적층된 2층 구조, 텅스텐막이 질화 티타늄막 위에 적층된 2층 구조, 텅스텐막이 질화 탄탈막 또는 질화 텅스텐막 위에 적층된 2층 구조, 티타늄막, 알루미늄막, 및 티타늄막이 이 순서대로 적층된 3층 구조, 등이 주어질 수 있다. 대안적으로, 알루미늄, 및 티타늄, 탄탈, 텅스텐, 몰리브덴, 크롬, 네오디뮴 및 스칸듐으로부터 선택된 하나 이상의 금속들을 함유하는 합금막; 또는 합금막의 질화막이 사용될 수 있다.

[0355] 게이트 전극(102)은 또한, 인듐 주석 산화물, 산화 텅스텐을 함유하는 인듐 산화물, 산화 텅스텐을 함유하는 인듐 아연 산화물, 산화 티타늄을 함유하는 산화 인듐, 산화 티타늄을 함유하는 인듐 주석 산화물, 인듐 아연 산화물, 또는 산화 실리콘이 첨가된 인듐 주석 산화물과 같은 광-투과 도전성 재료를 사용하여 형성될 수 있다. 또한 적층 구조가 위의 광-투과 도전성 재료 및 위의 금속을 사용하여 형성되게 할 수 있다.

[0356] 또한, In-Ga-Zn계 산화질화 반도체막, In-Sn계 산화질화 반도체막, In-Ga계 산화질화 반도체막, In-Zn계 산화질화 반도체막, Sn계 산화질화 반도체막, In계 산화질화 반도체막, 금속 질화물(InN 또는 ZnN과 같은)막, 등이 게

이트 전극(102)과 절연층(103) 사이에 제공될 수 있다. 이들 막들 각각은 산화물 반도체의 전자 친화도보다 높은, 5eV 이상, 바람직하게는 5.5eV 이상의 일함수를 갖는다. 따라서, 산화물 반도체를 포함하는 트랜지스터의 임계 전압은 양의 방향으로 이동될 수 있고, 노멀리-오프 스위칭 소자로 불리는 것이 달성될 수 있다. 예컨대, In-Ga-Zn계 산화질화 반도체막을 사용하는 경우, 적어도 산화물 반도체층(104)보다 높은 질소 농도를 갖는 In-Ga-Zn계 산화질화 반도체막, 특히, 7at.% 이상의 질소 농도를 갖는 In-Ga-Zn계 산화질화 반도체막이 사용된다.

[0357] << 절연층(103) >>

[0358] 절연층(103)은 게이트 절연막으로 작용한다. 산화물 반도체층(104)의 하부 표면과 접하는 절연층(103)은 비정질 막인 것이 바람직하다.

[0359] 절연층(103)은 예컨대, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 갈륨, Ga-Zn계 금속 산화물, 질화 실리콘, 등 중 하나 이상을 사용하여 단일층 구조 또는 적층 구조를 갖도록 형성된다.

[0360] 절연층(103)은 하프늄 실리케이트(HfSiO_x), 질소가 첨가된 하프늄 실리케이트($\text{HfSi}_x\text{O}_y\text{N}_z$), 질소가 첨가된 하프늄 알루미늄네이트($\text{HfAl}_x\text{O}_y\text{N}_z$), 산화 하프늄, 또는 산화 이트륨과 같은 높은-k 재료를 사용하여 형성될 수 있어서, 트랜지스터의 게이트 누설 전류가 감소될 수 있다.

[0361] << 전극들(105a 및 105b)의 쌍 >>

[0362] 전극들(105a 및 105b)의 쌍은 트랜지스터의 소스 전극 및 드레인 전극으로 기능한다.

[0363] 전극들(105a 및 105b)의 쌍은 도전성 재료로서, 알루미늄, 티타늄, 크롬, 니켈, 구리, 이트륨, 지르코늄, 몰리브덴, 은, 탄탈 및 텅스텐과 같은 금속들 중 어느 하나, 또는 이들 금속들 중 어느 하나를 함유하는 합금을 주 구성요소로 사용하는 단일층 구조 또는 적층 구조를 갖도록 형성될 수 있다. 예컨대, 실리콘을 함유하는 알루미늄막의 단일층 구조, 티타늄막이 알루미늄막 위에 적층된 2층 구조, 티타늄막이 텅스텐막 위에 적층된 2층 구조, 구리막이 구리-망간-알루미늄 합금막 위에 적층된 2층 구조, 티타늄막 또는 질화 티타늄막, 알루미늄막 또는 구리막, 및 티타늄막 또는 질화 티타늄막이 이 순서대로 적층된 3층 구조, 몰리브덴막 또는 질화 몰리브덴막, 알루미늄막 또는 구리막, 및 몰리브덴막 또는 질화 몰리브덴막이 이 순서대로 적층된 3층 구조, 등이 주어질 수 있다. 산화 인듐, 산화 주석 또는 산화 아연을 함유하는 투명 도전성 재료가 사용될 수 있음을 주목해야 한다.

[0364] << 절연층(106, 107) >>

[0365] 절연층(106)은 화학양론적 조성의 산소보다 높은 비율로 산소를 함유하는 산화물 절연막을 사용하여 형성되는 것이 바람직하다. 산소 부분은 화학양론적 조성의 산소보다 높은 비율로 산소를 함유하는 산화물 절연막으로부터 가열에 의해 방출된다. 화학양론적 조성의 산소보다 높은 비율로 산소를 함유하는 산화물 절연막은, 산소 원자들로 변환된 방출된 산소의 양이 열탈착 분광학(TDS) 분석에서 1.0×10^{18} atoms/cm² 이상, 바람직하게는 3.0×10^{20} atoms/cm² 이상인 산화물 절연막이다.

[0366] 절연층(106)으로서, 산화 실리콘막, 산화질화 실리콘막, 등이 형성될 수 있다.

[0367] 절연층(106)이 또한 후에 절연층(107)을 형성할 때 산화물 반도체층(104)에 대한 손상을 경감시키는 막으로 작용함을 주목해야 한다.

[0368] 대안적으로, 산소를 투과시키는 산화물막이 절연층(106)과 산화물 반도체층(104) 사이에 제공될 수 있다.

[0369] 산소를 투과시키는 산화물막으로서, 산화 실리콘막, 산화질화 실리콘막, 등이 형성될 수 있다. 본 명세서에서 "산화질화 실리콘막"이 질소보다 높은 비율로 산소를 함유하는 막을 언급하고, "질화산화 실리콘막"이 산소보다 높은 비율로 질소를 함유하는 막을 언급함을 주목해야 한다.

[0370] 절연층(107)은 산소, 수소, 물, 등에 대해 차단 효과를 갖는 절연막을 사용하여 형성될 수 있다. 절연층(107)을 절연층(106) 위에 제공함으로써 산화물 반도체층(104)으로부터 밖으로 산소의 확산 및 밖으로부터 산화물 반도체층(104)으로 수소, 물, 등의 진입을 방지하는 것이 가능하다. 산소, 수소, 물, 등에 대해 차단 효과를 갖는 절연막에 관해, 질화 실리콘막, 질화산화 실리콘막, 산화 알루미늄막, 산화질화 알루미늄막, 산화 갈륨막, 산화 질화 갈륨막, 산화 이트륨막, 산화질화 이트륨막, 산화 하프늄막, 및 산화질화 하프늄막이 예들로서 주어질 수

있다.

[0371] < 트랜지스터의 제조 방법의 예 >

[0372] 다음에, 도 16에 도시된 트랜지스터(100)의 제조 방법의 예가 기술될 것이다.

[0373] 먼저, 도 17의 (A)에 도시된 바와 같이, 게이트 전극(102)이 기판(101) 위에 형성되고, 절연층(103)이 게이트 전극(102) 위에 형성된다.

[0374] 여기에서, 유리 기판이 기판(101)으로 사용된다.

[0375] << 게이트 전극의 형성 >>

[0376] 게이트 전극(102)의 형성 방법이 아래에 기술된다. 먼저, 스퍼터링 방법, CVD 방법, 증착 방법, 등에 의해 도전막이 형성되고, 이후 레지스트 마스크가 포토리소그래피 공정에 의해 제 1 포토마스크를 사용하여 도전막 위에 형성된다. 이후, 도전막의 일부가 게이트 전극(102)을 형성하기 위하여 레지스트 마스크를 사용하여 에칭된다. 이후, 레지스트 마스크가 제거된다.

[0377] 위의 형성 방법 대신에, 게이트 전극(102)이 전기도금 방법, 프린팅 방법, 잉크젯 방법, 등에 의해 형성될 수 있음을 주목해야 한다.

[0378] << 게이트 절연층의 형성 >>

[0379] 절연층(103)은 스퍼터링 방법, CVD 방법, 증착 방법, 등에 의해 형성된다.

[0380] 절연층(103)이 산화 실리콘막, 산화질화 실리콘막, 또는 질화산화 실리콘막을 사용하여 형성되는 경우, 실리콘 및 산화 가스를 함유한 증착 가스가 소스 가스로 바람직하게 사용된다. 실리콘을 함유하는 증착 가스의 전형적인 예들은 실란, 디실란, 트리실란, 및 실란 플루오라이드를 포함한다. 산화 가스로서, 산소, 오존, 일산화이질소, 및 이산화질소가 예들로서 주어질 수 있다.

[0381] 질화 실리콘막을 절연층(103)으로 형성하는 경우, 2단계의 형성 방법을 사용하는 것이 바람직하다. 먼저, 적은 수의 결합들을 갖는 제 1 질화 실리콘막이, 실란, 질소 및 암모니아의 혼합 가스가 소스 가스로 사용되는 플라즈마 CVD 방법에 의해 형성된다. 이후, 수소 농도가 낮고 수소가 차단될 수 있는 제 2 질화 실리콘막이 소스 가스를 실란과 질소의 혼합 가스로 전환함으로써 형성된다. 이러한 형성 방법을 통해, 적은 수의 결합들과 수소에 대한 차단 특성을 갖는 질화 실리콘막이 절연층(103)으로 형성될 수 있다.

[0382] 더욱이, 산화 갈륨막을 절연층(103)으로 형성하는 경우, 금속 유기 화학 증기 증착(MOCVD) 방법이 사용될 수 있다.

[0383] << 산화물 반도체층의 형성 >>

[0384] 다음에, 도 17의 (B)에 도시된 바와 같이, 산화물 반도체층(104)이 절연층(103) 위에 형성된다.

[0385] 산화물 반도체층(104)의 형성 방법이 아래에 기술된다. 먼저, 산화물 반도체막이 형성된다. 이후, 레지스트 마스크가 포토리소그래피 공정에 의해 제 2 포토마스크를 사용하여 산화물 반도체막 위에 형성된다. 이후, 산화물 반도체막의 부분이 산화물 반도체층(104)을 형성하기 위하여 레지스트 마스크를 사용하여 에칭된다. 이후, 레지스트 마스크가 제거된다.

[0386] 이후, 열처리가 수행될 수 있다. 이러한 경우, 열처리하는 산소를 함유하는 분위기 하에서 수행되는 것이 바람직하다.

[0387] << 전극들의 쌍의 형성 >>

[0388] 다음에, 도 17의 (C)에 도시된 바와 같이, 전극들(105a 및 105b)의 쌍이 형성된다.

[0389] 전극들(105a 및 105b)의 쌍의 형성 방법이 아래에 기술된다. 먼저, 스퍼터링 방법, CVD 방법, 증착 방법, 등에 의해 도전막이 형성된다. 이후 레지스트 마스크가 포토리소그래피 공정에 의해 제 3 포토마스크를 사용하여 도전막 위에 형성된다. 이후, 도전막의 일부가 전극들(105a 및 105b)의 쌍을 형성하기 위하여 레지스트 마스크를 사용하여 에칭된다. 이후, 레지스트 마스크가 제거된다.

[0390] 도 17의 (B)에 도시된 바와 같이, 산화물 반도체층(104)의 상부가 일부 경우들에서 부분적으로 에칭되고, 도전막의 에칭에 의해 얇아짐을 주목해야 한다. 이러한 이유로, 산화물 반도체층(104)은 두껍게 형성되는 것이 바람

직하다.

[0391] << 절연층의 형성 >>

[0392] 다음에, 도 17의 (D)에 도시된 바와 같이, 절연층(106)이 산화물 반도체층(104) 및 전극들(105a 및 105b)의 상 위에 형성되고, 절연층(107)이 연속하여 절연층(106) 위에 형성된다.

[0393] 절연층(106)이 산화 실리콘막 또는 산화질화 실리콘막을 사용하여 형성되는 경우, 실리콘 및 산화 가스를 함유한 증착 가스가 소스 가스로 바람직하게 사용된다. 실리콘을 함유하는 증착 가스의 전형적인 예들은 실란, 디실란, 트리실란, 및 실란 플루오라이드를 포함한다. 산화 가스로서, 산소, 오존, 일산화이질소, 및 이산화질소가 예들로서 주어질 수 있다.

[0394] 예컨대, 산화 실리콘막 또는 산화질화 실리콘막이 다음과 같은 조건들 하에서 형성된다: 진공배기된 플라즈마 CVD 장치의 처리 챔버 내에 위치된 기판이 180℃ 이상 260℃ 이하, 바람직하게는 200℃ 이상 240℃ 이하의 온도로 유지되고, 압력이 소스 가스가 처리 챔버로 도입되는 상태에서 100Pa 이상 250Pa 이하, 바람직하게는 100Pa 이상 200Pa 이하이고, 0.17W/cm² 이상 0.5W/cm² 이하, 바람직하게는 0.25W/cm² 이상 0.35W/cm² 이하인 고주파 전력이 처리 챔버 내에 제공된 전극에 공급된다.

[0395] 막 형성 조건들로서, 위의 전력 밀도를 갖는 고주파 전력이 위의 압력을 갖는 처리 챔버에 공급되고, 이에 의해 플라즈마 내에서 소스 가스의 분해 효율이 증가하고, 산소 라디칼이 증가하고, 소스 가스의 산화가 촉진된다; 따라서, 산소는 산화물 절연막 내에서 화학양론적 조성의 산소보다 높은 비율로 함유된다. 그러나, 기판 온도가 위의 온도 범위 내에 드는 경우, 실리콘과 산소 사이의 결합은 약하고, 따라서 산소 부분이 가열에 의해 방출된다. 즉, 화학양론적 조성의 산소보다 높은 비율로 산소를 함유하는 산화물 절연막으로서, 이로부터 산소 부분이 가열에 의해 방출되는 산화물 절연막을 형성하는 것이 가능하다.

[0396] 더욱이, 산화물 반도체층(104)과 절연층(106) 사이에 산화물 절연막을 제공하는 경우, 산화물 절연막은 절연층(106)을 형성하는 단계들에서 산화물 반도체층(104)을 위한 보호막으로 작용한다. 따라서, 절연층(106)은 높은 전력 밀도를 갖는 고주파 전력을 사용하여 형성될 수 있고, 반면에 산화물 반도체층(104)에 대한 손상은 줄어든다.

[0397] 예컨대, 산화 실리콘막 또는 산화질화 실리콘막이 산화물 절연막으로 다음과 같은 조건들 하에서 형성된다: 진공배기된 플라즈마 CVD 장치의 처리 챔버 내에 위치된 기판이 180℃ 이상 400℃ 이하, 바람직하게는 200℃ 이상 370℃ 이하의 온도로 유지되고, 압력이 소스 가스가 처리 챔버로 도입되는 상태에서 20Pa 이상 250Pa 이하, 바람직하게는 100Pa 이상 250Pa 이하이고, 고주파 전력이 처리 챔버 내에 제공된 전극에 공급된다. 또한, 처리 챔버 내의 압력이 100Pa 이상 250Pa 이하일 때, 산화물 반도체층(104)에 대한 손상은 줄어들 수 있다.

[0398] 실리콘 및 산화 가스를 함유한 증착 가스가 산화물 절연막의 소스 가스로 바람직하게 사용된다. 실리콘을 함유하는 증착 가스의 전형적인 예들은 실란, 디실란, 트리실란, 및 실란 플루오라이드를 포함한다. 산화 가스로서, 산소, 오존, 일산화이질소, 및 이산화질소가 예들로서 주어질 수 있다.

[0399] 절연층(107)은 스퍼터링 방법, CVD 방법, 등에 의해 형성될 수 있다.

[0400] 절연층(107)이 질화 실리콘막 또는 질화산화 실리콘막을 사용하여 형성되는 경우, 실리콘, 산화 가스, 및 질소를 함유한 가스를 함유한 증착 가스가 소스 가스로 바람직하게 사용된다. 실리콘을 함유하는 증착 가스의 전형적인 예들은 실란, 디실란, 트리실란, 및 실란 플루오라이드를 포함한다. 산화 가스로서, 산소, 오존, 일산화이질소, 및 이산화질소가 예들로서 주어질 수 있다. 질소를 함유한 가스로서, 질소 및 암모니아가 예들로서 주어질 수 있다.

[0401] 위의 공정을 통해 트랜지스터(100)가 형성될 수 있다.

[0402] < 트랜지스터(100)의 변형예 >

[0403] 트랜지스터(100)와 부분적으로 상이한 트랜지스터의 구조예가 아래에 기술될 것이다.

[0404] << 변형예 1 >>

[0405] 도 18의 (A)는 일 예로서 아래에 기술된 트랜지스터(110)의 개략적인 단면도이다. 트랜지스터(110)는 산화물 반도체층의 구조에서 트랜지스터(100)와 상이하다.

[0406] 트랜지스터(110)에 포함된 산화물 반도체층(114)에서, 산화물 반도체층(114a)과 산화물 반도체층(114b)이 적층

된다.

- [0407] 산화물 반도체층(114a)과 산화물 반도체층(114b) 사이의 경계가 일부 경우들에서 불명확하므로, 경계는 도 18의 (A), 등에서 파선으로 도시된다.
- [0408] 본 발명의 일 실시예의 산화물 반도체막은 산화물 반도체층들(114a 및 114b) 중 하나 또는 둘 모두에 적용될 수 있다.
- [0409] 산화물 반도체층(114a)을 위해 사용될 수 있는 재료의 전형적인 예들은 In-Ga 산화물, In-Zn 산화물 및 In-M-Zn 산화물(M은 Al, Ti, Ga, Y, Zr, La, Ce, Nd 또는 Hf)이다. In-M-Zn 산화물이 산화물 반도체층(114a)을 위해 사용될 때, In과 M의 원자수비는 바람직하게 다음과 같다: In의 원자수비는 50at.% 미만이고, M의 원자수비는 50at.% 이상이다; 더욱 바람직하게는, In의 원자수비는 25at.% 미만이고, M의 원자수비는 75at.% 이상이다. 또한, 2eV 이상, 바람직하게는 2.5eV 이상, 더욱 바람직하게는 3eV 이상의 에너지갭을 갖는 재료가 예컨대 산화물 반도체층(114a)을 위하여 사용된다.
- [0410] 예컨대, 산화물 반도체층(114b)은 In 또는 Ga를 함유하고; 산화물 반도체층(114b)은 예컨대 In-Ga 산화물, In-Zn 산화물 또는 In-M-Zn 산화물(M은 Al, Ti, Ga, Y, Zr, La, Ce, Nd 또는 Hf)로 전형화된 재료를 함유한다. 덧붙여, 산화물 반도체층(114b)의 전도대 하단의 에너지는 산화물 반도체층(114a)의 것보다 진공 준위에 더 근접한다. 산화물 반도체층(114b)의 전도대 하단의 에너지와 산화물 반도체층(114a)의 전도대 하단의 에너지 사이의 차이는 바람직하게는 0.05eV 이상, 0.07eV 이상, 0.1eV 이상 또는 0.15eV 이상, 그리고 2eV 이하, 1eV 이하, 0.5eV 이하, 또는 0.4eV 이하이다.
- [0411] In-M-Zn 산화물이 산화물 반도체층(114b)을 위해 사용될 때, 예컨대 In과 M의 원자수비는 바람직하게 다음과 같다: In의 원자수비는 25at.% 이상이고, M의 원자수비는 75at.% 미만이다; 더욱 바람직하게, In의 원자수비는 34at.% 이상이고, M의 원자수비는 66at.% 미만이다.
- [0412] 산화물 반도체층(114a)을 위해, 예컨대, 1:1:1 또는 3:1:2의 원자수비로 In, Ga 및 Zn을 함유하는 In-Ga-Zn 산화물이 사용될 수 있다. 또한 산화물 반도체층(114b)을 위해, 1:3:2, 1:6:4 또는 1:9:6의 원자수비로 In, Ga 및 Zn을 함유하는 In-Ga-Zn 산화물이 사용될 수 있다. 산화물 반도체층들(114a 및 114b)의 각각의 원자수비가 오차로서 위의 원자수비의 $\pm 20\%$ 범위 내에서 변함을 주목해야 한다.
- [0413] 안정화제로서 작용하는 많은 양의 Ga를 함유하는 산화물이 산화물 반도체층(114a) 위에 제공된 산화물 반도체층(114b)을 위해 사용될 때, 산소는 산화물 반도체층들(114a 및 114b)로부터 방출되는 것이 방지될 수 있다.
- [0414] 상술된 것에 국한되지 않고, 적절한 조성을 갖는 재료가 트랜지스터의 요구되는 반도체 특성들 및 전기 특성들(예, 전계 효과 이동도 및 임계 전압)에 따라 사용될 수 있음을 주목해야 한다. 또한, 트랜지스터의 요구되는 반도체 특성들을 얻기 위하여, 산화물 반도체층들(114a 및 114b)의 캐리어 밀도, 불순물 농도, 결함 밀도, 산소에 대한 금속 원소의 원자수비, 원자간 거리, 밀도, 등이 적절하게 설정될 수 있는 것이 바람직하다.
- [0415] 2개의 산화물 반도체층들이 적층되는 구조가 산화물 반도체층(114)의 일 예로서 위에서 기술되었지만, 3개 이상의 산화물 반도체층들이 적층되는 구조가 또한 사용될 수 있다.
- [0416] << 변형예 2 >>
- [0417] 도 18의 (B)는 일 예로서 아래에 기술된 트랜지스터(120)의 개략적인 단면도이다. 트랜지스터(120)는 산화물 반도체층의 구조에서 트랜지스터(100) 및 트랜지스터(110)와 상이하다.
- [0418] 트랜지스터(120)에 포함된 산화물 반도체층(124)에서, 산화물 반도체층(124a), 산화물 반도체층(124b) 및 산화물 반도체층(124c)이 이 순서대로 적층된다.
- [0419] 산화물 반도체층들(124a 및 124b)이 절연층(103) 위에 적층된다. 산화물 반도체층(124c)은 산화물 반도체층(124b)의 상부 표면 및 전극들(105a 및 105b)의 쌍의 상부 표면들 및 측면 표면들과 접하여 제공된다.
- [0420] 산화물 반도체층(124b)은 예컨대 변형예 1에서 일 예로서 기술된 산화물 반도체층(114a)의 구조와 유사한 구조를 가질 수 있다. 또한 산화물 반도체층들(124a 및 124c)은 각각 예컨대 변형예 1에서 일 예로서 기술된 산화물 반도체층(114b)의 구조와 유사한 구조를 가질 수 있다.
- [0421] 안정화제로서 작용하는 많은 양의 Ga를 함유하는 산화물이 산화물 반도체층(124b) 아래에 제공된 산화물 반도체층(124a) 및 산화물 반도체층(124b) 위에 제공된 산화물 반도체층(124c)을 위해 사용될 때, 예컨대 산소는 산화

물 반도체층(124a), 산화물 반도체층(124b) 및 산화물 반도체층(124c)으로부터 방출되는 것이 방지될 수 있다.

[0422] 채널이 주로 산화물 반도체층(124b) 내에 형성되는 경우, 예컨대 많은 양의 In을 함유하는 산화물이 산화물 반도체층(124b)을 위해 사용될 수 있고, 전극들(105a 및 105b)의 쌍이 산화물 반도체층(124b)과 접하여 제공된다; 따라서 트랜지스터(120)의 온-상태의 전류는 증가할 수 있다.

[0423] < 트랜지스터의 다른 구조 예 >

[0424] 본 발명의 일 실시예의 산화물 반도체막이 적용될 수 있는 상부-게이트 트랜지스터의 구조 예가 아래에 기술될 것이다.

[0425] 동일한 참조 번호들로 표시되는 위의 것들과 유사한 구조들 또는 기능들을 갖는 구성요소들의 설명들은 아래에서 생략됨을 주목해야 한다.

[0426] << 구조예 >>

[0427] 도 19의 (A)는 일 예로서 아래에 기술될 상부-게이트 트랜지스터(150)의 개략적인 단면도이다.

[0428] 트랜지스터(150)는 절연층(151)이 제공된 기판(101) 위에 산화물 반도체층(104), 산화물 반도체층(104)의 상부 표면과 접하는 전극들(105a 및 105b)의 쌍, 산화물 반도체층(104)과 전극들(105a 및 105b)의 쌍 위의 절연층(103), 및 산화물 반도체층(104)과 중첩하도록 절연층(103) 위에 제공된 게이트 전극(102)을 포함한다. 더욱이, 절연층(152)은 절연층(103) 및 게이트 전극(102)을 덮도록 제공된다.

[0429] 절연층(151)은 기판(101)으로부터 산화물 반도체층(104)으로 불순물들의 확산을 억제하는 기능을 갖는다. 예컨대, 절연층(107)의 것과 유사한 구조가 사용될 수 있다. 절연층(151)은 반드시 제공되는 것은 아님을 주목해야 한다.

[0430] 절연층(152)은 절연층(107)의 것과 유사한 방식으로 산소, 수소, 물, 등에 대해 차단 효과를 갖는 절연막을 사용하여 형성될 수 있다. 절연층(107)이 반드시 제공되지 않음을 주목해야 한다.

[0431] << 변형예 >>

[0432] 트랜지스터(150)와 부분적으로 상이한 트랜지스터의 구조예가 아래에 기술될 것이다.

[0433] 도 19의 (B)는 일 예로서 아래에 기술된 트랜지스터(160)의 개략적인 단면도이다. 트랜지스터(160) 내의 산화물 반도체층의 구조는 트랜지스터(150) 내의 것과 상이하다.

[0434] 트랜지스터(160)에 포함된 산화물 반도체층(164)에서, 산화물 반도체층(164a), 산화물 반도체층(164b) 및 산화물 반도체층(164c)이 이 순서대로 적층된다.

[0435] 본 발명의 일 실시예의 산화물 반도체막은 산화물 반도체층(164a), 산화물 반도체층(164b) 및 산화물 반도체층(164c) 중 하나 이상에 적용될 수 있다.

[0436] 산화물 반도체층(164b)은 예컨대 변형예 1에서 일 예로서 기술된 산화물 반도체층(114a)의 구조와 유사한 구조를 가질 수 있다. 또한 산화물 반도체층들(164a 및 164c)은 각각 예컨대 변형예 1에서 일 예로서 기술된 산화물 반도체층(114b)의 구조와 유사한 구조를 가질 수 있다.

[0437] 안정화제로서 작용하는, 많은 양의 Ga를 함유하는 산화물은, 예컨대 산화물 반도체층(164b) 아래에 제공된 산화물 반도체층(164a) 및 산화물 반도체층(164b) 위에 제공된 산화물 반도체층(164c)을 위해 사용된다; 따라서, 산소는 산화물 반도체층(164a), 산화물 반도체층(164b) 및 산화물 반도체층(164c)으로부터 방출되는 것이 방지될 수 있다.

[0438] 산화물 반도체층(164)은 다음의 방식으로 형성될 수 있다: 산화물 반도체층(164c) 및 산화물 반도체층(164b)이 에칭에 의해 얻어져, 산화물 반도체층(164a)이 될 산화물 반도체막이 노출되고; 산화물 반도체막은 건식 에칭 방법에 의해 산화물 반도체층(164a)으로 처리된다. 이 경우, 산화물 반도체막의 반응 산물은 산화물 반도체층들(164b 및 164c)의 측면 표면들에 부착되어, 일부 경우들에서 측벽 보호층(래빗 이어(rabbit ear)로 또한 언급됨)을 형성한다. 반응 산물이 건식 에칭시 스퍼터링 현상에 의해 또는, 플라즈마를 통해 부착됨을 주목해야 한다.

[0439] 도 19의 (C)는 측벽 보호층(164d)이 위의 방식으로 산화물 반도체층(164)의 측면 표면으로 형성되는 트랜지스터(160)의 개략적인 단면도이다.

- [0440] 측벽 보호층(164d)은 산화물 반도체층(164a)과 동일한 재료를 주로 함유한다. 일부 경우들에서, 측벽 보호층(164d)은 산화물 반도체층(164a) 아래에 제공된 층(여기에서, 절연층(151))의 구성요소(예, 실리콘)를 함유한다.
- [0441] 산화물 반도체층(164b)의 측면 표면이 도 19의 (C)에 도시된 전극들(105a 및 105b)의 쌍과 접하지 않도록 측벽 보호층(164d)으로 덮이는 구조를 통해, 오프 상태의 트랜지스터의 의도하지 않은 누설 전류는 특히 채널이 주로 산화물 반도체(164b) 내에 형성될 때 감소될 수 있다; 따라서 양호한 오프-상태 특성들을 갖는 트랜지스터가 제작될 수 있다. 더욱이, 안정화제로서 작용하는 많은 양의 Ga를 함유하는 재료가 측벽 보호층(164d)을 위해 사용될 때, 산소는 산화물 반도체층(164b)의 측면 표면으로부터 방출되는 것이 효과적으로 방지될 수 있다; 따라서 전기 특성들의 훌륭한 안정성을 갖는 트랜지스터가 제작될 수 있다.
- [0442] 본 실시예가 본 명세서에 기술된 다른 실시예들 중 어느 하나와 적절하게 결합될 수 있음을 주목해야 한다.
- [0443] (실시예 9)
- [0444] 위의 실시예에서 일 예로서 도시된 트랜지스터 내에서 채널이 형성되는 영역을 위해 바람직하게 사용되는 반도체 및 반도체막의 예들이 아래에 기술된다.
- [0445] 산화물 반도체는 3.0eV 이상의 넓은 에너지 갭을 갖는다. 적절한 조건에서 산화물 반도체의 처리에 의해, 그리고 산화물 반도체의 캐리어 밀도의 충분한 감소에 의해 얻어진 산화물 반도체막을 포함하는 트랜지스터는 실리콘을 포함하는 종래의 트랜지스터보다 오프-상태에서 소스 및 드레인 사이의 훨씬 낮은 누설 전류(오프-상태 전류)를 가질 수 있다.
- [0446] 산화물 반도체막이 트랜지스터를 위해 사용되는 경우, 산화물 반도체막의 두께는 바람직하게 2nm 이상 40nm 이하이다.
- [0447] 적어도 인듐(In) 또는 아연(Zn)을 함유하는 산화물 반도체가 바람직하게 사용된다. 특히, In 및 Zn이 함유되는 것이 바람직하다. 덧붙여, 산화물 반도체를 사용하는 트랜지스터의 전기 특성들의 변동을 감소시키기 위한 안정화제로서, 갈륨(Ga), 주석(Sn), 하프늄(Hf), 지르코늄(Zr), 티타늄(Ti), 스칸듐(Sc), 이트륨(Y), 및 란타넘 원소(세륨(Ce), 네오디뮴(Nd), 또는 가돌리움(Gd)과 같은)로부터 선택된 하나 이상의 원소들이 바람직하게 함유된다.
- [0448] 산화물 반도체로서, 예컨대, 산화 인듐, 산화 주석, 산화 아연, In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, In-Ga계 산화물, In-Ga-Zn계 산화물(IGZO로도 언급됨), In-Al-Zn계 산화물, In-Sn-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물, In-Hf-Zn계 산화물, In-Zr-Zn계 산화물, In-Ti-Zn계 산화물, In-Sc-Zn계 산화물, In-Y-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, 및 In-Hf-Al-Zn계 산화물이 사용될 수 있다.
- [0449] 여기에서, "In-Ga-Zn계 산화물"은, 주 구성요소들로서 In, Ga 및 Zn을 포함하는 산화물을 의미하고, In:Ga:Zn의 비율에 대한 제한은 없다. 또한, In, Ga 및 Zn에 덧붙여 금속 원소가 함유될 수 있다.
- [0450] 대안적으로, $\text{InM}_3(\text{ZnO})_m$ ($m>0$, 여기에서 m 은 정수가 아님)으로 표시되는 재료가 산화물 반도체로서 사용될 수 있다. M 이 Ga, Fe, Mn 및 Co, 또는 안정화제로서 상술된 원소로부터 선택된 하나 이상의 금속 원소들을 나타냄을 주목해야 한다. 대안적으로, $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ ($n>0$, 여기에서 n 은 정수임)으로 표시되는 재료가 산화물 반도체로서 사용될 수 있다.
- [0451] 예컨대, In:Ga:Zn=1:1:1, In:Ga:Zn=1:3:2, In:Ga:Zn=3:1:2, 또는 In:Ga:Zn=2:1:3의 원자수비를 갖는 In-Ga-Zn계 산화물, 또는 위의 원자수비들에 근접한 원자수비를 갖는 산화물이 사용될 수 있다.
- [0452] 산화물 반도체막이 많은 양의 수소를 함유할 때, 수소와 산화물 반도체는 서로 결합하여, 수소의 부분이 도너로서 작용하고, 캐리어인 전자의 생성을 야기한다. 결과적으로, 트랜지스터의 임계 전압은 음의 방향으로 이동한다. 그러므로, 산화물 반도체막의 형성 이후, 산화물 반도체막이 고순도화되어 가능한 불순물들을 적게 함유하도록, 탈수화처리(탈수소화 처리)가 수행되어 산화물 반도체막으로부터 수소 또는 습기를 제거하는 것이 바람직하다.

- [0453] 산화물 반도체막 내의 산소는 또한 일부 경우들에서 탈수화처리(탈수소화 처리)에 의해 감소됨을 주목해야 한다. 그러므로, 탈수화처리(탈수소화 처리)에 의해 증가된 산소 결손들을 채우기 위하여 산소가 산화물 반도체막에 첨가되는 것이 바람직하다. 본 명세서, 등에서, 산화물 반도체막에 산소를 공급하는 것은 산소 첨가 처리로 표시될 수 있거나, 또는 산화물 반도체막의 산소 함량을 화학량론적 조성을 초과하도록 하는 처리는 산소-과잉 상태로 만드는 처리로 표시될 수 있다.
- [0454] 이러한 방식으로, 수소 또는 습기가 탈수화처리(탈수소화 처리)에 의해 산화물 반도체막으로부터 제거되고, 산소 결손들이 산소 첨가 처리에 의해 채워지고, 이에 의해, 산화물 반도체막은 i-형(진성) 산화물 반도체막, 또는 i-형 산화물 반도체막에 극히 근접한 실질적으로 i-형(진성) 산화물 반도체막이 될 수 있다. "실질적으로 진성"이, 산화물 반도체막이 도너로부터 유도된 극히 낮은(0에 가까운) 캐리어들을 함유하고, $1 \times 10^{17}/\text{cm}^3$ 이하, $1 \times 10^{16}/\text{cm}^3$ 이하, $1 \times 10^{15}/\text{cm}^3$ 이하, $1 \times 10^{14}/\text{cm}^3$ 이하, 또는 $1 \times 10^{13}/\text{cm}^3$ 이하의 캐리어 밀도를 갖는 것을 의미함을 주목해야 한다.
- [0455] 따라서, i-형 또는 실질적으로 i-형 산화물 반도체막을 포함하는 트랜지스터는 극히 양호한 오프-상태 전류 특성들을 가질 수 있다. 예컨대, 산화물 반도체막을 포함하는 트랜지스터가 오프 상태일 때 드레인 전류가 실온(대략 25°C)에서 1×10^{-18} A 이하, 바람직하게는 1×10^{-21} A 이하, 더욱 바람직하게는 1×10^{-24} A 이하; 또는 85°C에서 1×10^{-15} A 이하, 바람직하게는 1×10^{-18} A 이하, 더욱 바람직하게는 1×10^{-21} A 이하가 될 수 있다. 트랜지스터의 오프 상태는 n-채널 트랜지스터에서 게이트 전압이 임계 전압보다 충분히 낮은 상태를 언급한다. 특히, 게이트 전압이 임계 전압보다 1V 이상, 2V 이상, 또는 3V 이상 낮을 때 트랜지스터는 오프 상태이다.
- [0456] 산화물 반도체막은 예컨대 비단결정 상태일 수 있다. 비단결정 상태는 예컨대 c-축 배향된 결정(CAAC), 다결정, 미결정, 및 비정질 부분 중 적어도 하나에 의해 구축된다. 비정질 부분의 결함 준위 밀도는 미결정 및 CAAC의 것보다 높다. 미결정의 결함 준위 밀도는 CAAC의 것보다 높다. CAAC를 포함하는 산화물 반도체가 CAAC-OS(c-축 배향된 결정 산화물 반도체)로 언급됨을 주목해야 한다.
- [0457] 예컨대, 산화물 반도체막은 CAAC-OS를 포함할 수 있다. CAAC-OS에서, 예컨대 c-축들은 배향되고, a-축들 및/또는 b-축들은 매크로적으로 배향되지 않는다.
- [0458] 예컨대, 산화물 반도체막은 미결정을 포함할 수 있다. 미결정을 포함하는 산화물 반도체가 미결정 산화물 반도체로 언급됨을 주목해야 한다. 미결정 산화물 반도체막은 예컨대 1nm 이상 10nm 미만의 크기를 갖는 미결정(나노결정으로도 언급됨)을 포함한다.
- [0459] 예컨대, 산화물 반도체막은 비정질 부분을 포함할 수 있다. 비정질 부분을 포함하는 산화물 반도체는 비정질 산화물 반도체로 언급됨을 주목해야 한다. 비정질 산화물 반도체막은 예컨대 무질서한 원자 배열을 갖고, 결정 성분을 갖지 않는다. 대안적으로, 비정질 산화물 반도체막은 예컨대 절대적으로 비정질이고, 결정부를 전혀 갖지 않는다.
- [0460] 산화물 반도체막이 CAAC-OS, 미결정 산화물 반도체, 및 비정질 산화물 반도체 중 어느 하나를 포함하는 혼합된 막일 수 있음을 주목해야 한다. 혼합된 막은 예컨대 비정질 산화물 반도체의 영역, 미결정 산화물 반도체의 영역, 및 CAAC-OS의 영역을 포함한다. 또한, 혼합된 막은 예컨대, 비정질 산화물 반도체의 영역, 미결정 산화물 반도체의 영역, 및 CAAC-OS의 영역을 포함하는 적층된 구조를 가질 수 있다.
- [0461] 산화물 반도체막이 예컨대 단결정 상태일 수 있음을 주목해야 한다.
- [0462] 산화물 반도체막이 복수의 결정 부분들을 포함하고, 결정 부분들 각각에서, c-축이, 산화물 반도체막이 형성된 표면의 법선 벡터 또는 산화물 반도체막의 표면의 법선 벡터에 평행한 방향으로 배향되는 것이 바람직하다. 결정 부분들 중, 하나의 결정 부분의 a-축 및 b-축의 방향들이 다른 결정 부분의 것들과 상이할 수 있음을 주목해야 한다. 이러한 산화물 반도체막의 예는 CAAC-OS막이다.
- [0463] 대부분의 경우들에서, CAAC-OS막 내의 결정 부분은 한 변이 100nm 미만인 입방체 내에 들어간다. 투과 전자 현미경(TEM)을 통해 얻어진 이미지에서, CAAC-OS막 내의 결정 부분들 사이의 경계는 명확하지 않다. 또한, TEM을 통해 CAAC-OS막내의 결정 입계는 명확하게 발견되지 않는다. 따라서, CAAC-OS막 내에, 결정 입계에 기인한 전자 이동도의 감소는 억제된다.
- [0464] CAAC-OS막 내에 포함된 결정 부분들 각각에서, 예컨대 c-축이, CAAC-OS막이 형성된 표면의 법선 벡터 또는 CAAC-OS막의 표면의 법선 벡터에 평행한 방향으로 배향된다. 또한, 결정 부분들의 각각에서, a-b 평면에 수직

방향으로부터 보았을 때 금속 원자들은 삼각형 또는 육각형 구성으로 배열되고, c-축에 수직인 방향으로부터 보았을 때, 금속 원자들은 층상으로 배열되거나, 또는 금속 원자들 및 산소 원자들이 층상으로 배열된다. 결정 부분들 중에서, 하나의 결정 부분의 a-축 및 b-축의 방향들은 다른 결정 부분의 것들과 상이할 수 있음을 주목해야 한다. 본 명세서에서, 용어, '수직'은 80° 로부터 100° 까지, 바람직하게는 85° 로부터 95° 까지의 범위를 포함한다. 덧붙여, 용어, '평행'은 -10° 로부터 10° 까지, 바람직하게는 -5° 로부터 5° 까지의 범위를 포함한다.

[0465] CAAC-OS막이 X선 회절(XRD) 장치를 통해 아웃-오브-플레인(out-of-plane)법으로 분석될 때, 일부 경우들에서 대략 31° 의 2θ 에서 피크가 나타난다. InGaZnO₄의 결정의 경우, 대략 31° 의 2θ 에서의 피크는 InGaZnO₄의 결정이 (009)면 배향을 가짐을 나타낸다. 또한, CAAC-OS막에서, 일부 경우들에서 대략 36° 의 2θ 에서 피크가 나타난다. Ga₂ZnO₄의 결정의 경우, 대략 36° 의 2θ 에서의 피크는 Ga₂ZnO₄의 결정이 (222)면 배향을 가짐을 나타낸다. CAAC-OS막에서, 피크가 대략 31° 의 2θ 에서 나타나고, 대략 36° 의 2θ 에서 나타나지 않는 것이 바람직하다.

[0466] 예컨대, InGaZnO₄의 결정을 포함하는 CAAC-OS막이, X선이 c-축에 수직인 방향으로 시료에 입사하는 인-플레인(in-plane)법을 통해, XRD 장치로 분석될 때, 일부 경우들에서, 피크는 대략 56° 의 2θ 에서 나타난다. 대략 56° 의 2θ 에서의 피크는 InGaZnO₄의 결정의 (110)면의 회절 피크이다. 여기에서, 2θ 를 56° 근방에 고정하고 시료 표면의 법선 벡터를 축(ϕ 축)으로 사용하여 시료를 회전시키는 상태에서 분석(ϕ 스캔)이 수행될 때, 하나의 결정 부분의 a-축 및 b-축의 방향들이 다른 결정 부분의 것들과 동일한 단결정 산화물 반도체의 경우 대칭을 갖는 6개의 피크가 출현하지만, CAAC-OS막의 경우, 피크가 명확하게 관측되지 않는다.

[0467] CAAC-OS막에서, 결정 부분들의 분포는 반드시 균일한 것은 아니다. 예컨대, CAAC-OS막의 형성 공정에서, 결정 성장이 산화물 반도체막의 표면측으로부터 발생하는 경우, 산화물 반도체막의 표면 근처에서 결정 부분들의 비율은 일부 경우들에서 산화물 반도체막이 형성되는 표면의 근처보다 높다. 또한, 불순물이 CAAC-OS막에 첨가될 때, 불순물이 첨가되는 영역 내에서 결정 부분의 결정성은 일부 경우들에서 낮아진다.

[0468] CAAC-OS막 내에 포함된 결정 부분들의 c-축들이 CAAC-OS막이 형성된 표면의 법선 벡터 또는 CAAC-OS막의 표면의 법선 벡터에 평행한 방향으로 배향되기 때문에, c-축들의 방향들은 CAAC-OS막의 형태(CAAC-OS막이 형성된 표면의 단면 형태 또는 CAAC-OS막의 표면의 단면 형태)에 따라 서로 상이할 수 있다. 막 증착은 결정 부분들의 형성을 수반하거나, 또는 열처리와 같은 결정화 처리를 통한 결정 부분들의 형성이 뒤따름을 주목해야 한다. 따라서, 결정 부분들의 c-축들은 CAAC-OS막이 형성된 표면의 법선 벡터 또는 CAAC-OS막의 표면의 법선 벡터에 평행한 방향으로 배향된다.

[0469] CAAC-OS막을 사용하는 트랜지스터에서, 가시광 또는 자외선광으로 조사에 기인한 전기 특성들의 변화는 작다. 따라서, 트랜지스터는 높은 신뢰도를 갖는다.

[0470] 예컨대, CAAC-OS막은 다결정 산화물 반도체 스퍼터링 타깃을 사용한 스퍼터링 방법에 의해 형성될 수 있다. 이온들이 스퍼터링 타깃에 충돌할 때, 스퍼터링 타깃에 포함되는 결정 영역이 a-b면을 따른 벽개(劈開)를 통해 타깃으로부터 분리될 수 있다; 즉, a-b면에 평행한 면을 갖는 스퍼터링된 입자(평판형 스퍼터링된 입자 또는 펠릿(pellet)형 스퍼터링된 입자)는 스퍼터링 타깃으로부터 박리될 수 있다. 이 경우, 평판형 또는 펠릿형 스퍼터링된 입자는 이들의 결정 상태를 유지하면서 CAAC-OS막이 형성되는 표면에 도달하고, 이에 의해 CAAC-OS막이 형성될 수 있다.

[0471] 평판형 스퍼터링된 입자는 예컨대 3nm 이상 10nm 이하인 a-b 면에 평행한 면의 등가 원의 직경, 및 0.7nm 이상 1nm 미만의 두께(a-b 면에 수직인 방향의 길이)를 갖는다. 평판형 스퍼터링된 입자에서, a-b 면에 평행한 면은 정삼각형 또는 정육각형일 수 있음을 주목해야 한다. 여기에서, 용어, "등가 원의 직경"은 면과 동일한 면적을 갖는 완벽한 원의 직경을 언급한다.

[0472] CAAC-OS의 증착을 위해, 다음의 조건들이 바람직하게 사용된다.

[0473] 증착 도중의 기판 온도가 상승할 때, 기판에 도달한 평판형 스퍼터링된 입자들의 이동이 발생하여, 각 스퍼터링된 입자의 평면이 기판에 부착된다. 이때, 스퍼터링된 입자들은 양으로 대전되고, 이에 의해 서로 밀어내면서 기판에 부착된다; 따라서, 스퍼터링된 입자들은 불균일하게 적층되지 않아, 균일한 두께를 갖는 CAAC-OS막이 증착될 수 있다. 특히, 증착 도중의 기판 온도가 바람직하게 100°C 이상 740°C 이하, 더욱 바람직하게는 200°C 이상 500°C 이하이다.

- [0474] 증착 도중에 CAAC-OS막으로 들어가는 불순물들의 양을 줄임으로써, 불순물들에 의해 결정 상태가 파괴되는 것이 방지될 수 있다. 예컨대, 증착 챔버 내에 존재하는 불순물들(예, 수소, 물, 이산화탄소, 또는 질소)의 농도는 줄어들 수 있다. 더욱이, 증착 가스 내의 불순물들의 농도는 줄어들 수 있다. 특히, 이슬점이 -80°C 이하, 바람직하게는 -100°C 이하인 증착 가스가 사용된다.
- [0475] 더욱이, 증착시 플라즈마 손상을 감소시키기 위하여 증착 가스 내의 산소의 비율이 증가되고, 전력이 최적화되는 것이 바람직하다. 증착 가스 내의 산소의 비율은 30vol% 이상, 바람직하게는 100vol%이다.
- [0476] CAAC-OS막이 증착된 후, 열처리가 수행될 수 있다. 열처리 온도는 100°C 이상 740°C 이하, 바람직하게는 200°C 이상 500°C 이하이다. 열처리 시간은 1분 이상 24시간 이하, 바람직하게는 6분 이상 4시간 이하이다. 열처리는 불활성 분위기 또는 산화 분위기에서 수행될 수 있다. 열처리를 불활성 분위기에서 수행하고, 이후 열처리를 산화 분위기에서 수행하는 것이 바람직하다. 불활성 분위기에서의 열처리는 짧은 시간에 CAAC-OS 내의 불순물들의 농도를 줄일 수 있다. 동시에, 불활성 분위기에서의 열처리는 CAAC-OS 내에서 산소 결손들을 생성할 수 있다. 이러한 경우, 산화 분위기에서의 열처리는 산소 결손들을 줄일 수 있다. 열처리는 CAAC-OS의 결정성을 추가로 증가시킬 수 있다. 열처리가 1000Pa 이하, 100Pa 이하, 10Pa 이하 또는 1Pa 이하와 같은 감압 하에서 수행될 수 있음을 주목해야 한다. 감압 하의 열처리는 짧은 시간에 CAAC-OS 내의 불순물들의 농도를 줄일 수 있다.
- [0477] 스퍼터링 타겟의 예로서, In-Ga-Zn-O 화합물 타겟이 아래에서 기술된다.
- [0478] 다결정인 In-Ga-Zn-O 화합물 타겟은, InO_x 분말, GaO_y 분말, 및 ZnO_z 분말을 미리 결정된 분자비로 혼합하고, 압력을 가하고, 1000°C 이상 1500°C 이하의 온도에서 열처리를 수행함으로써 만들어진다. X, Y 및 Z가 주어진 양의 수인 것을 주목해야 한다. 여기에서, InO_x 분말, GaO_y 분말 및 ZnO_z 분말의 미리 결정된 분자비는 예컨대, 1:1:1, 1:1:2, 1:3:2, 1:9:6, 2:1:3, 2:2:1, 3:1:1, 3:1:2, 3:1:4, 4:2:3, 8:4:3 또는 이들 비율들에 근접한 비율이다. 분말의 종류들 및 분말을 혼합하기 위한 분자비는 원하는 스퍼터링 타겟에 따라 적절하게 결정될 수 있다.
- [0479] 대안적으로, CAAC-OS는 다음의 방법에 의해 형성될 수 있다.
- [0480] 먼저, 제 1 산화물 반도체막이 1nm 이상 10nm 미만의 두께로 형성된다. 제 1 산화물 반도체막은 스퍼터링 방법에 의해 형성된다. 특히, 기판 온도는 100°C 이상 500°C 이하, 바람직하게는 150°C 이상 450°C 이하로 설정되고, 증착 가스 내의 산소의 비율은 30vol% 이상, 바람직하게는 100vol%로 설정된다.
- [0481] 다음에, 제 1 산화물 반도체막이 높은 결정성을 갖는 제 1 CAAC-OS가 되도록 열처리가 수행된다. 열처리 온도는 350°C 이상 740°C 이하, 바람직하게는 450°C 이상 650°C 이하이다. 열처리 시간은 1분 이상 24시간 이하, 바람직하게는 6분 이상 4시간 이하이다. 열처리는 불활성 분위기 또는 산화 분위기에서 수행될 수 있다. 열처리를 불활성 분위기에서 수행하고, 이후 열처리를 산화 분위기에서 수행하는 것이 바람직하다. 불활성 분위기에서의 열처리는 짧은 시간에 제 1 산화물 반도체막 내의 불순물들의 농도를 줄일 수 있다. 동시에, 불활성 분위기에서의 열처리는 제 1 산화물 반도체막 내에서 산소 결손들을 생성할 수 있다. 이러한 경우, 산화 분위기에서의 열처리는 산소 결손들을 줄일 수 있다. 열처리가 1000Pa 이하, 100Pa 이하, 10Pa 이하 또는 1Pa 이하와 같은 감압 하에서 수행될 수 있음을 주목해야 한다. 감압 하의 열처리는 짧은 시간에 제 1 산화물 반도체막 내의 불순물들의 농도를 줄일 수 있다.
- [0482] 1nm 이상 10nm 미만의 두께를 갖는 제 1 산화물 반도체막은 제 1 산화물 반도체막이 10nm 이상의 두께를 갖는 경우와 비교하여 열처리에 의해 쉽게 결정화될 수 있다.
- [0483] 위의 실시예에서 기술된 산화물 반도체막이 스퍼터링 방법에 의해 형성될 수 있지만, 산화물 반도체막은 다른 방법, 예컨대 열적 CVD 방법에 의해 형성될 수 있다. 열적 CVD 방법의 예들은 금속 유기 화학 증기 증착(MOCVD) 방법 및 원자층 증착(ALD) 방법을 포함한다.
- [0484] 열적 CVD 방법은 막 형성을 위해 플라즈마를 사용하지 않기 때문에 플라즈마 손상으로 인한 어떠한 결함도 생성되지 않는 장점을 갖는다.
- [0485] 열적 CVD 방법에 의한 증착은, 챔버 내의 압력이 대기압 또는 감압으로 설정되고, 소스 가스 및 산화제가 한 번에 챔버 내에 공급되어, 기판의 근처 또는 기판 위에서 서로 반응하는 방식으로 수행될 수 있다.
- [0486] ALD 방법에 의한 증착은, 챔버 내의 압력이 대기압 또는 감압으로 설정되고, 반응을 위한 소스 가스들이 순차적으로 챔버 내에 도입되고, 이후 가스 도입의 순서가 반복되는 방식으로 수행될 수 있다. 예컨대, 2이상의 종류

들의 소스 가스들이 각 스위칭 밸브들(고속 밸브들로도 언급됨)을 전환함으로써 챔버에 순차적으로 공급된다. 예컨대, 제 1 소스 가스가 도입되고, 소스 가스들이 혼합되지 않도록 불활성 가스(예, 아르곤 또는 질소), 등이 제 1 가스의 도입과 동시에 또는 그 후에 도입되고, 이후 제 2 소스 가스가 도입된다. 제 1 소스 가스와 불활성 가스가 동시에 도입되는 경우, 불활성 가스가 캐리어 가스로서 작용하고, 불활성 가스가 또한 제 2 소스 가스의 도입과 동시에 도입될 수 있음을 주목해야 한다. 대안적으로, 제 1 소스 가스는 불활성 가스의 도입 대신에 진공 배기에 의해 배기될 수 있고, 이후 제 2 소스가 도입될 수 있다. 제 1 소스 가스는 기판의 표면 상에 흡착되어, 제 1 단-원자층을 형성한다; 이후 제 2 소스 가스가 도입되어 제 1 단-원자층과 반응한다; 결과적으로 제 2 단-원자층이 제 1 단-원자층 위에 적층되어, 박막이 형성된다. 가스 도입의 순서는 원하는 두께가 얻어질 때까지 복수회 반복되고, 이에 의해 훌륭한 단차 피복성을 갖는 박막이 형성될 수 있다. 박막의 두께는 가스 도입 순서의 반복 횟수에 의해 조정될 수 있다; 따라서 ALD 방법은 두께를 정확하게 조정하는 것을 가능케 하고, 따라서 미세한 FET를 제작하는데 적합하다.

[0487] 예컨대, InGaZnO_x ($x > 0$)막이 형성되는 경우, 트리메틸인듐, 트리메틸갈륨, 및 디에틸아연이 사용된다. 트리메틸인듐의 화학식이 $(\text{CH}_3)_3\text{In}$ 임을 주목해야 한다. 트리메틸갈륨의 화학식은 $(\text{CH}_3)_3\text{Ga}$ 이다. 디에틸아연의 화학식은 $(\text{CH}_3)_2\text{Zn}$ 이다. 위의 조합에 대한 제한 없이, 트리에틸갈륨(화학식: $(\text{C}_2\text{H}_5)_3\text{Ga}$)은 트리에틸갈륨 대신에 사용될 수 있고, 디메틸아연(화학식: $(\text{C}_2\text{H}_5)_2\text{Zn}$)은 디에틸아연 대신에 사용될 수 있다.

[0488] 예컨대, 산화물 반도체막 예컨대 InGaZnO_x ($x > 0$)막이 ALD를 채용하는 증착 장치를 사용하여 형성되는 경우, $\text{In}(\text{CH}_3)_3$ 가스와 O_3 가스가 순차적으로 복수회 도입되어 In_2O_3 층을 형성하고, $\text{Ga}(\text{CH}_3)_3$ 가스와 O_3 가스가 한 번 도입되어 Ga_2O_3 층을 형성하고, 이후 $\text{Zn}(\text{CH}_3)_2$ 가스와 O_3 가스가 한 번 도입되어 ZnO 층을 형성한다. 이들 층들의 순서는 이 예로 국한되지 않음을 주목해야 한다. InGaO_2 층, InZnO_2 층, GaInO 층, ZnInO 층, 또는 GaZnO 층과 같은 혼합된 화합물층은 이들 가스들의 혼합에 의해 형성될 수 있다. Ar과 같은 불활성 가스를 통한 버블링에 의해 얻어지는 H_2O 가스가 O_3 가스 대신에 사용될 수 있지만, H를 함유하지 않은 O_3 가스를 사용하는 것이 바람직함을 주목해야 한다. 또한 $\text{In}(\text{CH}_3)_3$ 가스 대신에, $\text{In}(\text{C}_2\text{H}_5)_3$ 가스가 사용될 수 있다. $\text{Ga}(\text{CH}_3)_3$ 가스 대신에, $\text{Ga}(\text{C}_2\text{H}_5)_3$ 가스가 사용될 수 있다. $\text{In}(\text{CH}_3)_3$ 가스 대신에, $\text{In}(\text{C}_2\text{H}_5)_3$ 가스가 사용될 수 있다. 또한, $\text{Zn}(\text{CH}_3)_2$ 가스가 사용될 수 있다.

[0489] 다음에, 제 1 산화물 반도체막과 동일한 조성을 갖는 제 2 산화물 반도체막이 10nm 이상 50nm 이하의 두께로 형성된다. 제 2 산화물 반도체막은 스퍼터링 방법에 의해 형성된다. 특히, 기판 온도는 100℃ 이상 500℃ 이하, 바람직하게는 150℃ 이상 450℃ 이하로 설정되고, 증착 가스 내의 산소의 비율은 30vol% 이상, 바람직하게는 100vol%로 설정된다.

[0490] 다음에, 제 1 CAAC-OS로부터 제 2 산화물 반도체막의 고체상 성장이 발생하도록 열처리가 수행되고, 이에 의해 제 2 산화물 반도체막이 높은 결정성을 갖는 제 2 CAAC-OS로 된다. 열처리 온도는 350℃ 이상 740℃ 이하, 바람직하게는 450℃ 이상 650℃ 이하이다. 열처리 시간은 1분 이상 24시간 이하, 바람직하게는 6분 이상 4시간 이하이다. 열처리는 불활성 분위기 또는 산화 분위기에서 수행될 수 있다. 열처리를 불활성 분위기에서 수행하고, 이후 열처리를 산화 분위기에서 수행하는 것이 바람직하다. 불활성 분위기에서의 열처리는 짧은 시간에 제 2 산화물 반도체막 내의 불순물들의 농도를 줄일 수 있다. 동시에, 불활성 분위기에서의 열처리는 제 2 산화물 반도체막 내에서 산소 결손들을 생성할 수 있다. 이러한 경우, 산화 분위기에서의 열처리는 산소 결손들을 줄일 수 있다. 열처리가 1000Pa 이하, 100Pa 이하, 10Pa 이하 또는 1Pa 이하와 같은 감압 하에서 수행될 수 있음을 주목해야 한다. 감압 하의 열처리는 짧은 시간에 제 2 산화물 반도체막 내의 불순물들의 농도를 줄일 수 있다.

[0491] 상술된 방식으로, 10nm 이상의 총 두께를 갖는 CAAC-OS막이 형성될 수 있다.

[0492] 또한, 산화물 반도체막은 복수의 산화물 반도체막들이 적층된 구조를 가질 수 있다.

[0493] 예컨대, 산화물 반도체막(편리성을 위해 제 1 층으로 언급됨)과 게이트 절연막 사이에, 제 1 층의 구성 원소들을 사용하여 형성되고, 전자 친화도가 제 1 층의 전자 친화도보다 0.2eV 이상 낮은 제 2 층이 제공되는 구조가 채용될 수 있다. 이 경우, 전계가 게이트 전극으로부터 인가될 때, 채널은 제 1 층 내에 형성되고, 채널은 제 2 층 내에 형성되지 않는다. 제 1 층의 구성 원소들은 제 2 층의 구성 원소들과 동일하고, 따라서 제 1 층과 제 2 층 사이의 계면에서 계면 산란은 거의 발생하지 않는다. 따라서, 제 2 층이 제 1 층과 게이트 절연막 사이에 제공될 때, 트랜지스터의 전계 효과 이동도는 증가할 수 있다.

- [0494] 또한, 산화 실리콘막, 산화질화 실리콘막, 질화산화 실리콘막, 또는 질화 실리콘막이 게이트 절연막으로 사용되는 경우, 게이트 절연막에 함유된 실리콘은 일부 경우들에서 산화물 반도체막으로 들어간다. 산화물 반도체막이 실리콘을 함유할 때, 예컨대 산화물 반도체막의 결정성 및 캐리어 이동도의 감소가 발생한다. 따라서, 채널이 형성되는 제 1 층 내의 실리콘의 농도를 줄이기 위하여 제 1 층과 게이트 절연막 사이에 제 2 층을 제공하는 것이 바람직하다. 동일한 이유로, 제 1 층의 구성 원소들을 사용하여 형성되고, 전자 친화도가 제 1 층의 전자 친화도보다 0.2eV 이상 낮은 제 3 층을 제공하여, 제 1 층이 제 2 층과 제 3 층 사이에 삽입되도록 하는 것이 바람직하다.
- [0495] 이러한 구조는 실리콘과 같은 불순물들의 채널이 형성된 영역으로의 확산을 감소 및 추가로 방지하여, 높은 신뢰도의 트랜지스터가 얻어질 수 있게 하는 것을 가능케 한다.
- [0496] 산화물 반도체막을 CAAC-OS로 만들기 위하여, 산화물 반도체막에 함유된 실리콘의 농도는 $2.5 \times 10^{21}/\text{cm}^3$ 이하, 바람직하게는 $1.4 \times 10^{21}/\text{cm}^3$ 미만, 더욱 바람직하게는 $4 \times 10^{19}/\text{cm}^3$ 미만, 더더욱 바람직하게는 $2.0 \times 10^{18}/\text{cm}^3$ 미만으로 설정됨을 주목해야 한다. 이는 산화물 반도체막 내에 함유된 실리콘의 농도가 $1.4 \times 10^{21}/\text{cm}^3$ 이상일 때 트랜지스터의 전계 효과 이동도가 감소될 수 있고, 산화물 반도체막 내에 함유된 실리콘의 농도가 $4.0 \times 10^{19}/\text{cm}^3$ 이상일 때 산화물 반도체막이 산화물 반도체막과 산화물 반도체막과 접하는 막 사이의 계면에서 비정질로 만들어질 수 있기 때문이다. 또한, 산화물 반도체막 내에 함유된 실리콘의 농도가 $2.0 \times 10^{18}/\text{cm}^3$ 미만일 때, 트랜지스터의 신뢰도의 추가 개선 및 산화물 반도체막의 준위 밀도(DOS)의 감소가 기대될 수 있다. 산화물 반도체막 내의 실리콘의 농도가 2차 이온 질량 분석법(SIMS)에 의해 측정될 수 있음을 주목해야 한다.
- [0497] 본 실시예가 본 명세서에 기술된 다른 실시예들 중 어느 하나와 적절하게 결합하여 실시될 수 있다.
- [0498] (실시예 10)
- [0499] 본 실시예에서, 위의 실시예들 중 어느 하나에 기술된 액정 디스플레이 장치를 사용하여 각각 제작된 전자 기기들의 특정 예들이 도 20을 참조하여 기술된다.
- [0500] 본 발명의 일 실시예가 적용될 수 있는 전자 기기들의 예들은 텔레비전 세트(텔레비전 또는 텔레비전 수상기도 언급됨), 컴퓨터 등의 모니터, 디지털 카메라 또는 디지털 비디오 카메라와 같은 카메라, 디지털 포토 프레임, 모바일 폰, 휴대용 게임기, 휴대용 정보 단말, 오디오 재생 장치, 게임 머신(예, 파친고 머신 또는 슬롯 머신), 및 게임 콘솔을 포함한다. 도 20은 이들 전자 기기들의 특정 예들을 도시한다.
- [0501] 도 20의 (A)는 디스플레이부를 포함하는 휴대용 정보 단말(1400)을 도시한다. 휴대용 정보 단말(1400)은 하우징(1401) 내에 병합되는 디스플레이부(1402) 및 조작 버튼(1403)을 포함한다. 본 발명의 일 실시예의 액정 디스플레이 장치는 디스플레이부(1402)를 위하여 사용될 수 있다.
- [0502] 도 20의 (B)는 셀룰러폰(1410)을 도시한다. 셀룰러폰(1410)은 하우징(1411) 내에 병합되는 디스플레이부(1412), 조작 버튼(1413), 스피커(1414), 및 마이크(1415)를 포함한다. 본 발명의 일 실시예의 액정 디스플레이 장치는 디스플레이부(1412)를 위하여 사용될 수 있다.
- [0503] 도 20의 (C)는 오디오 재생 장치(1420)를 도시한다. 오디오 재생 장치(1420)는 하우징(1421) 내에 병합되는 디스플레이부(1422), 조작 버튼(1423) 및 안테나(1424)를 포함한다. 덧붙여, 안테나(1424)는 무선 신호를 통해 데이터를 송수신한다. 본 발명의 일 실시예의 액정 디스플레이 장치는 디스플레이부(1422)를 위하여 사용될 수 있다.
- [0504] 디스플레이부들(1402, 1412 및 1422)은 각각 터치-입력 기능을 갖는다. 디스플레이부(1402, 1412 또는 1422)에 디스플레이되는 디스플레이된 버튼(미도시)을 사용자가 자신의 손가락 등을 통해 터치할 때, 사용자는 스크린상의 동작 및 정보의 입력을 수행할 수 있다.
- [0505] 위의 실시예들 중 어느 하나에 도시된 액정 디스플레이 장치가 디스플레이부들(1402, 1412 및 1422)을 위해 사용될 때, 디스플레이부들(1402, 1412 및 1422)의 디스플레이 품질은 개선될 수 있다.
- [0506] 본 실시예가 다른 실시예들에 기술된 구조 중 어느 하나와 적절하게 결합하여 실시될 수 있다.
- [0507] (실시예 11)
- [0508] 본 실시예에서, 위의 실시예들에서 기술된 리프레시율의 감소의 중요성이 설명된다.

- [0509] 눈의 피로는 두 가지 범주들: 신경계 피로와 근육계 피로로 나뉜다. 신경계 피로는 액정 디스플레이 장치로부터 방출된 광과 점멸하는 이미지들에 대한 연장된 시청에 의해 야기된다. 이것은 밝기가 망막, 시신경, 및 뇌를 자극하고 피로케 하기 때문이다. 근육계 피로는 초점을 조정하기 위하여 동작하는 모양체 근육의 혹사에 의해 야기된다.
- [0510] 도 21의 (A)는 종래의 액정 디스플레이 장치의 디스플레이를 도시하는 개략도이다. 도 21의 (A)에 도시된 바와 같이, 종래의 액정 디스플레이 장치의 디스플레이를 위해, 이미지 재기록은 초당 60회 수행된다. 이러한 스크린에 대해 연장된 시청은 사용자의 망막, 시신경 및 뇌를 자극하고 눈의 피로를 초래할 것이다.
- [0511] 본 발명의 일 실시예에서, 산화물 반도체를 포함하는 트랜지스터(예, CAAC-OS를 포함하는 트랜지스터)는 액정 디스플레이 장치의 픽셀부에 사용된다. 트랜지스터가 극히 작은 오프-상태 전류를 갖기 때문에, 액정 디스플레이 장치의 휘도는 심지어 프레임 주파수가 감소될 때에도 유지될 수 있다.
- [0512] 따라서, 예컨대 이미지의 기록 횟수는 도 21의 (B)에 도시된 바와 같이 초당 5회로 줄어들 수 있다. 동일한 이미지가 가능한 훨씬 긴 시간 동안 디스플레이될 수 있고, 사용자가 지각하는 스크린 상의 플리커들은 감소될 수 있다. 그러므로, 사용자의 망막, 시신경 및 뇌에 대한 자극은 줄어들어, 피로가 감소된다.
- [0513] 픽셀의 크기가 큰(예, 해상도가 150ppi 미만인) 경우, 도 22의 (A)에 도시된 바와 같이 액정 디스플레이 장치에 의해 흐려진 문자가 디스플레이된다. 사용자들이 액정 디스플레이 장치 상에 디스플레이된 흐려진 문자를 장시간 동안 볼 때, 사용자들의 모양체 근육들은 초점을 조정하는 것이 어려운 상태에서 초점을 조정하기 위한 동작을 지속하고, 이는 눈의 피로를 초래한다.
- [0514] 대조적으로, 본 발명의 일 실시예의 액정 디스플레이 장치에서, 하나의 픽셀의 크기는 작고, 따라서 도 22의 (B)에 도시된 바와 같이 높은 해상도의 디스플레이가 수행되어, 정확하고 평활한 디스플레이가 달성될 수 있다. 정확하고 평활한 디스플레이는 모양체 근육들이 보다 쉽게 초점을 조정할 수 있게 하고, 사용자들의 근육 피로를 감소시킨다.
- [0515] 눈의 피로의 정량적 측정이 연구되고 있다. 예컨대, 임계 플리커(융합) 주파수(CFF)가 신경계 피로의 측정 지표로 알려져 있고; 조절시간 및 조절근점이 근육 피로의 측정 지표들로서 알려져 있다.
- [0516] 눈의 피로를 측정하기 위한 다른 방법들의 예들은 뇌파측정, 서모그래피, 점멸 횟수의 측정, 눈물 양의 측정, 동공의 수축 반응 시간 측정, 및 자각증상을 조사하기 위한 질문표를 포함한다.
- [0517] 본 발명의 일 실시예는 눈에 친화적인 액정 디스플레이 장치를 제공할 수 있다.
- [0518] (예)
- [0519] 본 예에서, 실시예 1에 기술된 본 발명의 일 실시예의 액정층을 사용하여 실제로 제작된 패널의 투과율의 측정 결과들에 대해 설명이 이루어진다. 본 예에서 측정에 사용된 패널은, 액정 분자들이 수평 전체에 의해 배향되는 액정층을 포함하는 액정 소자를 포함하는 FFS 모드 액정 디스플레이 장치이다.
- [0520] 도 26의 (A)에서, 실선(2602)으로 표시된 파형은, 중간 그레이 레벨을 위한 전압이 톱니파형에서 1Hz의 프레임 주파수로 액정층을 포함하는 액정 디스플레이 장치에 인가될 때, 3.8의 유전율 이방성을 갖는 액정층을 포함하는 액정 디스플레이 장치의 투과율의 시간 의존 변화를 도시한다. 비교를 위해, 도 26의 (A)에서 점선(2601)으로 표시된 파형은, 중간 그레이 레벨을 위한 전압이 톱니파형에서 1Hz의 프레임 주파수로 액정층을 포함하는 액정 디스플레이 장치에 인가될 때, 5.2의 유전율 이방성을 갖는 액정층의 투과율의 시간 의존 변화를 도시한다.
- [0521] 도 26의 (B)에서, 실선(2604) 및 점선(2603)으로 표시된 파형들은 각각, 0.2Hz의 프레임 주파수를 제외하고 도 26의 (A)의 것들과 유사한 조건들 하에서 액정층의 투과율의 시간의존 변화를 도시한다.
- [0522] 도 26에서, 그래프들에서 각 수직축들은 정규화된 투과율을 나타냄을 주목해야 한다. 특히, 도 26의 그래프들은 100%의 투과율이 1로 표시된다는 가정하에, 중간 그레이 레벨에서 액정층의 투과율 변화를 도시한다.
- [0523] 도 26의 (A)에서, 점선(2601)으로 도시된, 유전율 이방성이 5.2인 액정 디스플레이 장치의 투과율의 시간의존 변화는, 실선(2602)으로 도시된, 유전율 이방성이 3.8인 액정 디스플레이 장치의 투과율의 시간의존 변화보다 크다. 이 결과는 실시예 1에 기술된 도 4의 결과들과 일치한다.
- [0524] 도 26의 (B)에서, 점선(2603)으로 도시된, 유전율 이방성이 5.2인 액정 디스플레이 장치의 투과율의 시간의존 변화는, 실선(2604)으로 도시된, 유전율 이방성이 3.8인 액정 디스플레이 장치의 투과율의 시간의존 변화보다

크다. 이 결과는 실시예 1에 기술된 도 5의 결과들과 일치한다.

- [0525] 도 26의 (A)의 점선(2601) 및 도 26의 (B)의 점선(2603)에 의해 표시된 톱니파형들은 각각 각 액정층들의 불순물로 인한 잔류 DC를 반영한다. 다른 한 편으로, 도 26의 (A)의 실선(2602) 및 도 26의 (B)의 실선(2604)에 의해 표시된 톱니파형들은, 액정층들 내의 불순물의 비율이 낮기 때문에, 잔류 DC에 의해 야기된 투과율의 작은 변화를 도시한다.
- [0526] 도 26에 도시된 중간 그레이 레벨에서 액정층의 투과율의 시간의존 변화에서, 투과율의 변동 범위는 대략 40%로 줄어들 수 있다.
- [0527] 도 31에서, 각 파형들은, 중간 그레이 레벨을 위한 전압이 톱니파형에서 1Hz, 0.2Hz, 또는 0.017Hz의 프레임 주파수로 액정층을 포함하는 액정 디스플레이 장치에 인가될 때, 3.8의 유전율 이방성을 갖는 액정층을 포함하는 액정 디스플레이 장치의 투과율의 시간 의존 변화를 도시한다.
- [0528] 도 31은 1Hz, 0.2Hz 및 0.017Hz의 프레임 주파수들의 파형들 사이에 투과율의 시간의존 변화의 작은 차이가 존재함을 나타낸다.
- [0529] 도 27은 3.8의 유전율 이방성을 갖는 액정층을 포함하는 액정 디스플레이 장치의 디스플레이 예이다.
- [0530] 도 27에 도시된 바와 같이, 실질적인 문제점들이 없는 훌륭한 디스플레이가 얻어질 수 있다.
- [0531] 본 출원은, 2012년 11월 15일에 일본특허청에 출원된 일본특허출원 제2012-251653호, 2012년 11월 29일에 일본특허청에 출원된 일본특허출원 제2012-260839호, 2013년 3월 7일에 일본특허청에 출원된 일본특허출원 제2013-044848호, 및 2013년 7월 22일에 일본특허청에 출원된 일본특허출원 제2013-151217호에 기초하고, 이들의 전체 내용은 참조로서 본 명세서에 통합된다.

부호의 설명

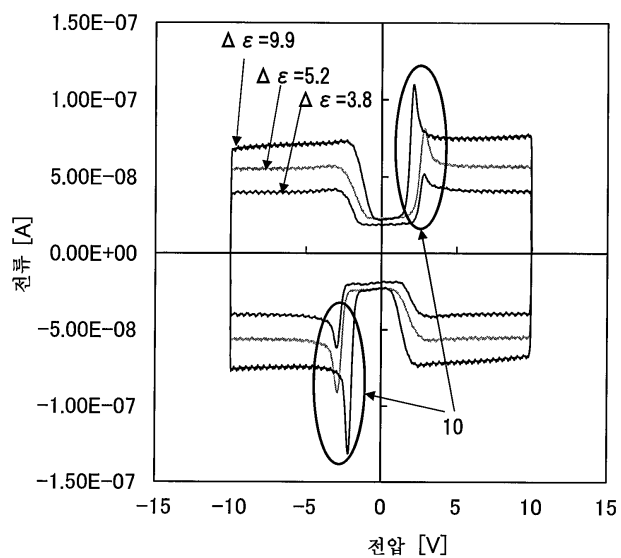
- [0532]
- | | |
|-----------------|-----------------|
| G1 : 스캔 라인 | G2 : 스캔 라인 |
| S1 : 신호 라인 | S2 : 신호 라인 |
| S3 : 신호 라인 | 10 : 영역 |
| 11 : 제 1 전극 | 12 : 제 2 전극 |
| 13 : 배향막 | 14 : 배향막 |
| 15 : 액정 분자 | 21 : 편광 플레이트 |
| 22 : 편광 플레이트 | 23 : 광 검출기 |
| 24 : 화살표 | 25 : 화살표 |
| 100 : 트랜지스터 | 101 : 기관 |
| 102 : 게이트 전극 | 103 : 절연층 |
| 104 : 산화물 반도체층 | 105a : 전극 |
| 105b : 전극 | 106 : 절연층 |
| 107 : 절연층 | 110 : 트랜지스터 |
| 114 : 산화물 반도체층 | 114a : 산화물 반도체층 |
| 114b : 산화물 반도체층 | |
| 120 : 트랜지스터 | 124 : 산화물 반도체층 |
| 124a : 산화물 반도체층 | 124b : 산화물 반도체층 |
| 124c : 산화물 반도체층 | 150 : 트랜지스터 |
| 151 : 절연층 | 152 : 절연층 |

160 : 트랜지스터	164 : 산화물 반도체층
164a : 산화물 반도체층	164b : 산화물 반도체층
164c : 산화물 반도체층	164d : 측벽 보호층
200 : 패널 모듈	201 : 제 1 기관
202 : 제 2 기관	203 : 밀봉제
204 : FPC	205 : 외부 접속 전극
206 : 배선	208 : 접속층
211 : 픽셀부	212 : IC
213 : 게이트 드라이버 회로	
231 : 트랜지스터	232 : 트랜지스터
237 : 절연층	238 : 절연층
239 : 절연층	242 : 블랙 매트릭스
243 : 컬러 필터	250 : 액정 소자
251 : 제 1 전극	252 : 액정
253 : 제 2 전극	254 : 스페이서
255 : 보호막	256 : 트랜지스터
400 : 터치 패널	401 : 제 1 기관
402 : 제 2 기관	403 : 기관
404 : FPC	405 : 외부 접속 전극
406 : 배선	411 : 디스플레이부
412 : 소스 드라이버 회로	413 : 게이트 드라이버 회로
414 : 픽셀부	415 : FPC
416 : 외부 접속 전극	417 : 배선
420 : 액정 디스플레이 장치	421 : 전극
422 : 전극	423 : 배선
424 : 절연층	430 : 터치 센서
431 : 액정	433 : 절연층
434 : 접촉층	435 : 컬러 필터층
436 : 밀봉제	437 : 스위칭 소자층
438 : 배선	439 : 접속층
440 : 센서층	441 : 편광 플레이트
500 : 입력 유닛	500_C : 신호
600 : 액정 디스플레이 장치	610 : 제어 유닛
615_C : 2차 제어 신호	615_V : 2차 신호
620 : 연산 유닛	625_C : 1차 제어 신호
625_V : 1차 이미지 신호	630 : 디스플레이부

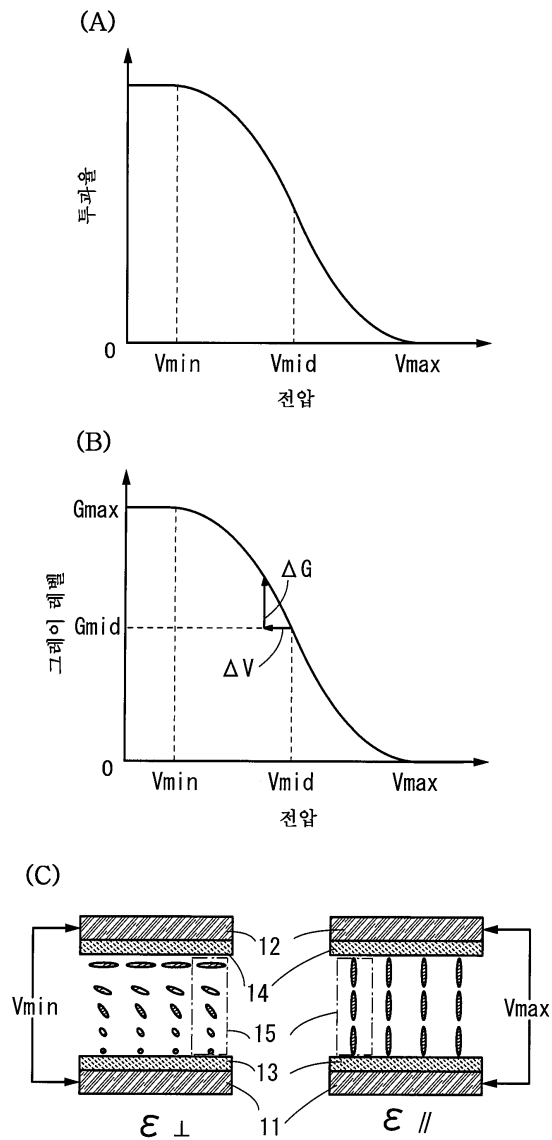
631 : 픽셀부	631a : 영역
631b : 영역	631c : 영역
631p : 픽셀	632 : G 드라이버 회로
632_G : G 신호	633 : S 드라이버 회로
633_S : S 신호	634 : 픽셀 회로
634c(i) : 기생 커패시턴스	634c : 커패시터
634t : 트랜지스터	635 : 디스플레이 소자
635_1 : 픽셀 전극	635LC : 액정 소자
650 : 광 공급부	701 : 연산 유닛
702 : 메모리 유닛	703 : 그래픽 유닛
704 : 디스플레이 수단	1400 : 휴대용 정보 단말
1401 : 하우징	1402 : 디스플레이부
1403 : 조작 버튼	1410 : 모바일폰 장치
1411 : 하우징	1412 : 디스플레이부
1413 : 조작 버튼	1414 : 스피커
1415 : 마이크	1420 : 오디오 재생 장치
1421 : 하우징	1422 : 디스플레이부
1423 : 조작 버튼	1424 : 안테나
2601 : 점선	2602 : 실선
2603 : 점선	2604 : 실선

도면

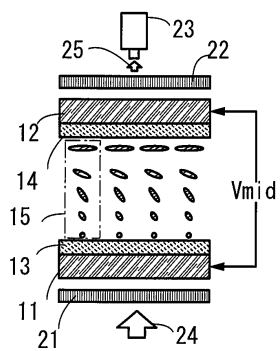
도면1



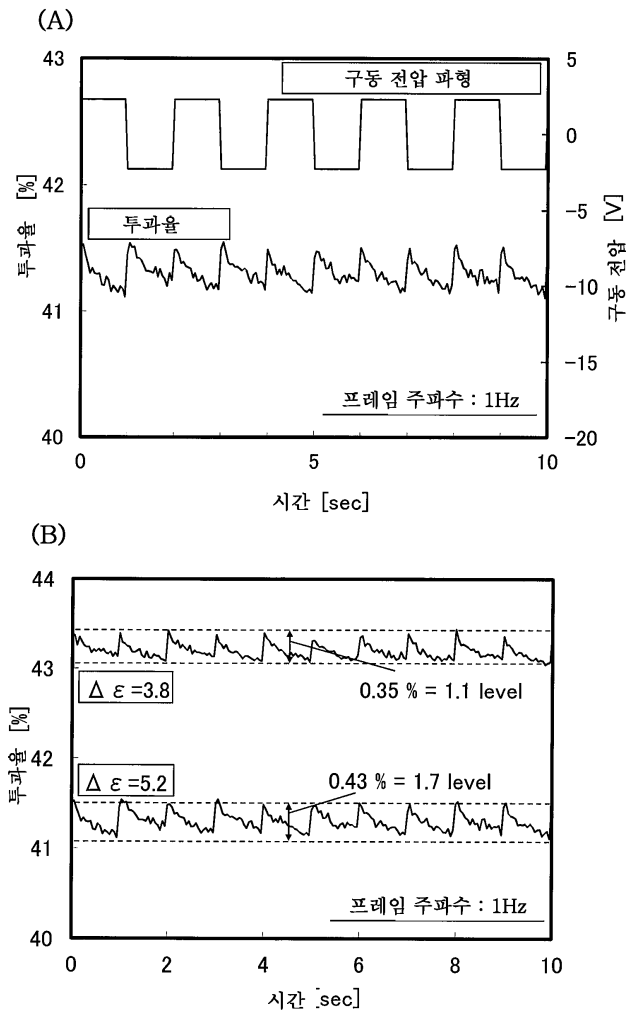
도면2



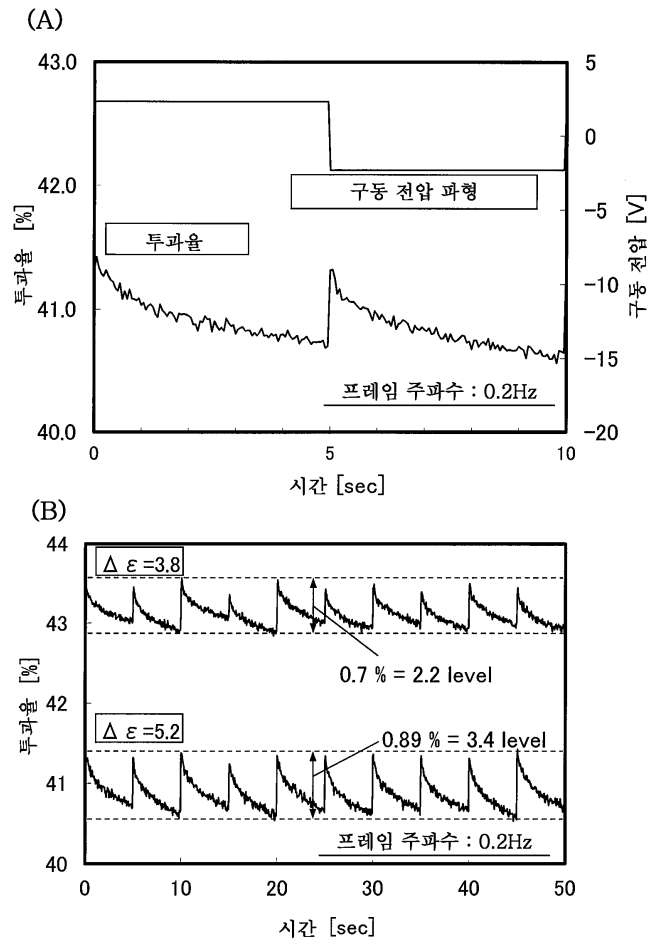
도면3



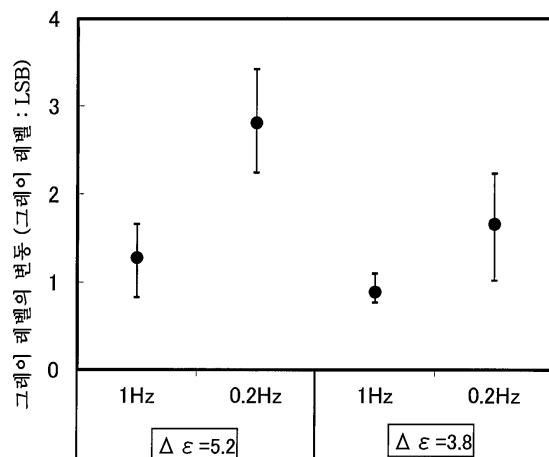
도면4



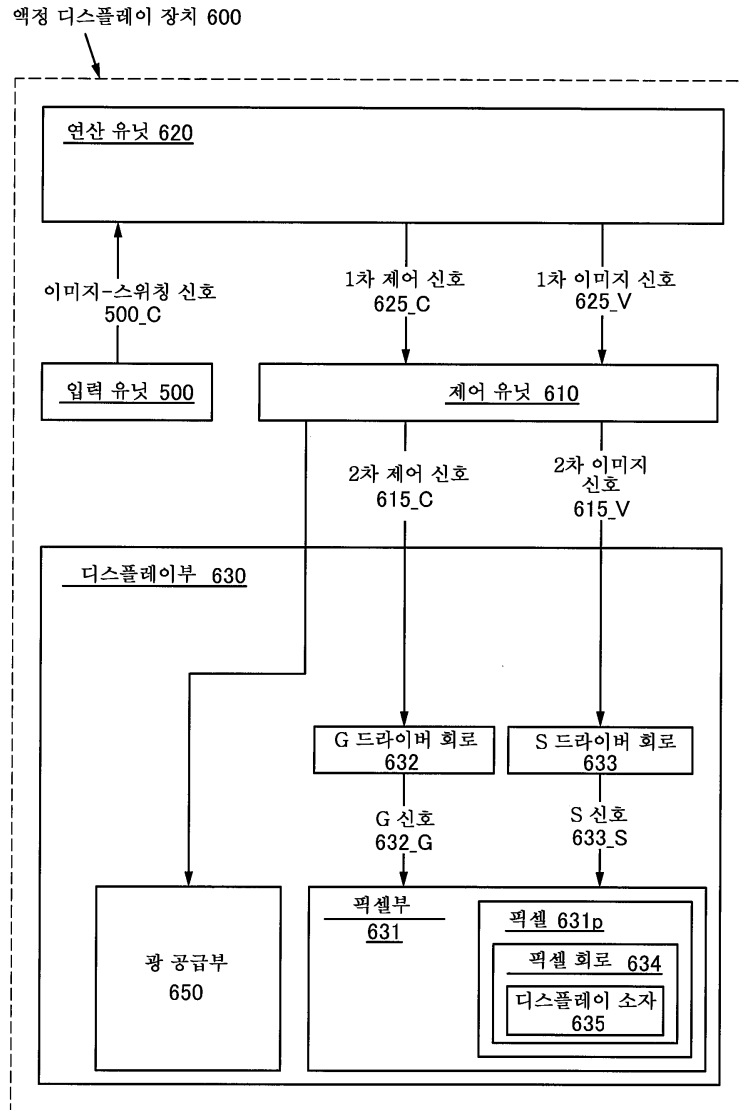
도면5



도면6



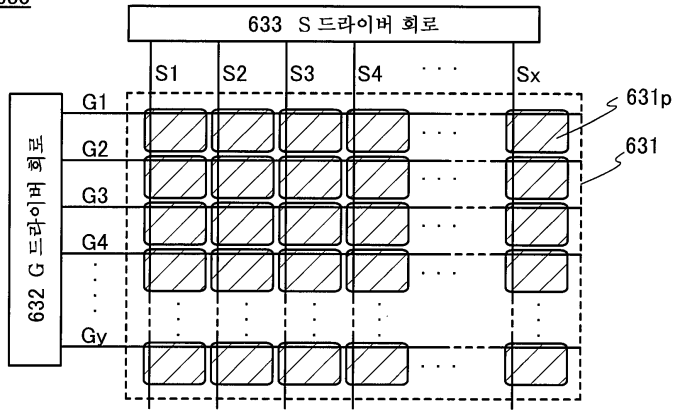
도면7



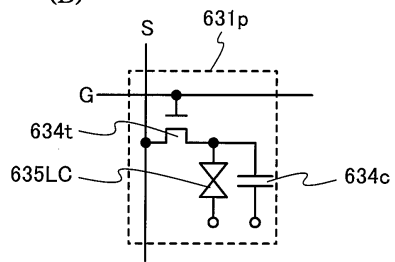
도면8

(A)

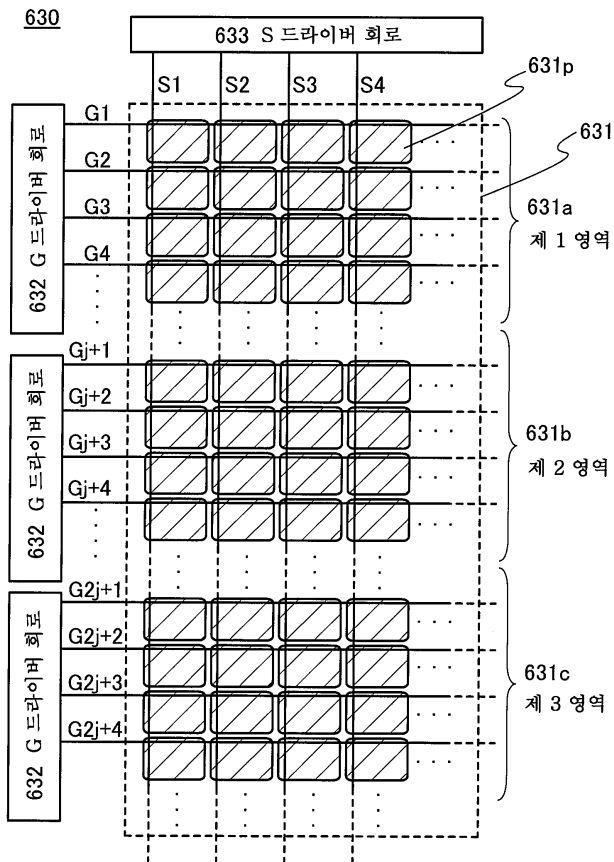
630



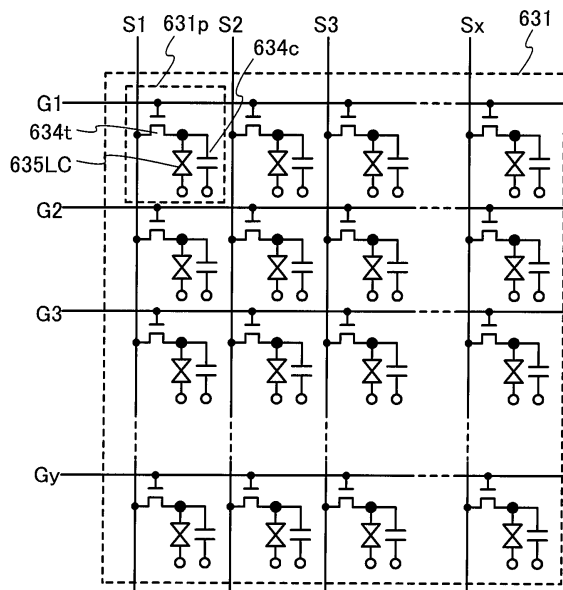
(B)



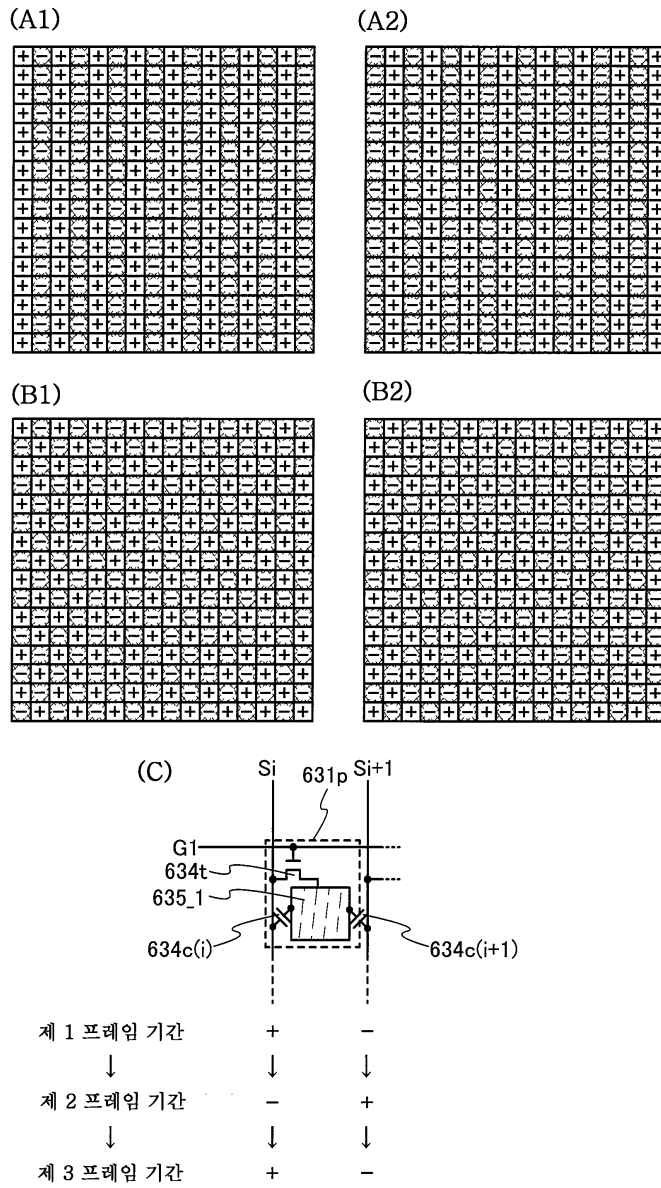
도면9



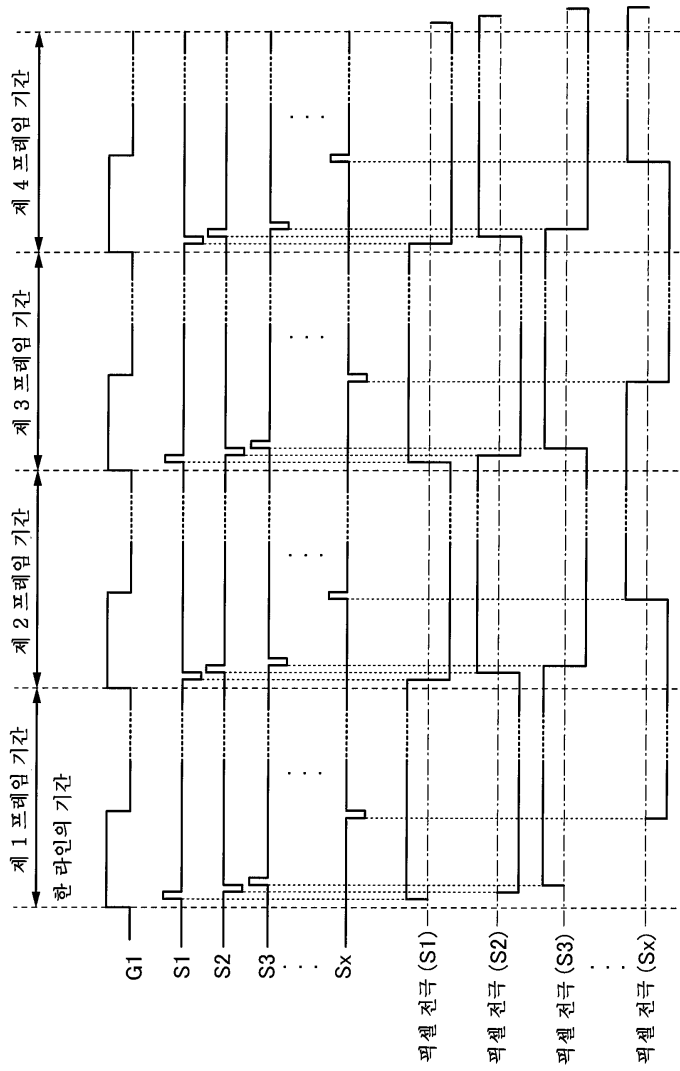
도면10



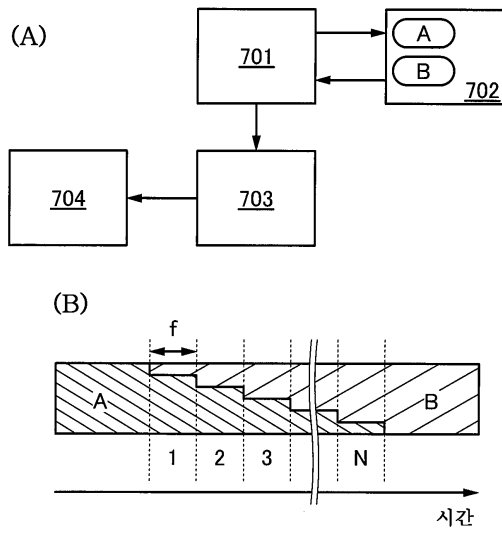
도면11



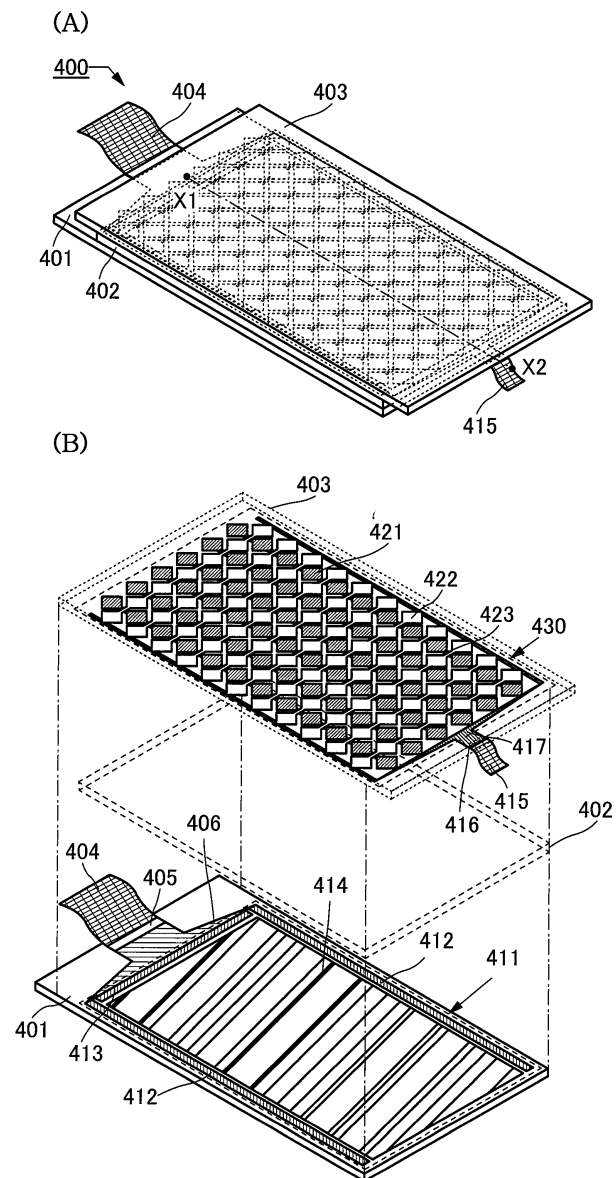
도면12



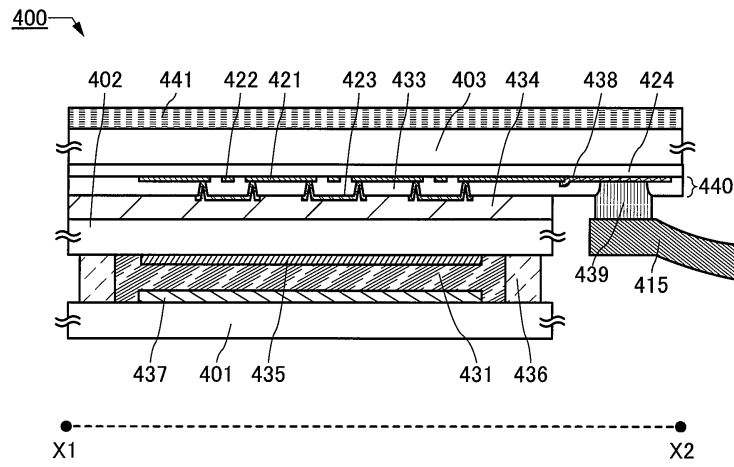
도면13



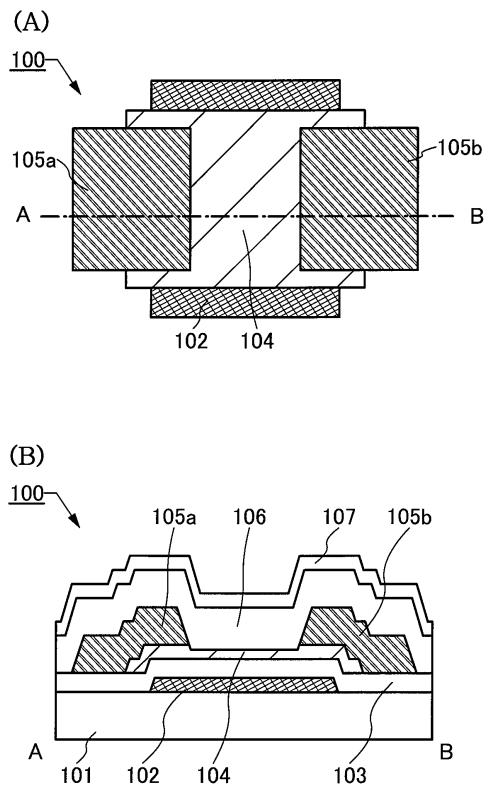
도면14



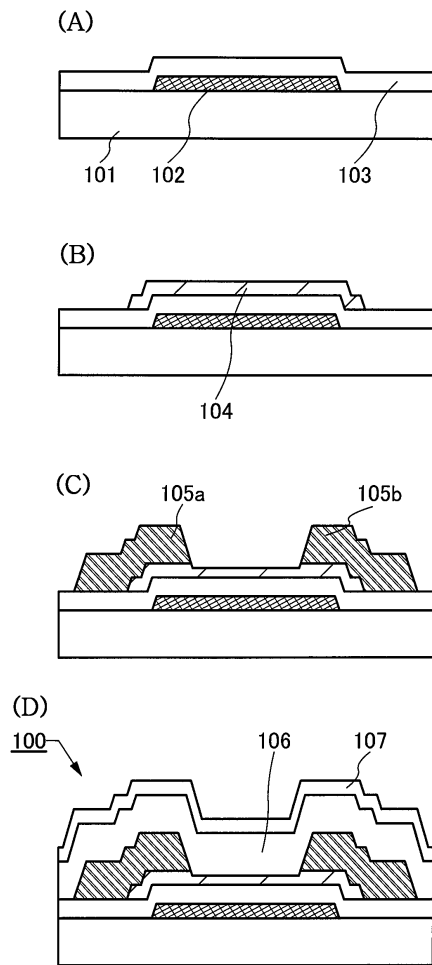
도면15



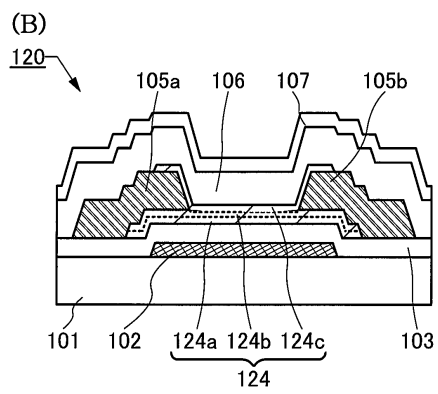
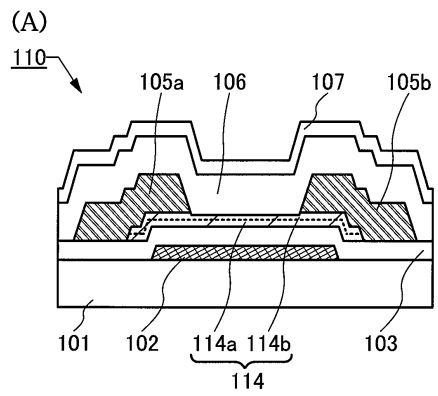
도면16



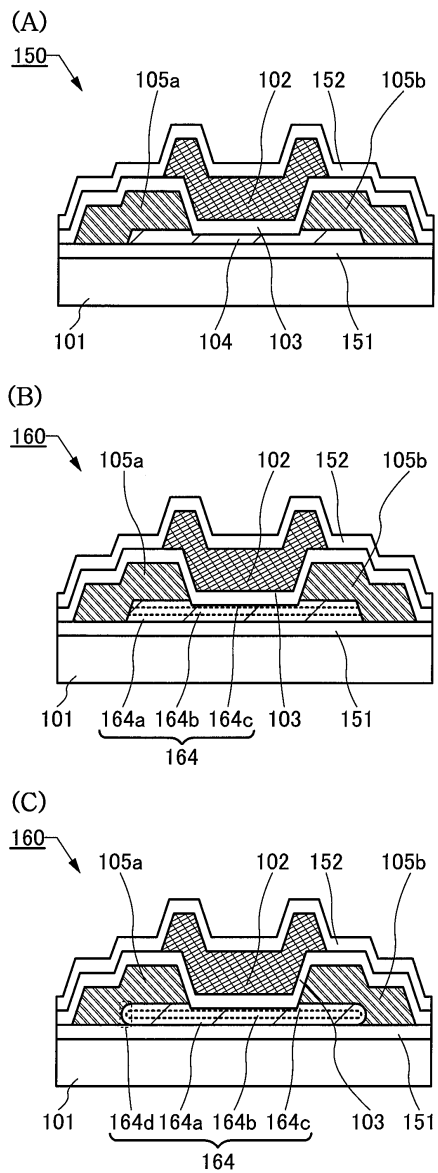
도면17



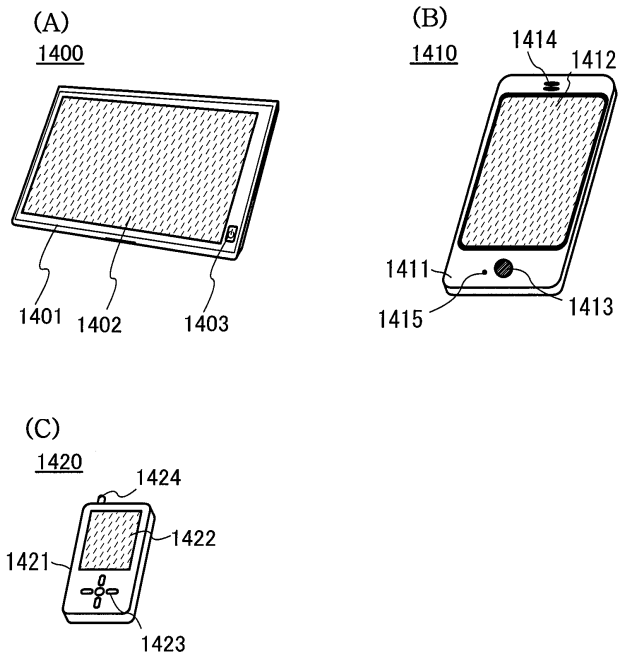
도면18



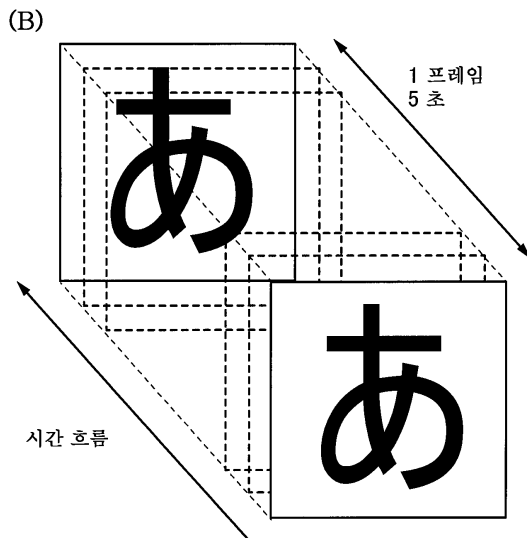
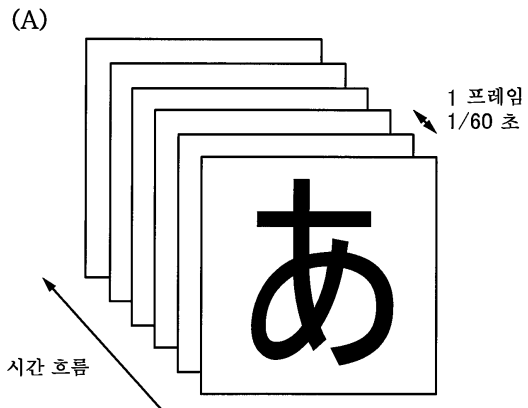
도면19



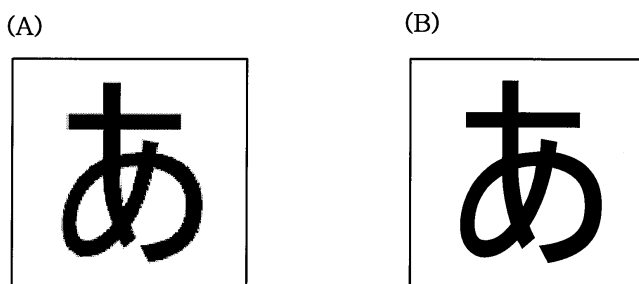
도면20



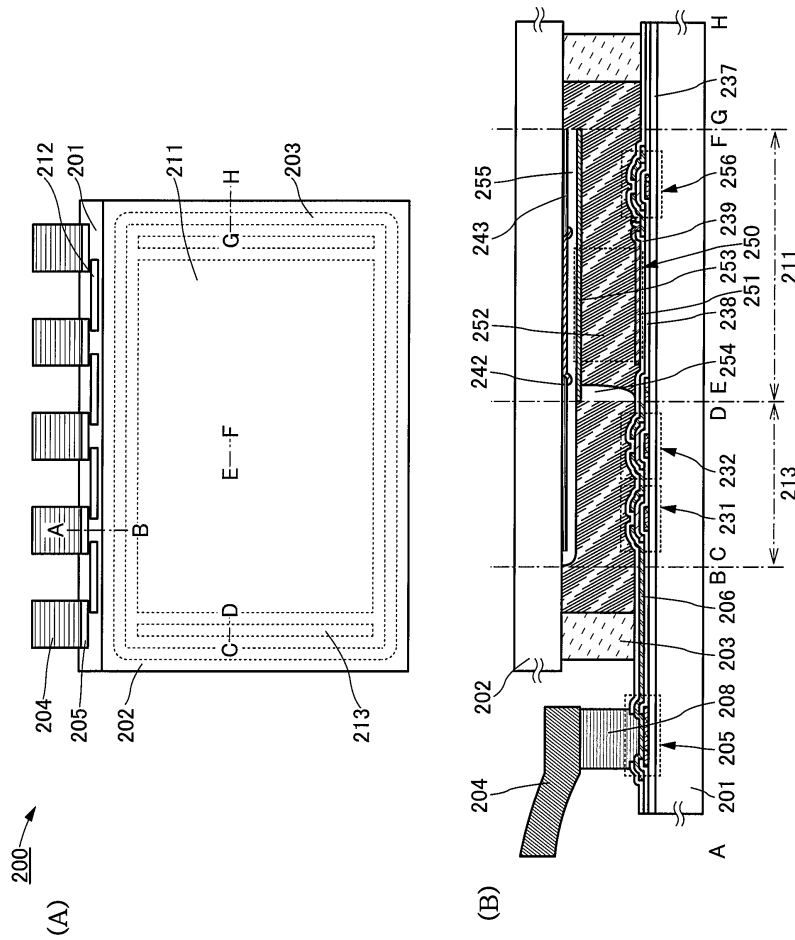
도면21



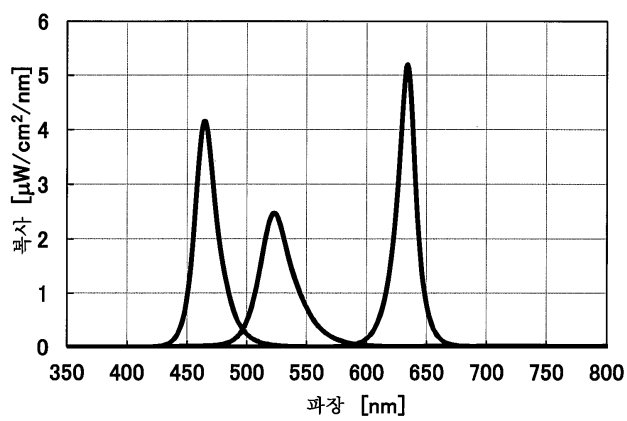
도면22



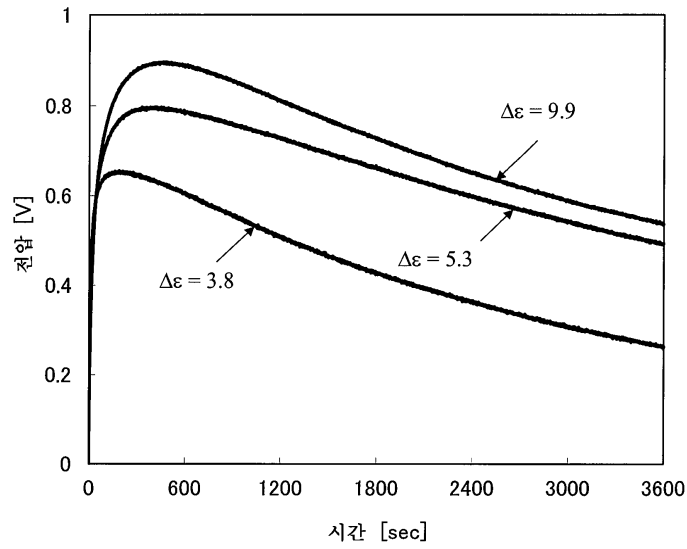
도면23



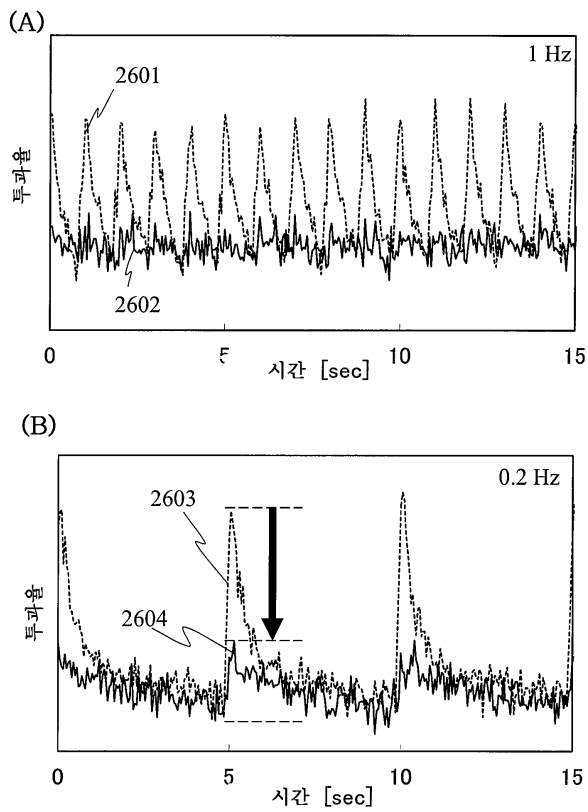
도면24



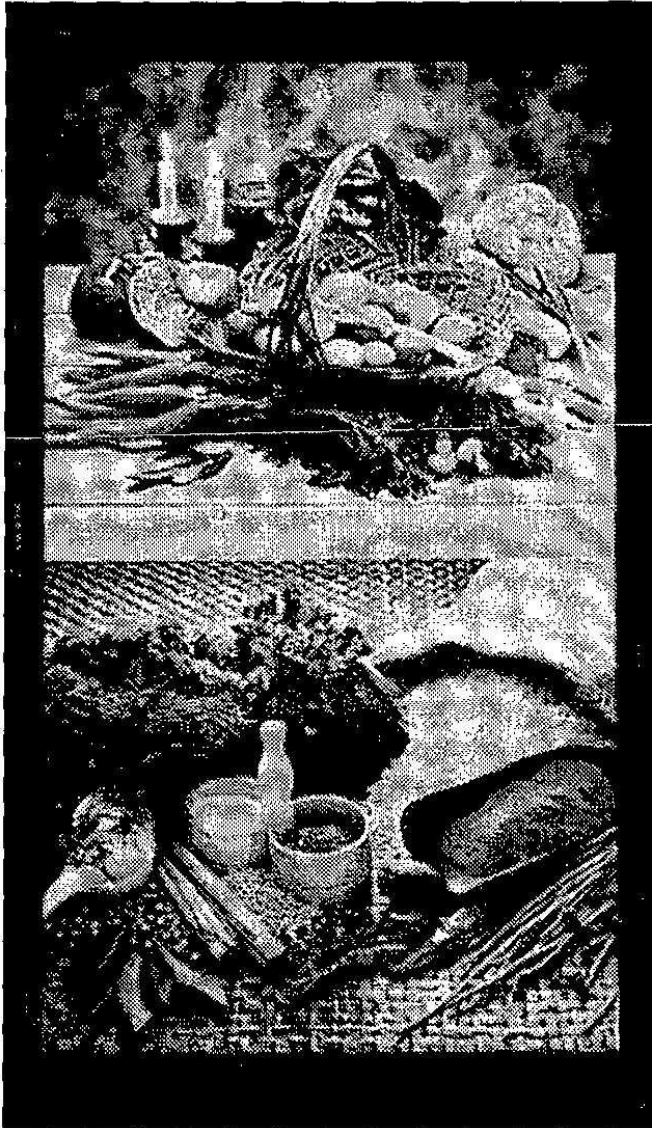
도면25



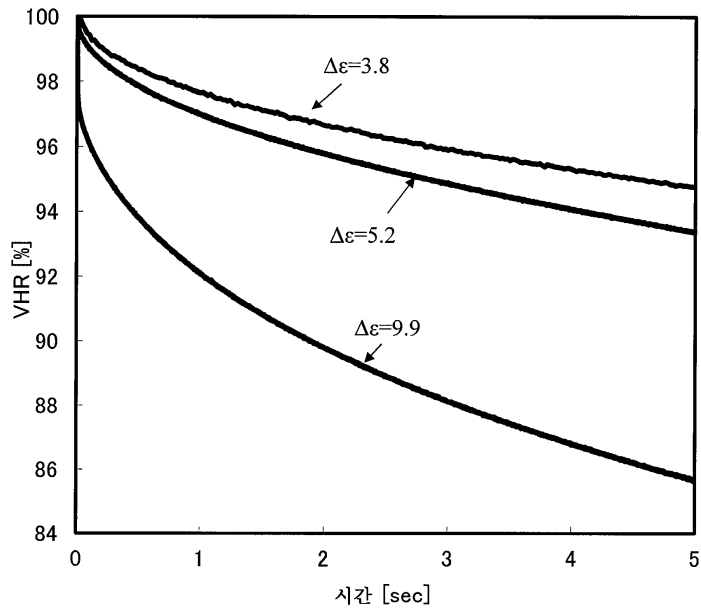
도면26



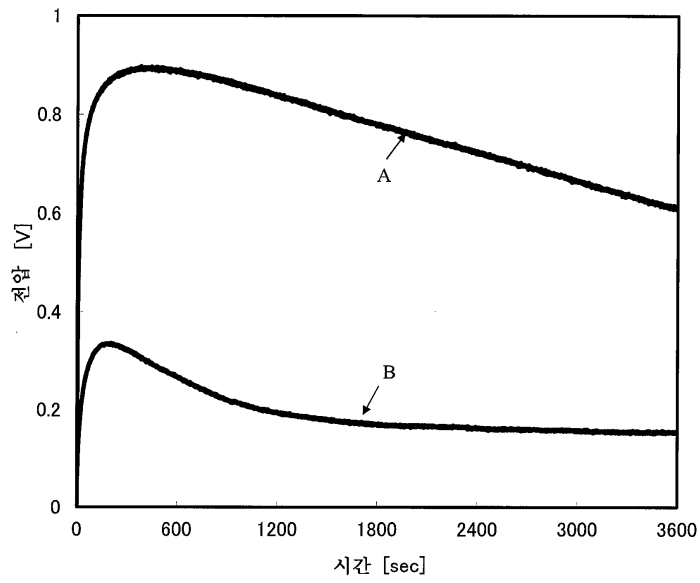
도면27



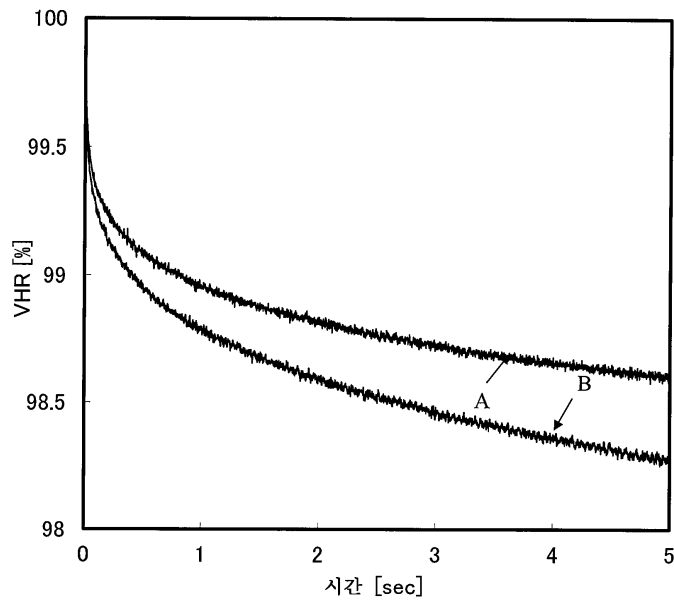
도면28



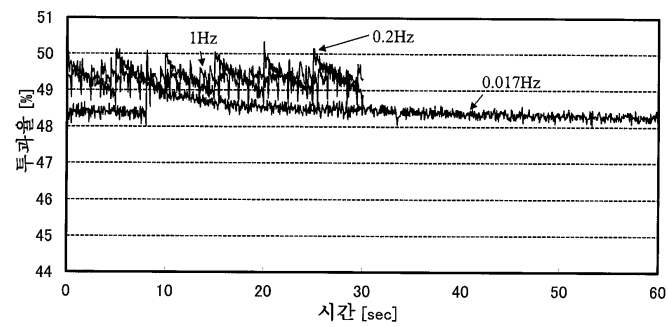
도면29



도면30



도면31



专利名称(译)	一种液晶显示装置		
公开(公告)号	KR1020150085035A	公开(公告)日	2015-07-22
申请号	KR1020157015759	申请日	2013-11-07
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	KUBOTA DAISUKE 쿠보타다이스케 HIRAKATA YOSHIHARU 히라카타요시하루 HATSUMI RYO 하츠미료		
发明人	쿠보타다이스케 히라카타요시하루 하츠미료		
IPC分类号	G02F1/133 G02F1/1362 G02F1/137 G02F1/139 G09G3/36		
CPC分类号	G02F1/1396 G02F2202/42 G02F2001/13706 G09G3/36 G02F1/13454 G02F1/136213 G09G3/3607 G09G3/3648 G09G2330/025		
代理人(译)	李昌勋		
优先权	2012251653 2012-11-15 JP 2012260839 2012-11-29 JP 2013044848 2013-03-07 JP 2013151217 2013-07-22 JP		
外部链接	Espacenet		

摘要(译)

一种新颖的液晶显示装置，不会降低显示质量。液晶显示装置包括用于以小于或等于1Hz的帧频显示静止图像的像素，并且像素中的液晶层具有大于或等于2且小于或等于2的介电常数各向异性。利用上述结构，可以将施加到像素的电压的变化保持在灰度级偏差的可接受范围内，以显示相同的静止图像。因此，可以减少由于低刷新率导致的闪烁，这导致显示质量的提高。

[도 4B]

