



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0077503

(43) 공개일자 2015년07월08일

(51) 국제특허분류(Int. Cl.)

G09G 3/36 (2006.01) G02F 1/133 (2006.01)

(21) 출원번호 10-2013-0164996

(22) 출원일자 2013년12월27일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

지혜림

경기 파주시 월롱면 엘씨디로 201, B동 205호 (정다운마을)

최승찬

경기 고양시 일산동구 강석로 110, 517동 707호 (마두동, 강촌마을5단지아파트)

(74) 대리인

김기문

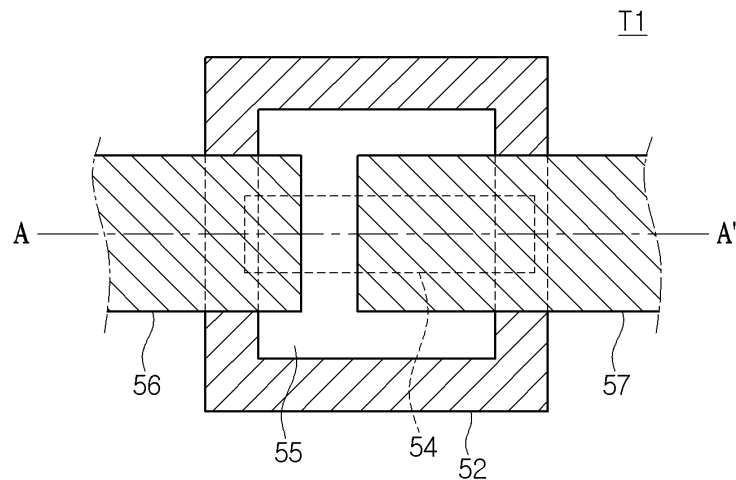
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 액정표시장치

(57) 요약

실시 예에 따른 액정표시장치는, 게이트 라인 및 데이터 라인에 형성된 액정표시패널; 상기 게이트 라인에 게이트 신호를 공급하는 게이트 드라이버; 및 상기 게이트 드라이버와 연결되는 정전기 방지부를 포함하고, 상기 정전기 방지부는 제1 트랜지스터를 포함하며, 상기 제1 트랜지스터는 비대칭 구조로 형성된다.

대표도 - 도5



명세서

청구범위

청구항 1

게이트 라인 및 데이터 라인에 형성된 액정표시패널;
상기 게이트 라인에 게이트 신호를 공급하는 게이트 드라이버; 및
상기 게이트 드라이버와 연결되는 정전기 방지부를 포함하고,
상기 정전기 방지부는 제1 트랜지스터를 포함하며,
상기 제1 트랜지스터는 비대칭 구조로 형성되는 액정표시장치.

청구항 2

제1항에 있어서,
상기 제1 트랜지스터는 소스전극과 드레인 전극이 비대칭 구조로 형성되는 액정표시장치.

청구항 3

제2항에 있어서,
상기 소스 전극 및 드레인 전극의 하부에 형성되는 에치 스타퍼를 포함하고,
상기 에치 스타퍼는 게이트 전극에 대해 비대칭 구조로 형성되는 액정표시장치.

청구항 4

제3항에 있어서,
상기 소스 전극 및 드레인 전극은 상기 게이트 전극과의 중첩 면적이 상이한 액정표시장치.

청구항 5

제4항에 있어서,
상기 드레인 전극과 게이트 전극의 중첩면적이 상기 소스 전극과 게이트 전극간의 중첩면적보다 작은 액정표시장치.

청구항 6

제3항에 있어서,
상기 드레인 전극과 상기 에치 스타퍼간의 중첩면적은 상기 소스 전극과 상기 에치 스타퍼간의 중첩면적보다 작은 액정표시장치.

청구항 7

제2항에 있어서,
상기 드레인 전극은 상기 게이트 드라이버의 신호라인과 연결되고,
상기 소스 전극은 접지와 연결되는 액정표시장치.

청구항 8

제7항에 있어서,
상기 정전기 방지부는,

상기 신호라인과 상기 제1 트랜지스터 사이에 연결되는 제2 트랜지스터; 및
상기 접지와 상기 제1 트랜지스터 사이에 연결되는 제3 트랜지스터를 포함하는 액정표시장치.

청구항 9

제9항에 있어서,
상기 제2 트랜지스터와 상기 제3 트랜지스터는 정전기 발생시 다이오드로 동작하는 액정표시장치.

청구항 10

제1항에 있어서,
상기 게이트 드라이버는 다수의 신호라인을 포함하고,
상기 정전기 방지부는 상기 다수의 신호라인과 각각 연결되는 다수의 정전기 방지회로를 포함하는 액정표시장치.

발명의 설명

기술 분야

[0001] 실시 예는 액정표시장치에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전함에 따라 표시장에 대한 요구도 다양한 형태로 점증하고 있으며, 이에 부응하여 근래에는 LCD(Liquid Crystal Display), PDP(Plasma Display Panel), ELD(Electro Luminescent Display), VFD(Vacuum Fluorescent Display) 등 여러 가지 평판 표시 장치가 연구되어 왔고, 일부는 이미 여러 장비에서 표시장치로 활용되고 있다.

[0003] 그 중에, 현재 화질이 우수하고, 경량, 박형, 저소비 전력의 장점으로 인하여 이동형 화상 표시장치의 용도로 CRT(Cathode Ray Tube)를 대체하면서 LCD가 가장 많이 사용되고 있으며, 노트북 컴퓨터의 모니터와 같은 이동형의 용도 이외에도 방송신호를 수신하여 디스플레이하는 텔레비전, 및 컴퓨터의 모니터 등으로 다양하게 개발되고 있다.

[0004] 상기 액정표시장치는 제조공정에서 또는 사용과정에서 정전기가 발생하고, 상기 정전기에 의해 내부 회로 및 라인이 파손되는 문제점이 있다.

[0005] 상기 정전기로부터 상기 액정표시장치의 내부구성을 보호하기 위해 정전기 방지 회로를 구비한다. 종래에는 박막 트랜지스터를 포함하는 상기 정전기 회로를 통해 정전기 방지회로를 구성하였다.

[0006] 다만, 상기 박막 트랜지스터를 포함하는 정전기 방지회로의 경우에도 과전류가 흘러 상기 정전기 방지회로 및 액정표시장치의 내부구성이 파손되는 문제점이 있다.

발명의 내용

해결하려는 과제

[0007] 실시 예는 정전기 보호회로, 게이트 드라이버 및 액정표시패널의 내부 소자를 보호하는 액정표시장치를 제공한다.

과제의 해결 수단

[0008] 실시 예에 따른 액정표시장치는, 게이트 라인 및 데이터 라인에 형성된 액정표시패널; 상기 게이트 라인에 게이트 신호를 공급하는 게이트 드라이버; 및 상기 게이트 드라이버와 연결되는 정전기 방지부를 포함하고, 상기 정전기 방지부는 제1 트랜지스터를 포함하며, 상기 제1 트랜지스터는 비대칭 구조로 형성된다.

발명의 효과

[0009] 실시 예에 따른 액정표시장치는, 정전기 보호회로의 트랜지스터를 비대칭적으로 설계하여 정전기 보호회로를 통해 흐르는 전류의 크기를 줄여 전기 보호회로, 게이트 드라이버 및 액정표시패널의 내부 소자를 보호하여, 신뢰성을 상승시킬 수 있다.

도면의 간단한 설명

[0010] 도 1은 실시 예에 따른 액정표시장치를 나타낸 블록도이다.
 도 2는 실시 예에 따른 게이트 드라이버 및 정전기 방지회로를 나타낸 블록도이다.
 도 3은 실시 예에 따른 게이트 드라이버에 인가되는 신호를 나타내는 파형도이다.
 도 4는 실시 예에 따른 정전기 방지회로를 나타낸 회로도이다.
 도 5는 실시 예에 따른 제1 트랜지스터의 상면도이다.
 도 6은 도 5를 A-A'면을 따라 절단한 단면도이다.
 도 7은 실시 예에 따른 트랜지스터의 전압-전류를 나타내는 곡선이다.

발명을 실시하기 위한 구체적인 내용

[0011] 실시 예에 따른 액정표시장치는, 게이트 라인 및 데이터 라인에 형성된 액정표시패널; 상기 게이트 라인에 게이트 신호를 공급하는 게이트 드라이버; 및 상기 게이트 드라이버와 연결되는 정전기 방지부를 포함하고, 상기 정전기 방지부는 제1 트랜지스터를 포함하며, 상기 제1 트랜지스터는 비대칭 구조로 형성된다.

[0012] 상기 제1 트랜지스터는 소스전극과 드레인 전극이 비대칭 구조로 형성될 수 있다.

[0013] 상기 소스 전극 및 드레인 전극의 하부에 형성되는 에치 스탑퍼를 포함하고, 상기 에치 스탑퍼는 게이트 전극에 대해 비대칭 구조로 형성될 수 있다.

[0014] 상기 소스 전극 및 드레인 전극은 상기 게이트 전극과의 중첩 면적이 상이할 수 있다.

[0015] 상기 드레인 전극과 게이트 전극의 중첩면적이 상기 소스 전극과 게이트 전극간의 중첩면적보다 작을 수 있다.

[0016] 상기 드레인 전극과 상기 에치 스탑퍼간의 중첩면적은 상기 소스 전극과 상기 에치 스탑퍼간의 중첩면적보다 작을 수 있다.

[0017] 상기 드레인 전극은 상기 게이트 드라이버의 신호라인과 연결되고, 상기 소스 전극은 접지와 연결될 수 있다.

[0018] 상기 정전기 방지부는, 상기 신호라인과 상기 제1 트랜지스터 사이에 연결되는 제2 트랜지스터; 및 상기 접지와 상기 제1 트랜지스터 사이에 연결되는 제3 트랜지스터를 포함할 수 있다.

[0019] 상기 제2 트랜지스터와 상기 제3 트랜지스터는 정전기 발생시 다이오드로 동작할 수 있다.

[0020] 상기 게이트 드라이버는 다수의 신호라인을 포함하고, 상기 정전기 방지부는 상기 다수의 신호라인과 각각 연결되는 다수의 정전기 방지회로를 포함할 수 있다.

[0021] 도 1은 실시 예에 따른 액정표시장치를 나타낸 블록도이다.

[0022] 도 1를 참조하면, 실시 예에 따른 액정표시장치는 액정표시패널(1), 타이밍 컨트롤러(10), 게이트 드라이버(20), 데이터 드라이버(30) 및 정전기 방지부(40)를 포함할 수 있다.

[0023] 상기 액정표시패널(1)에는 다수의 게이트 라인(GL1 내지 GLn) 및 상기 게이트 라인(GL1 내지 GLn)과 교차하는 방향으로 형성되는 다수의 데이터 라인(DL1 내지 DLm)을 포함할 수 있다. 상기 다수의 게이트 라인(GL1 내지 GLn)에 의해 다수의 화소 영역이 정의되고, 상기 다수의 화소 영역에는 각각 박막 트랜지스터(TFT)가 형성될 수 있다. 상기 박막 트랜지스터(TFT)는 상기 게이트 라인(GL1 내지 GLn) 및 데이터 라인(DL1 내지 DLm)과 전기적으로 연결될 수 있다.

[0024] 상기 박막 트랜지스터(TFT)는 게이트 라인(GL1 내지 GLn)에 의해 게이트 신호를 전달받아 턴 온되고, 상기 박막 트랜지스터(TFT)가 턴 온 될 때, 상기 데이터 라인(DL1 내지 DLm)으로부터 전달받은 데이터 전압을 화소전극으로 전달하고, 상기 화소 전극에 인가되는 전압과 공통전압의 전위차에 의해 전계가 발생하고, 상기 전계에 의해 액정이 변위하여 백라이트로부터의 광의 휘도를 조절하여 화상을 표시할 수 있다.

- [0025] 상기 타이밍 컨트롤러(10)는 비디오 데이터(RGB), 수평 동기신호(Hsync), 수직 동기신호(Vsync) 및 클럭신호(CLK)를 입력받고 상기 게이트 드라이버(20)를 제어하기 위한 게이트 제어신호(GCS)를 생성하고, 상기 데이터 드라이버(30)를 제어하기 위한 데이터 제어신호(DCS)를 생성한다.
- [0026] 상기 게이트 제어신호(GDC)는 게이트 스타트 신호(Vst), 제1 클럭신호(C1) 및 제2 클럭신호(C2)를 포함할 수 있다.
- [0027] 상기 데이터 제어신호(DCS)는 소스 쉬프트 클럭(SSC), 소스 스타트 펄스(SSP), 극성 제어신호(POL) 및 소스출력 인에이블신호(SOE)를 포함할 수 있다.
- [0028] 상기 게이트 드라이버(20)는 상기 게이트 제어신호(GCS)에 응답하여 게이트 전압을 발생하여 상기 표시패널(1)의 게이트 라인으로 인가할 수 있다.
- [0029] 상기 데이터 드라이버(30)는 상기 데이터 제어신호(DCS)에 응답하여 데이터 전압을 상기 표시패널(1)의 데이터 라인으로 공급할 수 있다. 상기 데이터 드라이버(30)는 비디오 데이터(RGB)를 샘플링하고, 래치한 다음 아날로그 감마전압으로 변환하여 상기 데이터 라인으로 공급할 수 있다.
- [0030] 상기 게이트 드라이버(20) 및 데이터 드라이버(30)은 다수의 데이터 집적회로(Integrated Circuit)로 구현될 수 있다.
- [0031] 상기 정전기 방지부(40)는 상기 게이트 드라이버(20)와 접지 사이에 연결될 수 있다. 상기 정전기 방지부(40)는 상기 액정표시장치의 제조공정 또는 사용과정에서 정전기가 발생하는 경우 전하를 상기 접지로 이동시켜 상기 액정표시장치의 내부구성을 보호하는 역할을 할 수 있다.
- [0032] 도 2는 실시 예에 따른 게이트 드라이버 및 정전기 방지회로를 나타낸 블록도이고, 도 3은 실시 예에 따른 게이트 드라이버에 인가되는 신호를 나타내는 파형도이다.
- [0033] 도 2 및 도 3을 참조하면, 실시 예에 따른 게이트 드라이버(20)는 제1 내지 제n 시프트 레지스터(ST1 내지 STn)를 포함할 수 있다. 상기 제1 내지 제n 시프트 레지스터(ST1 내지 STn)는 종속연결 될 수 있다. 각각의 시프트 레지스터의 출력단은 다음 시프트 레지스터의 입력단에 연결되며, 이전 시프트 레지스터의 입력단에 연결될 수 있다.
- [0034] 상기 제1 내지 제n 시프트 레지스터(ST1 내지 STn) 각각에는 제1 클럭신호(C1), 제2 클럭신호(C2), 고전위 전원전압(VDD) 및 저전위 전원전압(VSS)이 인가될 수 있다. 상기 제1 시프트 레지스터(ST1)에는 게이트 스타트 신호(VST)가 인가될 수 있다.
- [0035] 상기 제1 클럭신호(C1), 제2 클럭신호(C2) 및 게이트 스타트 신호(VST)는 타이밍 컨트롤러(10)에 의해 인가될 수 있고, 상기 고전위 전원전압(VDD) 및 저전위 전원전압(VSS)은 타이밍 컨트롤러(10)로부터 인가될 수 있고, 별도의 전원부에 의해서 인가될 수도 있다.
- [0036] 상기 제1 내지 제n 시프트 레지스터(ST1 내지 STn)는 게이트 신호(Vg1 내지 Vgn)를 출력한다. 상기 제1 내지 제n 시프트 레지스터(ST1 내지 STn)는 상기 게이트 신호(Vg1 내지 Vgn)를 각각의 게이트 라인(GL1 내지 GLn)으로 인가할 수 있다.
- [0037] 상기 제1 클럭신호(C1) 및 제2 클럭신호(C2)는 한 클럭 만큼씩 위상이 지연된 펄스 신호이다. 다시 말해, 상기 제1 및 제2 클럭신호(C1, C2)는 한 클럭씩 교대로 하이레벨 및 로우레벨이 반복되는 펄스 전압을 가진다. 상기 게이트 스타트 신호(VST)는 한 프레임의 구동을 개시하기 위한 펄스 신호이다. 상기 게이트 스타트 신호(VST)는 수직동기신호(Vsync)에 의해 생성될 수 있다. 상기 게이트 스타트 신호(VST)는 상기 수직동기신호(Vsync)에 동기되어 한 프레임동안 1번씩 하이 레벨의 펄스 전압을 갖는다.
- [0038] 상기 제1 클럭신호(C1), 제2 클럭신호(C2) 및 게이트 스타트 신호(VST)에 의해 상기 제1 내지 제n 시프트 레지스터(ST1 내지 STn)가 구동될 수 있다. 기수 번째 시프트 레지스터(ST1, ST3, ..., STn-1)에는 제1 클럭신호(C1)가 입력되고, 우수 번째 시프트 레지스터(ST2, ST4, ..., STn)에는 제2 클럭신호(C2)가 입력될 수 있다.
- [0039] 상기 제1 시프트 레지스터(ST1)는 게이트 스타트 신호(VST)에 응답하여 상기 제1 클럭신호(C1)를 갖는 제1 게이트 신호(Vg1)를 제1 게이트 라인(GL1)으로 출력한다. 상기 제1 게이트 신호(Vg1)는 제2 시프트 레지스터(ST2)로 입력된다.

- [0040] 상기 제2 시프트 레지스터(ST2)는 상기 제1 게이트 신호(Vg1)에 응답하여 제2 클럭신호(C2)를 갖는 제2 게이트 신호(Vg2)를 제2 게이트 라인(GL2)으로 출력한다. 상기 제2 게이트 신호(Vg2)는 상기 제1 시프트 레지스터(ST1) 및 제3 시프트 레지스터(ST3)로 입력된다. 상기 제2 게이트 신호(Vg2)에 의해 상기 제1 시프트 레지스터(ST1)의 출력은 디스에이블(disable)될 수 있다.
- [0041] 상기 제3 시프트 레지스터(ST3)는 상기 제2 게이트 신호(Vg2)에 응답하여 제1 클럭신호(C1)를 갖는 제3 게이트 신호(Vg3)를 제3 게이트 라인(GL3)으로 출력한다.
- [0042] 상기와 같은 과정에 의해 상기 제1 내지 제n 시프트 레지스터(ST1 내지 STn)는 제1 내지 제n 게이트 라인(GL1 내지 GLn)으로 제1 내지 제n 게이트 신호(Vg1 내지 Vgn)를 출력할 수 있다.
- [0043] 상기 게이트 드라이버(20)에는 상기 정전기 방지부(40)가 전기적으로 연결될 수 있다. 상기 정전기 방지부(40)는 다수의 정전기 방지회로를 포함할 수 있다. 예를 들어, 상기 정전기 방지부(40)는 제1 내지 제4 정전기 방지회로(41,43,45,47)를 포함할 수 있다.
- [0044] 각각의 상기 제1 내지 제4 정전기 방지회로(41,43,45,47)는 상기 게이트 드라이버(20)에 형성된 각각의 신호라인과 전기적으로 연결될 수 있다.
- [0045] 예를 들어, 상기 제1 정전기 방지회로(41)는 상기 저전위 전원전압(VSS)라인과 전기적으로 연결되고, 상기 제2 정전기 방지회로(43)는 상기 고전위 전원전압(VDD)라인과 전기적으로 연결되고, 상기 제3 정전기 방지회로(45)는 제2 클럭신호(C2)라인과 전기적으로 연결되고, 상기 제4 정전기 방지회로(47)는 제1 클럭신호(C1)라인과 전기적으로 연결될 수 있다.
- [0046] 상기 각각의 정전기 방지회로의 일단은 게이트 드라이버(20)와 연결되고, 상기 각각의 정전기 방지회로의 타단은 접지와 전기적으로 연결될 수 있다.
- [0047] 상기 제1 내지 제4 정전기 방지회로(41,43,45,47)는 각각 연결된 신호라인에 인가되는 정전기를 상기 접지로 전달하는 역할을 할 수 있다. 또한, 상기 제1 내지 제4 정전기 방지회로(41,43,45,47)는 상기 각각의 신호라인에 흐르는 전류의 크기를 일정 수준이하로 제한하여, 내부회로의 열화나 라인의 개방을 방지하여, 정전기에 의한 액정표시장치의 불량을 방지할 수 있다.
- [0048] 도 4는 실시 예에 따른 정전기 방지회로를 나타낸 회로도이다.
- [0049] 도 3의 제1 내지 제4 정전기 방지회로(41,43,45,47)는 그 회로구성이 동일하므로, 제1 정전기 방지회로(41)만 예를 들어 설명하기로 한다.
- [0050] 상기 제1 정전기 방지회로(41)는 상기 저전위 전원전압(VSS)라인과 접지 사이에 전기적으로 연결될 수 있다. 도 4에서는 상기 저전위 전원전압(VSS)라인을 예로 들어 설명하였으나, 상기 정전기 방지회로는 상기 게이트 드라이버(20)에 포함되는 어떠한 신호라인(SL)에도 전기적으로 연결될 수 있다.
- [0051] 상기 제1 정전기 방지회로(4)는 제1 내지 제3 트랜지스터(T1 내지 T3)를 포함할 수 있다.
- [0052] 상기 제1 트랜지스터(T1)는 노드(N)에 의해 제어되어 상기 신호라인(SL)과 접지 사이에 전기적으로 연결될 수 있다.
- [0053] 상기 제2 트랜지스터(T2)는 상기 신호라인(SL)에 의해 제어되어 상기 신호라인(SL)과 상기 노드(N) 사이에 전기적으로 연결될 수 있다.
- [0054] 상기 제3 트랜지스터(T3)는 상기 접지에 의해 제어되어 상기 접지와 노드(N) 사이에 전기적으로 연결될 수 있다.
- [0055] 상기 제1 트랜지스터(T1)의 게이트 전극은 노드(N)와 전기적으로 연결되고, 상기 제1 트랜지스터(T1)의 드레인 전극은 상기 신호라인(SL)과 전기적으로 연결되고, 상기 제1 트랜지스터(T1)의 소스 전극은 접지와 전기적으로 연결될 수 있다.
- [0056] 상기 제2 트랜지스터(T2)의 게이트 전극은 신호라인(SL)과 전기적으로 연결되고, 상기 제2 트랜지스터(T2)의 드레인 전극은 상기 신호라인(SL)과 전기적으로 연결되고, 상기 제2 트랜지스터(T2)의 소스전극은 노드(N)와 전기적으로 연결될 수 있다.

- [0057] 상기 제3 트랜지스터(T3)의 게이트 전극은 접지와 전기적으로 연결되고, 상기 제3 트랜지스터(T3)의 드레인 전극은 상기 접지와 전기적으로 연결되고, 상기 제3 트랜지스터(T3)의 소스 전극은 상기 노드(N)와 전기적으로 연결될 수 있다.
- [0058] 결과적으로 상기 노드(N)에는 상기 제1 트랜지스터(T1)의 게이트 전극, 상기 제2 트랜지스터(T2)의 소스전극 및 상기 제3 트랜지스터(T3)의 소스전극이 전기적으로 연결될 수 있다.
- [0059] 상기 신호라인(SL)에 정전기가 유입되면 제2 트랜지스터(T2)가 턴온되고, 상기 제1 트랜지스터(T1) 및 상기 제3 트랜지스터(T3)의 게이트 전압이 상승하여, 상기 제1 트랜지스터(T1) 및 상기 제3 트랜지스터(T3)가 턴온된다. 상기 제1 내지 제3 트랜지스터(T1 내지 T3)의 턴온에 의해 상기 신호라인(SL)과 상기 접지 사이에 전류 패스가 형성되어 상기 신호라인(SL)의 정전기가 접지로 흐르게 된다.
- [0060] 상기 신호라인(SL)으로 정전기가 유입되지 않으면, 상기 제2 트랜지스터(T2)는 턴온되지 않고, 이에 따라 상기 제1 트랜지스터(T1) 또한 턴온되지 않는다. 상기 제3 트랜지스터(T3)의 게이트 전극은 플로팅 상태를 유지한다.
- [0061] 따라서, 상기 제1 정전기 방지회로(41)는 상기 신호라인(SL)과 접지 사이의 전류패스를 차단하여 상기 신호라인(SL)과 접지 사이를 절연시킨다.
- [0062] 도 5는 실시 예에 따른 제1 트랜지스터의 상면도이고, 도 6은 도 5를 A-A'면을 따라 절단한 단면도이다.
- [0063] 도 5 및 도 6을 참조하면, 실시 예에 따른 제1 트랜지스터(T1)는 박막 트랜지스터 기판(51) 상에 게이트 전극(52)이 형성된다.
- [0064] 상기 게이트 전극(52)은 액정표시패널(1)의 게이트 전극 및 게이트 라인과 동시에 형성될 수 있다.
- [0065] 상기 게이트 전극(52)은 게이트 메탈로 형성될 수 있다. 상기 게이트 메탈은 티타늄(Ti), 크롬(Cr), 니켈(Ni), 알루미늄(Al), 백금(Pt), 금(Au), 텅스텐(W), 구리(Cu) 및 몰리브덴(Mo)으로 이루어지는 그룹으로부터 선택된 적어도 하나를 포함할 수 있다.
- [0066] 상기 게이트 전극(52)이 형성된 박막 트랜지스터 기판(51) 상에 게이트 절연막(53)이 형성될 수 있다. 상기 게이트 절연막(53)은 상기 게이트 전극(41)을 다른 배선 및 전극들과 분리시키기 위한 층으로 절연 특성이 요구되며 실리콘 질화물(SiNx)이나 실리콘 산화물(SiOx)과 같은 무기 절연 물질이나 BCB(benzocyclobutene)와 같은 유기 절연 물질을 포함할 수 있다.
- [0067] 상기 게이트 절연막(53) 상에는 반도체 층(54)이 형성될 수 있다. 상기 반도체 층(54)은 채널 영역, 소스 영역 및 드레인 영역을 포함할 수 있다.
- [0068] 상기 채널 영역은 상기 게이트 전극(52)과 대응되는 위치에 형성되고, 상기 채널 영역 양측에 소스 영역 및 드레인 영역이 형성될 수 있다.
- [0069] 상기 반도체층(52) 상에는 에치 스타퍼(55)가 형성될 수 있다.
- [0070] 상기 에치 스타퍼(55)는 절연성을 가지는 무기물질로 형성될 수 있다. 상기 에치 스타퍼(55)는 상기 채널영역이 오염되는 것을 방지하여 상기 트랜지스터의 신뢰성을 향상시키는 역할을 한다. 또한, 상기 에치 스타퍼(55)에 의해 상기 채널 영역의 오염을 방지할 수 있어 트랜지스터의 문턱 전압을 낮출 수 있다.
- [0071] 상기 에치 스타퍼(55)는 비대칭으로 형성될 수 있다. 상기 에치 스타퍼(55)는 상기 반도체 층(55)의 소스 영역에 더 넓은 면적으로 형성될 수 있다.
- [0072] 상기 반도체 층(54) 및 에치 스타퍼(55)가 형성된 게이트 절연막(53) 상에는 드레인 전극(56) 및 소스 전극(57)이 형성될 수 있다.
- [0073] 상기 드레인 전극(56)은 상기 에치 스타퍼(55)의 일부 영역 및 상기 반도체 층(54)의 드레인 영역상에 형성될 수 있다.
- [0074] 상기 소스 전극(57)은 상기 에치 스타퍼(55)의 일부 영역 및 상기 반도체 층(54)의 소스 영역 상에 형성될 수 있다.
- [0075] 상기 드레인 전극(56) 및 소스 전극(57)은 액정표시패널(1)의 데이터 라인, 및 박막 트랜지스터의 소스 및 드레인

인 전극과 동시에 형성될 수 있다.

- [0076] 상기 드레인 전극(56) 및 소스 전극(57)은 데이터 메탈로 형성될 수 있다. 상기 데이터 메탈은 티타늄(Ti), 크롬(Cr), 니켈(Ni), 알루미늄(Al), 백금(Pt), 금(Au), 텅스텐(W), 구리(Cu) 및 몰리브덴(Mo)으로 이루어지는 그룹으로부터 선택된 적어도 하나를 포함할 수 있다.
- [0077] 상기 드레인 전극(56) 및 소스 전극(57) 상에 층간 절연막(58)이 형성될 수 있다. 상기 층간 절연막은 상기 드레인 전극(56) 및 소스 전극(57)을 외부 물질로부터 보호하고, 다른 배선 및 전극들과 분리시키기 위한 층으로 절연 특성이 요구되며, 실리콘 질화물(SiNx)이나 실리콘 산화물(SiOx)과 같은 무기 절연 물질이나 BCB(benzocyclobutene)와 같은 유기 절연 물질을 포함할 수 있다.
- [0078] 상기 드레인 전극(56) 및 소스 전극(57)은 비대칭적으로 형성될 수 있다.
- [0079] 상기 드레인 전극(56)과 소스 전극(57)은 상기 에치 스타퍼(55), 반도체층(54) 및 게이트 전극(52)과 중첩될 수 있다.
- [0080] 상기 드레인 전극(56)과 상기 에치 스타퍼(55), 반도체층(54) 및 게이트 전극(52)과의 중첩 영역은 상기 소스 전극(57)과 상기 에치 스타퍼(55), 반도체층(54) 및 게이트 전극(52)과의 중첩 영역과 다를 수 있다.
- [0081] 상기 드레인 전극(56)과 상기 에치 스타퍼(55), 반도체층(54) 및 게이트 전극(52)과의 중첩 영역은 상기 소스 전극(57)과 상기 에치 스타퍼(55), 반도체층(54) 및 게이트 전극(52)과의 중첩 영역보다 작을 수 있다.
- [0082] 상기 드레인 전극(56)은 상기 반도체층(54)과 상기 게이트 전극(52)과의 관계에서 커패시터를 형성하고, 상기 소스 전극(57) 또한 상기 반도체층(54)과 상기 게이트 전극(52)과의 관계에서 커패시터를 형성한다.
- [0083] 상기 드레인 전극(56), 소스전극(57) 및 에치 스타퍼(55)가 비대칭적으로 형성되어, 상기 드레인 전극(56)의 커패시터가 상기 소스전극(57)에 비해 작아질 수 있다.
- [0084] 상기 드레인 전극(56)과 다른 층 간의 커패시터가 상기 소스전극(57)과 다른 층 간의 커패시터보다 작아짐으로써 동일한 전압이 신호라인(SL)으로 인가되었을 때 전류가 작아진다.
- [0085] 도 7은 실시 예에 따른 트랜지스터의 전압-전류를 나타내는 곡선이다.
- [0086] 도 7의 I1은 종래의 게이트-소스간 전압에 대한 전류를 나타내고, I2는 실시 예에 따른 게이트-소스간 전압에 대한 전류를 나타낸다.
- [0087] 상기 게이트-소스간 전압을 20V 인가한 경우 종래에는 30 μ A의 전류가 흐른다. 상기 게이트-소스간 전압을 20V 인가한 경우 실시 예에서는 20 μ A의 전류가 흐른다.
- [0088] 동일한 전압을 게이트-소스단에 입력한 경우 1/3의 전류하강 효과가 있다.
- [0089] 상기 동일한 전압에 대해 트랜지스터를 통해 흐르는 전류를 줄일 수 있으므로, 신호라인(SL)에 흐르는 전류 또한 줄일 수 있다.
- [0090] 상기 신호라인(SL)에 흐르는 전류를 감쇄시킴으로써, 정전기 발생시 상기 게이트 드라이버(20) 및 액정표시패널(1)에 흐르는 전류를 줄일 수 있어 내부소자의 손상을 방지할 수 있다.
- [0091] 또한, 상기 정전기 방지부(40)에 흐르는 전류도 줄일 수 있어, 상기 정전기 방지부(40)의 내부 소자의 손상을 방지하여 제품의 신뢰성을 향상시킬 수 있다. 또한, 제품의 불량을 방지하여, 제조 수율을 향상시킬 수 있는 효과가 있다.

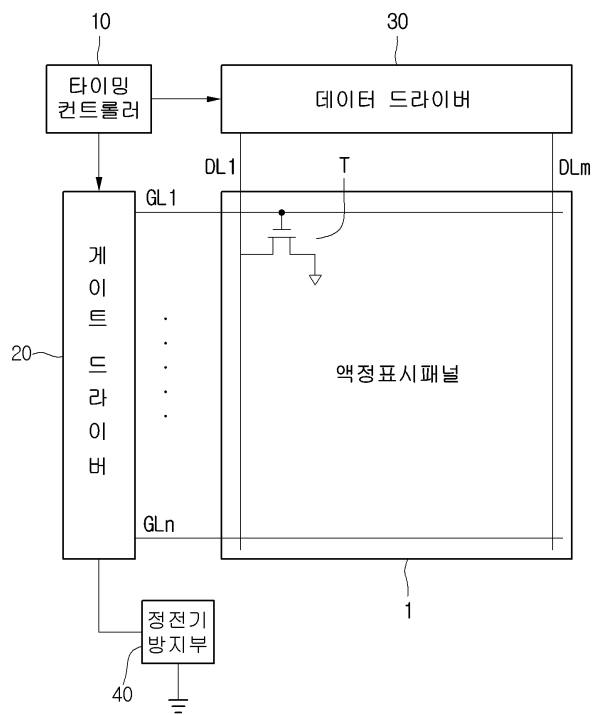
부호의 설명

- [0092] 1: 액정표시패널
10: 타이밍 컨트롤러
20: 게이트 드라이버
30: 데이터 드라이버

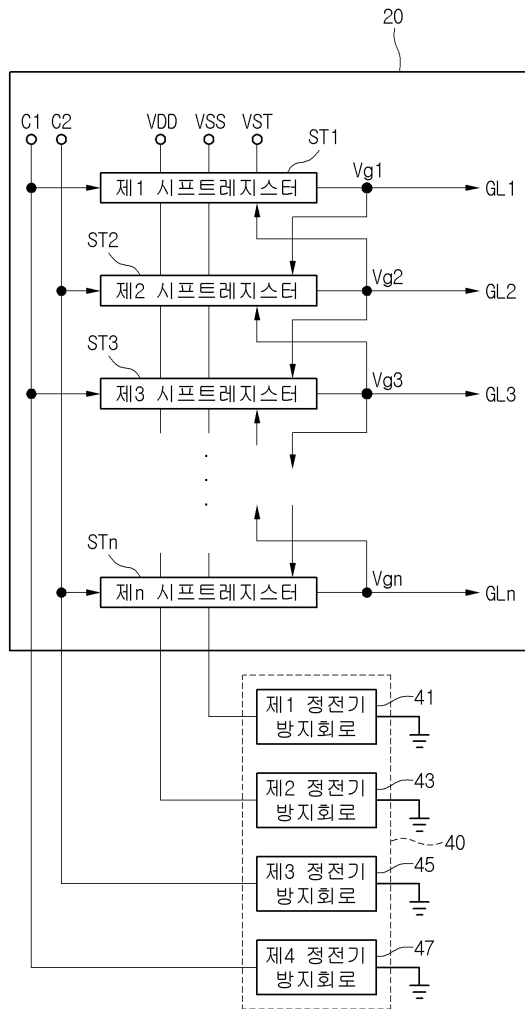
- 40: 정전기 방지부
- 51: 박막 트랜지스터 기판
- 52: 게이트 전극
- 53: 게이트 절연막
- 54: 반도체 층
- 55: 에치 스타퍼
- 56: 드레인 전극
- 57: 소스 전극
- 58: 층간 절연막

도면

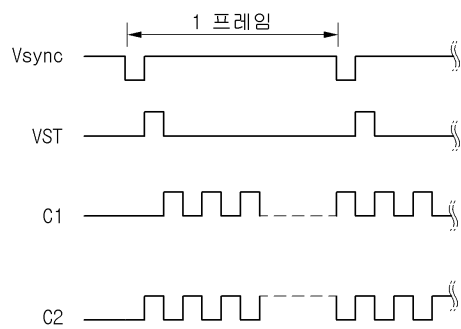
도면1



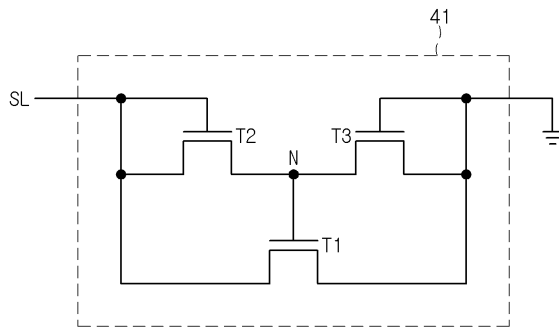
도면2



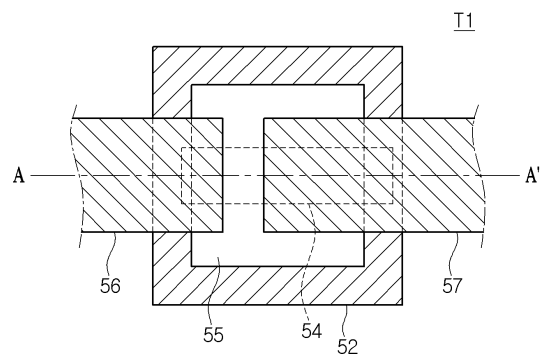
도면3



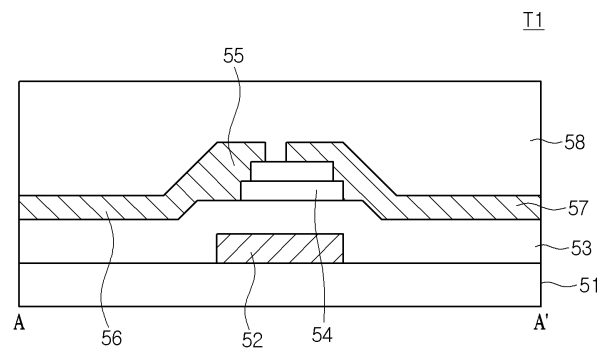
도면4



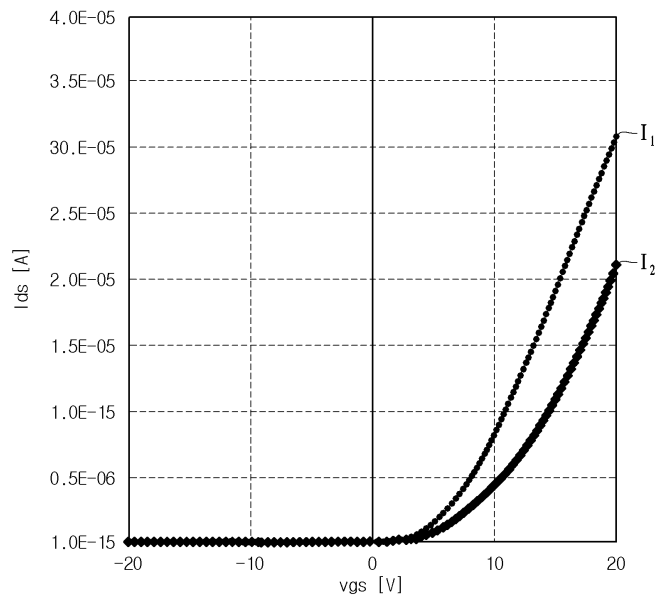
도면5



도면6



도면7



专利名称(译)	液晶显示器		
公开(公告)号	KR1020150077503A	公开(公告)日	2015-07-08
申请号	KR1020130164996	申请日	2013-12-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JI HYE LIM 지혜림 CHOI SEUNG CHAN 최승찬		
发明人	지혜림 최승찬		
IPC分类号	G09G3/36 G02F1/133		
CPC分类号	G02F1/13306 G02F1/136286 G02F2202/22 G09G3/3677		
代理人(译)	KIM KI MOON		
其他公开文献	KR102134119B1		
外部链接	Espacenet		

摘要(译)

根据实施例的液晶显示装置包括：在栅极线和数据线上形成的液晶显示面板；用于向栅极线提供栅极信号的栅极驱动器；以及与所述栅极驱动器连接的防静电单元，所述防静电单元包括第一晶体管，所述第一晶体管具有非对称结构。

