



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0076023  
(43) 공개일자 2015년07월06일

(51) 국제특허분류(Int. Cl.)  
G09G 3/36 (2006.01) G02F 1/133 (2006.01)  
(21) 출원번호 10-2013-0164605  
(22) 출원일자 2013년12월26일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
한상수  
경기 파주시 한빛로 67, 213동 404호 (야당동, 한  
빛마을2단지휴먼빌레이크팰리스)  
김화영  
경기 파주시 문산읍 당동1로 12, 자연&꿈에그린  
503-803  
(74) 대리인  
특허법인로알

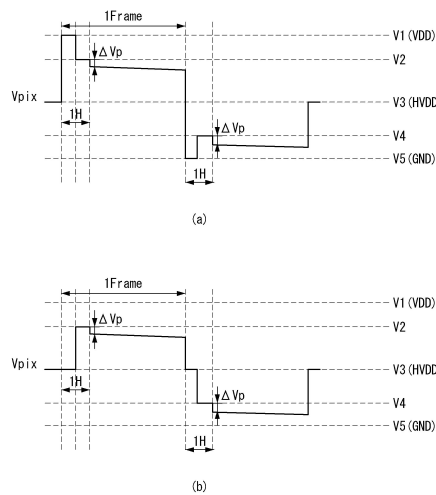
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 액정표시장치와 그 구동 방법

(57) 요약

본 발명은 액정표시장치와 그 구동 방법에 관한 것으로, 다수의 데이터 라인들, 다수의 게이트라인들, 및 매트릭스 형태로 배치된 픽셀들을 포함하는 표시패널; 잔상 방지 구동 모드에서 매 수평 기간마다 잔상 방지 전압과 픽셀 데이터의 목표 계조 전압을 출력하는 데이터 구동부; 상기 잔상 방지 전압과 상기 픽셀 데이터의 목표 계조 전압에 동기되는 게이트 펄스를 상기 게이트 라인들에 순차적으로 출력하는 게이트 구동부; 및 상기 데이터 구동부에 상기 픽셀 데이터를 전송하고, 상기 데이터 구동부와 상기 게이트 구동부를 제어하는 타이밍 컨트롤러를 포함한다.

대표도 - 도3



## 명세서

### 청구범위

#### 청구항 1

다수의 데이터 라인들, 다수의 게이트라인들, 및 매트릭스 형태로 배치된 픽셀들을 포함하는 표시패널;  
잔상 방지 구동 모드에서 매 수평 기간마다 잔상 방지 전압과 픽셀 데이터의 목표 계조 전압을 출력하는 데이터 구동부;  
상기 잔상 방지 전압과 상기 픽셀 데이터의 목표 계조 전압에 동기되는 게이트 펄스를 상기 게이트 라인들에 순차적으로 출력하는 게이트 구동부; 및  
상기 데이터 구동부에 상기 픽셀 데이터를 전송하고, 상기 데이터 구동부와 상기 게이트 구동부를 제어하는 타이밍 컨트롤러를 포함하는 것을 특징으로 하는 액정표시장치.

#### 청구항 2

제 1 항에 있어서,  
상기 타이밍 컨트롤러는,  
상기 잔상 방지 전압의 출력 시간을 1/2 수평 기간 만큼 정의하는 제1 로직 레벨과, 상기 픽셀 데이터의 목표 계조 전압의 출력 시간을 1/2 수평 기간 만큼 정의하는 제2 로직 레벨을 갖는 제어신호를 상기 데이터 구동부로 전송하고,  
상기 데이터 구동부는,  
상기 잔상 방지 구동 모드에서 상기 제어신호의 제1 로직 레벨에 응답하여 상기 잔상 방지 전압을 출력한 후에, 상기 제어신호의 제2 로직 레벨에 응답하여 상기 픽셀 데이터의 목표 계조 전압을 출력하는 것을 특징으로 하는 액정표시장치.

#### 청구항 3

제 1 항에 있어서,  
상기 잔상 방지 전압은 화이트 계조 전압과 블랙 계조 전압 중 어느 하나인 것을 특징으로 하는 액정표시장치.

#### 청구항 4

제 2 항에 있어서,  
상기 잔상 방지 전압은 화이트 계조 전압과 블랙 계조 전압 중에서 상기 픽셀 데이터의 목표 계조 전압과 더 차이가 큰 전압으로 선택되는 것을 특징으로 하는 액정표시장치.

#### 청구항 5

제 3 항 또는 제 4 항에 있어서,  
상기 화이트 계조 전압은 고전위 전원 전압(VDD)과 그라운드 전압(GND)인 것을 특징으로 하는 액정표시장치.

#### 청구항 6

제 3 항 또는 제 4 항에 있어서,  
상기 블랙 계조 전압은 고전위 전원 전압(VDD)의 1/2 전압(HVDD)과 차지 웨어링 전압 중 어느 하나인 것을 특징으로 하는 액정표시장치.

#### 청구항 7

제 2 항에 있어서,

상기 타이밍 컨트롤러는

입력 영상을 분석하여 동일한 영상 데이터가 소정 시간 동안 반복적으로 입력되면 상기 데이터 구동부를 잔상 방지 구동 모드로 구동한 후에 미리 설정된 잔상 방지 구동 시간 이후에 정상 구동 모드로 상기 데이터 구동부를 제어하고,

상기 정상 구동 모드에서,

1/2 수평 기간 보다 작은 제1 로직 레벨과, 1 수평 기간의 주기 내에서 상기 제1 로직 레벨 구간을 뺀 나머지 시간을 상기 픽셀 데이터의 목표 계조 전압의 출력 시간으로 정의하는 제2 로직 레벨을 갖는 소스 출력 인에이블 신호를 상기 데이터 구동부로 전송하고,

상기 데이터 구동부는,

상기 정상 구동 모드에서 상기 소스 출력 인에이블 신호의 제1 로직 레벨에 응답하여 고전위 전원 전압(VDD)의 1/2 전압 또는 차지 웨어링 전압을 출력한 후에, 상기 소스 출력 인에이블 신호의 제2 로직 레벨에 응답하여 상기 픽셀 데이터의 목표 계조 전압을 출력하는 것을 특징으로 하는 액정표시장치.

**청구항 8**

매 수평 기간마다 잔상 방지 전압과 픽셀 데이터의 목표 계조 전압을 표시패널의 데이터 라인들로 출력하는 단계; 및

상기 잔상 방지 전압과 상기 픽셀 데이터의 목표 계조 전압에 동기되는 게이트 펄스를 상기 표시패널의 게이트 라인들에 순차적으로 출력하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동 방법.

**청구항 9**

제 8 항에 있어서,

상기 잔상 방지 전압의 출력 시간을 1/2 수평 기간 만큼 정의하는 제1 로직 레벨과, 상기 픽셀 데이터의 목표 계조 전압의 출력 시간을 1/2 수평 기간 만큼 정의하는 제2 로직 레벨을 갖는 제어신호를 발생하는 단계; 및

데이터 구동부에서 상기 제어신호의 제1 로직 레벨에 응답하여 상기 잔상 방지 전압을 출력한 후에, 상기 제어신호의 제2 로직 레벨에 응답하여 상기 픽셀 데이터의 목표 계조 전압을 출력하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치의 구동 방법.

**발명의 설명**

**기술 분야**

본 발명은 액정표시장치와 그 구동 방법에 관한 것이다.

**배경 기술**

액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치는 스위칭 소자로서 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)를 이용하여 동영상을 표시하고 있다. 액정표시장치는 액정표시패널, 액정표시패널에 빛을 조사하는 백라이트 유닛, 액정표시패널의 데이터라인들에 데이터전압을 공급하기 위한 소스 드라이버 집적회로(Integrated Circuit, IC), 액정표시패널의 게이트라인들(또는 스캔라인들)에 게이트펄스(또는 스캔펄스)를 공급하기 위한 게이트 드라이브 IC, 및 상기 IC들을 제어하는 제어회로, 백라이트 유닛의 광원을 구동하기 위한 광원 구동회로 등을 구비한다.

액정표시장치의 잔상을 해결하기 위하여 다양한 연구 결과에 힘입어 잔상이 많이 개선되고 있다. 그러나 표시패널의 구조적 문제가 구동 특성으로 인하여 잔상 문제를 해결하기가 어렵다. 액정표시장치의 잔상은 전기적 잔상과 비전기적 잔상으로 나뉘어질 수 있다. 전기적 잔상은 액정표시장치에 동일한 이미지를 장시간 표시하였을 때 나타나는 잔상으로서 직류(DC) 잔상으로도 알려져 있다. 전기적 잔상은 표시패널의 적층된 박막층들의 전기 특성에 의해 직류 전계에 의해 동일 극성의 하전 입자가 박막층들에 축적되고 방전 특성이 낮은 것에 기인

한다. 비전기적 잔상은 러빙(rubbing) 세기나 배향막간 상호 작용력 저하 등이 원인으로 추정되고 있다.

- [0004] 도 1은 잔상 검사 방법을 보여 주는 도면이다.
- [0005] 도 1을 참조하면, 시료로 선택된 액정표시장치의 표시패널에 체크 패턴을 장시간 예를 들어 6 시간 정도 표시한다. 체크 패턴에는 화이트 계조(White gray level) 블록과 블랙 계조(Black gray level) 블록이 교대로 배치된다. 화이트 계조는 픽셀에 기입되는 데이터의 최고 계조이다. 블랙 계조는 픽셀에 기입되는 데이터의 최저 계조이다. 데이터가 8 bit일 때 화이트 계조는 계조 255이고, 블랙 계조는 계조 0이다.
- [0006] 이어서, 표시패널의 픽셀 어레이 전체에 중간 계조(half gray level)의 데이터를 표시한다. 중간 계조는 데이터가 8 bit일 때 계조 127로 설정된다. 그러면 중간 계조 영상에 이전 체크 패턴이 겹쳐 보이는 잔상이 보인다.
- [0007] 픽셀의 액정은 1 프레임 기간 동안 1 수평 기간(1H)에 데이터 전압을 충전(charging)하고 나머지 시간 동안 데이터 전압을 유지(holding)한다. 픽셀에 충전된 정극성 전압과 부극성 전압은 TFT와 게이트 라인 간의 기생 용량(capacitance)에 의해 발생하는 킥백전압(kickback voltage,  $\Delta V_p$ ) 만큼 낮아진다.
- [0008] IPS(In-Plane Switching) 모드의 표시패널은 투과율 대 전압 특성으로 볼 때 노말리 블랙 모드(Normally black mode)로 동작한다. 노말리 블랙 모드는 픽셀의 전압의 높을수록 투과율이 높아진다. 투과율은 계조에 비례한다. 화이트 계조 전압은 픽셀에 인가되는 최고 계조 전압인 반면에, 블랙 계조 전압은 픽셀에 인가되는 최저 계조 전압이다.
- [0009] 픽셀들에 체크 패턴의 데이터 전압을 장시간 인가한 후에 중간 계조의 데이터 전압을 인가하면, 도 1의 아래의 우측 파형과 같이 픽셀의 전압이 변하게 된다. 블랙 계조 전압을 장시간 충전한 후에 중간 계조 전압을 충전하는 픽셀의 경우에, 블랙 계조 전압의 영향으로 인하여 중간 계조 전압이 낮아진다. 반면에 화이트 계조 전압을 장시간 충전한 후에 중간 계조 전압을 충전하는 픽셀의 경우에, 화이트 계조 전압의 영향으로 인하여 픽셀에 충전된 중간 계조 전압이 감소된다. 따라서, 동일한 중간 계조를 인가하였지만, 이전 계조 전압의 영향으로 인하여 픽셀들의 휘도 차이가 발생하여 잔상으로 보이게 된다.

**발명의 내용**

**해결하려는 과제**

- [0010] 본 발명은 잔상을 줄일 수 있는 액정표시장치와 그 구동 방법을 제공한다.

**과제의 해결 수단**

- [0011] 본 발명의 액정표시장치는 다수의 데이터 라인들, 다수의 게이트라인들, 및 매트릭스 형태로 배치된 픽셀들을 포함하는 표시패널; 잔상 방지 구동 모드에서 매 수평 기간마다 잔상 방지 전압과 픽셀 데이터의 목표 계조 전압을 출력하는 데이터 구동부; 상기 잔상 방지 전압과 상기 픽셀 데이터의 목표 계조 전압에 동기되는 게이트 펄스를 상기 게이트 라인들에 순차적으로 출력하는 게이트 구동부; 및 상기 데이터 구동부에 상기 픽셀 데이터를 전송하고, 상기 데이터 구동부와 상기 게이트 구동부를 제어하는 타이밍 컨트롤러를 포함한다.
- [0012] 상기 액정표시장치의 구동 방법은 매 수평 기간마다 잔상 방지 전압과 픽셀 데이터의 목표 계조 전압을 표시패널의 데이터 라인들로 출력하는 단계; 및 상기 잔상 방지 전압과 상기 픽셀 데이터의 목표 계조 전압에 동기되는 게이트 펄스를 상기 표시패널의 게이트 라인들에 순차적으로 출력하는 단계를 포함한다.

**발명의 효과**

- [0013] 본 발명은 미리 설정된 잔상 방지 전압을 픽셀 계조 데이터 전압에 앞서 데이터 라인들로 출력하여 액정 분자들을 반대 방향으로 순간적으로 회전시켜 픽셀들의 잔류 직류를 제거하여 잔상을 개선할 수 있다.

**도면의 간단한 설명**

- [0014] 도 1은 잔상 검사 방법을 보여 주는 도면이다.
- 도 2는 본 발명의 제1 실시예에 따른 액정표시장치를 보여 주는 블록도이다.
- 도 3은 본 발명의 픽셀 데이터 전압을 보여 주는 파형도이다.
- 도 4는 잔상 방지 구동 모드와 정상 구동 모드를 보여 주는 파형도이다.
- 도 5 및 도 6는 본 발명의 실시예에 따른 액정표시장치에서 데이터 라인들과 게이트 라인들의 전압을 보여 주는 파형도들이다.
- 도 7 및 도 8은 본 발명의 제2 실시예에 따른 액정표시장치와 그 구동 방법을 보여 주는 도면들이다.
- 도 9는 본 발명의 제1 실시예에 따른 잔상 방지 전압 발생 회로를 보여 주는 도면이다.
- 도 10은 본 발명의 제2 실시예에 따른 잔상 방지 전압 발생 회로를 보여 주는 도면이다.
- 도 11은 정상 구동 모드와 잔상 방지 구동 모드에서 소스 출력 인에이블 신호(SOE, SOE')와 데이터 라인들의 전압을 보여 주는 파형도이다.
- 도 12는 잔상 방지 구동 모드에서 제어신호와 데이터라인들의 전압을 보여 주는 파형도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0015] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0016] 도 1을 참조하면, 본 발명의 액정표시장치는 픽셀 어레이가 형성된 표시패널(10)와, 표시패널에 입력 영상의 데이터를 기입하기 위한 표시패널 구동회로, 표시패널 구동회로를 제어하기 위한 타이밍 컨트롤러(20) 등을 포함한다.
- [0017] 표시패널(10)은 액정층을 사이에 두고 대향하는 상부 기관과 하부 기관을 포함한다. 표시패널(10)의 픽셀 어레이는 데이터라인들(S1~Sm)과 게이트라인들(G1~Gn)의 교차 구조에 의해 매트릭스 형태로 배열되는 픽셀들을 포함한다. 픽셀들 각각은 컬러 구현을 위하여 적색(R), 녹색(G) 및 청색(B)의 서브 픽셀들로 나뉘어진다. 픽셀들 각각은 RGB 서브 픽셀들 이외에 백색 서브 픽셀을 더 포함할 수 있다.
- [0018] 표시패널(10)의 하부 기관에는 데이터라인들(S1~Sm), 게이트라인들(G1~Gn), TFT들, TFT에 접속된 액정셀의 픽셀 전극(1), 및 픽셀 전극(1)에 접속된 스토리지 커패시터(Storage Capacitor, Cst) 등을 포함한다. 픽셀들 각각은 TFT를 통해 데이터전압을 충전하는 픽셀 전극(1)과 공통전압(Vcom)이 인가되는 공통 전극(2)의 전압차에 의해 구동되는 액정 분자들을 이용하여 빛의 투과율을 조정함으로써 비디오 데이터의 화상을 표시한다.
- [0019] 표시패널(10)의 상부 기관 상에는 블랙 매트릭스(Black matrix)와 컬러 필터(Color filter)를 포함한 컬러 필터 어레이가 형성된다. 공통 전극(2)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식의 경우에 상부 기관 상에 형성되며, IPS(In-Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식의 경우에 픽셀 전극과 함께 하부 기관 상에 형성된다. 표시패널(10)의 상부 기관과 하부 기관 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.
- [0020] 본 발명의 액정표시장치는 투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치 등 어떠한 형태로도 구현될 수 있다. 투과형 액정표시장치와 반투과형 액정표시장치에서는 백라이트 유닛이 필요하다. 백라이트 유닛은 직하형(direct type) 백라이트 유닛 또는, 에지형(edge type) 백라이트 유닛으로 구현될 수 있다.
- [0021] 표시패널 구동회로는 데이터 구동부(12)와 게이트 구동부(14)를 포함한다.
- [0022] 데이터 구동부(12)는 다수의 소스 드라이브 IC를 포함한다. 소스 드라이브 IC들의 데이터 출력 채널들은 픽셀 어레이의 데이터라인들(S1~Sm)에 연결된다. 데이터 구동부(12)는 타이밍 컨트롤러(20)로부터 입력 영상의 픽셀 데이터를 수신한다. 픽셀 데이터는 디지털 비디오 데이터로 전송된다. 데이터 구동부(12)는 타이밍 컨트롤러

(20)의 제어 하에 픽셀 데이터를 정극성/부극성 감마보상전압으로 변환하여 정극성/부극성 픽셀 데이터의 목표 계조 전압을 출력한다. 픽셀 데이터의 목표 계조 전압은 픽셀에 표시되는 픽셀 데이터의 계조 전압이다. 이 과정에서 픽셀 데이터의 목표 계조 전압을 목표 계조 전압이라 한다. 잔상 방지 전압은 입력 영상의 픽셀 데이터와는 무관한 전압으로서 도 9 및 도 10과 같이 데이터 구동부(12)에서 생성될 수 있다.

- [0023] 데이터 구동부(12)는 잔상을 방지하기 위하여, 타이밍 콘트롤러(20)의 제어 하에 데이터 라인들 각각에 1/2 수평 기간에 정극성/부극성 잔상 방지 전압을 출력한 후에 1/2 수평 기간에 정극성/부극성 목표 계조 전압을 출력할 수 있다.
- [0024] 데이터 구동부(12)의 출력 전압 범위는 고전위 전원 전압(VDD)과 하프 VDD(Half VDD) 사이의 정극성 전압 범위와, 하프 VDD와 그라운드 전압(GND) 사이의 부극성 전압 범위로 나뉘어질 수 있다. 정극성 잔상 방지 전압과 정극성 픽셀 데이터 전압은 정극성 전압 범위 내의 전압이다. 부극성 잔상 방지 전압과 부극성 픽셀 데이터 전압은 부극성 전압 범위 내의 전압이다.
- [0025] 데이터 구동부(12)는 제N(N은 양의 정수) 라인의 픽셀 데이터 전압과 제N+1 라인의 픽셀 데이터 전압을 사이의 차지 셰어링(Charge sharing)을 통해 데이터 라인들(S1~Sm)의 전압을 평균 전압으로 조정하거나 하프 VDD 전압(HVDD) 전압을 데이터 라인들(S1~Sm)에 공급할 수 있다. 차지 셰어링 기술은 정극성 전압들이 출력되는 데이터 라인들과 부극성 전압이 출력되는 데이터 라인들을 단락(short circuit)하여 정극성 전압들과 부극성 전압들 사이의 평균 전압으로 데이터 라인들의 전압을 조정한다. 하프 VDD 기술은 소스 드라이브 IC의 출력 채널들에 연결된 출력 버퍼의 전원 전압을 고전위 전원 전압(VDD) 대비 대략 1/2 전압으로 설정된 하프 VDD 전압(HVDD)으로 낮추어 소비 전력을 줄인다.
- [0026] 잔상 방지 전압은 화이트 계조 전압, 블랙 계조 전압 또는 차지 셰어링 전압 중에서 선택될 수 있다. 또한, 잔상 방지 전압은 화이트 계조 전압, 블랙 계조 전압 또는 차지 셰어링 전압 중에서 픽셀 데이터 전압과 전압차가 큰 전압으로 선택될 수 있다.
- [0027] 게이트 구동부(14)는 타이밍 콘트롤러(20)의 제어 하에 게이트 라인들(S1~Sn)에 게이트 펄스(또는 스캔 펄스)를 순차적으로 공급한다. 게이트 펄스는 도 5 및 도 6과 같이 1 수평 기간 또는 2 수평 기간 이상으로 발생될 수 있고 잔상 방지 전압과 픽셀 데이터의 목표 계조 전압에 동기된다.
- [0028] 픽셀들은 게이트 펄스에 따라 턴-온되는 TFT를 통해 1 수평 기간 동안 잔상 방지 전압과 픽셀 데이터의 목표 계조 전압을 연속 충전한다. 그리고 픽셀들은 1 프레임 기간 동안 픽셀 데이터의 목표 계조 전압을 유지한다.
- [0029] 타이밍 콘트롤러(20)는 호스트 시스템(30)으로부터 입력 영상의 픽셀 데이터와 타이밍 신호들을 입력받는다. 타이밍 콘트롤러(20)는 픽셀 데이터를 데이터 구동부(12)로 전송한다. 타이밍 신호들은 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(DE), 도트 클럭(DCLK) 등을 포함한다. 타이밍 콘트롤러(20)는 입력 영상의 픽셀 데이터와 함께 수신되는 타이밍 신호들(Vsync, Hsync, DE, DCLK)을 바탕으로 데이터 구동부(12)와 게이트 구동부(14)의 동작 타이밍을 제어한다. 예를 들어, 타이밍 콘트롤러(20)는 소스 출력 인에이블 신호(Sourch Output Enable, SOE)를 이용하여 데이터 구동부(12)의 출력 채널들 각각의 출력 타이밍을 제어할 수 있다. 또한, 타이밍 콘트롤러(20)는 극성제어신호(POL)을 이용하여 데이터 구동부(12)의 출력 채널들 각각으로부터 출력되는 전압의 극성을 제어할 수 있다. 타이밍 콘트롤러(20)는 소스 출력 인에이블 신호(SOE) 또는 별도의 제어신호(도 11 및 도 12, C1)를 발생하여 잔상 방지 전압이 출력되는 1/2 수평 기간의 타이밍을 제어할 수 있다.
- [0030] 호스트 시스템(30)은 TV(Television) 시스템, 셋톱박스, 네비게이션 시스템, DVD 플레이어, 블루레이 플레이어, 개인용 컴퓨터(PC), 홈 시어터 시스템, 폰 시스템(Phone system) 중 어느 하나로 구현될 수 있다.
- [0031] 도 3은 본 발명의 픽셀 데이터 전압을 보여 주는 파형도이다.
- [0032] 도 3을 참조하면, 픽셀들 각각은 1/2 수평 기간에 잔상 방지 전압(V1/V3/V5)을 출력한 후에 1/2 수평 기간에 목표 계조 전압(V2/V4)을 충전한다. Vpix는 픽셀의 전압이다.
- [0033] 잔상 방지 전압은 (A)와 같이 화이트 계조 전압(V1, V5)으로 발생될 수 있다. V1은 VDD로 설정되고, V5는 GND로 설정될 수 있다.
- [0034] 잔상 방지 전압은 (B)와 같이 블랙 계조 전압(V3)으로 발생될 수 있다. V3는 HVDD 또는 차지 셰어링 전압으로 설정될 수 있다. HVDD는 픽셀의 공통전극(2)에 인가되는 공통전압(Vcom)과 같거나 가까운 전압일 수 있다.

- [0035] 타이밍 콘트롤러(20)는 도 4와 같이 데이터 구동부를 잔상 방지 구동 모드와 정상 구동 모드로 제어할 수 있다.
- [0036] 타이밍 콘트롤러(20)는 입력 영상을 분석하여 동일한 영상 데이터가 소정 시간 동안 반복적으로 입력되면 잔상을 방지하기 위하여 데이터 구동부(12)를 잔상 방지 구동 모드로 구동할 수 있다. 타이밍 콘트롤러(20)는 잔상 방지 구동 모드의 시간으로 설정된 T 이후에 정상 구동 모드로 데이터 구동부(12)를 제어한다.
- [0037] 데이터 구동부(12)는 잔상 방지 구동 모드에서, 미리 설정된 T 동안 매 수평 기간마다 잔상 방지 전압과 목표 계조 전압을 각각 1/2 수평 기간 동안 출력한다. 픽셀들 각각은 잔상 방지 구동 시간(T1) 동안, 1/2 수평 기간에 잔상 방지 전압(V1/V3/V5)을 출력한 후에 1/2 수평 기간에 목표 계조 전압(V2/V4)을 충전한다. T는 2 프레임 기간 이상의 시간으로 설정된다. 데이터 구동부(12)는 정상 구동 모드에서 매 수평 기간마다 잔상 방지 전압 없이 픽셀 데이터의 목표 계조 전압을 출력한다.
- [0038] 도 5 및 도 6는 본 발명의 실시예에 따른 액정표시장치에서 데이터 라인들과 게이트 라인들의 전압을 보여 주는 파형도들이다.
- [0039] 도 5 및 도 6를 참조하면, 데이터라인들(S1, S2) 각각에는 매 수평 기간마다 잔상 방지 전압(V1/V3/V5) 및 목표 계조 전압(V2/V4)이 인가된다. 게이트 라인들(G1, G2)에는 잔상 방지 전압(V1/V3/V5) 및 목표 계조 전압(V2/V4)과 동기되는 게이트 펄스가 인가된다. 게이트 펄스는 도 5와 같이 1 수평 기간(1H)의 펄스 폭으로 발생되거나, 도 6과 같이 2 수평 기간(2H) 이상의 펄스폭으로 발생되고 앞선 게이트 펄스와 중첩(Overlap)될 수 있다.
- [0040] 도 7 및 도 8은 본 발명의 제2 실시예에 따른 액정표시장치와 그 구동 방법을 보여 주는 도면들이다.
- [0041] 도 7 및 도 8을 참조하면, 입력 영상 분석부(18)는 프레임간 입력 영상을 비교 분석하여 제N-1 프레임과 제N 프레임에서 데이터가 실질적으로 동일하면 카운트 값을 증가시키고 그 카운트 값이 미리 설정된 소정 시간의 기준 값과 동일할 때 잔상을 방지하기 위하여 데이터 구동부(12)를 잔상 방지 구동 모드로 제어한다.(S1~S3) 데이터 구동부(12)는 잔상 방지 구동 모드에서, 미리 설정된 T 동안 매 수평 기간마다 잔상 방지 전압과 목표 계조 전압을 각각 1/2 수평 기간 동안 출력한다. 픽셀들 각각은 잔상 방지 구동 시간(T1) 동안, 1/2 수평 기간에 잔상 방지 전압(V1/V3/V5)을 출력한 후에 1/2 수평 기간에 목표 계조 전압(V2/V4)을 충전한다.
- [0042] 입력 영상 분석부(18)는 카운트 값이 기준값 보다 작을 때 정상 구동 모드로 데이터 구동부(12)를 제어한다. 데이터 구동부(12)는 정상 구동 모드에서 매 수평 기간마다 잔상 방지 전압 없이 픽셀 데이터의 목표 계조 전압을 출력한다.(S2 및 S6)
- [0043] 입력 영상 분석부(18)는 잔상 방지 구동 모드의 시간으로 설정된 T 이후에 정상 구동 모드로 데이터 구동부(12)를 제어한다.(S4 및 S5)
- [0044] 입력 영상 분석부(18)는 도 8과 같이 타이밍 콘트롤러(20)와는 별개의 로직 모듈로 구현되거나 타이밍 콘트롤러(20)에 내장될 수 있다.
- [0045] 도 9는 본 발명의 제1 실시예에 따른 잔상 방지 전압 발생 회로를 보여 주는 도면이다.
- [0046] 도 9를 참조하면, 타이밍 콘트롤러(20)는 제어신호 발생부(21)를 포함한다. 데이터 구동부(12)의 소스 드라이브 IC들 각각은 디지털 아날로그 변환기(Digital to Analog Converter, 이하 "DAC"라 함)(52), 멀티플렉서(Multiplexer, MUX)(54) 등을 포함한다.
- [0047] 제어신호 발생부(21)는 잔상 방지 전압과 픽셀 데이터의 목표 계조 전압의 출력 타이밍을 정의하기 위한 제어신호(C1)를 발생한다. 제어신호(C1)는 도 11 및 도 12와 같이 소스 출력 인에이블 신호(SOE)의 하이 로직 레벨 구간을 1/2 수평 기간 만큼 더 길게 하여 SOE'을 생성하는 방법으로 생성될 수 있다. 제어신호(C1)는 1 수평 기간의 주기를 가지며, 1/2 수평 기간 동안 제1 로직 레벨(logic level) 전압으로 발생된 후에 1/2 수평 기간 동안 제2 로직 레벨 전압으로 발생된다. 도 11 및 도 12와 같이 제1 로직 레벨은 하이 로직 레벨(high logic level)이고 제2 로직 레벨은 로우 로직 레벨(low logic level)일 수 있으나 이에 한정되지 않는다.
- [0048] 제어신호(C1)의 제1 로직 레벨 구간은 잔상 방지 전압 출력 타이밍을 정의한다. 제어신호(C1)의 제2 로직 레벨 구간은 픽셀 데이터의 목표 계조 전압 출력 타이밍을 정의한다.
- [0049] DAC(52)는 디지털 비디오 데이터로 입력되는 픽셀 데이터를 정극성/부극성 감마보상전압으로 변환하여 픽셀 데이터의 목표 계조 전압(V2, V4)을 출력한다. 멀티플렉서(54)는 제어신호(C1)의 제1 로직 레벨 전압에 응답하여

잔상 방지 전압(V1/V3/V5)을 데이터 라인에 연결된 출력 채널을 통해 출력한다. 반면에, 멀티플렉서(54)는 제어신호(C1)의 제2 로직 레벨 전압에 응답하여 DAC(52)로부터의 목표 계조 전압을 출력 채널을 통해 출력한다.

- [0050] 도 10은 본 발명의 제2 실시예에 따른 잔상 방지 전압 발생 회로를 보여 주는 도면이다.
- [0051] 도 10을 참조하면, 타이밍 컨트롤러(20)는 제어신호 발생부(21)를 포함한다. 데이터 구동부(12)의 소스 드라이브 IC들 각각은 DAC(52), 비교기(62), 제1 멀티플렉서(64), 제2 멀티플렉서(66) 등을 포함한다.
- [0052] 제어신호(C1) 또는 변조된 소스 출력 인에이블 신호(SOE')는 1 수평 기간의 주기를 가지며, 1/2 수평 기간 동안 제1 로직 레벨 전압으로 발생된 후에 1/2 수평 기간 동안 제2 로직 레벨 전압으로 발생된다. 제어신호(C1)의 제1 로직 레벨 구간은 잔상 방지 전압 출력 타이밍을 정의한다. 제어신호(C1)의 제2 로직 레벨 구간은 픽셀 데이터의 목표 계조 전압 출력 타이밍을 정의한다.
- [0053] DAC(52)는 디지털 비디오 데이터로 입력되는 픽셀 데이터를 정극성/부극성 감마보상전압으로 변환하여 픽셀 데이터의 목표 계조 전압(V2, V4)을 출력한다.
- [0054] 비교기(62)는 픽셀 데이터의 최상위 비트(Most Significant Bit, MSB)를 미리 설정된 기준 비트 '1'과 비교한다. 비교기(62)는 픽셀 데이터의 MSB와 기준 비트 '1'이 같으면 하이 로직 레벨 '1'을 출력하는 반면, 양자가 다르면 로우 로직 레벨 '0'을 출력한다. 비교기(62)는 픽셀 데이터가 화이트 계조이거나 그와 가까운 고계조 데이터인가를 판단한다. 화이트 계조는 MSB가 1인 반면, 블랙 계조는 MSB가 0이다. 따라서, 비교기(62)의 출력이 1이면 현재 입력된 픽셀 데이터의 계조는 고계조 데이터이다. 반대로, 비교기(62)의 출력이 0이면 현재 입력된 픽셀 데이터의 계조가 중간 계조 이하의 저계조 데이터이다.
- [0055] 제1 멀티플렉서(64)는 비교기(62)의 출력에 응답하여 잔상 방지 전압을 선택한다. 제1 멀티플렉서(64)는 비교기(62)의 출력이 1이면 블랙 계조 전압(V3)을 출력한다. 반면에, 제1 멀티플렉서(64)는 비교기(62)의 출력이 0이면 화이트 계조 전압(V1, V5)을 출력한다. 따라서, 제1 멀티플렉서(64)는 픽셀 데이터의 목표 전압 대비 전압차가 큰 잔상 방지 전압을 선택한다. 픽셀 데이터가 고계조이면 잔상 방지 전압은 블랙 계조 전압으로 선택되고, 픽셀 데이터가 저계조이면 잔상 방지 전압은 화이트 계조 전압으로 선택된다.
- [0056] 제2 멀티플렉서(66)는 제어신호(C1)에 응답하여 DAC(52)의 출력과 제1 멀티플렉서(64)의 출력을 선택한다. 제2 멀티플렉서(66)는 제어신호(C1)의 제1 로직 레벨 전압에 응답하여 잔상 방지 전압(V1/V3/V5)을 데이터 라인에 연결된 출력 채널을 통해 출력한다. 반면에, 제2 멀티플렉서(66)는 제어신호(C1)의 제2 로직 레벨 전압에 응답하여 DAC(52)로부터의 목표 계조 전압을 출력 채널을 통해 출력한다.
- [0057] 도 11은 정상 구동 모드와 잔상 방지 구동 모드에서 소스 출력 인에이블 신호(SOE, SOE')와 데이터 라인들의 전압을 보여 주는 파형도이다.
- [0058] 도 11에서, (A)는 정상 구동 모드에서 발생하는 소스 출력 인에이블 신호(SOE)를 나타낸다. 소스 출력 인에이블 신호(SOE)는 1 수평 기간(1H)의 주기를 갖는다. 소스 출력 인에이블 신호(SOE)의 하이 로직 레벨 구간은 정상 구동 모드에서 1/2 수평 기간 보다 작게 설정된다. 소스 출력 인에이블 신호(SOE)의 로우 로직 레벨 구간은 픽셀 데이터의 목표 계조 전압의 출력 타이밍을 1 수평 기간 내에서 1/2 수평 기간 보다 긴 시간으로 정의한다. 따라서, 소스 출력 인에이블 신호(SOE)의 로우 로직 레벨 구간은 정상 구동 모드에서 1 수평 기간의 주기 내에서 제1 로직 레벨 구간을 뺀 나머지 시간으로 설정되어 픽셀 데이터의 목표 계조 전압의 출력 타이밍을 정의한다.
- [0059] (B)는 잔상 방지 구동 모드에서 발생하는 변조된 소스 출력 인에이블 신호(SOE')를 나타낸다. SOE'은 1 수평 기간(1H)의 주기를 갖는다. SOE'은 잔상 방지 전압이 1/2 수평 기간 동안 출력될 수 있도록 그 하이 로직 레벨 구간이 1/2 수평 기간으로 설정된다. 제어신호(C1)는 변조된 소스 출력 인에이블 신호(SOE')로 발생될 수 있다.
- [0060] 데이터 구동부(12)의 소스 드라이브 IC들 각각은 소스 출력 인에이블 신호(SOE 또는 SOE')의 하이 로직 레벨 구간에 차지 셰어링을 실시하거나 하프 VDD(HVDD) 전압을 데이터 라인들(S1, S2)로 출력한다. 반면에, 데이터 구동부(12)의 소스 드라이브 IC들 각각은 소스 출력 인에이블 신호(SOE 또는 SOE')의 로우 로직 레벨 구간에 픽셀 데이터의 목표 계조 전압을 출력한다.
- [0061] 도 12는 잔상 방지 구동 모드에서 제어신호와 데이터라인들의 전압을 보여 주는 파형도이다.
- [0062] 데이터 구동부(12)의 소스 드라이브 IC들 각각은 제어신호(C1 또는 SOE')의 하이 로직 레벨에 응답하여 잔상 방

지 전압(V1, V3, V5)을 출력한 후에 제어신호(C1 또는 SOE')의 로우 로직 레벨에 응답하여 픽셀 데이터의 게조 전압(V2, V4)을 출력한다.

[0063]

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

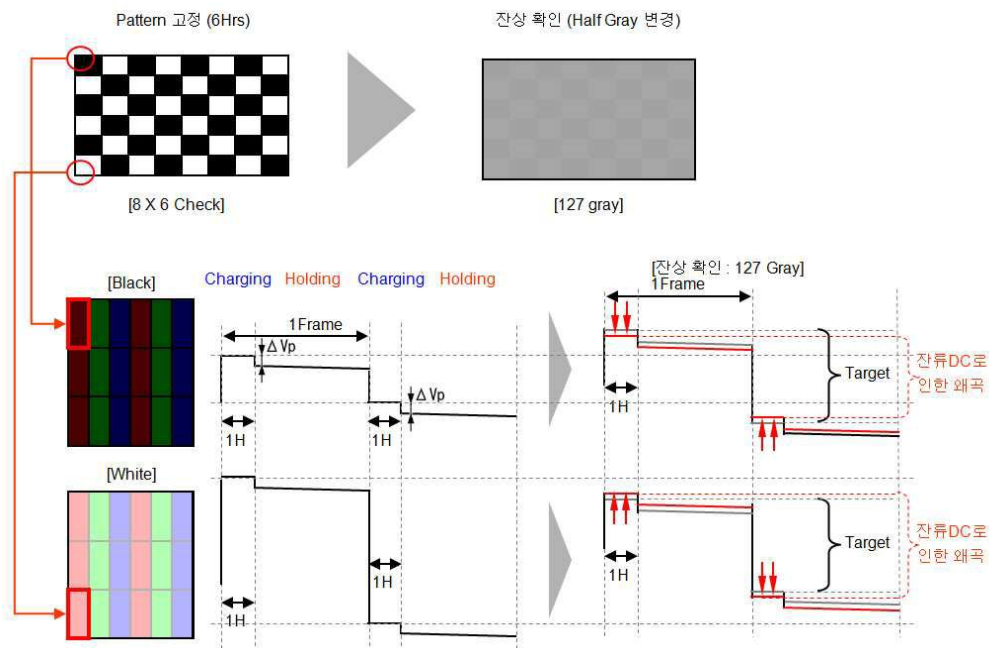
**부호의 설명**

[0064]

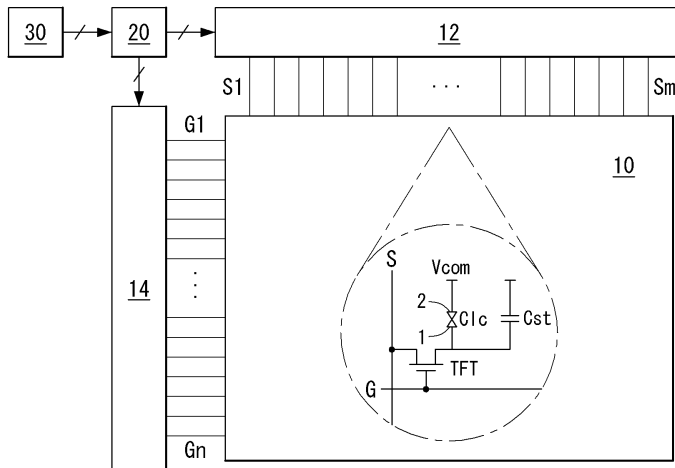
- 10 : 표시패널(LTD 패널) 12 : 데이터 구동부
- 14 : 게이트 구동부 20 : 타이밍 컨트롤러
- 21 : 제어신호 발생부 52 : DAC
- 54, 64, 66 : 멀티플렉서 62 : 비교기

**도면**

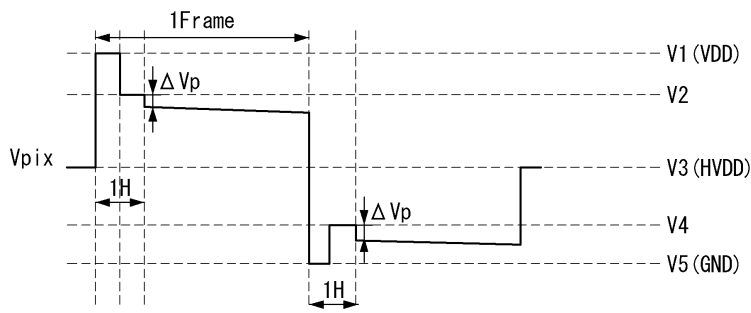
**도면1**



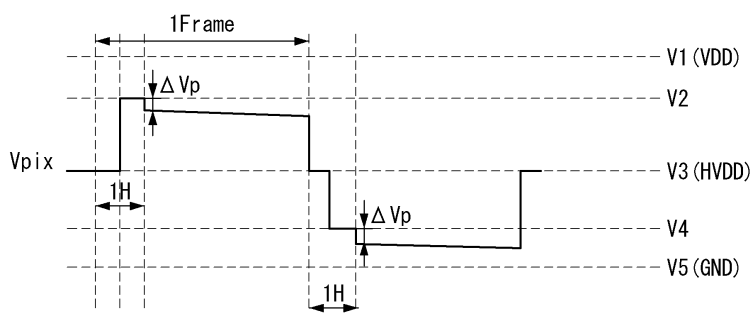
도면2



도면3

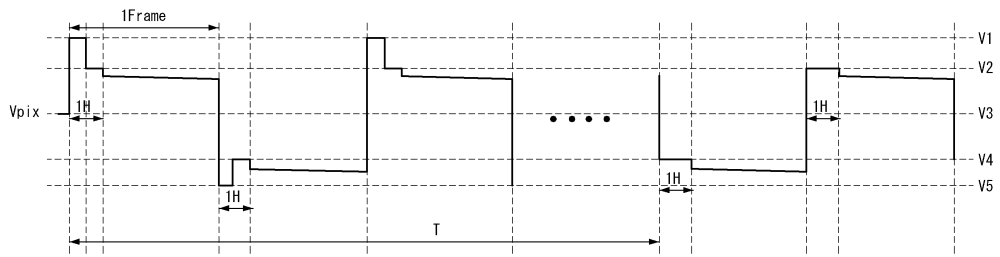


(a)

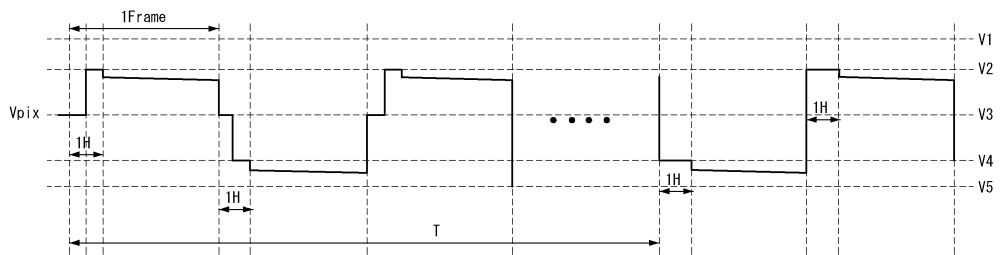


(b)

도면4

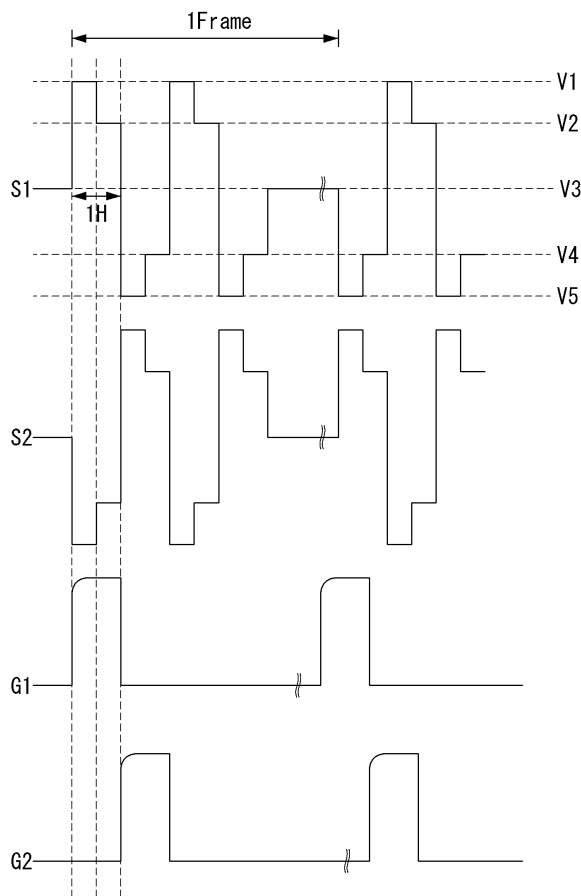


(a)

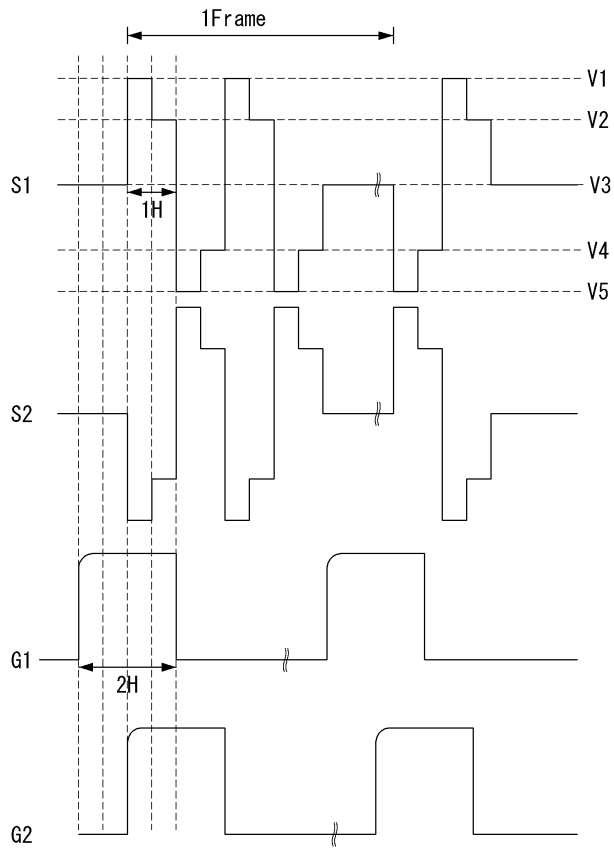


(b)

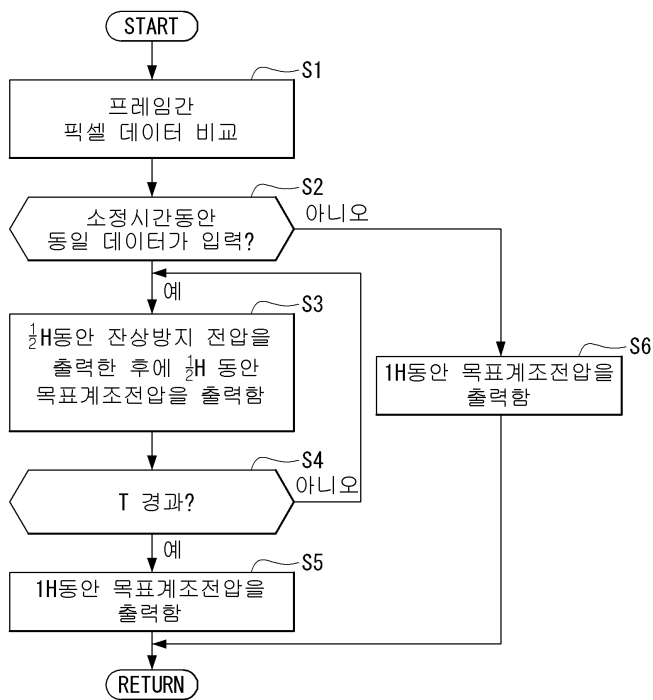
도면5



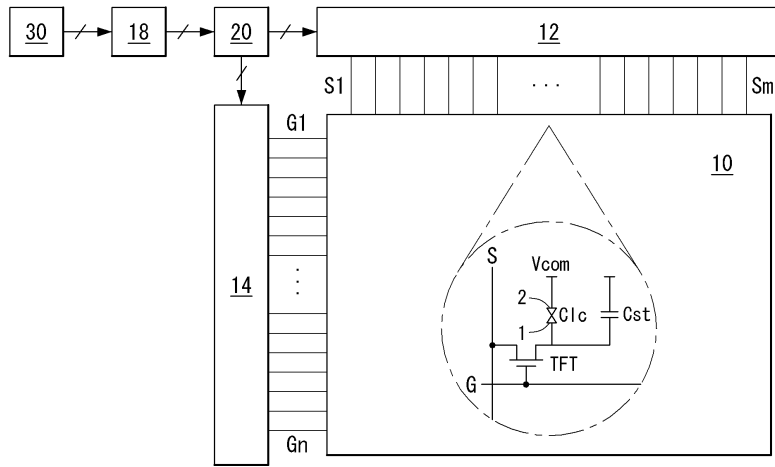
도면6



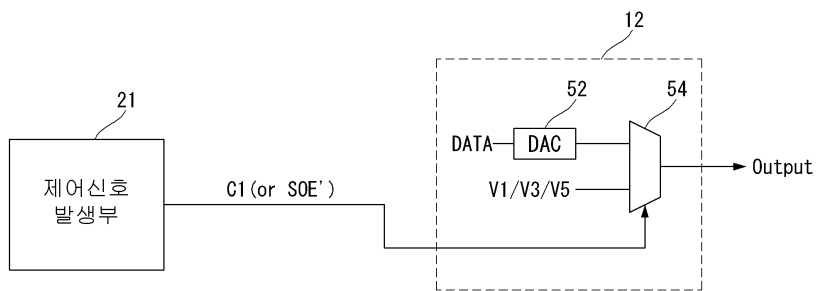
도면7



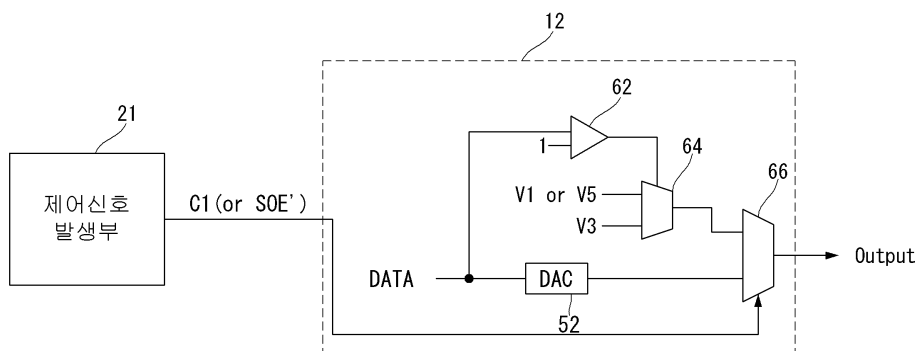
도면8



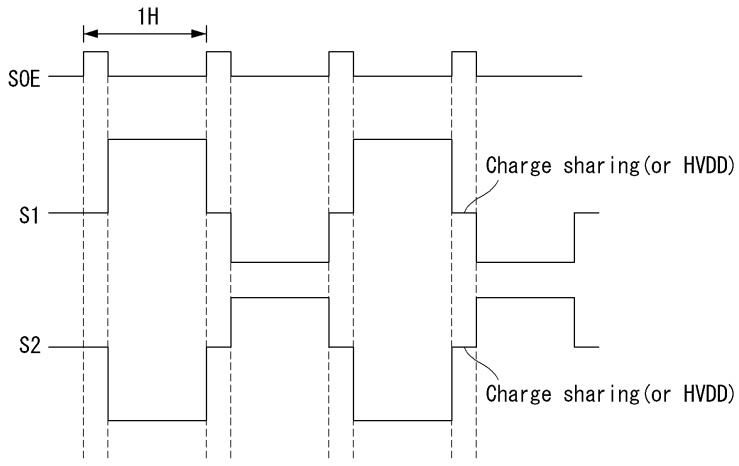
도면9



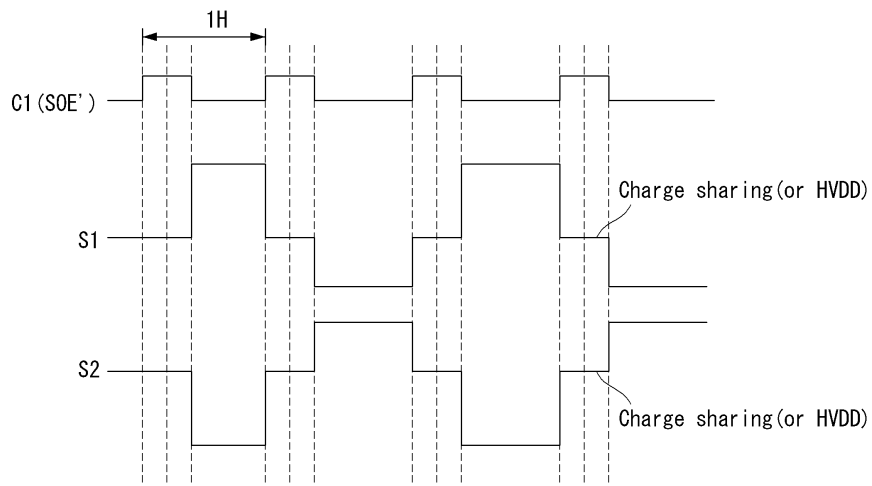
도면10



도면11

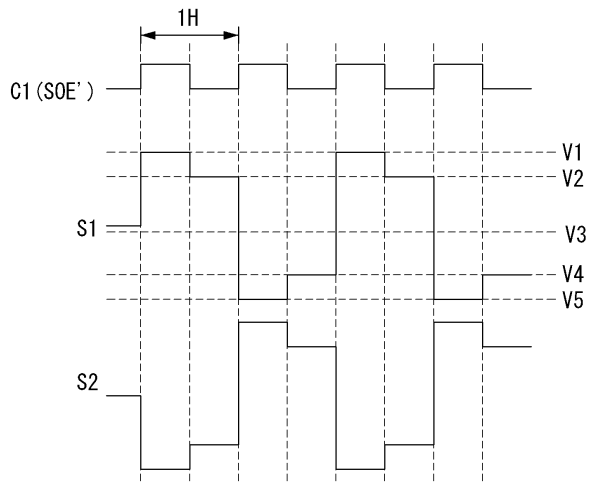


(a)



(b)

도면12



专利名称(译)	标题：液晶显示装置及其驱动方法		
公开(公告)号	<a href="#">KR1020150076023A</a>	公开(公告)日	2015-07-06
申请号	KR1020130164605	申请日	2013-12-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG DISPLAY CO., LTD.		
当前申请(专利权)人(译)	LG DISPLAY CO., LTD.		
[标]发明人	HAN SANG SOO KIM HWA YOUNG		
发明人	HAN SANG SOO KIM HWA YOUNG		
IPC分类号	G09G3/36 G02F1/133		
CPC分类号	G09G3/3688 G02F1/13306 G09G3/3677 G09G2310/08		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明的显示器，包括液晶显示装置和涉及一种驱动方法，设置在多条数据线，多条栅极线中的像素，并且一个矩阵面板;用于防止残留图像从驱动模式每隔一个水平期间，图像保护电压和像素数据后目标灰度的输出电压的数据驱动器;栅极驱动器顺序地将与像素数据的像素数据的目标灰度电压同步的栅极脉冲输出到栅极线;以及用于将像素数据传输到数据驱动器并控制数据驱动器和栅极驱动器的定时控制器。

