(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0079077
(43) 공개일자 2014년06월26일

(51) 국제특허분류(Int. Cl.)
G02F 1/133 (2006.01) *G02F 1/1345* (2006.01)
G02F 1/1339 (2006.01)
(21) 출원번호 10-2012-0148652
(22) 출원일자 2012년12월18일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
조양호
부산 사상구 백양대로 879, 102동 205호 (모라동, 동원아파트)
장주영
경북 구미시 인동26길 65, 104동 303호 (진평동, 미래주공아파트)
(뒷면에 계속)
(74) 대리인
특허법인네이트

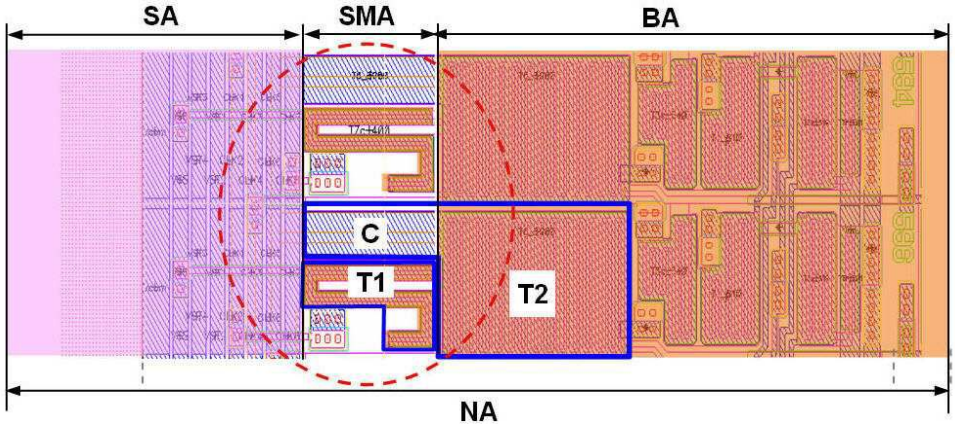
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 **액정표시장치 및 그 제조방법**

(57) 요 약

본 발명은 외측 방향을 따라 배치된 블랙매트릭스영역과 씰마진영역과 씰영역을 포함하는 비표시영역이 정의되고, 서로 마주보는 어레이기판 및 대향기판과; 상기 어레이기판의 비표시영역에 형성된 GIP 방식의 쉬프트레지스터와; 상기 쉬프트레지스터에 구성되며, 상기 비표시영역의 씰마진영역과 블랙매트릭스영역에 각각 형성된 제1 및 2트랜지스터를 포함하고, 상기 제1트랜지스터는 지그재그 형태로 구성되어 주변으로 UV 투과영역을 형성하는 액정표시장치를 제공한다.

대 표 도 - 도4



(72) 발명자

송아정

경북 구미시 인동19길 36-11, 103동 509호 (인의동, 구미청구하이츠)

하종무

대구 북구 오봉로7길 20, 102-102 (노원동2가, 선경리치빌)

특허청구의 범위

청구항 1

외측 방향을 따라 배치된 블랙매트릭스영역과 씰마진영역과 씰영역을 포함하는 비표시영역이 정의되고, 서로 마주보는 어레이기판 및 대향기판과;

상기 어레이기판의 비표시영역에 형성된 GIP 방식의 쉬프트레지스터와;

상기 쉬프트레지스터에 구성되며, 상기 비표시영역의 씰마진영역과 블랙매트릭스영역에 각각 형성된 제1 및 2트랜지스터를 포함하고,

상기 제1트랜지스터는 지그재그 형태로 구성되어 주변으로 UV 투과영역을 형성하는

액정표시장치.

청구항 2

제 1 항에 있어서,

상기 제1 및 2트랜지스터는, 상기 어레이기판에 형성된 게이트배선과 연결되며,

상기 제1트랜지스터는 로우전원전압의 출력을 제어하고, 상기 제2트랜지스터는 게이트클럭의 출력을 제어하는

액정표시장치.

청구항 3

제 2 항에 있어서,

상기 씰마진영역에 형성되고, 상기 제2트랜지스터와 연결된 커패시터

를 포함하는 액정표시장치.

청구항 4

제 3 항에 있어서,

상기 씰마진영역 대비 UV 투과영역의 면적비는 50% 이상인

액정표시장치.

청구항 5

외측 방향을 따라 배치된 블랙매트릭스영역과 씰마진영역과 씰영역을 포함하는 비표시영역이 정의되고 서로 마주보는 어레이기판 및 대향기판을 포함하는 액정표시장치의 제조방법에 있어서,

상기 어레이기판의 비표시영역에 GIP 방식의 쉬프트레지스터를 형성하는 단계와;

상기 대향기판으로부터 상기 어레이기판 방향으로 UV를 조사하여 씰패턴을 경화하는 단계를 포함하고,

상기 쉬프트레지스터는, 상기 비표시영역의 씰마진영역과 블랙매트릭스영역에 각각 형성된 제1 및 2트랜지스터를 포함하고,

상기 제1트랜지스터는 지그재그 형태로 구성되어 주변으로 UV 투과영역을 형성하는

액정표시장치 제조방법.

청구항 6

제 5 항에 있어서,

상기 제1 및 2트랜지스터는, 상기 어레이기판에 형성된 게이트배선과 연결되며,

상기 제1트랜지스터는 로우전원전압의 출력을 제어하고, 상기 제2트랜지스터는 게이트클럭의 출력을 제어하는

액정표시장치 제조방법.

청구항 7

제 6 항에 있어서,

상기 쉬프트레지스터는, 상기 씰마진영역에 형성되고 상기 제2트랜지스터와 연결된 커패시터를 포함하는

액정표시장치 제조방법.

청구항 8

제 7 항에 있어서,

상기 씰마진영역 대비 UV 투과영역의 면적비는 50% 이상인

액정표시장치 제조방법.

명 세 서

기 술 분 야

[0001] 본 발명은 액정표시장치에 관한 것으로서, 보다 상세하게는, 액정표시장치와 그 제조방법에 관한 것이다.

배 경 기 술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있으며, 근래에는 액정표시장치(LCD : liquid crystal display), 플라즈마표시장치(PDP : plasma display panel), 유기전계발광표시장치 (OELD : organic electroluminescent display device)와 같은 여러가지 평판표시장치(flat display device)가 활용되고 있다.

[0003] 이들 평판표시장치 중에서, 액정표시장치는 소형화, 경량화, 박형화, 저전력 구동의 장점을 가지고 있어, 최근에 널리 사용되고 있다.

[0004] 액정표시장치로서는, 매트릭스형태로 배치된 화소 각각에 스위칭트랜지스터가 형성된 액티브매트릭스 타입(active matrix type)의 액정표시장치가 현재 보편적으로 사용되고 있다.

[0005] 일반적으로, 액정표시장치에서는, 액정패널에 구동IC로 구성된 구동회로를 연결하여 구동신호를 액정패널에 인가하게 된다. 그런데, 이처럼 구동IC를 사용하게 되면 부품비용 및 공정비용이 증가하게 된다.

[0006] 이를 개선하기 위해, 게이트구동회로를 액정패널에 직접 형성하는 GIP(gate in panel) 방식이 제안되었다. GIP 방식에서는, 액정패널의 비표시영역에 GIP회로로서 쉬프트레지스터가 형성된다.

[0007] 한편, 최근에는 액정표시장치의 테두리인 베젤(bezel)의 크기 감소에 대한 요구가 증가하고 있다. 그런데, 종래의 GIP 방식의 액정표시장치에서는 베젤 크기의 감소에 한계가 존재하게 된다.

[0008] 이와 관련하여, 도 1을 참조하여 설명한다. 도 1은 종래의 GIP 방식의 액정패널의 비표시영역을 개략적으로 도

시한 도면이다.

[0009] 도 1을 참조하면, 액정패널의 비표시영역(NA)에는, 외측 방향을 따라 블랙매트릭스영역(BA)과 씰마진(seal margin)영역(SMA)과 씰영역(SA)이 위치한다. 여기서, GIP회로는 블랙매트릭스영역(BA)과 씰마진영역(SMA)에 형성된다.

[0010] 블랙매트릭스영역(BM)은 GIP회로를 구성하는 다수의 트랜지스터들이 형성되는 영역으로서, 해당 영역은 액정패널의 상부기판에 형성된 블랙매트릭스에 의해 가려지게 된다.

[0011] 씰영역(SA)은 액정패널을 구성하는 하부기판 및 상부기판을 합착하기 위한 씰패턴이 형성되는 영역이다. 씰패턴은 상면 UV(ultra-violet)경화 공정을 통해 경화되는바, 씰영역(SA)과 블랙매트릭스영역(BA)은 서로 중첩되지 않도록 구성되어야 한다. 따라서, 씰패턴 형성의 마진을 위해 내측으로 씰마진영역(SMA)이 위치하게 된다.

[0012] 이와 같은 씰마진영역(SMA)에는 GIP회로를 구성하는 일부 트랜지스터(T1, T2)가 형성된다. 이에 따라, 해당 트랜지스터(T1, T2)는 블랙매트릭스로 차단되지 않게 되어, 외부 광원에 노출된다. 이로 인해, 오프전류가 증가하게 되어, GIP회로가 정상적으로 구동될 수 없게 되므로, 화질 저하가 발생하게 된다.

[0013] 따라서, 전술한 바와 같은 화질 저하를 방지하기 위해서는 블랙매트릭스영역(BA)의 크기가 증가하여야 하므로, 베젤 크기의 감소는 불가능하게 된다.

발명의 내용

해결하려는 과제

[0014] 본 발명은, GIP회로를 정상적으로 구동하면서도 베젤 크기를 감소시킬 수 있는 방안을 제공하는 데 그 과제가 있다.

과제의 해결 수단

[0015] 전술한 바와 같은 과제를 달성하기 위해, 본 발명은 외측 방향을 따라 배치된 블랙매트릭스영역과 씰마진영역과 씰영역을 포함하는 비표시영역이 정의되고, 서로 마주보는 어레이기판 및 대향기판과; 상기 어레이기판의 비표시영역에 형성된 GIP 방식의 쉬프트레지스터와; 상기 쉬프트레지스터에 구성되며, 상기 비표시영역의 씰마진영역과 블랙매트릭스영역에 각각 형성된 제1 및 2트랜지스터를 포함하고, 상기 제1트랜지스터는 지그재그 형태로 구성되어 주변으로 UV 투과영역을 형성하는 액정표시장치를 제공한다.

[0016] 여기서, 상기 제1 및 2트랜지스터는, 상기 어레이기판에 형성된 게이트배선과 연결되며, 상기 제1트랜지스터는 로우전원전압의 출력을 제어하고, 상기 제2트랜지스터는 게이트클럭의 출력을 제어할 수 있다.

[0017] 상기 씰마진영역에 형성되고, 상기 제2트랜지스터와 연결된 커패시터를 포함할 수 있다.

[0018] 상기 씰마진영역 대비 UV 투과영역의 면적비는 50% 이상일 수 있다.

[0019] 다른 측면에서, 본 발명은 외측 방향을 따라 배치된 블랙매트릭스영역과 씰마진영역과 씰영역을 포함하는 비표시영역이 정의되고 서로 마주보는 어레이기판 및 대향기판을 포함하는 액정표시장치의 제조방법에 있어서, 상기 어레이기판의 비표시영역에 GIP 방식의 쉬프트레지스터를 형성하는 단계와; 상기 대향기판으로부터 상기 어레이기판 방향으로 UV를 조사하여 씰패턴을 경화하는 단계를 포함하고, 상기 쉬프트레지스터는, 상기 비표시영역의 씰마진영역과 블랙매트릭스영역에 각각 형성된 제1 및 2트랜지스터를 포함하고, 상기 제1트랜지스터는 지그재그 형태로 구성되어 주변으로 UV 투과영역을 형성하는 액정표시장치 제조방법을 제공한다.

[0020] 여기서, 상기 제1 및 2트랜지스터는, 상기 어레이기판에 형성된 게이트배선과 연결되며, 상기 제1트랜지스터는 로우전원전압의 출력을 제어하고, 상기 제2트랜지스터는 게이트클럭의 출력을 제어할 수 있다.

[0021] 상기 쉬프트레지스터는, 상기 씰마진영역에 형성되고 상기 제2트랜지스터와 연결된 커패시터를 포함할 수 있다.

[0022] 상기 씰마진영역 대비 UV 투과영역의 면적비는 50% 이상일 수 있다.

발명의 효과

[0023] 본 발명에 따르면, 큰 크기의 제2트랜지스터를 블랙매트릭스영역에 배치하고, 작은 크기의 제1트랜지스터를 씰마진영역에 배치한다. 특히, 제1트랜지스터에 대응하여 블랙매트릭스를 구성하고, 제1트랜지스터를 지그재그 형태로 구성함으로써, 제1트랜지스터를 외부 광원으로부터 차단함과 함께 제1트랜지스터가 차지하는 면적을 줄일 수 있게 된다. 이에 따라, 상면 UV 경화 공정시, 씰마진영역에 대해 UV 경화가 효과적으로 이루어질 수 있게 된다.

[0024] 따라서, 쉬프트레지스터를 정상적으로 구동하면서, 비표시영역을 감소시켜 베젤 크기를 줄일 수 있게 된다.

도면의 간단한 설명

[0025] 도 1은 종래의 GIP 방식의 액정패널의 비표시영역을 개략적으로 도시한 도면.

도 2는 본 발명의 실시예에 따른 액정표시장치를 개략적으로 도시한 도면.

도 3은 도 2의 표시영역에 형성된 화소를 개략적으로 도시한 회로도.

도 4는 도 2의 비표시영역을 개략적으로 도시한 도면.

도 5는 도 2의 제1트랜지스터의 일부를 확대한 도면.

도 6은 종래 및 본 발명의 실시예에 따라 액정표시장치를 고온 70도에서 신뢰성 테스트를 한 경우에서의 화면 표시를 나타낸 도면.

발명을 실시하기 위한 구체적인 내용

[0026] 이하, 도면을 참조하여 본 발명의 실시예를 설명한다.

[0027] 도 2는 본 발명의 실시예에 따른 액정표시장치를 개략적으로 도시한 도면이고, 도 3은 도 2의 표시영역에 형성된 화소를 개략적으로 도시한 회로도이고, 도 4는 도 2의 비표시영역을 개략적으로 도시한 도면이다.

[0028] 도 2를 참조하면, 본 발명의 실시예에 따른 액정표시장치(100)는 액정패널(110)과, 액정패널(110)을 구동하는 구동회로부와, 백라이트(150)를 포함할 수 있다.

[0029] 여기서, 구동회로부는 데이터구동회로(120)와, 게이트구동회로(130)와, 타이밍컨트롤러(140)를 포함할 수 있다.

[0030] 액정패널(110)은, 어레이기판과 이와 대향하는 대향기판과 이들 두 기판 사이에 위치하는 액정층을 포함한다. 여기서, 대향기판으로서는 예를 들면 컬러필터기판이 사용될 수 있다.

[0031] 액정패널(110)에는 표시영역(AA)와 표시영역(AA) 주변의 비표시영역(NA)이 정의된다. 표시영역(AA)은 다수의 화소(P)가 매트릭스 형태로 배치되어 영상을 표시하는 액티브영역에 해당된다.

[0032] 액정패널(110)의 어레이기판에는 제1방향으로서 예를 들면 행방향을 따라 연장된 게이트배선(GL)과, 제1방향과 교차하는 제2방향으로서 예를 들면 열방향을 따라 연장된 데이터배선(DL)이 구성되어 있다.

[0033] 게이트배선 및 데이터배선(GL, DL)은 대응되는 화소(P)에 연결된다. 여기서, 화소(P)는 적색을 표시하는 R(red) 화소, 녹색을 표시하는 G(green) 화소, 청색을 표시하는 B(blue) 화소를 포함할 수 있다. 예를 들면, R, G, B 화소는 행방향을 따라 교대로 배치될 수 있으며, 서로 연속하는 R, G, B 화소는 영상 표시의 단위로 기능할 수 있다.

[0034] 도 3을 참조하면, 화소(P)에는 게이트배선 및 데이터배선(GL, DL)과 연결되는 스위칭트랜지스터(TS)와, 스위칭트랜지스터(TS)에 연결된 액정커패시터(Clc)가 구성되어 있다. 액정커패시터(Clc)는 화소전극 및 공통전극과 이들 사이에 위치하는 액정층으로 구성된다.

[0035] 한편, 화소(P)에는 액정커패시터(Clc)에 인가되는 데이터전압을 저장하기 위한 스토리지커패시터(Cst)가 구성될 수 있다.

[0036] 스위칭트랜지스터(TS)는 게이트배선(GL)을 통해 인가된 게이트신호에 따라 턴온되고, 이에 동기하여 데이터배선

(DL)을 통해 인가된 데이터전압이 화소(P)에 인가된다. 이와 같이 인가된 데이터전압과, 공통전극에 인가된 공통전압에 의해 발생된 전계에 따라 액정을 구동하여 영상을 표시할 수 있게 된다.

[0037] 백라이트(150)는 액정패널(110)의 광원으로서 기능하게 된다. 백라이트(140)로서는 다양한 형태의 광원이 사용될 수 있다. 예를 들면, CCFL(cold cathode fluorescent lamp), EEFL(external electrode fluorescent lamp), LED(light emittinng diode) 등이 사용될 수 있다.

[0038] 타이밍컨트롤러(140)는 예를 들면 LVDS(Low Voltage Differential Signaling) 인터페이스, TMDS(Transition Minimized Differential Signaling) 인터페이스 등의 인터페이스를 통해 외부의 호스트 시스템으로부터 수직/수평 동기신호, 데이터 인에이블 신호, 도트 클럭 등의 외부 타이밍신호를 입력받는다.

[0039] 이와 같은 타이밍신호를 사용하여, 타이밍컨트롤러(140)는 데이터구동회로(120)를 제어하는 데이터제어신호와 게이트구동회로(130)를 제어하는 게이트제어신호를 생성할 수 있다.

[0040] 여기서, 데이터제어신호는 소스스타트펄스, 소스샘플링클럭, 극성제어신호, 소스출력인에이블신호 등을 포함할 수 있다. 그리고, 게이트제어신호는 게이트스타트펄스, 게이트클럭(CLK), 게이트출력인에이블신호 등을 포함할 수 있다. 여기서, 게이트클럭(CLK)으로서 n상의 게이트클럭이 사용될 수 있다 (n은 2이상의 자연수).

[0041] 한편, 타이밍컨트롤러(140)는 외부 시스템으로부터 영상데이터를 입력받고 이를 처리하여 데이터구동회로(120)에 공급하게 된다.

[0042] 데이터구동회로(120)는 예를 들면 다수의 구동IC로 구성될 수 있다. 이와 같은 구동IC는 COG(Chip On Glass) 공정이나 COF(Chip On Film) 공정 등으로 액정패널(110)과 연결되어 대응되는 데이터배선(DL)에 접속될 수 있다.

[0043] 데이터구동회로(120)는 타이밍컨트롤러(140)로부터 출력된 디지털 영상데이터와 데이터제어신호를 전달받고, 이에 응답하여 아날로그 형태의 데이터전압을 대응되는 데이터배선(DL)에 출력하게 된다.

[0044] 한편, 도시하지는 않았지만, 액정표시장치(100)에는 감마전압회로가 구비될 수 있다. 감마전압회로는 감마전압을 생성하여 이를 데이터구동회로(120)에 공급하게 되며, 이와 같이 공급된 감마전압을 사용하여 디지털 영상데이터에 대응되는 아날로그 형태의 데이터전압을 생성할 수 있게 된다.

[0045] 게이트구동회로(130)는 타이밍컨트롤러(140)로부터 공급되는 게이트제어신호에 따라, 게이트전압을 게이트배선(GL)에 순차적으로 공급한다.

[0046] 게이트구동회로(130)는 이를 구성하는 회로들 중 적어도 일부가 GIP(gate in panel) 방식으로 액정패널(110)의 어레이기판 상에 직접 구성될 수 있다.

[0047] 예를 들면, 게이트구동회로(130)는 레벨쉬프터(131)와 쉬프트레지스터(132)를 포함할 수 있는데, 쉬프트레지스터(132)를 GIP 방식으로 액정패널(110)의 어레이기판의 비표시영역(NA)에 직접 형성하여 GIP회로로 구성할 수 있다.

[0048] 비표시영역(NA)에 형성된 쉬프트레지스터(132)는 게이트배선(GL)의 끝단과 연결된다. 이와 같은 쉬프트레지스터(132)는, 각 게이트배선(GL) 즉 행라인에 대응하여 다수의 트랜지스터를 포함할 수 있다.

[0049] 본 발명의 실시예에서는, 설명의 편의를 위해, 각 행라인에 대응하여 6개의 트랜지스터가 구성된 쉬프트레지스터(132)를 예로 든다.

[0050] 여기서, 6개의 트랜지스터 중 본 발명의 특징과 관련된 2개의 트랜지스터를 제1 및 2트랜지스터(T1, T2)로 칭한다.

[0051] 이와 같은 제1 및 2트랜지스터(T1, T2)는 쉬프트레지스터(132)의 게이트신호 출력단에 연결된다.

[0052] 여기서, 제1트랜지스터(T1)는 로우전원전압을 인가받고, 대응되는 게이트배선(GL)에 로우전원전압이 출력되는 것을 제어하게 된다.

[0053] 제2트랜지스터(T2)는 게이트클럭(CLK)을 인가받고, 대응되는 게이트배선(GL)에 게이트클럭(CLK)이 출력되는 것

을 제어하게 된다.

[0054] 이처럼, 제2트랜지스터(T2)는 게이트클럭(CLK)의 출력 제어를 수행하게 되는바, 제1트랜지스터(T1) 및 여타의 트랜지스터들에 비해 상대적으로 큰 크기를 갖도록 구성된다. 즉, 채널의 폭/길이(W/L)가 상대적으로 크도록 구성된다.

[0055] 한편, 제2트랜지스터(T2)의 출력 유지를 위해, 제2트랜지스터(T2)의 게이트단자와 연결된 커패시터(C)가 쉬프트레지스터(132)에 구성될 수 있다.

[0056] 이하, 본 발명의 실시예에 따른 비표시영역 및 트랜지스터 배치 구조에 대해 보다 상세하게 설명한다.

[0057] 도 4를 참조하면, 비표시영역(NA)에는 블랙매트릭스영역(BA)과 씰영역(SA)과 씰마진영역(SMA)이 정의되어 있다.

[0058] 블랙매트릭스영역(BA)은 블랙매트릭스가 형성되는 영역으로서, 블랙매트릭스는 액정패널(110)의 대향기판에 형성된다. 이와 같은 비표시영역(NA)의 블랙매트릭스는, 표시영역(AA)에서 데이터배선(DL)과 게이트배선(GL)과 스위칭트랜지스터(TS) 등을 가리는 블랙매트릭스와 동일한 물질로 동일 공정에서 형성된다.

[0059] 씰영역(SA)은, 액정패널(110)을 구성하는 어레이기판과 대향기판을 합착하는 씰패턴이 형성되는 영역에 해당된다. 한편, 씰영역의 어레이기판에는 쉬프트레지스터(132)를 제어하는 제어신호를 전달하기 위한 각종 제어배선이 배치될 수 있다.

[0060] 씰패턴은 UV광을 통해 경화되는데, 이와 같은 UV광은 대향기판 측으로부터 조사된다. 즉, 상면 UV 경화 공정을 통해 씰패턴이 경화된다.

[0061] 이처럼, 씰패턴은 상면 UV 경화 공정을 통해 경화가 이루어지게 되므로, 씰영역(SA)과 블랙매트릭스영역(BA)은 서로 중첩되지 않고 이격되는 것이 바람직하다. 따라서, 씰패턴의 마진을 위해 씰영역(SA)과 블랙매트릭스영역(BA) 사이에는 씰마진영역(SMA)이 구성된다.

[0062] 쉬프트레지스터(132)를 구성하는 다수의 트랜지스터는 블랙매트릭스영역(BA)와 씰마진영역(SMA)에 배치될 수 있게 된다.

[0063] 여기서, 쉬프트레지스터(132)를 구성하는 대부분의 트랜지스터는 블랙매트릭스영역(BA)에 구성된다. 예를 들면, 상대적으로 가장 큰 크기를 갖는 제2트랜지스터(T2)와 나머지 4개의 트랜지스터는 블랙매트릭스영역(BA)에 구성된다.

[0064] 제2트랜지스터(T2)에 비해 작은 크기를 갖는 제1트랜지스터(T1)는 씰마진영역(SMA)에 구성된다. 그리고, 제2트랜지스터(T2)에 연결된 커패시터(C) 또한 씰마진영역에 구성된다.

[0065] 위와 같이, 제1트랜지스터(T1)를 제외한 트랜지스터들은 블랙매트릭스영역(BM)에 배치된다. 이에 따라, 이들 트랜지스터들에 대해서는 블랙매트릭스에 의해 차단되어, 외부 광원이 입사되는 것이 방지될 수 있게 되므로, 이들 트랜지스터들은 정상 동작이 가능하게 된다.

[0066] 특히, 종래의 경우에는 제2트랜지스터(도 1의 T2 참조)의 일부가 제1트랜지스터(도 1의 T1 참조)와 함께 씰마진영역(도 1의 SMA 참조)에 구성됨으로써, 외부 광원에 의해 제2트랜지스터가 오동작하게 되었다. 또한, 종래에는 제2트랜지스터와 연결된 커패시터(도 1의 C 참조) 또한 일부는 블랙매트릭스영역에 구성되고, 나머지 일부는 씰마진영역에 구성되었다.

[0067] 이에 반해, 본 발명의 실시예에 따르면, 제2트랜지스터(T2)를 블랙매트릭스영역으로 배치하고, 이와 연결된 커패시터(C)를 씰마진영역에 배치하게 된다. 커패시터(C)에는 반도체층이 존재하지 않아, 외부 광원에 노출되더라도 구동 특성에 영향을 주지 않게 된다.

[0068] 이처럼, 제2트랜지스터(T2)와 커패시터(C)의 배치 관계 조절을 통해, 제2트랜지스터(T2)를 블랙매트릭스영역(BA)에 구성함으로써, 제2트랜지스터(T2)를 외부 광원으로부터 차단할 수 있게 된다.

[0069] 한편, 씰마진영역(SMA)에 배치된 제1트랜지스터(T1)에 대해서는, 이를 지그재그 형태로 형성하고 블랙매트릭스를 제1트랜지스터(T1)에 대응하여 형성하게 된다.

[0070] 이와 관련하여, 블랙매트릭스를 제1트랜지스터(T1)에 대응하여 지그재그 형태로 형성함에 따라, 제1트랜지스터

(T1)에 외부 광원이 입사되는 것이 방지될 수 있게 된다. 따라서, 씰마진영역(SMA)에 구성된 제1트랜지스터(T1) 또한 정상 구동될 수 있게 된다. 여기서, 블랙매트릭스는 제1트랜지스터(T1)의 채널을 가릴 수 있을 정도로 구성될 수 있다.

[0071] 한편, 씰마진영역(SMA)은 씰패턴의 마진을 고려한 영역으로서, 상면 UV 경화시 UV에 노출될 수 있도록 설정된 영역이다. 여기서, 실질적으로 UV 경화가 수행되기 위해서는, 조사된 UV광의 대략 50% 이상이 씰패턴에 입사될 것이 요구된다. 이에 따라, 씰마진영역(SMA)의 UV 투과영역은 전체영역 대비 대략 50% 이상이 필요하다 할 것이다.

[0072] 이를 위해, 제1트랜지스터(T1)를 지그재그 형태로 구성하게 된다. 즉, 도 5에 도시한 바와 같이, 제1트랜지스터(T1)를 구성하는 반도체층의 채널(CH)과 소스전극 및 드레인전극(S, D)과 게이트전극(미도시)을 지그재그 형태로 구성하게 된다.

[0073] 이처럼, 제1트랜지스터(T1)을 지그재그 형태로 구성하게 되면, 일직선 형태로 구성하는 경우와 비교하여, 제1트랜지스터(T1)가 차지하는 면적은 줄어들게 된다. 즉, 채널의 폭/길이비가 동일한 경우에, 지그재그 형태로 구성된 트랜지스터가 차지하는 면적이 상당한 정도로 감소될 수 있게 된다. 이에 따라, 제1트랜지스터(T1) 주변의 투과영역의 비율을 상대적으로 증가시킬 수 있게 된다.

[0074] 이처럼, 제1트랜지스터(T1)를 지그재그 형태로 구성함으로써, 씰마진영역(SMA)에서 UV 차단영역을 감소시킬 수 있게 되면, 이는 결과적으로 UV 투과영역의 증가를 유발하게 된다. 따라서, 씰마진영역(SMA)에서 제1트랜지스터(T1)의 지그재그 형태를 적절히 조절함으로써, 씰마진영역(SMA)의 UV 투과면적 비율을 50% 이상으로 설정할 수 있게 된다.

[0075] 한편, 본 발명의 실시예에서는, 제1트랜지스터(T1)에 있어, 채널(CH)의 길이방향을 기준으로, 채널(CH)의 길이는 대략 4㎛이고, 소스전극 및 드레인전극의 길이는 각각 6.8㎛이고, 제1트랜지스터(T1)에 대응하는 블랙매트릭스(BM)는 대략 12㎛를 갖는 경우를 예로 들고 있다.

[0076] 도 6은 종래 및 본 발명의 실시예에 따라 액정표시장치를 고온 70도에서 신뢰성 테스트를 한 경우에서의 화면 표시를 나타낸 도면이다.

[0077] 종래의 경우를 살펴보면 화면 이상이 발생하였음을 알 수 있다. 이에 반해, 본 발명의 실시예에의 경우를 살펴보면, 대략 1000시간 정도에서도 화면 이상이 발생하지 않았음을 알 수 있다.

[0078] 전술한 바와 같이, 본 발명의 실시예에 따르면, 큰 크기의 제2트랜지스터를 블랙매트릭스영역에 배치하고, 작은 크기의 제1트랜지스터를 씰마진영역에 배치한다. 특히, 제1트랜지스터에 대응하여 블랙매트릭스를 구성하고, 제1트랜지스터를 지그재그 형태로 구성함으로써, 제1트랜지스터를 외부 광원으로부터 차단함과 함께 제1트랜지스터가 차지하는 면적을 줄일 수 있게 된다. 이에 따라, 상면 UV 경화 공정시, 씰마진영역에 대해 UV 경화가 효과적으로 이루어질 수 있게 된다.

[0079] 따라서, 쉬프트레지스터를 정상적으로 구동하면서, 비표시영역을 감소시켜 베젤 크기를 줄일 수 있게 된다.

[0080] 전술한 본 발명의 실시예는 본 발명의 일예로서, 본 발명의 정신에 포함되는 범위 내에서 자유로운 변형이 가능하다. 따라서, 본 발명은, 첨부된 특허청구범위 및 이와 등가되는 범위 내에서의 본 발명의 변형을 포함한다.

부호의 설명

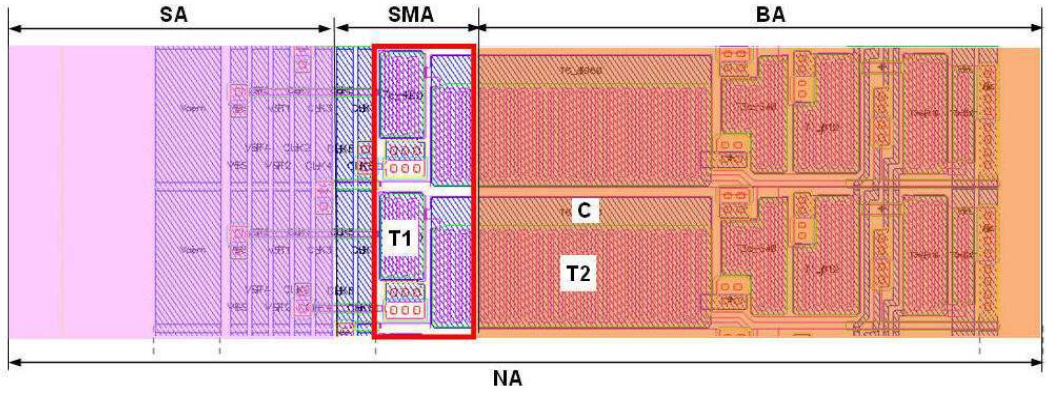
[0081] T1: 제1트랜지스터 T2: 제2트랜지스터

C: 커패시터 SA: 씰영역

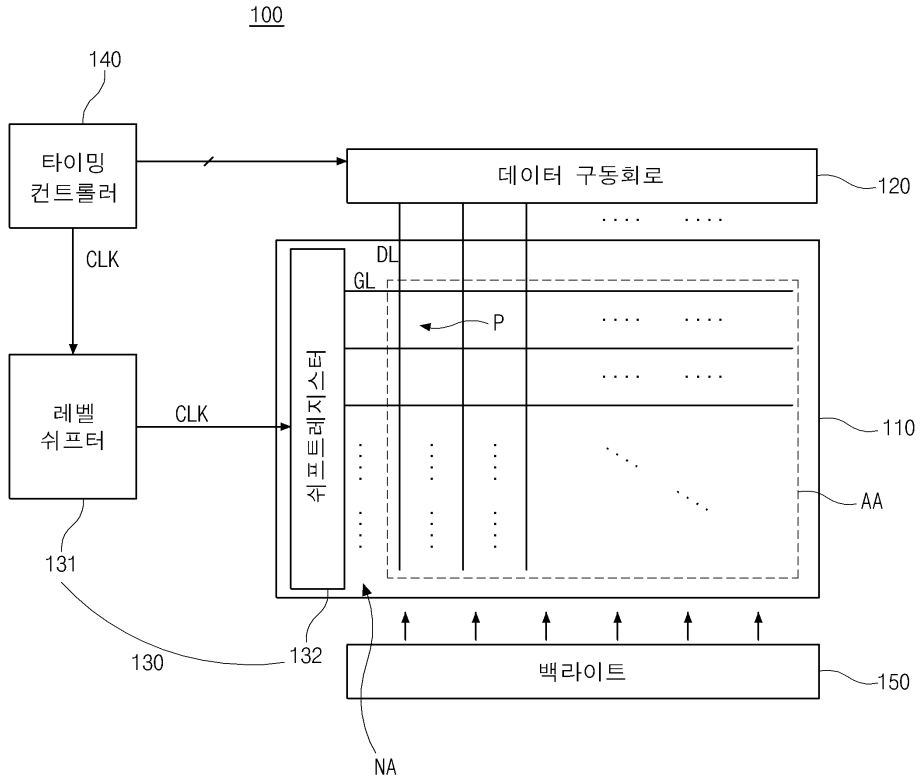
SMA: 씰마진영역 BA: 블랙매트릭스영역

도면

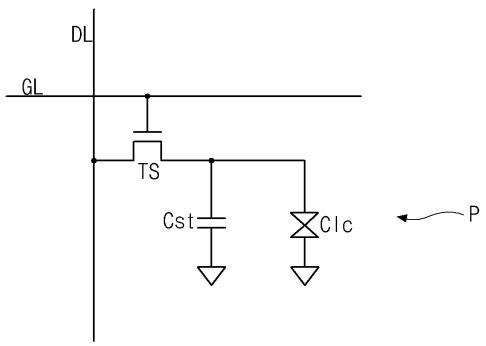
도면1



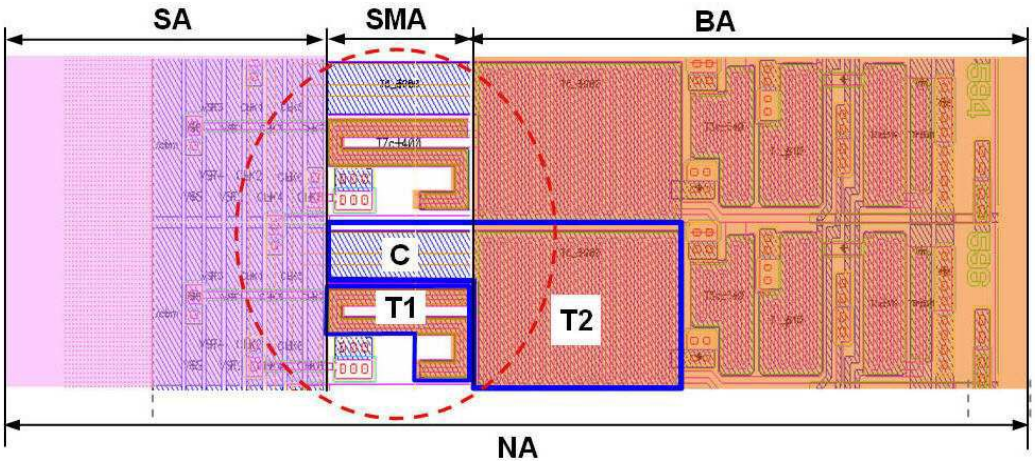
도면2



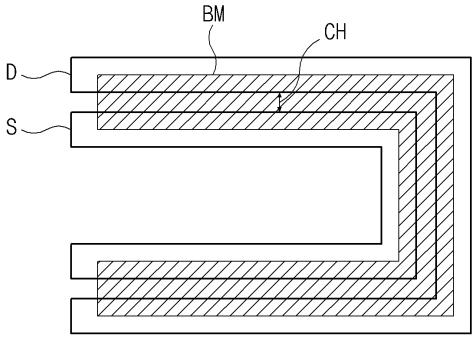
도면3



도면4



도면5

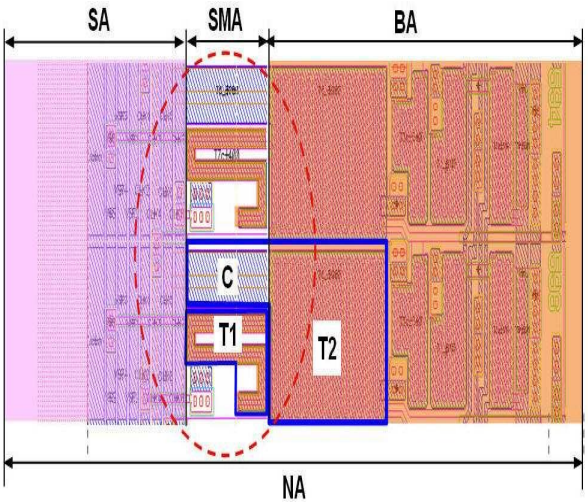


도면6

종래

실시예

专利名称(译)	标题：液晶显示装置及其制造方法		
公开(公告)号	KR1020140079077A	公开(公告)日	2014-06-26
申请号	KR1020120148652	申请日	2012-12-18
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHO YANG HO 조양호 JANG JOO YOUNG 장주영 SONG A JUNG 송아정 HA JONG MOO 하종무		
发明人	조양호 장주영 송아정 하종무		
IPC分类号	G02F1/133 G02F1/1345 G02F1/1339		
CPC分类号	G02F1/1339 G02F1/136286 G02F2001/136295 G02F2201/121 G02F2201/123		
其他公开文献	KR102049734B1		
外部链接	Espacenet		

摘要(译)

本发明提供一种液晶显示器，包括：阵列基板和彼此相对的相对基板，其限定沿着向外方向设置的黑矩阵区域和包括密封边缘区域和密封区域的非显示区域; GIP模式移位晶体管，形成在阵列基板的非显示区域上;第一晶体管和第二晶体管分别配置在移位晶体管中并形成在非显示区域和黑矩阵区域的密封边缘区域上，其中第一晶体管以Z字形形式形成UV透射区域。