



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0022159
(43) 공개일자 2013년03월06일

(51) 국제특허분류(Int. Cl.)

G09G 3/36 (2006.01) G02F 1/133 (2006.01)

(21) 출원번호 10-2011-0084955

(22) 출원일자 2011년08월25일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김종우

경기도 파주시 쇠재로 30, 서원마을아파트 703동 1005호 (금촌동)

문명국

대구광역시 달서구 장기로 145, 성당래미안e-편한 세상 204동 504호 (본리동)

(74) 대리인

특허법인천문

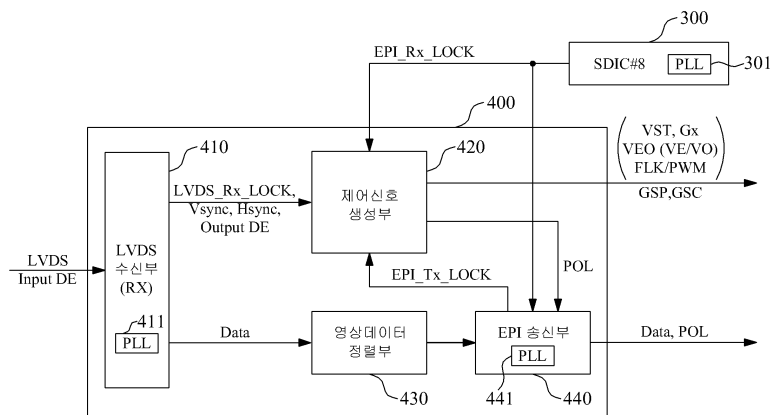
전체 청구항 수 : 총 21 항

(54) 발명의 명칭 액정표시장치 및 그 구동 방법

(57) 요약

본 발명은 액정표시장치 및 그 구동 방법에 관한 것으로서, 특히, 락(Lock)신호를 이용하여 비정상모드 여부를 판단하며, 비정상모드로 판단된 경우에는 구동부를 제어하기 위한 구동부 제어신호의 출력을 차단하는 대신, 구동부가 비정상적인 영상을 출력하지 못하도록 하는 마스킹 제어신호를 구동부로 출력할 수 있는, 액정표시장치 및 그 구동 방법을 제공하는 것을 기술적 과제로 한다. 이를 위해 본 발명에 따른 액정표시장치는, 패널의 게이트 라인에 스캔신호를 출력하기 위한 적어도 하나 이상의 게이트 드라이브 IC와 상기 패널의 데이터라인에 영상데이터신호를 출력하기 위한 적어도 하나 이상의 데이터 드라이브 IC로 구성된 구동부; 및 적어도 하나 이상의 락신호를 이용해 상기 패널에 비정상적인 영상이 출력되는 비정상모드인지의 여부를 판단하여, 정상모드로 판단된 경우에는 상기 구동부를 제어하기 위해 생성된 구동부 제어신호를 출력하며, 비정상모드로 판단된 경우에는 상기 구동부가 상기 비정상적인 영상을 출력하지 못하도록 하는 마스킹 제어신호를 상기 구동부로 출력하기 위한 타이밍 컨트롤러를 포함한다.

대표도 - 도4



특허청구의 범위

청구항 1

패널의 게이트라인에 스캔신호를 출력하기 위한 적어도 하나 이상의 게이트 드라이브 IC와 상기 패널의 데이터 라인에 영상데이터신호를 출력하기 위한 적어도 하나 이상의 데이터 드라이브 IC로 구성된 구동부; 및

적어도 하나 이상의 락신호를 이용해 상기 패널에 비정상적인 영상이 출력되는 비정상모드인지의 여부를 판단하여, 정상모드로 판단된 경우에는 상기 구동부를 제어하기 위해 생성된 구동부 제어신호를 출력하며, 비정상모드로 판단된 경우에는 상기 구동부가 상기 비정상적인 영상을 출력하지 못하도록 하는 마스킹 제어신호를 상기 구동부로 출력하기 위한 타이밍 컨트롤러를 포함하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 타이밍 컨트롤러는,

외부 시스템으로부터 영상데이터와 타이밍 신호를 수신하기 위한 LVDS수신부;

상기 영상데이터를 재정렬하여 출력하기 위한 영상데이터 정렬부;

상기 데이터 드라이브 IC를 구동하기 위해 상기 타이밍 신호를 이용하여 생성된 데이터 제어신호와, 상기 영상데이터 정렬부에서 재정렬되어 출력된 재정렬 영상데이터를 점 대 점 방식으로 상기 데이터 드라이브 IC로 출력하기 위한 EPI송신부; 및

상기 타이밍 신호를 이용하여 상기 게이트 드라이브 IC를 제어하기 위한 게이트 제어신호와, 상기 데이터 드라이브 IC를 제어하기 위한 상기 데이터 제어신호를 포함하는 상기 구동부 제어신호를 생성하며, 상기 락신호를 이용해, 상기 비정상모드인지의 여부를 판단하여, 비정상모드인 경우에는, 상기 구동부 제어신호의 출력을 차단하고 상기 마스킹 제어신호를 출력하기 위한 제어신호 생성부를 포함하는 액정표시장치.

청구항 3

제 2 항에 있어서,

상기 락신호는,

상기 LVDS송신부로부터 출력된 제1락신호, 상기 EPI송신부로부터 출력된 제2락신호, 상기 데이터 드라이브 IC로부터 출력된 제3락신호 중 적어도 어느 하나를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 4

제 3 항에 있어서,

상기 제1락신호는, 상기 외부 시스템으로부터 입력되는 입력신호와 상기 LVDS송신부로부터 출력되는 출력신호의 주파수가 일치하고 있는지에 대한 정보를 포함하고, 상기 제2락신호는, 상기 EPI송신부로부터 입력되는 입력신호와 상기 EPI송신부로부터 상기 데이터 드라이브 IC로 출력되는 출력신호의 주파수가 일치하고 있는지에 대한 정보를 포함하며, 상기 제3락신호는, 상기 데이터 드라이브 IC들 중 마지막 데이터 드라이브 IC로 입력된 입력신호와 상기 마지막 데이터 드라이브 IC로부터 출력되는 출력신호의 주파수가 일치하고 있는지에 대한 정보를 포함하고 있는 것을 특징으로 하는 액정표시장치.

청구항 5

제 4 항에 있어서,

상기 LVDS송신부와, 상기 EPI송신부와, 상기 데이터 드라이브 IC들 각각은, 상기 LVDS송신부와, 상기 EPI송신부와, 상기 데이터 드라이브 IC들 각각으로 입력되는 입력신호와 출력신호의 주파수가 일치하고 있는지에 대한 정보를 출력하기 위한 위상고정루프(PLL)를 포함하는 액정표시장치.

청구항 6

제 2 항에 있어서,

상기 제어신호 생성부는,

상기 게이트 제어신호를 생성하기 위한 게이트 제어신호 생성부;

상기 데이터 제어신호를 생성하기 위한 데이터 제어신호 생성부; 및

상기 게이트 제어신호와 상기 데이터 제어신호를 포함하는 상기 구동부 제어신호와 상기 락신호를 입력받아, 상기 비정상모드인지의 여부를 판단하여, 상기 구동부 제어신호 또는 상기 마스킹 제어신호 중 어느 하나를 출력하는 비정상모드 판단부를 포함하는 액정표시장치.

청구항 7

제 6 항에 있어서,

상기 비정상모드 판단부는,

상기 락신호들 중, 상기 비정상모드인지의 여부를 판단할 판단자료로 사용될 락신호를 선택하는 옵션처리부;

상기 영상데이터를 출력할 프레임을 카운트하기 위한 프레임 카운터;

상기 옵션처리부로부터 출력되는 제1정보를 이용하여, 상기 프레임 카운터를 초기화시키기 위한 프레임 카운터 초기화부;

상기 프레임 카운터 초기화부로부터 입력되는 프레임 카운트 수와 기 설정된 게이트 딜레이 수를 비교하여, 상기 구동부 제어신호를 상기 마스킹 제어신호로 마스킹할 필요가 있는지의 여부를 판단하는데 필요한 제2정보를 생성하는 마스킹 판단정보 생성부; 및

상기 제1정보와 상기 제2정보를 이용해, 상기 비정상모드인지의 여부를 판단하여, 정상모드로 판단된 경우에는 상기 구동부 제어신호를 출력하며, 비정상모드로 판단된 경우에는 상기 마스킹 제어신호를 출력하는 마스킹 제어신호 출력부를 포함하는 액정표시장치.

청구항 8

제 7 항에 있어서,

상기 옵션처리부는,

상기 락신호들 각각이 연결되어 있는 적어도 하나 이상의 OR게이트; 및

상기 OR게이트들과 연결되어 있는 AND게이트를 포함하며,

상기 OR게이트들 각각에는 상기 OR게이트에 연결되어 있는 락신호를 상기 판단자료로 이용할지의 여부에 대한 정보를 포함하고 있는 옵션이 입력되는 것을 특징으로 하는 액정표시장치.

청구항 9

제 7 항에 있어서,

상기 프레임 카운터 초기화부는,

상기 제1정보의 라이징에지 또는 폴링에지를 검출하여 검출클럭을 출력하며, 상기 검출클럭에 의해 상기 프레임 카운터를 초기화시키는 것을 특징으로 하는 액정표시장치.

청구항 10

제 7 항에 있어서,

상기 마스킹 제어신호 출력부는,

상기 제1정보와 상기 제2정보를 입력받는 AND게이트로 형성되어, 상기 비정상모드인지의 여부를 판단하는 판단부; 및

상기 판단기로부터 출력되는 판단신호가 정상모드를 나타내는 신호이면 상기 구동부 제어신호를 출력하며, 상기 판단신호가 비정상모드를 나타내는 신호이면 상기 마스킹 제어신호를 출력하는 출력기를 포함하는 액정표시장치.

청구항 11

제 10 항에 있어서,

상기 마스킹 판단정보 생성부는, 서로 다른 게이트 딜레이 수를 상기 프레임 카운트 수와 비교하기 위해 두 개 이상의 생성기를 포함할 수 있고,

상기 판단기는 상기 생성기들 각각과 연결될 수 있도록 복수 개가 구비될 수 있으며,

상기 복수 개의 판단기 각각과 연결되어 있는 상기 출력기들은, 서로 다른 종류의 구동부 제어신호를 출력하는 것을 특징으로 하는 액정표시장치.

청구항 12

제 10 항에 있어서,

상기 출력기는,

상기 판단기로부터 출력되는 판단신호와 상기 구동부 제어신호를 입력받는 AND게이트 또는, 상기 판단기로부터 출력되는 판단신호를 인버팅시킨 신호와 상기 구동부 제어신호를 입력받는 OR게이트 중 적어도 어느 하나를 포함하는 액정표시장치.

청구항 13

외부 시스템으로부터 입력되는 타이밍 신호를 이용하여, 게이트 드라이브 IC를 제어하기 위한 게이트 제어신호와, 데이터 드라이브 IC를 제어하기 위한 데이터 제어신호를 포함하는 구동부 제어신호를 생성하는 단계;

상기 외부 시스템으로부터 입력되는 영상데이터를 재정렬하는 단계;

적어도 하나 이상의 락신호를 이용하여 패널에 비정상적인 영상이 출력되는 비정상모드인지의 여부를 판단하는 단계; 및

상기 판단결과, 정상모드인 경우에는 상기 구동부 신호를 출력하고, 상기 판단결과, 비정상모드인 경우에는, 상기 구동부 제어신호에 따라 구동되는 구동부가 비정상적인 영상을 출력하지 못하도록 하는 마스킹 제어신호를, 상기 구동부로 출력하는 단계를 포함하는 액정표시장치 구동 방법.

청구항 14

제 13 항에 있어서,

상기 락신호는,

타이밍 컨트롤러 내부에 구성되어 있는 LVDS송신부로부터 출력된 제1락신호, 상기 타이밍 컨트롤러 내부에 구성되어 있는 EPI송신부로부터 출력된 제2락신호, 상기 데이터 드라이브 IC로부터 출력된 제3락신호 중 적어도 어느 하나를 포함하는 것을 특징으로 하는 액정표시장치 구동 방법.

청구항 15

제 14 항에 있어서,

상기 제1락신호는, 상기 외부 시스템으로부터 입력되는 입력신호와 상기 LVDS송신부로부터 출력되는 출력신호의 주파수가 일치하고 있는지에 대한 정보를 포함하고, 상기 제2락신호는, 상기 EPI송신부로부터 입력되는 입력신호와 상기 EPI송신부로부터 상기 데이터 드라이브 IC로 출력되는 출력신호의 주파수가 일치하고 있는지에 대한 정보를 포함하며, 상기 제3락신호는, 상기 데이터 드라이브 IC들 중 마지막 데이터 드라이브 IC로 입력된 입력신호와 상기 마지막 데이터 드라이브 IC로부터 출력되는 출력신호의 주파수가 일치하고 있는지에 대한 정보를 포함하고 있는 것을 특징으로 하는 액정표시장치 구동 방법.

청구항 16

제 13 항에 있어서,

상기 판단 단계는,

상기 락신호들 중, 상기 비정상모드인지의 여부를 판단할 판단자료로 사용될 락신호를 선택하는 단계;

상기 선택에 의해 출력되는 제1정보를 이용하여 검출클럭을 생성하는 단계;

상기 검출클럭에 따라 초기화되어 상기 영상데이터를 출력할 프레임을 카운트하는 단계; 및

상기 프레임 카운트 수와 기 설정된 게이트 딜레이 수를 비교하여, 상기 구동부 제어신호를 상기 마스킹 제어신호로 마스킹할 필요가 있는지의 여부를 판단하는데 필요한 제2정보를 생성하는 단계; 및

상기 제2정보와 상기 제1정보를 이용해, 상기 비정상모드인지의 여부를 판단하는 단계를 포함하는 액정표시장치 구동 방법.

청구항 17

제 16 항에 있어서,

상기 선택하는 단계는,

상기 락신호들 각각과, 상기 락신호들 각각을 상기 판단자료로 이용할지의 여부에 대한 정보를 포함하고 있는 각각의 옵션을 한쌍으로 하여 OR게이트로 처리하는 단계; 및

상기 OR게이트들에 의해 처리된 신호들을 AND게이트로 처리하여 상기 제1정보를 출력하는 단계를 포함하는 액정표시장치 구동 방법.

청구항 18

제 16 항에 있어서,

상기 검출클럭은 상기 제1정보의 라이징에지 또는 폴링에지를 검출하여 생성되는 것을 특징으로 하는 액정표시장치 구동 방법.

청구항 19

제 16 항에 있어서,

상기 제2정보와 상기 제1정보를 이용해, 상기 비정상모드인지의 여부를 판단하는 단계는,

상기 제1정보와 상기 제2정보를 AND게이트로 처리하여 판단신호를 출력하는 것을 특징으로 하는 액정표시장치 구동 방법.

청구항 20

제 19 항에 있어서,

상기 구동부 제어신호 또는 상기 마스킹 제어신호를 출력하는 단계는,

상기 판단신호가 정상모드를 나타내는 신호이면 상기 구동부 제어신호를 출력하며, 상기 판단신호가 비정상모드를 나타내는 신호이면 상기 마스킹 제어신호를 출력하는 것을 특징으로 하는 액정표시장치 구동 방법.

청구항 21

제 20 항에 있어서,

상기 제2정보 생성단계는,

서로 다른 게이트 딜레이 수를 상기 프레임 카운트 수와 비교하여 복수 개의 상기 제2정보를 생성하고,

상기 제2정보와 상기 제1정보를 이용해, 상기 비정상모드인지의 여부를 판단하는 단계는,

상기 복수 개의 상기 제2정보와 상기 제1정보를 상기 AND게이트로 처리하여 복수 개의 상기 판단신호를 생성하

며,

상기 구동부 제어신호 또는 상기 마스킹 제어신호를 출력하는 단계는,

상기 복수 개의 판단신호에 따라 서로 다른 종류의 구동부 제어신호를 출력하는 것을 특징으로 하는 액정표시장치 구동 방법.

명세서

기술분야

[0001] 본 발명은 액정표시장치에 관한 것으로서, 특히, 비정상적인 신호가 입력된 경우에 비정상적인 영상 데이터가 출력되는 것을 방지할 수 있는 액정표시장치 및 그 구동 방법에 관한 것이다.

배경기술

[0002] 액정표시장치는 영상데이터신호에 따라 액정셀들의 광투과율을 조절하여 화상을 표시하는 장치로서, 박형, 경량, 저소비전력 등의 장점을 지니고 있다. 따라서, 액정표시장치는 컴퓨터 모니터와 노트북, 개인휴대단말기 및 벽걸이형 텔레비전에 이르기까지 널리 사용되고 있다.

[0003] 이러한 액정표시장치는 일반적으로, 영상을 표시하는 패널, 게이트 드라이브 IC, 데이터 드라이브 IC 및 타이밍 컨트롤러(timing controller)를 포함하여 구성된다.

[0004] 도 1은 종래의 타이밍 컨트롤러의 입력 및 출력 신호를 나타내는 타이밍도로서, 타이밍 컨트롤러로 입력되는 도트클럭(CLK)과 데이터인에이블신호(DE)에 따른 각종 제어신호들의 출력을 나타내고 있다.

[0005] 액정표시장치를 구성하는 타이밍 컨트롤러는 일반적으로 저전압 차등 신호링(LVDS : low voltage differential signaling)을 이용한 인터페이스를 통해 외부 시스템과 연결되어 있으며, 점 대 점 방식을 이용하여 데이터 드라이브 IC의 각 데이터 드라이브 IC들과 연결되어 있다.

[0006] 또한, 타이밍 컨트롤러는 외부 시스템으로부터 전송되어온 타이밍 신호(Vsync, Hsync, DCLK)를 이용하여 게이트 제어신호(GCS), 데이터제어신호(DCS)를 생성하여 게이트 드라이브 IC와 데이터 드라이브 IC로 전송하는 기능을 수행한다.

[0007] 또한, 타이밍 컨트롤러는 외부 시스템으로부터 전송되어온 영상데이터를 재정렬시켜 데이터 드라이브 IC로 전송하는 기능을 수행한다.

[0008] 이러한, 타이밍 컨트롤러는 외부 시스템 또는 데이터 드라이브 IC 등에서 사용되는 클럭들과 주파수(위상)를 맞추기 위해 위상고정루프(PLL : Phase Locked Loop)(이하, 간단히 'PLL'이라 함)를 이용하고 있다.

[0009] 즉, 타이밍 컨트롤러의 LVDS수신부는 위상고정루프가 포함하고 있어서, 외부 시스템으로부터 LVDS 수신부로 수신되는 신호의 주파수(위상)와, LVDS 수신부로부터 출력되는 신호의 주파수(위상)를 일정하게 락킹(고정)시키고 있고, 타이밍 컨트롤러 내부의 EPI송신부도 위상고정루프를 포함하고 있어서, 타이밍 컨트롤러 내부에서 이용되는 클럭들의 주파수(위상)를 일정하게 락킹(고정)시키고 있으며, 타이밍 컨트롤러와 데이터 드라이브 IC 간의 점 대 점 방식을 구현하기 위해 데이터 드라이브 IC들 각각에도 위상고정루프가 이용되고 있다.

[0010] 그러나, 다양한 원인에 의해 이러한 PLL의 고정(LOCK)이 풀리는(Transition) 경우가 발생할 수 있다. 이러한 비정상적인 상황이 발생되면, 타이밍 컨트롤러가 비정상적인 구동부 제어신호들, 특히, 비정상적인 게이트 제어신호(GCS)를 게이트 드라이브 IC로 전송함으로써, 패널에서 비정상적인 영상이 출력되거나 또는 패널이 정상적으로 동작되지 않을 수 있다.

[0011] 이러한 비정상적인 상황은 다음과 같은 경우에 발생할 수 있다.

[0012] 첫째, 타이밍 컨트롤러의 LVDS수신부의 위상고정루프(PLL)의 고정(LOCK)이 풀려 비정상적인 상황이 발생할 수 있다.

[0013] 예를 들어, 도 1의 (a)에 도시된 바와 같이 모드 변경 등을 목적으로 도트클럭(DCLK)의 프레임 주파수를 60Hz에서 40Hz로 임의로 변환시키는 경우, LVDS수신부의 PLL의 고정(LOCK)이 풀리면서, LVDS수신부로부터 출력되는 데이터인에이블신호(output DE)의 주파수가 LVDS수신부로 입력된 데이터인에이블신호(input DE)의 주파수와 맞지 않게 되어, 글리치(glitch)가 발생할 수 있다. 이 경우, 게이트 드라이브 IC로 게이트 제어신호를 전송하는 타

이밍 컨트롤러는, 비정상적인 게이트 스타트 펄스(GSP) 및 게이트 쉬프트 클럭(GSC)을 출력함으로써, 패널이 비정상적으로 구동될 수 있다.

- [0014] 또한, (b)에 도시된 바와 같이, 외부 시스템으로부터 전송되어온 타이밍 신호(DCLK 등)가 비정상적으로 입력되는 경우에도, LVDS수신부의 PLL의 고정(Lock)이 풀릴 수 있다. 이 경우, GIP 방식의 게이트 드라이브 IC로 게이트 제어신호를 전송하는 타이밍 컨트롤러는, 비정상적인 게이트 스타트 신호(VST) 및 게이트 클럭(GCLK)을 출력함으로써, 패널이 비정상적으로 구동될 수 있다.
- [0015] 둘째, 신호 모드(signal mode)와 노 신호 모드(no signal mode) 상호 간의 변경 시에, 타이밍 컨트롤러의 EPI 송신부의 PLL의 고정(Lock)이 풀려, 비정상적인 상황이 발생될 수 있다.
- [0016] 이 경우, 타이밍 컨트롤러는 상기한 바와 같이 비정상적인 게이트 제어신호(GSP, GSC, GOE/ VST, GCLK)를 생성하여 게이트 드라이브 IC로 출력함으로써, 패널이 비정상적으로 출력될 수 있다.
- [0017] 셋째, 정전기(ESD) 등과 같은 외부 환경의 급작스런 변경에 의해서도 비정상적인 상황이 발생될 수 있으며, 이 경우 역시 타이밍 컨트롤러가 비정상적인 게이트 제어신호((GSP, GSC, GOE/ VST, GCLK)를 생성하여 게이트 드라이브 IC로 출력함으로써, 패널이 비정상적으로 출력될 수 있다.
- [0018] 상기한 바와 같이, 종래의 액정표시장치는 외부 시스템으로부터 전송되어온 타이밍 신호(DCLK)의 주파수가 변하거나 비정상적으로 입력되어 LVDS수신부와 외부 시스템간의 락킹이 풀리는 경우, 또는, 모드 변경 등에 의해 EPI송신부의 락킹이 풀리는 경우, 또는, 외부 환경 등에 의해 데이터 드라이브 IC와 타이밍 컨트롤러 간의 락킹이 풀리는 경우 등과 같은 비정상적인 상황이 발생될 수 있다.
- [0019] 이 경우, 타이밍 컨트롤러는 비정상적인 게이트 제어신호((GSP, GSC, GOE/ VST, GCLK))를 생성하여 게이트 드라이브 IC로 출력할 수 있다. 이 경우, 비정상적인 게이트 제어신호에 의해 패널에서는 비정상적인 디스플레이가 유발될 수 있으며, 최악의 경우 패널 자체가 데미지(Damage)를 받을 수도 있다.
- [0020] 또한, 상기한 바와 같은 비정상적인 상황이 발생하는 경우, 타이밍 컨트롤러는 비정상적인 데이터 제어신호(SOE, SSP, SSC)를 생성하여 데이터 드라이브 IC로 출력할 수도 있고, 비정상적인 파워 제어신호(PWM, PLK)를 생성하여 파워 IC로 출력할 수도 있으며, 이에 따라, 액정표시장치가 비정상적으로 구동될 수 있다.

발명의 내용

해결하려는 과제

- [0021] 본 발명은 상술한 문제점을 해결하기 위한 것으로서, 락(Lock)신호를 이용하여 비정상모드 여부를 판단하며, 비정상모드로 판단된 경우에는 구동부를 제어하기 위한 구동부 제어신호의 출력을 차단하는 대신, 구동부가 비정상적인 영상을 출력하지 못하도록 하는 마스킹 제어신호를 구동부로 출력할 수 있는, 액정표시장치 및 그 구동방법을 제공하는 것을 기술적 과제로 한다.

과제의 해결 수단

- [0022] 상술한 기술적 과제를 달성하기 위한 본 발명에 따른 액정표시장치는, 패널의 게이트라인에 스캔신호를 출력하기 위한 적어도 하나 이상의 게이트 드라이브 IC와 상기 패널의 데이터라인에 영상데이터신호를 출력하기 위한 적어도 하나 이상의 데이터 드라이브 IC로 구성된 구동부; 및 적어도 하나 이상의 락신호를 이용해 상기 패널에 비정상적인 영상이 출력되는 비정상모드인지의 여부를 판단하여, 정상모드로 판단된 경우에는 상기 구동부를 제어하기 위해 생성된 구동부 제어신호를 출력하며, 비정상모드로 판단된 경우에는 상기 구동부가 상기 비정상적인 영상을 출력하지 못하도록 하는 마스킹 제어신호를 상기 구동부로 출력하기 위한 타이밍 컨트롤러를 포함한다.
- [0023] 상술한 기술적 과제를 달성하기 위한 본 발명에 따른 액정표시장치 구동 방법은, 외부 시스템으로부터 입력되는 타이밍 신호를 이용하여, 게이트 드라이브 IC를 제어하기 위한 게이트 제어신호와, 데이터 드라이브 IC를 제어하기 위한 데이터 제어신호를 포함하는 구동부 제어신호를 생성하는 단계; 상기 외부 시스템으로부터 입력되는 영상데이터를 재정렬하는 단계; 적어도 하나 이상의 락신호를 이용하여 패널에 비정상적인 영상이 출력되는 비정상모드인지의 여부를 판단하는 단계; 및 상기 판단결과, 정상모드인 경우에는 상기 구동부 신호를 출력하고, 상기 판단결과, 비정상모드인 경우에는, 상기 구동부 제어신호에 따라 구동되는 구동부가 비정상적인 영상을 출력하지 못하도록 하는 마스킹 제어신호를, 상기 구동부로 출력하는 단계를 포함한다.

발명의 효과

- [0024] 상술한 해결 수단에 따라 본 발명은 다음과 같은 효과를 제공한다.
- [0025] 즉, 본 발명은 락(Lock)신호를 이용하여 비정상모드 여부를 판단하며, 비정상모드로 판단된 경우에는 구동부를 제어하기 위한 구동부 제어신호의 출력을 차단하는 대신, 구동부가 비정상적인 영상을 출력하지 못하도록 하는 마스킹 제어신호를 구동부로 출력함으로써, 비정상모드에서 비정상적인 구동부 제어신호가 구동부로 출력되는 것을 차단하여, 패널의 로드(Road)가 증가하는 것을 방지할 수 있다는 효과를 제공한다.
- [0026] 또한, 본 발명은 비정상모드에서 스캔신호가 게이트라인으로 출력되는 것을 차단함으로써, 비정상적인 게이트 제어신호에 의해 비정상적인 영상데이터신호가 패널에 충전되는 현상을 방지할 수 있다는 효과를 제공한다.
- [0027] 또한, 본 발명은 비정상적인 게이트 제어신호의 출력을 차단함으로써, 비정상적인 게이트 제어신호에 의해 액정 패널이 데미지(damage)를 받는 현상을 방지할 수 있다는 효과를 제공한다.
- [0028] 즉, 비정상모드에서 출력되는 비정상적인 게이트 제어신호가 너무 길거나 짧을 경우, 파워IC(power IC)가 데미지(damage)를 받아 셧다운(Shutdown)될 수 있으나, 본 발명은 이러한 비정상적인 게이트 제어신호를 차단함으로써, 상기한 바와 같은 데미지를 줄일 수 있다는 효과를 제공한다.
- [0029] 상기한 바와 같이, 본 발명은 다양한 원인들에 의해 락신호가 풀려 타이밍 컨트롤러로부터 비정상적인 구동부 제어신호가 발생하면, 비정상적인 구동부 제어신호를 마스킹 제어신호로 마스킹함으로써, 비정상모드에서의 비정상적인 디스플레이를 방지하고, 패널을 보호할 뿐만 아니라, 기타 액정표시장치의 각종 회로 소자들을 보호할 수 있다는 효과를 제공한다.

도면의 간단한 설명

- [0030] 도 1은 종래의 타이밍 컨트롤러의 입력 및 출력 신호를 나타내는 타이밍도.
- 도 2는 본 발명에 따른 액정표시장치의 구성을 나타낸 예시도.
- 도 3은 본 발명에 따른 액정표시장치 중 데이터 드라이브 IC의 구성을 나타낸 예시도.
- 도 4는 본 발명에 따른 액정표시장치 중 타이밍 컨트롤러(400)의 내부 구성을 나타낸 예시도.
- 도 5는 도 4에 도시된 타이밍 컨트롤러 중 제어신호 생성부(420)의 내부 구성을 나타낸 예시도.
- 도 6은 도 5에 도시된 비정상모드 판단부(423)로 입출력되는 제어신호들의 파형을 나타낸 예시도.
- 도 7은 도 5에 도시된 비정상모드 판단부(423)의 내부 구성을 나타낸 예시도.
- 도 8은 도 5에 도시된 비정상모드 판단부(423)로 입출력되는 각종 신호들의 시뮬레이션 결과를 나타낸 예시도.

발명을 실시하기 위한 구체적인 내용

- [0031] 이하, 첨부된 도면을 참조하여 본 발명의 실시 예에 대해 상세히 설명한다.
- [0032] 도 2는 본 발명에 따른 액정표시장치의 구성을 나타낸 예시도이다. 또한, 도 3은 본 발명에 따른 액정표시장치 중 데이터 드라이브 IC의 구성을 나타낸 예시도이다.
- [0033] 본 발명에 따른 액정표시장치는 도 2에 도시된 바와 같이, 액정셀 매트릭스를 갖는 패널(100), 패널의 게이트라인들을 구동하기 위한 적어도 하나 이상의 게이트 드라이브 IC(GDIC#1~GDIC#4)(200), 패널의 데이터라인들을 구동하기 위한 적어도 하나 이상의 데이터 드라이 IC(SDIC#1~SDIC#8)(300) 및 게이트 드라이브 IC와 데이터 드라이브 IC를 제어하기 위한 타이밍 컨트롤러(400)를 포함하여 구성될 수 있다. 또한, 도면에 도시되어 있지는 않지만, 본 발명에 따른 액정표시장치는 패널로 인가되는 광을 출력하기 위한 백라이트 및 백라이트와 패널에서 요구되는 전압 등을 제어하기 위한 파워 IC를 더 포함할 수 있다. 이하의 설명 중, 게이트 드라이브 IC, 데이터 드라이브 IC, 파워IC 등을 통칭하여 구동부라 하며, 게이트 드라이브 IC, 데이터 드라이브 IC, 파워IC를 제어하기 위해 타이밍 컨트롤러에서 생성되는 게이트 제어신호, 데이터 제어신호, 파워 제어신호를 통칭하여 구동부 제어신호라 한다.
- [0034] 우선, 패널(100)은 게이트라인들과 데이터라인들(DL1 내지 DLm)의 교차로 정의되는 영역마다 형성된 박막트랜지스터(TFT)와, 화소전극(PXL)을 포함하는 액정셀을 구비한다.

- [0035] 박막트랜지스터(TFT)는 게이트라인으로부터의 스캔신호에 응답하여 데이터라인으로부터의 화소신호(영상데이터 신호)를 화소전극(PXL)에 공급한다. 화소전극(PXL)은 화소신호에 응답하여 공통전극과의 사이에 위치하는 액정을 구동함으로써 빛의 투과율을 조절하게 된다.
- [0036] 본 발명에 적용되는 패널의 액정모드는, TN 모드, VA 모드, IPS 모드, FFS 모드뿐 아니라 어떠한 종류의 액정모드도 가능하다. 또한, 본 발명에 따른 액정표시장치는 투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치 등 어떠한 형태로도 구현될 수 있다.
- [0037] 다음, 타이밍 컨트롤러(400)는 외부 시스템으로부터 입력되는 타이밍 신호, 즉, 액정표시장치에서 기준클럭으로 이용되는 도트클럭(DCLK), 수직동기신호(Vsync), 수평동기신호(Hsync) 및 데이터 인에이블 신호(DE) 등을 이용하여, 게이트 드라이브 IC(200)들의 동작 타이밍을 제어하기 위한 게이트 제어신호(GCS) 및 데이터 드라이브 IC(300)들의 동작 타이밍을 제어하기 위한 데이터 제어신호(DCS)를 생성하며, 데이터 드라이브 IC(300)들에 영상데이터신호를 공급한다.
- [0038] 타이밍 컨트롤러(400)에서 발생하는 게이트 제어신호들은 게이트 드라이브 IC의 형태에 따라 달라질 수 있다. 예를 들어, 게이트 드라이브 IC(200)가 도 2에 도시된 바와 같이 칩온필름(COF) 또는 테이프 캐리어 패키지(TCP) 형태로 패널에 연결되는 경우에 타이밍 컨트롤러(400)에서 발생하는 게이트 제어신호들로는 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭(GSC), 게이트 출력 인에이블 신호(GOE) 등이 있다. 또한, 게이트 드라이브 IC(200)가 패널에 실장되어 있는 게이트 인 패널(GIP) 타입의 경우에 타이밍 컨트롤러(400)에서 발생하는 게이트 제어신호들로는 게이트 스타트신호(VST), 게이트 클럭(GCLK) 등이 있다.
- [0039] 또한, 타이밍 컨트롤러(400)에서 발생하는 데이터 제어신호들에는 소스 스타트 펄스(SSP), 소스 쉬프트 클럭신호(SSC), 소스 출력 인에이블 신호(SOE), 극성제어신호(POL) 등이 포함된다. 그러나, 이러한 데이터 제어신호들은, 타이밍 컨트롤러와 데이터 드라이브 IC간에 이용되고 있는 인터페이스 방식이, TTL 방식인지, mini LVDS 방식인지 또는 EPI 방식인지에 따라 다양한 형태로 변경될 수 있다.
- [0040] 또한, 타이밍 컨트롤러(400)는, 외부 시스템과의 인터페이스는 저전압 차등 시그널링(LVDS : low voltage differential signaling)(이하, 간단히 'LVDS'라 함)을 이용하고, 데이터 드라이브 IC와의 인터페이스는 이피아이(EPI : Embedded Clock Point-Point Interface) 방식(이하, 간단히 'EPI'라 함)을 이용할 수 있다.
- [0041] 따라서, LVDS를 이용하여 외부 시스템과 통신을 수행하기 위해 LVDS 수신부를 구비하고 있고, EPI를 이용하여 데이터 드라이브 IC와 통신을 수행하기 위해 EPI송신부를 구비하고 있으며, LVDS수신부와 EPI송신부 각각에는 입출력 신호의 위상을 고정시키기 위해 위상고정루프(PLL : phase locked loop)(이하, 간단히 'PLL'이라 함)가 구비되어 있다. 또한, 데이터 드라이브 IC의 경우에도 입출력 신호의 위상을 고정시키기 위해 상기한 바와 같은 PLL 또는 지연 락 루프(DLL : Delay Locked loop)를 포함하고 있다. LVDS, EPI 및 PLL 등에 대하여는 이하에서 설명된다.
- [0042] 한편, 본 발명에 적용되는 타이밍 컨트롤러(400)는 상기한 바와 같은 PLL에서 생성되는 락(Lock)신호(LVDS_Rx_LOCK, EPI_Tx_LOCK, EPI_Rx_LOCK)의 폴링에지 또는 라이징에지를 이용하여, 게이트 제어신호가 비정상적으로 출력되고 있는 모드(이하, 간단히 '비정상모드'라 함)인지의 여부를 판단하여, 비정상모드라고 판단되는 경우에는, 게이트 드라이브 IC, 데이터 드라이브 IC, 파워IC 등으로 출력되는 구동부 제어신호를 차단하는 대신, 기준값으로 마스킹된 마스킹 제어신호(MCS)를 구동부로 출력함으로써, 액정패널에서 비정상적인 영상이 출력되지 않도록 하는 기능을 수행한다.
- [0043] 여기서, 비정상모드란, 발명의 배경이 되는 기술에서 언급된 바와 같이, 외부 시스템으로부터 전송되어온 타이밍 신호(DCLK)의 주파수가 변하거나 비정상적으로 입력되어 LVDS수신부(410)의 락(Lock)이 풀리는 경우, 또는, 모드 변경 등에 의해 EPI 송신부(440)의 락(Lock)이 풀리는 경우, 또는, 외부 환경 등에 의해 데이터 드라이브 IC(300)의 락(Lock)이 풀리는 경우 등과 같은 비정상적인 상황이 발생되어, 구동부 제어신호가 정상적으로 생성되지 않는 상태를 말한다.
- [0044] 또한, 정상모드란, 상기한 바와 같은 비정상모드가 아닌 상태를 말하는 것으로서, 정상적인 락신호가 타이밍 컨트롤러로 입출력되는 상태이다. 이러한 정상모드에서, 타이밍 컨트롤러는 타이밍 신호에 의해 생성된 게이트 제어신호를 게이트 드라이브 IC로 출력할 수 있고, 데이터 제어신호를 데이터 드라이브 IC로 출력할 수 있으며, 파워 제어신호를 파워IC로 출력할 수 있다.

- [0045] 즉, 타이밍 컨트롤러는 지속적으로 락 신호(LVDS_Rx_LOCK, EPI_Tx_LOCK, EPI_Rx_LOCK)를 이용하여 비정상모드의 발생여부를 모니터링하고 있다가, 구동부 제어신호가 비정상적으로 출력되고 있는 비정상모드라고 판단되면, 이미 생성된 비정상적인 구동부 제어신호의 출력을 차단하는 대신, 비정상적인 영상이 패널을 통해 출력되지 않도록 하는 마스킹 제어신호(MCS)를 구동부로 출력하는 기능을 수행한다. 여기서, 마스킹 제어신호(MCS)란 예를 들어, 스캔신호가 출력되지 않도록 하는 게이트 제어신호, 예를 들어, Low논리값을 갖는 게이트 스타트 신호(VST) 또는 Low논리값을 갖는 게이트 클락(GCLK)이 될 수 있으며, High논리값을 갖는 게이트 출력 인에이블신호(GOE)가 될 수도 있다. 이 외에도 마스킹 제어신호(MCS)는 비정상적인 영상데이터신호가 데이터라인으로 출력되지 않도록 하는 데이터 제어신호, 예를 들어, 하이논리값을 갖는 데이터 출력 인에이블신호(SOE)가 될 수도 있으며, 비정상적인 공통전극이 출력되거나 또는 백라이트가 비정상적으로 구동되지 않도록 하기 위한 파워 제어신호, 예를 들어, PWM 등이 될 수도 있다. 즉, 마스킹 제어신호는, 게이트 드라이브 IC, 데이터 드라이브 IC, 파워IC가 비정상모드에서 게이트 라인 또는 데이터 라인 또는 패널과 백라이트 등을 비정상적으로 구동시키지 않도록 하기 위해, 게이트 드라이브 IC 또는 데이터 드라이브 IC 또는 파워IC로 출력되는 게이트 제어신호, 데이터 제어신호 및 파워 제어신호들 중 어느 하나를 포함할 수 있다. 이에 대하여는, 이하에서 상세히 설명된다.
- [0046] 다음, 게이트 드라이브 IC(GDIC#1~GDIC#4)(200)들 각각은 정상모드에서는 타이밍 컨트롤러에서 생성된 게이트 제어신호들을 이용하여 게이트라인들에 스캔신호를 공급한다. 스캔신호에 응답하여 박막트랜지스터들(TFT)은 수평라인 단위로 구동된다.
- [0047] 또한, 게이트 드라이브 IC(200)는 비정상모드에서는 타이밍 컨트롤러에서 생성된 마스킹 제어신호(MCS)에 따라 구동되어 게이트라인들에 스캔신호를 공급하지 않는다.
- [0048] 즉, 본 발명에 적용되는 게이트 드라이브 IC(200)는 종래의 액정표시장치에 적용되던 게이트 드라이브 IC가 그대로 적용될 수 있는 것으로서, 정상모드에서는 타이밍 컨트롤러에서 전송되어오는 게이트 제어신호(GCS)에 따라 구동되며, 비정상모드에서는 타이밍 컨트롤러에서 전송되어오는 마스킹 제어신호(MCS)에 따라 구동된다는 특징을 가지고 있다.
- [0049] 여기서, 마스킹 제어신호(MCS)는 상기한 바와 같이 게이트 드라이브 IC가 스캔신호를 출력하지 않도록 하는 게이트 제어신호가 될 수 있고, 이러한 마스킹 제어신호가 수신된 경우, 게이트 드라이브 IC는 스캔신호를 게이트라인으로 출력하지 않게 되며, 따라서, 외부에서 볼 때, 게이트 드라이브 IC는 동작하지 않는 것으로 보여질 수도 있다.
- [0050] 한편, 본 발명에 적용되는 게이트 드라이브 IC(200)는 상기한 바와 같이, 패널과 독립되게 형성되어, 다양한 방식으로 패널과 전기적으로 연결될 수 있는 형태로 구성될 수 있으나, 액정패널 내에 실장되어 있는 게이트 인 패널(Gate In Panel : GIP)방식으로 구성될 수도 있다.
- [0051] 이 경우, 게이트 드라이브 IC를 제어하기 위한 제어신호로는 스타트신호(VST) 및 게이트클럭(GCLK)이 될 수 있는바, 이하에서는 게이트 인 패널(GIP) 방식의 게이트 드라이브 IC를 일례로 하여 본 발명이 설명된다.
- [0052] 그러나, 본 발명이 이에 한정되는 것은 아니므로, 게이트 드라이브 IC는 게이트 인 패널 이외의 방식으로 구현될 수도 있으며, 이 경우에는 게이트 드라이브 IC가 스캔신호를 출력하지 않도록 하거나 비정상적으로 구동되지 않도록 하는 다양한 종류의 신호들(GSP, GSC, GOE)이 게이트 제어신호로 적용될 수 있다.
- [0053] 마지막으로, 데이터 드라이브 IC(300)는 입력된 영상 데이터를 아날로그 화소신호(영상데이터신호)로 변환하여 게이트라인에 스캔신호가 공급되는 1수평기간마다 1수평라인분의 영상데이터신호를 데이터라인들에 공급한다. 즉, 데이터 드라이브 IC(300)는 감마전압 발생부(도시하지 않음)로부터 공급되는 감마전압들을 이용하여, 영상 데이터를 영상데이터신호로 변환시킨 후 데이터라인으로 출력시킨다.
- [0054] 이러한 데이터 드라이브 IC(300)는, 게이트 드라이브 IC와 마찬가지로 비정상모드에서 영상데이터신호가 데이터라인으로 출력되지 않도록 하는 마스킹 제어신호(MCS)(예를 들어, SOE, POL 등)를 입력받아, 영상데이터신호를 출력시키지 않을 수도 있다.
- [0055] 그러나, 비정상모드에서는 게이트 드라이브 IC로 출력되는 마스킹 제어신호(MCS)에 의해 스캔신호가 게이트라인으로 출력되고 있지 않기 때문에, 영상데이터신호를 출력시키지 않도록 하기 위한 별도의 마스킹 제어신호는 타

이밍 컨트롤러에서 출력되지 않을 수도 있다.

- [0056] 즉, 데이터 드라이브 IC(SDIC#1~SDIC#8)(300)들 각각이 비정상모드에서도 정상모드에서와 같은 기능을 수행한다고 하더라도, 비정상모드에서는 게이트 드라이브 IC가 타이밍 컨트롤러에서 전송되는 마스크 제어신호(MCS)에 따라 구동되고 있기 때문에, 게이트 드라이브 IC를 통해 스캔신호가 게이트라인으로 공급되지 않는다. 따라서, 비정상모드에서는 데이터 드라이브 IC를 통해 데이터라인으로 영상데이터신호가 출력되더라도, 픽셀에 영상데이터신호가 충전되지 않기 때문에 비정상적인 영상이 패널을 통해 출력되지 않는다.
- [0057] 또한, 비정상모드에서 데이터 드라이브 IC로부터 데이터라인으로 상기한 바와 같이 영상데이터신호가 출력된다고 하더라도, 데이터 드라이브 IC 자체 및 액정패널에 미치는 데미지의 영향은 크지 않기 때문에, 타이밍 컨트롤러는 영상데이터신호가 출력되지 않도록 하기 위한 마스크 제어신호를 생성하지 않을 수도 있다.
- [0058] 따라서, 본 발명에 적용되는 데이터 드라이브 IC(300)는 종래의 EPI 방식을 이용한 액정표시장치에 적용되던 데이터 드라이브 IC가 그대로 적용될 수 있는 것으로서, 정상모드에서는, 타이밍 컨트롤러에서 전송되어온 디지털 영상데이터를 아날로그값을 갖는 영상데이터신호로 저장하고 있다가, 타이밍 컨트롤러에서 전송되어오는 게이트 제어신호에 따라 구동되는 게이트 드라이브 IC를 통해, 각 게이트라인으로 스캔신호가 인가되면, 데이터라인으로 영상데이터신호를 1수평기간 동안 출력하는 기능을 수행한다.
- [0059] 한편, 이러한 데이터 드라이브 IC(300)는 출원번호 10-2008-0127456 및 도 3에 도시된 바와 같이, 데이터 샘플링부(331), 래치부(332), 디지털 아날로그 변환부(333) 및 출력버퍼(334)를 포함하고 있으며, 특히, 데이터 샘플링부(331)에는 상기한 바와 같은 PLL(301)이 포함되어 있다.
- [0060] 즉, 데이터 샘플링부(331)는 타이밍 콘트롤러(TCON)의 EPI송신부(440)로부터 입력되는 입력신호 또는 앞단 데이터 드라이브 IC들(SDIC#1~SDIC#7)로부터 전달된 락신호(Lock In)를 비교하여 두 신호가 모두 하이논리일 때 하이논리의 락 신호(Lock Out)를 출력한다. 하이논리의 락 신호는 다음 단의 데이터 드라이브 IC들(SDIC#2~SDIC#8)에 전달되고, 마지막 데이터 드라이브 IC(SDIC#8)는 하이논리의 락신호(EPI_Rx_LOCK)를 타이밍 콘트롤러(TCON)의 EPI송신부(440) 및 제어신호 생성부(420)로 피드백 입력한다.
- [0061] 따라서, 제어신호 생성부(420)는, 마지막 데이터 드라이브 IC(SDIC#8)로부터 하이논리의 락신호(EPI_Rx_LOCK)가 수신되지 않으면, 타이밍 콘트롤러와 데이터 드라이브 IC들 간의 구동 주파수가 일치되지 않은 비정상모드로 판단하여, 상기한 바와 같이 마스크 제어신호를 출력할 수 있다.
- [0062] 이하에서는, 도 4 내지 도 6을 참조하여 타이밍 컨트롤러의 구체적인 구성 및 그 기능이 설명된다.
- [0063] 도 4는 본 발명에 따른 액정표시장치 중 타이밍 콘트롤러(400)의 내부 구성을 나타낸 예시도이다. 또한, 도 5는 도 4에 도시된 타이밍 콘트롤러 중 제어신호 생성부(420)의 내부 구성을 나타낸 예시도이다. 또한, 도 6은 도 5에 도시된 비정상모드 판단부(423)로 입출력되는 제어신호들의 파형을 나타낸 예시도이다.
- [0064] 본 발명에 따른 타이밍 콘트롤러(400)는 외부 시스템(미도시)으로부터 공급되는 수직/수평 동기신호(Vsync, Hsync)와 도트클럭(DCLK)을 이용하여 게이트 드라이브 IC(200)를 제어하기 위한 게이트 제어신호(GCS)와 데이터 드라이브 IC(300)를 제어하기 위한 데이터 제어신호(DCS) 또는 파워IC를 제어하기 위한 파워 제어신호를 출력하는 기능을 수행한다.
- [0065] 한편, 타이밍 콘트롤러는 다양한 구성요소의 PLL에서 생성되는 락(Lock)신호를 이용하여 현재의 상태가 비정상모드인지 또는 정상모드인지의 여부를 모니터링하고 있다가, 구동부 제어신호가 비정상적으로 출력되고 있는 비정상모드라고 판단되는 경우에는, 구동부, 특히, 게이트 드라이브 IC로 전송되는 게이트 제어신호인 게이트 스타트신호(VST) 및 게이트 클럭신호(GCLK)의 출력을 차단(마스크)하는 한편, 기 설정되어 있는 기준값을 갖는 마스크 제어신호(MCS)를 게이트 드라이브 IC로 전송하는 기능을 수행한다. 즉, 비정상모드에서 구동부를 제어하기 위한 마스크 제어신호는 상기한 바와 같이 게이트 제어신호, 데이터 제어신호 및 파워 제어신호가 모두 포함될 수 있으나, 특히, 스캔신호를 출력시키지 못하도록 하는 게이트 제어신호가 효율적인 마스크 제어신호로 이용될 수 있다.
- [0066] 즉, 마스크 제어신호가 게이트 제어신호인 경우, 기 설정되어 있는 기준값이란, 게이트 드라이브 IC가 비정상적으로 구동되지 않거나 또는 게이트 드라이브 IC가 스캔신호를 출력하지 않도록 하는 게이트 스타트 신호(VST)의 값 또는 게이트 클럭신호(GCLK)의 값이 될 수 있다. 따라서, N타입 트랜지스터로 구동되는 게이트 드라이브 IC인 경우, 마스크 제어신호인 게이트 스타트 신호(VST)와 게이트 클럭신호(GCLK)는 로우(Low)논리값을 갖을 수

있다.

- [0067] 즉, 비정상모드에서, 게이트 드라이브 IC로, 로우논리값(L(0))을 값을 갖는 게이트 스타트 신호(VST)와 게이트 클럭신호(GCLK)가 마스크 제어신호(MCS)로 입력되면, 게이트 드라이브 IC는 스캔신호를 패널의 게이트라인으로 출력할 수 없게 된다. 따라서, 비정상모드에서는 데이터 드라이브 IC로부터 영상데이터신호가 출력되더라도, 영상데이터신호가 픽셀에 충전될 수 없기 때문에 비정상적인 영상이 출력되지 않는다.
- [0068] 이를 위해, 타이밍 컨트롤러는 도 4에 도시된 바와 같이, 외부 시스템으로부터 영상데이터(Data)와 타이밍 신호(Vsync, Hsync, DE, DCLK)를 수신하기 위한 LVDS수신부(410), 영상데이터(Data)를 재정렬하여 출력하기 위한 영상데이터 정렬부(430), 락신호들을 이용하여 비정상모드 여부를 판단하여, 정상모드인 경우에는 타이밍 신호를 이용하여 게이트 드라이브 IC를 제어하기 위한 게이트 제어신호(GCS)와 데이터 드라이브 IC를 제어하기 위한 데이터 제어신호(DCS)와 파워IC를 제어하기 위한 파워 제어신호(PWM)를 생성하며, 비정상모드인 경우에는 상기에서 생성된 구동부 제어신호(게이트 제어신호, 데이터 제어신호, 파워 제어신호)의 출력을 차단하는 대신, 구동부 제어신호를 기준값으로 마스크 시킨 마스크 제어신호(MCS)를 생성하여 출력하기 위한 제어신호 생성부(420) 및 제어신호 생성부로부터 전송되어온 데이터 제어신호(DCS)와 영상데이터 정렬부로부터 전송되어온 영상데이터를 점 대 점 방식(Point to Point)으로 각 데이터 드라이브 IC로 출력하기 위한 EPI송신부(440)를 포함하여 구성될 수 있다. 또한, 타이밍 컨트롤러(400)는 도면으로 도시되어 있지는 않지만, 타이밍 컨트롤러 내부에서 필요한 내부클럭을 발생시키기 위한 내부클럭 발생부(VCO), 각종 정보를 저장하기 위한 저장부(SRAM) 및 저장부와 기타 서브IC들과 통신을 수행하기 위한 I2C Master를 더 포함할 수도 있다.
- [0069] 우선, LVDS수신부(410)는 외부 시스템(미도시)으로부터 수직동기신호(Vsync), 수평동기신호(Hsync), 도트클럭(DCLK), 데이터 인에이블(DE) 신호와 같은 타이밍 신호 및 영상데이터(RGB) 등을 수신하는 기능을 수행하는 것으로서, 특히, LVDS 인터페이스를 통해 구성될 수 있다.
- [0070] 여기서, LVDS란 고속의 디지털 인터페이스로, LVDS에서는 상반된 극성의 두 개의 신호를 생성하고, 두 개의 신호를 서로 참조하여 데이터를 전송한다. 따라서, LVDS는 저전압으로 데이터 전송을 실현할 수 있어, 소비 전력이 낮고, 전송속도가 빠르며, 노이즈에 대해 우수한 내성을 가진다는 특징을 가지고 있다.
- [0071] 이러한, LVDS수신부(410)는 외부 시스템의 LVDS전송부(LVDS Transmitter)(미도시)와 연결되어 있으며, 내부에는 PLL(411)이 포함되어 있다.
- [0072] PLL(411)은 외부 시스템으로부터 전송되어온 입력신호(영상데이터 및 타이밍신호)와 LVDS수신부(410)로부터 출력되는 출력신호의 주파수(위상)를 일정하게 유지시키는 기능을 수행한다. 한편, PLL(411)은 외부 시스템과 LVDS수신부의 출력신호의 주파수(위상)가 일정하게 유지되는 경우에는 하이논리값(H)을 갖는 LVDS수신락신호(LVDS_Rx_LOCK)(이하, 간단히 'LVDS_Rx_LOCK' 또는 '제1락신호'라 함)를 출력한다.
- [0073] 즉, 제1락신호(LVDS_Rx_LOCK)가 하이논리값(H(1))을 지속적으로 유지하고 있다는 것은, 외부 시스템과 LVDS수신부에서 이용되는 클럭이 일정한 주파수로 락킹되어 있다는 것을 의미하며, LVDS_Rx_LOCK이 로우논리값(L(0))으로 변했다는 것은 외부 시스템과 LVDS수신부간에 락(LOCK)이 풀려졌다는 것을 의미한다.
- [0074] 이처럼 LVDS수신부와 외부 시스템간의 락이 풀리게 되면, 상기한 바와 같이, 비정상모드가 되어, 타이밍 컨트롤러로부터 비정상적인 게이트 제어신호들이 생성될 수 있다.
- [0075] 다음으로, 영상데이터처리부(430)는 외부 시스템으로부터 LVDS수신부를 통해 수신되어, TTL 형태로 변환된 디지털 영상데이터(RGB)를 액정패널(100)의 해상도에 맞게 재정렬하여 출력하는 기능을 수행한다.
- [0076] 다음으로, EPI송신부(440)는 제어신호 생성부로부터 전송되어온 데이터 제어신호(DCS) 및 영상데이터 정렬부(430)로부터 전송되어온 영상데이터를 데이터 드라이브 IC로 전송하는 기능을 수행한다. 이러한 EPI송신부(440)는 출원번호 10-2008-0127456호 등에 기재되어 있는 바와 같이, 타이밍 컨트롤러(400)를 점 대 점(point to point) 방식으로 데이터 드라이브 IC들(SDIC#1~SDIC#8) 각각과 접속시키기 위한 것으로서, 데이터 드라이브 IC와의 인터페이스가 EPI 방식으로 이루어지고 있는 타이밍 컨트롤러에서 일반적으로 이용되고 있다.
- [0077] 이러한 EPI송신부(440)와 데이터 드라이브 간의 구성을 간단히 요약하면 다음과 같다.

- [0078] EPI송신부(440)와 데이터 드라이브 IC들(SDIC#1~SDIC#8) 사이에는 데이터 배선쌍(DATA&CLK), 제어 배선쌍(SCL/SDA), 락체크 배선(LCS) 등의 배선들이 형성된다.
- [0079] 데이터 배선쌍(DATA&CLK)은 1:1 즉, 점 대 점(Point to Point) 방식으로 EPI 송신부(440)를 데이터 드라이브 IC들(SDIC#1~SDIC#8) 각각에 직렬 연결한다. 데이터 드라이브 IC들(SDIC#1~SDIC#8) 각각은 데이터 배선쌍(DATA&CLK)을 통해 입력되는 클럭들을 복원하기 때문에, 도 2에 도시된 바와 같이 이웃한 데이터 드라이브 IC들(SDIC#1~SDIC#8) 사이에는 영상데이터(RGB)를 전달하는 배선이 필요없다.
- [0080] 또한, 락체크 배선(LCS)은 상기한 바와 같이 EPI송신부(440)와 데이터 드라이브 IC(300)간 및 데이터 드라이브 IC들 상호간에 락신호를 전송하기 위한 것으로서, 마지막 데이터 드라이브 IC(300)로부터는 EPI_Rx_LOCK(이하, 간단히 '제3락신호'라 함)이 타이밍 컨트롤러의 제어신호 생성부(420)로 전송된다. 따라서, 제어신호 생성부(420)는 제3락신호(EPI_Rx_LOCK)를 이용하여 비정상모드인지의 여부를 판단할 수 있다.
- [0081] 또한, EPI송신부(440)는 데이터 드라이브 IC들(SDIC#1~SDIC#8)의 칩 식별코드(CID)와 데이터 드라이브 IC들(SDIC#1~SDIC#8)의 각 기능을 제어하기 위한 칩 개별 제어 데이터들을 제어 배선쌍(SCL/SDA)을 통해 데이터 드라이브 IC들(SDIC#1~SDIC#8)에 전송한다.
- [0082] 상기한 바와 같이 구성된 EPI송신부(440)의 기능을 간단히 요약하면 다음과 같다.
- [0083] 우선, EPI송신부(440)는 영상데이터를 데이터 드라이브 IC로 전송하기에 앞서, 데이터 드라이브 IC들(SDIC#1~SDIC#8)의 클럭 분리 및 데이터 샘플링부 출력이 안정하게 고정되었는지의 여부를 확인하기 위한 락신호(LOCK)를, 락체크 배선(LCS1)을 통해 제1 데이터 드라이브 IC(SDIC#1)에 공급한다.
- [0084] 제1 데이터 드라이브 IC(SDIC#1)는 데이터 샘플링을 위한 클럭 출력의 주파수 및 위상이 고정되면 하이논리값(H(1))의 락신호(Lock)를 제2 데이터 드라이브 IC(SDIC#2)에 전달되고, 제2 데이터 드라이브 IC(SDIC#2)는 출력 클럭의 주파수 및 위상을 고정된 후에 하이 논리의 락신호(Lock)를 제2 데이터 드라이브 IC(SDIC#2)에 전달한다.
- [0085] 이와 같이 데이터 드라이브 IC들(SDIC#1~SDIC#8)의 클럭 출력 주파수와 위상이 고정된 후에 마지막 데이터 드라이브 IC(SDIC#8)의 클럭 출력 주파수와 위상이 고정되면 마지막 데이터 드라이브 IC(SDIC#8)는 상기한 바와 같이 하이논리값의 제3락 신호(EPI_Rx_LOCK)를 피드백 락체크 배선(LCS)을 통해 EPI송신부(440) 및 제어신호 생성부(420)로 피드백 입력한다.
- [0086] EPI송신부(440)는 제3락신호의 피드백 입력을 수신한 후에, 데이터 제어신호 패킷 및 영상데이터(RGB) 패킷을 데이터 드라이브 IC들(SDIC#1~SDIC#8) 각각에 전송한다.
- [0087] 즉, EPI송신부(440)는 데이터 제어신호와 영상데이터를 각각의 데이터 드라이브 IC로 전송하는 기능을 수행한다.
- [0088] 한편, 상기한 바와 같은 기능을 수행하는 EPI송신부(440)에도 LVDS수신부(410) 또는 데이터 드라이브 IC(300)에 서와 같이, PLL(441)이 포함되어 있다.
- [0089] 여기서, EPI송신부(440)에 포함되어 있는 PLL은, 영상데이터 정렬부(430) 또는 제어신호 생성부로부터 전송되어 오는 입력신호와 EPI송신부(440)로부터 출력되는 출력신호의 주파수(위상)를 일정하게 유지시키는 기능을 수행 한다. 한편, PLL(411)은 영상데이터 정렬부 또는 제어신호 생성부로부터 EPI송신부로 전송되어온 입력신호와 EPI송신부(440)의 출력신호의 위상이 일정하게 유지되는 경우에는 하이논리값(H)을 갖는 락신호(이하, 간단히 'EPI_Tx_LOCK' 또는 '제2락신호'라 함)를 출력한다.
- [0090] 즉, 제2락신호(EPI_Tx_LOCK)가 하이논리값(H(1))을 지속적으로 유지하고 있다는 것은, 영상데이터 정렬부(430) 또는 제어신호 생성부(420)와 EPI송신부(440)에서 이용되는 클럭이 일정한 주파수로 락킹되어 있다는 것을 의미 하며, EPI_Tx_LOCK이 로우논리값(L(0))으로 변했다는 것은 영상데이터 정렬부(430) 또는 제어신호 생성부(420)와 EPI송신부(440)간에 락(LOCK)이 풀려졌다는 것을 의미한다.
- [0091] 이처럼 영상데이터 정렬부(430) 또는 제어신호 생성부(420)와 EPI송신부(440)간에 락(LOCK)이 풀리게 되면, 상 기한 바와 같이, 비정상모드가 되어, 타이밍 컨트롤러로부터 비정상적인 게이트 제어신호들이 생성되거나, 또는 패넬을 통해 비정상적인 영상이 출력될 수 있다.
- [0092] 마지막으로, 제어신호 생성부(420)는 도 5에 도시된 바와 같이, 게이트 제어신호 생성부(421), 데이터 제어신호

생성부(422) 및 비정상모드 판단부(423)를 포함하여 구성될 수 있다.

- [0093] 상기와 같이 구성된 제어신호 생성부(420)는 LVDS수신부(410)로부터 입력된 타이밍 신호(수직/수평 동기신호(Vsync, Hsync), 데이터 인에이블신호(Data Enable), 도트클럭(CLK) 등)을 입력받아, 데이터 드라이브 IC(300)의 동작 타이밍을 제어하기 위한 데이터 제어신호(DCS)와, 게이트 드라이브 IC(200)의 동작 타이밍을 제어하기 위한 게이트 제어신호(GCS)와, 파워IC의 동작 타이밍을 제어하기 위한 파워 제어신호를 생성한다.
- [0094] 또한, 제어신호 생성부(420)는, 상기한 바와 같은 LVDS수신부(410)로부터 수신된 제1락신호(LVDS_Rx_LOCK), EPI송신부(440)로부터 수신된 제2락신호(EPI_TX_LOCK) 및 마지막 데이터 드라이브 IC(SDIC#8)(300)로부터 수신된 제3락신호(EPI_RX_LOCK)를 이용하여 액정표시장치가 비정상모드인지의 여부를 판단한다.
- [0095] 상기 판단결과, 정상모드로 판단된 경우, 제어신호 생성부(420)는 구동부 제어신호를 생성하여 게이트 제어신호는 게이트 드라이브 IC로 출력하고, 데이터 제어신호는 EPI송신부(440)로 출력한다.
- [0096] 상기 판단결과, 비정상모드로 판단된 경우, 제어신호 생성부(420)는 도 6에 도시된 바와 같이, 게이트 제어신호 생성부(421)로부터 생성된 게이트 제어신호(GCS)들의 출력을 차단하는 대신, 게이트 드라이브 IC가 스캔신호를 게이트라인으로 출력하지 못하도록 하는 마스킹 제어신호(MCS)를 생성하여 게이트 드라이브 IC로 출력하는 기능을 수행한다. 또한, 제어신호 생성부는 비정상모드로 판단된 경우, 비정상적인 영상이 패널을 통해 출력되지 않도록 하기 위한 데이터 제어신호 또는 파워 제어신호를 포함하는 마스킹 제어신호를 생성하여 데이터 드라이브 IC 또는 파워IC로 출력할 수도 있다.
- [0097] 즉, 도 6은 제어신호 생성부(420) 중 특히, 비정상모드 판단부(423)로 입출력되는 신호들의 파형을 나타낸 것으로서, 비정상모드 판단부(423)로 입력되는 입력신호는, 게이트 제어신호 생성부(421)에서 생성되는 게이트 제어신호(GCS)가 될 수 있다. 한편, 게이트 제어신호(GCS)는 상기한 바와 같이 게이트 드라이브 IC의 구성 형태에 따라, GSP, GSC, GOE 등이 되거나, VST, GCL 등이 될 수 있으나, 본 발명이 GIP를 일례로 하여 설명되고 있음으로, 도 6에는 GIP에 응용되는 게이트 제어신호(GCS)들의 파형이 도시되어 있다.
- [0098] 또한, 비정상모드 판단부(423)로 입출력되는 신호들에는 상기한 바와 같은 게이트 제어신호들 이외에도, 데이터 제어신호 생성부(422)에서 생성된 데이터 제어신호(DCS)가 포함될 수도 있으며, 파워IC들을 제어하기 위한 VEO, PWM 등의 신호가 포함될 수도 있다.
- [0099] 한편, 비정상모드인지의 여부는 제어신호 생성부(420) 중 특히, 비정상모드 판단부(423)에서 판단되는 것으로서, 비정상모드 판단부(423)는 이하에서 설명될 방법에 따라 비정상여부를 판단한다.
- [0100] 판단결과, 정상모드인 경우, 비정상모드 판단부(423)는 게이트 제어신호 생성부(421)에서 생성되어 비정상모드 판단부로 입력된 게이트 제어신호(GCS) 및 기타의 구동부 제어신호들을 그대로 게이트 드라이브 IC 및 기타의 구성요소들(데이터 드라이브 IC 및 파워IC 등)로 전송한다.
- [0101] 그러나, 판단결과, 비정상모드인 경우, 비정상모드로 판단된 상태에서 게이트 제어신호 생성부(421)로부터 생성되어 비정상모드 판단부(423)로 입력된 게이트 제어신호에는, 도 6에 도시된 바와 같이 비정상적인 게이트 제어신호(X)들이 포함되어 있다.
- [0102] 따라서, 비정상모드 판단부(423)는 비정상적인 게이트 제어신호(X)의 출력을 차단하는 한편, 스캔신호가 출력되지 않도록 하는 마스킹 제어신호(MCS)(출력신호)를 게이트 드라이브 IC로 출력한다.
- [0103] 즉, N타입의 트랜지스터들로 구성된 GIP 방식의 게이트 드라이브 IC의 경우, VST와 GCLK이 로우논리값(L(0))을 가지면, 스캔신호를 게이트 드라이브로 출력하지 않는다. 따라서, 비정상모드 판단부(423)는 비정상모드 구간 동안에는 게이트 드라이브 IC로 출력되는 게이트 제어신호들(VST, GCLK1_0, GCLK2_0, GCLK3_0, GCLK4_0)을 로우논리값으로 설정한 마스킹 제어신호(MCS)를 출력한다.
- [0104] 부연하여 설명하면, 마스킹 제어신호(MCS)는 게이트 드라이브 IC로 출력되는 게이트 제어신호가 될 수 있으며, 이 경우, 그 값은 스캔신호를 출력시킬 수 없는 로우논리값으로 설정될 수 있다.
- [0105] 즉, 마스킹 제어신호(MCS)에는 스캔신호가 게이트라인으로 출력되지 않도록 하는 다른 종류의 게이트 제어신호들이 포함될 수 있고, 또한, 영상데이터가 데이터라인으로 출력되지 않도록 하는 데이터 제어신호가 될 수도 있으며, 또한, 다양한 종류의 파워IC들이 구동되지 않도록 하기 위한 파워 제어신호(PWM, VEO 등)가 포함될 수도 있다.
- [0106] 한편, 상기한 바와 같이, 액정표시장치의 비정상여부를 판단하여, 게이트 제어신호(GCS)를 포함한 다양한 종류

의 구동부 제어신호 또는 마스킹 제어신호(MCS)를 출력하기 위한, 비정상모드 판단부(423)의 구체적인 구성 및 기능에 대하여는, 이하에서 도 7 및 도 8를 참조하여 상세히 설명된다.

- [0107] 도 7은 도 5에 도시된 비정상모드 판단부(423)의 내부 구성을 나타낸 예시도이다. 또한, 도 8은 도 5에 도시된 비정상모드 판단부(423)로 입출력되는 각종 신호들의 시뮬레이션 결과를 나타낸 예시도이다.
- [0108] 비정상모드 판단부(423)는 도 7에 도시된 바와 같이, 옵션처리부(510), 프레임 카운터 초기화부(520), 프레임 카운터(530), 마스킹 판단정보 생성부(540) 및 마스킹 제어신호 출력부(550)를 포함하여 구성되어 있다.
- [0109] 우선, 옵션처리부(510)는 상기한 바와 같은 세 개의 락신호들(LVDS_Rx_ROCK, EPI_Tx_ROCK, EPI_Rx_ROCK) 중, 어느 락신호를 이용하여 비정상모드를 판단할지의 여부를 처리하는 기능을 수행한다.
- [0110] 이를 위해 옵션처리부(510)는 각각의 락신호(LVDS_Rx_ROCK, EPI_Tx_ROCK, EPI_Rx_ROCK)와 그 락신호를 이용할지의 여부에 대한 정보를 포함하고 있는 옵션(LVDS_Rx_OPT, EPI_Tx_OPT, EPI_Rx_OPT)이 OR게이트로 연결되어 있다. 따라서, 옵션처리부(510)는 세 개의 OR게이트(511, 512, 513)로 구성될 수 있다.
- [0111] 여기서, 각각의 락신호를 이용할지의 여부에 대한 정보를 포함하고 있는 옵션은, 액정표시장치의 제조자에 의해 설정되어 도 2에 도시된 바와 같은 EEPROM에 저장되어 있다가, 타이밍 컨트롤러가 턴온될 때 비정상모드 판단부(423)로 입력된다.
- [0112] 예를 들어, 제2락신호(LVDS_Rx_ROCK)가 비정상여부의 판단에 이용되도록 설정된 경우, 제2옵션(LVDS_Rx_OPT)은 로우논리값(L(0))으로 설정될 수 있다. 따라서, 제2락신호(LVDS_Rx_ROCK)와 제2옵션(LVDS_Rx_OPT)을 입력으로 받는 제1OR게이트(511)의 출력(A)은 제2락신호(LVDS_Rx_ROCK)의 논리값에 의해 결정된다.
- [0113] 한편, 제3락신호(EPI_Tx_ROCK)가 비정상여부의 판단에 이용되지 않도록 설정된 경우, 제3옵션(EPI_Tx_OPT)은 하이논리값(H(1))으로 설정될 수 있다. 따라서, 제3락신호(EPI_Tx_ROCK)와 제3옵션(EPI_Tx_OPT)을 입력으로 받는 제2OR게이트(512)의 출력(B)은 항상 하이논리값(H(1))을 갖는다.
- [0114] 아래의 [표 1]은 세 개의 락신호 모두가 비정상여부의 판단에 이용되도록 설정된 경우에, 옵션처리부(510)의 각 OR게이트에서 출력되는 값(A, B, C)과, 최종적으로 옵션처리부에서 출력되는 제1정보(0)를 나타낸 것으로, 도 7의 옵션처리부(510)에 도시되어 있는 표이다.

표 1

A(511)	B(512)	C(513)	0
0	x	x	0
1	0	x	0
1	1	0	0
1	1	1	1

- [0116] [표 1]에 기재되어 있는 바와 같이, 제1OR게이트(511)의 출력신호가 로우논리값(L(0))을 갖는다는 것은, 제1옵션(LVDS_Rx_OPT)이 로우논리값(L(0))을 갖는 상태에서(비정상여부의 판단에 이용되도록 설정되어 있음으로), 제1락신호(LVDS_Rx_ROCK)가 로우논리값(L(0))을 갖는다는 것을 의미한다. LVDS_Rx_ROCK이 로우논리값(L(0))을 갖는다는 것은, 외부 시스템과 타이밍 컨트롤러의 LVDS수신부(410)에서 이용되는 클럭들의 주파수가 맞지 않아 락이 풀렸다는 것을 의미하며, 이러한 경우, 타이밍 컨트롤러에서는 정상적인 게이트 제어신호가 출력될 수 없다. 따라서, 옵션처리부(510)의 출력신호는 로우논리값(L(0))을 갖는다.
- [0117] 또한, [표 1]에서 제1OR게이트(511)의 출력신호가 하이논리값(H(1))을 갖는다는 것은, LVDS_Rx_OPT이 비정상여부 판단에 이용되지 않도록 하이논리값(H(1))으로 설정되어 있거나, 또는 LVDS_Rx_OTP이 비정상여부 판단에 이용되도록 설정되어 있는 상태(L)에서 LVDS_Rx_ROCK이 하이논리값(H(1))을 갖는다는 것을 의미한다. 따라서, 제1OR게이트(511)에서의 출력신호(A)만으로는 비정상여부가 판단될 수 없다. 그러나, 제2OR게이트(512)의 출력신호(B)가 로우논리값(L(0))을 갖는다는 것은, 타이밍 컨트롤러 내부에서 EPI송신부(440)와 다른 구성요소들 간에 락이 풀렸다는 것을 의미하며, 이러한 경우, 타이밍 컨트롤러에서는 정상적인 게이트 제어신호가 출력될 수 없다. 따라서, 옵션처리부(510)의 출력신호는 로우논리값(L(0))을 갖는다.
- [0118] 또한, [표 1]에서 제1OR게이트(511)와 제2OR게이트(512)의 출력신호(A, B)가 하이논리값(H(1))을 갖고, 제3OR게

이트(513)의 출력신호(C)가 로우논리값(L(0))을 갖는다는 것은, 상기한 바와 같은 설명을 참조할 때, EPI송신부(440)와 데이터 드라이브 IC(300)간에 락이 풀렸다는 것을 의미한다. 따라서, 옵션처리부(510)의 출력신호인 제1정보는 로우논리값(L(0))을 갖는다.

[0119] 그러나, [표 1]에서 제10R게이트(511) 내지 제30R게이트(513)의 출력신호(A, B, C) 모두가 하이논리값(H(1))을 갖는다는 것은, 세 개의 락신호 모두 또는 비정상여부 판단에 적용되는 락신호 모두가 락킹되어 있다는 것을 의미한다. 이것은 액정표시장치가 정상모드 상태에서 동작되고 있다는 것을 의미하므로, 옵션처리부(510)의 출력신호인 제1정보는 하이논리값(H(1))을 갖는다.

[0120] 즉, 옵션처리부(510)는 세 개의 OR게이트에서 출력되는 신호들을 AND게이트로 처리하고 있다.

[0121] 다음으로, 프레임 카운터 초기화부(520)는 옵션처리부(510)의 출력신호인 제1정보(A) 및 클럭(CK)을 입력받는다. 또한, 프레임 카운터 초기화부는, 클럭을 이용하여 옵션처리부의 출력신호인 제1정보(A)의 라이징에지 또는 폴링에지를 검출하여, 프레임 카운터(530)를 초기화하는 기능을 수행한다.

[0122] 즉, 옵션처리부(510)에서 출력되어 프레임 카운터 초기화부(520)로 입력되는 제1정보(A)는, 상기한 바와 같이, 액정표시장치가 비정상상태인지 또는 정상상태인지에 대한 정보를 포함하고 있다. 따라서, 제1정보(A)가 하이에서 로우로 변하거나 로우에서 하이로 변한다는 것은, 락신호가 비정상상태에서 정상상태로 또는 정상상태에서 비정상상태로 변하고 있다는 것을 의미한다. 즉, 프레임 카운터 초기화부(520)는 도트클럭(DCLK) 또는 타이밍 컨트롤러의 내부클럭 발생부(VCO)에서 발생된 내부클럭을 이용하여 제1정보(A)의 폴링에지와 라이징에지를 검출한 후, 검출정보를 프레임 카운터(530)로 전송하여 프레임 카운터를 초기화시키는 기능을 수행한다.

[0123] 예를 들어, 프레임 카운터 초기화부(520)는 옵션처리부(510)로부터 입력된 제1정보(A)와 함께, 제1정보를 기 설정된 클럭만큼 지연시킨 지연신호(A')의 폴링에지 및 라이징에지를 클럭을 이용하여 검출한다. 즉, 도 7의 프레임 카운터 초기화부(520)에 도시되어 있는 바와 같이, 제1정보(A) 및 지연신호(A')에 폴링에지가 발생되면, 이것은 락신호가 정상상태에서 비정상상태로 변경되었음을 의미하므로, 프레임 카운터 초기화부(520)는 두 개의 폴링에지를 검출하여 검출클럭(0)을 생성한다.

[0124] 또한, 제1정보(A) 및 지연신호(A')에 라이징에지가 발생되면, 이것은 락신호가 비정상상태에서 정상상태로 변경되었음을 의미하므로, 프레임 카운터 초기화부(520)는 두 개의 라이징에지를 검출하여 검출클럭(0)을 생성한다.

[0125] 즉, 두 개의 신호(A, A')에 변화가 생겨 폴링에지 또는 라이징에지가 발생되었다는 것은, 세 개의 락신호들 중 적어도 어느 하나의 락신호가 비정상상태에서 정상상태로 변하거나 또는 정상상태에서 비정상상태로 변하고 있다는 것을 의미한다. 따라서, 프레임 카운터 초기화부(520)는 이러한 검출정보를 이용해, 도 7의 프레임 카운터 초기화부(520) 내에 도시된 바와 같은 검출클럭(0)을 생성하여 프레임 카운터로 출력한다.

[0126] 다음으로, 프레임 카운터(Fram_Counter)(530)는 상기한 바와 같이 프레임 카운터 초기화부(520)에서 생성되어 전송되어온 검출클럭에 따라 프레임 카운트를 시작한다. 여기서, 프레임 카운트는 0, 1, 2, 3의 순으로 프레임 카운트한다.

[0127] 예를 들어, 옵션처리부(510)가 제2락신호(EPI_Rx_ROCK)를 비정상여부 판단에 이용하고 있는 경우, 제2락신호(EPI_Rx_ROCK)가 옵션처리부에서 출력된다. 옵션처리부에서 출력되는 제2락신호는 결국 제1정보가 되어 프레임 카운터 초기화부(520)의 입력값으로 입력된다.

[0128] 이때, 도 7에 도시된 바와 같이, 제1정보(EPI_Rx_ROCK)가 하이논리값(H(1))을 갖으면, 액정표시장치는 정상모드이며, 프레임 카운터 초기화부(520)에서도 라이징에지 또는 폴링에지가 검출되지 않는다. 따라서, 프레임 카운터(530)는 프레임을 카운트하지 않고, 게이트 제어신호 생성부(421)에서 생성된 게이트 제어신호(VST, GCLK1, GCLK2)는 정상적으로 게이트 드라이브 IC로 출력되며, 그 외의 구동부 제어신호들도 각각의 구동부로 출력된다.

[0129] 그러나, 제1정보(EPI_Rx_ROCK)가 로우논리값(L(0))으로 변화되면, 프레임 카운터 초기화부(520)의 제1정보(A) 및 지연신호(A')에 폴링에지(Falling edge)(Y)가 검출된다. 이것은 적어도 어느 하나의 락신호가 정상상태에서 비정상상태로 변경되었음을 의미한다. 따라서, 프레임 카운터 초기화부(520)는 검출클럭을 생성하여 프레임 카운터로 전송하며, 이에 따라, 프레임 카운터(530)는 프레임 카운트를 시작한다.

[0130] 또한, 제1정보(EPI_Rx_ROCK)가 다시 하이논리값(H(1))으로 변화되면, 프레임 카운터 초기화부(520)의 제1정보

(A) 및 지연신호(A')에 라이징에지(Rising edge)(Z)가 검출된다. 이것은 비정상모드 판단에 적용되는 모든 락신호들이 비정상상태에서 다시 정상상태로 변경되었음을 의미한다. 따라서, 프레임 카운터 초기화부(520)는 검출클럭을 생성하여 프레임 카운터로 전송하며, 이에 따라, 프레임 카운터(530)는 프레임 카운트를 재시작한다.

[0131] 즉, 프레임 카운터(530)는 프레임 카운터 초기화부(520)에서 전송되어온 검출클럭에 의해 초기화된 후, 프레임 카운트를 카운트한다.

[0132] 한편, 프레임 카운터(530)에서 카운트될 최대 프레임 카운트 수는 제조자에 의해 설정되어 저장될 수 있다. 즉, 정상모드가 판단된 이후에는 불필요하게 많은 숫자의 프레임이 카운트될 필요가 없다. 또한, 비정상모드에서도 일정 숫자 이상의 프레임이 카운트된다면, 이것은 액정표시장치의 구동에 심각한 문제가 발생된 것을 의미함으로, 본 발명의 구동 방법에 의해 해결될 수 있는 범위를 벗어난 것이라고 볼 수 있다.

[0133] 따라서, 제조자는 본 발명에 의해 해결될 수 있는 비정상모드의 한계를 최대 프레임 카운트 수로 설정하여 EEPROM 등에 저장될 수 있으며, 이 정보는 타이밍 컨트롤러의 턴온시에 타이밍 컨트롤러로 전송될 수 있다.

[0134] 본 발명의 일예에서는 도 7에 도시된 바와 같이, 최대 프레임 카운트 수가 7로 설정되어 있다.

[0135] 다음으로, 마스크 판단정보 생성부(540)는 제조자에 의해 기 설정되어 있는 게이트 딜레이 수(Gate_Delay)와 프레임 카운터(530)에서 카운트된 프레임 카운트 수를 비교하여, 구동부 제어신호를 마스크 제어신호로 마스크할 필요가 있는지의 여부를 판단하는데 필요한 제2정보를 생성하는 기능을 수행한다.

[0136] 이를 위해 마스크 판단정보 생성부(540)는 프레임 카운터에서 카운트된 프레임 카운트 수가 게이트 딜레이 수보다 크거나 같은지를 판단한다.

[0137] 이러한 판단을 통해 마스크 제어신호를 생성하는 방법은, 마스크 제어신호 출력부(550)에 대한 설명에서 함께 설명된다.

[0138] 한편, 도 7에는 마스크 판단정보 생성부(540)가 두 개의 생성기(541, 542)를 포함하여 구성된 것으로 도시되어 있다. 이것은 마스크 제어신호(MCS)가 복 수개의 구동부 제어신호를 생성하기 위한 것으로서, 특히, 게이트 딜레이 수를 달리하는 구동부 제어신호들을 개별적으로 생성하기 위한 것이다.

[0139] 예를 들어, 도 7 및 도 8에 도시된 바와 같이, 게이트 스타트 신호(VST) 또는 GSP와 GSC 등의 마스크 제어신호를 생성하는 경우에 적용되는 게이트 딜레이 수(Gate_Delay1)가 1이고, GCLK, FLK, PWM 등의 마스크 제어신호를 생성하는 경우에 적용되는 게이트 딜레이 수(Gate_Delay2)가 2로서, 두 개의 게이트 딜레이 수가 서로 다르기 때문에, 도 7에 도시된 마스크 판단정보 생성부(540)는, 각각의 게이트 딜레이 수를 이용한 두 개의 생성기(541, 542)를 개별적으로 포함하고 있다.

[0140] 따라서, 복수의 마스크 제어신호를 생성하는 경우라도, 동일한 게이트 딜레이 수가 이용되는 경우에는, 마스크 판단정보 생성부(540)는 하나의 생성기만으로 구성될 수 있다.

[0141] 한편, 도 7에 도시된 두 개의 생성기(541, 542)는 상기한 바와 같이 서로 다른 게이트 딜레이 수를 적용하여 서로 다른 마스크 제어신호를 생성한다는 점을 제외하고는 그 기능 및 구성이 동일함으로, 이하에서는 마스크 판단정보 생성부(540)가 게이트 스타트 신호(VST)를 출력하기 위한 제1생성기(541)로 구성된 경우를 일례로 하여 본 발명이 설명된다.

[0142] 마지막으로, 마스크 제어신호 출력부(550)는 마스크 판단정보 생성부(540)로부터 전송되어온 제2정보(B)와, 옵션처리부(510)에서 전송되어온 제1정보(A)를 이용하여 게이트 제어신호 생성부 또는 데이터 제어신호 생성부 등에서 생성된 구동부 제어신호를 출력하거나 또는 마스크 제어신호를 출력하는 기능을 수행한다.

[0143] 이를 위해, 마스크 제어신호 출력부(550)는 제1정보(A)와 제2정보(B)를 입력신호로 입력받는 판단기(551) 및 판단기에서 출력된 출력신호를 이용하여 구동부 제어신호 또는 마스크 제어신호를 출력하기 위한 출력기(552)를 포함하고 있다.

[0144] 여기서 제2정보는, 프레임 카운트 수가 게이트 딜레이 수보다 크거나 같은 경우에는 하이논리값(H(1))을 갖고, 프레임 카운트 수가 게이트 딜레이 수보다 작은 경우에는 로우논리값(L(0))을 갖는다.

[0145] 또한, 제1정보(A)는 상기한 바와 같이, 비정상모드 판단에 적용되는 락신호 모두가 정상상태인 경우에는 하이논

리값(H(1))을 갖고, 적어도 어느 하나의 락신호가 비정상모드인 경우에는 로우논리값(L(0))을 갖는다.

- [0146] 즉, 도 8에 도시된 바와 같이, 제1정보(EPI_Rx_LOCK)가 하이논리값에서 폴링에지로 떨어지는 시점(Y)이 발생되면, 프레임 카운터가(530)가 프레임을 카운트하기 시작하며, 이후부터는 비정상모드이기 때문에, 제1정보는 로우논리값(L(0))을 갖는다.
- [0147] 이때, 마스크링 판단정보 생성부(540)는 프레임 카운트 수가 기 설정되어 있는 게이트 딜레이 수(Gate Delay1)보다 크거나 같은지를 판단한다.
- [0148] 첫째, 예를 들어, 도 8에서 제1정보의 폴링에지 시점(Y)이 발생되어 프레임이 카운트되면, 최초의 프레임 카운트 수가 0이 되고, 게이트 딜레이 수가 상기한 바와 같이 1로 설정되어 있기 때문에, 프레임 카운트 수(0)가 게이트 딜레이 수(1) 보다 작게 되므로, 마스크링 판단정보 생성부(540)의 제1생성기(541)는 제2정보(B)로 로우논리값(L(0))을 출력한다. 따라서, 마스크링 제어신호 출력부(550)의 제1판단기(551)는 옵션처리부(510)에서 출력되는 제1정보(A)의 논리값에 상관없이 로우논리값(L(0))을 갖게 된다. 즉, 판단기에서 출력되는 판단신호는 로우논리값(L(0))을 갖으며, 이것은 현재의 상태가 비정상모드임을 나타낸다. 따라서, 마스크링 제어신호 출력부(550)의 제1출력기(552)는 마스크링 제어신호를 출력한다.
- [0149] 즉, 제1출력기(552)는 도 7에서, 게이트 제어신호 생성부(421)로부터 출력되는 게이트 스타트 신호(VST)와 제1판단기(551)로부터 출력되는 로우논리값(L(0))을 AND게이트로 처리하고 있다. 부연하여 설명하면, 제1출력기(552)는 AND게이트로 구성되어 있으며, 제1출력기로 입력되는 두 개의 신호는, 게이트 제어신호 생성부에서 생성된 게이트 스타트 신호(VST)와 제1판단기(551)에서 출력된 판단신호이다.
- [0150] 따라서, 판단기로부터 출력되는 판단신호가 로우논리값(L(0))을 갖는 경우, 제1출력기(552)는 게이트 제어신호 생성부(421)로부터 출력되는 게이트 스타트 신호(VST)와 상관없이 항상 로우논리값(L(0))을 갖는 신호를 마스크링 제어신호로 출력한다. 따라서, 도 8에 도시된 바와 같이, 제1정보의 폴링에지가 발생 되는 시점(Y)부터는, 게이트 스타트 신호(VST)로, 로우논리값(L(0))을 갖는 마스크링 제어신호가 출력된다. 여기서, 출력기가 판단기로부터 출력되는 판단신호에 따라 마스크링 제어신호 또는 다양한 종류의 구동부 제어신호를 출력하는 기능에 대하여는 이하에서 다시 설명된다.
- [0151] 둘째, 도 8에서 제1정보의 폴링에지 시점(Y)이 발생된 이후, 프레임 카운트 수가 1증가되어 프레임 카운트 수가 1이 되면, 프레임 카운트 수(1)와 게이트 딜레이 수(1)가 같게 되므로, 제2정보(B)는 하이논리값(H(1))을 출력한다. 그러나, 제1정보의 폴링에지 시점(Y) 이후에 옵션처리부(510)에서 출력되는 제1정보(A)의 논리값은 여전히 로우논리값(L(0))을 갖게 되므로, 마스크링 제어신호 출력부(550)의 제1판단기(551)는 여전히 판단신호로 로우논리값(L(0))을 출력한다. 따라서, 마스크링 제어신호 출력부(550)의 제1출력기(552)는 첫째 과정에서와 동일한 출력신호인 로우논리값(L(0))을 지속적으로 출력한다. 따라서, 로우논리값을 갖는 게이트 스타트 신호(VST)가 마스크링 제어신호로 출력된다.
- [0152] 셋째, 도 8에서 제1정보의 라이징에지 시점(Z)이 발생되면, 프레임 카운터 초기화부(520)에서 초기화 클럭이 발생되며, 이에 따라, 프레임 카운터(530)가 초기화된다. 따라서, 제1정보의 라이징에지 시점(Z)이 발생되면, 프레임 카운트 수는 다시 0의 값을 갖는다. 이 경우, 프레임 카운트 수가 0이 되고, 게이트 딜레이 수가 상기한 바와 같이 1로 설정되어 있기 때문에, 프레임 카운트 수(0)가 게이트 딜레이 수(1) 보다 작게 되므로, 마스크링 판단정보 생성부(540)의 제1생성기(541)는 제2정보(B)로 로우논리값(L(0))을 출력한다. 따라서, 마스크링 제어신호 출력부(550)의 제1출력기(552)는 첫째 및 둘째 과정에서와 동일한 출력신호를 지속적으로 출력한다. 즉, 도 8의 Z시점에서 제1정보인 제2락신호(EPI_Rx_LOCK)가 하이논리값을 갖게 되어 정상상태로 변경되었으나, 본 발명은 락신호가 정상상태로 변경된 경우에도 일정기간 동안에는 비정상모드로 유지하여 보다 안정적인 구동부 제어신호가 출력되도록 하고 있다. 부연하여 설명하면, 락신호가 비정상상태로 변경됨에 따라 비정상모드가 시작되지만, 락신호가 정상상태로 변경되었다고 하여, 바로 비정상모드가 정상모드로 변경되는 것은 아니다. 이러한 기간의 차이는 상기한 바와 같은 게이트 딜레이 수(Gate_Delay)에 따라 변경될 수 있다.
- [0153] 넷째, 도 8에서 제1정보의 라이징에지 시점(Z)이 발생된 이후, 프레임 카운트 수가 1증가되어 프레임 카운트 수가 1이 되면, 프레임 카운트 수(1)와 게이트 딜레이 수(1)가 같게 되므로, 제2정보(B)는 하이논리값(H(1))을 출력한다. 또한, 제1정보의 라이징에지 시점(Z) 이후에 옵션처리부(510)에서 출력되는 제1정보(A)의 논리값은 하이논리값(H(1))을 갖게 된다. 즉, 마스크링 제어신호 출력부(550)의 제1판단기(551)로 입력되는 제1정보(A)와 제2정보(B)는 모두 하이논리값(H(1))을 갖게된다. 따라서, 제1판단기(551)는 판단신호로 하이논리값을 출력한다.
- [0154] 여기서, 제1출력기(552)는 게이트 제어신호 생성부(421)로부터 출력되는 게이트 스타트 신호(VST)와 제1판단기

(551)로부터 출력되는 하이논리값(H(1))을 AND게이트로 처리하고 있다. 따라서, 제1출력기(552)는 게이트 제어 신호 생성부(421)로부터 출력되는 게이트 스타트 신호(VST)를 그대로 출력한다. 즉, 도 8에 도시된 바와 같이, 제1정보의 라이징에지 시점(Z)이 발생된 후, 프레임 카운트 수가 1이 되는 시점(S)부터는, 게이트 제어신호 생성부(421)에서 출력되는 게이트 스타트 신호(VST)가 비정상모드 판단부(423)의 출력신호로 출력된다. 즉, 본 발명은 제2락신호(EPI_Rx_LOCK)가 폴링에지로 떨어진 후(비정상상태)부터 비정상모드로 판단하여, 게이트 제어신호 생성부로부터 생성된 게이트 스타트 신호(VST)의 출력을 차단하고 로우논리값을 갖는 마스킹 제어신호를 출력한다. 또한, 본 발명은 제2락신호가 라이징에지로 상승한 후(정상상태)부터 1프레임이 지난 시점(S) 이후에야 다시 정상모드로 판단하여 게이트 제어신호 생성부로부터 생성된 게이트 스타트 신호(VST)를 출력한다.

[0155] 본 발명은 상기한 바와 같이, 제1정보가 라이징에지 시점(Z)에서 하이논리값으로 변경되었다고 하더라도, 즉시, 게이트 제어신호 생성부(421)로부터 생성되는 게이트 스타트 신호(VST)를 출력하지 않고, 기 설정된 기간까지(S 시점 까지)는 비정상모드로 판단하여 지속적으로 로우논리값을 갖는 마스킹 제어신호를 게이트 스타트 신호로 출력하고 있다.

[0156] 즉, 제1정보의 라이징에지 시점(Z) 이후, 제1정보가 하이논리값(H(1))을 갖게되며, 이것은 제1정보인 제2락신호가 정상상태로 변경되었다는 것을 의미한다. 그러나, 본 발명은 상기한 바와 같이, 제1정보가 하이논리값(H(1))을 갖는 상태로 변경되었다고 하더라도, 보다 안정적인 동작을 위하여, 기 설정된 기간 동안(1프레임)에는 지속적으로 비정상모드를 유지하여 마스킹 제어신호를 출력하도록 하고 있다.

[0157] 여기서 기 설정된 기간이란, 기 설정되어 있는 제1게이트지연(Gate Delay1)값에 의해 변경될 수 있음을 알 수 있다. 즉, 게이트 스타트 신호(VST)와 관련된 제1게이트지연(Gate Delay1)값이 상기한 바와 같이 '1'의 값을 가지고 있기 때문에, 제1정보의 라이징에지 시점(Z)이 발생된 이후에도, 프레임 카운트 수가 1로 증가 되어, 제1게이트지연값('1')과 같아져야만 게이트 제어신호 생성부에서 생성된 게이트 스타트 신호(VST)가 출력된다. 따라서, 제1정보의 라이징에지 시점(Z)이 발생된 이후에도, 최소한 1프레임 동안에는 마스킹 제어신호가 지속적으로 출력되며, 1프레임이 지난 시점(S) 이후에야, 비로서, 정상적인 게이트 제어신호가 출력될 수 있다.

[0158] 한편, 도 8 및 상기 설명을 통해, 게이트 스타트 신호(VST)의 출력을 위한 기 설정된 기간은 1프레임임을 알 수 있으며, 기 설정된 기간은 게이트 딜레이 수에 의해 결정됨을 알 수 있다. 그러나, 본 발명은 구동부 제어신호의 종류에 따라 게이트지연값을 달리할 수 있다.

[0159] 다섯째, 즉, 도 7에 도시된 마스킹 판단정보 생성부(540)는 제1생성기(541) 및 제2생성기(542)를 포함하고 있다.

[0160] 여기서, 제1생성기(541)는 상기한 바와 같이, 제1게이트 딜레이 수로 '1'이 설정되어 있으며, 제1생성기를 통해 출력이 제어되는 구동부 제어신호는 게이트 스타트 신호(VST)이다(POL 역시 제1게이트지연값에 의해 출력이 제어되고 있으나, 이에 대해서는 후술함).

[0161] 한편, 도 7에 도시된 제2생성기(542)는 제2게이트 딜레이 수(Gate Delay2)로 '2'가 설정되어 있으며, 제2판단기(554)를 통해 제2생성기(542)와 연결되어 있는 제3출력기(555)로부터 출력되는 구동부 제어신호는 GCLK1, GCLK2, PWM임을 알 수 있다. 따라서, 도 8에 도시된 바와 같이, 제1정보의 라이징에지 시점(Z)이 발생된 이후에도, 최소한 2프레임 동안(카운트가 0 및 1인 동안)에는 마스킹 제어신호가 지속적으로 출력되며, 2프레임이 지난 시점(T) 이후에야, 비로서, 게이트 제어신호 생성부(421)로부터 생성된 정상적인 GCLK1 및 GCLK2가 비정상모드 판단부(423)의 출력신호로 출력됨을 알 수 있다. 즉, 본 발명은 동일한 락신호(EPI_Rx_LOCK)를 이용하여 비정상모드 구간의 시점을 판단하지만, 각 구동부 제어신호의 특성에 따라 비정상모드의 종점을 다르게 설정할 수 있다.

[0162] 또한, 본 발명은 제1판단기(551) 또는 제2판단기(555)에 연결되어 있는 출력기(552, 553, 555, 556)의 종류에 따라 서로 다른 다양한 종류의 구동부 제어신호를 출력할 수 있다.

[0163] 즉, 상기한 바와 같이, 마스킹 제어신호는 비정상모드에서 게이트 스타트 신호(VST) 및 GCLK1과 GCLK2의 값으로 로우논리값(L)을 갖어야만 게이트 드라이브 IC가 비정상적인 스캔신호를 출력하지 못하도록 할 수 있다.

[0164] 따라서, 게이트 제어신호 생성부(421)로부터 출력되는 게이트 스타트 신호(VST) 및 GCLK1과 GCLK2는 도 7에 도시된 바와 같이, 제1판단기(551) 및 제2판단기(554)의 판단신호와 함께, AND게이트로 구성되어 있는 제1출력기(552) 및 제2출력기(555)의 입력신호로 입력된다.

[0165] 즉, 정상모드에서는 하이논리값(H(1))을 갖는 판단신호가 제1출력기(552) 및 제2출력기(555) 각각의 제1입력신

호로 입력되므로, 제1출력기 및 제2출력기 각각으로 입력되는 제2입력신호(VST, GCLK1, GCLK2)가 그대로 출력될 수 있다.

[0166] 그러나, 비정상모드에서는 로우논리값(L(0))을 갖는 판단신호가 제1출력기 및 제2출력기 각각의 제1입력신호로 입력되므로, 제1출력기 및 제2출력기 각각으로 입력되는 제2입력신호(VST, GCLK1, GCLK2)에 상관없이 제1출력기 및 제2출력기는 항상 로우논리값(L(0))을 출력한다. 따라서, 게이트 드라이브 IC로 입력되는 VST, GCLK1, GCLK2가 로우논리값(L)을 갖기 때문에, 게이트 드라이브 IC에서는 스캔신호가 출력될 수 없다.

[0167] 게이트 스타트 신호(VST) 및 GCLK1과 GCLK2 이외에도 비정상모드에서 하이논리값(H)을 갖는 상태에서 액정표시장치의 구동을 제어함으로써, 액정표시장치가 비정상적인 영상을 출력하지 않도록 하는 다른 종류의 구동부 제어신호(예를 들어, PLK, PWM 등)들도, AND게이트로 구성된 출력기에 연결될 수 있다. 여기서, 게이트 스타트 신호(VST) 및 GCLK1과 GCLK2가 서로 다른 판단기(551, 554)에 연결되어 있는 이유는, 상기한 바와 같이, 두 개의 신호들이, 서로 다른 게이트 딜레이 수를 가지고 있기 때문이다.

[0168] 한편, 마스킹 제어신호는 POL의 값으로 하이논리값(H(1))을 갖어야만, 데이터 드라이브 IC가 비정상적인 영상데이터신호를 데이터라인으로 출력하지 않도록 할 수 있으며, 게이트 출력 인에이블 신호(GOE)의 값 역시 하이논리값(H(1))을 갖어야만 게이트 드라이브 IC가 비정상적인 스캔신호를 출력하지 못하도록 하는 기능을 수행할 수 있다.

[0169] 따라서, 이러한 구동부 제어신호(제2입력신호)들은 도 7에 도시된 바와 같이, 제1판단기(551) 및 제2판단기(554)로부터 출력된 판단신호가 인버팅된 제1신호와 함께, OR게이트로 구성되어 있는 제3출력기(553) 및 제4출력기(556)의 입력신호로 입력된다.

[0170] 즉, 정상모드에서는 하이논리값(H(1))을 갖는 판단신호가 제1판단기 및 제2판단기에서 출력되므로, 로우논리값(L(0))을 갖는 신호가 제3출력기(553) 및 제4출력기(556) 각각의 제1입력신호로 입력된다. 한편, 제3출력기와 제4출력기는 OR게이트로 형성되어 있으므로, 제1출력기 및 제2출력기 각각으로 입력되는 제2입력신호(POL, GOE)가 그대로 출력될 수 있다.

[0171] 그러나, 비정상모드에서는 로우논리값(L(0))을 갖는 판단신호가 제1판단기 및 제2판단기에서 출력되므로, 하이논리값(H(1))을 갖는 신호가 제3출력기 및 제4출력기 각각의 제1입력신호로 입력된다. 이때, OR게이트로 형성되어 있는 제3출력기 및 제4출력기는, 제3출력기 및 제4출력기 각각으로 입력되는 제2입력신호(POL, GOE)에 상관없이 항상 하이논리값(H(1))을 출력한다. 따라서, 데이터 드라이브 IC로 입력되는 POL 및 게이트 드라이브 IC로 입력되는 GOE가 하이논리값(H)을 갖기 때문에, 데이터 드라이브 IC는 영상데이터신호를 데이터라인으로 출력할 수 없으며, 게이트 드라이브 IC는 스캔신호를 출력할 수 없다. 여기서, SOE 및 GOE가 서로 다른 판단기(551, 554)에 연결되어 있는 이유는, 상기한 바와 같이, 두 개의 신호들이, 서로 다른 게이트 딜레이 수를 가지고 있기 때문이다.

[0172] 상기한 바와 같이 본 발명은, 액정표시장치의 비정상모드를 다양한 종류의 락신호를 이용하여 판단하는 한편, 비정상모드가 발생되면, 구동부가 비정상적인 출력신호를 발생시키지 않도록 하는 마스킹 제어신호를 생성하여, 상기 구동부들 각각으로 출력시킬 수 있다는 특징을 가지고 있다. 이로 인해, 각 구동부들은 비정상모드에서 비정상적인 영상이 출력되지 않도록 할 수 있다.

[0173] 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로, 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

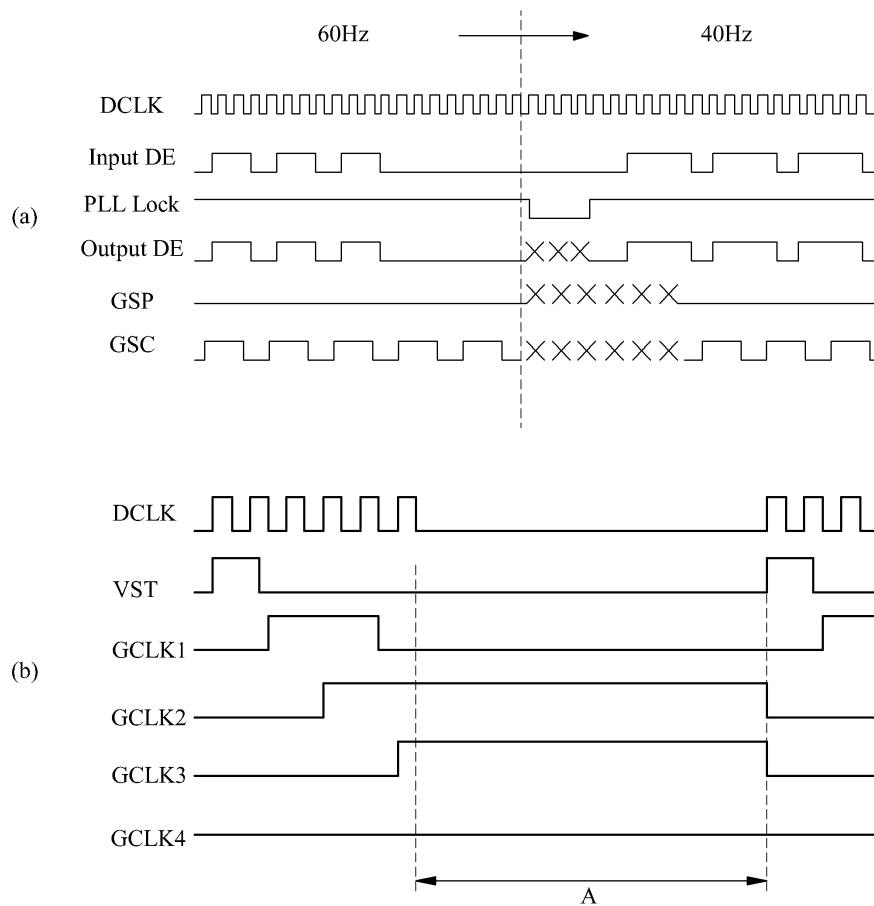
[0174] 100 : 패널
200 : 게이트 드라이브 IC
300 : 데이터 드라이브 IC
400 : 타이밍 컨트롤러
410 : LVDS수신부
420 : 제어신호 생성부
430 : 영상데이터 정렬부
440 : EPI송신부

421 : 게이트 제어신호 생성부
 423 : 비정상모드 판단부
 520 : 프레임 카운터 초기화부
 540 : 마스킹 판단정보 생성부
 550 : 마스킹 제어신호 출력부
 552, 553, 555, 556 : 출력기

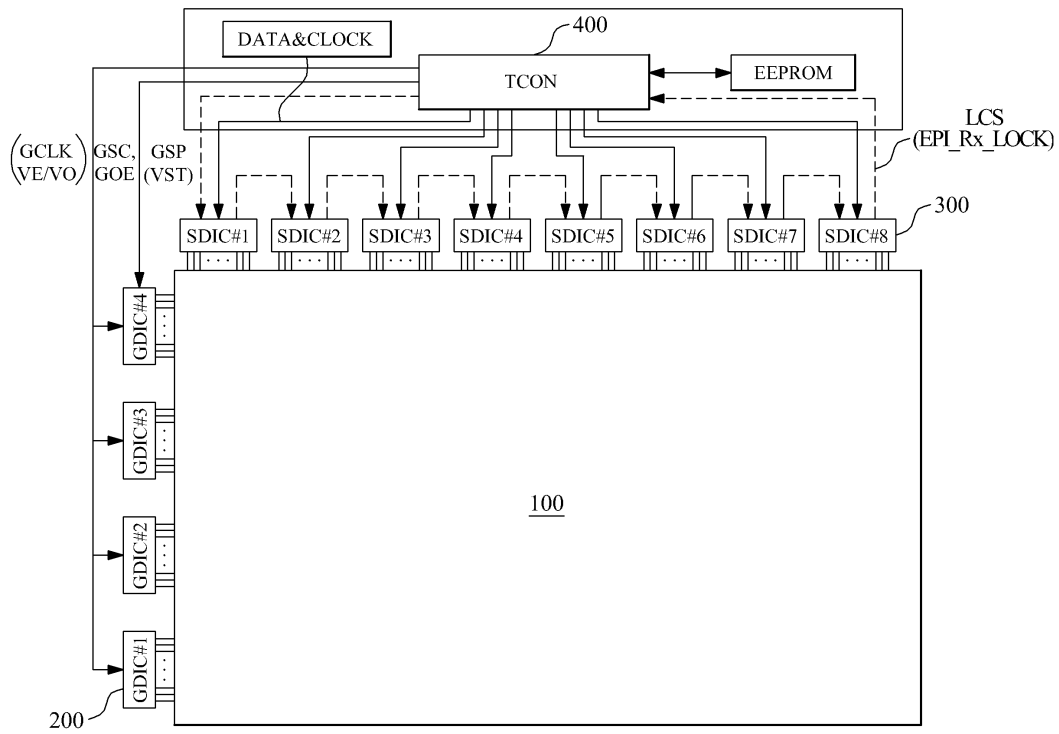
422 : 데이터 제어신호 생성부
 510 : 옵션처리부
 530 : 프레임 카운터
 541 : 생성기
 551, 554 : 판단기

도면

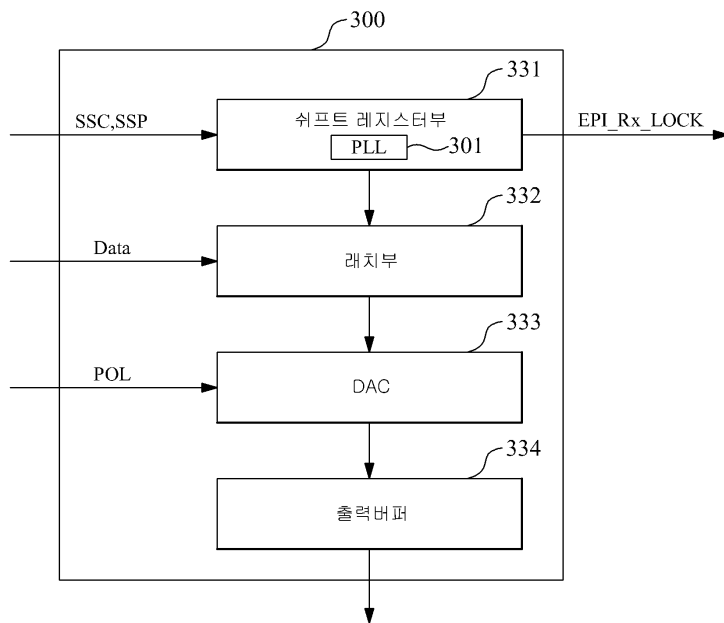
도면1



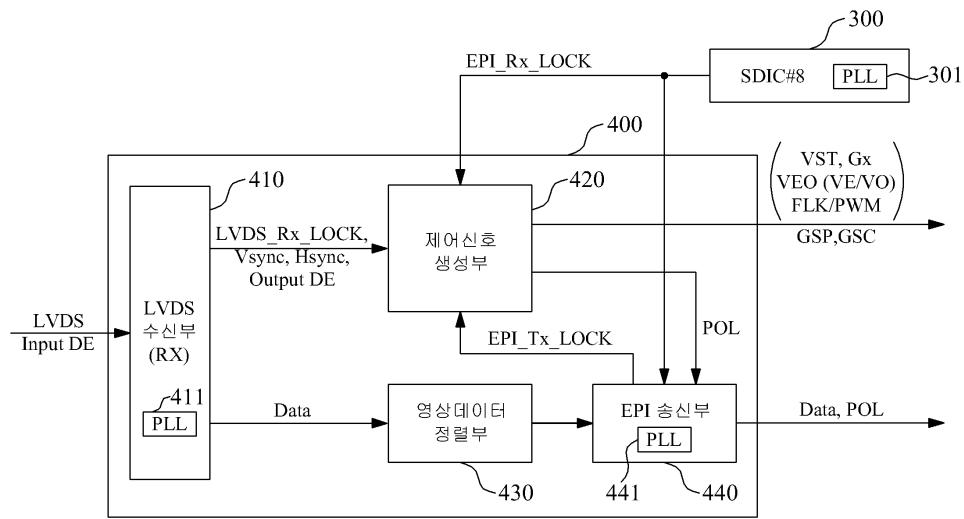
도면2



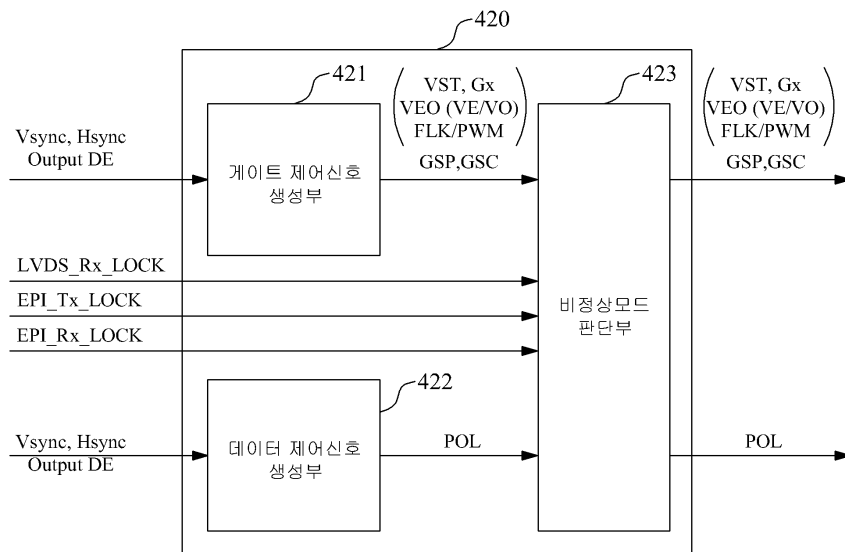
도면3



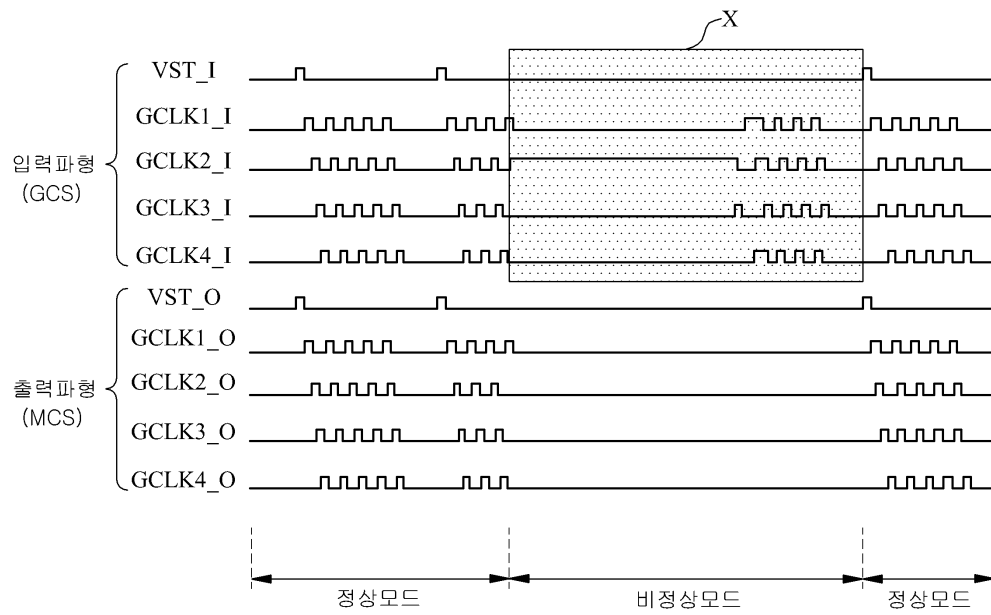
도면4



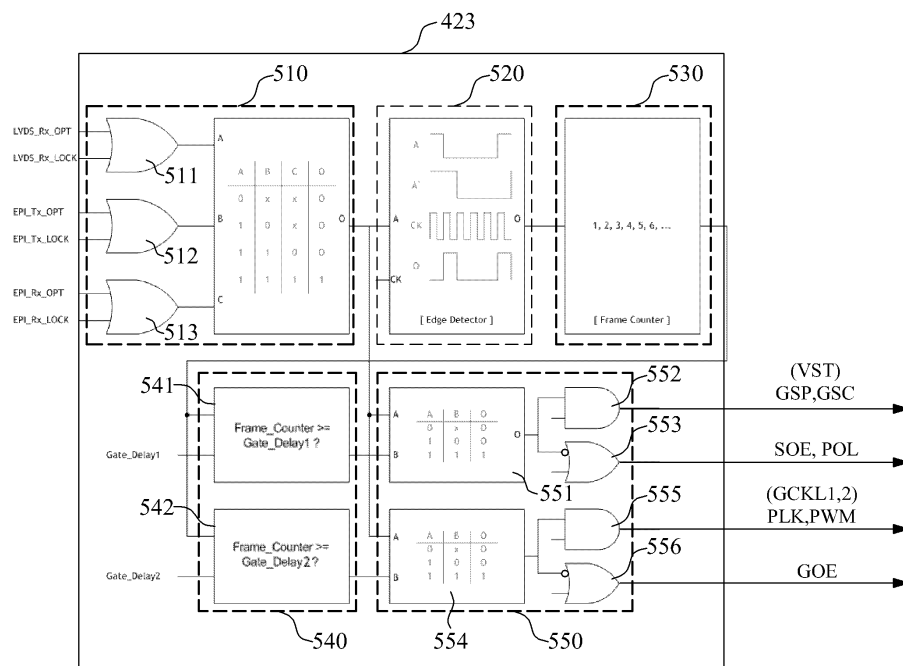
도면5



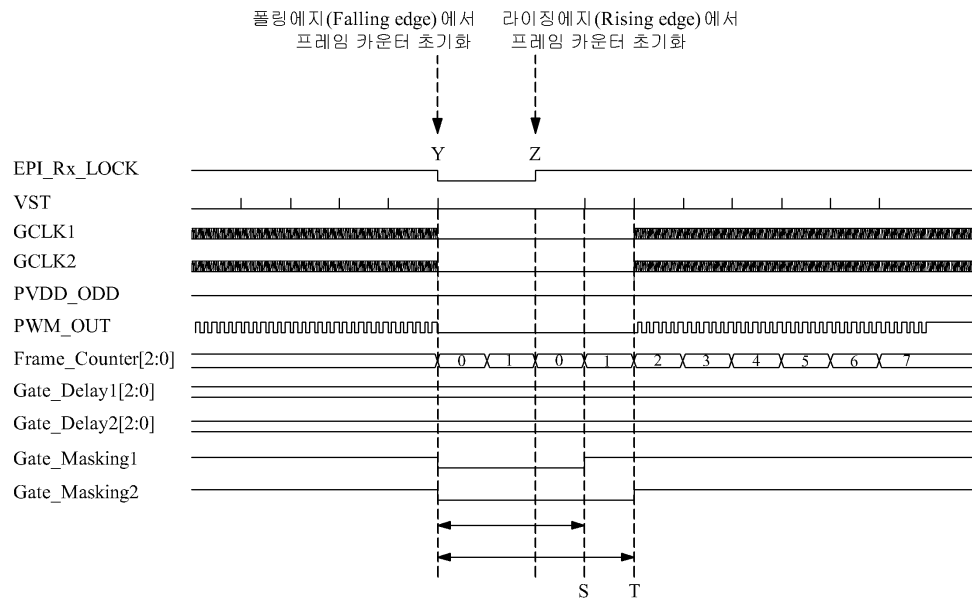
도면6



도면7



도면8



专利名称(译)	液晶显示器及其驱动方法		
公开(公告)号	KR1020130022159A	公开(公告)日	2013-03-06
申请号	KR1020110084955	申请日	2011-08-25
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM JONG WOO 김종우 MOON MYUNG KOOK 문명국		
发明人	김종우 문명국		
IPC分类号	G09G3/36 G02F1/133		
CPC分类号	G09G3/36 G09G3/3677 G09G3/3688 G09G5/008 G09G5/18 G09G2310/08 G09G2320/0247 G09G2330/06 G09G2330/08 G09G2340/0435 G09G2370/14		
其他公开文献	KR101872430B1		
外部链接	Espacenet		

摘要(译)

目的：提供一种液晶显示装置及其驱动方法，通过使用锁定信号确定异常模式来防止驱动部件输出异常图像。结构：驱动部件包括至少一个栅极驱动IC和至少一个数据驱动IC。定时控制器（400）将屏蔽控制信号输出到驱动部分。LVDS（低压差分信号）接收部分（410）从外部系统接收视频数据和定时信号。视频数据安排部分（430）重新排列和输出视频数据。EPI（嵌入式时钟点接口）发送部分（440）将数据控制信号和重新排列的视频数据输出到数据驱动IC。控制信号产生部分（420）产生栅极控制信号和驱动部分控制信号。

