



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2012-0042293  
 (43) 공개일자 2012년05월03일

(51) 국제특허분류(Int. Cl.)  
 G09G 3/36 (2006.01) G02F 1/133 (2006.01)  
 (21) 출원번호 10-2010-0103921  
 (22) 출원일자 2010년10월25일  
 심사청구일자 2011년11월03일

(71) 출원인  
**엘지디스플레이 주식회사**  
 서울특별시 영등포구 여의대로 128(여의도동)  
 (72) 발명자  
**박만규**  
 서울특별시 은평구 은평터널로2길 13, 수색아파트 201호 (수색동)  
**홍진철**  
 경기도 파주시 책향기로 420, 책향기마을 신동아 아파트 1107동 902호 (동패동)  
 (74) 대리인  
**특허법인로얄**

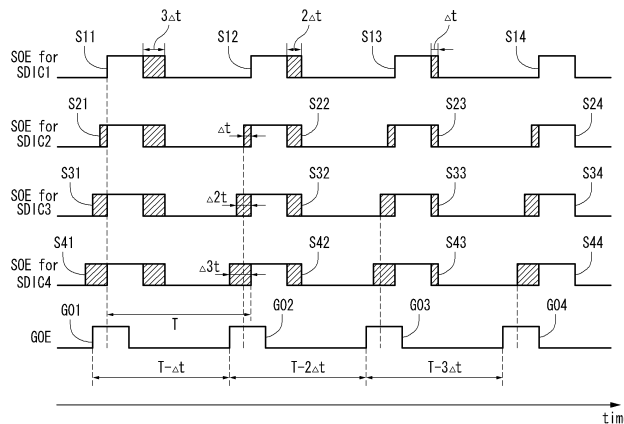
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **액정표시장치**

**(57) 요약**

본 발명은 액정표시장치에 관한 것으로, 제1 소스 출력 인에이블신호에 응답하여 상기 액정표시패널의 화면에서 상기 제1 영역과, 상기 제1 영역 아래의 제3 영역에 존재하는 데이터라인들에 상기 데이터전압을 공급하는 제1 데이터 구동회로; 및 제2 소스 출력 인에이블신호에 응답하여 상기 액정표시패널의 화면에서 상기 제2 영역과, 상기 제2 영역 아래의 제4 영역에 존재하는 데이터라인들에 상기 데이터전압을 공급하는 제2 데이터 구동회로를 포함한다. 상기 제1 소스 출력 인에이블신호는 상기 제1 데이터 구동회로의 데이터 출력 타이밍과 차지 웨어링 타이밍을 제어한다. 상기 제2 소스 출력 인에이블신호는 상기 제2 데이터 구동회로의 데이터 출력 타이밍과 차지 웨어링 타이밍을 상기 제1 데이터 구동회로와 다르게 제어한다.

**대표도** - 도10



## 특허청구의 범위

### 청구항 1

데이터라인들과 게이트라인들이 교차되고 그 라인들의 교차 구조에 의해 매트릭스 형태의 액정셀들이 배열된 액정표시패널;

게이트 출력 인에이블신호에 응답하여 상기 액정표시패널의 화면에서 제1 영역과, 상기 제1 영역 옆의 제2 영역에 존재하는 게이트라인들에 게이트펄스를 순차적으로 공급하는 제1 게이트 구동회로;

상기 게이트 출력 인에이블신호에 응답하여 상기 액정표시패널의 화면에서 제3 영역과, 상기 제3 영역 옆의 제4 영역에 존재하는 게이트라인들에 상기 게이트펄스를 순차적으로 공급하는 제2 게이트 구동회로;

제1 소스 출력 인에이블신호에 응답하여 상기 액정표시패널의 화면에서 상기 제1 영역과, 상기 제1 영역 아래의 제3 영역에 존재하는 데이터라인들에 상기 데이터전압을 공급하는 제1 데이터 구동회로;

제2 소스 출력 인에이블신호에 응답하여 상기 액정표시패널의 화면에서 상기 제2 영역과, 상기 제2 영역 아래의 제4 영역에 존재하는 데이터라인들에 상기 데이터전압을 공급하는 제2 데이터 구동회로; 및

상기 게이트 출력 인에이블신호, 상기 제1 소스 출력 인에이블신호, 및 상기 제2 소스 출력 인에이블신호를 발생하여 상기 게이트 구동회로들의 게이트펄스 출력 타이밍과 상기 데이터 구동회로들의 데이터전압 출력 타이밍과 차지 쉐어링 타이밍을 제어하는 타이밍 컨트롤러를 포함하고,

상기 제1 소스 출력 인에이블신호는 상기 제1 데이터 구동회로의 데이터 출력 타이밍과 차지 쉐어링 타이밍을 제어하고,

상기 제2 소스 출력 인에이블신호는 상기 제2 데이터 구동회로의 데이터 출력 타이밍과 차지 쉐어링 타이밍을 상기 제1 데이터 구동회로와 다르게 제어하는 것을 특징으로 하는 액정표시장치.

### 청구항 2

제 1 항에 있어서,

상기 제2 소스 출력 인에이블신호의 라이징 에지 타이밍이 상기 제1 소스 출력 인에이블신호의 그 것보다 빠른 것을 특징으로 하는 액정표시장치.

### 청구항 3

제 1 항에 있어서,

상기 제1 소스 출력 인에이블신호는,

제1 펄스와, 상기 제1 펄스 보다 펄스폭이 작은 제2 펄스를 포함하는 것을 특징으로 하는 액정표시장치.

### 청구항 4

제 3 항에 있어서,

상기 제1 데이터 구동회로는,

상기 제1 소스 출력 인에이블신호의 제1 펄스에 응답하여 상기 제1 영역에 존재하는 데이터라인들을 차지 쉐어링하고, 상기 제1 펄스 직후의 로우 로직 구간 동안 상기 제1 영역에 존재하는 상기 데이터라인들로 상기 데이터전압을 출력하고,

상기 제1 소스 출력 인에이블신호의 제2 펄스에 응답하여 상기 제3 영역에 존재하는 데이터라인들을 차지 쉐어링하고, 상기 제2 펄스 직후의 로우 로직 구간 동안 상기 제3 영역에 존재하는 상기 데이터라인들로 상기 데이

터전압을 출력하는 것을 특징으로 하는 액정표시장치.

#### 청구항 5

제 4 항에 있어서,

상기 제2 소스 출력 인에이블신호는,

상기 제1 소스 출력 인에이블신호의 제1 펄스 보다 라이징 에지 타이밍이 빠르고 상기 제1 소스 출력 인에이블신호의 제1 펄스와 중첩되는 제1 펄스와, 상기 제1 소스 출력 인에이블신호의 제2 펄스 보다 라이징 에지 타이밍이 빠르고 상기 제1 소스 출력 인에이블신호의 제2 펄스와 중첩되는 제2 펄스를 포함하는 것을 특징으로 하는 액정표시장치.

#### 청구항 6

제 5 항에 있어서,

상기 제2 데이터 구동회로는,

상기 제2 소스 출력 인에이블신호의 제1 펄스에 응답하여 상기 제2 영역에 존재하는 데이터라인들을 차지 셋어링하고, 상기 제1 펄스 직후의 로우 로직 구간 동안 상기 제2 영역에 존재하는 상기 데이터라인들로 상기 데이터전압을 출력하고,

상기 제2 소스 출력 인에이블신호의 제2 펄스에 응답하여 상기 제4 영역에 존재하는 데이터라인들을 차지 셋어링하고, 상기 제2 펄스 직후의 로우 로직 구간 동안 상기 제4 영역에 존재하는 상기 데이터라인들로 상기 데이터전압을 출력하는 것을 특징으로 하는 액정표시장치.

#### 청구항 7

제 6 항에 있어서,

상기 제2 소스 출력 인에이블신호의 제2 펄스의 펄스폭이 상기 제2 소스 출력 인에이블신호의 제1 펄스의 그 것보다 작은 것을 특징으로 하는 액정표시장치.

#### 청구항 8

제 1 항에 있어서,

상기 게이트 출력 인에이블신호는,

펄스폭이 동일하고 펄스 주기가 다른 제1 및 제2 펄스를 포함하는 것을 특징으로 하는 액정표시장치.

#### 청구항 9

제 8 항에 있어서,

상기 제2 펄스의 펄스 주기는 상기 제1 펄스의 펄스 주기보다 작은 것을 특징으로 하는 액정표시장치.

#### 청구항 10

제 9 항에 있어서,

상기 제1 게이트 구동회로는,

상기 게이트 출력 인에이블신호의 제1 펄스 직후의 로우 로직 구간 동안 상기 제1 및 제2 영역들에 존재하는 게이트라인들로 게이트펄스를 출력하고,

상기 제2 게이트 구동회로는,

상기 게이트 출력 인에이블신호의 제2 펄스 직후의 로우 로직 구간 동안 상기 제3 및 제4 영역들에 존재하는 게이트라인들로 게이트펄스를 출력하는 것을 특징으로 하는 액정표시장치.

## 명세서

### 기술분야

[0001] 본 발명은 액정표시장치에 관한 것이다.

### 배경기술

[0002] 액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치는 스위칭 소자로서 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)를 이용하여 동영상상을 표시하고 있다. 이 액정표시장치는 음극선관(Cathode Ray Tube, CRT)에 비하여 소형화가 가능하여 휴대용 정보기기, 사무기기, 컴퓨터 등에서 표시기에 응용됨은 물론, 텔레비전에도 응용되어 음극선관을 빠르게 대체하고 있다.

[0003] 액정표시장치는 액정표시패널, 액정표시패널에 빛을 조사하는 백라이트 유닛, 액정표시패널의 데이터라인들에 데이터전압을 공급하기 위한 소스 드라이브 집적회로(Integrated Circuit, IC), 액정표시패널의 게이트라인들(또는 스캔라인들)에 게이트펄스(또는 스캔펄스)를 공급하기 위한 게이트 드라이브 IC, 및 상기 IC들을 제어하는 제어회로, 백라이트 유닛의 광원을 구동하기 위한 광원 구동회로 등을 구비한다.

[0004] 소스 드라이브 IC는 비교적 큰 아날로그 전압을 출력하므로 파워 소모와 발열양이 크다. 소스 드라이브 IC는 높은 파워 소모와 발열을 줄일 수 있는 방안이 필요하다. 그런데, 소스 드라이브 IC의 동작 타이밍이 게이트 드라이브 IC의 동작 타이밍과 연동되어야 하고, 그 드라이브 IC들을 제어하기 위한 제어신호의 지연양이 드라이브 IC들의 위치에 따라 달라지므로 모든 소스 드라이브 IC들의 파워 소모와 발열양을 줄일 수 있는 최적 설계가 어렵다.

## 발명의 내용

### 해결하려는 과제

[0005] 본 발명은 액정표시패널을 구동하는 모든 소스 드라이브 IC들의 파워 소모와 온도를 최적화할 수 있는 액정표시장치를 제공한다.

### 과제의 해결 수단

[0006] 본 발명의 액정표시장치는 데이터라인들과 게이트라인들이 교차되고 그 라인들의 교차 구조에 의해 매트릭스 형태의 액정셀들이 배열된 액정표시패널; 게이트 출력 인에이블신호에 응답하여 상기 액정표시패널의 화면에서 제1 영역과, 상기 제1 영역 옆의 제2 영역에 존재하는 게이트라인들에 게이트펄스를 순차적으로 공급하는 제1 게이트 구동회로; 상기 게이트 출력 인에이블신호에 응답하여 상기 액정표시패널의 화면에서 제3 영역과, 상기 제3 영역 옆의 제4 영역에 존재하는 게이트라인들에 상기 게이트펄스를 순차적으로 공급하는 제2 게이트 구동회로; 제1 소스 출력 인에이블신호에 응답하여 상기 액정표시패널의 화면에서 상기 제1 영역과, 상기 제1 영역 아래의 제3 영역에 존재하는 데이터라인들에 상기 데이터전압을 공급하는 제1 데이터 구동회로; 제2 소스 출력 인에이블신호에 응답하여 상기 액정표시패널의 화면에서 상기 제2 영역과, 상기 제2 영역 아래의 제4 영역에 존재하는 데이터라인들에 상기 데이터전압을 공급하는 제2 데이터 구동회로; 및 상기 게이트 출력 인에이블신호, 상기 제1 소스 출력 인에이블신호, 및 상기 제2 소스 출력 인에이블신호를 발생하여 상기 게이트 구동회로들의 게이트펄스 출력 타이밍과 상기 데이터 구동회로들의 데이터전압 출력 타이밍과 차지 웨어링 타이밍을

제어하는 타이밍 컨트롤러를 포함한다.

- [0007] 상기 제1 소스 출력 인에이블신호는 상기 제1 데이터 구동회로의 데이터 출력 타이밍과 차지 쉐어링 타이밍을 제어한다. 상기 제2 소스 출력 인에이블신호는 상기 제2 데이터 구동회로의 데이터 출력 타이밍과 차지 쉐어링 타이밍을 상기 제1 데이터 구동회로와 다르게 제어한다.
- [0008] 상기 제2 소스 출력 인에이블신호의 라이징 에지 타이밍이 상기 제1 소스 출력 인에이블신호의 그 것보다 빠르다.
- [0009] 상기 제1 소스 출력 인에이블신호는 제1 펄스와, 상기 제1 펄스 보다 펄스폭이 작은 제2 펄스를 포함한다.
- [0010] 상기 제1 데이터 구동회로는 상기 제1 소스 출력 인에이블신호의 제1 펄스에 응답하여 상기 제1 영역에 존재하는 데이터라인들을 차지 쉐어링하고, 상기 제1 펄스 직후의 로우 로직 구간 동안 상기 제1 영역에 존재하는 상기 데이터라인들로 상기 데이터전압을 출력한다.
- [0011] 상기 제1 소스 출력 인에이블신호의 제2 펄스에 응답하여 상기 제3 영역에 존재하는 데이터라인들을 차지 쉐어링하고, 상기 제2 펄스 직후의 로우 로직 구간 동안 상기 제3 영역에 존재하는 상기 데이터라인들로 상기 데이터전압을 출력한다.
- [0012] 상기 제2 소스 출력 인에이블신호는 상기 제1 소스 출력 인에이블신호의 제1 펄스 보다 라이징 에지 타이밍이 빠르고 상기 제1 소스 출력 인에이블신호의 제1 펄스와 중첩되는 제1 펄스와, 상기 제1 소스 출력 인에이블신호의 제2 펄스 보다 라이징 에지 타이밍이 빠르고 상기 제1 소스 출력 인에이블신호의 제2 펄스와 중첩되는 제2 펄스를 포함한다.
- [0013] 상기 제2 데이터 구동회로는 상기 제2 소스 출력 인에이블신호의 제1 펄스에 응답하여 상기 제2 영역에 존재하는 데이터라인들을 차지 쉐어링하고, 상기 제1 펄스 직후의 로우 로직 구간 동안 상기 제2 영역에 존재하는 상기 데이터라인들로 상기 데이터전압을 출력하고, 상기 제2 소스 출력 인에이블신호의 제2 펄스에 응답하여 상기 제4 영역에 존재하는 데이터라인들을 차지 쉐어링하고, 상기 제2 펄스 직후의 로우 로직 구간 동안 상기 제4 영역에 존재하는 상기 데이터라인들로 상기 데이터전압을 출력한다.
- [0014] 상기 제2 소스 출력 인에이블신호의 제2 펄스의 펄스폭이 상기 제2 소스 출력 인에이블신호의 제1 펄스의 그 것보다 작다.
- [0015] 상기 게이트 출력 인에이블신호는 펄스폭이 동일하고 펄스 주기가 다른 제1 및 제2 펄스를 포함한다. 상기 제2 펄스의 펄스 주기는 상기 제1 펄스의 펄스 주기보다 작다.
- [0016] 상기 제1 게이트 구동회로는 상기 게이트 출력 인에이블신호의 제1 펄스 직후의 로우 로직 구간 동안 상기 제1 및 제2 영역들에 존재하는 게이트라인들로 게이트펄스를 출력한다.
- [0017] 상기 제2 게이트 구동회로는 상기 게이트 출력 인에이블신호의 제2 펄스 직후의 로우 로직 구간 동안 상기 제3 및 제4 영역들에 존재하는 게이트라인들로 게이트펄스를 출력한다.
- [0018] 상기 제1 영역은 실시예 설명에서 A 영역(도 1), 상기 제2 영역은 실시예 설명에서 B 영역(도 1), 상기 제3 영역은 실시예 설명에서 C 영역(도 1), 그리고 상기 제4 영역은 실시예 설명에서 D 영역(도 1)으로 볼 수 있다. 상기 제1 소스 출력 인에이블신호는 실시예 설명에서 제1 소스 출력 인에이블신호(도 9 및 도 10의 SOE for SDIC1)로 볼 수 있으며, 제2 소스 출력 인에이블신호는 실시예 설명에서 제4 소스 출력 인에이블신호(도 9 및 도 10의 SOE for SDIC4)로 볼 수 있다. 상기 제1 데이터 구동회로는 실시예 설명에서 제1 소스 드라이브 IC(도 1의 SDIC1)로 볼 수 있고, 상기 제2 데이터 구동회로는 실시예 설명에서 제4 소스 드라이브 IC(도 1의 SDIC4)로 볼 수 있다. 또한, 상기 제1 게이트 구동회로는 실시예 설명에서 제1 게이트 드라이브 IC(도 1의 GDIC1)로 볼 수 있고, 상기 제2 게이트 구동회로는 실시예 설명에서 제4 게이트 드라이브 IC(도 1의 GDIC4)로 볼 수 있다.

**발명의 효과**

- [0019] 본 발명은 전술한 바와 같이 소스 출력 인에이블신호들의 타이밍을 소스 드라이브 IC들 각각에 최적화된 타이밍으로 변조한다. 그 결과, 본 발명은 액정표시패널을 구동하는 모든 소스 드라이브 IC들의 파워 소모와 온도를 최적화할 수 있다.

**도면의 간단한 설명**

- [0020] 도 1은 본 발명의 실시예에 따른 액정표시장치를 보여 주는 도면이다.
- 도 2는 도 1에 도시된 액정표시패널의 픽셀을 보여 주는 등가 도면이다.
- 도 3은 도 1에 도시된 소스 드라이브 IC를 상세히 보여 주는 도면이다.
- 도 4는 도 1에 도시된 게이트 드라이브 IC를 상세히 보여 주는 회로도이다.
- 도 5a 내지 도 5d는 도 1에 도시된 화면 영역 A, B, C, D를 구동하기 위한 소스 드라이브 IC와 게이트 드라이브 IC의 출력 타이밍을 제어하는 소스 출력 인에이블신호와 게이트 출력 인에이블신호를 보여 주는 파형도들이다.
- 도 6은 도 3에 도시된 차지웨어회로를 상세히 보여 주는 도면이다.
- 도 7은 소스 출력 인에이블신호와 차지웨어 동작 타이밍을 보여 주는 타이밍도이다.
- 도 8은 차지 웨어링 시간 변화에 따른 소스 드라이브 IC의 온도 변화를 보여 주는 실험 결과 도면이다.
- 도 9a 내지 도 9d는 도 1에 도시된 화면 영역 A, B, C, D를 구동하기 위한 소스 드라이브 IC와 게이트 드라이브 IC의 출력 타이밍을 제어하는 본 발명의 소스 출력 인에이블신호와 게이트 출력 인에이블신호를 보여 주는 파형도들이다.
- 도 10은 본 발명의 타이밍 콘트롤러에 의해 변조된 소스 출력 인에이블신호와 게이트 출력 인에이블신호를 보여 주는 파형도이다.
- 도 11은 본 발명의 다른 실시예에 따른 액정표시장치를 보여 주는 도면이다.
- 도 12는 도 11에 도시된 레벨 시프터를 상세히 보여 주는 회로도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0021] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0022] 도 1 및 도 2를 참조하면, 본 발명의 실시예에 따른 액정표시장치는 화소 어레이가 형성된 액정표시패널(10), 액정표시패널(10)의 데이터라인들(DL)에 데이터전압을 공급하기 위한 데이터 구동회로, 액정표시패널(10)의 게이트라인들(GL)에 게이트펄스(또는 스캔펄스)를 순차적으로 공급하기 위한 게이트 구동회로, 및 데이터 구동회로와 게이트 구동회로의 동작 타이밍을 제어하기 위한 타이밍 콘트롤러(TCON) 등을 포함한다. 액정표시패널(10)의 아래에는 액정표시패널에 빛을 균일하게 조사하기 위한 백라이트 유닛이 배치될 수 있다.
- [0023] 액정표시패널(10)은 액정층을 사이에 두고 대향하는 TFT(Thin Film Transistor) 어레이 기판과, 컬러필터(Color filter) 어레이 기판을 포함한다. TFT 어레이 기판은 데이터라인들(DL), 데이터라인들(DL)과 교차되는 게이트라인들(GL), 데이터라인들(DL)과 게이트라인들(GL)에 의해 정의된 화소 영역들에 형성된 픽셀들을 포함한다. 픽셀들 각각은 R, G, B 서브픽셀들을 포함할 수 있고, 서브픽셀들 각각은 데이터라인들(DL)과 게이트라인들(GL)의 교차부에 형성된 TFT들, 및 TFT에 접속된 액정셀(C1c), 액정셀(C1c)의 화소전극에 접속된 스토리지 커패시터(Storage Capacitor, Cst) 등을 포함한다. 컬러필터 어레이 기판에는 블랙매트릭스, 컬러필터 및 공통전극이 형성된다. 모든 픽셀들에 형성된 공통전극은 서로 전기적으로 연결되고, 공통전극에는 공통전압(Vcom)이 인가된다. 공통전극은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식의 경우에 상부 유리기판 상에 형성되며, IPS(In-Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식의 경우에 화소전극과 함께 하부 유리기판 상에 형성된다. TFT 어레이 기판과 컬러필터 어레이 기판 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.
- [0024] 액정표시패널(10)은 TN 모드, VA 모드, IPS 모드, FFS 모드뿐 아니라 어떠한 액정모드로도 구현될 수 있다. 본 발명의 액정표시장치는 투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치 등 어떠한 형태로도

구현될 수 있다. 투과형 액정표시장치와 반투과형 액정표시장치에서는 백라이트 유닛이 필요하다. 백라이트 유닛은 직하형(direct type) 백라이트 유닛 또는, 에지형(edge type) 백라이트 유닛으로 구현될 수 있다.

- [0025] 데이터 구동회로는 다수의 소스 드라이브 IC들(SDIC1~SDIC4)을 포함한다. 게이트 구동회로는 다수의 게이트 드라이브 IC들(GDIC1~GDIC4)을 포함한다.
- [0026] 타이밍 컨트롤러(TCON)은 컨트롤 PCB(CPCB) 상에 실장된다. 타이밍 컨트롤러(TCON)는 LVDS(Low Voltage Differential Signaling) 인터페이스, TMDS(Transition Minimized Differential Signaling) 인터페이스 등의 인터페이스를 통해 외부의 호스트 시스템으로부터 디지털 비디오 데이터(RGB)를 입력 받는다. 타이밍 컨트롤러(TCON)는 호스트 컴퓨터로부터 입력 받은 디지털 비디오 데이터들(RGB)을 소스 드라이브 IC들(SDIC1~SDIC4)로 전송한다. 컨트롤 PCB(PCB)에는 도시하지 않은 직류-직류 변환기(DC-DC Converter)가 실장될 수 있다. 직류-직류 변환기는 액정표시패널(10)에 공급되는 아날로그 구동 전원들을 발생한다. 구동 전원들은 정극성/부극성 감마기준전압, 공통전압(Vcom), 게이트 하이전압(VGH), 게이트 로우전압(VGL) 등을 포함한다. 컨트롤 PCB(CPCB)는 FFC(Flexible Flat Cable)를 통해 소스 PCB(SPCB)에 전기적으로 연결된다.
- [0027] 타이밍 컨트롤러(TCON)는 LVDS 또는 TMDS 인터페이스 수신회로를 통해 호스트 시스템으로부터 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 메인 클럭(MCLK) 등의 타이밍신호를 입력받는다. 타이밍 컨트롤러(TCON)는 호스트 시스템으로부터의 타이밍 신호를 기준으로 소스 드라이브 IC들(SDIC1~SDIC4)과 게이트 드라이브 IC들(GDIC1~GDIC4)의 동작 타이밍을 제어하기 위한 타이밍 제어신호들을 발생한다. 타이밍 제어신호들은 게이트 드라이브 IC들(GDIC1~GDIC4)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호들과, 소스 드라이브 IC들(SDIC1~SDIC4)의 동작 타이밍과 데이터전압의 극성을 제어하기 위한 데이터 타이밍 제어신호들을 포함한다.
- [0028] 게이트 타이밍 제어신호들은 게이트 스타트 펄스(GSP), 게이트 시프트 클럭(GCLK1~n), 플리커 제어신호(FLK), 게이트 출력 인에이블신호(GOE) 등을 포함한다. 게이트 스타트 펄스(Gate Start Pulse, GSP)는 제1 게이트 드라이브 IC(GDIC1)에 입력되어 제1 게이트 드라이브 IC(GDIC1)로부터 첫 번째 출력되는 제1 게이트펄스의 출력 타이밍을 제어한다. 게이트 시프트 클럭(Gate Shift Clock, GSC)은 게이트 스타트 펄스(GSP)의 시프트 타이밍을 제어한다. 플리커 제어신호(FLK)는 게이트펄스의 폴링에지에서 게이트 하이전압(VGH)을 낮게 변조하여 플리커를 줄이기 위한 변조 타이밍을 제어한다. 게이트 출력 인에이블신호(GOE)는 게이트 드라이브 IC들(GDIC1~GDIC4)의 출력 타이밍을 제어한다. 게이트 타이밍 제어신호들은 컨트롤 PCB(CPCB)에 형성된 게이트 타이밍 제어신호 버스라인들, FFC, 소스 PCB(SPCB)에 형성된 게이트 타이밍 제어신호 버스라인들, 소스 드라이브 IC들(SDIC1) 중에서 하나 이상의 TCP에 형성된 게이트 타이밍 제어신호 버스라인, 및 액정표시패널(10)의 TFT 어레이 기판에 형성된 LOG(Line On Glass) 라인들을 통해 게이트 드라이브 IC들(GDIC1~GDIC4)에 전송된다.
- [0029] 데이터 타이밍 제어신호들은 소스 스타트 펄스(Source Start Pulse, SSP), 소스 샘플링 클럭(Source Sampling Clock, SSC), 극성제어신호(Polarity, POL), 및 소스 출력 인에이블신호(Source Output Enable, SOE) 등을 포함한다. 소스 스타트 펄스(SSP)는 소스 드라이브 IC들(SDIC1~SDIC4)의 시프트 스타트 타이밍을 제어한다. 소스 샘플링 클럭(SSC)은 소스 드라이브 IC들(SDIC1~SDIC4) 내에서 데이터의 샘플링 타이밍을 제어한다. 극성제어신호(POL)는 소스 드라이브 IC들(SDIC1~SDIC4)로부터 출력되는 데이터전압의 극성을 제어한다. 소스 출력 인에이블신호(SOE)는 소스 드라이브 IC들(SDIC1~SDIC4)의 데이터전압 출력 타이밍과 차지 웨어링 타이밍(Charge sharing timing)을 제어한다. 타이밍 컨트롤러(TCON)와 소스 드라이브 IC들(SDIC1~SDIC4) 사이의 데이터 전송 인터페이스가 mini LVDS 인터페이스라면, 소스 스타트 펄스(SSP)와 소스 샘플링 클럭(SSC)은 생략될 수 있다. 데이터 타이밍 제어신호들은 컨트롤 PCB(CPCB)에 형성된 데이터 타이밍 제어신호 버스라인들, FFC, 및 소스 PCB(SPCB)에 형성된 데이터 타이밍 제어신호 버스라인들을 통해 소스 드라이브 IC들(SDIC1)에 전송된다.
- [0030] 소스 드라이브 IC들(SDIC1~SDIC4) 각각은 타이밍 컨트롤러(TCON)로부터 디지털 비디오 데이터를 입력받는다. 소스 드라이브 IC들(SDIC1~SDIC4)은 타이밍 컨트롤러(TCON)로부터의 소스 타이밍 제어신호에 응답하여 디지털 비디오 데이터를 정극성/부극성 아날로그 데이터전압으로 변환하여 액정표시패널(10)의 데이터라인들(DL)에 공급한다. 소스 드라이브 IC들(SDIC1~SDIC4) 각각은 COG(Chip On Glass) 공정에 의해 액정표시패널(10)의 TFT 어레이 기판 상에 접착될 수 있다. 소스 드라이브 IC들(SDIC1~SDIC4)은 TCP(Tape Carrier Package) 상에 실장되어 TAB(Tape Automated Bonding) 공정으로 소스 PCB(Printed Circuit Board, SPCB)와 액정표시패널(10)의 TFT 어레이 기판에 접착될 수 있다.
- [0031] 게이트 드라이브 IC들(GDIC1~GDIC4)은 타이밍 컨트롤러(TCON)로부터의 게이트 타이밍 제어신호에 응답하여 액정표시패널(10)의 게이트라인들(GL)에 게이트펄스를 순차적으로 공급한다. 게이트펄스는 게이트 하이전압(VGH)과

게이트 로우전압(VGL) 사이에서 스윙한다. 게이트 하이전압(VGH)은 액정표시패널(10)의 TFT 어레이에 형성된 TFT들의 문턱전압 이상의 전압으로 설정되며, 게이트 로우전압(VGL)은 액정표시패널(10)의 TFT 어레이에 형성된 TFT들의 문턱전압보다 낮은 전압으로 설정된다. 따라서, TFT 어레이의 TFT들은 게이트라인(GL)으로부터의 게이트 펄스에 응답하여 턴-온되어 데이터라인(DL)으로부터의 데이터전압을 액정셀(C1c)의 화소전극에 공급한다. 게이트 드라이브 IC들(GDIC1~GDIC4)은 TCP 상에 실장되어 TAB 공정에 의해 액정표시패널(10)의 TFT 어레이 기판 상에 접촉될 수 있다. 게이트 구동회로는 도 1과 같이 액정표시패널(10)의 양측 가장자리에 접촉되어 게이트라인(GL)의 양 끝단에 게이트펄스를 동시에 인가하여 게이트펄스의 지연을 줄일 수 있다. 또한, 게이트 구동회로는 액정표시패널(10)의 일측 가장자리에 접촉되어 액정표시패널(10)의 일측 가장자리에 게이트펄스를 인가할 수도 있다. 한편, 게이트 구동회로는 도 11 및 도 12와 같이 GIP(Gate In Panel) 공정에 의해 TFT 어레이와 함께 TFT 어레이 기판에 직접 형성되는 GIP 회로로 구현될 수 있다.

- [0032] 도 3은 소스 드라이브 IC들(SDIC1~SDIC4)의 회로 구성을 보여 주는 도면이다.
- [0033] 도 3을 참조하면, 소스 드라이브 IC들(SDIC1~SDIC4) 각각은 m(m은 자연수) 보다 작은 양의 정수) 개의 데이터라인(D1~Dm)을 구동하며, 데이터 복원부(21), 시프트 레지스터(22), 제1 래치 어레이(23), 제2 래치 어레이(24), 디지털-아날로그 변환기(이하, "DAC"라 한다)(25), 출력 버퍼(26), 차지쉐어회로(Charge Share Circuit)(27) 등을 포함한다.
- [0034] 데이터 복원부(21)는 mini LVDS 인터페이스 전송 체계로 입력된 디지털 비디오 데이터(RGBWodd, RGBeven)를 복원하여 제1 래치 어레이(23)에 공급한다. 시프트 레지스터(22)는 소스 샘플링 클럭(SSC)에 따라 샘플링신호를 시프트시킨다. 시프트 레지스터(22)는 제1 래치 어레이(23)의 래치수를 초과하는 데이터가 공급될 때 캐리신호(Carry signal, CAR)를 발생한다.
- [0035] 제1 래치 어레이(23)는 시프트 레지스터(22)로부터 순차적으로 입력되는 샘플링신호에 응답하여 데이터 복원부(21)로부터 직렬로 입력되는 디지털 비디오 데이터(RGBWodd, RGBWeven)를 샘플링하고 래치한 다음, 동시에 출력함으로써 직렬 체계의 데이터를 병렬 체계의 데이터로 변환한다. 제2 래치 어레이(24)는 제1 래치 어레이(23)로부터 입력되는 데이터들을 래치한 다음, 다른 소스 드라이브 IC들의 제2 래치 어레이(24)와 동시에 래치된 데이터들을 출력한다.
- [0036] DAC(25)는 정극성 감마기준전압들(PGMA)과 부극성 감마기준전압들(NGMA)을 이용하여 제2 래치 어레이(24)로부터 입력되는 디지털 비디오 데이터를 정극성 데이터전압과 부극성 데이터전압으로 변환한다. 그리고 DAC(25)는 극성제어신호(POL)의 논리값에 따라 정극성 데이터전압과 부극성 데이터전압을 교대로 선택하여 출력한다.
- [0037] 출력 버퍼(26)는 데이터라인들(D1~Dm)에 공급되는 데이터전압의 신호감쇠를 최소화한다. 차지쉐어회로(27)는 소스 출력 인에이블신호(SOE)의 로우 로직(Low logic) 기간 동안 정극성/부극성 데이터전압을 데이터라인들(D1~Dm)에 공급하는 반면, 소스 출력 인에이블신호(SOE)의 하이 로직(High logic) 기간 동안 이웃한 데이터 출력채널들을 단락(short)시켜 데이터라인들(D1~Dm)의 전압을 정극성 데이터전압과 부극성 데이터 전압의 평균 전압으로 평균화한다.
- [0038] 소스 드라이브 IC들(SDIC1~SDIC4)의 배치와 동작 관계를 살펴 보면, 제1 소스 드라이브 IC(SDIC1)는 화면의 좌측에 배치되고 제2 내지 제4 소스 드라이브 IC들(SDIC2~SDIC4)은 그 순번 대로 제1 소스 드라이브 IC(SDIC1)의 우측에 배치된다. 제1 소스 드라이브 IC(SDIC1)는 화면의 A 및 C 부분을 포함한 좌측 부분에 배치된 데이터라인들에 데이터전압을 공급하고, 제4 소스 드라이브 IC(SDIC4)는 화면의 B 및 D를 포함한 중앙(또는 우측) 부분에 배치된 데이터라인들에 데이터전압을 공급한다. 제2 내지 제3 소스 드라이브 IC들(SDIC2, SDIC3)은 화면에서 A/C 부분과 B/D 부분 사이에 배치된 데이터라인들에 데이터전압을 공급한다.
- [0039] 제1 소스 드라이브 IC(SDIC1)는 소스 스타트 펄스(SSP) 또는 mini LVDS 클럭의 리셋클럭에 응답하여 자신의 데이터 출력 채널만큼 직렬 데이터를 순차적으로 샘플링한 후에 제1 캐리신호(CAR)를 제2 소스 드라이브 IC(SDIC2)에 전달한다. 제2 소스 드라이브 IC(SDIC2)는 제1 소스 드라이브 IC(SDIC1)로부터의 제1 캐리신호(CAR)에 응답하여 자신의 데이터 출력 채널만큼 데이터를 샘플링한 후에 제2 캐리신호(CAR)를 제3 소스 드라이브 IC(SDIC3)에 전달한다. 제3 소스 드라이브 IC(SDIC3)는 제2 소스 드라이브 IC(SDIC2)로부터의 제2 캐리신호(CAR)에 응답하여 자신의 데이터 출력 채널만큼 데이터를 샘플링한 후에 제3 캐리신호(CAR)를 제4 소스 드라이브 IC(SDIC4)에 전달한다. 제4 소스 드라이브 IC(SDIC4)는 제3 소스 드라이브 IC(SDIC3)로부터의 제3 캐리신호(CAR)에 응답하여 자신의 데이터 출력 채널만큼 데이터를 샘플링한다. 이렇게 소스 드라이브 IC들(SDIC1~SDIC4)은 직렬로 입력되는 데이터를 순차적으로 샘플링하고 래치하여 직렬 체계의 데이터를 병렬 체계의

데이터로 변환한 다음, 소스 출력 인에이블신호(SOE)에 응답하여 동시에 출력한다.

- [0040] 도 4는 게이트 드라이브 IC들(GDIC1~GDIC4)의 회로 구성을 보여 주는 도면이다.
- [0041] 도 4를 참조하면, 게이트 드라이브 IC 각각은 시프트 레지스터(31), 레벨 쉬프터(34), 시프트 레지스터(31)와 레벨 쉬프터(34) 사이에 접속된 다수의 AND 게이트(32) 등을 포함한다.
- [0042] 시프트 레지스터(31)는 종속적으로 접속된 다수의 D-플립플롭을 이용하여 게이트 스타트 펄스(GSP)를 게이트 시프트 클럭(GSC)에 따라 순차적으로 시프트킨 후에 캐리신호(CAR)를 발생한다. AND 게이트들(32) 각각은 시프트 레지스터(31)의 출력신호와, 인버터(33)에 의해 반전된 게이트 출력 인에이블신호(GOE)의 논리곱 연산 결과를 출력한다.
- [0043] 레벨 쉬프터(34)는 AND 게이트(32)의 출력전압 스윙폭을 게이트 하이전압(VGH)과 게이트 로우전압(VGL) 사이의 스윙폭으로 변환하여 게이트라인들(G1~Gn)에 순차적으로 공급한다. 한편, 레벨 쉬프터(34)는 GIP 회로에서 시프트 레지스터(31)의 앞단에 배치된다.
- [0044] 게이트 드라이브 IC들(GDIC1~GDIC4)의 배치와 동작 관계를 살펴 보면, 제1 게이트 드라이브 IC(GDIC1)는 화면의 상단에 배치되고 제2 내지 제4 게이트 드라이브 IC들(GDIC2~GDIC4)은 그 순번대로 제1 게이트 드라이브 IC(GDIC1)의 아래에 배치된다. 제1 게이트 드라이브 IC(GDIC1)는 화면의 A 및 B 부분을 포함한 상단 부분에 배치된 게이트라인들에 게이트펄스를 순차적으로 공급하고, 제4 소스 드라이브 IC(SDIC4)는 화면의 C 및 D를 포함한 하단 부분에 배치된 게이트라인들에 게이트펄스를 순차적으로 공급한다. 제2 내지 제3 게이트 드라이브 IC들(GDIC2, GDIC3)은 화면에서 A/B 부분과 C/D 부분 사이에 배치된 게이트라인들에 게이트펄스를 순차적으로 공급한다.
- [0045] 제1 게이트 드라이브 IC(GDIC1)는 게이트 쉬프트 클럭(GSC)의 라이징 에지에 동기하여 게이트 스타트 펄스(SSP)를 시프트시킴으로써 게이트라인들에 게이트펄스를 순차 출력한 후에, 제1 캐리신호(CAR)를 제2 게이트 드라이브 IC(GDIC2)의 스타트 펄스로서 출력한다. 제2 게이트 드라이브 IC(GDIC2)는 게이트 쉬프트 클럭(GSC)의 라이징 에지에 동기하여 제1 캐리신호(CAR)를 시프트시킴으로써 게이트라인들에 게이트펄스를 순차 출력한 후에, 제2 캐리신호(CAR)를 제3 게이트 드라이브 IC(GDIC3)의 스타트 펄스로서 출력한다. 제3 게이트 드라이브 IC(GDIC3)는 게이트 쉬프트 클럭(GSC)의 라이징 에지에 동기하여 제2 캐리신호(CAR)를 시프트시킴으로써 게이트라인들에 게이트펄스를 순차 출력한 후에, 제3 캐리신호(CAR)를 제4 게이트 드라이브 IC(GDIC4)의 스타트 펄스로서 출력한다. 제4 게이트 드라이브 IC(GDIC4)는 게이트 쉬프트 클럭(GSC)의 라이징 에지에 동기하여 제3 캐리신호(CAR)를 시프트시킴으로써 게이트라인들에 게이트펄스를 순차 출력한다.
- [0046] 도 5a 내지 도 5d는 소스 출력 인에이블신호(SOE)와 게이트 출력 인에이블신호(GOE), 소스 드라이브 IC들(SDIC1~SDIC4)의 출력, 및 게이트 드라이브 IC들(GDIC1~GDIC4)의 출력을 화면 위치에 따라 구분하여 보여 주는 파형도들이다.
- [0047] 도 5a 내지 도 5d를 참조하면, TA는 A 영역에 존재하는 액정셀(C1c)의 데이터 충전시간, TB는 B 영역에 존재하는 액정셀(C1c)의 데이터 충전시간, TC는 C 영역에 존재하는 액정셀(C1c)의 데이터 충전시간, 그리고 TD는 D 영역에 존재하는 액정셀(C1c)의 데이터 충전시간을 각각 나타낸다.
- [0048] 소스 드라이브 IC들(SDIC1~SDIC4)로부터 출력된 데이터전압과 게이트 드라이브 IC들(GDIC1~GDIC4)로부터 출력된 게이트펄스는 데이터라인들과 게이트라인들의 라인 저항과 액정표시패널(10)의 정전용량(capacitance) 값에 따른 RC 딜레이로 인하여 지연된다. 따라서, 액정표시패널(10)의 픽셀 위치에 따라 데이터전압과 게이트펄스의 지연시간이 다르므로 픽셀 위치에 따라 액정셀(C1c)의 데이터 충전양이 상이하다. 예를 들어, 도 1의 화면 영역 A, B, C 및 D 중에서 액정셀(C1c)의 데이터 충전 특성이 가장 나쁜(worst) 영역은 소스 드라이브 IC의 출력의 지연시간이 크고 게이트 드라이브 IC의 지연시간이 작은 C 영역(도 5c 참조)이다. 반면에, 액정셀(C1c)의 데이터 충전 특성이 가장 좋은(Best) 영역은 소스 드라이브 IC의 출력 지연시간이 작고 게이트 드라이브 IC의 지연시간이 큰 B 영역(도 5b 참조)이다. A 및 D 영역에 존재하는 액정셀(C1c)의 충전 특성은 C 영역에 존재하는 액정셀(C1c)의 충전 특성보다 좋고 B 영역에 존재하는 액정셀의 충전 특성 보다 나쁘다.
- [0049] 소스 드라이브 IC들(SDIC1~SDIC4)의 동작 타이밍과 게이트 드라이브 IC들(GDIC1~GDIC4)의 동작 타이밍을 액정표시패널(10)에서 충전 특성이 가장 나쁜 위치를 기준으로 튜닝될 수 있다. 예를 들어, 액정셀(C1c)의 데이터 충전 특성이 가장 나쁜 C 영역을 고려하여 소스 출력 인에이블신호(SOE)와 게이트 출력 인에이블신호(GOE)의 최적 타이밍을 결정하여 화면의 모든 영역들에 적용하면, C 영역을 제외한 다른 영역들(A, B, D)을 구동하는 소스 드라이브 IC들(SDIC1~SDIC4)의 파워 소모와 온도를 최적화할 수 없다. 소스 드라이브 IC들(SDIC1~SDIC4)의 파워

소모와 온도는 차지 쉐어링 타이밍을 길게 하면 개선될 수 있다.

- [0050] 도 6은 도 3에 도시된 차지쉐어링회로(27)를 상세히 보여 주는 도면이다. 도 7은 소스 출력 인에이블신호와 차지 쉐어 동작 타이밍을 보여 주는 타이밍도이다.
- [0051] 도 6 및 도 7을 참조하면, 소스 드라이브 IC들(SDIC1~SDIC4)의 차지쉐어링회로(27)는 출력 버퍼(BUF)와 데이터 출력 채널 사이에 직렬 접속된 제1 스위치들(SW1), 및 이웃하는 데이터 출력 채널들 사이에 접속된 제2 스위치들(SW2)을 포함한다. 소스 드라이브 IC들(SDIC1~SDIC4)의 데이터 출력 채널들은 액정표시패널(10)의 데이터라인들(D1~D3)과 1 : 1로 접속되어 출력 버퍼(BUF)로부터의 정극성/부극성 데이터전압을 데이터라인들(D1~D3)에 공급한다.
- [0052] 제1 스위치들(SW1) 각각은 소스 출력 인에이블신호(SOE)의 로우 로직에 응답하여 턴-온(turn-on)되어 데이터전압을 데이터라인(D1~D3)에 공급한다. 반면에, 제1 스위치들(SW1)은 소스 출력 인에이블신호(SOE)의 하이 로직 구간에 턴-오프(turn-off)되어 출력 버퍼(BUF)와 데이터라인(D1~D3) 사이의 전류패스를 차단한다. 따라서, 소스 드라이브 IC들(SDIC1~SDIC4)은 소스 출력 인에이블신호(SOE)의 로우 로직 기간(또는 pulse off 구간) 동안 정극성/부극성 데이터전압을 출력하고 그 때 데이터전압의 스윙폭에 비례하는 전류가 발생되므로 파워가 소모된다.
- [0053] 제2 스위치들(SW2) 각각은 소스 출력 인에이블신호(SOE)의 하이 로직에 응답하여 턴-온되어 이웃하는 데이터 출력 채널들을 접속시켜 데이터라인들(D1~D3)을 쇼트 회로(Short circuit)로 구성한다. 이웃하는 데이터라인들에는 서로 상반된 극성의 데이터전압이 공급된다. 그 결과, 소스 출력 인에이블신호(SOE)의 하이 로직 기간(또는 pulse on 구간 W1) 동안 데이터라인들은 정극성 데이터전압과 부극성 데이터전압의 차지쉐어링으로 인하여 정극성 데이터전압과 부극성 데이터전압의 평균전압으로 조정된다. 차지 쉐어링 기간 동안, 소스 드라이브 IC들(SDIC1~SDIC4)은 전류가 거의 발생되지 않으므로 그 파워 소모가 작아진다. 반면에, 제2 스위치들(SW2)은 소스 출력 인에이블신호(SOE)의 로우 로직 구간에 턴-오프되어 이웃한 데이터 출력 채널들 사이의 전류패스를 차단한다.
- [0054] 도 6 및 도 7에서 알 수 있는 바와 같이, 소스 드라이브 IC들(SDIC1~SDIC4)의 파워 소모는 소스 출력 인에이블신호(SOE)에 따라 결정되는 차지 쉐어링 기간을 크게 하면 줄일 수 있다. 한편, 차지 쉐어링 기간을 길게 하면 액정셀의 데이터 충전시간이 그만큼 작아지므로 차지 쉐어링 기간은 액정셀의 데이터 충전시간을 고려하여 최적화되어야 한다.
- [0055] 소스 드라이브 IC들(SDIC1~SDIC4)의 차지 쉐어링은 소스 드라이브 IC들(SDIC1~SDIC4)의 파워 소모 뿐만 아니라 소스 드라이브 IC들(SDIC1~SDIC4)의 온도에도 큰 영향을 끼친다. 차지 쉐어링 동작 기간 동안 소스 드라이브 IC들(SDIC1~SDIC4)의 전류 발생이 작아진다. 따라서, 차지 쉐어링 시간을 길게 하면 소스 드라이브 IC들(SDIC1~SDIC4)의 온도를 줄일 수 있다.
- [0056] 도 8은 차지 쉐어링 시간 변화에 따른 소스 드라이브 IC들(SDIC1~SDIC4)의 온도 변화를 보여 주는 실험 결과 도면이다. 도 8에서 알 수 있는 바와 같이, 소스 드라이브 IC들(SDIC1~SDIC4)이 차지 쉐어링 없이 구동되면 그 온도가 90℃ 이상으로 발열된다. 이에 비하여, 소스 드라이브 IC들(SDIC1~SDIC4)이 차지 쉐어링을 하면서 구동되면 그 온도가 90℃ 이하로 낮아진다. 차지 쉐어링 시간을 길게할 수록 즉, 소스 출력 인에이블신호(SOE)의 펄스폭을 길게 할수록 소스 드라이브 IC들(SDIC1~SDIC4)의 온도를 낮출 수 있다.
- [0057] 전술한 바와 같이, 소스 출력 인에이블신호(SOE)와 게이트 출력 인에이블신호(GOE)의 타이밍을 화면의 일부 영역을 기준으로 설정하고 그 타이밍을 화면 전체에 적용하면, 다른 화면 영역을 구동하는 소스 드라이브 IC들(SDIC1~SDIC4)의 파워 소모와 온도가 최적화되지 않는다. 본 발명의 타이밍 컨트롤러(TCON)는 모든 소스 드라이브 IC들(SDIC1~SDIC4)의 파워 소모와 온도를 최적화하기 위하여 소스 출력 인에이블신호(SOE)와 게이트 출력 인에이블신호(GOE)를 도 9a 내지 도 9d, 및 도 10과 같이 변조한다.
- [0058] 도 9a 내지 도 9d는 도 1에 도시된 화면 영역 A, B, C, D를 구동하기 위한 소스 드라이브 IC(SDIC1~SDIC4)와 게이트 드라이브 IC(GDIC1~GDIC4)의 출력 타이밍을 제어하는 본 발명의 소스 출력 인에이블신호와 게이트 출력 인에이블신호를 보여 주는 파형도들이다. 도 10은 타이밍 컨트롤러(TCON)에 의해 변조된 소스 출력 인에이블신호와 게이트 출력 인에이블신호를 보여 주는 파형도이다.
- [0059] 도 9a 내지 도 9d, 및 도 10을 참조하면, 제1 소스 드라이브 IC(SDIC1)는 제1 소스 출력 인에이블신호(SOE for SDIC1)에 응답하여 화면의 A 및 C 영역에 배치된 데이터라인들로 데이터전압을 출력하고 그 데이터라인들을 차지 쉐어링한다. 제4 소스 드라이브 IC(SDIC4)는 제4 소스 출력 인에이블신호(SOE for SDIC4)에 응답하여 화면

의 B 및 D 영역에 배치된 데이터라인들로 데이터전압을 출력하고 그 데이터라인들을 차지 웨어링한다. 제2 및 제3 소스 드라이브 IC(SDIC2, SDIC3)는 제2 및 제3 소스 출력 인에이블신호(SOE for SDIC3, SOE for SDIC4)에 응답하여 화면의 A/C 및 B/D 영역 사이의 영역에 배치된 데이터라인들로 데이터전압을 출력하고 그 데이터라인들을 차지 웨어링한다.

- [0060] 제1 게이트 드라이브 IC(GDIC1)는 게이트 출력 인에이블신호(GOE)에 응답하여 화면의 A 및 B 영역에 배치된 게이트라인들에 게이트펄스를 순차 출력한다. 제4 게이트 드라이브 IC(GDIC4)는 게이트 출력 인에이블신호(GOE)에 응답하여 화면의 C 및 D 영역에 배치된 게이트라인들에 게이트펄스를 순차 출력한다. 제2 및 제3 게이트 드라이브 IC(GDIC2, GDIC3)는 게이트 출력 인에이블신호(GOE)에 응답하여 화면의 A/B 및 C/D 영역 사이의 영역에 배치된 게이트라인들에 게이트펄스를 순차 출력한다.
- [0061] 타이밍 콘트롤러(TCON)는 화면의 C 영역을 구동하기 위한 소스 출력 인에이블신호(SOE)와 게이트 출력 인에이블신호를 기준으로 제1 내지 제4 소스 출력 인에이블신호들(SOE for SDIC1 ~ SOE for SDIC4)의 펄스폭 및 주기를 변조하고, 게이트 출력 인에이블신호(GOE)의 주기를 변조한다.
- [0062] 제1 소스 출력 인에이블신호(SOE for SDIC1)의 펄스들(S11~S15)에서 라이징 에지 타이밍은 기존과 동일하다. 이에 비하여, 제1 소스 출력 인에이블신호(SOE for SDIC1)의 펄스들(S11~S14) 중 적어도 일부 펄스들의 폴링 에지 타이밍이 더 늦게 변조된다. 제1 소스 출력 인에이블신호(SOE for SDIC1)의 제1 펄스(S11)는 화면의 A 영역에 존재하는 데이터라인들에 공급되는 데이터전압의 출력 타이밍과 그 데이터라인들의 차지 웨어링 타이밍을 정의한다. 제1 펄스(S11)의 폴링 에지 타이밍은 기존 보다 대략  $3\Delta t$ 만큼 더 지연될 수 있으며, 이 경우에 제1 펄스(S11)의 펄스폭은 기존 보다  $3\Delta t$ 만큼 더 넓어진다.(도 9a 및 도 10의 빗금친 부분)
- [0063] 제1 소스 출력 인에이블신호(SOE for SDIC1)의 제2 펄스(S12)는 그 폴링 에지 타이밍이 기존보다 더 늦고 제1 펄스(S11)의 변조폭보다 작은 변조폭으로 변조된다. 예를 들어, 제2 펄스(S12)의 폴링 에지 타이밍은 기존 보다 대략  $2\Delta t$ 만큼 더 지연될 수 있으며, 이 경우에 제2 펄스(S12)의 펄스폭은 기존 보다  $2\Delta t$ 만큼 더 넓어진다.(도 9a 및 도 10 참조)
- [0064] 제1 소스 출력 인에이블신호(SOE for SDIC1)의 제3 펄스(S13)는 그 폴링 에지 타이밍이 기존보다 더 늦고 제2 펄스(S12)의 변조폭보다 작은 변조폭으로 변조된다. 예를 들어, 제3 펄스(S13)의 폴링 에지 타이밍은 기존 보다 대략  $\Delta t$ 만큼 더 지연될 수 있으며, 이 경우에 제3 펄스(S13)의 펄스폭은 기존 보다  $\Delta t$ 만큼 더 넓어진다.(도 10 참조)
- [0065] 제1 소스 출력 인에이블신호(SOE for SDIC1)의 제4 펄스(S14)는 화면의 C 영역에 존재하는 데이터라인들에 공급되는 데이터전압의 출력 타이밍과 그 데이터라인들의 차지 웨어링 타이밍을 정의한다. 제3 펄스(S13)의 폴링 에지는 제2 펄스(S12)의 변조폭보다 작은 변조폭으로 변조된다. 예를 들어, 제3 펄스(S13)의 폴링 에지 타이밍은 기존과 동일하게 설정될 수 있다. 이 경우에 제3 펄스(S13)의 펄스폭은 기존과 동일하다.(도 9c 및 도 10 참조)
- [0066] 제2 소스 출력 인에이블신호(SOE for SDIC2)의 펄스들(S21~S24) 중에서 적어도 일부는 라이징 에지 타이밍이 제1 소스 출력 인에이블신호(SOE for SDIC1) 보다 더 빠르게 변조된다. 제2 소스 출력 인에이블신호(SOE for SDIC2)의 펄스들(S21~S24)은 그 폴링 에지 타이밍이 제1 소스 출력 인에이블신호(SOE for SDIC1)과 동일하게 설정된다. 제2 소스 출력 인에이블신호(SOE for SDIC2)의 제1 펄스(S21)는 그 라이징 에지 타이밍이 제1 소스 출력 인에이블신호(SOE for SDIC1)의 제1 펄스(S11) 보다 대략  $\Delta t$ 만큼 더 빠르게 설정될 수 있다. 제2 소스 출력 인에이블신호(SOE for SDIC2)의 제1 펄스(S21)는 그 폴링 에지 타이밍이 제1 소스 출력 인에이블신호(SOE for SDIC1)의 제1 펄스(S11)와 동일하게 설정될 수 있다. 이 경우에 제1 펄스(S21)의 펄스폭은 제1 소스 출력 인에이블신호(SOE for SDIC1)의 제1 펄스(S11)보다  $\Delta t$ 만큼 더 넓어진다.(도 10 참조)
- [0067] 제2 소스 출력 인에이블신호(SOE for SDIC2)의 제2 펄스(S22)는 그 라이징 에지 타이밍이 제1 소스 출력 인에이블신호(SOE for SDIC1)의 제2 펄스(S12) 보다 대략  $\Delta t$ 만큼 더 빠르게 설정될 수 있다. 제2 소스 출력 인에이블신호(SOE for SDIC2)의 제2 펄스(S22)는 그 폴링 에지 타이밍이 제1 소스 출력 인에이블신호(SOE for SDIC1)의 제2 펄스(S12)와 동일하게 설정될 수 있다. 이 경우에 제2 펄스(S22)의 펄스폭은 제1 소스 출력 인에이블신호(SOE for SDIC1)의 제2 펄스(S12)보다  $\Delta t$ 만큼 더 넓어진다.(도 10 참조)
- [0068] 제2 소스 출력 인에이블신호(SOE for SDIC2)의 제3 펄스(S23)는 그 라이징 에지 타이밍이 제1 소스 출력 인에이블신호(SOE for SDIC1)의 제3 펄스(S13) 보다 대략  $\Delta t$ 만큼 더 빠르게 설정될 수 있다. 제2 소스 출력 인에이블신호(SOE for SDIC2)의 제3 펄스(S23)는 그 폴링 에지 타이밍이 제1 소스 출력 인에이블신호(SOE for SDIC1)의 제3 펄스(S13)보다  $\Delta t$ 만큼 더 넓어진다.(도 10 참조)

1)의 제3 펄스(S13)와 동일하게 설정될 수 있다. 이 경우에 제3 펄스(S23)의 펄스폭은 제1 소스 출력 인에이블 신호(SOE for SDIC1)의 제3 펄스(S13)보다  $\Delta t$ 만큼 더 넓어진다.(도 10 참조)

[0069] 제2 소스 출력 인에이블신호(SOE for SDIC2)의 제4 펄스(S24)는 그 라이징 에지 타이밍이 제1 소스 출력 인에이블신호(SOE for SDIC1)의 제4 펄스(S14) 보다 대략  $\Delta t$ 만큼 더 빠르게 설정될 수 있다. 제2 소스 출력 인에이블신호(SOE for SDIC2)의 제4 펄스(S24)는 그 폴링 에지 타이밍이 제1 소스 출력 인에이블신호(SOE for SDIC1)의 제4 펄스(S14)와 동일하게 설정될 수 있다. 이 경우에 제4 펄스(S24)의 펄스폭은 제1 소스 출력 인에이블신호(SOE for SDIC1)의 제4 펄스(S14)보다  $\Delta t$ 만큼 더 넓어진다.(도 10 참조)

[0070] 제3 소스 출력 인에이블신호(SOE for SDIC3)의 펄스들(S31~S34) 중에서 적어도 일부는 라이징 에지 타이밍이 제2 소스 출력 인에이블신호(SOE for SDIC2) 보다 더 빠르게 변조된다. 제3 소스 출력 인에이블신호(SOE for SDIC3)의 펄스들(S31~S34)은 그 폴링 에지 타이밍이 제1 및 제2 소스 출력 인에이블신호(SOE for SDIC1, SOE for SDIC2)과 동일하게 설정된다. 제3 소스 출력 인에이블신호(SOE for SDIC3)의 제1 펄스(S31)는 그 라이징 에지 타이밍이 제2 소스 출력 인에이블신호(SOE for SDIC2)의 제1 펄스(S21) 보다 대략  $\Delta t$ 만큼 더 빠르게 설정될 수 있다. 제3 소스 출력 인에이블신호(SOE for SDIC3)의 제1 펄스(S31)는 그 폴링 에지 타이밍이 제1 및 제2 소스 출력 인에이블신호(SOE for SDIC1, SOE for SDIC2)의 제1 펄스(S11, S21)와 동일하게 설정될 수 있다. 이 경우에 제1 펄스(S31)의 펄스폭은 제2 소스 출력 인에이블신호(SOE for SDIC2)의 제1 펄스(S21)보다  $\Delta t$ 만큼 더 넓어진다.(도 10 참조)

[0071] 제3 소스 출력 인에이블신호(SOE for SDIC3)의 제2 펄스(S32)는 그 라이징 에지 타이밍이 제2 소스 출력 인에이블신호(SOE for SDIC2)의 제2 펄스(S22) 보다 대략  $\Delta t$ 만큼 더 빠르게 설정될 수 있다. 제3 소스 출력 인에이블신호(SOE for SDIC3)의 제2 펄스(S32)는 그 폴링 에지 타이밍이 제1 및 제2 소스 출력 인에이블신호(SOE for SDIC1, SOE for SDIC2)의 제2 펄스(S12, S22)와 동일하게 설정될 수 있다. 이 경우에 제2 펄스(S32)의 펄스폭은 제2 소스 출력 인에이블신호(SOE for SDIC2)의 제2 펄스(S22)보다  $\Delta t$ 만큼 더 넓어진다.(도 10 참조)

[0072] 제3 소스 출력 인에이블신호(SOE for SDIC3)의 제3 펄스(S33)는 그 라이징 에지 타이밍이 제2 소스 출력 인에이블신호(SOE for SDIC2)의 제3 펄스(S23) 보다 대략  $\Delta t$ 만큼 더 빠르게 설정될 수 있다. 제3 소스 출력 인에이블신호(SOE for SDIC3)의 제3 펄스(S33)는 그 폴링 에지 타이밍이 제1 및 제2 소스 출력 인에이블신호(SOE for SDIC1, SOE for SDIC2)의 제3 펄스(S13, S23)와 동일하게 설정될 수 있다. 이 경우에 제3 펄스(S33)의 펄스폭은 제2 소스 출력 인에이블신호(SOE for SDIC2)의 제3 펄스(S23)보다  $\Delta t$ 만큼 더 넓어진다.(도 10 참조)

[0073] 제3 소스 출력 인에이블신호(SOE for SDIC3)의 제4 펄스(S34)는 그 라이징 에지 타이밍이 제2 소스 출력 인에이블신호(SOE for SDIC2)의 제4 펄스(S24) 보다 대략  $\Delta t$ 만큼 더 빠르게 설정될 수 있다. 제3 소스 출력 인에이블신호(SOE for SDIC3)의 제4 펄스(S34)는 그 폴링 에지 타이밍이 제1 및 제2 소스 출력 인에이블신호(SOE for SDIC1, SOE for SDIC2)의 제4 펄스(S14, S24)와 동일하게 설정될 수 있다. 이 경우에 제4 펄스(S34)의 펄스폭은 제2 소스 출력 인에이블신호(SOE for SDIC2)의 제4 펄스(S24)보다  $\Delta t$ 만큼 더 넓어진다.(도 10 참조)

[0074] 제4 소스 출력 인에이블신호(SOE for SDIC4)의 펄스들(S41~S45) 중에서 적어도 일부는 라이징 에지 타이밍이 제3 소스 출력 인에이블신호(SOE for SDIC3) 보다 더 빠르게 변조된다. 제4 소스 출력 인에이블신호(SOE for SDIC4)의 펄스들(S41~S45)은 그 폴링 에지 타이밍이 제1 내지 제3 소스 출력 인에이블신호(SOE for SDIC1 ~ SOE for SDIC3)과 동일하게 설정된다. 제4 소스 출력 인에이블신호(SOE for SDIC4)의 제1 펄스(S41)는 화면의 B 영역에 존재하는 데이터라인들에 공급되는 데이터전압의 출력 타이밍과 그 데이터라인들의 차지 셰어링 타이밍을 정의한다. 제4 소스 출력 인에이블신호(SOE for SDIC4)의 제1 펄스(S41)는 그 라이징 에지 타이밍이 제3 소스 출력 인에이블신호(SOE for SDIC3)의 제1 펄스(S31) 보다 대략  $\Delta t$ 만큼 더 빠르게 설정될 수 있다. 제4 소스 출력 인에이블신호(SOE for SDIC4)의 제1 펄스(S41)는 그 폴링 에지 타이밍이 제1 내지 제3 소스 출력 인에이블신호(SOE for SDIC1 ~ SOE for SDIC3)의 제1 펄스(S11, S21, S31)과 동일하게 설정될 수 있다. 이 경우에, 제1 펄스(S41)의 펄스폭은 제3 소스 출력 인에이블신호(SOE for SDIC3)의 제1 펄스(S31)보다  $\Delta t$ 만큼 더 넓어진다.(도 9b 및 도 10 참조)

[0075] 제4 소스 출력 인에이블신호(SOE for SDIC4)의 제2 펄스(S42)는 그 라이징 에지 타이밍이 제3 소스 출력 인에이블신호(SOE for SDIC3)의 제2 펄스(S32) 보다 대략  $\Delta t$ 만큼 더 빠르게 설정될 수 있다. 제4 소스 출력 인에이블신호(SOE for SDIC4)의 제2 펄스(S42)는 그 폴링 에지 타이밍이 제1 내지 제3 소스 출력 인에이블신호(SOE for SDIC1 ~ SOE for SDIC3)의 제2 펄스(S12, S22, S32)와 동일하게 설정될 수 있다. 이 경우에, 제2 펄스(S42)의 펄스폭은 제3 소스 출력 인에이블신호(SOE for SDIC3)의 제2 펄스(S32)보다  $\Delta t$ 만큼 더 넓어진다.(도 10 참조)

- [0076] 제4 소스 출력 인에이블신호(SOE for SDIC4)의 제3 펄스(S43)는 그 라이징 에지 타이밍이 제3 소스 출력 인에이블신호(SOE for SDIC3)의 제3 펄스(S33) 보다 대략  $\Delta t$ 만큼 더 빠르게 설정될 수 있다. 제4 소스 출력 인에이블신호(SOE for SDIC4)의 제3 펄스(S43)는 그 폴링 에지 타이밍이 제1 내지 제3 소스 출력 인에이블신호(SOE for SDIC1 ~ SOE for SDIC3)의 제3 펄스(S13, S23, S33)와 동일하게 설정될 수 있다. 이 경우에, 제3 펄스(S43)의 펄스폭은 제3 소스 출력 인에이블신호(SOE for SDIC3)의 제3 펄스(S33)보다  $\Delta t$ 만큼 더 넓어진다.(도 10 참조)
- [0077] 제4 소스 출력 인에이블신호(SOE for SDIC4)의 제4 펄스(S44)는 화면의 D 영역에 존재하는 데이터라인들에 공급되는 데이터전압의 출력 타이밍과 그 데이터라인들의 차지 셰어링 타이밍을 정의한다. 제4 소스 출력 인에이블신호(SOE for SDIC4)의 제4 펄스(S44)는 그 라이징 에지 타이밍이 제3 소스 출력 인에이블신호(SOE for SDIC3)의 제4 펄스(S34) 보다 대략  $\Delta t$ 만큼 더 빠르게 설정될 수 있다. 제4 소스 출력 인에이블신호(SOE for SDIC4)의 제4 펄스(S44)는 그 폴링 에지 타이밍이 제1 내지 제3 소스 출력 인에이블신호(SOE for SDIC1 ~ SOE for SDIC3)의 제4 펄스(S14, S24, S34)와 동일하게 설정될 수 있다. 이 경우에 제4 펄스(S44)의 펄스폭은 제3 소스 출력 인에이블신호(SOE for SDIC3)의 제4 펄스(S34)보다  $\Delta t$ 만큼 더 넓어진다.(도 9d 및 도 10 참조)
- [0078] 이렇게 소스 드라이브 IC들(SDIC1~SDIC4)를 변조함으로써 화면의 모든 위치에서 소스 드라이브 IC들(SDIC1~SDIC4)의 파워 소모와 온도를 최적화할 수 있다. 이와 함께 화면의 모든 위치에서 액정셀들의 데이터 충전특성(TA-TD)을 동등 수준으로 최적화하여야 한다. 이를 위하여, 본 발명의 타이밍 콘트롤러(TCON)는 소스 출력 인에이블신호들(SOE for SDIC1 ~ SOE for SDIC4)의 변조 타이밍을 고려하여 게이트 출력 인에이블신호(GOE)를 도 10과 같이 변조한다. 소스 출력 인에이블신호들(SOE for SDIC1 ~ SOE for SDIC4)의 펄스 주기를 T라 할 때, 게이트 출력 인에이블신호(GOE)의 펄스 주기를 도 10과 같이 변조한다.
- [0079] 게이트 출력 인에이블신호(GOE)의 펄스들(G01~G04)의 펄스폭은 동일하게 설정된다. 게이트 출력 인에이블신호(GOE)의 제1 펄스(G01)는 소스 출력 인에이블신호들(SOE for SDIC1 ~ SOE for SDIC4)의 제1 펄스(S11, S21, S31, S41)와 중첩되고, 화면의 A 및 B 영역에 존재하는 게이트라인들에 공급되는 게이트펄스의 출력 타이밍을 제어한다. 제1 펄스(G01)의 라이징 에지와 제2 펄스(G02)의 라이징 에지 사이의 제1 펄스 주기는  $T - \Delta t$  만큼으로 설정된다.(도 9a, 도 9b 및 도 10 참조)
- [0080] 게이트 출력 인에이블신호(GOE)의 제2 펄스(G02)는 소스 출력 인에이블신호들(SOE for SDIC1 ~ SOE for SDIC4)의 제2 펄스(S12, S22, S32, S42)와 중첩된다. 제2 펄스(G02)의 라이징 에지와 제3 펄스(G03)의 라이징 에지 사이의 제2 펄스 주기는 제1 펄스 주기보다 작게 설정될 수 있다. 예를 들어, 제2 펄스 주기는  $T - 2\Delta t$  만큼으로 설정될 수 있다.(도 10 참조)
- [0081] 게이트 출력 인에이블신호(GOE)의 제3 펄스(G03)는 소스 출력 인에이블신호들(SOE for SDIC1 ~ SOE for SDIC4)의 제3 펄스(S13, S23, S33, S43)와 중첩된다. 제3 펄스(G03)의 라이징 에지와 제4 펄스(G04)의 라이징 에지 사이의 제3 펄스 주기는 제2 펄스 주기보다 작게 설정될 수 있다. 예를 들어, 제3 펄스 주기는  $T - 3\Delta t$  만큼으로 설정될 수 있다.(도 10 참조)
- [0082] 게이트 출력 인에이블신호(GOE)의 제4 펄스(G04)는 소스 출력 인에이블신호들(SOE for SDIC1 ~ SOE for SDIC4)의 제4 펄스(S14, S24, S34, S44)와 중첩되고, 화면의 C 및 D 영역에 존재하는 게이트라인들에 공급되는 게이트펄스의 출력 타이밍을 제어한다. 제4 펄스(G04)의 라이징 에지와 제5 펄스(도시하지 않음)의 라이징 에지 사이의 제4 펄스 주기는 제3 펄스 주기보다 작게 설정될 수 있다.(도 9c, 도 9d 및 도 10 참조)
- [0083] 도 9 및 도 10에서,  $\Delta t$ 는 액정표시패널(10)의 패널 특성에 따라 적절히 조정될 수 있다.
- [0084] 타이밍 콘트롤러(TCON)는 소스 출력 인에이블신호들(SOE for SDIC1 ~ SOE for SDIC4)를 도 9 및 도 10과 같이 변조함으로써 도 5의 경우에 비하여, 제1, 제2 및 제4 소스 드라이브 IC들(SDIC1, SDIC2, SDIC4)의 차지 셰어링 시간을 증가시킬 수 있다. 그 결과, 제1, 제2 및 제4 소스 드라이브 IC들(SDIC1, SDIC2, SDIC4)의 파워 소모와 온도가 최소화된다. 또한, 타이밍 콘트롤러(TCON)는 변조된 소스 출력 인에이블신호들(SOE for SDIC1 ~ SOE for SDIC4)의 타이밍에 맞추어 게이트 출력 인에이블신호(GOE)를 변조함으로써 화면의 모든 위치에 존재하는 액정셀들의 데이터 충전 특성을 균일하게 제어할 수 있다.
- [0085] 타이밍 콘트롤러(TCON)는 게이트 드라이브 IC들(GDIC1~GDIC4)을 액정표시패널(10)의 일측에만 배치하고 소스 PCB(SPCB)를 하나만 배치하는 싱글 뱅크 구동(Single bank drive)에서, 소스 드라이브 IC들(SDIC1~SDIC4)의 데이터 출력 및 차지 셰어 타이밍을 개별 제어하기 위하여 제1 및 제4 소스 출력 인에이블신호들(SOE for SDIC1 ~ SOE for SDIC4)을 개별로 생성한다. 도 1과 같이, 게이트 드라이브 IC들(GDIC1~GDIC4)을 액정표시패널(10)의 양측에 배치하고 소스 PCB(SPCB)를 두 개 배치하는 더블 뱅크 구동(Double bank drive)에서, 타이밍 콘트롤러

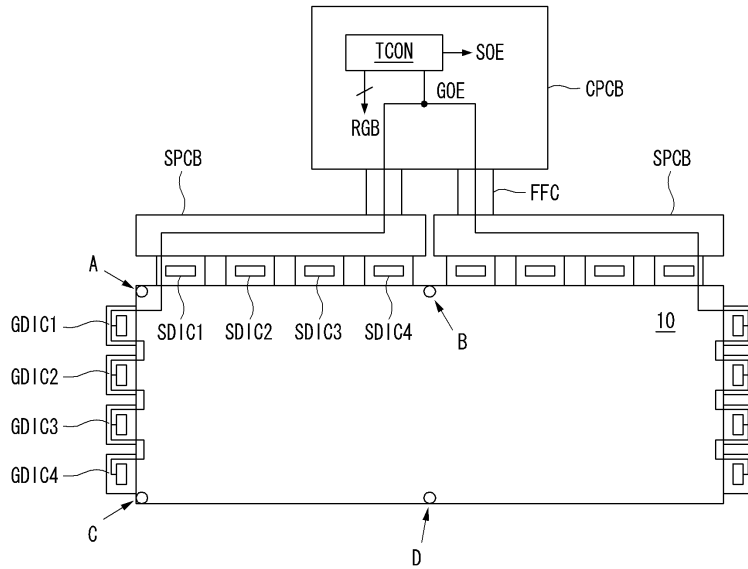


SOE : 소스 출력 인에이블신호

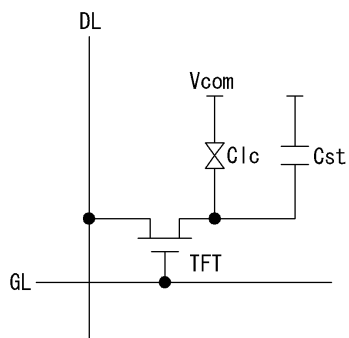
GOE : 게이트 출력 인에이블신호

도면

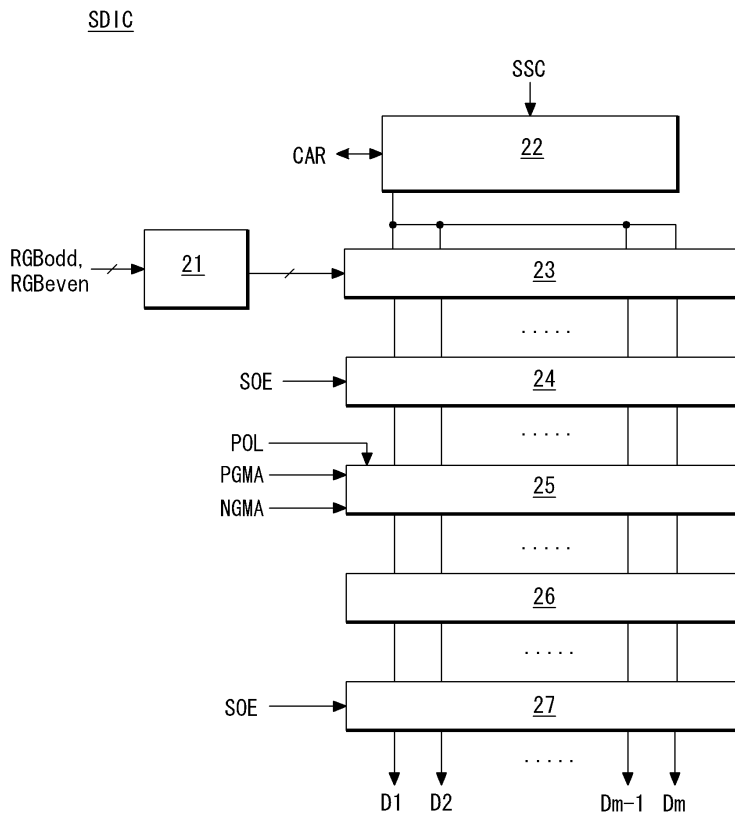
도면1



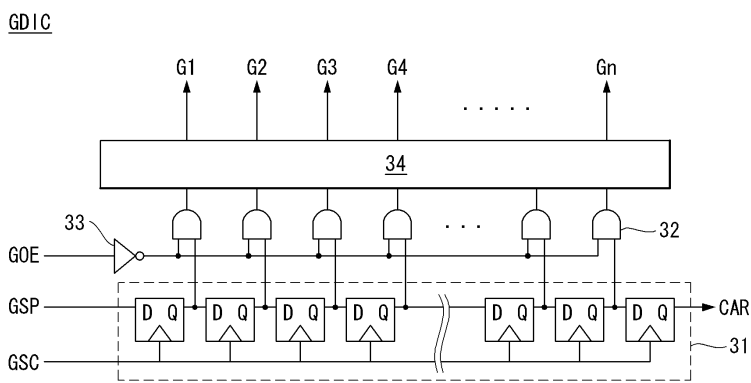
도면2



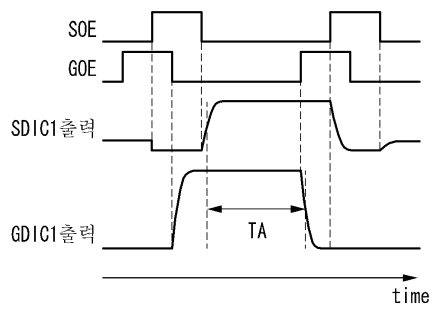
도면3



도면4

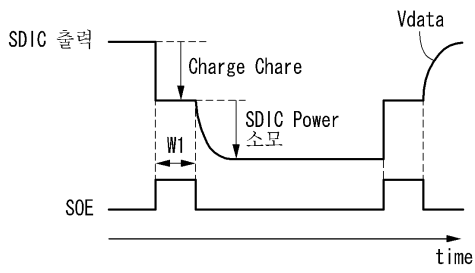


도면5a

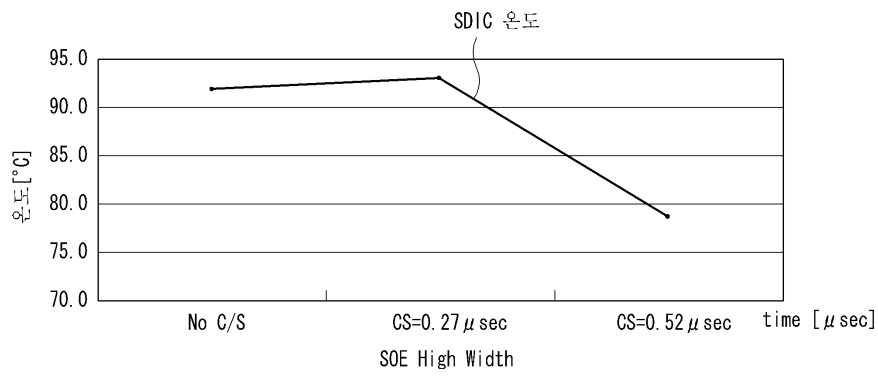




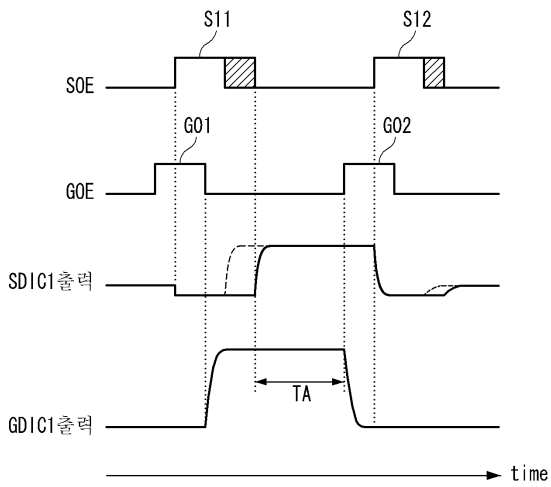
도면7



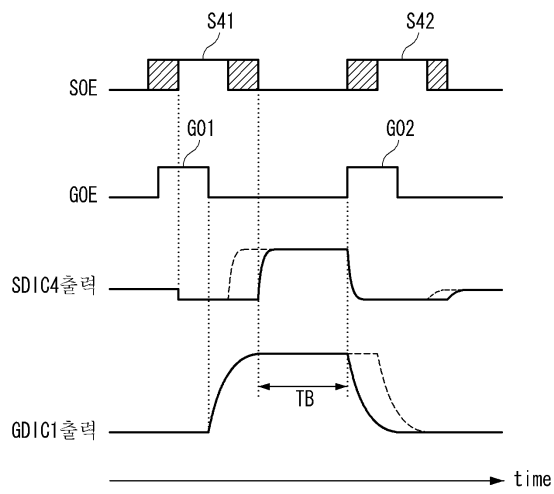
도면8



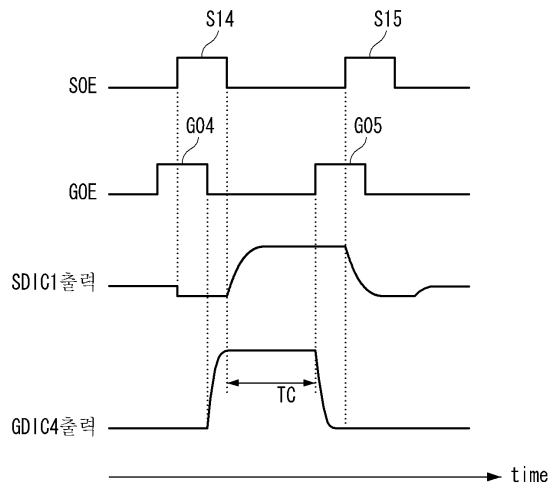
도면9a



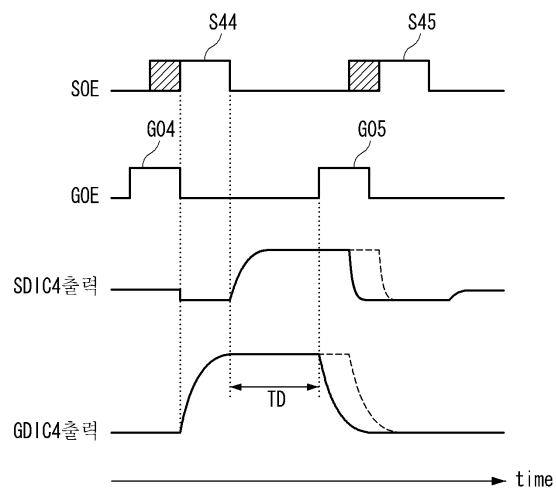
도면9b



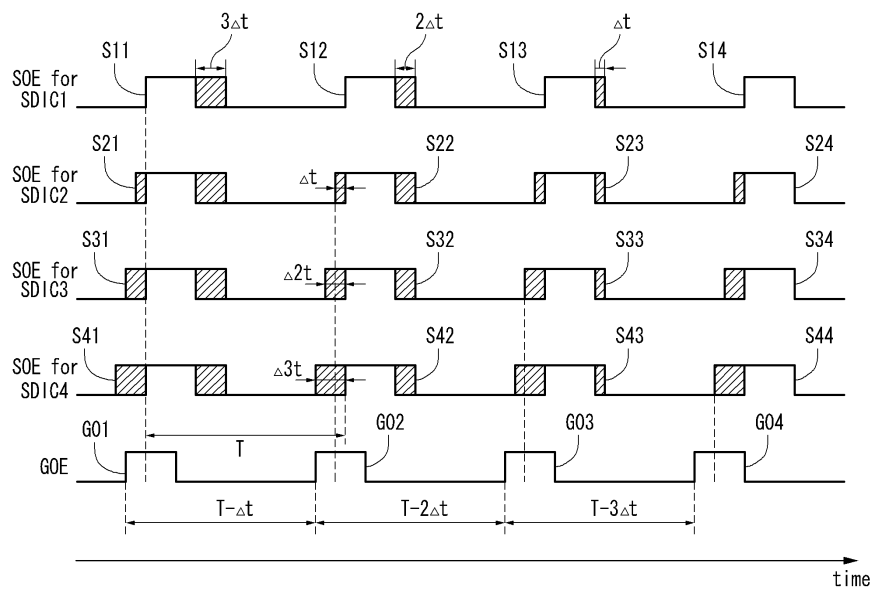
도면9c



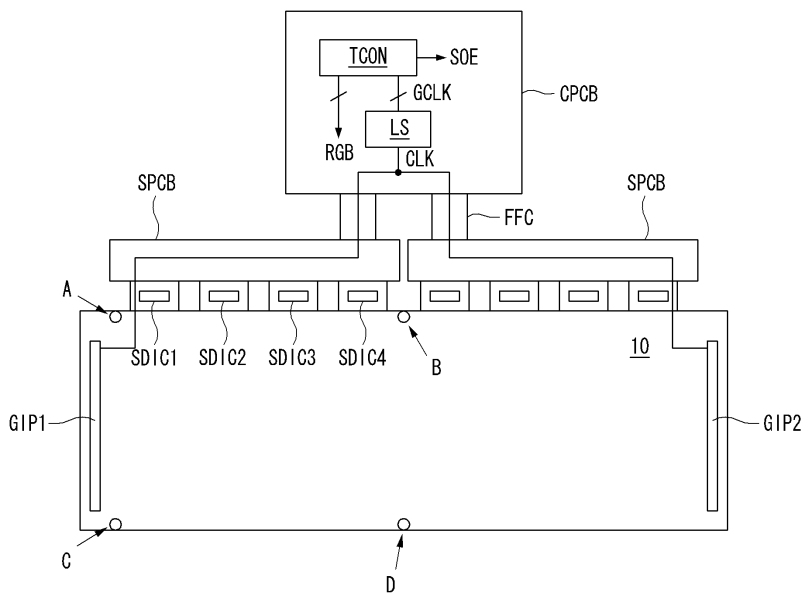
도면9d



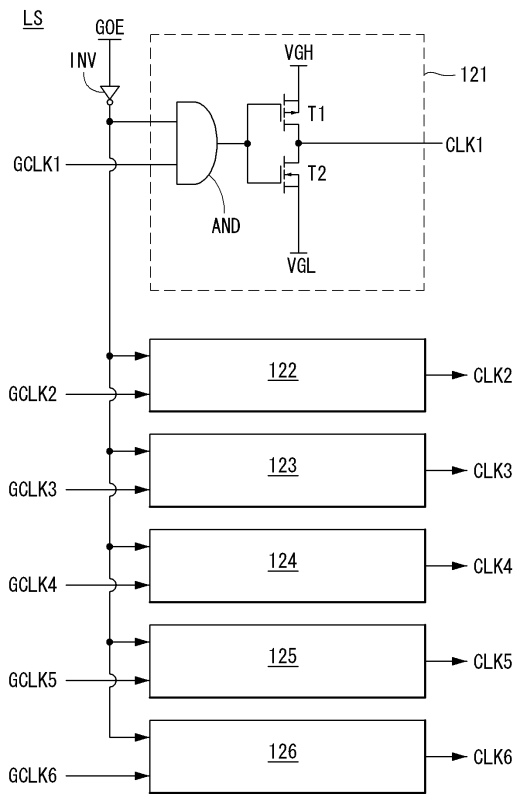
도면10



도면11



도면12



专利名称(译)	液晶显示器		
公开(公告)号	<a href="#">KR101324383B1</a>	公开(公告)日	2013-11-01
申请号	KR1020100103921	申请日	2010-10-25
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK MAN GYU 박만규 HONG JIN CHEOL 홍진철		
发明人	박만규 홍진철		
IPC分类号	G02F1/133 G09G3/36		
CPC分类号	G09G3/3677 G09G3/3611 G09G3/3688 G09G2310/0251 G09G2310/0281 G09G2310/0289 G09G2310/08 G09G2330/021 G09G2370/08		
其他公开文献	KR1020120042293A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

一种液晶显示器，包括：第一数据驱动电路，响应于第一源输出使能信号，将数据电压提供给存在于液晶显示面板的屏幕上的第一部分和第三部分中的数据总线；第二数据驱动电路，响应于第二源输出使能信号，将数据电压提供给存在于液晶显示面板的屏幕上的第二部分和第四部分中的数据总线。第一源输出使能信号控制第一数据驱动电路的数据电压输出时序和电荷共享时序。第二源输出信号以与第一数据驱动电路不同的方式控制第二数据驱动电路的数据输出定时和电荷共享定时。

