



(72) 발명자

유두환

경기도 광명시 소하2동 미도아파트 101동 602호

유영훈

충남 아산시 탕정면 명암리 트라펠리스 302동 160
2호

특허청구의 범위

청구항 1

제1 기관,

상기 제1 기관 위에 배치되어 있으며 게이트 신호를 전달하는 복수의게이트선,

상기 제1 기관 위에 배치되어 있으며 서로 다른 제1 데이터 전압과 제2 데이터 전압을 각각 전달하는 제1 데이터선 및 제2 데이터선,

상기 복수의 게이트선 중 하나 및 상기 제1 데이터선과 연결되어 있는 제1 스위칭 소자,

상기 복수의 게이트선 중 하나 및 상기 제2 데이터선과 연결되어 있는 제2 스위칭 소자,

상기 제1 스위칭 소자 및 제2 스위칭 소자와 각각 연결되어 서로 분리되어 있고 교대로 배치되어 있는 제1 화소 전극 및 제2 화소 전극,

상기 제1 기관과 마주하는 제2 기관,

상기 제2 기관에 접촉하며 일정한 패턴을 갖는 도전층 및

상기 제1 기관과 상기 제2 기관 사이에 개재되어 있는 액정 분자를 포함하는

표시 장치.

청구항 2

제1항에서, 상기 도전층은 투명한 표시 장치.

청구항 3

제2항에서, 상기 도전층의 일정한 패턴은 다각형 절개부가 행렬로 배치되어 있는 모양을 가지는 표시 장치.

청구항 4

제3항에서, 상기 투명 도전층은 인듐 틴 옥사이드, 인듐 징크 옥사이드 및 틴 옥사이드중 어느 하나를 포함하고, 상기 투명 도전층의 두께는 200~400Å인 표시 장치.

청구항 5

제2항에서, 상기 제2 기관에 배치되어 있고 상기 도전층에 접촉하는 차광 부재를 더 포함하는 표시 장치.

청구항 6

제5항에서, 상기 도전층은 상기 차광 부재와 동일한 패턴을 가지는 표시 장치.

청구항 7

제6항에서, 상기 제2 기관에 배치되어 있는 색필터를 더 포함하는 표시 장치.

청구항 8

제7항에서, 상기 제1 데이터 전압과 상기 제2 데이터 전압은 극성이 다른 표시 장치.

청구항 9

제6항에서, 상기 제1 기관에 배치되어 있는 색필터를 더 포함하는 표시 장치.

청구항 10

제9항에서, 상기 제1 데이터 전압과 상기 제2 데이터 전압은 극성이 다른 표시 장치.

청구항 11

제1 기관 위에 게이트 신호를 전달하는 복수의 게이트선을 형성하는 단계,

상기 제1 기관 위에 서로 다른 제1 데이터 전압과 제2 데이터 전압을 각각 전달하는 제1 데이터선 및 제2 데이터선을 형성하는 단계,

상기 복수의 게이트선 중 하나 및 상기 제1 데이터선과 연결되어 있는 제1 스위칭 소자를 형성하는 단계,

상기 복수의 게이트선 중 하나 및 상기 제2 데이터선과 연결되어 있는 제2 스위칭 소자를 형성하는 단계,

상기 제1 스위칭 소자 및 제2 스위칭 소자와 각각 연결되며, 서로 분리되어 교대로 배치되도록 제1 화소 전극 및 제2 화소 전극을 형성하는 단계,

제2 기관에 접촉하며 일정한 패턴을 갖는 도전층을 형성하는 단계 및

상기 제1 기관과 마주하는 상기 제2 기관 사이에 액정 분자를 개재하는 단계를 포함하는 표시 장치의 제조 방법.

청구항 12

제11항에서, 상기 도전층은 투명한 표시 장치의 제조 방법.

청구항 13

제12항에서, 상기 도전층은 다각형 절개부가 행렬로 배치되어 있는 모양을 가지도록 형성하는 표시 장치의 제조 방법.

청구항 14

제13항에서, 상기 투명 도전층은 인듐 틴 옥사이드, 인듐 징크 옥사이드 및 틴 옥사이드 중 어느 하나로 200~400Å의 두께로 형성하는 표시 장치의 제조 방법.

청구항 15

제12항에서, 상기 도전층에 접촉하는 차광 부재를 형성하는 단계를 더 포함하는 표시 장치의 제조 방법.

청구항 16

제15항에서, 상기 도전층은 상기 차광 부재와 동일한 패턴을 가지는 표시 장치의 제조 방법.

청구항 17

제16항에서, 상기 제2 기관에 색필터를 형성하는 단계를 더 포함하는 표시 장치의 제조 방법.

청구항 18

제17항에서, 상기 제1 스위칭 소자와 제2 스위칭 소자는 같은 게이트선에 연결하는 표시 장치의 제조 방법.

청구항 19

제16항에서, 상기 제1 기관에 색필터를 형성하는 단계를 더 포함하는 표시 장치의 제조 방법.

청구항 20

제19항에서, 상기 제1 스위칭 소자와 제2 스위칭 소자는 같은 게이트선에 연결하는 표시 장치의 제조 방법.

명세서

기술 분야

[0001] 본 발명은 액정 표시 장치에 관한 것이다.

배경 기술

[0002] 액정 표시 장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하는 장치이다. 이를 위하여 액정 표시 패널은 액정을 사이에 두고 서로 대향하여 합착된 박막트랜지스터 기관 및 대향 기관을 구비한다. 그리고, 두 기관 사이의 전극에 전압을 인가하여 생성되는 전기장에 의해 액정 분자를 움직이게 함으로써, 이에 따라 달라지는 빛의 투과율에 의해 화상을 표시하는 장치이다.

[0003] 이러한 액정 표시 장치는 액정 분자의 배열에 따라 다양한 표시 모드가 존재하는데, 공정상의 장점 때문에 주로 TN(Twisted Nematic), PVA(Patterned Vertical Alignment), ECB(Electrically Controlled Birefringence) 모드가 많이 사용되고 있다. TN, PVA, ECB 모드 액정 표시 장치는 기관과 수평하게 배향된 액정 분자가 전압이 인가될 때 기관과 거의 수직으로 배향되거나 또는 기관과 수직하게 배향된 액정 분자가 전압이 인가될 때 기관과 거의 수평으로 배향되는 배향 모드이다. 따라서, TN, PVA, ECB 모드 액정 표시 장치는 액정 분자의 굴절율 이방성(refractive anisotropy)에 의해 전압의 인가시 시야각이 좁아지는 문제점이 있었다.

[0004] 이러한 시야각 문제를 해결하기 위해, 근래 광시야각특성을 갖는 각종 모드의 액정 표시소자가 제안되고 있는데, 그 중에서도 IPS(In Plane Switching) 모드 및 PLS(Plane to Line Switching) 모드가 대표적이다. IPS 모드는 화소내에 평행으로 배열된 적어도 한 쌍의 전극을 형성하여 기관과 실질적으로 평행한 수평 전계를 형성함으로써 액정 분자를 기관과 평행한 평면상에서 구동하는 것이다. PLS 모드는 각 화소 영역에 절연막을 사이에 둔 공통 전극과 화소 전극을 구비하여 프린지 전계를 형성하여 상하부 기관 사이에 채워진 액정 분자들이 각 화소 영역에서 모두 동작되게 함으로써 수직 및 수평 전계를 형성하게 되어 개구율 및 투과율을 향상시키게 된다.

[0005] 다시 말해, 박막 트랜지스터 기관에 형성된 공통 전극과 화소 전극을 이용하여 수직 및 수평 전계를 형성하는 구조이므로, 그 대향 기관에는 공통전극이 없다. 이러한 IPS 및 PLS 모드의 대향 기관에는 전극이 형성되어 있지 않기 때문에 정전기가 발생하기 쉬운 문제점이 있다.

[0006] 그리고, IPS 및 PLS 모드의 대향 기관에 정전기가 발생하지 않도록 전극층을 형성하는 경우, 전극층이 대향 기관의 배면에 배치됨으로 인해, 공정 진행상 기관 반송용 롤러에 의한 스크래치, 기타 얼룩, 화학 약품 등에 의해 불량 발생할 수 있는 문제점이 있다.

발명의 내용

해결하려는 과제

[0007] 따라서 본 발명의 목적은 공통 전극 및 화소 전극이 형성되지 않은 기관상에 투명 도전층을 형성하여 정전기 발생을 방지하고, 투명 도전층상에 차광부재를 형성하여 투명 도전층의 손상을 방지할 수 있는 액정 표시 장치를 제공하는 것이다.

[0008] 본 발명의 다른 목적은 공통 전극 및 화소 전극이 형성되지 않은 기관상에 투명 도전층을 형성하여 정전기 발생을 방지하고 투명 도전층상에 차광부재를 형성하여 투명 도전층의 손상을 방지할 수 있는 액정 표시 장치를 제조하는 방법을 제공하는 것이다.

과제의 해결 수단

[0009] 본 발명의 일 실시예에 따르면 제1 기관 위에 배치되어 있으며 게이트 신호를 전달하는 복수의 게이트선, 상기 제1 기관 위에 배치되어 있으며 서로 다른 제1 데이터 전압과 제2 데이터 전압을 각각 전달하는 제1 데이터선 및 제2 데이터선, 상기 복수의 게이트선 중 하나 및 상기 제1 데이터선과 연결되어 있는 제1 스위칭 소자, 상기 복수의 게이트선 중 하나 및 상기 제2 데이터선과 연결되어 있는 제2 스위칭 소자, 상기 제1 스위칭 소자 및 제2 스위칭 소자와 각각 연결되어 서로 분리되어 있고 교대로 배치되어 있는 제1 화소 전극 및 제2 화소 전극, 상기 제1 기관과 마주하는 제2 기관, 상기 제2 기관에 접촉하며 일정한 패턴을 갖는 도전층 및 상기 제1 기관과

상기 제2 기관 사이에 개재되어 있는 액정 분자를 포함하는 표시 장치가 제공된다.

[0010] 상기 도전층은 투명할 수 있다.

[0011] 상기 도전층의 일정한 패턴은 다각형 절개부가 행렬로 배치되어 있는 모양을 가질 수 있다.

[0012] 상기 상기 투명 도전층은 인듐 틴 옥사이드, 인듐 징크 옥사이드 및 틴 옥사이드중 어느 하나를 포함하고, 상기 투명 도전층의 두께는 200~500Å일 수 있다.

[0013] 상기 도전층에 접촉하는 차광부재를 더 포함할 수 있다.

[0014] 상기 도전층은 상기 차광 부재와 동일한 패턴을 가질 수 있다.

[0015] 상기 제2 기관에 배치되어 있는 색필터를 더 포함할 수 있다.

[0016] 상기 제1 데이터 전압과 상기 제2 데이터 전압을 극성이 다를 수 있다.

[0017] 상기 제1 기관에 배치되어 있는 색필터를 더 포함할 수 있다.

[0018] 본 발명의 다른 실시예에 따르면 제1 기관 위에 게이트 신호를 전달하는 복수의 게이트선을 형성하는 단계, 상기 제1 기관 위에 서로 다른 제1 데이터 전압과 제2 데이터 전압을 각각 전달하는 제1 데이터선 및 제2 데이터선을 형성하는 단계, 상기 복수의 게이트선 중 하나 및 상기 제1 데이터선과 연결되어 있는 제1 스위칭 소자를 형성하는 단계, 상기 복수의 게이트선 중 하나 및 상기 제2 데이터선과 연결되어 있는 제2 스위칭 소자를 형성하는 단계, 상기 제1 스위칭 소자 및 제2 스위칭 소자와 각각 연결되며, 서로 분리되어 교대로 배치되도록 제1 화소 전극 및 제2 화소 전극을 형성하는 단계, 제2 기관에 접촉하며 일정한 패턴을 갖는 도전층을 형성하는 단계 및 상기 제1 기관과 마주하는 상기 제2 기관 사이에 액정 분자를 개재하는 단계를 포함하는 표시 장치의 제조 방법이 제공된다.

[0019] 상기 제1 스위칭 소자와 제2 스위칭 소자는 같은 게이트선에 연결될 수 있다.

발명의 효과

[0020] 본 발명에 의해, 공통전극 및 화소전극이 형성되지 않은 기관상에 투명 도전층을 형성하여 정전기 발생을 방지한다. 또한 기관에 형성된 투명 도전층 때문에 ESC(electro static chuck)방식의 척킹(chucking)이 가능하여 제조공정에서 기관을 이동 시킬 수 있다.

도면의 간단한 설명

[0021] 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이고,

도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 구조와 함께 한 화소를 도시하는 등가 회로도이고,

도 3은 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이고,

도 4는 본 발명의 한 실시예에 따른 액정 표시 장치의 간략한 단면도이고,

도 5는 본 발명의 한 실시예에 따른 액정 표시 장치의 데이터선에 인가되는 전압과 화소를 도시하는 도면이고,

도 6은 본 발명의 한 실시예에 따른 액정 표시판 조립체의 배치도이고,

도 7a는 도 6의 액정 표시판 조립체를 XII-XII선을 따라 잘라 도시한 단면도이고,

도 7b는 도 6의 액정 표시판 조립체를 VIII-VIII선을 따라 잘라 도시한 단면도이고,

도 8a는 도 6의 액정 표시판 조립체를 XII-XII선을 따라 잘라 도시한 한 실시예의 단면도이고,

도 8b는 도 6의 액정 표시판 조립체를 VIII-VIII선을 따라 잘라 도시한 한 실시예의 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0022] 그러면 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

[0023] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유

사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

- [0024] 이제 본 발명의 한 실시예에 따른 액정 표시 장치에 대하여 도면을 참고하여 상세하게 설명한다.
- [0025] 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이고, 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 구조와 함께 한 화소를 도시하는 등가 회로도이고, 도 3은 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이다.
- [0026] 도 1을 참고하면, 본 발명의 한 실시예에 따른 액정 표시 장치는 액정 표시판 조립체(liquid crystal panel assembly)(300), 게이트 구동부(gate driver)(400), 데이터 구동부(data driver)(500), 계조 전압 생성부(gray voltage generator)(800) 및 신호 제어부(signal controller)(600)를 포함한다.
- [0027] 도 1 및 도 3을 참고하면, 액정 표시판 조립체(300)는 등가 회로로 볼 때 복수의 신호선(signal line)(Gi, Dj, Dj+1)과 이에 연결되어 있으며 대략 행렬의 형태로 배열된 복수의 화소(pixel)(PX)를 포함한다. 반면, 도 2에 도시한 구조로 볼 때 액정 표시판 조립체(300)는 서로 마주하는 하부 및 상부 표시판(100, 200)과 그 사이에 들어 있는 액정층(3)을 포함한다.
- [0028] 신호선(Gi, Dj, Dj+1)은 게이트 신호("주사 신호"라고도 함)를 전달하는 복수의 게이트선(Gi)과 데이터 전압을 전달하는 복수 쌍의 데이터선(Dj, Dj+1)을 포함한다. 게이트선(Gi)은 대략 행 방향으로 뻗으며 서로가 거의 평행하고, 데이터선(Dj, Dj+1)은 대략 열 방향으로 뻗으며 서로가 거의 평행하다.
- [0029] 각 화소(PX), 예를 들면 i번째(i=1, 2, , n) 게이트선(Gi)과 j번째 및 j+1번째 (j=1, 2, , m) 데이터선(Dj, Dj+1)에 연결된 화소(PX)는 신호선(Gi, Dj, Dj+1)에 연결된 제1 및 제2 스위칭 소자(Qa, Qb)와 이에 연결된 액정 축전기(liquid crystal capacitor)(Clc) 및 제1 및 제2 유지 축전기(storage capacitor)(Csta, Cstb)를 포함한다. 제1 및 제2 유지 축전기(Csta, Cstb)는 필요에 따라 생략할 수 있다.
- [0030] 제1/제2 스위칭 소자(Qa/Qb)는 하부 표시판(100)에 구비되어 있는 박막 트랜지스터 등의 삼단자 소자로서, 그 제어 단자는 게이트선(Gi)과 연결되어 있고, 입력 단자는 데이터선(Dj/Dj+1)과 연결되어 있으며, 출력 단자는 액정 축전기(Clc) 및 제1/제2 유지 축전기(Csta/Cstb)와 연결되어 있다.
- [0031] 도 2 및 도 3을 참고하면, 액정 축전기(Clc)는 하부 표시판(100)의 제1 화소 전극(PEa)과 제2 화소 전극(PEb)을 두 단자로 하며 제1 및 제2 화소 전극(PEa, PEb) 사이의 액정층(3)은 유전체로서 기능한다. 제1 화소 전극(PEa)은 제1 스위칭 소자(Qa)와 연결되며, 제2 화소 전극(PEb)은 제2 스위칭 소자(Qb)와 연결되어 있다. 도 2에서와는 달리 제2 화소 전극(PEb)이 상부 표시판(200)에 구비되는 경우도 있으며 이때에는 제2 화소 전극(PEb)은 스위칭 소자에 연결되어 있지 않고 별도의 공통 전압(Vcom)을 인가 받는다. 액정층(3)은 유전을 이방성을 가지며, 액정층(3)의 액정 분자는 전기장이 없는 상태에서 그 장축이 두 표시판의 표면에 대하여 수직을 이루도록 배향되어 있을 수 있다.
- [0032] 제1 및 제2 화소 전극(PEa, PEb)을 포함하는 화소 전극(PE) 및 공통 전극(CE)은 서로 다른 층에 형성되거나 같은 층에 형성될 수 있다. 액정 축전기(Clc)의 보조적인 역할을 하는 제1 및 제2 유지 축전기(Csta, Cstb)는 하부 표시판(100)에 구비된 별도의 전극(도시하지 않음)이 제1 및 제2 화소 전극(PEa, PEb) 각각과 절연체를 사이에 두고 중첩하여 형성될 수 있다.
- [0033] 한편, 색 표시를 구현하기 위해서는 각 화소(PX)가 기본색(primary color) 중 하나를 고유하게 표시하거나(공간 분할) 각 화소(PX)가 시간에 따라 번갈아 기본색을 표시하게(시간 분할) 하여 이들 기본색의 공간적, 시간적 합으로 원하는 색상이 인식되도록 한다. 기본색의 예로는 적색, 녹색, 청색 등 삼원색을 들 수 있다. 도 2는 공간 분할의 한 예로서 각 화소(PX)가 제1 및 제2 화소 전극(PEa, PEb)에 대응하는 상부 표시판(200)의 영역에 기본색 중 하나를 나타내는 색 필터(CF)를 구비함을 보여주고 있다. 도 2와는 달리 색 필터(CF)는 하부 표시판(100)의 제1 및 제2 화소 전극(PEa, PEb) 위 또는 아래에 둘 수도 있다.
- [0034] 액정 표시판 조립체(300)에는 적어도 하나의 편광자(도시하지 않음)가 구비되어 있다.
- [0035] 다시 도 1을 참고하면, 계조 전압 생성부(800)는 화소(PX)의 투과율과 관련된 전체 계조 전압 또는 한정된 수효의 계조 전압(앞으로 "기준 계조 전압"이라 한다)을 생성한다. (기준) 계조 전압은 공통 전압(Vcom)에 대하여 양의 값을 가지는 것과 음의 값을 가지는 것을 포함할 수 있다.

- [0036] 게이트 구동부(400)는 액정 표시판 조립체(300)의 게이트선과 연결되어 게이트 온 전압(Von)과 게이트 오프 전압(Voff)의 조합으로 이루어진 게이트 신호를 게이트선에 인가한다.
- [0037] 데이터 구동부(500)는 액정 표시판 조립체(300)의 데이터선과 연결되어 있으며, 계조 전압 생성부(800)로부터의 계조 전압을 선택하고 이를 데이터 전압으로서 데이터선에 인가한다. 그러나 계조 전압 생성부(800)가 계조 전압을 모두 제공하는 것이 아니라 한정된 수효의 기준 계조 전압만을 제공하는 경우에, 데이터 구동부(500)는 기준 계조 전압을 분압하여 원하는 데이터 전압을 생성한다.
- [0038] 신호 제어부(600)는 게이트 구동부(400) 및 데이터 구동부(500) 등을 제어한다.
- [0039] 이러한 구동 장치(400, 500, 600, 800) 각각은 적어도 하나의 집적 회로 칩의 형태로 액정 표시판 조립체(300) 위에 직접 장착되거나, 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되어 TCP(tape carrier package)의 형태로 액정 표시판 조립체(300)에 부착되거나, 별도의 인쇄 회로 기판(printed circuit board)(도시하지 않음) 위에 장착될 수도 있다. 이와는 달리, 이들 구동 장치(400, 500, 600, 800)가 신호선 및 박막 트랜지스터 스위칭 소자 따위와 함께 액정 표시판 조립체(300)에 집적될 수도 있다. 또한, 구동 장치(400, 500, 600, 800)는 단일 칩으로 집적될 수 있으며, 이 경우 이들 중 적어도 하나 또는 이들을 이루는 적어도 하나의 회로 소자가 단일 칩 바깥에 있을 수 있다.
- [0040] 그러면 도 4 및 도 5, 그리고 앞서 설명한 도 1 내지 도 3을 참고하여 본 발명의 한 실시예에 따른 액정 표시 장치의 구동 방법의 한 예에 대하여 상세하게 설명한다.
- [0041] 도 4는 본 발명의 한 실시예에 따른 액정 표시 장치의 간략한 단면도이고, 도 5는 본 발명의 한 실시예에 따른 액정 표시 장치의 데이터선에 인가되는 전압과 화소를 도시하는 도면이다.
- [0042] 먼저 도 1을 참고하면, 신호 제어부(600)는 외부의 그래픽 제어기(도시하지 않음)로부터 입력 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호를 수신한다. 입력 영상 신호(R, G, B)는 각 화소(PX)의 휘도(luminance) 정보를 담고 있으며 휘도는 정해진 수효, 예를 들면 1024(=2¹⁰), 256(=2⁸) 또는 64(=2⁶) 개의 계조(gray)를 가지고 있다. 입력 제어 신호의 예로는 수직 동기 신호(Vsync)와 수평 동기 신호(Hsync), 메인 클럭 신호(MCLK), 데이터 인에이블 신호(DE) 등이 있다.
- [0043] 신호 제어부(600)는 입력 영상 신호(R, G, B)와 입력 제어 신호를 기초로 입력 영상 신호(R, G, B)를 액정 표시판 조립체(300)의 동작 조건에 맞게 적절히 처리하고 게이트 제어 신호(CONT1) 및 데이터 제어 신호(CONT2) 등을 생성한 후, 게이트 제어 신호(CONT1)를 게이트 구동부(400)로 내보내고 데이터 제어 신호(CONT2)와 처리한 영상 신호(DAT)를 데이터 구동부(500)로 내보낸다.
- [0044] 신호 제어부(600)로부터의 데이터 제어 신호(CONT2)에 따라, 데이터 구동부(500)는 한 행의 화소(PX)에 대한 디지털 영상 신호(DAT)를 수신하고, 각 디지털 영상 신호(DAT)에 대응하는 계조 전압을 선택함으로써 디지털 영상 신호(DAT)를 아날로그 데이터 전압으로 변환한 다음, 이를 해당 데이터선에 인가한다.
- [0045] 게이트 구동부(400)는 신호 제어부(600)로부터의 게이트 제어 신호(CONT1)에 따라 게이트 온 전압(Von)을 게이트 트선(Gi)에 인가하여 이 게이트선(Gi)에 연결된 제1 및 제2 스위칭 소자(Qa, Qb)를 턴온시킨다. 그러면, 데이터선(Dj, Dj+1)에 인가된 데이터 전압이 턴온된 제1 및 제2 스위칭 소자(Qa, Qb)를 통하여 해당 화소(PX)에 인가된다. 즉, 제1 화소 전극(PEa)에는 제1 스위칭 소자(Qa)를 통하여 제1 데이터선(Dj)에 흐르는 데이터 전압이 인가되며, 제2 화소 전극(PEb)에는 제2 스위칭 소자(Qb)를 통하여 제2 데이터선(Dj+1)에 흐르는 데이터 전압이 인가된다. 이 때 제1 및 제2 화소 전극(PEa, PEb)에 인가되는 데이터 전압은 화소(PX)가 표시하고자 하는 휘도에 대응되는 데이터 전압이며 공통 전압(Vcom)에 대하여 각각 극성이 서로 반대이다.
- [0046] 이렇게 제1 및 제2 화소 전극(PEa, PEb)에 인가된 극성이 서로 다른 두 데이터 전압의 차이는 액정 축전기(C1c)의 충전 전압, 즉 화소 전압으로서 나타난다. 액정 축전기(C1c)의 양단에 전위차가 생기면 도 4에 도시한 바와 같이 표시판(100, 200)의 표면에 평행한 전기장이 제1 및 제2 화소 전극(PEa, PEb) 사이의 액정층(3)에 생성된다. 액정 분자(31)들이 양의 유전율 이방성을 가진 경우, 액정 분자(31)들은 그 장축이 전기장의 방향에 평행하도록 기울어지며 그 기울어진 정도는 화소 전압의 크기에 따라 다르다. 이러한 액정층(3)을 EOC(electrically-induced optical compensation) 모드라 한다. 또한 액정 분자(31)들의 기울어진 정도에 따라 액정층(3)을 통과하는 빛의 편광의 변화 정도가 달라진다. 이러한 편광의 변화는 편광자에 의하여 빛의 투과율 변화로 나타나며, 이를 통해 화소(PX)는 영상 신호(DAT)의 계조가 나타내는 휘도를 표시한다.
- [0047] 1 수평 주기["1H"라고도 쓰며, 수평 동기 신호(Hsync) 및 데이터 인에이블 신호(DE)의 한 주기와 동일함]를 단

위로 하여 이러한 과정을 되풀이함으로써, 모든 게이트선에 대하여 차례로 게이트 온 전압(Von)을 인가하고 모든 화소(PX)에 데이터 전압을 인가하여 한 프레임(frame)의 영상을 표시한다.

- [0048] 한 프레임이 끝나면 다음 프레임이 시작되고 각 화소(PX)에 인가되는 데이터 전압의 극성이 이전 프레임에서의 극성과 반대가 되도록 데이터 구동부(500)에 인가되는 반전 신호(RVS)의 상태가 제어된다("프레임 반전"). 이때, 한 프레임 내에서도 반전 신호(RVS)의 특성에 따라 한 데이터선을 통하여 흐르는 데이터 전압의 극성이 주기적으로 바뀌거나(보기: 행 반전, 점 반전), 한 화소행에 인가되는 데이터 전압의 극성도 서로 다를 수 있다(보기: 열 반전, 점 반전).
- [0049] 도 5는 본 발명의 한 실시예에 따른 액정 표시 장치에서 이웃하는 4개의 화소의 액정 축전기의 충전 전압이 14V, 10V, 5V 및 1V이며, 액정 표시 장치가 이용할 수 있는 최저 전압이 0V이고 최고 전압은 14V일 경우 각 데이터선에 인가되는 전압을 표시한 도면이다.
- [0050] 도 5를 참고하면, 각 화소는 두 개의 데이터선(Dj, Dj+1/ Dj+2, Dj+3/ Dj+4, Dj+5/ Dj+6, Dj+7)에 연결되어 있다. 한 화소에 연결된 두 데이터선((Dj, Dj+1/ Dj+2, Dj+3/ Dj+4, Dj+5/ Dj+6, Dj+7)에는 공통 전압(Vcom)에 대하여 서로 다른 극성을 가지는 서로 다른 데이터 전압이 인가되며, 두 데이터 전압의 차가 각 화소(PX)에서의 화소 전압이 된다. 예를 들어 공통 전압(Vcom)이 7V인 경우, 첫 번째 화소의 목표 화소 전압은 14V이므로 첫 번째 및 두 번째 데이터선(Dj, Dj+1)에는 각각 14V 및 0V가 인가될 수 있으며, 두 번째 화소의 목표 화소 전압은 10V이므로 세 번째 및 네 번째 데이터선(Dj+2, Dj+3)에는 각각 12V 및 2V가 인가될 수 있으며, 세 번째 화소의 목표 화소 전압은 5V이므로 다섯 번째 및 여섯 번째 데이터선(Dj+4, Dj+5)에는 각각 9.5V 및 4.5V가 인가될 수 있으며, 네 번째 화소의 목표 화소 전압은 1V이므로 일곱 번째 및 여덟 번째 데이터선(Dj+6, Dj+7)에는 각각 7.5V 및 6.5V가 인가될 수 있다.
- [0051] 이렇게 한 화소(PX)에 공통 전압(Vcom)에 대한 극성이 서로 다른 두 데이터 전압을 인가함으로써 구동 전압을 높일 수 있고 액정 분자의 응답 속도를 빠르게 할 수 있으며 액정 표시 장치의 투과율을 높일 수 있다. 또한 한 화소(PX)에 인가되는 두 데이터 전압의 극성이 서로 반대이므로 데이터 구동부(500)에서의 반전 형태가 열반전 또는 행반전일 경우에도 점반전 구동과 마찬가지로 플리커(flicker)로 인한 화질 열화를 막을 수 있다.
- [0052] 또한 한 화소(PX)에서 제1 및 제2 스위칭 소자(Qa, Qb)가 턴 오프될 때 제1 및 제2 화소 전극(PEa, PEb)에 인가되는 전압이 모두 각각의 킥백 전압(kickback voltage)만큼 하강하므로 화소(PX)의 충전 전압에는 거의 변화가 없다. 따라서 액정 표시 장치의 표시 특성을 향상시킬 수 있다.
- [0053] 나아가 표시판(100, 200)에 대해 수직 배향된 액정 분자(31)를 사용하는 경우, 액정 표시 장치의 대비비(contrast ratio)를 크게 할 수 있고 광시야각을 구현할 수 있다. 또한 양의 유전율 이방성을 갖는 액정 분자(31)는 음의 유전율 이방성을 갖는 액정 분자에 비해 유전율 이방성이 크고 회전 점도가 낮아 빠른 응답 속도를 얻을 수 있으며, 액정 분자(31)들의 기우는 방향이 전기장의 방향으로 확실히 정의되기 때문에 외부의 영향에 의한 액정 분자(31)의 배열에 흐트러짐이 생겨도 빠르게 재정렬하여 양호한 표시 특성을 나타낼 수 있다.
- [0054] 이제 도 6, 도 7a 및 7a를 참고하여 앞에서 설명한 액정 표시판 조립체의 한 예에 대하여 상세하게 설명한다.
- [0055] 도 6은 본 발명의 한 실시예에 따른 액정 표시판 조립체의 배치도이고, 도 7a는 도6의 액정 표시판 조립체를 XII-XII선을 따라 잘라 도시한 단면도이고, 7b는 도 6의 액정 표시판 조립체를 VIII-VIII선을 따라 잘라 도시한 단면도이다.
- [0056] 도 6, 도 7a 및 7b를 참고하면, 본 발명의 한 실시예에 따른 액정 표시판 조립체는 서로 마주하는 하부 표시판(100)과 상부 표시판(200) 및 이들 두 표시판(100, 200) 사이에 들어 있는 액정층(3)을 포함한다.
- [0057] 먼저, 하부 표시판(100)에 대하여 설명한다.
- [0058] 절연 기판(110) 위에 복수의 게이트선(gate line)(121)과 복수의 유지 전극선(storage electrode line)(131)을 포함하는 복수의 게이트 도전체가 형성되어 있다.
- [0059] 게이트선(121)은 게이트 신호를 전달하며 주로 가로 방향으로 뻗어 있으며, 각 게이트선(121)은 상부로 돌출한 복수 쌍의 제1 및 제2 게이트 전극(gate electrode)(124a, 124b)을 포함한다.
- [0060] 유지 전극선(131)은 공통 전압(Vcom) 등 소정의 전압을 인가 받으며, 주로 가로 방향으로 뻗어 있다. 각 유지 전극선(131)은 이웃하는 두 게이트선(121) 사이에 위치하고 아래쪽에 위치하는 게이트선(121)에 더 근접해 있다. 각 유지 전극선(131)은 아래 위로 길게 뻗은 복수 쌍의 제1 및 제2 유지 전극(133a, 133b)과 면적이 넓

은 유지 확장부(137)를 포함한다. 제1 및 제2 유지 전극(133a, 133b)은 아래쪽 게이트선(121)의 제1 및 제2 게이트 전극(124a, 124b) 부근부터 위쪽의 게이트선(121) 부근까지 막대 모양으로 형성되어 있다. 유지 확장부(137)는 아래쪽 두 모퉁이가 잘려나간 대략 직사각형이며 제1 및 제2 유지 전극(133a, 133b)의 하단을 서로 연결한다. 그러나 유지 전극(133a, 133b) 및 유지 확장부(137)를 비롯한 유지 전극선(131)의 모양 및 배치는 여러 형태로 변형될 수 있다.

- [0061] 게이트 도전체(121, 131)는 단일막 또는 다중막 구조를 가질 수 있다.
- [0062] 게이트 도전체(121, 131) 위에는 질화규소(SiNx) 또는 산화규소(SiOx) 따위로 만들어진 게이트 절연막(gate insulating layer)(140)이 형성되어 있다.
- [0063] 게이트 절연막(140) 위에는 수소화 비정질 또는 다결정 규소 등으로 만들어져 있고 섬형인 복수 쌍의 제1 및 제2 반도체(154a, 154b)가 형성되어 있다. 제1 및 제2 반도체(154a, 154b)는 각각 제1 및 제2 게이트 전극(124a, 124b) 위에 위치한다.
- [0064] 각각의 제1 반도체(154a) 위에는 한 쌍의 섬형 저항성 접촉 부재(ohmic contact)(163a, 165a)가 형성되어 있고, 각각의 제2 반도체(154b) 위에도 한 쌍의 섬형 저항성 접촉 부재(도시하지 않음)가 형성되어 있다. 저항성 접촉 부재(163a, 165a)는 인 따위의 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어지거나 실리사이드(silicide)로 만들어질 수 있다.
- [0065] 저항성 접촉 부재(163a, 165a) 및 게이트 절연막(140) 위에는 복수 쌍의 제1 및 제2 데이터선(data line)(171a, 171b)과 복수 쌍의 제1 및 제2 드레인 전극(drain electrode)(175a, 175b)을 포함하는 데이터 도전체가 형성되어 있다.
- [0066] 제1 및 제2 데이터선(171a, 171b)은 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 게이트선(121) 및 유지 전극선(131)과 교차한다. 제1 및 제2 데이터선(171a, 171b)은 제1 및 제2 게이트 전극(124a, 124b)을 향하여 U자형으로 굽은 복수 쌍의 제1 및 제2 소스 전극(source electrode)(173a, 173b)을 포함한다.
- [0067] 제1/제2 드레인 전극(175a/175b)은 막대형인 한 쪽 끝 부분과 면적이 넓은 제1/제2 확장부(177a/177b)를 포함한다. 제1/제2 드레인 전극(175a/175b)의 막대형인 한 쪽 끝 부분은 제1/제2 게이트 전극(124a/124b)을 중심으로 제1/제2 소스 전극(173a/173b)과 마주하며 구부러진 제1/제2 소스 전극(1763a/173b)으로 일부 둘러싸여 있다. 제1 및 제2 확장부(177a, 177b)의 외부 윤곽선은 하층의 유지 확장부(137)의 외부 윤곽선과 대략 유사하다. 제1 확장부(177a)는 유지 확장부(137)의 왼쪽 절반 부분과 중첩하고 제2 확장부(177b)는 유지 확장부(137)의 오른쪽 절반 부분과 중첩한다.
- [0068] 제1/제2 게이트 전극(124a/124b), 제1/제2 소스 전극(173a/173b) 및 제1/제2 드레인 전극(175a/175b)은 제1/제2 반도체(154a, 154b)와 함께 제1/제2 박막 트랜지스터(thin film transistor, TFT)(Qa/Qb)를 이루며, 제1/제2 박막 트랜지스터(Qa/Qb)의 채널(channel)은 제1/제2 소스 전극(173a/173b)과 제1/제2 드레인 전극(175a/175b) 사이의 제1/제2 반도체(154a/154b)에 형성된다.
- [0069] 데이터 도전체(171a, 171b, 175a, 175b)는 단일막 또는 다중막 구조를 가질 수 있다.
- [0070] 저항성 접촉 부재(163a, 165a)는 그 아래의 반도체(154a, 154b)와 그 위의 데이터 도전체(171a, 171b, 175a, 175b) 사이에만 존재하며 이들 사이의 접촉 저항을 낮추어 준다. 반도체(154a, 154b)에는 소스 전극(173a, 173b)과 드레인 전극(175a, 175b) 사이를 비롯하여 데이터 도전체(171a, 171b, 175a, 175b)로 가리지 않고 노출된 부분이 있다.
- [0071] 데이터 도전체(171a, 171b, 175a, 175b) 및 노출된 반도체(154a, 154b) 부분 위에는 무기 절연물 또는 유기 절연물 따위로 만들어진 보호막(passivation layer)(180)이 형성되어 있다.
- [0072] 보호막(180)에는 제1 및 제2 확장부(177a, 177b)를 드러내는 복수의 접촉 구멍(contact hole)(185a, 185b)이 형성되어 있다.
- [0073] 보호막(180) 위에는 ITO(indium tin oxide) 또는 IZO(indium zinc oxide) 등의 투명한 도전 물질이나 알루미늄, 은, 크롬 또는 그 합금 등의 반사성 금속으로 만들어진 복수 쌍의 제1 및 제2 화소 전극(pixel electrode)(191a, 191b)을 포함하는 복수의 화소 전극(191)이 형성되어 있다.
- [0074] 도 6에 도시한 바와 같이 한 화소 전극(191)의 전체적인 외곽 모양은 사각형이며 제1 및 제2 화소 전극(191a, 191b)은 간극(91)을 사이에 두고 맞물려 있다. 제1 및 제2 화소 전극(191a, 191b)은 전체적으로 가상의 가로

중앙선(CL)을 경계로 상하 대칭을 이루고 상하의 두 부영역으로 나뉘어진다.

- [0075] 제1 화소 전극(191a)은 하단의 돌출부, 왼쪽의 세로 줄기부, 세로 줄기부의 중앙 부분에서 오른쪽으로 뺀 가로 줄기부, 그리고 복수의 가지부를 포함한다. 가로 중앙선(CL)을 기준으로 상부에 위치하는 가지부는 세로 줄기부 또는 가로 줄기부로부터 오른쪽 위 방향으로 비스듬히 뺀으며, 하부에 위치하는 가지부는 세로 줄기부 또는 가로 줄기부로부터 오른쪽 아래 방향으로 비스듬히 뺀다. 가지부가 게이트선(121) 또는 가로 중앙선(CL)과 이루는 각은 대략 45도일 수 있다.
- [0076] 제2 화소 전극(191b)은 하단의 돌출부, 오른쪽의 세로 줄기부, 상단 및 하단의 가로 줄기부, 그리고 복수의 가지부를 포함한다. 상단 및 하단의 가로 줄기부는 각각 세로 줄기부의 상단 및 하단에서 왼쪽으로 가로 방향으로 뺀어 있다. 가로 중앙선(CL)을 기준으로 상부에 위치하는 가지부는 세로 줄기부 또는 상단의 가로 줄기부로부터 왼쪽 아래 방향으로 비스듬히 뺀으며, 하부에 위치하는 가지부는 세로 줄기부 또는 하단의 가로 줄기부로부터 왼쪽 위 방향으로 비스듬히 뺀다. 제2 화소 전극(191b)의 가지부 역시 게이트선(121) 또는 가로 중앙선(CL)과 이루는 각은 대략 45도일 수 있다. 가로 중앙선(CL)을 중심으로 상부 및 하부의 가지부는 서로 직각을 이룰 수 있다.
- [0077] 제1 및 제2 화소 전극(191a, 191b)의 가지부는 일정한 간격을 두고 서로 맞물려서 교대로 배치되어 빗살 무늬를 이룬다.
- [0078] 제1/제2 화소 전극(191a/191b)은 접촉 구멍(185a/185b)을 통하여 제1/제2 드레인 전극(175a/175b)과 물리적, 전기적으로 연결되어 있으며, 제1/제2 드레인 전극(175a/175b)으로부터 데이터 전압을 인가 받는다. 제1 및 제2 부화소 전극(191a, 191b)은 그 사이의 액정층(3) 부분과 함께 액정 축전기(C1c)를 이루어 제1 및 제2 박막 트랜지스터(Qa, Qb)가 턴 오프된 후에도 인가된 전압을 유지한다.
- [0079] 제1/제2 부화소 전극(191a/191b)과 연결된 제1/제2 드레인 전극(175a/175b)의 제1/제2 확장부(177a/177b)는 게이트 절연막(140)을 사이에 두고 유지 확장부(137)와 중첩하여 제1/제2 유지 축전기(Csta/Cstb)를 이루며, 제1/제2 유지 축전기(Csta/Cstb)는 액정 축전기(C1c)의 전압 유지 능력을 강화한다.
- [0080] 다음 상부 표시판(200)에 대하여 설명한다.
- [0081] 투명한 유리 또는 플라스틱 등으로 만들어진 절연 기판(210) 위에 패터닝된 도전층(215)이 형성되어 있다. 도전층(215)은 투명한 물질인 것이 바람직하다. 투명 도전층(215)의 재료로는 틴 옥사이드, 인듐 징크 옥사이드 및 인듐 틴 옥사이드 등이 사용될 수 있다. 또한 투명 도전층(215)은 화소 전극(191)과 같은 재질로 형성될 수 있다. 상기 도전층(215)은 일정한 패터닝을 가지며, 화소 전극(191) 영역에는 형성하지 않은 것이 바람직하다. 이러한 도전층(215) 패터닝의 한 예로는 사각형등의 다각형 모양으로 형성된 절개부(opening)가 일정한 간격을 두고 행렬로 배치된 모양이 있다. 도전층(215)은 차광 부재(220)와 실질적으로 같은 패터닝을 갖는 것이 바람직하다. 차광 부재(220)와 같은 패터닝의 도전층(215)을 형성하여 액정층(3)을 통과한 투과광의 손실, 즉 투과율의 저하를 감소시킬 수 있다. 또한 유지 전극(133) 및 화소 전극(191)이 형성되지 않은 제2기판(210)상에 투명도전층(215)을 형성하여 정전기 발생을 방지할 수 있으며, ESC(electro static chuck)방식의 척킹(chucking)이 가능하여 액정 표시 장치 제조 공정에서 기판 이동이 용이하다. 투명 도전층(215)의 두께는 약 200 내지 400Å일 수 있다. 보다 바람직하게 도전층(215)의 두께가 약 300Å일 수 있다.
- [0082] 도전층(215) 위에 차광 부재(light blocking member)(220)가 형성되어 있다. 차광 부재(220)는 화소 전극(191) 사이의 빛샘을 막고 화소 전극(191)과 마주하는 개구 영역을 정의한다. 블랙 매트릭스(220)는 Cr 등과 같은 금속이나 고분자 수지 등을 이용하여 형성하며 단일층 또는 이중층 이상으로 형성한다.
- [0083] 기판(210), 도전층(215) 및 차광 부재(220) 위에는 또한 복수의 색필터(230)가 형성되어 있다. 색필터(230)는 차광 부재(220)로 둘러싸인 영역 내에 대부분 존재하며, 화소 전극(191) 열을 따라서 길게 뻗을 수 있다. 각 색필터(230)는 적색, 녹색 및 청색의 삼원색 등 기본색(primary color) 중 하나를 표시할 수 있다.
- [0084] 색필터(230) 및 차광 부재(220) 위에는 덮개막(overcoat)(250)이 형성되어 있다. 덮개막(250)은 유기 절연물로 만들어질 수 있으며, 색필터(230)가 노출되는 것을 방지하고 평탄면을 제공한다. 덮개막(250)은 생략할 수 있다.
- [0085] 표시판(100, 200)의 안쪽 면에는 배향막(alignment layer)(11, 21)이 도포되어 있으며 이들은 수직 배향막일 수 있다.
- [0086] 컬럼 스페이서(미도시)는 블랙 매트릭스(220)가 존재하는 컬러 필터(230) 상에 형성하며, 제2 기판(210)과 제1

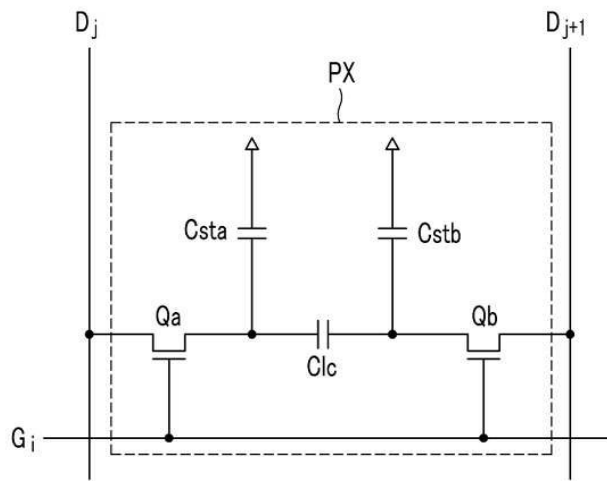
기관(110) 사이의 간격을 유지한다. 그러나, 컬럼 스페이서는 이에 한정되지 않고 제1 기관(110) 상에 형성될 수도 있다.

- [0087] 표시판(100, 200)의 바깥쪽 면에는 편광자(polarizer)(도시하지 않음)가 구비되어 있을 수 있다.
- [0088] 하부 표시판(100)과 상부 표시판(200) 사이에 들어 있는 액정층(3)은 양의 유전율 이방성을 가지는 액정 분자(31)를 포함하며 액정 분자(31)는 전기장이 없는 상태에서 그 장축이 두 표시판(100, 200)의 표면에 대하여 수직을 이루도록 배향되어 있을 수 있다.
- [0089] 제1 및 제2 화소 전극(191a, 191b)에 극성이 서로 다른 데이터 전압을 인가하면 표시판(100, 200)의 표면에 거의 수평인 전기장(electric field)이 생성된다. 그러면 초기에 표시판(100, 200)의 표면에 대해 수직으로 배향되어 있던 액정층(3)의 액정 분자들이 전기장에 응답하여 그 장축이 전기장의 방향에 수평한 방향으로 기울어지며, 액정 분자가 기울어진 정도에 따라 액정층(3)에 입사한 광의 편광의 변화 정도가 달라진다. 이러한 편광의 변화는 편광자에 의하여 투과율 변화로 나타나며 이를 통하여 액정 표시 장치는 영상을 표시한다.
- [0090] 이와 같이 유지 전극(133) 또는 금속층이 형성되지 않은 상부 표시판(200)에 패터닝도전층을 형성함으로써 투과율 감소 없이 정전기 불량을 감소시킬 수 있다. 또한 ESC(electro static chuck)방식의 척킹(chucking)이 가능하여 액정 표시 장치 제조 공정에서 상부 기관을 쉽게 이동할 수 있다.
- [0091] 도 8a와 도 8b는 액정표시 장치의 구조에 대한 다른 실시예이다. 도 8a와 도 8b의 실시예는 색필터(230)를 하부 기관(100)에 형성하는 실시예이다. 액정 표시판 조립체의 배치도는 도 6과 실질적으로 비슷하므로 도 6의 배치도에서 XII-XII, VIII-VIII선을 따라 잘라 도시한 단면도(도 8a, 8b)를 참고하여 설명한다.
- [0092] 도 8a는 도 6의 액정 표시판 조립체를 XII-XII선을 따라 잘라 도시한 다른 실시예의 단면도이고, 도 8b는 도 6의 액정 표시판 조립체를 VIII-VIII선을 따라 잘라 도시한 다른 실시예의 단면도이다.
- [0093] 도 8a와 도 8b의 상세 설명에서는 도 7a와 도 7b와 중복되는 구조에 대한 상세설명을 하지 않는다.
- [0094] 도 8a와 도 8b의 실시예는 도 7a 및 도 7b의 실시예와 비교하여 색필터(230)가 하부 표시판(100)에 배치된다는 점에서 다르다. 좀 더 구체적으로는 데이터 도전체(171a, 171b, 175a, 175b)와 보호막(180) 사이에 색필터(230)가 형성되어 있고, 상부 표시판(200)은 색필터를 가지지 않는다.
- [0095] 이와 같이 유지 전극(133) 또는 금속층이 형성되지 않은 상부 표시판(200)에 패터닝도전층을 형성함으로써 투과율 감소 없이 정전기 불량을 감소시킬 수 있다. 또한 ESC(electro static chuck)방식의 척킹(chucking)이 가능하여 액정표시 장치 제조 공정에서 상부 기관을 쉽게 이동할 수 있다.
- [0096] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

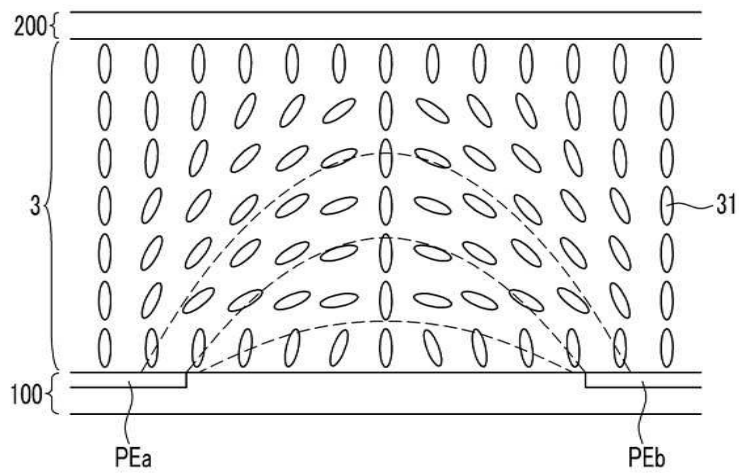
부호의 설명

[0097]	121	게이트선	124a, 124b	게이트 전극
	137	유지 확장부 게이트	140	절연막
	154a, 154b	반도체	163a, 165a	저항성 접촉 부재
	171a, 171b	데이터선	175a, 175b	드레인 전극
	180	보호막	191a, 191b	화소 전극
	215	패터닝 도전층	220	차광 부재
	230	색필터		

도면3

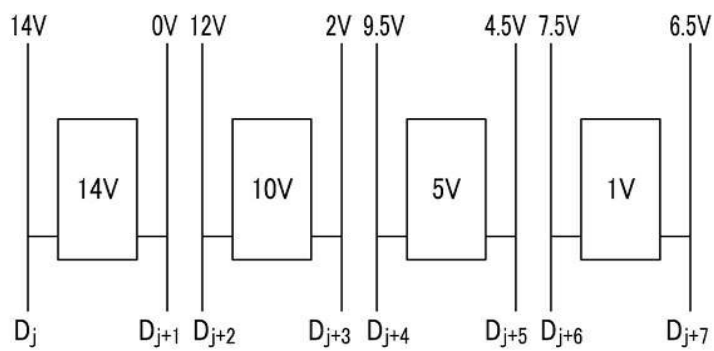


도면4

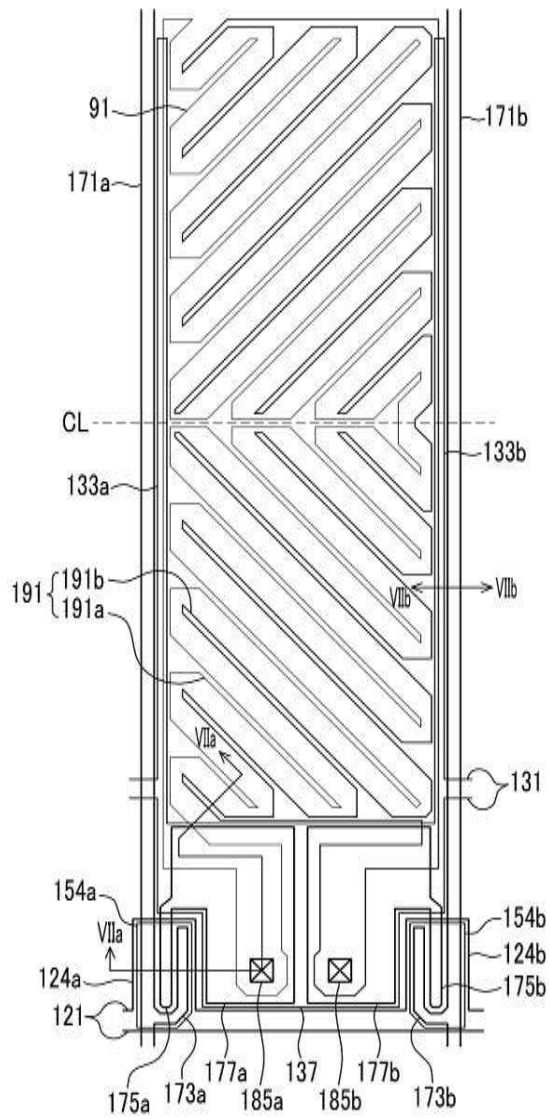


도면5

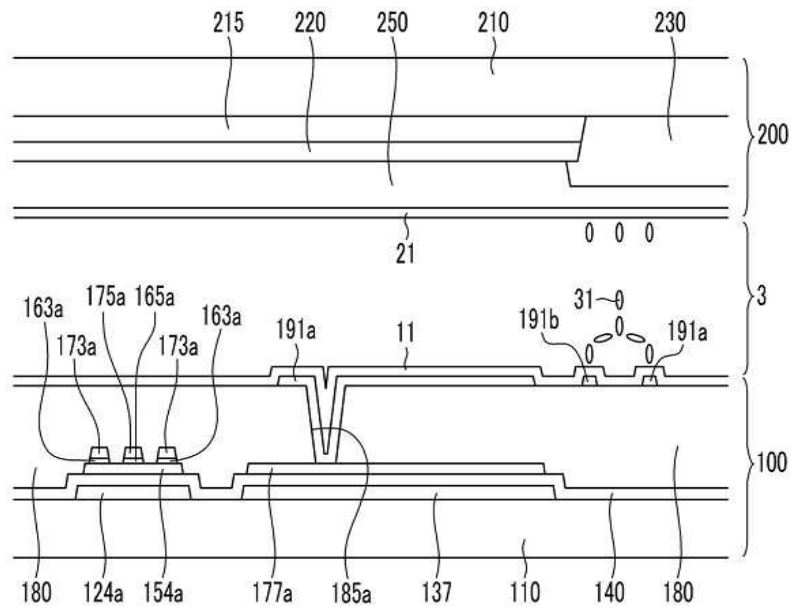
$V_{ref} = 7V$



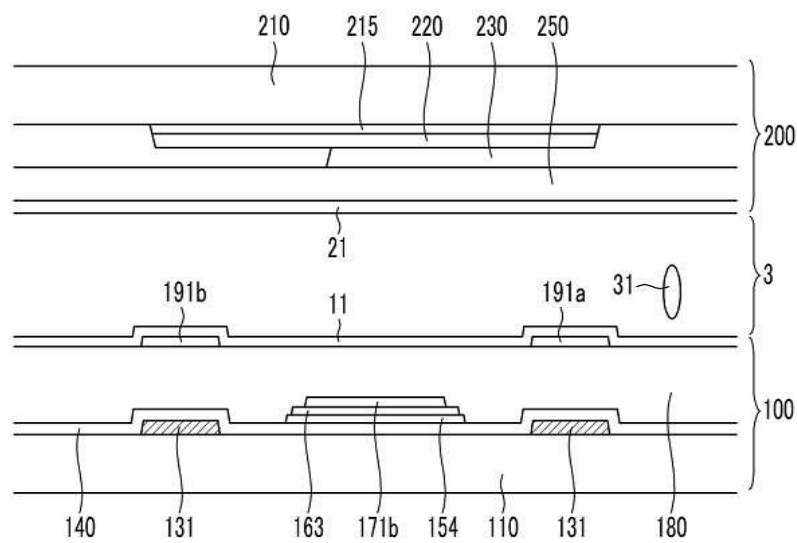
도면6



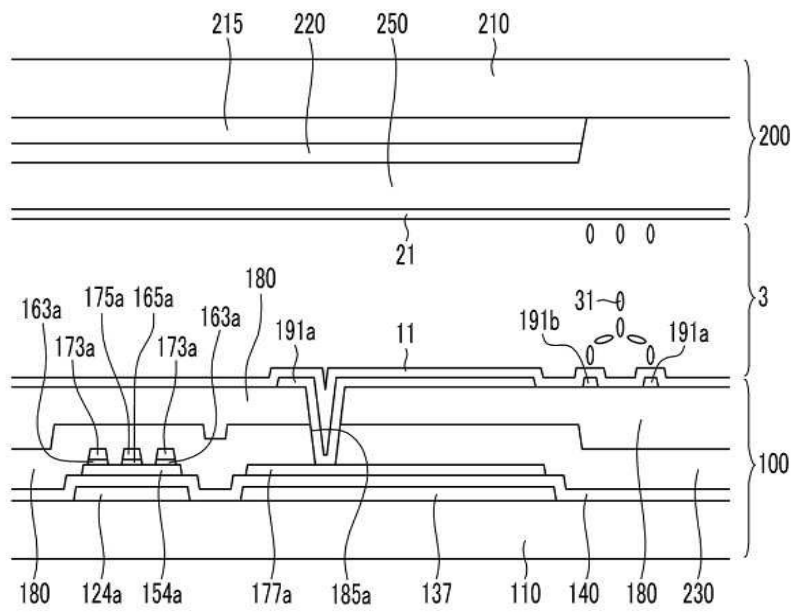
도면7a



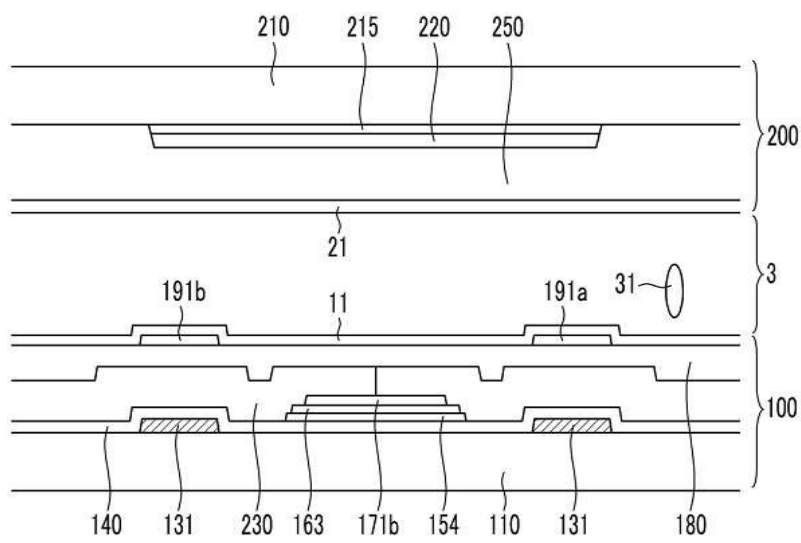
도면7b



도면8a



도면8b



专利名称(译)	液晶显示器		
公开(公告)号	KR1020110080627A	公开(公告)日	2011-07-13
申请号	KR1020100000948	申请日	2010-01-06
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	SHIN JAE YONG 신재용 SOHN WOO SUNG 손우성 YOU DOO HWAN 유두환 YOO YOUNG HOON 유영훈		
发明人	신재용 손우성 유두환 유영훈		
IPC分类号	G02F1/1343		
CPC分类号	G02F2001/133742 G02F1/13624 G02F1/1393 G02F1/1343 G02F1/134309 G02F2001/134345		
外部链接	Espacenet		

摘要(译)

公开了一种显示装置，包括栅极线，相应的第一和第二数据线传递不同的第一和第二数据电压，以及栅极线和具有第一开关装置的导电层中的一个，连接到第一数据线和第二开关元件连接到第一基板的栅极线中的一条和第二数据线，其中第一和第二像素电极彼此分开地连接到第一和第二开关元件的第一和第二像素电极形成第二基板。在与第一基板相反的方向上，图案在第二基板中接触时恒定。通过在第二基板上形成图案化导电层，可以防止静电故障。此外，ESC（静电吸盘）模式的卡紧是可能的，并且第二基板可以从制造过程移开。

