



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0123273
(43) 공개일자 2010년11월24일

(51) Int. Cl.

G09G 3/36 (2006.01) G02F 1/1345 (2006.01)

(21) 출원번호 10-2009-0042413

(22) 출원일자 2009년05월15일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

민용기

대구 북구 동천동 891번지 동화골든빌 103동 1205호

이주영

경북 구미시 상모동 우방신세계타운 206동 905호

(74) 대리인

특허법인로알

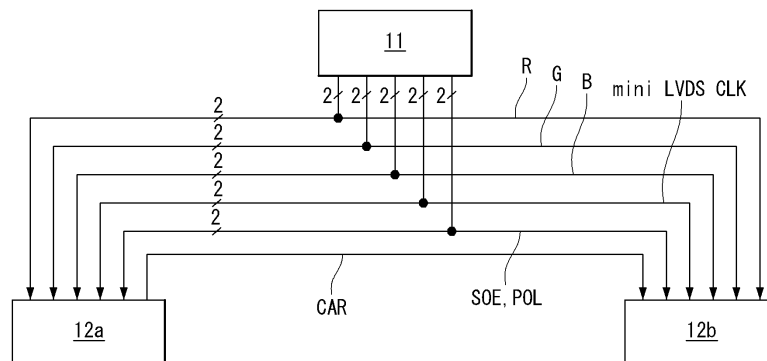
전체 청구항 수 : 총 8 항

(54) 액정표시장치

(57) 요약

본 발명은 액정표시장치에 관한 것으로, 각각 정극성 데이터와 부극성 데이터를 포함한 RGB 디지털 비디오 데이터쌍들과, 정극성 클럭과 부극성 클럭을 포함한 클럭신호쌍을 출력하는 타이밍 콘트롤러; 상기 RGB 디지털 비디오 데이터쌍들과 상기 클럭신호쌍을 입력 받아 아날로그 정극성 데이터 전압과 부극성 데이터 전압을 발생하여 그 데이터 전압들을 액정표시패널의 데이터라인들에 공급하는 다수의 소스 드라이브 IC들; 및 상기 타이밍 콘트롤러의 출력단자들과 상기 소스 드라이브 IC들 각각의 입력단자들을 연결하는 3 쌍의 데이터 버스 라인들과 1 쌍의 클럭신호 라인들이 형성된 소스 PCB를 구비한다.

대표도 - 도4



특허청구의 범위

청구항 1

각각 정극성 데이터와 부극성 데이터를 포함한 RGB 디지털 비디오 데이터쌍들과, 정극성 클럭과 부극성 클럭을 포함한 클럭신호쌍을 출력하는 타이밍 컨트롤러;

상기 RGB 디지털 비디오 데이터쌍들과 상기 클럭신호쌍을 입력 받아 아날로그 정극성 데이터 전압과 부극성 데이터 전압을 발생하여 그 데이터 전압들을 액정표시패널의 데이터라인들에 공급하는 다수의 소스 드라이브 IC들; 및

상기 타이밍 컨트롤러의 출력단자들과 상기 소스 드라이브 IC들 각각의 입력단자들을 연결하는 3 쌍의 데이터 버스 라인들과 1 쌍의 클럭신호 라인들이 형성된 소스 PCB를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 3 쌍의 데이터 버스 라인들을 통해 상기 RGB 디지털 비디오 데이터쌍들 각각의 정극성 데이터와 부극성 데이터가 상기 소스 드라이브 IC들에 동시에 전송되고,

상기 1 쌍의 클럭신호 라인들을 통해 상기 클럭신호쌍이 상기 소스 드라이브 IC들에 동시에 전송되는 것을 특징으로 하는 액정표시장치.

청구항 3

제 2 항에 있어서,

상기 RGB 디지털 비디오 데이터들 각각은 300mV~600mV 사이의 스윙폭을 가지는 것을 특징으로 하는 액정표시장치.

청구항 4

제 1 항에 있어서,

상기 타이밍 컨트롤러로부터 출력되는 상기 RGB 디지털 비디오 데이터쌍들의 전송 주파수는 상기 타이밍 컨트롤러에 입력되는 RGB 디지털 비디오 데이터의 입력 주파수에 비하여 높은 것을 특징으로 하는 액정표시장치.

청구항 5

제 2 항에 있어서,

상기 3 쌍의 데이터 버스 라인들과 상기 1 쌍의 클럭신호 라인들 각각은 상기 타이밍 컨트롤러의 데이터/클럭 출력단자들에 연결되고 T자 형태로 분기되어 상기 소스 드라이브 IC들 각각의 데이터/클럭 입력단자들에 연결되는 것을 특징으로 하는 액정표시장치.

청구항 6

제 5 항에 있어서,

상기 타이밍 컨트롤러는,

상기 소스 드라이브 IC들 각각의 출력 타이밍을 제어하기 위한 소스 출력 인에이블신호와 상기 소스 드라이브 IC들로부터 출력되는 상기 데이터 전압들의 극성을 제어하기 위한 극성제어신호를 발생하는 것을 특징으로 하는 액정표시장치.

청구항 7

제 6 항에 있어서,

상기 소스 PCB는,

상기 소스 출력 인에이블신호와 상기 극성제어신호를 상기 소스 드라이브 IC들에 동시에 전송하는 제어신호 버

스 라인들을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 8

제 7 항에 있어서,

상기 제어신호 버스 라인들 각각은 상기 타이밍 콘트롤러의 제어신호 출력단자들에 연결되고 T자 형태로 분기되어 상기 소스 드라이브 IC들 각각의 제어신호 입력단자들에 연결되는 것을 특징으로 하는 액정표시장치.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치는 스위칭 소자로서 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)를 이용하여 동영상상을 표시하고 있다. 이 액정표시장치는 음극선관(Cathode Ray Tube, CRT)에 비하여 소형화가 가능하여 휴대용 정보기기, 사무기기, 컴퓨터 등에서 표시기에 응용됨은 물론, 텔레비전에도 응용되어 음극선관을 빠르게 대체하고 있다.

[0003] 액정표시장치는 액정표시패널, 액정표시패널에 빛을 조사하는 백라이트 유닛, 액정표시패널의 데이터라인들에 데이터전압을 공급하기 위한 데이터 구동회로, 데이터 구동회로에 연결되는 소스 인쇄회로보드(Printed Circuit Board, PCB) 등을 구비한다. 소스 인쇄 PCB는 액정표시패널의 측면에 연결된다. 소스 PCB는 많은 데이터 버스 배선들, 클럭신호 배선들, 제어신호 배선들이 형성된다. 따라서, 종래의 액정표시장치에서 소스 PCB 크기를 줄이기가 어렵고 이로 인하여, 액정표시장치의 슬림화가 어렵고 PCB 비용을 줄일 수가 없다.

발명의 내용

해결 하고자하는 과제

[0004] 본 발명의 목적은 상기 종래 기술의 문제점들을 해결하고자 안출된 발명으로써 콘트롤 PCB의 크기를 줄이도록 한 액정표시장치를 제공하는데 있다.

과제 해결수단

[0005] 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 액정표시장치는 각각 정극성 데이터와 부극성 데이터를 포함한 RGB 디지털 비디오 데이터쌍들과, 정극성 클럭과 부극성 클럭을 포함한 클럭신호쌍을 출력하는 타이밍 콘트롤러; 상기 RGB 디지털 비디오 데이터쌍들과 상기 클럭신호쌍을 입력 받아 아날로그 정극성 데이터 전압과 부극성 데이터 전압을 발생하여 그 데이터 전압들을 액정표시패널의 데이터라인들에 공급하는 다수의 소스 드라이브 IC들; 및 상기 타이밍 콘트롤러의 출력단자들과 상기 소스 드라이브 IC들 각각의 입력단자들을 연결하는 3쌍의 데이터 버스 라인들과 1쌍의 클럭신호 라인들이 형성된 소스 PCB를 구비한다.

효과

[0006] 본 발명은 전술한 바와 같이, 본 발명은 RGB 디지털 비디오 데이터를 기수 데이터와 우수 데이터로 분리하지 않고 3쌍의 데이터 버스 라인들을 통해 LVDS 데이터로 전송함으로써 소스 PCB의 크기를 줄인다. 그 결과, 본 발

명은 액정표시장치를 슬립화할 수 있고 PCB 비용을 줄일 수 있다.

발명의 실시를 위한 구체적인 내용

- [0007] 본 발명의 실시예에 따른 액정표시장치의 제조방법은 액정표시패널의 기관 세정, 기관 패터닝 공정, 배향막형성/러빙 공정, 기관 합착 및 액정 적하 공정, 구동회로 실장 공정, 및 모듈 조립공정 등을 포함한다.
- [0008] 기관세정 공정은 액정표시패널의 상부 유리기관과 하부 유리기관 표면에 오염된 이물질을 세정액으로 제거한다. 기관 패터닝 공정은 하부 유리기관에 데이터라인 및 게이트라인을 포함한 신호배선, 박막트랜지스터(Thin Film Transistor, TFT), 화소전극 등의 각종 박막 재료를 형성하고 패터닝하는 공정과, 상부 유리기관 상에 블랙 매트릭스, 컬러필터, 및 공통전극 등의 각종 박막 재료를 형성하고 패터닝하는 공정을 포함한다. 배향막형성/러빙 공정은 유리기관들 상에 배향막을 도포하고 그 배향막을 러빙포로 러빙하거나 광배향 처리한다. 이러한 일련의 공정을 거쳐 액정표시패널의 하부 유리기관에는 비디오 데이터전압이 공급되는 데이터라인들, 그 데이터라인들과 교차되고 스캔신호 즉, 게이트펄스가 순차적으로 공급되는 게이트라인들, 데이터라인들과 게이트라인들의 교차부에 형성된 TFT들, TFT들에 1 : 1로 접속된 액정셀의 화소전극들 및 스토리지 커패시터(Storage Capacitor) 등을 포함한 화소 및 TFT 어레이가 형성된다. 스캔신호를 발생하는 게이트 구동회로의 쉬프트 레지스터는 기관 패터닝 공정에서 화소 및 TFT 어레이와 동시에 형성될 수 있다. 액정표시패널의 상부 유리기관에는 블랙매트릭스, 컬러필터 및 공통전극이 형성된다. 공통전극은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직 전계 구동방식에서 상부 유리기관 상에 형성되며, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평 전계 구동방식에서 화소전극과 함께 하부 유리기관 상에 형성된다. 상부 유리기관과 하부 유리기관 각각에는 편광판과, 그 위에 편광판 보호필름이 부착된다.
- [0009] 기관 합착 및 액정 적하 공정은 진공 챔버 내에서 액정표시패널의 상부 및 하부 유리기관 중 어느 하나에 실린트를 드로잉하고 다른 기관에 액정을 적하(Dropping)한다. 하부 유리기관에 액정이 적하된 경우를 예를 들어 설명하면, 진공 챔버 내에서 상부 유리기관에 자외선 경화성 실린트가 형성되고, 실린트가 형성된 상부 유리기관을 반전시켜 상부 스테이지에 고정하고, 액정이 적하된 하부 유리기관을 하부 스테이지에 고정한다. 이어서, 기관 합착 및 액정 적하 공정은 상부 유리기관과 하부 유리기관을 정렬한 후에, 진공펌프를 구동시켜 진공 챔버의 압력을 소정의 진공 압력으로 조정된 상태에서 상부 및 하부 유리기관 중 어느 하나에 압력을 가하여 상부 유리기관과 하부 유리기관을 합착한다. 이 때, 액정층의 셀갭은 설계치의 셀갭보다 크게 설정된다. 이어서, 질소(N₂)를 진공 챔버 내로 투입하여 진공 챔버의 압력을 대기압으로 조정하면 합착된 유리기관들과 진공 챔버의 압력차에 의해 액정표시패널의 셀갭은 설계치의 셀갭으로 조정된다. 이렇게 셀갭이 설계치로 조정된 상태에서 자외선 광원이 액정표시패널의 상부 유리기관 또는 하부 유리기관을 통해 자외선 경화성 실린트에 조사되면 실린트가 경화된다.
- [0010] 구동회로 실장공정은 COG(Chip On Glass) 공정이나 TAB(Tape Automated Bonding) 공정을 이용하여 데이터 구동회로의 소스 드라이브 집적회로들(Integrated Circuit, IC)을 액정표시패널의 하부 유리기관의 데이터라인들에 연결하고 그 소스 드라이브 IC들을 타이밍 컨트롤러가 실장된 소스 PCB에 연결한다. 게이트 구동회로는 TAP 공정을 이용하여 게이트 드라이브 IC들을 하부 유리기관의 게이트라인들에 연결되거나 GIP(Gate In Panel) 공정으로 화소 어레이와 동시에 액정표시패널의 하부 유리기관 상에 직접 형성될 수 있다. 본 발명에서는 타이밍 컨트롤러가 소스 PCB 상에 실장되므로 기존에 타이밍 컨트롤러가 실장되었던 컨트롤 PCB가 생략될 수 있다.
- [0011] 모듈 조립공정은 서포트 메인, 보텀 커버, 탑 케이스 등의 케이스 부재를 이용하여 백라이트 유닛과 액정표시패널을 액정 모듈(Liquid crystal module, LCM)로 조립한다.
- [0012] 본 발명의 실시예에 따른 액정표시장치의 제조방법은 검사 공정과, 리페어 공정을 더 포함할 수 있다.
- [0013] 검사 공정은 집적회로에 대한 검사, 하부 유리기관에 형성된 데이터라인과 게이트라인 등의 신호배선, TFT 및 화소전극의 불량률을 검출하는 전기적 검사, 기관 합착 및 액정 적하 공정 후에 실시되는 전기적 검사, 액정 모듈의 백라이트 유닛을 점등시켜 액정 모듈의 불량률을 검출하는 점등 검사 등을 포함한다. 리페어 공정은 검사 공정에 의해 리페어가 가능한 것으로 판정된 신호배선 불량, TFT 불량률 리페어한다.
- [0014] 이하, 도 1 내지 도 6을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.
- [0015] 도 1을 참조하면, 본 발명의 실시예에 따른 액정표시장치는 액정표시패널(10), 액정표시패널(10)의 데이터라인들(D1~Dm)에 접속된 데이터 구동회로(12), 액정표시패널(10)의 게이트라인들(G1~Gn)에 접속된 게이트 구동회로

(13), 데이터 구동회로(12)와 게이트 구동회로(13)를 제어하기 위한 타이밍 콘트롤러(11), 및 액정표시패널(10)의 구동 전압을 발생하는 직류-직류 변환기(15)를 구비한다.

[0016] 액정표시패널(10)은 액정층을 사이에 두고 대향하는 상부 유리기관과 하부 유리기관을 포함한다. 액정표시패널(10)은 비디오 데이터를 표시하는 화소 어레이를 포함한다. 하부 유리기관의 화소 어레이에는 데이터라인들(D1~Dm)과 게이트라인들(G1~Gn)의 교차부마다 형성되는 TFT들과, TFT에 접속된 화소전극을 포함한다. 화소 어레이의 액정셀들 각각은 TFT를 통해 데이터전압을 충전하는 화소전극(1)에 인가되는 데이터전압과, 공통전극(2)에 인가되는 공통전압(Vcom)의 전압차에 의해 구동되어 백라이트 유닛(16)으로부터 입사되는 빛의 투과량을 조정하여 비디오 데이터의 화상을 표시한다.

[0017] 액정표시패널(10)의 상부 유리기관 상에는 블랙매트릭스, 컬러필터 및 공통전극이 형성된다. 공통전극(2)은 TN 모드와 VA 모드와 같은 수직전계 구동방식에서 상부 유리기관 상에 형성되며, IPS 모드와 FFS 모드와 같은 수평전계 구동방식에서 화소전극(1)과 함께 하부 유리기관 상에 형성된다.

[0018] 액정표시패널(10)의 상부 유리기관과 하부 유리기관 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.

[0019] 본 발명에서 적용 가능한 액정표시패널(10)의 액정모드는 전술한 TN 모드, VA 모드, IPS 모드, FFS 모드뿐 아니라 어떠한 액정모드로도 구현될 수 있다. 또한, 본 발명의 액정표시장치는 투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치 등 어떠한 형태로도 구현될 수 있다. 투과형 액정표시장치와 반투과형 액정표시장치에서는 백라이트 유닛이 필요하다. 백라이트 유닛(16)은 직하형(direct type) 백라이트 유닛 또는, 에지형(edge type) 백라이트 유닛으로 구현될 수 있다. 직하형 백라이트 유닛의 단면 구조는 액정표시패널(10)의 아래에 다수의 광학시트들과 확산판이 적층되고 확산판의 아래에 다수의 광원들이 배치되는 구조를 갖는다. 에지형 백라이트 유닛은 도광판의 측면에 대향되도록 광원이 배치되고 액정표시패널과 도광판 사이에 다수의 광학시트들이 배치되는 구조를 갖는다. 백라이트 유닛의 광원은 HCFL(Hot Cathode Fluorescent Lamp), CCFL(Cold Cathode Fluorescent Lamp), EEFL(External Electrode Fluorescent Lamp), LED(Light Emitting Diode) 중 어느 하나 또는 두 종류 이상의 광원을 포함할 수 있다.

[0020] 데이터 구동회로(12)는 다수의 소스 드라이브 IC들을 포함한다. 소스 드라이브 IC 각각은 타이밍 콘트롤러(11)로부터의 mini LVDS 인터페이스 규격의 R, G, B 데이터쌍과 mini LVDS 클럭에 따라 RGB 디지털 비디오 데이터(RGB)를 샘플링하고 래치하여 병렬 데이터 체계의 데이터로 변환한다. 소스 드라이브 IC들 각각은 병렬 데이터 전송 체계로 변환된 디지털 비디오 데이터를 극성제어신호(POL)에 응답하여 정극성/부극성 감마기준전압들($V_{GMA01} \sim V_{GMA10}$)을 이용하여 액정셀들에 충전될 정극성/부극성 아날로그 비디오 데이터전압으로 변환한 다음, 타이밍 콘트롤러(11)로부터의 소스 출력 인에이블(SOE)에 응답하여 데이터라인들(D1~Dm)에 공급한다. 소스 드라이브 IC들 각각은 COG 공정이나 TAB 공정으로 액정표시패널의 데이터라인들에 접속된다.

[0021] 게이트 구동회로(13)는 다수의 게이트 드라이브 IC를 포함한다. 게이트 드라이브 IC 각각은 타이밍 콘트롤러(11)로부터의 게이트 타이밍 제어신호(GSP, GSC, SOE)에 응답하여 게이트 구동전압을 순차적으로 스위프트하는 스위프트 레지스터를 포함하여 게이트라인들에 게이트펄스(또는 스캔펄스)를 순차적으로 공급한다. 게이트 드라이브 IC들은 전술한 바와 같이 TAB 공정으로 하부 유리기관의 게이트라인들에 연결되거나 GIP 공정으로 하부 유리기관 상에 직접 형성될 수 있다.

[0022] 타이밍 콘트롤러(11)는 LVDS(Low Voltage Differential Signaling) 인터페이스, TMDS(Transition Minimized Differential Signaling) 인터페이스 등의 인터페이스 수신회로를 통해 시스템 보드(14)로부터 RGB 디지털 비디오 데이터, 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 도트 클럭(CLK) 등의 타이밍 신호를 입력받는다. 타이밍 콘트롤러(11)는 데이터의 전송경로 상에서 EMI와 데이터전압의 스윙폭을 줄이기 위하여, mini LVDS(low-voltage differential signaling) 인터페이스 방식으로 3 쌍의 RGB 디지털 비디오 데이터를 소스 드라이브 IC들에 동시에 전송한다. 타이밍 콘트롤러(11)는 타이밍 신호(Vsync, Hsync, DE, CLK)를 이용하여 소스 드라이브 IC들을 제어하기 위한 데이터 제어신호(SOE, POL)와, 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GSP, GSC, GOE)를 발생한다. 타이밍 콘트롤러(11)는 60Hz의 프레임 주파수로 입력되는 디지털 비디오 데이터가 $60 \times i$ (i는 양의 정수) Hz의 프레임 주파수로 액정표시패널(10)의 화소 어레이에서 재생될 수 있도록 게이트 타이밍 제어신호와 데이터 타이밍 제어신호의 주파수를 $60 \times i$ Hz의 프레임 주파수 기준으로 체배할 수 있다.

[0023] 데이터 타이밍 제어신호는 소스 출력 인에이블신호(Source Output Enable, SOE), 극성제어신호(POL) 등을 포함

한다. 타이밍 콘트롤러(11)와 데이터 구동회로(12) 사이의 신호 전송체계가 mini LVDS 인터페이스이므로 기존 TTL 인터페이스에서 필요하였던 소스 스타트 펄스(Source Start Pulse, SSP)와 소스 샘플링 클럭(Source Sampling Clock, SSC)은 생략될 수 있다. 소스 출력 인에이블신호(SOE)는 데이터 구동회로의 출력 타이밍을 제어한다. 소스 드라이브 IC들 각각은 데이터라인들(D1~Dm)에 공급되는 데이터전압의 극성이 바뀔 때 소스 출력 인에이블신호(SOE)의 펄스에 응답하여 차지셰어전압(Charge share voltage)이나 공통전압(Vcom)을 데이터라인들(D1~Dm)에 공급하고, 소스 출력 인에이블신호(SOE)의 로우논리기간 동안 데이터전압을 데이터라인들에 공급한다. 차지셰어전압은 서로 상반된 극성의 데이터전압들이 공급되는 이웃한 데이터라인들의 평균전압이다. 극성제어신호(POL)는 데이터 구동회로(12)로부터 출력되는 데이터전압의 극성을 N(N은 양의 정수) 수평기간의 주기로 반전시킨다.

[0024] 게이트 타이밍 제어신호(GSP, GSC, GOE)는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 쉬프트 클럭(Gate Shift Clock, GSC), 게이트 출력 인에이블신호(Gate Output Enable, GOE) 등을 포함한다. 게이트 스타트 펄스(GSP)는 첫 번째 게이트 펄스의 타이밍을 제어한다. 게이트 쉬프트 클럭(GSC)은 게이트 스타트 펄스(GSP)를 쉬프트시키기 위한 클럭신호이다. 게이트 출력 인에이블신호(GOE)는 게이트 구동회로(13)의 출력 타이밍을 제어한다.

[0025] 시스템 보드(14)는 방송 수신회로나 외부 비디오 소스로부터 입력된 RGB 비디오 데이터와 함께, 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(DE), 도트 클럭(CLK) 등의 타이밍 신호를 LVDS 인터페이스 또는 TMDS 인터페이스 송신회로를 통해 타이밍 콘트롤러(11)에 전송한다. 시스템 보드(14)에는 방송 수신회로나 외부 비디오 소스로부터 입력된 RGB 비디오 데이터의 해상도를 액정표시패널의 해상도에 맞게 보간하고 신호 보간 처리하는 스케일러 등의 그래픽 처리회로와, 직류-직류 변환기(15)에 공급될 전압(Vin)을 생성하는 전원회로를 포함한다.

[0026] 직류-직류 변환기(15)는 시스템 보드(14)의 전원으로부터 입력되는 전압(Vin)을 조정하여 액정표시패널(10)의 구동 전압들을 발생한다. 액정표시패널(10)의 구동 전압은 15V~20V 사이의 고전위 전원전압(Vdd), 약 3.3V의 로직 전원전압(Vcc), 15V 이상의 게이트 하이전압(V_{GH}), -3V 이하의 게이트 로우전압(V_{GL}), 7V~8V 사이의 공통전압(Vcom), 정극성/부극성 감마기준전압들(V_{GMA1}~V_{GMA10}), 1.2V~1.8V 사이의 코어 파워 전압(Core power voltage) 등을 포함한다. 고전위 전원전압(Vdd)은 액정표시패널(10)의 액정셀들에 충전될 최대 데이터 전압이다. 로직 전원전압(Vcc)은 타이밍 콘트롤러(11), 소스 드라이브 IC, 게이트 드라이브 IC 등의 디지털 로직 소자의 전원 전압이다. 게이트 하이전압(V_{GH})은 화소 어레이에 형성된 TFT들의 문턱전압 이상으로 설정된 게이트 펄스의 하이논리전압이고, 게이트 로우전압(V_{GL})은 화소 어레이에 형성된 TFT들의 문턱전압 미만의 전압으로 설정된 게이트 펄스의 로우논리전압으로써 게이트 구동회로(13)에 공급된다. 공통전압(Vcom)은 액정셀들(Clc)의 공통전극(2)에 공급된다. 소스 드라이브 IC들은 소스 출력 인에이블신호(SOE)의 하이논리기간 동안 차지셰어전압으로써 공통전압(Vcom)을 데이터라인들(D1~Dm)에 공급할 수 있다. 스토리지 온 커먼(Storage on common) 방식에서, 스토리지 커패시터(Cst)의 스토리지 전극은 절연층을 사이에 두고 액정셀들의 화소 전극(1)과 중첩되도록 액정표시패널(10)의 하부 유리기판에 형성될 수 있다. 이 스토리지 온 커먼 방식에서 스토리지 전극에는 공통전압(Vcom)이 공급될 수 있다. 코어 파워 전압은 mini LVDS 데이터전압을 생성하기 위한 로직 전압이다.

[0027] 도 2는 소스 드라이브 IC(12a)를 상세히 나타내는 회로도이다.

[0028] 도 2를 참조하면, 소스 드라이브 IC들(12a) 각각은 쉬프트 레지스터(21), 데이터 수신부(22), 제1 래치 어레이(23), 제2 래치 어레이(24), 디지털/아날로그 변환기(이하, "DAC"라 한다)(25), 차지셰어회로(Charge Share Circuit)(26) 및 출력회로(27) 등을 구비한다.

[0029] 데이터 수신부(22)는 타이밍 콘트롤러(11)로부터 입력된 mini LVDS 데이터(RGB)와 mini LVDS 클럭을 수신하여 mini LVDS 인터페이스의 복원 방법으로 TTL 레벨의 RGB 디지털 비디오 데이터를 복원하고 TTL 레벨의 소스 샘플링 클럭(SSC)을 발생한다. mini LVDS 데이터는 도 4 내지 도 6과 같이 상호 역위상의 정극성 및 부극성 데이터를 포함한 R 데이터쌍, 상호 역위상의 정극성 및 부극성 데이터를 포함한 G 데이터쌍, 및 상호 역위상의 정극성 및 부극성 데이터를 포함한 B 데이터쌍을 포함한다. mini LVDS 클럭은 상호 역위상의 정극성 및 부극성 클럭을 포함한 클럭쌍을 포함한다. 예컨대, 데이터 수신부(22)는 타이밍 콘트롤러(11)로부터 입력되는 mini LVDS 데이터(RGB) 각각에서 도 6과 같이 정극성 데이터(P)가 하이 논리일 때 '1'을 발생하고, 정극성 데이터(P)가 로우 논리일 때 '0'을 발생하여 데이터를 복원하여 제1 래치 어레이(23)에 공급한다.

[0030] 쉬프트레지스터(21)는 소스 샘플링 클럭(SSC)을 쉬프트시켜 샘플링 클럭을 발생하고, 제1 래치 어레이(23)의 래치

수를 초과하는 데이터가 공급될 때 캐리신호(Carry, CAR)를 발생한다. 제1 래치 어레이(23)는 쉬프트 레지스터(21)로부터 순차적으로 입력되는 샘플링 클럭에 응답하여 데이터 수신부(22)로부터 복원된 디지털 비디오 데이터들(RGB)을 샘플링하고, 그 데이터들(RGB)을 1 수평라인 분씩 래치한 다음, 1 수평라인 분의 데이터를 동시에 출력한다.

[0031] 제2 래치 어레이(24)는 제1 래치 어레이(23)로부터 입력되는 1 수평라인분의 디지털 비디오 데이터를 래치한 다음, 소스 출력 인에이블신호(SOE)의 로우논리기간 동안 다른 데이터 IC들(32a)의 제2 래치 어레이(24)와 동시에 래치된 디지털 비디오 데이터들(RGBeven, RGBodd)을 출력한다.

[0032] DAC(25)는 정극성 감마보상전압(GH)이 공급되는 P-디코더, 부극성 감마보상전압(GL)이 공급되는 N-디코더, 극성 제어신호(POL)에 응답하여 P-디코더의 출력과 N-디코더의 출력을 선택하는 멀티플렉서를 포함한다. P-디코더는 제2 래치 어레이(24)로부터 입력되는 디지털 비디오 데이터들(RGB)을 디코드하여 그 데이터의 계조값에 해당하는 정극성 감마보상전압(GH)을 출력하고, N-디코더는 제2 래치 어레이(24)로부터 입력되는 디지털 비디오 데이터들을 디코드하여 그 데이터의 계조값에 해당하는 부극성 감마보상전압(GL)을 출력한다. 멀티플렉서는 극성 제어신호에 응답하여 정극성의 감마보상전압과 부극성의 감마보상전압을 선택한다.

[0033] 차지웨어회로(26)는 소스 출력 인에이블신호(SOE)의 하이논리기간 동안 이웃한 데이터 출력채널들을 단락(short)시켜 이웃한 데이터전압들의 평균값을 차지웨어전압으로 출력하거나, 공통전압(Vcom)을 출력하여 정극성 데이터전압과 부극성 데이터전압의 급격한 변화를 줄인다. 출력회로(27)는 버퍼를 이용하여 데이터라인(D1 내지 Dk, k는 m 보다 작은 양의 정수)으로 공급되는 정극성/부극성 아날로그 데이터전압의 신호감쇠를 줄인다.

[0034] 도 3 및 도 4는 타이밍 콘트롤러(11)와 소스 드라이브 IC들(12a, 12b)의 연결 구조를 개략적으로 나타내는 도면이다.

[0035] 도 3 및 도 4를 참조하면, 소스 PCB(21)에는 타이밍 콘트롤러(11)가 실장된다. 그 소스 PCB(21)의 출력단자들은 소스 드라이브 IC들(12a, 12b)이 각각 실장된 소스 TCP의 입력단자들에 접속된다. 소스 TCP들의 출력단자들은 이방성 도전필름(Anisotropic Conductive Film, ACF)에 의해 액정표시패널(10)의 하부 유리기관 상에 접착되어 데이터 라인들(D1~Dm)에 연결된다.

[0036] 타이밍 콘트롤러(11)는 시스템 보드(14)로부터 수신된 TTL(transistor-to-transistor) 레벨인 약 3.3V 정도의 디지털 비디오 데이터(RGB)를 우수 데이터와 기수 데이터로 분리하지 않고 약 300mV~600mV 정도의 스윙폭을 가지는 mini LVDS 데이터로 변환하여 mini LVDS 클럭쌍과 함께 소스 드라이브 IC들(12a, 12b)에 전송한다. 타이밍 콘트롤러(11)에 입력되는 도트 클럭의 주파수에 비하여 소스 드라이브 IC들(12a, 12b)에 전송되는 mini LVDS 클럭의 주파수는 약 4 배 정도로 체배된다.

[0037] 타이밍 콘트롤러(11)에서 데이터가 기수 데이터와 우수 데이터로 분리되면 소스 드라이브 IC들에 전송되는 mini LVDS 데이터들은 R 기수 데이터쌍, R 우수 데이터쌍, G 기수 데이터쌍, G 우수 데이터쌍, B 기수 데이터쌍, B 우수 데이터쌍을 포함한다. 이 경우에, 소스 PCB(21)에 최소 12 개의 데이터 버스라인들이 형성된다. 이에 비하여, 본 발명은 min LVDS 데이터를 기수 데이터와 우수 데이터로 변환하지 않는다. 따라서, 본 발명의 소스 PCB(21)에는 R 데이터쌍, G 데이터쌍, 및 B 데이터쌍을 전송하기 위한 데이터 라인들의 개수가 6 개면 충분하다. 그 결과 본 발명은 소스 PCB(21)의 크기를 줄이고 그 비용을 줄일 수 있다.

[0038] 타이밍 콘트롤러(11)로부터 출력되는 mini LVDS 데이터(RGB)와 min LVDS 클럭 각각은 도 4와 같은 데이터 버스라인들과 클럭신호 라인들을 통해 소스 드라이브 IC들(12a, 12b)에 전송된다. 데이터 버스라인들과 클럭신호 라인들 각각은 타이밍 콘트롤러(11)의 데이터/클럭 출력단자에 연결되고 다수의 소스 드라이브 IC들(12a, 12b)에 공통으로 연결된다. 이를 위하여, 데이터 버스라인들과 클럭신호 라인들 각각은 타이밍 콘트롤러(11)의 출력단자로부터 'T'자 형태로 분기되어 소스 드라이브 IC들(12a, 12b)의 입력단자들에 접속된다. 소스 드라이브 IC들(12a, 12b) 각각을 제어하기 위한 데이터 타이밍 제어신호(SOE, POL)는 제어신호 라인들을 통해 소스 드라이브 IC들(12a, 12b)에 동시에 전송된다. 제어신호 라인들 역시, 타이밍 콘트롤러(11)의 출력단자로부터 'T'자 형태로 분기되어 소스 드라이브 IC들(12a, 12b)의 입력단자들에 접속된다. 데이터 버스라인들, 클럭신호 라인들, 제어신호 버스라인들 각각은 소스 PCB 상에 형성된다.

[0039] 도 4에서 소스 드라이브 IC들(12a, 12b)은 설명의 편의상 2 개를 예시하였지만 그 이상의 개수로 액정표시장치에서 사용될 수 있다.

[0040] 도 5 및 도 6은 mini LVDS 데이터와 mini LVDS 클럭 신호를 보여 주는 파형도들이다.

[0041] 도 5 및 도 6에서, "Data CLK"은 시스템 보드(14)에 의해 생성되는 도트 클럭이며, "mini LVDS CLK"은 타이밍 콘트롤러(11)로부터 생성되어 mini LVDS 데이터와 함께 전송되는 mini LVDS 클럭이다. "mini LVDS Data"는 리셋파형을 포함하는 정극성 데이터(P)와 부극성 데이터(N)이다. 타이밍 콘트롤러(11)는 RGB 디지털 비디오 데이터들과 클럭신호 각각을 정극성 데이터(P)와 부극성 데이터(N)로 변환하여 T 분리 데이터/클럭 라인들을 통해 소스 드라이브 IC들(12a, 12b)에 전송한다. 타이밍 콘트롤러(11)에 의해 RGB 디지털 비디오 데이터가 기수 데이터와 우수 데이터로 분리되지 않으므로 RGB 디지털 비디오 데이터들은 3 쌍의 데이터 버스 라인들을 통해 소스 드라이브 IC들에 전송된다. 첫 번째 데이터를 샘플링하는 제1 소스 드라이브 IC(12a)는 리셋파형에 이어서 발생하는 스타트펄스(start)를 데이터 샘플링시작 시점으로 인식하여 스타트펄스(start)에 이어서 공급되는 데이터들을 샘플링하기 시작한다.

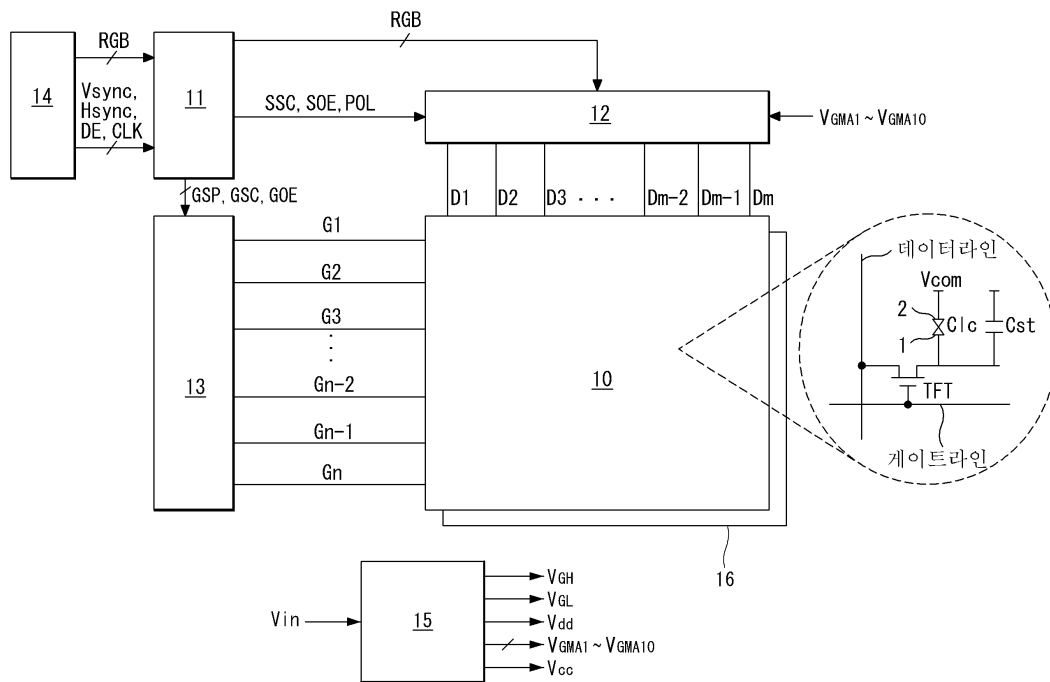
[0042] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

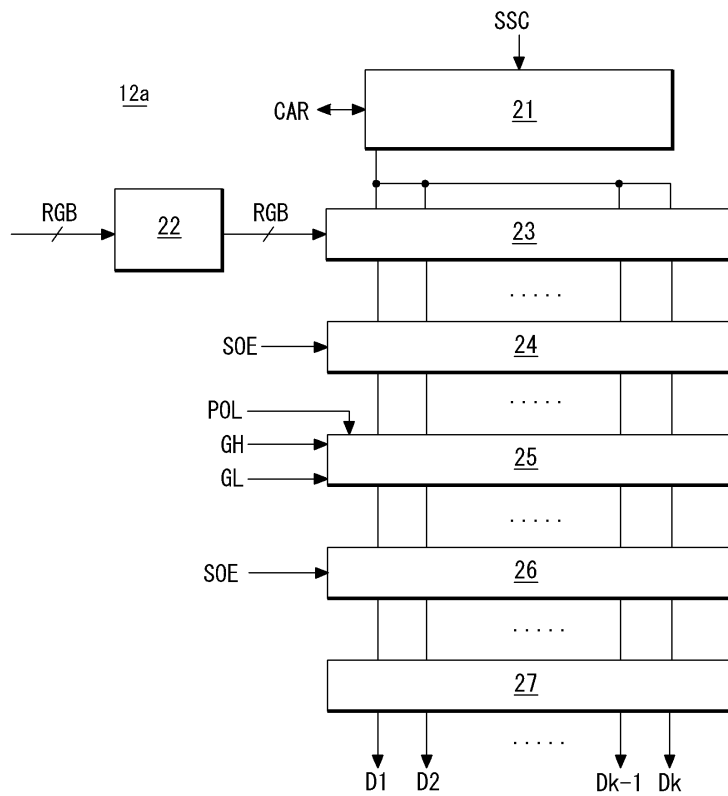
- [0043] 도 1은 본 발명의 실시예에 따른 액정표시장치를 나타내는 블록도이다.
- [0044] 도 2는 본 발명의 소스 드라이브 IC를 상세히 보여 주는 블록도이다.
- [0045] 도 3은 본 발명의 타이밍 콘트롤러와 소스 드라이브 IC들의 연결 구조를 개략적으로 보여 주는 도면이다.
- [0046] 도 4는 도 3에 도시된 소스 PCB에 형성되는 데이터 버스 라인들, 클럭 버스 라인들 및 제어신호 버스 라인들을 상세히 보여 주는 도면이다.
- [0047] 도 5 및 도 6은 mini LVDS 데이터 및 클럭신호의 일예를 보여 주는 파형도이다.
- [0048] <도면의 주요 부분에 대한 부호의 설명>
- | | |
|-----------------------|---------------|
| [0049] 10 : 액정표시패널 | 11 : 타이밍 콘트롤러 |
| [0050] 12 : 데이터 구동회로 | 13 : 게이트 구동회로 |
| [0051] 15 : 직류-직류 변환기 | |

도면

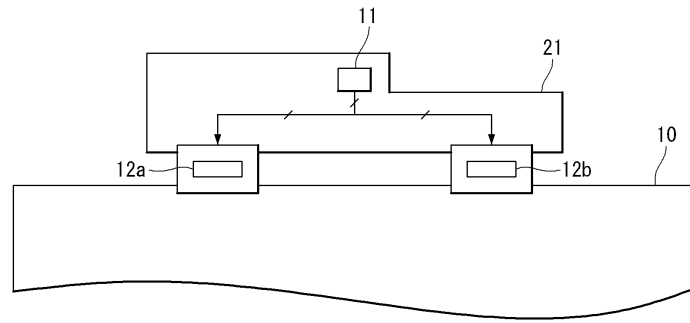
도면1



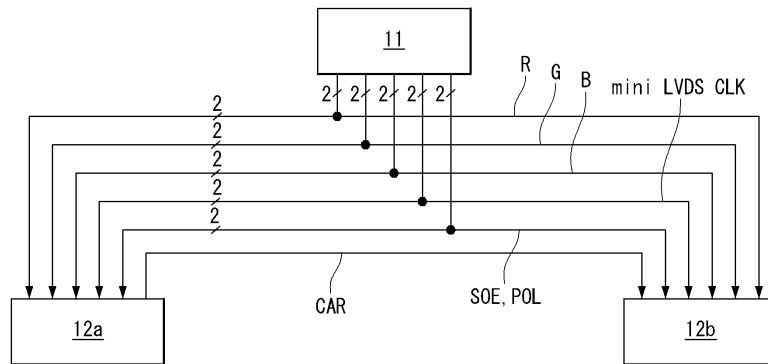
도면2



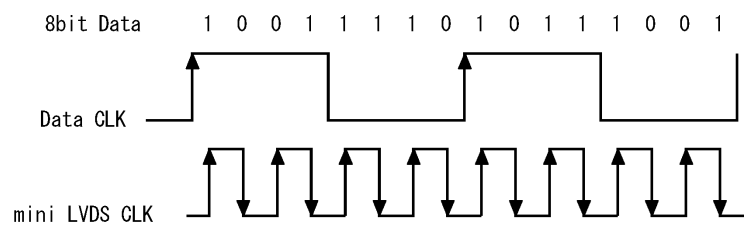
도면3



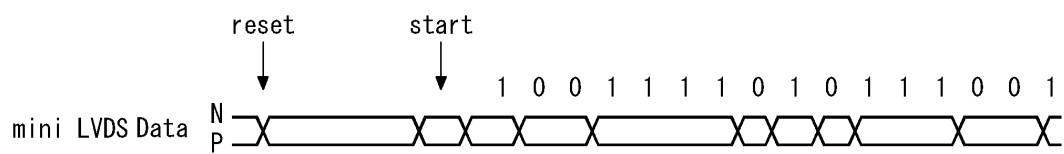
도면4



도면5



도면6



专利名称(译)	液晶显示器		
公开(公告)号	KR1020100123273A	公开(公告)日	2010-11-24
申请号	KR1020090042413	申请日	2009-05-15
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	MIN WOONG KI 민웅기 LEE JU YOUNG 이주영		
发明人	민웅기 이주영		
IPC分类号	G09G3/36 G02F1/1345		
CPC分类号	G09G2330/06 G09G5/04 G09G3/2096 G09G3/3688 G09G3/3648		
其他公开文献	KR101363136B1		
外部链接	Espacenet		

摘要(译)

本发明涉及液晶显示器。并输入RGB数字视频数据对和时钟信号对，并将RGB数字视频数据的直极性数据和负极性数据输出到模拟正极性数据电压和多个源极驱动集成电路：频率高于输入频率数据输入数据不是根据奇数数据分开的，甚至不是产生负数据电压的数据，而是以数据对的方式向LCD面板的数据线提供数据电压。时钟信号对的直极性时钟和负极性时钟输出到输入时钟频率比较四倍高频时序控制器和源极印刷电路板。时序控制器产生极性控制信号，用于控制从源输出使能信号输出的数据电压的极性，以控制源驱动集成电路的每个输出时序和源驱动集成电路。对于源印刷电路板，数据总线连接源驱动集成电路的每个输入端子，其中RGB数字视频数据由定时控制器的输出端子传输，并且三对时钟信号线对其中的时钟信号线对发送源控制信号总线和控制信号总线，其中发送源输出使能信号和极性控制信号。

