



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0119322
(43) 공개일자 2010년11월09일

(51) Int. Cl.

G09G 3/36 (2006.01) G02F 1/133 (2006.01)

(21) 출원번호 10-2009-0038381

(22) 출원일자 2009년04월30일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

조창훈

경북 구미시 진평동 미래주공아파트 108동 606호

김진성

경북 구미시 송정동 푸르지오캐슬아파트 120동 203호

김현철

경북 칠곡군 석적읍 중리 엘지디스플레이 기숙사 B동 225호

(74) 대리인

특허법인로알

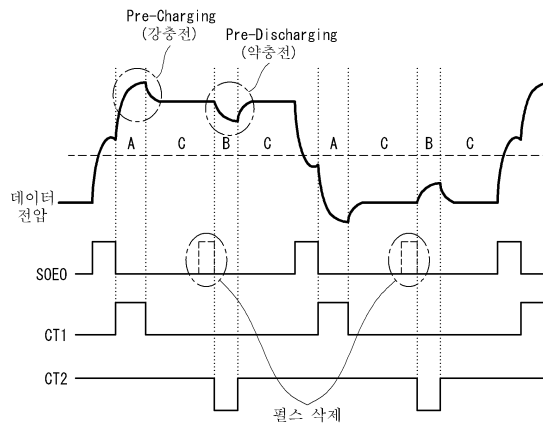
전체 청구항 수 : 총 10 항

(54) 액정표시장치와 그 구동방법

(57) 요약

본 발명은 액정표시장치에 관한 것으로, 데이터라인들과 게이트라인들이 교차되고 액정셀들이 매트릭스 형태로 배치된 액정표시패널; 정극성/부극성 감마기준전압들을 이용하여 디지털 비디오 데이터를 정극성/부극성 데이터 전압으로 변환하여 상기 데이터라인들에 공급하는 데이터 구동회로; 상기 데이터전압의 극성이 반전되는 기간 동안 상기 정극성/부극성 감마기준전압들 각각의 전위를 높이는 감마전압 조정부; 및 상기 게이트라인들에 스캔펄스를 공급하는 게이트 구동회로를 구비한다.

대표도 - 도8



특허청구의 범위

청구항 1

데이터라인들과 게이트라인들이 교차되고 액정셀들이 매트릭스 형태로 배치된 액정표시패널;

정극성/부극성 감마기준전압들을 이용하여 디지털 비디오 데이터를 정극성/부극성 데이터전압으로 변환하여 상기 데이터라인들에 공급하는 데이터 구동회로;

상기 데이터전압의 극성이 반전되는 기간 동안 상기 정극성/부극성 감마기준전압들 각각의 전위를 높이는 감마전압 조정부; 및

상기 게이트라인들에 스캔펄스를 공급하는 게이트 구동회로를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 감마전압 조정부는,

동일한 극성의 전압으로 연속 발생하는 상기 데이터전압들 사이의 기간 동안 상기 정극성/부극성 감마기준전압들의 전위를 낮추는 것을 특징으로 하는 액정표시장치.

청구항 3

제 1 항에 있어서,

상기 데이터 구동회로에 상기 디지털 비디오 데이터를 공급하고 상기 데이터 구동회로, 상기 게이트 구동회로 및 상기 감마전압 조정부를 제어하는 타이밍 콘트롤러를 더 구비하는 것을 특징으로 하는 액정표시장치.

청구항 4

제 1 항에 있어서,

상기 감마전압 조정부는,

정극성/부극성 정상 감마기준전압들을 발생하는 감마전압 발생회로;

상기 타이밍 콘트롤러의 제어 하에 위상이 서로 다른 제1 및 제2 감마전압 제어신호들을 출력하는 감마전압 제어회로; 및

상기 제1 및 제2 감마전압 제어신호들에 응답하여 상기 정극성/부극성 정상 감마기준전압들 각각의 절대치 전위를 조정하여 상기 데이터 구동회로에 공급될 상기 정극성/부극성 감마기준전압들을 발생하는 감마전압 조정회로를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 5

제 1 항에 있어서,

상기 타이밍 콘트롤러는,

대략 1 수평기간 주기로 논리가 반전되는 제1 내부 신호와, 상기 대략 1 수평기간 주기로 발생하는 펄스들을 포함하는 제2 내부 신호를 상기 감마전압 제어회로에 공급하고,

상기 제1 내부 신호와 상기 제2 내부 신호는 소정의 시간 만큼 위상차를 가지는 것을 특징으로 하는 액정표시장치.

청구항 6

제 5 항에 있어서,

상기 감마전압 제어회로는,

상기 제1 및 제2 내부 신호들의 논리곱 출력을 발생하는 AND 게이트;

상기 제1 및 제2 내부 신호들의 배타적 논리합 출력을 발생하는 EOR 게이트; 및
 상기 AND 게이트의 출력과 상기 EOR 게이트의 출력을 지연시켜 상기 제1 및 제2 감마전압 제어신호들을 출력하는 다수의 플립 플롭들을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 7

제 6 항에 있어서,
 상기 감마전압 조정회로는,
 상기 제1 및 제2 감마전압 제어신호들에 따라 상기 정극성/부극성 정상 감마기준전압들 각각의 절대치 전위를 선택적으로 조정하는 다수의 연산 증폭기들을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 8

정극성/부극성 감마기준전압들을 이용하여 디지털 비디오 데이터를 정극성/부극성 데이터전압으로 변환하여 액정표시패널의 데이터라인들에 공급하는 단계;
 상기 데이터전압의 극성이 반전되는 기간 동안 상기 정극성/부극성 감마기준전압들 각각의 전위를 높이는 단계; 및
 상기 액정표시패널의 게이트라인들에 스캔펄스를 공급하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 9

제 8 항에 있어서,
 동일한 극성의 전압으로 연속 발생하는 상기 데이터전압들 사이의 기간 동안 상기 정극성/부극성 감마기준전압들의 전위를 낮추는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 10

제 9 항에 있어서,
 상기 정극성/부극성 감마기준전압들 각각의 전위를 높이는 단계와 상기 정극성/부극성 감마기준전압들의 전위를 낮추는 단계 각각은,
 정극성/부극성 정상 감마기준전압들을 발생하는 단계;
 위상이 서로 다른 제1 및 제2 감마전압 제어신호들을 발생하는 단계; 및
 상기 제1 및 제2 감마전압 제어신호들에 응답하여 상기 정극성/부극성 정상 감마기준전압들 각각의 절대치 전위를 조정하여 상기 정극성/부극성 데이터전압을 출력하는 데이터 구동회로에 공급하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 액정표시장치와 그 구동방법에 관한 것이다.

배경기술

[0002] 액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치는 스위칭 소자로서 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)를 이용하여 동영상상을 표시하고 있다. 이 액정표시장치는 음극선관(Cathode Ray

Tube, CRT)에 비하여 소형화가 가능하여 휴대용 정보기기, 사무기기, 컴퓨터 등에서 표시기에 응용됨은 물론, 텔레비전에도 응용되어 음극선관을 빠르게 대체하고 있다.

[0003] 이와 같은 액정표시장치는 직류 옴셋 성분을 감소시키고 액정의 열화를 줄이기 위하여, 이웃한 액정셀들 사이에서 극성이 반전되고 프레임기간 단위로 극성이 반전되는 인버전 방식(Inversion)으로 구동되고 있다. 도 1은 2수평기간 주기로 데이터전압의 극성이 반전되는 예(이하, "2 도트 인버전"이라 함)를 나타내는 파형도이다. 그런데, 2 도트 인버전 방식에서는 표시 라인 간에 휘도 차가 발생하거나 색 왜곡이 나타날 수 있다. 이는 연속되는 데이터들의 계조가 동일하다 하더라도 2 도트 인버전 방식에서는 이웃하는 액정셀들의 데이터 충전량이 달라지기 때문이다. 도 1에서, 앞선 데이터 전압의 극성과 상반되는 극성의 데이터전압을 충전하는 액정셀의 데이터 충전량은 앞선 데이터 전압과 동일한 극성의 데이터전압을 충전하는 액정셀의 데이터 충전량에 비하여 작다. 이러한 충전량을 보상하기 위하여, 소스 드라이브 IC의 출력 타이밍을 조정하기 위한 소스 출력 인에이블 신호(SOE)의 1 수평기간 주기로 다르게 하는 방법이 고려될 수 있으나, 이 경우에는 약충전 액정셀을 기준으로 강충전 액정셀의 데이터 충전량을 낮추므로 휘도 손실이 발생한다.

발명의 내용

해결 하고자하는 과제

[0004] 본 발명의 목적은 상기 종래 기술의 문제점들을 해결하고자 안출된 발명으로써 N(N은 2 이상의 정수) 도트 인버전 방식에서 데이터의 충전량을 균일하게 하고 표시품질을 높이도록 한 액정표시장치와 그 구동 방법을 제공하는데 있다.

과제 해결수단

[0005] 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 액정표시장치는 데이터라인들과 게이트라인들이 교차되고 액정셀들이 매트릭스 형태로 배치된 액정표시패널; 정극성/부극성 감마기준전압들을 이용하여 디지털 비디오 데이터를 정극성/부극성 데이터전압으로 변환하여 상기 데이터라인들에 공급하는 데이터 구동회로; 상기 데이터 전압의 극성이 반전되는 기간 동안 상기 정극성/부극성 감마기준전압들 각각의 전위를 높이는 감마전압 조정부; 및 상기 게이트라인들에 스캔펄스를 공급하는 게이트 구동회로를 구비한다.

[0006] 상기 감마전압 조정부는 동일한 극성의 전압으로 연속 발생하는 상기 데이터전압들 사이의 기간 동안 상기 정극성/부극성 감마기준전압들의 전위를 낮춘다.

[0007] 상기 액정표시장치는 상기 데이터 구동회로에 상기 디지털 비디오 데이터를 공급하고 상기 데이터 구동회로, 상기 게이트 구동회로 및 상기 감마전압 조정부를 제어하는 타이밍 콘트롤러를 더 구비한다.

[0008] 상기 감마전압 조정부는 정극성/부극성 정상 감마기준전압들을 발생하는 감마전압 발생회로; 상기 타이밍 콘트롤러의 제어 하에 위상이 서로 다른 제1 및 제2 감마전압 제어신호들을 출력하는 감마전압 제어회로; 및 상기 제1 및 제2 감마전압 제어신호들에 응답하여 상기 정극성/부극성 정상 감마기준전압들 각각의 절대치 전위를 조정하여 상기 데이터 구동회로에 공급될 상기 정극성/부극성 감마기준전압들을 발생하는 감마전압 조정회로를 구비한다.

[0009] 상기 타이밍 콘트롤러는 대략 1 수평기간 주기로 논리가 반전되는 제1 내부 신호와, 상기 대략 1 수평기간 주기로 발생하는 펄스들을 포함하는 제2 내부 신호를 상기 감마전압 제어회로에 공급한다. 상기 제1 내부 신호와 상기 제2 내부 신호는 소정의 시간 만큼 위상차를 가진다.

[0010] 상기 감마전압 제어회로는 상기 제1 및 제2 내부 신호들의 논리곱 출력을 발생하는 AND 게이트; 상기 제1 및 제2 내부 신호들의 배타적 논리합 출력을 발생하는 EOR 게이트; 및 상기 AND 게이트의 출력과 상기 EOR 게이트의 출력을 지연시켜 상기 제1 및 제2 감마전압 제어신호들을 출력하는 다수의 플립 플롭들을 구비한다.

[0011] 상기 감마전압 조정회로는 상기 제1 및 제2 감마전압 제어신호들에 따라 상기 정극성/부극성 정상 감마기준전압들 각각의 절대치 전위를 선택적으로 조정하는 다수의 연산 증폭기들을 구비한다.

[0012] 본 발명의 실시예에 따른 액정표시장치의 구동방법은 정극성/부극성 감마기준전압들을 이용하여 디지털 비디오

데이터를 정극성/부극성 데이터전압으로 변환하여 액정표시패널의 데이터라인들에 공급하는 단계; 상기 데이터 전압의 극성이 반전되는 기간 동안 상기 정극성/부극성 감마기준전압들 각각의 전위를 높이는 단계; 및 상기 액정표시패널의 게이트라인들에 스캔펄스를 공급하는 단계를 포함한다.

효과

[0013] 본 발명은 데이터전압의 극성이 반전되는 기간 동안 데이터 구동회로에 공급될 정극성/부극성 감마기준전압들 각각의 전위를 높임으로써 N(N은 2 이상의 정수) 도트 인버전 방식에서 데이터의 충전량을 균일하게 하고 휘도와 명암비를 높여 표시품질을 개선할 수 있다.

발명의 실시를 위한 구체적인 내용

[0014] 이하, 도 1 내지 도 13을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

[0015] 도 1 내지 도 3을 참조하면, 본 발명의 실시예에 따른 액정표시장치는 액정표시패널(10), 액정표시패널(10)의 데이터라인들(D1~Dm)에 접속된 데이터 구동회로(12), 액정표시패널(10)의 게이트라인들(G1~Gn)에 접속된 게이트 구동회로(13), 데이터 구동회로(12)와 게이트 구동회로(13)를 제어하기 위한 타이밍 콘트롤러(11), 및 데이터 구동회로(12)에 공급되는 감마기준전압들(GMAO₁~GMAO₅, GMAO₆~GMAO₁₀)을 선택적으로 조정하는 감마전압 조정부를 구비한다. 감마전압 조정부는 감마기준전압(GMAI_N)을 발생하는 감마전압 발생회로(15), 및 감마기준전압(GMAI_N)을 조정하기 위한 감마전압 제어회로(16) 및 감마전압 조정회로(17)를 포함한다.

[0016] 액정표시패널(10)은 액정층을 사이에 두고 대향하는 상부 유리기판과 하부 유리기판을 포함한다. 액정표시패널(10)은 비디오 데이터를 표시하는 화소 어레이를 포함한다. 화소 어레이는 도 4 또는 도 5와 같은 박막트랜지스터 어레이(Thin Film Transistor Array 이하 "TFT 어레이"라 함)로 구현될 수 있다. 도 4와 같은 TFT 어레이는 (m/3)×n의 해상도를 가지는 화소 어레이의 경우에 m 개의 데이터라인들(D1~Dm)과 n 개의 게이트라인들(G1~Gn)의 교차 구조에 의해 매트릭스 형태로 배치되는 m×n 개의 액정셀들을 포함한다. 도 4의 TFT 어레이에서 하나의 픽셀은 R 서브픽셀, G 서브픽셀 및 B 서브픽셀을 포함하고, R 서브픽셀, G 서브픽셀 및 B 서브픽셀 각각의 액정셀들은 TFT를 경유하여 서로 다른 데이터라인에 접속된다. 그리고 도 4의 TFT 어레이에서 표시라인 각각의 TFT들은 하나의 게이트라인으로부터 공급되는 스캔펄스(또는 게이트 펄스)에 따라 턴-온/오프한다.

[0017] 도 5의 TFT 어레이는 (m/3)×n의 해상도를 가지는 화소 어레이의 경우에 m/2 개의 데이터라인들(D1~Dm/2)과 2m 개의 게이트라인들(G1~G2n)의 교차 구조에 의해 매트릭스 형태로 배치되는 m×n 개의 액정셀들을 포함한다. 도 5의 TFT 어레이에서 하나의 픽셀은 R 서브픽셀, G 서브픽셀 및 B 서브픽셀을 포함하고, R 서브픽셀, G 서브픽셀 및 B 서브픽셀 각각은 이웃한 서브픽셀의 액정셀과 함께 데이터라인을 공유한다. 그리고 도 5의 TFT 어레이에서 표시라인 각각의 TFT들은 게이트라인쌍 에 지그재그 형태로 접속되어 그 게이트라인 쌍 중 어느 하나로부터 공급되는 스캔펄스에 따라 턴-온/오프한다. 따라서, 도 5의 TFT 어레이에서는 도 4의 TFT 어레이와 동일한 해상도를 가진다고 가정할 때, 데이터라인들의 개수가 1/2로 줄어 들고 게이트라인들의 개수가 2 배로 증가한다. 도 5의 TFT 어레이의 데이터라인 구동에 필요한 데이터 구동회로의 출력 채널 수는 도 4의 TFT 어레이의 그것에 비하여 1/2로 줄어든다.

[0018] 도 4 및 도 5에 도시된 TFT 어레이들은 액정표시패널(10)의 하부 유리기판에 형성된다. TFT 어레이는 데이터라인들(D1~Dm), 게이트라인들(G1~Gn), 화소전극들(1), 화소전극에 접속된 TFT들, 및 화소전극에 접속된 스토리지 커패시터들을 포함한다. 액정셀들은 TFT에 접속되어 화소전극(1)과 공통전극(2) 사이의 전계에 의해 빛의 투과율을 조정하여 비디오 데이터에 따라 화상을 표시한다.

[0019] 액정표시패널(10)의 상부 유리기판 상에는 블랙매트릭스, 컬러필터 및 공통전극이 형성된다. 공통전극(2)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서 상부 유리기판 상에 형성되며, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서 화소전극(1)과 함께 하부 유리기판 상에 형성된다.

[0020] 액정표시패널(10)의 상부 유리기판과 하부 유리기판 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.

- [0021] 본 발명에서 적용 가능한 액정표시패널(10)의 액정모드는 전술한 TN 모드, VA 모드, IPS 모드, FFS 모드뿐 아니라 어떠한 액정모드으로도 구현될 수 있다. 또한, 본 발명의 액정표시장치는 투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치 등 어떠한 형태로도 구현될 수 있다. 투과형 액정표시장치와 반투과형 액정표시장치에서는 백라이트 유닛이 필요하다. 백라이트 유닛은 에지형(edge type) 백라이트 유닛이나 직하형(direct type) 백라이트 유닛으로 구현될 수 있다. 에지형 백라이트 유닛은 도광판의 측면에 대향되도록 광원이 배치되고 액정표시패널과 도광판 사이에 다수의 광학시트들이 배치되는 구조를 갖는다. 직하형 백라이트 유닛은 액정표시패널의 아래에 다수의 광학시트들과 확산판이 적층되고 확산판 아래에 다수의 광원들이 배치되는 구조를 갖는다. 백라이트 유닛의 광원은 HCFL(Hot Cathode Fluorescent Lamp), CCFL(Cold Cathode Fluorescent Lamp), EEFL(External Electrode Fluorescent Lamp), LED(Light Emitting Diode) 중 어느 하나 또는 두 종류 이상의 광원을 포함할 수 있다.
- [0022] 데이터 구동회로(12)는 도 6과 같은 회로 구성을 갖는 다수의 소스 드라이브 IC(Source drive IC)를 포함한다. 소스 드라이브 IC 각각은 타이밍 컨트롤러(11)로부터의 데이터 타이밍 제어신호(SSP, SSC, SOEO)와 극성제어신호(POL_H2)에 응답하여 타이밍 컨트롤러(11)로부터 입력되는 디지털 비디오 데이터(RGBodd, RGBeven)를 샘플링하고 래치하여 병렬 데이터 체계의 데이터로 변환한다. 소스 드라이브 IC 각각은 병렬 데이터 전송 체계로 변환된 디지털 비디오 데이터를 감마전압 조정회로(17)로부터 입력된 정극성/부극 감마기준전압들(GMA_{0N})을 이용하여 아날로그 감마보상전압으로 변환하여 액정셀들에 충전될 정극성/부극성 아날로그 비디오 데이터전압을 발생한다. 그리고 소스 드라이브 IC 각각은 극성제어신호(POL_H2)에 따라 N(N은 2 이상의 정수) 수평기간 주기로 아날로그 비디오 데이터전압의 극성을 반전시키면서 그 데이터전압을 데이터라인들(D1~Dm)에 공급한다.
- [0023] 게이트 구동회로(13)에는 다수의 게이트 드라이브 IC를 포함한다. 게이트 구동회로(13)는 타이밍 컨트롤러(11)로부터의 게이트 타이밍 제어신호(GSP, GSC, SOE)에 응답하여 게이트 구동전압을 순차적으로 쉬프트하는 쉬프트 레지스터를 포함하여 게이트라인들에 게이트펄스(또는 스캔펄스)를 순차적으로 공급한다.
- [0024] 타이밍 컨트롤러(11)는 LVDS(Low Voltage Differential Signaling) 인터페이스, TMDS(Transition Minimized Differential Signaling) 인터페이스 등의 인터페이스를 통해 시스템 보드(14)로부터 RGB 디지털 비디오 데이터, 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 도트 클럭(CLK) 등의 타이밍 신호를 입력받는다. 타이밍 컨트롤러(11)는 RGB 디지털 비디오 데이터를 mini LVDS 인터페이스 방식으로 데이터 구동회로(12)의 소스 드라이브 IC들에 전송한다. 타이밍 컨트롤러(11)는 타이밍 신호(Vsync, Hsync, DE, CLK)를 이용하여 소스 드라이브 IC들의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호 및 극성제어신호와, 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호를 발생한다. 타이밍 컨트롤러(11)는 60Hz의 프레임 주파수로 입력되는 디지털 비디오 데이터가 60×i(i는 양의 정수) Hz의 프레임 주파수로 액정표시패널(10)의 화소 어레이에서 재생될 수 있도록 게이트 타이밍 제어신호와 데이터 타이밍 제어신호의 주파수를 60×i Hz의 프레임 주파수 기준으로 체배할 수 있다. 또한, 타이밍 컨트롤러(11)는 감마전압 제어회로(16)로부터 출력되는 신호를 제어하기 위한 제어신호들을 발생한다. 이 제어신호는 1 수평기간 단위로 논리가 반전되는 내부 극성제어신호(POL_H1), 1 수평기간 단위로 펄스가 발생하는 내부 소스 출력 인에이블신호(SOEI) 등을 포함한다. 내부 극성제어신호(POL_H1)와 내부 소스 출력 인에이블신호(SOEI)는 기존의 1 도트 인버전 방식에서 데이터 구동회로(12)로부터 출력되는 데이터전압의 극성을 1 수평기간마다 반전시키는 극성제어신호와, 1 수평기간마다 차지제어전압이나 공통전압을 출력하는 소스 출력 인에이블신호와 실질적으로 동일하다. 본 발명은 N 도트 인버전 방식으로 액정표시패널을 구동하기 때문에 내부 극성제어신호(POL_H1)와 내부 소스 출력 인에이블신호(SOEI)는 데이터 구동회로(12)에 입력되지 않는다.
- [0025] 데이터 타이밍 제어신호는 소스 스타트 펄스(Source, Start Pulse, SSP), 소스 샘플링 클럭(Source Sampling Clock, SSC), 및 소스 출력 인에이블신호(Source Output Enable, SOEO) 등을 포함한다. 소스 스타트 펄스(SSP)는 데이터 구동회로(12)의 데이터 샘플링 시작 시점을 제어한다. 타이밍 컨트롤러(11)와 데이터 구동회로(12) 사이의 신호 전송체계가 mini LVDS 인터페이스라면 소스 스타트 펄스(SSP)는 생략될 수 있다. 소스 샘플링 클럭(SSC)은 라이징 또는 폴링 에지에 기준하여 데이터 구동회로(12) 내에서 데이터의 샘플링 동작을 제어하는 클럭신호이다. 극성제어신호(POL_H2)는 데이터 구동회로(12)로부터 출력되는 데이터전압의 극성을 N 수평기간의 주기로 반전시킨다. 소스 출력 인에이블신호(SOEO)는 데이터 구동회로의 출력 타이밍을 제어한다. 데이터 구동회로(12)의 소스 드라이브 IC들에 입력되는 소스 출력 인에이블신호(SOEO)는 데이터라인들(D1~Dm)에 공급되는 데이터전압의 극성이 바뀔 때 하이논리의 펄스를 발생한다. 따라서, 소스 출력 인에이블신호(SOEO)는 N 수평기간 주기로 발생하는 펄스를 포함한다.

- [0026] 소스 드라이브 IC들 각각은 데이터라인들(D1~Dm)에 공급되는 데이터전압의 극성이 바뀔 때 소스 출력 인에이블 신호(SOEO)의 펄스에 응답하여 차지웨어전압(Charge share voltage)이나 공통전압(Vcom)을 데이터라인들(D1~Dm)에 공급하고, 소스 출력 인에이블신호(SOEO)의 로우논리기간 동안 데이터전압을 데이터라인들에 공급한다. 차지웨어전압은 서로 상반된 극성의 데이터전압들이 공급되는 이웃한 데이터라인들의 평균전압이다.
- [0027] 게이트 타이밍 제어신호는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 쉬프트 클럭(Gate Shift Clock, GSC), 게이트 출력 인에이블신호(Gate Output Enable, GOE) 등을 포함한다. 게이트 스타트 펄스(GSP)는 첫 번째 게이트 펄스의 타이밍을 제어한다. 게이트 쉬프트 클럭(GSC)은 게이트 스타트 펄스(GSP)를 쉬프트시키기 위한 클럭신호이다. 게이트 출력 인에이블신호(GOE)는 게이트 구동회로(13)의 출력 타이밍을 제어한다.
- [0028] 감마전압 발생회로(15)은 고전위 전원전압(VDD)과 저전위 전원전압(VSS 또는 기저전압(GND))을 분압하여 내부 정극성 감마기준전압들(GMAI₁~GMAI₅)과 내부 부극성 감마기준전압들(GMAI₆~GMAI₁₀)을 발생한다. 감마전압 발생회로(15)의 분압회로는 고전위 전원전압(VDD) 공급단자와 기저전압(GND) 공급단자 사이에 저항들(R)이 직렬로 접속된 R 스트링(string) 회로로 구현될 수 있다. 기존의 액정표시장치에서는 데이터 구동회로(12)에 내부 감마기준전압들(GMAI₁~GMAI₅, GMAI₆~GMAI₁₀)을 공급한다. 이에 비하여, 본 발명은 도 3 및 도 9와 같이 선택적으로 내부 감마기준전압들(GMAI₁~GMAI₅, GMAI₆~GMAI₁₀)의 전압을 선택적으로 높이거나 낮춘 감마기준전압들(GMAO₁~GMAO₅, GMAO₆~GMAO₁₀)을 데이터 구동회로(12)에 공급한다.
- [0029] 감마전압 제어회로(16)는 타이밍 컨트롤러(11)로부터 입력되는 내부 극성제어신호(POL_H1)와 내부 소스 출력 인에이블신호(SOEI)에 따라 소정의 시간차를 가지며 각각 N 수평기간 주기로 펄스가 발생하는 제1 및 제2 감마전압 제어신호(CT1, CT2)를 발생한다. 이 감마전압 제어회로(16)는 타이밍 컨트롤러(11) 내에 내장될 수 있고 또한, 타이밍 컨트롤러(11) 내에 내장된 로직회로로 대체될 수 있다.
- [0030] 감마전압 조정회로(17)는 제1 및 제2 감마전압 제어신호(CT1, CT2)에 따라 내부 감마기준전압들(GMAI₁~GMAI₅, GMAI₆~GMAI₁₀)을 아래의 도 3과 같이 조정하여 데이터 구동회로(12)에 공급될 감마기준전압들(GMAO₁~GMAO₅, GMAO₆~GMAO₁₀)을 발생한다. 도 3을 참조하면, 감마전압 조정회로(17)는 제1 및 제2 감마전압 제어신호(CT1, CT2) 각각의 논리가 하이논리일 때 내부 감마기준전압들(GMAI₁~GMAI₅, GMAI₆~GMAI₁₀)의 절대치 전압(GMA)을 GMA+ α 로 높이는 반면, 제1 및 제2 감마전압 제어신호(CT1, CT2) 각각의 논리가 로우논리일 때 내부 감마기준전압들(GMAI₁~GMAI₅, GMAI₆~GMAI₁₀)의 절대치 전압(GMA)을 GMA- α 로 낮춘다. 그리고 감마전압 조정회로(17)는 제1 감마전압 제어신호(CT1)의 논리가 로우논리이고 제2 감마전압 제어신호(CT2)의 논리가 하이논리일 때 내부 감마기준전압들(GMAI₁~GMAI₅, GMAI₆~GMAI₁₀)의 절대치 전압(GMA)을 조정하지 않고 그대로 데이터 구동회로(12)에 공급한다.
- [0031] 도 4는 본 발명의 제1 실시예에 따른 TFT 어레이의 일부를 보여 주는 등가 회로도이다.
- [0032] 도 4를 참조하면, 데이터라인들(D1~D5) 사이에는 1 열의 액정 컬럼들이 배치된다. 데이터라인들(D1~D5) 각각은 서로 다른 액정 컬럼들의 TFT들에 접속된다. 게이트 라인들(G1~G4)은 서로 다른 라인들의 TFT들에 접속된다. TFT들은 데이터라인(D1~D5)에 접속된 소스전극, 게이트라인(G1~G4)에 접속된 게이트전극, 및 화소전극(1)에 접속된 드레인전극을 포함한다. 도 4의 TFT 어레이가 적용된 액정표시장치에서 동일한 라인에 배치된 액정셀들은 데이터 구동회로(12)로부터 동시에 출력되는 데이터전압들을 충전한다.
- [0033] 도 5는 본 발명의 제2 실시예에 따른 TFT 어레이의 일부를 보여 주는 등가 회로도이다.
- [0034] 도 5를 참조하면, 이웃한 데이터라인들(D1~D6) 사이에는 2 열의 액정 컬럼들이 배치된다. 데이터라인들(D1~D6) 각각은 그 데이터라인을 사이에 두고 배치되는 좌우 액정 컬럼들의 TFT들에 접속된다. 게이트 라인들(G1~G8)은 기수 게이트 라인들(G1, G3, G5, G7)과, 우수 게이트 라인들(G2, G4, G6, G8)을 포함한다. 기수 게이트라인들(G1, G3, G5, G7)은 액정표시패널의 라인들 각각에서 기수 액정셀들의 TFT들에 접속되고, 우수 게이트라인들(G2, G4, G6, G8)은 액정표시패널의 라인들 각각에서 우수 액정셀들의 TFT들에 접속된다. TFT들은 데이터라인(D1~D6)에 접속된 소스전극, 게이트라인(G1~G8)에 접속된 게이트전극, 및 화소전극에 접속된 드레인전극을 포함한다. 기수 게이트라인들(G1, G3, G5, G7)에는 기수 액정셀들에 충전된 데이터전압에 동기되는 기수 게이트 펄스가 게이트 구동회로(13)로부터 공급되고, 우수 게이트라인들(G2, G4, G6, G8)에는 우수 액정셀들에 충전된 데이터전압에 동기되는 우수 게이트 펄스가 게이트 구동회로(13)로부터 공급된다. 데이터라인들(D1~D6)에는 데이

터 구동회로(12)에 의해 시분할된 데이터전압들이 공급된다. 따라서, 도 5의 TFT 어레이가 적용된 액정표시장치에서 동일한 라인에 배치된 기수 액정셀들과 우수 액정셀들은 소정의 시차를 두고 데이터전압들을 충전한다.

- [0035] 도 6은 데이터 구동회로(12)의 소스 드라이브 IC의 회로 구성을 보여 주는 도면이다.
- [0036] 도 6을 참조하면, 소스 드라이브 IC 각각은 k(k는 m 보다 작은 양의 정수) 개의 데이터라인들을 구동하며, 쉬프트 레지스터(51), 데이터 복원부(52), 제1 래치 어레이(53), 제2 래치 어레이(54), 디지털-아날로그 변환기(이하, "DAC"라 한다)(55), 차지쉐어회로(Charge Share Circuit)(56) 및 출력회로(57)를 포함한다.
- [0037] 데이터 복원부(52)는 mini LVDS 인터페이스 전송 체계로 입력된 디지털 비디오 데이터(RGBWodd, RGBEven)를 복원하여 제1 래치 어레이(53)에 공급한다. 쉬프트 레지스터(51)는 소스 샘플링 클럭(SSC)에 따라 샘플링신호를 쉬프트시킨다. 또한, 쉬프트 레지스터(51)는 제1 래치 어레이(53)의 래치수를 초과하는 데이터가 공급될 때 캐리신호(Carry signal, CAR)를 발생한다. 제1 래치 어레이(53)는 쉬프트 레지스터(51)로부터 순차적으로 입력되는 샘플링신호에 응답하여 데이터 복원부(52)로부터의 디지털 비디오 데이터(RGBWodd, RGBEven)를 샘플링하여 래치한 다음, 동시에 출력한다. 제2 래치 어레이(54)는 제1 래치 어레이(53)로부터 입력되는 데이터들을 래치한 다음, 소스 출력 인에이블신호(SOEO)의 로우논리기간 동안 다른 소스 드라이브 IC의 제2 래치 어레이(54)와 동시에 래치된 데이터들을 출력한다. DAC(55)는 정극성 감마기준전압들(GMAO₁~GMAO₅)과 부극성 감마기준전압들(GMAO₆~GMAO₁₀)을 이용하여 제2 래치 어레이(54)로부터 입력되는 디지털 비디오 데이터를 정극성 아날로그 데이터전압과 부극성 아날로그 데이터전압으로 변환한다. 그리고 DAC(55)는 극성제어신호(POL_H2)에 응답하여 N 수평기간 주기로 극성이 반전되는 데이터전압을 출력한다. 이를 위하여, DAC(55)는 정극성 감마기준전압들(GMAO₁~GMAO₅)이 공급되는 P-디코더, 부극성 감마기준전압들(GMAO₆~GMAO₁₀)이 공급되는 N-디코더(NDEC), 극성제어신호(POL_H2)에 응답하여 P-디코더의 출력과 N-디코더의 출력을 선택하는 멀티플렉서를 포함한다. 2 도트 인버전 방식에서 극성제어신호(POL_H2)의 논리는 도 11과 같이 2 수평기간 주기로 극성이 반전된다. 따라서, 2 도트 인버전 방식에서, 소스 드라이브 IC들 각각은 2 수평기간 주기로 극성이 반전되는 데이터 전압들을 출력한다. 차지쉐어회로(56)는 소스 출력 인에이블신호(SOEO)의 하이논리기간 동안 이웃한 데이터 출력채널들을 단락(short)시켜 이웃한 데이터전압들의 평균값을 차지쉐어전압으로 출력하거나, 소스 출력 인에이블신호(SOE)의 하이논리기간 동안 데이터 출력채널들에 공통전압(Vcom)을 공급하여 데이터라인들(D1~Dm)에 공급될 정극성 데이터전압과 부극성 데이터전압 사이의 급격한 스윙폭 변화를 줄인다. 출력회로(57)는 버퍼를 이용하여 데이터라인(D1~Dm)에 공급되는 데이터전압의 신호감쇠를 최소화한다.
- [0038] 도 7은 게이트 드라이브 IC의 회로 구성을 보여 주는 도면이다.
- [0039] 도 7을 참조하면, 게이트 드라이브 IC 각각은 쉬프트 레지스터(61), 레벨 쉬프터(63), 쉬프트 레지스터(61)와 레벨 쉬프터(63) 사이에 접속된 다수의 AND 게이트(62) 및 게이트 출력 인에이블신호(GOE)를 반전시키기 위한 인버터(64)를 구비한다.
- [0040] 쉬프트 레지스터(61)는 종속적으로 접속된 다수의 D-플립플롭을 이용하여 게이트 스타트 펄스(GSP)를 게이트 쉬프트 클럭(GSC)에 따라 순차적으로 쉬프트시킨다. AND 게이트들(62) 각각은 쉬프트 레지스터(61)의 출력신호와 게이트 출력 인에이블신호(GOE)의 반전신호를 논리곱하여 출력을 발생한다. 인버터(64)는 게이트 출력 인에이블신호(GOE)를 반전시켜 AND 게이트들(62)에 공급한다. 따라서, 게이트 드라이브 IC는 게이트 출력 인에이블신호(GOE)의 로우논리구간일 때 스캔펄스의 하이논리전압을 출력한다. 레벨 쉬프터(63)는 액정표시패널(10)의 화소 어레이 내에 형성된 TFT의 동작 전압 범위만큼 AND 게이트(62)의 출력전압 스윙폭을 쉬프트시킨다. 레벨 쉬프터(63)의 출력신호는 게이트라인들(G1~Gn)에 순차적으로 공급된다. 한편, 레벨 쉬프터(63)는 쉬프트 레지스터(120)의 앞단에 배치될 수 있고, 쉬프트 레지스터(61)는 화소 어레이의 TFT와 함께 액정표시패널(10)의 유리기판에 직접 형성될 수 있다.
- [0041] 도 8은 2 도트 인버전 방식을 적용할 때 소스 드라이브 IC로부터 출력되는 정극성/부극성 데이터전압의 일례를 보여 주는 도면이다.
- [0042] 도 8을 참조하면, 2 도트 인버전 방식에서 소스 출력 인에이블신호(SOEO)의 펄스는 2 수평기간 주기로 발생된다. 소스 드라이브 IC는 소스 출력 인에이블 신호(SOEO)의 로우 논리기간 동안 정극성/부극성 데이터전압을 출력한다. 그리고 소스 드라이브 IC는 소스 출력 인에이블 신호(SOEO)에서 펄스가 발생하는 하이 논리기간 동안 차지쉐어전압이나 공통전압(Vcom)을 출력한다. 따라서, 소스 드라이브 IC는 2 수평기간 동안 정극성 데이터전압(또는 부극성 데이터 전압)을 데이터라인들에 공급한 후에 차지쉐어전압이나 공통전압(Vcom)을 데이

테라인들에 공급한다. 이어서, 소스 드라이브 IC는 그 다음 2 수평기간 동안 부극성 데이터전압(또는 정극성 데이터전압)을 데이터라인들에 공급한다.

[0043] 감마기준전압들(GMAO₁~GMAO₅, GMAO₆~GMAO₁₀)의 절대치 전위는 감마전압 제어회로(16) 및 감마전압 조정회로(17)에 의해 선택적으로 조정된다. 데이터전압의 극성이 반전되는 A 기간 동안, 도 3 및 도 8과 같이 제1 및 제2 감마전압 제어신호(CT1, CT2)의 논리는 하이논리로 발생된다. 데이터전압의 극성이 반전되는 A 기간 동안, 감마기준전압들(GMAO₁~GMAO₅, GMAO₆~GMAO₁₀)의 절대치 전위는 도 3 및 도 9와 같이 GMA+α로 상승한다. 연속되는 두 개의 동일 극성의 데이터전압들 사이의 B 기간 동안, 도 3 및 도 8과 같이 제1 및 제2 감마전압 제어신호(CT1, CT2)의 논리는 로우논리로 반전된다. 이렇게, 앞선 데이터전압과 같은 극성의 데이터전압이 데이터라인들(D1~Dm)에 공급되기 전의 B 기간 동안, 제2 감마전압 제어신호(CT2)의 로우논리기간 만큼 감마기준전압들(GMAO₁~GMAO₅, GMAO₆~GMAO₁₀)의 절대치 전위는 도 3 및 도 9와 같이 GMA-α로 상승한다. 액정셀에 충전된 정극성/부극성 데이터전압이 데이터라인들(D1~Dm)에 공급되는 C 기간 동안에는 제1 및 제2 감마전압 제어신호의 논리가 상반된다. 이 C 기간 동안, 감마기준전압들(GMAO₁~GMAO₅, GMAO₆~GMAO₁₀)의 절대치 전위는 도 3 및 도 9와 같이 기존과 동일하게 GMA 전위로 유지된다. 따라서, A 기간 동안 소스 드라이브 IC로부터 출력되는 정극성/부극성 데이터 전압의 절대치 전위는 정상적인 전위보다 큰 전위로 높아지는 반면, C 기간 동안 소스 드라이브 IC로부터 출력되는 정극성/부극성 데이터 전압의 절대치 전위는 정상적인 전위보다 작은 전위로 낮아진다. 그리고 액정셀들에 충전되는 정극성/부극성 데이터전압이 소스 드라이브 IC로부터 출력되는 B 기간 동안 그 정극성/부극성 데이터 전압은 정상적인 감마보상전압 전위로 발생된다. 제1 감마전압 제어신호(CT1)의 펄스폭과 제2 감마전압 제어신호(CT1)의 로우 논리기간은 동일한 극성으로 연속적으로 발생하는 데이터 전압의 충전량이 동일하게 되도록 조정되어야 한다.

[0044] 도 10은 감마전압 제어회로(16)의 일예를 보여 주는 회로도이다. 도 11은 감마전압 제어회로(16)의 입/출력 파형을 보여 주는 파형도이다.

[0045] 도 10을 참조하면, 감마전압 제어회로(16)는 배타적 논리합(Exclusive OR gate, EOR) 게이트, AND 게이트, 및 EOR 게이트와 AND 게이트의 출력단에 종속적으로 접속된(cascade) 다수의 D 플립플롭(F/F)을 구비한다.

[0046] EOR 게이트는 내부 극성제어신호(POL_H1)와 내부 소스 출력 인에이블신호(SOEI)의 논리가 서로 다를 때 하이 논리의 출력신호(CT2_T)를 발생하고 그 이외의 경우에 로우 논리의 출력신호(CT2_T)를 발생하는 배타적 논리합 연산을 처리한다. AND 게이트는 내부 극성제어신호(POL_H1)와 내부 소스 출력 인에이블신호(SOEI)의 논리가 하이 논리일 때 하이 논리의 출력신호(CT1_T)를 발생하고 그 이외의 경우에 로우 논리의 출력신호(CT1_T)를 발생하는 논리곱 연산을 처리한다. D 플립플롭들(F/F)은 클럭신호(CLK)에 따라 순차적으로 출력을 발생함으로써 AND 게이트의 출력(CT1_T)와 EOR 게이트의 출력(CT2_T)을 지연시킨다. 따라서, 제1 및 제2 감마전압 제어신호(CT1, CT2)는 CT1_T 및 CT2_T 신호로부터 소정의 시간만큼 지연된다. 지연 시간은 D 플립플롭들(F/F)의 개수에 따라 조정될 수 있다.

[0047] 본 발명은 2 도트 이상의 인버전 방식으로 액정표시패널을 구동할 때, 내부 소스 출력 인에이블신호(POL_H1)와 내부 소스 출력 인에이블 신호(SOEI)를 조정하여 전술한 바와 같이 제1 및 제2 감마전압 제어신호(CT1, CT2)를 도 13과 같이 조정할 수 있다.

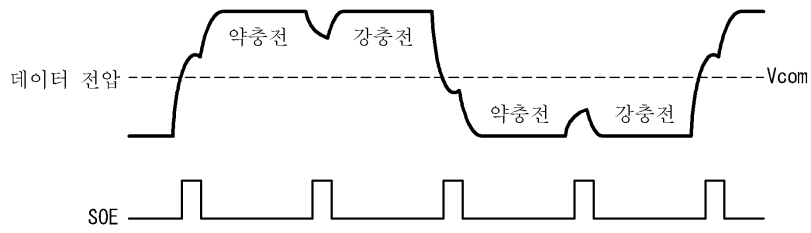
[0048] 도 12는 감마전압 조정회로(17)의 일예를 보여 주는 회로도이다.

[0049] 도 12를 참조하면, 감마전압 조정회로(17)는 내부 정극성/부극성 감마기준전압들(GMAI₁~GMAI₁₀)이 입력되는 연산 증폭기들(Operational Amplifier, OP amp), 감마전압 제어회로(16)의 출력단자와 연산 증폭기 각각의 반전 입력 단자(-) 사이에 접속된 저항들(R_CT1, R_CT2), 및 연산 증폭기 각각의 반전 입력단자(-)와 출력단자 사이에 접속된 저항(Ra_1, Ra_2)를 구비한다.

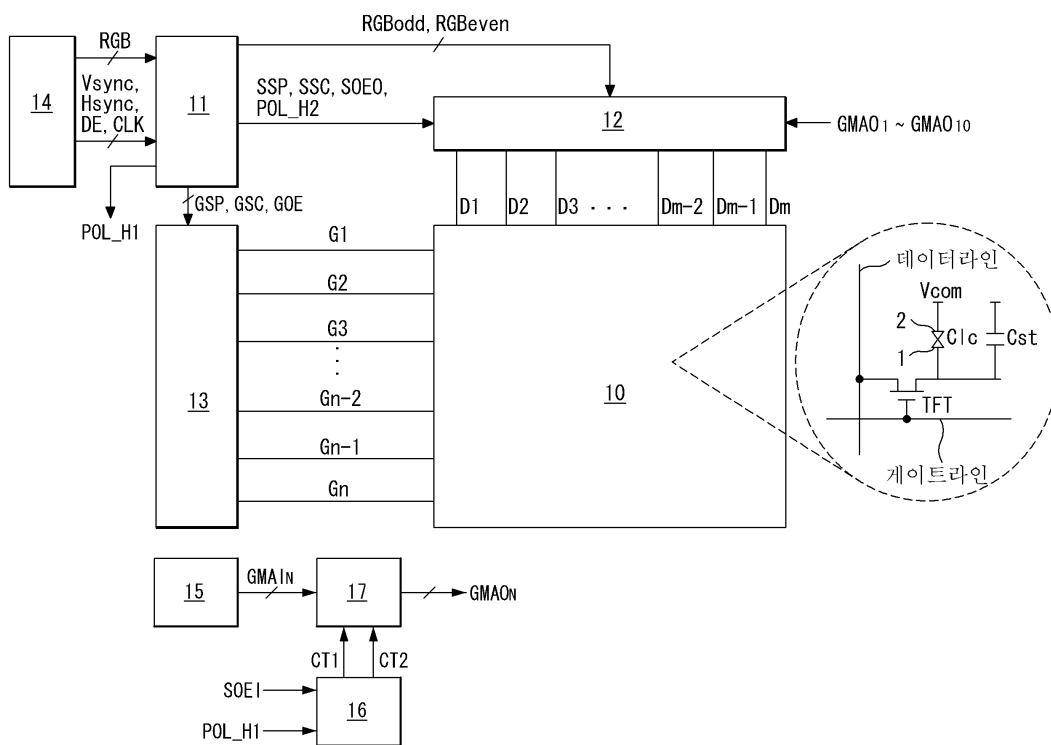
[0050] 연산 증폭기들의 비반전 입력단자(+)는 감마전압 발생회로(15)의 분압 회로의 출력단자들에 접속된다. 따라서, 연산 증폭기 각각의 비반전 입력단자(+)에는 내부 정극성/부극성 감마기준전압들(GMAI₁~GMAI₁₀)이 입력된다. 이러한 연산 증폭기들로부터 출력되는 정극성/부극성 감마기준전압들(GMAO₁~GMAO₅, GMAO₆~GMAO₁₀)의 절대치 전위는 아래의 수학적 식 1과 같이 제1 및 제2 감마전압 제어신호(CT1, CT2)에 따라 선택적으로 높아지거나 낮아질 수 있다.

도면

도면1



도면2

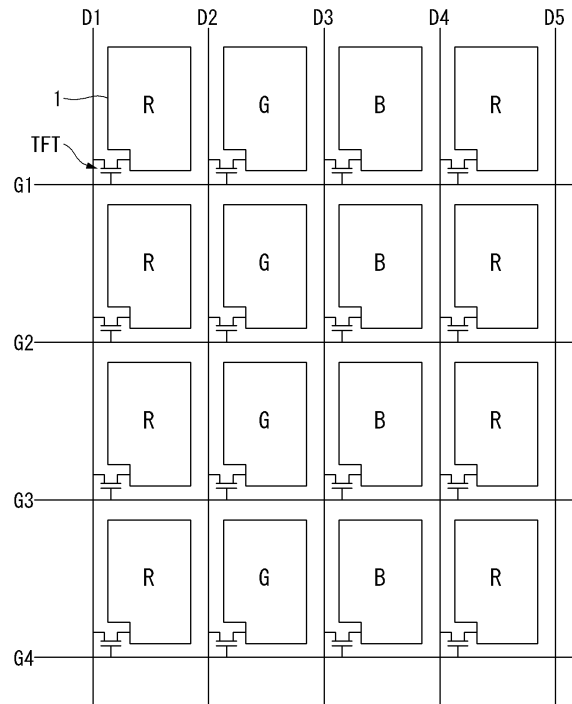


도면3

CT_1	CT_2	GMAO
0	0	GMA- α (약충전)
0	1	GMA
1	0	X
1	1	GMA+ α (강충전)

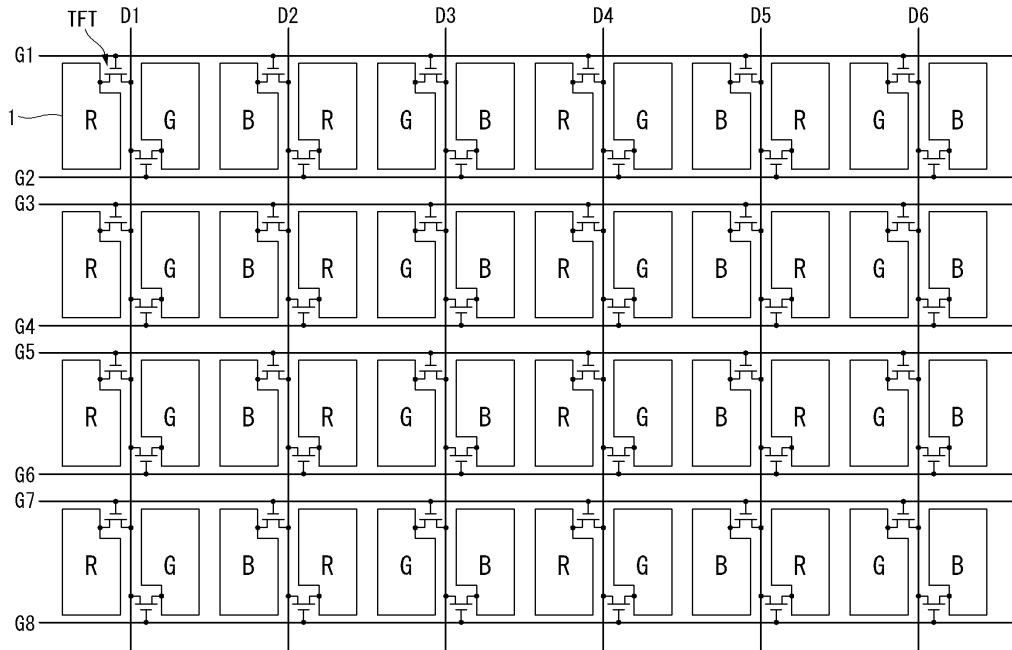
도면4

10



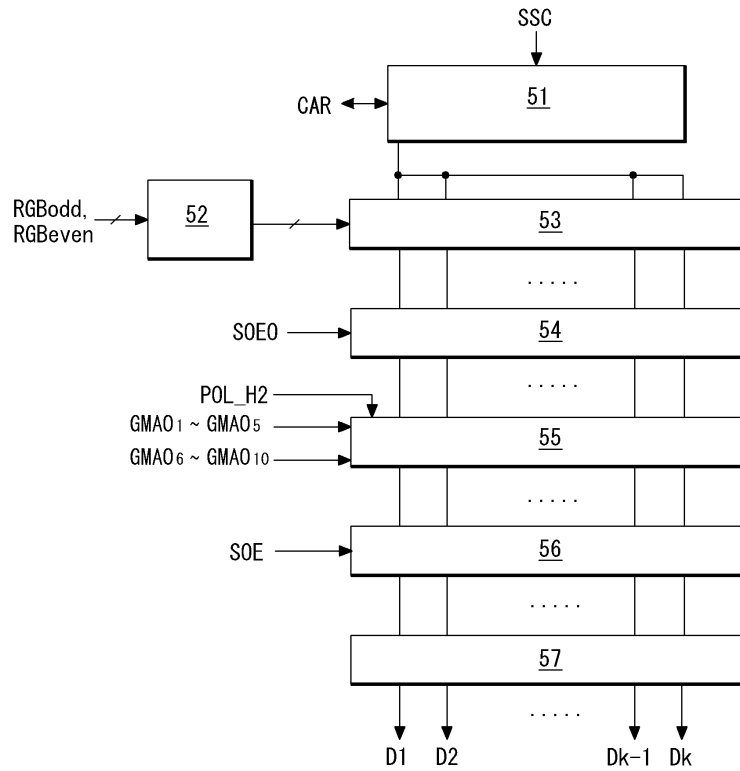
도면5

10



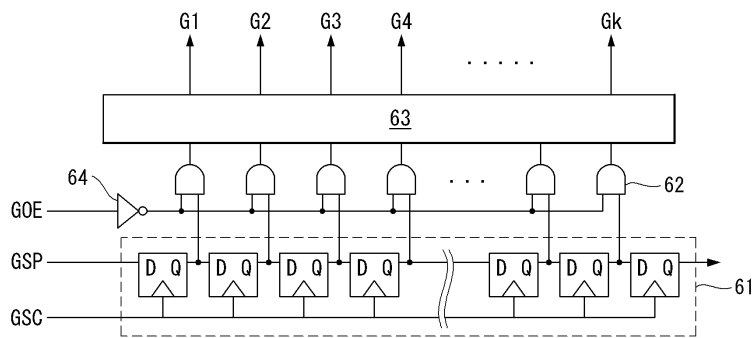
도면6

12

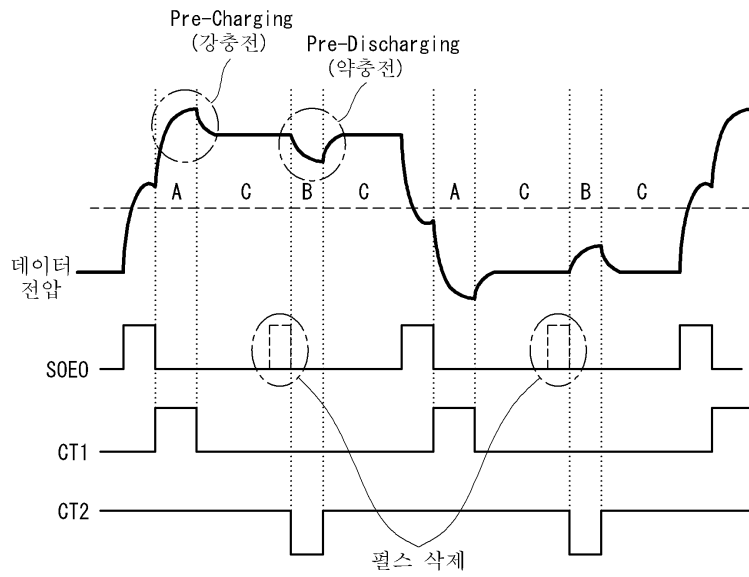


도면7

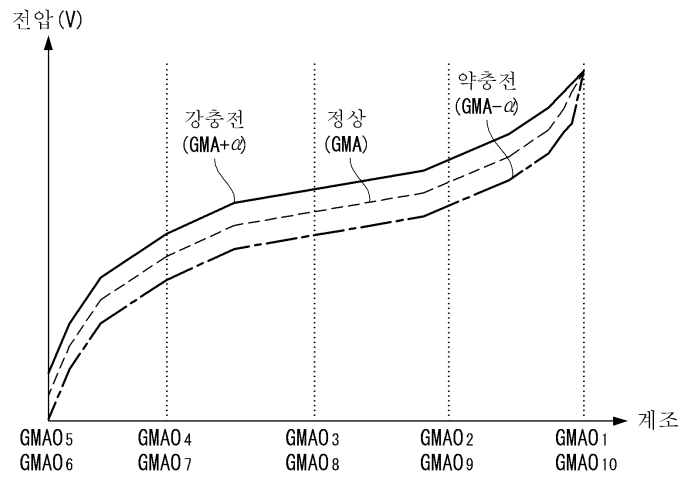
13



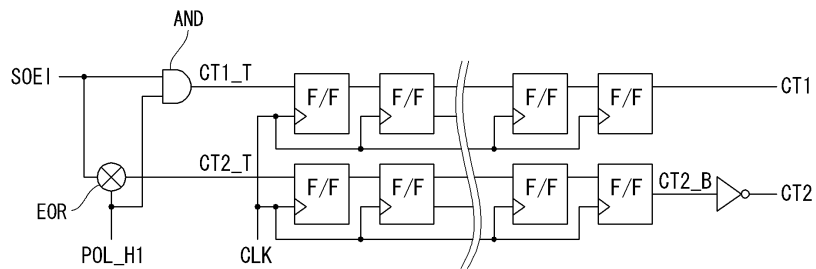
도면8



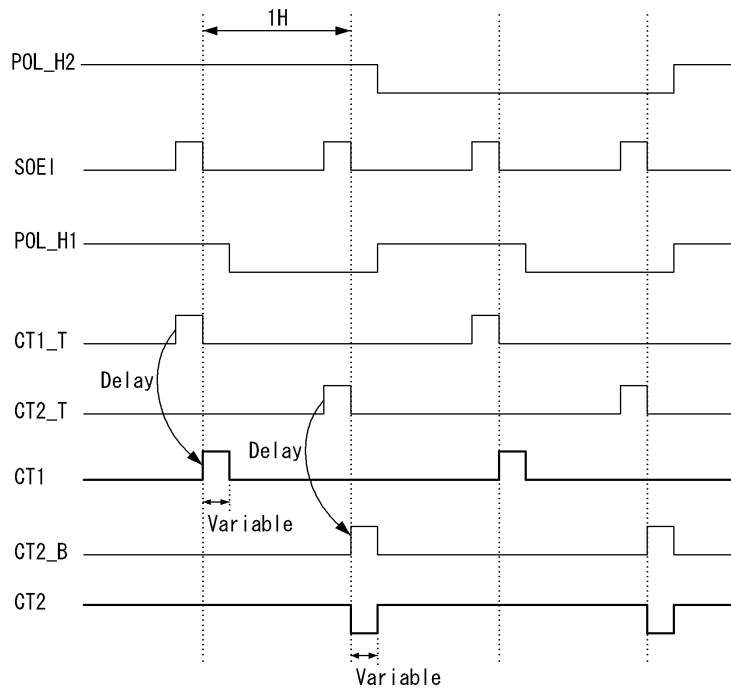
도면9



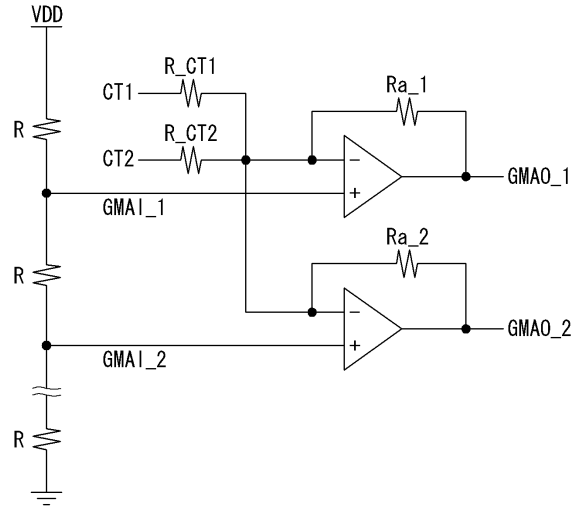
도면10



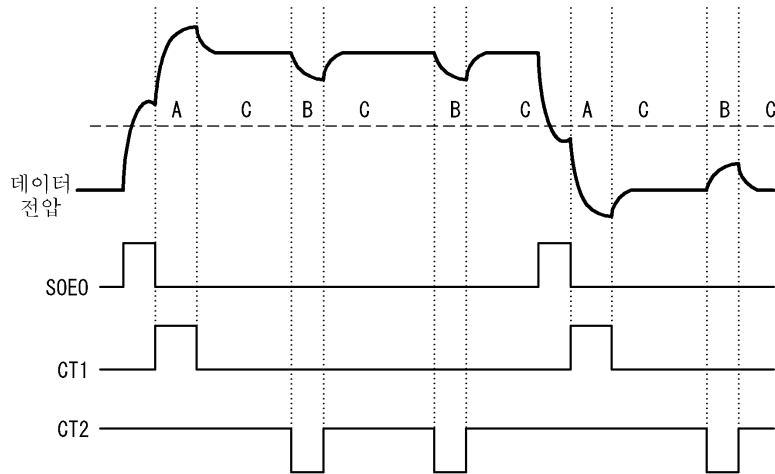
도면11



도면12



도면13



专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	KR1020100119322A	公开(公告)日	2010-11-09
申请号	KR1020090038381	申请日	2009-04-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHO CHANG HUN 조창훈 KIM JIN SUNG 김진성 KIM HYUN CHUL 김현철		
发明人	조창훈 김진성 김현철		
IPC分类号	G09G3/36 G02F1/133		
CPC分类号	G09G2320/0233 G09G2320/0673 G09G3/3614 G09G3/3648 G09G2310/0248 G09G3/3611		
其他公开文献	KR101330415B1		
外部链接	Espacenet		

摘要(译)

目的：提供一种液晶显示器及其驱动方法，以通过分别增加正/负伽马参考电压的电位来进行点反转中的数据充电/放电。组成：LCD面板包括数据线，栅极线和液晶单元。数据驱动电路将数字视频数据转换为正/负数据电压。数据驱动电路向数据线提供正/负数据电压。伽马电压调节单元分别增加正/负伽马基准电压的电势。栅极驱动电路向栅极线提供扫描脉冲。

