



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0108249  
(43) 공개일자 2010년10월06일

(51) Int. Cl.

G09G 3/36 (2006.01) G02F 1/133 (2006.01)

(21) 출원번호 10-2010-0026594

(22) 출원일자 2010년03월25일

심사청구일자 없음

(30) 우선권주장

JP-P-2009-077200 2009년03월26일 일본(JP)

(71) 출원인

가부시키가이샤 한도오파이 에네루기 켄큐쇼

일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자

기무라 하지메

일본 243-0036 가나가와켄 아쓰기시 하세 398 가

부시키가이샤 한도오파이 에네루기 켄큐쇼 내

우메자키 아츠시

일본 243-0036 가나가와켄 아쓰기시 하세 398 가

부시키가이샤 한도오파이 에네루기 켄큐쇼 내

(74) 대리인

장훈

전체 청구항 수 : 총 25 항

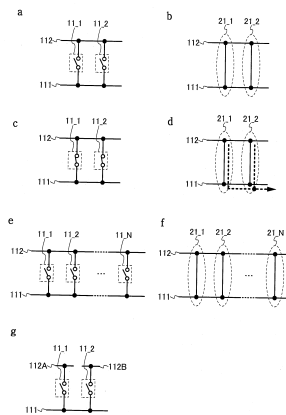
(54) 액정 표시 장치, 액정 표시 장치의 구동 방법, 및 액정 표시 장치를 구비한 전자 기기

(57) 요약

구동 회로에 있어서의 트랜지스터의 특성 열화를 억제하는 것을 과제의 하나로 한다.

제 1 입력 신호에 따라서 온 또는 오프됨으로써 출력 신호의 전위 상태를 설정하는지의 여부를 제어하는 제 1 스위치와, 제 2 입력 신호에 따라서 온 또는 오프됨으로써 출력 신호의 전위 상태를 설정하는지의 여부를 제어하는 제 2 스위치를 가지고, 제 1 스위치 또는 제 2 스위치가 온 또는 오프됨으로써 제 1 배선과 제 2 배선이 도통 상태 또는 비도통 상태로 된다.

대표도 - 도1



## 특허청구의 범위

### 청구항 1

제 1 입력 신호, 제 2 입력 신호, 및 제 3 입력 신호가 입력되고, 출력 신호가 출력되는 구동 회로; 및  
 액정 소자가 포함되고 상기 액정 소자에 인가되는 전압은 상기 출력 신호에 따라 설정되는 화소를 포함하고,  
 상기 구동 회로는,

상기 제 3 입력 신호에 따라 온 및 오프되도록 구성된 제 1 스위치 및 제 2 스위치;

상기 제 1 입력 신호에 따라 상기 제 3 스위치를 온 및 오프함으로써 상기 출력 신호의 전위 상태를 설정하는지 여부를 제어하는 제 3 스위치로서, 상기 제 1 입력 신호의 입력은 상기 제 3 입력 신호에 따라 상기 제 1 스위치를 온 및 오프함으로써 제어되는, 상기 제 3 스위치; 및

상기 제 2 입력 신호에 따라 상기 제 4 스위치를 온 및 오프함으로써 상기 출력 신호의 전위 상태를 설정하는지 여부를 제어하는 제 4 스위치로서, 상기 제 2 입력 신호의 입력은 상기 제 3 입력 신호에 따라 상기 제 2 스위치를 온 및 오프함으로써 제어되는, 상기 제 4 스위치를 포함하는, 액정 표시 장치.

### 청구항 2

적어도 제 1 항에 기재된 상기 액정 표시 장치 및 상기 액정 표시 장치의 동작을 제어하도록 구성된 조작 스위치를 포함하는, 전자 기기.

### 청구항 3

제 1 입력 신호, 제 2 입력 신호, 및 제 3 입력 신호가 입력되고, 출력 신호가 출력되는 구동 회로; 및  
 액정 소자가 포함되고 상기 액정 소자에 인가된 전압이 상기 출력 신호에 따라 설정되는 화소를 포함하고,

상기 구동 회로는 게이트, 소스, 및 드레인을 갖는 제 1 트랜지스터; 게이트, 소스, 및 드레인을 갖는 제 2 트랜지스터; 게이트, 소스, 및 드레인을 갖는 제 3 트랜지스터; 및 게이트, 소스, 및 드레인을 갖는 제 4 트랜지스터를 포함하고,

상기 제 3 입력 신호는 상기 제 1 트랜지스터의 상기 게이트에 입력되고, 상기 제 1 입력 신호는 상기 제 1 트랜지스터의 상기 소스 및 상기 드레인 중 하나에 입력되고,

상기 제 3 입력 신호는 상기 제 2 트랜지스터의 상기 게이트에 입력되고, 상기 제 2 입력 신호는 상기 제 2 트랜지스터의 상기 소스 및 상기 드레인 중 하나에 입력되고,

상기 제 3 트랜지스터의 상기 게이트는 상기 제 1 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나에 전기적으로 접속되고,

상기 제 4 트랜지스터의 상기 게이트는 상기 제 2 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나에 전기적으로 접속되고,

상기 출력 신호의 전위 상태는 상기 제 3 트랜지스터 및 상기 제 4 트랜지스터를 온 및 오프함으로써 제어되는, 액정 표시 장치.

### 청구항 4

제 3 항에 있어서,

상기 제 3 트랜지스터의 채널 폭은 상기 제 4 트랜지스터의 채널 폭과 같은, 액정 표시 장치.

### 청구항 5

제 3 항에 있어서,

상기 제 1 트랜지스터의 채널 폭은 상기 제 3 트랜지스터의 상기 채널 폭 보다 작고,

상기 제 2 트랜지스터의 채널 폭은 상기 제 4 트랜지스터의 상기 채널 폭 보다 작은, 액정 표시 장치.

**청구항 6**

제 3 항에 있어서,

상기 제 1 트랜지스터의 채널 폭은 상기 제 2 트랜지스터의 채널 폭과 같은, 액정 표시 장치.

**청구항 7**

적어도 제 3 항에 기재된 액정 표시 장치 및 상기 액정 표시 장치의 동작을 제어하도록 구성된 조작 스위치를 포함하는, 전자 기기.

**청구항 8**

제 1 입력 신호, 제 2 입력 신호, 제 3 입력 신호, 및 제 4 입력 신호가 입력되고, 출력 신호가 출력되는 구동 회로; 및

액정 소자가 포함되고 상기 액정 소자에 인가되는 전압은 상기 출력 신호에 따라 설정되는 화소를 포함하고,

상기 구동 회로는,

상기 제 1 입력 신호가 입력되는 제 1 배선;

상기 제 2 입력 신호가 입력되는 제 2 배선;

상기 제 3 입력 신호가 입력되는 제 3 배선;

상기 제 4 입력 신호가 입력되는 제 4 배선;

게이트, 소스, 및 드레인을 갖는 제 1 트랜지스터;

게이트, 소스, 및 드레인을 갖는 제 2 트랜지스터;

게이트, 소스, 및 드레인을 갖는 제 3 트랜지스터;

게이트, 소스, 및 드레인을 갖는 제 4 트랜지스터; 및

제 5 배선을 포함하고,

상기 제 1 트랜지스터의 상기 게이트는 상기 제 3 배선에 전기적으로 접속되고, 상기 제 1 트랜지스터의 상기 소스 및 상기 드레인 중 하나는 상기 제 1 배선에 전기적으로 접속되고,

상기 제 2 트랜지스터의 상기 게이트는 상기 제 3 배선에 전기적으로 접속되고, 상기 제 2 트랜지스터의 상기 소스 및 상기 드레인 중 하나는 상기 제 2 배선에 전기적으로 접속되고,

상기 제 3 트랜지스터의 상기 게이트는 상기 제 1 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나에 전기적으로 접속되고, 상기 제 3 트랜지스터의 상기 소스 및 상기 드레인 중 하나는 상기 제 4 배선에 전기적으로 접속되고,

상기 제 4 트랜지스터의 상기 게이트는 상기 제 2 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나에 전기적으로 접속되고, 상기 제 4 트랜지스터의 상기 소스 및 상기 드레인 중 하나는 상기 제 4 배선에 전기적으로 접속되고,

상기 제 5 배선은 상기 제 3 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나 및 상기 제 4 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나에 전기적으로 접속되고, 상기 제 5 배선에 인가된 전위는 상기 출력 신호의 전위와 같은, 액정 표시 장치.

**청구항 9**

제 8 항에 있어서,

상기 제 3 트랜지스터의 채널 폭은 상기 제 4 트랜지스터의 채널 폭과 같은, 액정 표시 장치.

**청구항 10**

제 8 항에 있어서,

상기 제 1 트랜지스터의 채널 폭은 상기 제 3 트랜지스터의 상기 채널 폭 보다 작고,

상기 제 2 트랜지스터의 채널 폭은 상기 제 4 트랜지스터의 상기 채널 폭 보다 작은, 액정 표시 장치.

**청구항 11**

제 8 항에 있어서,

상기 제 1 트랜지스터의 채널 폭은 상기 제 2 트랜지스터의 채널 폭과 같은, 액정 표시 장치.

**청구항 12**

적어도 제 8 항에 기재된 액정 표시 장치 및 상기 액정 표시 장치의 동작을 제어하도록 구성된 조작 스위치를 포함하는, 전자 기기.

**청구항 13**

제 1 입력 신호, 제 2 입력 신호, 제 3 입력 신호, 및 제 4 입력 신호가 입력되고, 출력 신호가 출력되는 구동 회로; 및

액정 소자가 포함되고 상기 액정 소자에 인가되는 전압은 상기 출력 신호에 따라 설정되는 화소를 포함하고,

상기 구동 회로는,

상기 제 1 입력 신호가 입력되는 제 1 배선;

상기 제 2 입력 신호가 입력되는 제 2 배선;

상기 제 3 입력 신호가 입력되는 제 3 배선;

상기 제 4 입력 신호가 입력되는 제 4 배선;

게이트, 소스, 및 드레인을 갖는 제 1 트랜지스터;

게이트, 소스, 및 드레인을 갖는 제 2 트랜지스터;

게이트, 소스, 및 드레인을 갖는 제 3 트랜지스터;

게이트, 소스, 및 드레인을 갖는 제 4 트랜지스터; 및

제 5 배선을 포함하고,

상기 제 1 트랜지스터의 상기 게이트 및 상기 소스 및 상기 드레인 중 하나는 상기 제 1 배선에 전기적으로 접속되고,

상기 제 2 트랜지스터의 상기 게이트 및 상기 소스 및 상기 드레인 중 하나는 상기 제 2 배선에 전기적으로 접속되고,

상기 제 3 트랜지스터의 상기 게이트는 상기 제 1 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나에 전기적으로 접속되고, 상기 제 3 트랜지스터의 상기 소스 및 상기 드레인 중 하나는 상기 제 3 배선에 전기적으로 접속되고,

상기 제 4 트랜지스터의 상기 게이트는 상기 제 2 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나에 전기적으로 접속되고, 상기 제 4 트랜지스터의 상기 소스 및 상기 드레인 중 하나는 상기 제 4 배선에 전기적으로 접속되고,

상기 제 5 배선은 상기 제 3 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나 및 상기 제 4 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나에 전기적으로 접속되고, 상기 제 5 배선에 인가된 전위는 상기 출력 신호의 전위와 같은, 액정 표시 장치.

**청구항 14**

제 13 항에 있어서,

상기 제 3 트랜지스터의 채널 폭은 상기 제 4 트랜지스터의 채널 폭과 같은, 액정 표시 장치.

**청구항 15**

제 13 항에 있어서,

상기 제 1 트랜지스터의 채널 폭은 상기 제 3 트랜지스터의 상기 채널 폭 보다 작고,

상기 제 2 트랜지스터의 채널 폭은 상기 제 4 트랜지스터의 상기 채널 폭 보다 작은, 액정 표시 장치.

**청구항 16**

제 13 항에 있어서,

상기 제 1 트랜지스터의 채널 폭은 상기 제 2 트랜지스터의 채널 폭과 같은, 액정 표시 장치.

**청구항 17**

적어도 제 13 항에 기재된 액정 표시 장치 및 상기 액정 표시 장치의 동작을 제어하도록 구성된 조작 스위치를 포함하는, 전자 기기.

**청구항 18**

제 1 입력 신호 및 제 2 입력 신호가 입력되고, 출력 신호가 출력되는 구동 회로; 및

액정 소자가 포함되고 상기 액정 소자에 인가되는 전압은 상기 출력 신호에 따라 설정되는 화소를 포함하고,

상기 구동 회로는,

상기 제 1 입력 신호가 입력되는 제 1 배선;

상기 제 2 입력 신호가 입력되는 제 2 배선;

게이트, 소스, 및 드레인을 갖는 제 1 트랜지스터;

게이트, 소스, 및 드레인을 갖는 제 2 트랜지스터;

게이트, 소스, 및 드레인을 갖는 제 3 트랜지스터;

게이트, 소스, 및 드레인을 갖는 제 4 트랜지스터; 및

제 3 배선을 포함하고,

상기 제 1 트랜지스터의 상기 게이트 및 상기 소스 및 상기 드레인 중 하나는 상기 제 1 배선에 전기적으로 접속되고,

상기 제 2 트랜지스터의 상기 게이트 및 상기 소스 및 상기 드레인 중 하나는 상기 제 2 배선에 전기적으로 접속되고,

상기 제 3 트랜지스터의 상기 게이트 및 상기 소스 및 상기 드레인 중 하나는 상기 제 1 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나에 전기적으로 접속되고,

상기 제 4 트랜지스터의 상기 게이트 및 상기 소스 및 상기 드레인 중 하나는 상기 제 2 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나에 전기적으로 접속되고,

상기 제 3 배선은 상기 제 3 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나 및 상기 제 4 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나에 전기적으로 접속되고, 상기 제 3 배선에 인가된 전위는 상기 출력 신호의 전위와 같은, 액정 표시 장치.

**청구항 19**

제 18 항에 있어서,

상기 제 3 트랜지스터의 채널 폭은 상기 제 4 트랜지스터의 채널 폭과 같은, 액정 표시 장치.

**청구항 20**

제 18 항에 있어서,

상기 제 1 트랜지스터의 채널 폭은 상기 제 3 트랜지스터의 상기 채널 폭 보다 작고,

상기 제 2 트랜지스터의 채널 폭은 상기 제 4 트랜지스터의 상기 채널 폭 보다 작은, 액정 표시 장치.

**청구항 21**

제 18 항에 있어서,

상기 제 1 트랜지스터의 채널 폭은 상기 제 2 트랜지스터의 채널 폭과 같은, 액정 표시 장치.

**청구항 22**

적어도 제 18 항에 기재된 액정 표시 장치 및 상기 액정 표시 장치의 동작을 제어하도록 구성된 조작 스위치를 포함하는, 전자 기기.

**청구항 23**

제 1 입력 신호 및 제 2 입력 신호가 입력되고, 출력 신호가 출력되는 구동 회로; 및

액정 소자가 포함되고 상기 액정 소자에 인가되는 전압은 상기 출력 신호에 따라 설정되는 화소를 포함하고,

상기 구동 회로는,

상기 제 1 입력 신호가 입력되는 제 1 배선;

상기 제 2 입력 신호가 입력되는 제 2 배선;

게이트, 소스, 및 드레인을 갖는 제 1 트랜지스터;

게이트, 소스, 및 드레인을 갖는 제 2 트랜지스터;

양극 및 음극을 갖는 제 1 다이오드;

양극 및 음극을 갖는 제 2 다이오드; 및

제 3 배선을 포함하고,

상기 제 1 트랜지스터의 상기 게이트 및 상기 소스 및 상기 드레인 중 하나는 상기 제 1 배선에 전기적으로 접속되고,

상기 제 2 트랜지스터의 상기 게이트 및 상기 소스 및 상기 드레인 중 하나는 상기 제 2 배선에 전기적으로 접속되고,

상기 제 1 다이오드의 상기 양극은 상기 제 1 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나에 전기적으로 접속되고,

상기 제 2 다이오드의 상기 양극은 상기 제 2 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나에 전기적으로 접속되고,

상기 제 3 배선은 상기 제 1 다이오드의 상기 음극 및 상기 제 2 다이오드의 상기 음극에 전기적으로 접속되고, 상기 제 3 배선에 인가된 전위는 상기 출력 신호의 전위와 같은, 액정 표시 장치.

**청구항 24**

제 23 항에 있어서,

상기 제 1 트랜지스터의 채널 폭은 상기 제 2 트랜지스터의 채널 폭과 같은, 액정 표시 장치.

**청구항 25**

적어도 제 23 항에 기재된 액정 표시 장치 및 상기 액정 표시 장치의 동작을 제어하도록 구성된 조작 스위치를

포함하는, 전자 기기.

## 명세서

### 기술분야

- [0001] 반도체 장치, 표시 장치, 액정 표시 장치, 이들의 구동 방법, 또는 이들을 생산하는 방법에 관한 것이다. 특히, 화소부와 동일한 기관에 형성되는 구동 회로를 가지는 반도체 장치, 표시 장치, 액정 표시 장치, 또는 이들의 구동 방법에 관한 것이다. 또는, 상기 반도체 장치, 상기 표시 장치, 또는 상기 액정 표시 장치를 가지는 전자 기기에 관한 것이다.

### 배경기술

- [0002] 최근, 표시 장치는, 액정 텔레비전 등의 대형 표시 장치의 증가로 인해, 활발하게 개발이 진행되고 있다. 특히, 비단결정 반도체에 의해 구성되는 트랜지스터를 사용하여, 화소부와 동일한 기관에 게이트 드라이버 등의 구동 회로를 구성하는 기술은, 비용의 저감, 신뢰성의 향상에 크게 공헌하기 위해서, 활발하게 개발이 진행되고 있다.

- [0003] 비단결정 반도체에 의해 구성되는 트랜지스터는, 임계치 전압의 변동, 또는 이동도의 저하 등의 열화가 생긴다. 이 트랜지스터의 열화가 진행되면, 구동 회로가 동작하기 어려워져, 화상을 표시할 수 없게 되는 문제가 있다. 그래서, 특허문헌 1, 특허문헌 2, 및 비특허문헌 1에는, 플립플롭의 출력 신호를 L 레벨(로우 레벨이라고도 함)로 낮추는 기능을 가지는 트랜지스터(이하, 풀다운 트랜지스터라고도 함)의 열화를 억제할 수 있는 시프트 레지스터가 개시되어 있다. 이들의 문헌에서는, 2개의 풀다운 트랜지스터가 사용된다. 이 2개의 풀다운 트랜지스터는, 플립플롭의 출력 단자와, VSS(이하 부전원)가 공급되는 배선과의 사이에 접속된다. 그리고, 한쪽의 풀다운 트랜지스터와, 다른쪽의 풀다운 트랜지스터가 교대로 온(온 상태라고도 함)으로 된다. 이렇게 함으로써, 각각의 풀다운 트랜지스터가 온으로 되는 시간이 짧아지므로, 풀다운 트랜지스터의 특성 열화를 억제할 수 있다.

### 선행기술문헌

#### 특허문헌

- [0004] (특허문헌 0001) 일본 공개특허공보 2005-50502호  
(특허문헌 0002) 일본 공개특허공보 2006-24350호

#### 비특허문헌

- [0005] (비특허문헌 0001) Yong Ho Jang, et al., "Integrated Gate Driver Circuit Using a-Si TFT with Dual Pull-down Structure", Proceedings of The 11th International Display Workshops 2004, pp. 333-336

### 발명의 내용

#### 해결하려는 과제

- [0006] 종래의 기술의 구성에 있어서, 출력 신호를 하이 레벨로 제어하기 위한 트랜지스터(이하, 풀업 트랜지스터라고도 함)의 게이트의 전위는, 정전원 전압, 또는 클럭 신호의 하이 레벨의 전위보다도 높아지는 경우가 있다. 이 때문에, 풀업 트랜지스터에는, 큰 전압이 인가되는 경우가 있다. 또는, 풀업 트랜지스터의 게이트와 접속되는 트랜지스터에는, 큰 전압이 인가되는 경우가 있다. 또는, 트랜지스터가 열화하여도, 시프트 레지스터가 동작하도록, 시프트 레지스터를 구성하는 트랜지스터의 채널 폭이 큰 경우가 있다. 또는, 트랜지스터의 채널 폭이 크면, 트랜지스터의 게이트와, 소스 또는 드레인 사이에서 단락(short)하기 쉬워지는 경우가 있다. 또는, 트랜지스터의 채널 폭이 커지면, 시프트 레지스터를 구성하는 각 트랜지스터에서의 기생 용량이 증가하여 버리는 경우가 있다.

[0007] 본 발명의 일 형태는, 트랜지스터의 특성 열화를 억제하는 것을 과제로 한다. 또는, 본 발명의 일 형태는, 트랜지스터의 채널 폭을 작게 하는 것을 과제로 한다. 또는, 본 발명의 일 형태는, 풀업 트랜지스터의 특성 열화의 억제하거나, 또는 채널 폭을 작게 하는 것을 과제로 한다. 또는, 본 발명의 일 형태는, 출력 신호의 진폭을 크게 하는 것을 과제로 한다. 또는, 본 발명의 일 형태는, 화소가 가지는 트랜지스터의 온 시간을 길게 하는 것을 과제로 한다. 또는, 본 발명의 일 형태는, 화소로의 기록 부족을 개선하는 것을 과제로 한다. 또는, 본 발명의 일 형태는, 출력 신호의 하강 시간을 짧게 하는 것을 과제로 한다. 또는, 본 발명의 일 형태는, 출력 신호의 상승 시간을 짧게 하는 것을 과제로 한다. 또는, 본 발명의 일 형태는, 어떤 행에 속하는 화소에, 다른 행에 속하는 화소로의 비디오 신호가 기록되는 것을 방지하는 것을 과제로 한다. 또는, 구동 회로의 출력 신호의 하강 시간의 편차를 저감하는 것을 과제로 한다. 또는, 각 화소로의 피드스루(feedthrough)의 영향을 일정하게 하는 것을 과제로 한다. 또는, 크로스토크를 저감하는 것을 과제로 한다. 또는, 본 발명의 일 형태는, 레이아웃 면적을 작게 하는 것을 과제로 한다. 또는, 본 발명의 일 형태는, 표시 장치의 프레임을 좁게 하는 것을 과제로 한다. 또는, 본 발명의 일 형태는, 표시 장치를 고정세로 하는 것을 과제로 한다. 또는, 본 발명의 일 형태는, 제조 수율을 높이는 것을 과제로 한다. 또는, 본 발명의 일 형태는, 제조 비용을 저감하는 것을 과제로 한다. 또는, 본 발명의 일 형태는, 출력 신호의 무더짐을 저감하는 것을 과제로 한다. 또는, 본 발명의 일 형태는, 출력 신호의 지연을 저감하는 것을 과제로 한다. 또는, 본 발명의 일 형태는, 소비 전력을 저감하는 것을 과제로 한다. 또는, 본 발명의 일 형태는, 외부 회로의 전류 공급 능력을 작게 하는 것을 과제로 한다. 또는, 본 발명의 일 형태는, 외부 회로의 크기, 또는 상기 외부 회로를 가지는 표시 장치의 크기를 작게 하는 것을 과제로 한다. 또한, 이들 과제의 기재는, 다른 과제의 존재를 방해하는 것이 아니다. 또한, 본 발명의 일 형태는, 이들 과제의 전부를 해결할 필요는 없는 것으로 한다.

**과제의 해결 수단**

[0008] 본 발명의 일 형태는, 제 1 입력 신호, 제 2 입력 신호, 및 제 3 입력 신호가 입력되고, 출력 신호를 출력하는 구동 회로와, 액정 소자를 가지고, 출력 신호에 따라서 액정 소자에 인가되는 전압이 설정되는 화소를 가지고, 구동 회로는, 제 3 입력 신호에 따라서 온 또는 오프되는 제 1 스위치 및 제 2 스위치와, 제 1 스위치가 온 또는 오프됨으로써 제 1 입력 신호가 입력되는지의 여부가 제어되고, 제 1 입력 신호에 따라서 온 또는 오프됨으로써 출력 신호의 전위 상태를 설정하는지의 여부를 제어하는 제 3 스위치와, 제 2 스위치가 온 또는 오프됨으로써 제 2 입력 신호가 입력되는지의 여부가 제어되고, 제 2 입력 신호에 따라서 온 또는 오프됨으로써 출력 신호의 전위 상태를 설정하는지의 여부를 제어하는 제 4 스위치를 가지는 액정 표시 장치이다.

[0009] 본 발명의 일 형태는, 제 1 입력 신호, 제 2 입력 신호, 및 제 3 입력 신호가 입력되고, 출력 신호를 출력하는 구동 회로와, 액정 소자를 가지고, 출력 신호에 따라서 액정 소자에 인가되는 전압이 설정되는 화소를 가지고, 구동 회로는, 게이트, 소스, 및 드레인을 가지고, 게이트에 제 3 입력 신호가 입력되고, 소스 및 드레인의 한쪽에 제 1 입력 신호가 입력되는 제 1 트랜지스터와, 게이트, 소스, 및 드레인을 가지고, 게이트에 제 3 입력 신호가 입력되고, 소스 및 드레인의 한쪽에 제 2 입력 신호가 입력되는 제 2 트랜지스터와, 게이트, 소스, 및 드레인을 가지고, 게이트가 제 1 트랜지스터의 소스 및 드레인의 다른쪽에 전기적으로 접속되고, 온 또는 오프됨으로써 출력 신호의 전위 상태를 설정하는지의 여부를 제어하는 제 3 트랜지스터와, 게이트, 소스, 및 드레인을 가지고, 게이트가 제 2 트랜지스터의 소스 및 드레인의 다른쪽에 전기적으로 접속되고, 온 또는 오프됨으로써 출력 신호의 전위 상태를 설정하는지의 여부를 제어하는 제 4 트랜지스터를 가지는 액정 표시 장치이다.

[0010] 본 발명의 일 형태는, 제 1 입력 신호, 제 2 입력 신호, 제 3 입력 신호, 및 제 4 입력 신호가 입력되고, 출력 신호를 출력하는 구동 회로와, 액정 소자를 가지고, 출력 신호에 따라서 액정 소자에 인가되는 전압이 설정되는 화소를 가지고, 구동 회로는, 제 1 입력 신호가 입력되는 제 1 배선과, 제 2 입력 신호가 입력되는 제 2 배선과, 제 3 입력 신호가 입력되는 제 3 배선과, 제 4 입력 신호가 입력되는 제 4 배선과, 게이트, 소스, 및 드레인을 가지고, 게이트가 제 3 배선에 전기적으로 접속되고, 소스 및 드레인의 한쪽이 제 1 배선에 전기적으로 접속된 제 1 트랜지스터와, 게이트, 소스, 및 드레인을 가지고, 게이트가 제 3 배선에 전기적으로 접속되고, 소스 및 드레인의 한쪽이 제 2 배선에 전기적으로 접속된 제 2 트랜지스터와, 게이트, 소스, 및 드레인을 가지고, 게이트가 제 1 트랜지스터의 소스 및 드레인의 다른쪽에 전기적으로 접속되고, 소스 및 드레인의 한쪽이 제 4 배선에 전기적으로 접속된 제 3 트랜지스터와, 게이트, 소스, 및 드레인을 가지고, 게이트가 제 2 트랜지스터의 소스 및 드레인의 다른쪽에 전기적으로 접속되고, 소스 및 드레인의 한쪽이 제 4 배선에 전기적으로 접속된 제 4 트랜지스터와, 제 3 트랜지스터의 소스 및 드레인의 다른쪽 및 제 4 트랜지스터의 소스 및 드레인의 다른쪽에 전기적으로 접속되고, 주어지는 전위가 출력 신호의 전위가 되는 제 5 배선을 가지는 액정 표시 장치이다.

- [0011] 본 발명의 일 형태는, 제 1 입력 신호, 제 2 입력 신호, 제 3 입력 신호, 및 제 4 입력 신호가 입력되고, 출력 신호를 출력하는 구동 회로와, 액정 소자를 가지고, 출력 신호에 따라서 액정 소자에 인가되는 전압이 설정되는 화소를 가지고, 구동 회로는, 제 1 입력 신호가 입력되는 제 1 배선과, 제 2 입력 신호가 입력되는 제 2 배선과, 제 3 입력 신호가 입력되는 제 3 배선과, 제 4 입력 신호가 입력되는 제 4 배선과, 게이트, 소스, 및 드레인을 가지고, 게이트 및 소스 및 드레인의 한쪽이 제 1 배선에 전기적으로 접속된 제 1 트랜지스터와, 게이트, 소스, 및 드레인을 가지고, 게이트 및 소스 및 드레인의 한쪽이 제 2 배선에 전기적으로 접속된 제 2 트랜지스터와, 게이트, 소스, 및 드레인을 가지고, 게이트가 제 1 트랜지스터의 소스 및 드레인의 다른쪽에 전기적으로 접속되고, 소스 및 드레인의 한쪽이 제 3 배선에 전기적으로 접속된 제 3 트랜지스터와, 게이트, 소스, 및 드레인을 가지고, 게이트가 제 2 트랜지스터의 소스 및 드레인의 다른쪽에 전기적으로 접속되고, 소스 및 드레인의 한쪽이 제 4 배선에 전기적으로 접속된 제 4 트랜지스터와, 제 3 트랜지스터의 소스 및 드레인의 다른쪽 및 제 4 트랜지스터의 소스 및 드레인의 다른쪽에 전기적으로 접속되고, 주어지는 전위가 출력 신호의 전위가 되는 제 5 배선을 가지는 액정 표시 장치이다.
- [0012] 본 발명의 일 형태는, 제 1 입력 신호 및 제 2 입력 신호가 입력되고, 출력 신호를 출력하는 구동 회로와, 액정 소자를 가지고, 출력 신호에 따라서 액정 소자에 인가되는 전압이 설정되는 화소를 가지고, 구동 회로는, 제 1 입력 신호가 입력되는 제 1 배선과, 제 2 입력 신호가 입력되는 제 2 배선과, 게이트, 소스, 및 드레인을 가지고, 게이트 및 소스 및 드레인의 한쪽이 제 1 배선에 전기적으로 접속된 제 1 트랜지스터와, 게이트, 소스, 및 드레인을 가지고, 게이트 및 소스 및 드레인의 한쪽이 제 2 배선에 전기적으로 접속된 제 2 트랜지스터와, 게이트, 소스, 및 드레인을 가지고, 게이트 및 소스 및 드레인의 한쪽이 제 1 트랜지스터의 소스 및 드레인의 다른쪽에 전기적으로 접속된 제 3 트랜지스터와, 게이트, 소스, 및 드레인을 가지고, 게이트 및 소스 및 드레인의 한쪽이 제 2 트랜지스터의 소스 및 드레인의 다른쪽에 전기적으로 접속된 제 4 트랜지스터와, 제 3 트랜지스터의 소스 및 드레인의 다른쪽 및 제 4 트랜지스터의 소스 및 드레인의 다른쪽에 전기적으로 접속되고, 주어지는 전위가 출력 신호의 전위가 되는 제 3 배선을 가지는 액정 표시 장치이다.
- [0013] 또한, 본 발명의 일 형태에 있어서, 제 3 트랜지스터의 채널 폭을 제 4 트랜지스터의 채널 폭과 같게 할 수도 있다.
- [0014] 또한, 본 발명의 일 형태에 있어서, 제 1 트랜지스터의 채널 폭을 제 3 트랜지스터의 채널 폭보다도 작게 하고, 제 2 트랜지스터의 채널 폭을 제 4 트랜지스터의 채널 폭보다도 작게 할 수도 있다.
- [0015] 본 발명의 일 형태는, 제 1 입력 신호 및 제 2 입력 신호가 입력되고, 출력 신호를 출력하는 구동 회로와, 액정 소자를 가지고, 출력 신호에 따라서 액정 소자에 인가되는 전압이 설정되는 화소를 가지고, 구동 회로는, 제 1 입력 신호가 입력되는 제 1 배선과, 제 2 입력 신호가 입력되는 제 2 배선과, 게이트, 소스, 및 드레인을 가지고, 게이트 및 소스 및 드레인의 한쪽이 제 1 배선에 전기적으로 접속된 제 1 트랜지스터와, 게이트, 소스, 및 드레인을 가지고, 게이트 및 소스 및 드레인의 한쪽이 제 2 배선에 전기적으로 접속된 제 2 트랜지스터를 가지고, 양극 및 음극을 가지고, 양극이 제 1 트랜지스터의 소스 및 드레인의 다른쪽에 전기적으로 접속된 제 1 다이오드와, 양극 및 음극을 가지고, 양극이 제 2 트랜지스터의 소스 및 드레인의 다른쪽에 전기적으로 접속된 제 2 다이오드와, 제 1 다이오드의 음극 및 제 2 다이오드의 음극에 전기적으로 접속되고, 주어지는 전위가 출력 신호의 전위가 되는 제 3 배선을 가지는 액정 표시 장치이다.
- [0016] 또한, 본 발명의 일 형태에 있어서, 제 1 트랜지스터의 채널 폭을 제 2 트랜지스터의 채널 폭과 같게 할 수도 있다.
- [0017] 본 발명의 일 형태는, 상기 어느 하나에 기재된 액정 표시 장치와, 액정 표시 장치의 동작을 제어하는 조작 스위치를 적어도 가지는 전자 기기이다.
- [0018] 또한, 스위치로서는, 다양한 형태인 것을 사용할 수 있다. 스위치의 일 예로서는, 전기적 스위치 또는 기계적인 스위치 등을 사용할 수 있다. 즉, 스위치는, 전류를 제어할 수 있는 것이면 좋고, 특정한 것에 한정되지 않는다.
- [0019] 스위치의 일 예로서는, 트랜지스터(예를 들어, 바이폴라 트랜지스터, MOS 트랜지스터 등), 다이오드(예를 들어, PN 다이오드, PIN 다이오드, 쇼트키 다이오드, MIM(Metal Insulator Metal) 다이오드, MIS(Metal Insulator Semiconductor) 다이오드, 다이오드 접속의 트랜지스터 등), 또는 이들을 조합한 논리회로 등이 있다. 기계적인 스위치의 일 예로서는, 디지털 마이크로 미러 디바이스(DMD)와 같이, MEMS(마이크로 일렉트로 메커니컬 시스

템) 기술을 사용한 스위치가 있다. 그 스위치는, 기계적으로 움직일 수 있는 전극을 가지고, 그 전극이 움직임으로써, 도통과 비도통을 제어하여 동작한다.

- [0020] 또한, 스위치로서, N 채널형 트랜지스터와 P 채널형 트랜지스터의 양쪽을 사용하고, CMOS형의 스위치를 사용하여도 좋다.
- [0021] 또한, 표시 소자, 표시 소자를 가지는 장치인 표시 장치, 발광 소자, 및 발광 소자를 가지는 장치인 발광 장치는, 다양한 형태를 사용하는 것, 또는 여러 가지 소자를 가질 수 있다. 표시 소자, 표시 장치, 발광 소자 또는 발광 장치의 일 예로서는, EL(일렉트로루미네선스) 소자(유기물 및 무기물을 포함하는 EL 소자, 유기 EL 소자, 무기 EL 소자), LED(백색 LED, 적색 LED, 녹색 LED, 청색 LED등), 트랜지스터(전류에 따라서 발광하는 트랜지스터), 전자 방출 소자, 액정 소자, 전자 잉크, 전기 영동 소자, 그레이팅 라이트 밸브(GLV), 디지털 마이크로 미러 디바이스(DMD), 카본 나노 튜브 등 전기 자기적 작용에 의해, 콘트라스트, 휘도, 반사율, 투과율 등이 변화되는 표시 매체를 가지는 것이 있다. 또한, 표시 장치를 플라즈마 디스플레이 또는 압전 세라믹 디스플레이로 할 수도 있다. EL 소자를 사용한 표시 장치의 일 예로서는, EL 디스플레이 등이 있다. 전자 방출 소자를 사용한 표시 장치의 일 예로서는, 필드 이미션 디스플레이(FED) 또는 SED(Surface-conduction Electron-emitter Display) 방식 평면형 디스플레이 등이 있다. 액정 소자를 사용한 표시 장치의 일 예로서는, 액정 디스플레이(투과형 액정 디스플레이, 반투과형 액정 디스플레이, 반사형 액정 디스플레이, 직시형 액정 디스플레이, 투사형 액정 디스플레이) 등이 있다. 전자 잉크 또는 전기 영동 소자를 사용한 표시 장치 일 예로서는, 전자 페이퍼 등이 있다.
- [0022] 액정 소자의 일 예로서는, 액정의 광학적 변조 작용에 의해 광의 투과 또는 비투과를 제어하는 소자가 있다. 그 소자는 한 쌍의 전극과 액정층에 의해 구성되는 것이 가능하다. 또한, 액정의 광학적 변조 작용은, 액정에 걸리는 전계(가로 방향의 전계, 세로 방향의 전계 또는 경사 방향의 전계를 포함함)에 의해 제어된다. 또한, 구체적으로는, 액정 소자의 일 예로서는, 네마틱 액정, 콜레스테릭 액정, 스멕틱 액정, 디스코틱 액정, 서모 트로픽 액정, 리오 트로픽 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정(PDLC), 강유전 액정, 반강유전 액정, 주쇄형 액정, 측쇄형 고분자 액정, 플라즈마 어드레스 액정(PALC), 바나나형 액정, TN(Twisted Nematic) 모드, STN(Super Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, MVA(Multi-domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment), ASV(Advanced Super View) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optical Compensated Birefringence) 모드, ECB(Electrically Controlled Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드, PDLC(Polymer Dispersed Liquid Crystal) 모드, 게스트 호스트 모드, 블루상(Blue Phase) 모드 등을 사용한 것이 있다. 단, 이것에 한정되지 않고, 액정 소자로서 다양한 것을 사용할 수 있다.
- [0023] 또한, 트랜지스터로서, 다양한 구조의 트랜지스터를 사용할 수 있다. 따라서, 트랜지스터의 종류에 한정은 없다. 트랜지스터의 일 예로서는, 비정질 실리콘, 다결정 실리콘, 미결정(마이크로 크리스탈, 나노 크리스탈, 세미 아모퍼스라고도 함) 실리콘 등으로 대표되는 비단결정 반도체막을 가지는 박막 트랜지스터(TFT) 등을 사용할 수 있다.
- [0024] 또한, 트랜지스터의 일 예로서는, ZnO, a-InGaZnO, SiGe, GaAs, IZO(인듐아연 산화물), ITO(인듐주석 산화물), SnO, TiO, AlZnSnO(AZTO) 등의 화합물 반도체 또는 산화물 반도체를 가지는 트랜지스터, 또는 이들의 화합물 반도체 또는 산화물 반도체를 박막화한 박막 트랜지스터 등을 사용할 수 있다.
- [0025] 또한, 트랜지스터의 일 예로서는, 잉크젯법 또는 인쇄법을 사용하여 형성한 트랜지스터 등을 사용할 수 있다.
- [0026] 또한, 트랜지스터의 일 예로서는, 유기 반도체나 카본 나노 튜브를 가지는 트랜지스터 등을 사용할 수 있다.
- [0027] 또한, 트랜지스터로서는, 그 외에도 여러 가지 구조의 트랜지스터를 사용할 수 있다. 예를 들어, 트랜지스터로서, MOS형 트랜지스터, 접합형 트랜지스터, 바이폴라 트랜지스터 등을 사용할 수 있다.
- [0028] 또한, 트랜지스터의 일 예로서는, 게이트 전극이 2개 이상인 멀티 게이트 구조의 트랜지스터를 사용할 수 있다.
- [0029] 또한, 트랜지스터의 일 예로서는, 채널의 상하에 게이트 전극이 배치되어 있는 구조의 트랜지스터를 적용할 수 있다.

- [0030] 또한, 트랜지스터의 일 예로서는, 채널 영역 위에 게이트 전극이 배치되어 있는 구조, 채널 영역 아래에 게이트 전극이 배치되어 있는 구조, 정스태거 구조, 역스태거 구조, 채널 영역을 복수의 영역으로 나눈 구조, 채널 영역을 병렬로 접속시킨 구조, 또는 채널 영역을 직렬로 접속시킨 구조 등의 트랜지스터를 사용할 수 있다.
- [0031] 또한, 트랜지스터의 일 예로서는, 채널 영역(혹은 그 일부)에 소스 전극이나 드레인 전극이 겹쳐 있는 구조의 트랜지스터를 사용할 수 있다.
- [0032] 또한, 트랜지스터의 일 예로서는, LDD(Lightly Doped Drain) 영역을 형성한 구조의 트랜지스터를 적용할 수 있다.
- [0033] 또한, 트랜지스터를 형성하는 기판의 종류는, 특정한 것에 한정되지 않으며, 여러 가지 기판을 사용하여, 트랜지스터를 형성할 수 있다. 그 기판의 일 예로서는, 반도체 기판, 단결정 기판(예를 들어 실리콘 기판), SOI 기판, 유리 기판, 석영 기판, 플라스틱 기판, 금속 기판, 스테인리스·스틸 기판, 스테인리스·스틸·호일을 가지는 기판, 텅스텐 기판, 텅스텐·호일을 가지는 기판, 가요성 기판, 접합 필름, 섬유상의 재료를 포함하는 종이, 또는 기재 필름 등이 있다. 유리 기판의 일 예로서는, 바륨보로실리케이트 유리, 알루미늄보로실리케이트 유리, 또는 소다석회 유리 등이 있다. 가요성 기판의 일 예로서는, 폴리에틸렌테레프탈레이트(PET), 폴리에틸렌나프탈레이트(PEN), 폴리에테르설폰(PES)으로 대표되는 플라스틱, 또는 아크릴 등의 가요성을 가지는 합성 수지 등이 있다. 접합 필름의 일 예로서는, 폴리프로필렌, 폴리에스테르, 비닐, 폴리플루오르화 비닐, 또는 염화 비닐 등이 있다. 기재 필름의 일 예로서는, 폴리에스테르, 폴리아미드, 폴리이미드, 무기 증착 필름, 또는 종이류 등이 있다. 특히, 반도체 기판, 단결정 기판, 또는 SOI 기판 등을 사용하여 트랜지스터를 제조함으로써, 특성, 크기, 또는 형상 등의 편차가 적고, 전류 능력이 높고, 크기가 작은 트랜지스터를 제조할 수 있다. 이러한 트랜지스터에 의해 회로를 구성하면, 회로의 저소비 전력화, 또는 회로의 고집적화를 도모할 수 있다.
- [0034] 또한, 어떤 기판을 사용하여 트랜지스터를 형성하고, 그 후, 다른 기판에 트랜지스터를 전치하고, 다른 기판 위에 트랜지스터를 배치하여도 좋다. 트랜지스터가 전치되는 기판의 일 예로서는, 상술한 트랜지스터를 형성하는 것이 가능한 기판에 더하여, 종이기판, 셀로판 기판, 석재 기판, 목재 기판, 천 기판(천연섬유(비단, 면, 마), 합성 섬유(나일론, 폴리에스테르, 폴리에스테르) 또는 재생 섬유(아세테이트, 큐프라, 레이온, 재생 폴리에스테르) 등을 포함함), 피혁 기판, 또는 고무 기판 등이 있다. 이들 기판을 사용함으로써, 트랜지스터의 전기 특성의 향상 또는 트랜지스터의 소비 전력의 저감을 도모할 수 있고, 더욱이 트랜지스터를 이용한 장치의 신뢰성의 향상, 내열성의 향상, 경량화, 또는 박형화를 도모할 수 있다.
- [0035] 또한, 소정의 기능을 실현시키기 위해서 필요한 회로의 전부를, 동일한 기판(예를 들어, 유리 기판, 플라스틱 기판, 단결정 기판, 또는 SOI 기판 등)에 형성할 수 있다. 이렇게 하여, 부품 점수의 삭감에 의한 비용의 저감, 또는 회로 부품과의 접속 점수의 저감에 의한 신뢰성의 향상을 도모할 수 있다.
- [0036] 또한, 소정의 기능을 실현시키기 위해서 필요한 회로의 전부를 동일한 기판에 형성하지 않는 것이 가능하다. 즉, 소정의 기능을 실현시키기 위해서 필요한 회로의 일부는, 어떤 기판에 형성되고, 소정의 기능을 실현시키기 위해서 필요한 회로의 다른 일부는, 다른 기판에 형성되어 있는 것이 가능하다. 예를 들어, 소정의 기능을 실현시키기 위해서 필요한 회로의 일부는, 유리 기판 위에 형성되고, 소정의 기능을 실현시키기 위해서 필요한 회로의 다른 일부는, 단결정 기판(또는 SOI 기판)에 형성되는 것이 가능하다. 그리고, 소정의 기능을 실현시키기 위해서 필요한 회로의 다른 일부가 형성된 단결정 기판을, COG(Chip On Glass)에 의해, 유리 기판에 접속하고, 유리 기판에 그 기판에 회로가 형성된 것(IC칩이라고도 함)을 배치할 수 있다. 또는, IC칩을, TAB(Tape Automated Bonding), COF(Chip On Film), SMT(Surface Mount Technology), 또는 프린트 기판 등을 사용하여 유리 기판과 접속할 수 있다. 이렇게, 회로의 일부가 화소부와 동일한 기판에 형성되어 있는 것에 의해, 부품 점수의 삭감에 의한 비용의 저감, 또는 회로 부품과의 접속 점수의 저감에 의한 신뢰성의 향상을 도모할 수 있다. 특히, 구동 전압이 큰 부분의 회로, 또는 구동 주파수가 높은 부분의 회로 등은, 소비 전력이 커져 버리는 경우가 많다. 그래서, 이러한 회로를, 화소부와는 다른 기판(예를 들어 단결정 기판)에 형성하고, IC칩을 구성한다. 이 IC칩을 사용함으로써, 소비 전력의 증가를 막을 수 있다.
- [0037] 또한, 트랜지스터로서 예를 들어 게이트와, 드레인과, 소스를 포함하는 적어도 3개의 단자를 가지는 소자를 사용할 수 있다. 상기 소자는, 드레인 영역과 소스 영역의 사이에 채널 영역을 가지고, 드레인 영역과 채널 영역과 소스 영역을 통하여 전류를 흘려보낼 수 있다. 여기에서, 소스와 드레인은, 트랜지스터의 구조 또는 동작 조건 등에 따라 변하기 때문에, 어느 것이 소스 또는 드레인인지를 한정하는 것이 곤란하다. 그래서, 소스로서 기능하는 영역, 및 드레인으로서 기능하는 영역을, 소스 또는 드레인이라고 부르지 않는 경우가 있다. 그 경우, 일 예로서, 소스와 드레인의 어느 한쪽을, 제 1 단자, 제 1 전극, 또는 제 1 영역이라고 표기하고, 다른

쪽을, 제 2 단자, 제 2 전극, 또는 제 2 영역이라고 표기하는 경우가 있다. 또한, 게이트를 제 3 단자 또는 제 3 전극으로 표기하는 경우가 있다.

- [0038] 또한, 트랜지스터는, 베이스와 이미터와 콜렉터를 포함하는 적어도 3개의 단자를 가지는 소자라도 좋다. 이 경우도 마찬가지로, 일 예로서, 이미터와 콜렉터의 한쪽을, 제 1 단자, 제 1 전극, 또는 제 1 영역이라고 표기하고, 이미터와 콜렉터의 다른쪽을, 제 2 단자, 제 2 전극, 또는 제 2 영역이라고 표기하는 경우가 있다. 또한, 트랜지스터로서 바이폴라 트랜지스터가 사용되는 경우, 게이트라는 표기를 베이스라고 바꾸어 말할 수 있다.
- [0039] 또한, A와 B가 접속되어 있다,라고 명시적으로 기재하는 경우는, A와 B가 전기적으로 접속되어 있는 경우와, A와 B가 기능적으로 접속되어 있는 경우와, A와 B가 직접 접속되어 있는 경우를 포함하는 것으로 한다. 여기에서, A, B는 대상물(예를 들어, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)로 한다. 따라서, 소정의 접속 관계, 예를 들어, 도면 또는 문장에 나타난 접속 관계에 한정되지 않고, 도면 또는 문장에 나타난 접속 관계 이외의 것도 포함하는 것으로 한다.
- [0040] A와 B가 전기적으로 접속되어 있는 경우의 일 예로서는, A와 B의 전기적인 접속을 가능하게 하는 소자(예를 들어, 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 다이오드 등)가, A와 B의 사이에 1개 이상 접속되는 것이 가능하다.
- [0041] A와 B가 기능적으로 접속되어 있는 경우의 일 예로서는, A와 B의 기능적인 접속을 가능하게 하는 회로(예를 들어, 논리회로(인버터, NAND 회로, NOR 회로 등), 신호 변환 회로(DA 변환 회로, AD 변환 회로, 감마 보정 회로 등), 전위 레벨 변환 회로(전원 회로(승압 회로, 강압 회로 등), 신호의 전위 레벨을 바꾸는 레벨 시프터 등), 전압원, 전류원, 전환 회로, 증폭 회로(신호 진폭 또는 전류량 등을 크게 할 수 있는 회로, 오퍼레이션 앰프, 차동 증폭 회로, 소스 팔로워 회로, 버퍼 회로 등), 신호 생성 회로, 기억 회로, 제어 회로 등)가, A와 B의 사이에 1개 이상 접속되는 것이 가능하다. 또한, 일 예로서, A와 B의 사이에 다른 회로를 끼우고 있어도, A로부터 출력된 신호가 B로 전달되는 경우는, A와 B는 기능적으로 접속되어 있는 것으로 한다.
- [0042] 또한, A와 B가 전기적으로 접속되어 있다,라고 명시적으로 기재하는 경우는, A와 B가 전기적으로 접속되어 있는 경우(즉, A와 B의 사이에 다른 소자 또는 다른 회로를 끼우고 접속되어 있는 경우)와, A와 B가 기능적으로 접속되어 있는 경우(즉, A와 B의 사이에 다른 회로를 끼우고 기능적으로 접속되어 있는 경우)와, A와 B가 직접 접속되어 있는 경우(즉, A와 B의 사이에 다른 소자 또는 다른 회로를 끼우지 않고 접속되어 있는 경우)를 포함하는 것으로 한다. 즉, 전기적으로 접속되어 있다,라고 명시적으로 기재하는 경우는, 단지, 접속되고 있다,라고만 명시적으로 기재되어 있는 경우와 같다고 한다.
- [0043] 또한, A 위에 B가 형성되어 있다, 또는, A상에 B가 형성되어 있다,라고 명시적으로 기재하는 경우는, A 위에 B가 직접 접하여 형성되어 있는 것에 한정되지 않는다. 직접 접하고 있지 않은 경우, 즉, A와 B의 사이에 다른 대상물이 개재하는 경우도 포함하는 것으로 한다. 여기에서, A, B는, 대상물(예를 들어, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)인 것으로 한다.
- [0044] 따라서 예를 들어, 층(A) 위에(혹은 층(A)상에), 층(B)이 형성되어 있다,라고 명시적으로 기재되어 있는 경우는, 층(A) 위에 직접 접하여 층(B)이 형성되어 있는 경우와, 층(A) 위에 직접 접하여 다른 층(예를 들어 층(C)이나 층(D) 등)이 형성되어 있고, 그 위에 직접 접하여 층(B)이 형성되어 있는 경우를 포함하는 것으로 한다. 또한, 다른 층(예를 들어 층(C)이나 층(D) 등)은, 단층이든 복층이든 상관없다.
- [0045] 또한, A의 상방에 B가 형성되어 있다,라고 명시적으로 기재되어 있는 경우에 대해서도 마찬가지로, A 위에 B가 직접 접하고 있는 것에 한정되지 않고, A와 B의 사이에 다른 대상물이 개재하는 경우도 포함하는 것으로 한다. 따라서 예를 들어, 층(A)의 상방에, 층(B)이 형성되어 있다,라고 하는 경우는, 층(A) 위에 직접 접하여 층(B)이 형성되어 있는 경우와, 층(A) 위에 직접 접하여 다른 층(예를 들어 층(C)이나 층(D) 등)이 형성되어 있고, 그 위에 직접 접하여 층(B)이 형성되어 있는 경우를 포함하는 것으로 한다. 또한, 다른 층(예를 들어 층(C)이나 층(D) 등)은, 단층이든, 복층이든 상관없다.
- [0046] 또한, A 위에 B가 형성되어 있다, A상에 B가 형성되어 있다, 또는 A의 상방에 B가 형성되어 있다,라고 명시적으로 기재하는 경우, 경사 상에 B가 형성되는 경우도 포함하는 것으로 한다. 또한, A 아래에 B가 형성되어 있다, 또는, A의 하방에 B가 형성되어 있다,라는 경우에 대해서도 마찬가지이다.
- [0047] 또한, 명시적으로 단수로서 기재되어 있는 것에 대해서는, 단수인 것이 바람직하다. 단, 이것에 한정되지 않고, 복수인 것도 가능하다. 마찬가지로, 명시적으로 복수로서 기재되어 있는 것에 대해서는, 복수인 것이 바

람직하다. 단, 이것에 한정되지 않고, 단순인 것도 가능하다.

- [0048] 또한, 도면에 있어서, 크기, 층의 두께, 또는 영역은, 명료화를 위해 과장되어 있는 경우가 있다. 따라서, 반드시 그 스케일에 한정되지 않는다.
- [0049] 또한, 도면은, 이상적인 예를 모식적으로 도시하는 것이며, 도면에 나타내는 형상 또는 값 등에 한정되지 않는다. 예를 들어, 도면은, 제조 기술에 의한 형상의 편차, 오차에 의한 형상의 편차, 노이즈에 의한 신호, 전압, 또는 전류의 편차, 또는, 타이밍의 차에 의한 신호, 전압, 또는 전류의 편차 등을 포함할 수 있다.
- [0050] 또한, 전문 용어는, 특정한 실시형태, 또는 실시예 등을 기술할 목적으로 사용되는 경우가 많다. 단, 발명의 일 형태는, 전문 용어에 의해, 한정하여 해석되는 것은 아니다.
- [0051] 또한, 정의되어 있지 않은 문언(전문 용어 또는 학술 용어 등의 과학 기술 문언을 포함함)은, 통상의 당업자가 이해하는 일반적인 의미와 동등한 의미로서 사용할 수 있다. 사전 등에 의해 정의되어 있는 문언은, 관련 기술의 배경과 모순이 없다는 의미로 해석되는 것이 바람직하다.
- [0052] 또한, 제 1, 제 2, 제 3 등의 어구는, 여러 가지 요소, 부재, 영역, 층, 구역을 다른 것과 구별하여 기술하기 위해서 사용된다. 따라서, 제 1, 제 2, 제 3 등의 어구는, 요소, 부재, 영역, 층, 구역 등의 수를 한정하는 것이 아니다. 또한, 예를 들어, “제 1”을 “제 2” 또는 “제 3” 등으로 바꿀 수 있다.
- [0053] 또한, “위에”, “상방에”, “아래에”, “하방에”, “가로로”, “오른쪽으로”, “왼쪽으로”, “비스듬하게”, “안쪽에”, “바로 앞에”, “내에”, “외에”, 또는 “중에” 등의 공간적 배치를 나타내는 어구는, 어떤 요소 또는 특징과, 다른 요소 또는 특징의 관련을, 도면에 의해 간단히 나타내기 위해서 사용되는 경우가 많다. 단, 이것에 한정되지 않고, 이들의 공간적 배치를 나타내는 어구는, 도면에 도시하는 방향에 더하여, 다른 방향을 포함할 수 있다. 예를 들어, A 위에 B라고 명시적으로 나타내어지는 경우는, B가 A 위에 있는 것에 한정되지 않는다. 도면 중의 디바이스는 반전, 또는 180° 회전하는 것이 가능하므로, B가 A 아래에 있는 것을 포함할 수 있다. 이렇게, “위에”라는 어구는, “위에”의 방향에 더하여, “아래에”의 방향을 포함할 수 있다. 단, 이것에 한정되지 않고, 도면 중의 디바이스는 여러 방향으로 회전하는 것이 가능하므로, “위에”라는 어구는, “위에”, 및 “아래에”의 방향에 더하여, “가로로”, “오른쪽으로”, “왼쪽으로”, “비스듬하게”, “안쪽에”, “바로 앞에”, “내에”, “외에”, 또는 “중에” 등의 다른 방향을 포함할 수 있다. 즉, 상황에 따라서 적절하게 해석할 수 있다.
- [0054] 본 발명의 일 형태는, 제 1 배선과 제 2 배선의 사이에 접속되는 제 1 스위치와, 제 1 배선과 제 2 배선의 사이에 접속되는 제 2 스위치를 가지고, 제 1 기간에 있어서, 제 1 스위치는 온되고, 제 2 스위치는 오프되고, 제 2 기간에 있어서, 제 1 스위치는 오프되고, 제 2 스위치는 오프되고, 제 3 기간에 있어서, 제 1 스위치는 오프되고, 제 2 스위치는 온되고, 제 4 기간에 있어서, 제 1 스위치는 오프되고, 제 2 스위치는 오프되는 것이다.
- [0055] 본 발명의 일 형태는, 제 1 배선과 제 2 배선의 사이에, 제 1 경로와 제 2 경로를 가지고, 제 1 기간에 있어서, 제 1 배선과 제 2 배선은 제 1 경로를 통하여 도통 상태로 되고, 제 2 기간에 있어서, 제 1 배선과 제 2 배선은 비도통 상태로 되고, 제 3 기간에 있어서, 제 1 배선과 제 2 배선은 제 2 경로를 통하여 도통 상태로 되고, 제 4 기간에 있어서, 제 1 배선과 제 2 배선은 비도통 상태로 되는 것이다.
- [0056] 본 발명의 일 형태는, 제 1 트랜지스터와 제 2 트랜지스터를 가지고, 제 1 트랜지스터의 제 1 단자는 제 1 배선과 접속되고, 제 1 트랜지스터의 제 2 단자는 제 2 배선과 접속되고, 제 1 트랜지스터의 게이트는 제 3 배선과 접속되고, 제 2 트랜지스터의 제 1 단자는 제 1 배선과 접속되고, 제 2 트랜지스터의 제 2 단자는 제 2 배선과 접속되고, 제 2 트랜지스터의 게이트는 제 4 배선과 접속되는 것이다.
- [0057] 본 발명의 일 형태는, 제 1 트랜지스터와 제 2 트랜지스터를 가지고, 제 1 기간에 있어서, 제 1 트랜지스터는 온되고, 또한 제 2 트랜지스터는 오프되고, 제 2 기간에 있어서, 제 1 트랜지스터는 오프되고, 또한 제 2 트랜지스터는 온되고, 제 3 기간에 있어서, 제 1 트랜지스터는 오프되고, 또한 제 2 트랜지스터는 온되고, 제 4 기간에 있어서, 제 1 트랜지스터는 오프되고, 또한 제 2 트랜지스터는 온으로 되는 것이다.
- [0058] 본 발명의 일 형태는, 제 1 트랜지스터와 제 2 트랜지스터와 제 3 트랜지스터를 가지고, 제 1 트랜지스터의 제 1 단자는 제 1 배선과 접속되고, 제 1 트랜지스터의 제 2 단자는 제 2 배선과 접속되고, 제 1 트랜지스터의 게이트는 제 3 배선과 접속되고, 제 2 트랜지스터의 제 1 단자는 제 1 배선과 접속되고, 제 2 트랜지스터의 제 2 단자는 제 2 배선과 접속되고, 제 2 트랜지스터의 게이트는 제 4 배선과 접속되고, 제 3 트랜지스터의 제 1 단자는, 제 5 배선과 접속되고, 제 3 트랜지스터의 제 2 단자는, 제 2 배선과 접속되고, 제 3 트랜지스터의 게이트

트는, 제 6 배선과 접속되는 것이다.

**발명의 효과**

[0059] 본 발명의 일 형태는, 트랜지스터의 특성 열화를 억제할 수 있다. 또는, 본 발명의 일 형태는, 트랜지스터의 채널 폭을 작게 할 수 있다. 특히, 풀업 트랜지스터의 특성 열화의 억제, 또는 채널 폭의 축소를 도모할 수 있다. 또는, 본 발명의 일 형태는, 레이아웃 면적을 작게 할 수 있다. 또는, 본 발명의 일 형태는, 표시 장치의 프레임을 좁게 할 수 있다. 또는, 본 발명의 일 형태는, 표시 장치를 고정세로 할 수 있다. 또는, 본 발명의 일 형태는, 제조 수율을 높게 할 수 있다. 또는, 본 발명의 일 형태는, 제조 비용을 저감할 수 있다. 또는, 본 발명의 일 형태는, 소비 전력을 저감할 수 있다. 또는, 본 발명의 일 형태는, 외부 회로의 전류 공급 능력을 작게 할 수 있다. 또는, 본 발명의 일 형태는, 외부 회로의 크기, 또는 상기 외부 회로를 가지는 표시 장치의 크기를 작게 할 수 있다.

**도면의 간단한 설명**

- [0060] 도 1은 실시형태 1에 있어서의 반도체 장치의 회로도의 일 예와, 동작을 설명하기 위한 모식도의 일 예.
- 도 2는 실시형태 1에 있어서의 반도체 장치의 회로도의 일 예와, 실시형태 1에 있어서의 반도체 장치의 동작을 설명하기 위한 모식도의 일 예와, 실시형태 1에 있어서의 반도체 장치의 동작을 설명하기 위한 타이밍 차트의 일 예.
- 도 3은 실시형태 1에 있어서의 반도체 장치의 동작을 설명하기 위한 타이밍 차트의 일 예.
- 도 4는 실시형태 2에 있어서의 반도체 장치의 회로도의 일 예와, 그 동작을 설명하기 위한 타이밍 차트의 일 예.
- 도 5는 실시형태 2에 있어서의 반도체 장치의 동작을 설명하기 위한 모식도의 일 예와, 실시형태 2에 있어서의 반도체 장치의 회로도의 일 예.
- 도 6은 실시형태 2에 있어서의 반도체 장치의 동작을 설명하기 위한 모식도의 일 예.
- 도 7은 실시형태 2에 있어서의 반도체 장치의 동작을 설명하기 위한 타이밍 차트의 일 예.
- 도 8은 실시형태 2에 있어서의 반도체 장치의 회로도의 일 예.
- 도 9는 실시형태 2에 있어서의 반도체 장치의 회로도의 일 예.
- 도 10은 실시형태 2에 있어서의 반도체 장치의 동작을 설명하기 위한 모식도의 일 예.
- 도 11은 실시형태 2에 있어서의 반도체 장치의 회로도의 일 예.
- 도 12는 실시형태 2에 있어서의 반도체 장치의 회로도의 일 예.
- 도 13은 실시형태 2에 있어서의 반도체 장치의 회로도의 일 예와, 그 동작을 설명하기 위한 타이밍 차트의 일 예.
- 도 14는 실시형태 3에 있어서의 반도체 장치의 회로도의 일 예.
- 도 15는 실시형태 3에 있어서의 반도체 장치의 회로도의 일 예.
- 도 16은 실시형태 3에 있어서의 반도체 장치의 동작을 설명하기 위한 모식도의 일 예.
- 도 17은 실시형태 3에 있어서의 반도체 장치의 동작을 설명하기 위한 모식도의 일 예.
- 도 18은 실시형태 3에 있어서의 반도체 장치의 회로도의 일 예.
- 도 19는 실시형태 3에 있어서의 반도체 장치의 회로도의 일 예.
- 도 20은 실시형태 3에 있어서의 반도체 장치의 회로도의 일 예.
- 도 21은 실시형태 3에 있어서의 반도체 장치의 회로도의 일 예.
- 도 22는 실시형태 3에 있어서의 반도체 장치의 회로도.
- 도 23은 실시형태 3에 있어서의 반도체 장치의 회로도의 일 예.

- 도 24는 실시형태 3에 있어서의 반도체 장치의 회로도의 일 예.
- 도 25는 실시형태 3에 있어서의 반도체 장치의 회로도의 일 예.
- 도 26은 실시형태 4에 있어서의 시프트 레지스터의 회로도의 일 예.
- 도 27은 실시형태 4에 있어서의 시프트 레지스터의 동작을 설명하기 위한 타이밍 차트의 일 예.
- 도 28은 실시형태 4에 있어서의 시프트 레지스터의 동작을 설명하기 위한 타이밍 차트의 일 예.
- 도 29는 실시형태 4에 있어서의 시프트 레지스터의 회로도의 일 예.
- 도 30은 실시형태 5에 있어서의 표시 장치의 블록도의 일 예.
- 도 31은 실시형태 5에 있어서의 표시 장치의 블록도의 일 예.
- 도 32는 실시형태 6에 있어서의 신호선 구동 회로의 회로도의 일 예와, 그 동작을 설명하기 위한 타이밍 차트의 일 예.
- 도 33은 실시형태 7에 있어서의 화소의 회로도의 일 예와, 그 동작을 설명하기 위한 타이밍 차트의 일 예.
- 도 34는 실시형태 7에 있어서의 화소의 회로도의 일 예.
- 도 35는 실시형태 8에 있어서의 표시 장치의 상면도 및 단면도의 일 예.
- 도 36은 실시형태 9에 있어서의 트랜지스터의 단면도의 일 예.
- 도 37은 실시형태 10에 있어서의 트랜지스터의 제작 공정을 설명하는 단면도의 일 예.
- 도 38은 실시형태 11에 있어서의 반도체 장치의 레이아웃도의 일 예.
- 도 39는 실시형태 12에 있어서의 전자 기기를 설명하는 도면의 일 예.
- 도 40은 실시형태 12에 있어서의 전자 기기를 설명하는 도면의 일 예.
- 도 41은 실시형태 3에 있어서의 반도체 장치의 회로도의 일 예.
- 도 42는 실시형태 3에 있어서의 반도체 장치의 검증 결과를 도시하는 도면.

**발명을 실시하기 위한 구체적인 내용**

- [0061] 이하, 실시형태에 대해서 도면을 참조하면서 설명한다. 단, 실시형태는 많은 다른 형태로 실시하는 것이 가능하며, 취지 및 그 범위로 부터 벗어남이 없이 그 형태 및 상세를 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해된다. 따라서 본 실시형태의 기재 내용에 한정하여 해석되는 것이 아니다. 또한, 이하에 설명하는 구성에 있어서, 같은 것을 가리키는 부호는 다른 도면 간에서 공통의 부호를 사용하여 나타내고, 동일 부분 또는 같은 기능을 가지는 부분의 상세한 설명은 생략한다.
- [0062] 또한, 어떤 하나의 실시형태 중에서 기술하는 내용(일부의 내용이라도 좋다)은, 그 실시형태에서 기술하는 다른 내용(일부의 내용이라도 좋다), 및/또는, 1개 또는 복수의 다른 실시형태에서 기술하는 내용(일부의 내용이라도 좋다)에 대하여, 적용, 조합, 또는 치환 등을 행할 수 있다.
- [0063] 또한, 실시형태 중에서 기술하는 내용이란, 각각의 실시형태에 있어서, 여러 도면을 사용하여 기술하는 내용, 또는 명세서에 기재되는 문장을 사용하여 기술하는 내용이다.
- [0064] 또한, 어떤 하나의 실시형태에 있어서 기술하는 도면(일부라도 좋다)은, 그 도면의 다른 부분, 그 실시형태에 있어서 기술하는 다른 도면(일부라도 좋다), 및/또는, 1개 또는 복수의 다른 실시형태에 있어서 기술하는 도면(일부라도 좋다)에 대하여, 조합시킴으로써, 더 많은 도면을 구성시킬 수 있다.
- [0065] 또한, 어떤 하나의 실시형태에 있어서 기술하는 도면 또는 문장에 있어서, 그 일부분을 발체하여, 발명의 일 형태를 구성하는 것은 가능하다. 따라서, 어떤 부분을 기술하는 도면 또는 문장이 기재되어 있는 경우, 그 일부분의 도면 또는 문장을 발체한 내용도, 발명의 일 형태로서 개시되어 있는 것이며, 발명의 일 형태를 구성하는 것이 가능한 것으로 한다. 따라서, 예를 들어, 능동 소자(트랜지스터, 다이오드 등), 배선, 수동 소자(용량 소자, 저항 소자 등), 도전층, 절연층, 반도체층, 유기재, 무기재, 부품, 기관, 모듈, 장치, 고체, 액체, 기체, 동작 방법, 제조 방법 등이 단수 또는 복수 기재된 도면(단면도, 평면도, 회로도, 블록도, 플로차트, 공정도,

사시도, 입면도, 배치도, 타이밍차트, 구조도, 모식도, 그래프, 표, 광로도, 벡터도, 상태도, 파형도, 사진, 화합식 등) 또는 문장에 있어서, 그 일부분을 발체하여, 발명의 일 형태를 구성하는 것이 가능한 것으로 한다.

- [0066] (실시형태 1)
- [0067] 본 실시형태에서는, 반도체 장치의 일 예에 대해서 설명한다. 본 실시형태의 반도체 장치는, 일 예로서, 시프트 레지스터, 게이트 드라이버, 또는 소스 드라이버 등의 여러 가지 구동 회로에 사용할 수 있다. 또한, 본 실시형태의 반도체 장치를 구동 회로, 또는 회로로 나타낼 수 있다.
- [0068] 우선, 본 실시형태의 반도체 장치에 대해서, 도 1a를 참조하여 설명한다. 도 1a의 반도체 장치는, 스위치(11\_1 및 11\_2)와 같은 복수의 스위치를 가진다. 스위치(11\_1 및 11\_2)는, 배선(111)과 배선(112)의 사이에 접속된다. 단, 이것에 한정되지 않고, 반도체 장치는, 3개 이상의 스위치를 가질 수 있다.
- [0069] 다음에, 각 배선에 입력 또는 출력되는 신호 또는 전압 등에 대해서 설명한다.
- [0070] 배선(111)으로부터는, 일 예로서, 신호(OUT)가 출력되는 것으로 한다. 신호(OUT)는, 예를 들어 제 1 전위 상태 및 제 2 전위 상태를 가지는 신호로 할 수 있다. 예를 들어 신호(OUT)는, H 레벨(하이 레벨이라고도 함)과 L 레벨의 2개의 상태를 가지는 디지털 신호인 경우가 많고, 출력 신호로서 기능할 수 있다. 따라서, 배선(111)은, 신호선으로서 기능할 수 있다. 특히, 배선(111)은, 화소부에 연신하여 배치되는 것이 가능하다. 그리고, 배선(111)은, 화소와 접속되는 것이 가능하다. 예를 들어 액정 표시 장치의 경우는, 배선(111)을 액정 소자를 가지는 화소에 접속하고, 배선(111)의 전위에 따라서 액정 소자에 인가되는 전압을 설정하는 구성으로 할 수 있다. 또는, 배선(111)은, 화소가 가지는 트랜지스터(예를 들어 선택용 트랜지스터, 또는 스위칭 트랜지스터)의 게이트와 접속되는 것이 가능하다. 이러한 경우, 신호(OUT)는, 선택 신호, 전송 신호, 스타트 신호, 리셋 신호, 게이트 신호, 또는 주사 신호로서 기능할 수 있다. 따라서, 배선(111)은, 게이트 신호선(게이트 선), 또는 주사선으로서 기능할 수 있다.
- [0071] 배선(112)에는, 일 예로서, 신호(CK1)가 입력되는 것으로 한다. 신호(CK1)는, 예를 들어 제 1 전위 상태 및 제 2 전위 상태를 가지는 신호로 할 수 있다. 예를 들어 신호(CK1)는, H 레벨과 L 레벨의 2개의 상태를 반복하는 디지털 신호인 경우가 많고, 클럭 신호로서 기능할 수 있다. 따라서, 배선(112)은, 신호선, 또는 클럭 신호선으로서 기능할 수 있다. 단, 이것에 한정되지 않고, 배선(111), 또는 배선(112)에는, 그 외에도 여러 가지 신호, 여러 가지 전압, 또는 여러 가지 전류를 입력할 수 있다. 예를 들어, 배선(111), 또는 배선(112)에 전압이 공급되고, 이들의 배선은 전원선으로서 기능할 수 있다.
- [0072] 또한, 일 예로서, 제 1 전위 상태, 즉 L 레벨의 신호의 전위를 V1로 하고, 제 2 전위 상태, 즉 H 레벨의 신호의 전위를 V2로 한다. 그리고,  $V2 > V1$ 로 한다. 단, 이것에 한정되지 않고, L 레벨의 신호의 전위는, V1보다도 낮게 할 수 있고, V1보다도 높게 할 수 있다. 또는, H 레벨의 신호의 전위는, V2보다도 낮은 것이 가능하고, V2보다도 높은 것이 가능하다. 예를 들어, 회로 구성에 따라서는, H 레벨의 신호라고 기재하는 경우라도, 그 전위는 V2보다도 낮은 경우가 있고, V2보다도 높은 경우가 있다. 또는, 회로 구성에 따라서는, L 레벨의 신호라고 기재하는 경우라도, 그 전위는 V1보다도 낮은 경우가 있고, V1보다도 높은 경우가 있다.
- [0073] 또한, 대략이란, 노이즈에 의한 오차, 프로세스의 편차에 의한 오차, 소자의 제작 공정의 편차에 의한 오차, 및 /또는, 측정 오차 등의 여러 가지 오차를 포함하는 것으로 한다.
- [0074] 또한, 일반적으로 전압이란, 2점간에 있어서의 전위의 차(전위차라고도 함)를 말하며, 전위란, 어떤 한점에 있어서의 정전장 중에 있는 단위 전하가 가지는 정전 에너지(전기적인 위치 에너지)를 말한다. 그러나, 전자회로에서는, 한점뿐이라도, 예를 들어 상기 한점의 전위와 기준이 되는 전위(기준 전위라고도 함)의 전위차를 값으로서 사용하는 경우가 있고, 또한, 전압과 전위의 값은, 회로도 등에 있어서 모두 볼트(V)로 나타내어질 수 있기 때문에, 구별이 곤란하다. 그래서, 본원의 서류(명세서 및 특허청구 범위)에서는, 특별히 지정하는 경우를 제외하고, 한점뿐이라도 전압을 값으로서 사용하는 경우가 있다.
- [0075] 또한, 신호(CK1)는, 평형인 것이 가능하고, 비평형(불평형이라고도 함)인 것이 가능하다. 평형이란, 1주기 중, H 레벨로 되는 기간과 L 레벨로 되는 기간이 대략 같은 것을 말한다. 비평형이란, H 레벨로 되는 기간과 L 레벨로 되는 기간이 다른 것을 말한다. 또한, 여기에서의 “다르다”란, 대략 같은 경우의 범위는 포함되지 않는 것으로 한다.
- [0076] 다음에, 스위치(11\_1 및 11\_2)의 기능에 대해서 설명한다. 스위치(11\_1 및 11\_2)는, 배선(111)과 배선(112)의 도통 상태를 제어하는 기능을 가진다. 따라서, 도 1b에 도시하는 바와 같이, 배선(111)과 배선(112)의 사이에

는, 경로(21\_1 및 21\_2)와 같은 복수의 경로가 존재한다. 또는, 스위치(11\_1) 및 스위치(11\_2)는, 신호(OUT)의 전위 상태를 설정하는지의 여부를 제어하는 기능을 가진다. 단, 이것에 한정되지 않고, 스위치(11\_1 및 11\_2)는, 그 외에도 다양한 기능을 가질 수 있다.

[0077] 또한, 배선(A)(예를 들어 배선(111))과 배선(B)(예를 들어 배선(112)) 사이의 경로라고 기재하는 경우, 배선(A)과 배선(B)의 사이에는, 스위치가 접속되는 것이 가능하다. 단, 이것에 한정되지 않고, 배선(A)과 배선(B)의 사이에는, 스위치 외에도, 여러 가지 소자(예를 들어 트랜지스터, 다이오드, 저항 소자, 또는 용량 소자 등), 또는 여러 가지 회로(예를 들어 버퍼 회로, 인버터 회로, 또는 시프트 레지스터 회로 등) 등이 접속되는 것이 가능하다. 따라서, 예를 들어, 스위치(11\_1)와 직렬로, 또는 병렬로, 저항 소자, 또는 트랜지스터 등의 소자가 접속되는 것이 가능하다.

[0078] 다음에, 도 1a의 반도체 장치의 동작에 대해서, 도 2a의 타이밍 차트의 일 예를 참조하여 설명한다. 단, 이것에 한정되지 않고, 도 1a의 반도체 장치는, 여러 가지 타이밍에 의해 제어되는 것이 가능하다.

[0079] 도 2a의 타이밍 차트에는, 신호(CK1), 스위치(11\_1)의 상태(온 또는 오프), 스위치(11\_2)의 상태(온 또는 오프), 및 신호(OUT)의 파형을 각각 도시한다. 도 2a의 타이밍 차트는, 복수의 기간을 가지고, 각 기간은, 복수의 서브 기간을 가진다. 예를 들어, 도 2a의 타이밍 차트는, 기간(T1), 및 기간(T2)과 같은 복수의 기간(이하, 기간을 프레임 기간이라고도 함)을 가진다. 기간(T1)은, 기간(A1), 기간(B1), 기간(C1), 기간(D1), 기간(E1)과 같은 복수의 서브 기간(이하, 서브 기간을 1 게이트 선택 기간이라고도 함)을 가지고, 기간(T2)은, 기간(A2), 기간(B2), 기간(C2), 기간(D2), 기간(E2)과 같은 복수의 서브 기간을 가진다. 단, 이것에 한정되지 않고, 도 2a의 타이밍 차트는, 기간(T1), 및 기간(T2)은 다른 기간을 가지는 것이 가능하고, 기간(T1)과 기간(T2)의 한쪽을 생략할 수 있다. 또는, 기간(T1)은, 기간(A1 내지 E1) 외에도 여러 기간을 가질 수 있으며, 기간(A1 내지 E1)의 어느 하나를 생략할 수 있다. 또는, 기간(T2)은, 기간(A2 내지 E2)의 외에도 여러 기간을 가질 수 있으며, 기간(A2 내지 E2)의 어느 하나를 생략할 수 있다.

[0080] 또한, 도 1a의 반도체 장치는, 일 예로서, 기간(T1)과 기간(T2)에 있어서의 동작을 교대로 행하는 것으로 한다. 단, 이것에 한정되지 않고, 도 1a의 반도체 장치는, 여러 가지 순번으로 기간(T1), 및 기간(T2)에 있어서의 동작을 행할 수 있다.

[0081] 또한, 일 예로서, 기간(T1)에 있어서, 도 1a의 반도체 장치는, 스위치(11\_1)가 온으로 될 때까지 기간(D1)에 있어서의 동작과 기간(E1)에 있어서의 동작을 반복하는 것으로 한다. 그리고, 도 1a의 반도체 장치는, 스위치(11\_1)가 온으로 되면, 기간(A1)에 있어서의 동작, 기간(B1)에 있어서의 동작, 및 기간(C1)에 있어서의 동작을 차례로 행하는 것으로 한다. 그 후, 도 1a의 반도체 장치는, 다시 스위치(11\_1)가 온으로 될 때까지, 기간(D1)에 있어서의 동작과 기간(E1)에 있어서의 동작을 반복하는 것으로 한다. 단, 이것에 한정되지 않고, 도 1a의 반도체 장치는, 기간(A1 내지 E1)에 있어서의 동작을 여러 가지 순번으로 행할 수 있다.

[0082] 또한, 기간(T2)에 있어서, 일 예로서, 도 1a의 반도체 장치는, 스위치(11\_2)가 온으로 될 때까지, 기간(D2)에 있어서의 동작과 기간(E2)에 있어서의 동작을 반복하는 것으로 한다. 그리고, 도 1a의 반도체 장치는, 스위치(11\_2)가 온으로 되면, 기간(A2)에 있어서의 동작, 기간(B2)에 있어서의 동작, 및 기간(C2)에 있어서의 동작을 차례로 행하는 것으로 한다. 그 후, 도 1a의 반도체 장치는, 재차 스위치(11\_2)가 온으로 될 때까지, 기간(D2)에 있어서의 동작과 기간(E2)에 있어서의 동작을 반복하는 것으로 한다. 단, 이것에 한정되지 않고, 도 1a의 반도체 장치는, 기간(A2 내지 E2)에 있어서의 동작을 다양한 순번으로 행할 수 있다.

[0083] 기간(T1)의 동작에 대해서 설명한다. 기간(T1)에서는, 스위치(11\_1)는 온 또는 오프되고, 스위치(11\_2)는 오프된다.

[0084] 기간(T1)의 기간(A1)에 있어서, 도 2d에 도시하는 바와 같이, 스위치(11\_1)는 온되고, 스위치(11\_2)는 오프된다. 따라서, 도 2e에 도시하는 바와 같이, 경로(21\_1)는 도통 상태로 되고, 경로(21\_2)는 비도통 상태로 된다. 그렇게 하면, 배선(112)에 입력되는 신호(예를 들어 L 레벨의 신호(CK1))는, 스위치(11\_1)를 통하여 배선(111)에 공급된다. 따라서, 신호(OUT)는 L 레벨로 된다.

[0085] 기간(T1)의 기간(B1)에 있어서, 도 2d에 도시하는 바와 같이, 스위치(11\_1)는 온인 채로 되고, 스위치(11\_2)는 오프인 채로 된다. 따라서, 도 2e에 도시하는 바와 같이, 경로(21\_1)는 도통 상태인 채로 되고, 경로(21\_2)는 비도통 상태인 채로 된다. 그렇게 하면, 배선(112)에 입력되는 신호(예를 들어 H 레벨의 신호(CK1))는, 스위치(11\_1)를 통하여 배선(111)에 공급된다. 따라서, 신호(OUT)는 H 레벨로 된다.

[0086] 기간(T1)의 기간(C1)에 있어서, 도 2b에 도시하는 바와 같이, 스위치(11\_1)는 오프되고, 스위치(11\_2)는 오프인

채로 된다. 따라서, 도 2c에 도시하는 바와 같이, 경로(21\_1)는 비도통 상태로 되고, 경로(21\_2)는 비도통 상태인 채로 된다. 그렇게 하면, 배선(111)과 배선(112)은, 비도통 상태로 되므로, 배선(112)에 입력되는 신호(예를 들어 L 레벨의 신호(CK1))는, 배선(111)에 공급되지 않게 된다.

- [0087] 또한, 기간(T1)의 기간(C1)에 있어서, 스위치(11\_1)가 오프되는 타이밍은, 신호(CK1)가 L 레벨로 되는 타이밍보다도 느린 경우가 많다. 따라서, 스위치(11\_1)가 오프되기 전에, 배선(112)에 입력되는 신호(예를 들어 L 레벨의 신호(CK1))는, 스위치(11\_1)를 통하여, 배선(111)에 공급되는 경우가 많다. 따라서, 신호(OUT)는 L 레벨로 된다. 단, 이것에 한정되지 않고, 배선(111)에 L 레벨의 신호 또는 전압(V1)이 공급되는 것이 가능하다.
- [0088] 기간(T1)의 기간(D1) 및 기간(E1)에 있어서, 도 2b에 도시하는 바와 같이, 스위치(11\_1) 및 스위치(11\_2)는, 오프인 채로 된다. 따라서, 도 2c에 도시하는 바와 같이, 경로(21\_1), 및 경로(21\_2)는, 비도통 상태인 채로 된다. 따라서, 배선(111)과 배선(112)은 비도통 상태로 되므로, 배선(112)에 입력되는 신호는, 배선(111)에 공급되지 않은 채로 된다. 따라서, 신호(OUT)는 L 레벨인 채로 된다.
- [0089] 다음에, 기간(T2)의 동작에 대해서 설명한다. 기간(T2)에서는, 스위치(11\_1)는 오프되고, 스위치(11\_2)는 온 또는 오프된다.
- [0090] 기간(T2)의 기간(A2)에 있어서, 도 2f에 도시하는 바와 같이, 스위치(11\_1)는 오프되고, 스위치(11\_2)는 온된다. 따라서, 도 2g에 도시하는 바와 같이, 경로(21\_1)는 비도통 상태로 되고, 경로(21\_2)는 도통 상태로 된다. 그렇게 하면, 배선(112)에 입력되는 신호(예를 들어 L 레벨의 신호(CK1))는, 스위치(11\_2)를 통하여 배선(111)에 공급된다. 따라서, 신호(OUT)는 L 레벨로 된다.
- [0091] 기간(T2)의 기간(B2)에 있어서, 도 2f에 도시하는 바와 같이, 스위치(11\_1)는 오프인 채로 되고, 스위치(11\_2)는 온인 채로 된다. 따라서, 도 2g에 도시하는 바와 같이, 경로(21\_1)는 비도통 상태인 채로 되고, 경로(21\_2)는 도통 상태인 채로 된다. 그렇게 하면, 배선(112)에 입력되는 신호(예를 들어 H 레벨의 신호(CK1))는, 스위치(11\_2)를 통하여 배선(111)에 공급된다. 따라서, 신호(OUT)는 H 레벨로 된다.
- [0092] 기간(T2)의 기간(C2)에 있어서, 도 2b에 도시하는 바와 같이, 스위치(11\_1)는 오프인 채로 되고, 스위치(11\_2)는 오프된다. 따라서, 도 2c에 도시하는 바와 같이, 경로(21\_1)는 비도통 상태인 채로 되고, 경로(21\_2)는 비도통 상태로 된다. 그렇게 하면, 배선(111)과 배선(112)은, 비도통 상태로 되므로, 배선(112)에 입력되는 신호(예를 들어 L 레벨의 신호(CK1))는, 배선(111)에 공급되지 않게 된다.
- [0093] 또한, 기간(T2)의 기간(C2)에 있어서, 스위치(11\_2)가 오프되는 타이밍은, 신호(CK1)가 L 레벨로 되는 타이밍보다도 느린 경우가 많다. 따라서, 스위치(11\_2)가 오프되기 전에, 배선(112)에 입력되는 신호(예를 들어 L 레벨의 신호(CK1))는, 스위치(11\_2)를 통하여 배선(111)에 공급되는 경우가 많다. 따라서, 신호(OUT)는 L 레벨로 된다. 단, 이것에 한정되지 않고, 배선(111)에 L 레벨의 신호 또는 전압(V1)이 공급되는 것이 가능하다.
- [0094] 기간(T2)의 기간(D2) 및 기간(E2)에 있어서, 도 2b에 도시하는 바와 같이, 스위치(11\_1) 및 스위치(11\_2)는, 오프인 채로 된다. 따라서, 도 2c에 도시하는 바와 같이, 경로(21\_1), 및 경로(21\_2)는, 비도통 상태인 채로 된다. 따라서, 배선(111)과 배선(112)은 비도통 상태로 되므로, 배선(112)에 입력되는 신호는, 배선(111)에 공급되지 않은 채가 된다. 따라서, 신호(OUT)는 L 레벨인 채로 된다.
- [0095] 이상과 같이, 각 스위치가 온으로 되는 기간을 전환함으로써, 스위치가 온으로 되는 횟수를 적게 하는 또는 스위치가 온으로 되는 시간을 짧게 할 수 있다. 따라서, 스위치로서 사용할 수 있는 소자, 또는 회로 등의 특성 열화를 억제할 수 있다.
- [0096] 또는, 스위치로서 사용되는 소자 또는 회로 등의 특성 열화를 억제할 수 있는 것에 의해, 여러 가지 메리트를 얻을 수 있다. 예를 들어, 배선(111)이 게이트 신호선 또는 주사선으로서의 기능을 가지는 경우, 또는 배선(111)이 화소와 접촉되는 경우, 화소가 보유하는 비디오 신호는, 신호(OUT)의 파형에 영향을 받는 경우가 있다. 예를 들어, 신호(OUT)의 전위가 V2까지 상승하지 않는 경우, 화소가 가지는 트랜지스터(예를 들어 선택 트랜지스터, 또는 스위칭 트랜지스터)가 온으로 되는 시간이 짧아진다. 이 결과, 화소로의 비디오 신호의 기록 부족이 생기고, 표시 품질이 저하되어 버리는 경우가 있다. 또는, 신호(OUT)의 하강 시간, 및 상승 시간이 길어지는 경우, 선택된 행에 속하는 화소에, 다른 행에 속하는 화소로의 비디오 신호가 기록되는 버리는 경우가 있다. 이 결과, 표시 품질이 저하되어 버린다. 또는, 신호(OUT)의 하강 시간이 편차가 생기는 경우, 화소가 보유하는 비디오 신호로의 피드스루의 영향이 편차가 생기는 경우가 있다. 이 결과, 표시 불균일이 생겨 버린다.
- [0097] 그러나, 본 실시형태의 반도체 장치는, 스위치로서 사용되는 소자 또는 회로 등의 특성 열화를 억제할 수 있다.

따라서, 신호(OUT)의 전위를 V2까지 상승시킬 수 있으므로, 화소가 가지는 트랜지스터의 온으로 되는 시간을 길게 할 수 있다. 이 결과, 화소에 충분한 시간으로 비디오 신호를 기록할 수 있으므로, 표시 품위의 향상을 도모할 수 있다. 또는, 신호(OUT)의 하강 시간, 및 상승 시간을 짧게 할 수 있으므로, 선택된 행에 속하는 화소에, 다른 행에 속하는 화소로의 비디오 신호가 기록되어 버리는 것을 방지할 수 있다. 이 결과, 표시 품위의 향상을 도모할 수 있다. 또는, 신호(OUT)의 하강 시간의 편차를 억제할 수 있으므로, 화소가 보유하는 비디오 신호로의 피드스루의 영향의 편차를 억제할 수 있다. 따라서, 표시 불균일을 억제할 수 있다.

[0098] 또한, 기간(T1)에 있어서, 기간(B1)을 선택 기간이라고 부르고, 기간(A1), 기간(C1), 기간(D1), 및 기간(E1)을 비선택 기간이라고 부를 수 있다. 마찬가지로, 기간(T2)에 있어서, 기간(B2)을 선택 기간이라고 부르고, 기간(A2), 기간(C2), 기간(D2), 및 기간(E2)을 비선택 기간이라고 부를 수 있다.

[0099] 또한, 기간(T1)에 있어서, 스위치(11\_1)가 온으로 되는 기간(기간(A1) 및 기간(A2))을 제 1 기간이라고 부르고, 스위치(11\_1)가 오프되는 기간(기간(C1), 기간(D1), 및 기간(E1))을 제 2 기간이라고 부를 수 있다. 마찬가지로, 기간(T2)에 있어서, 기간(A2) 및 기간(B2)을 제 3 기간이라고 부르고, 기간(C2), 기간(D2), 및 기간(E2)을 제 4 기간이라고 부를 수 있다.

[0100] 또한, 기간(T1), 및 기간(T2)을 프레임 기간이라고 부르고, 기간(A1 내지 E1), 및 기간(A2 내지 E2)을 서브 기간, 또는 1 게이트 선택 기간이라고 부를 수 있다.

[0101] 또한, 기간 또는 서브 기간은, 스텝, 처리, 또는 동작 등을 치환할 수 있다.

[0102] 또한, 기간(T1)에 있어서, 기간(A1) 앞에, 기간(D1)과 기간(E1)이 순서대로 반복하여 배치되는 것이 가능하다. 마찬가지로, 기간(T2)에 있어서, 기간(A2) 앞에, 기간(D2)과 기간(E2)이 순서대로 반복하여 배치되는 것이 가능하다. 이러한 경우, 기간(T1)의 개시 시각으로부터, 기간(A1)의 개시 시각까지의 시간과, 기간(T2)의 개시 시각으로부터 기간(A2)의 개시 시각까지의 시간은, 대략 같은 것이 바람직하다. 단, 이것에 한정되지 않는다.

[0103] 또한, 도 1c에 도시하는 바와 같이, 스위치(11\_1), 및 스위치(11\_2)는, 같은 기간에 온으로 되는 것이 가능하다. 이 경우, 도 1d에 도시하는 바와 같이, 경로(21\_1), 및 경로(21\_2)는, 같은 기간에 도통 상태로 된다. 따라서, 배선(112)에 입력되는 신호는, 스위치(11\_1), 및 스위치(11\_2)를 통하여 배선(111)에 공급된다. 단, 이것에 한정되지 않는다.

[0104] 또한, 도 1e에 도시하는 바와 같이, 반도체 장치는, 스위치(11\_1 내지 11\_N)(N은 2 이상의 자연수)와 같은 복수의 스위치를 가질 수 있다. 스위치(11\_1 내지 11\_N)는, 배선(111)과 배선(112) 사이에 접속된다. 스위치(11\_1 내지 11\_N)는, 스위치(11\_1) 또는 스위치(11\_2)와 같은 기능을 가진다. 따라서, 도 1f에 도시하는 바와 같이, 배선(111)과 배선(112)의 사이에는, 경로(21\_1 내지 21\_N)와 같은 경로가 존재한다.

[0105] 또한, 반도체 장치가 N개의 스위치를 가지는 경우, 도 3에 도시하는 바와 같이, 기간(T 내지 TN)과 같은 복수의 기간을 가질 수 있다. 예를 들어, 도 3의 타이밍 차트에서는, 기간(T1 내지 TN)이 순서대로 배치되어 있다. 단, 이것에 한정되지 않고, 본 실시형태에서는, 기간(T1 내지 TN)을 다양한 순번으로 배치할 수 있다. 또는, 기간(T1 내지 TN)의 어느 하나를 생략할 수 있다. 기간(T1 내지 TN)은, 각각, 복수의 서브 기간을 가질 수 있다. 예를 들어, 기간(Ti)(i는 1 내지 N의 어느 하나)은, 기간(Ai 내지 Ei)과 같은 복수의 서브 기간을 가질 수 있다. 기간(Ai 내지 Ei)은, 각각, 기간(A1 내지 E1) 또는 기간(A2 내지 E2)과 마찬가지로, 스위치(11\_i) 이외의 스위치(11\_1 내지 11\_N)(예를 들어, 스위치(11\_1 내지 11\_{i-1}), 및 스위치(11\_{i+1} 내지 11\_N)는 오프된다. 그리고, 기간(Ti)의 기간(Ai), 및 기간(Bi)에 있어서, 스위치(11\_i)는 온되고, 기간(Ti)의 기간(Ci), 기간(Di), 기간(Ei)에 있어서, 스위치(11\_i)는 오프된다.

[0106] 또한, N이 큰 것에 의해, 각각의 스위치가 온으로 되는 횟수, 또는 각각의 스위치가 온으로 되는 시간을 줄일 수 있다. 단, N이 지나치게 크면, 스위치의 수가 지나치게 늘어나 버려, 회로 규모가 커져 버린다. 따라서, N은, 6 이하인 것이 바람직하다. 더욱 바람직하게는 4 이하인 것이 바람직하다. 가장 바람직하게는, 3 또는 2인 것이 바람직하다. 단, 이것에 한정되지 않는다.

[0107] 또한, 도 1g에 도시하는 바와 같이, 배선(112)을 배선(112A 및 112B)과 같은 복수의 배선으로 분할할 수 있다. 그리고, 스위치(11\_1)는, 배선(111)과 배선(112A)의 사이에 접속되고, 스위치(11\_2)는, 배선(111)과 배선(112B) 사이에 접속되는 것이 가능하다. 배선(112A 및 112B)은, 다른 여러 가지 배선, 또는 여러 가지 소자와 접속되는 것이 가능하다.

[0108] 또한, 도 1g와 마찬가지로, 도 1e에 있어서도, 배선(112)을 복수의 배선으로 분할할 수 있다.

- [0109] (실시형태 2)
- [0110] 본 실시형태에서는, 반도체 장치의 일 예를 나타낸다. 본 실시형태의 반도체 장치는, 실시형태 1에서 기술하는 반도체 장치를 가질 수 있다. 특히, 실시형태 1에서 기술하는 반도체 장치가 가지는 스위치로서, 예를 들어 트랜지스터가 사용되는 경우의 구성에 대해서 설명한다. 단, 이것에 한정되지 않고, 스위치로서는 여러 가지 소자, 또는 여러 가지 회로 등을 사용할 수 있다. 또한, 실시형태 1에서 기술하는 내용은, 그 설명을 생략한다. 또한, 본 실시형태의 내용은, 실시형태 1에서 기술하는 내용과 적절하게 조합할 수 있다.
- [0111] 우선, 본 실시형태의 반도체 장치에 대해서, 도 4a를 참조하여 설명한다. 도 4a의 반도체 장치는, 회로(100)를 가진다. 회로(100)는, 실시형태 1에서 기술하는 구성에 있어서, 스위치로서 트랜지스터를 사용하는 경우의 구성과 같다. 도 4a에서는, 도 1a의 스위치(11\_1)로서 트랜지스터(101\_1)가 사용되고, 스위치(11\_2)로서 트랜지스터(101\_2)가 사용되는 경우의 구성을 도시한다. 따라서, 트랜지스터(101\_1)는, 스위치(11\_1)와 같은 기능을 가지고, 트랜지스터(101\_2)는, 스위치(11\_2)와 같은 기능을 가진다. 단, 이것에 한정되지 않고, 실시형태 1에서 기술하는 구성에 있어서, 스위치로서 트랜지스터를 사용할 수 있다. 또는, 스위치로서, CMOS의 스위치 등을 사용할 수 있다.
- [0112] 또한, 트랜지스터(101\_1), 및 트랜지스터(101\_2)는, N 채널형인 것으로 한다. N 채널형의 트랜지스터는, 게이트와 소스 사이의 전위차( $V_{gs}$ )가 임계치 전압( $V_{th}$ )을 상회한 경우에 온하는 것으로 한다. 단, 이것에 한정되지 않고, 트랜지스터(101\_1), 및/또는, 트랜지스터(101\_2)는, P 채널형인 것이 가능하다. P 채널형 트랜지스터는, 게이트와 소스 사이의 전위차( $V_{gs}$ )가 임계치 전압( $V_{th}$ )을 하회한 경우에 온하는 것으로 한다.
- [0113] 다음에, 도 4a의 반도체 장치의 접속 관계에 대해서 설명한다. 트랜지스터(101\_1)의 제 1 단자는, 배선(112)과 접속되고, 트랜지스터(101\_1)의 제 2 단자는, 배선(111)과 접속된다. 트랜지스터(101\_2)의 제 1 단자는, 배선(112)과 접속되고, 트랜지스터(101\_2)의 제 2 단자는, 배선(111)과 접속된다.
- [0114] 또한, 트랜지스터(101\_1)의 게이트와 회로(10)의 접속 개소를 노드(n1)로 나타내고, 트랜지스터(101\_2)의 게이트와 회로(10)의 접속 개소를 노드(n2)로 나타낸다. 또한, 노드(n1), 및 노드(n2)를 배선이라고 부를 수 있다.
- [0115] 다음에, 트랜지스터(101\_1), 및 트랜지스터(101\_2)가 가지는 기능에 대하여 설명한다.
- [0116] 트랜지스터(101\_1)는, 노드(n1)의 전위에 따라서, 배선(112)의 전위를 배선(111)에 공급하는 타이밍을 제어하는 기능을 가진다. 예를 들어, 배선(112)에 전압(예를 들어 전압(V1) 또는 전압(V2))이 공급되는 경우, 트랜지스터(101\_1)는, 노드(n1)의 전위에 따라서, 배선(112)에 공급되는 전압을 배선(111)에 공급하는 타이밍을 제어하는 기능을 가진다. 다른 예로서, 배선(112)에 신호(예를 들어 신호(CK1))가 입력되는 경우, 트랜지스터(101\_1)는, 노드(n1)의 전위에 따라서, 배선(112)에 입력되는 신호를 배선(111)에 공급하는 타이밍을 제어하는 기능을 가진다. 이러한 경우, 신호(CK1)가 L 레벨로 되면, 트랜지스터(101\_1)는, L 레벨의 신호(CK1)를 배선(111)에 공급하는 타이밍을 제어하는 기능을 가진다. 또는, 트랜지스터(101\_1)는, 신호(OUT)가 L 레벨로 되는 타이밍을 제어하는 기능을 가진다. 또는, 신호(CK1)가 H 레벨로 되면, 트랜지스터(101\_1)는, H 레벨의 신호(CK1)를 배선(111)에 공급하는 타이밍을 제어하는 기능을 가진다. 또는, 트랜지스터(101\_1)는, 신호(OUT)가 H 레벨로 되는 타이밍을 제어하는 기능을 가진다. 이 때, 노드(n1)는, 부유 상태로 되어 있는 것이 가능하다. 이 경우, 트랜지스터(101\_1)는, 배선(111)의 전위의 상승에 따라서, 노드(n1)의 전위를 상승시키는 기능을 가진다. 또는, 트랜지스터(101\_1)는, 부트스트랩 동작을 행하는 기능을 가진다. 또는, 트랜지스터(101\_1)는, 게이트에 입력되는 신호에 따라서 온 또는 오프됨으로써 신호(OUT)의 전위 상태를 설정하는지의 여부를 제어하는 기능을 가진다.
- [0117] 트랜지스터(101\_2)는, 노드(n2)의 전위에 따라서, 배선(112)의 전위를 배선(111)에 공급하는 타이밍을 제어하는 기능을 가진다. 예를 들어, 배선(112)에 전압(예를 들어 전압(V1) 또는 전압(V2))이 공급되는 경우, 트랜지스터(101\_2)는, 노드(n2)의 전위에 따라서, 배선(112)에 공급되는 전압을 배선(111)에 공급하는 타이밍을 제어하는 기능을 가진다. 다른 예로서, 배선(112)에 신호(예를 들어 신호(CK1))가 입력되는 경우, 트랜지스터(101\_2)는, 노드(n2)의 전위에 따라서, 배선(112)에 입력되는 신호를 배선(111)에 공급하는 타이밍을 제어하는 기능을 가진다. 이러한 경우, 신호(CK1)가 L 레벨로 되면, 트랜지스터(101\_2)는, L 레벨의 신호(CK1)를 배선(111)에 공급하는 타이밍을 제어하는 기능을 가진다. 또는, 트랜지스터(101\_2)는, 신호(OUT)가 L 레벨로 되는 타이밍을 제어하는 기능을 가진다. 또는, 신호(CK1)가 H 레벨로 되면, 트랜지스터(101\_2)는, H 레벨의 신호(CK1)를 배선(111)에 공급하는 타이밍을 제어하는 기능을 가진다. 또는, 트랜지스터(101\_2)는, 신호(OUT)가 H 레벨로

되는 타이밍을 제어하는 기능을 가진다. 이 때, 노드(n2)는, 부유 상태로 되어 있는 것이 가능하다. 이 경우, 트랜지스터(101\_2)는, 배선(111)의 전위의 상승에 따라서, 노드(n2)의 전위를 상승시키는 기능을 가진다. 또는, 트랜지스터(101\_2)는, 부트스트랩 동작을 행하는 기능을 가진다. 또는, 트랜지스터(101\_1)는, 게이트에 입력되는 신호에 따라서 온 또는 오프됨으로써 신호(OUT)의 전위 상태를 설정하는지의 여부를 제어하는 기능을 가진다.

[0118] 또한, 도 4b에 도시하는 바와 같이, 본 실시형태의 반도체 장치는, 회로(10)를 가질 수 있다. 예를 들어, 회로(10)는, 배선(113), 배선(114), 배선(115\_1), 배선(115\_2), 배선(116), 배선(117), 트랜지스터(101\_1)의 게이트, 트랜지스터(101\_2)의 게이트, 및/또는 배선(111)과 접속된다. 단, 이것에 한정되지 않는다. 회로(10)의 구성에 따라서, 회로(10)는, 다른 배선, 또는 다른 노드와 접속되는 것이 가능하다. 또는, 회로(10)는, 배선(113), 배선(114), 배선(115\_1), 배선(115\_2), 배선(116), 배선(117), 트랜지스터(101\_1)의 게이트, 트랜지스터(101\_2)의 게이트, 및/또는 배선(111)과 접속되어 있지 않은 것이 가능하다.

[0119] 회로(10)는, 1개 또는 2개 이상의 트랜지스터를 가지는 경우가 많다. 이들의 트랜지스터의 극성은, 트랜지스터(101\_1 및 101\_2)의 극성과 같은 경우가 많고, N 채널형인 경우가 많다. 단, 이것에 한정되지 않고, 회로(10)는, P 채널형의 트랜지스터를 가질 수 있다. 또는, 회로(10)는, N 채널형의 트랜지스터와 P 채널형의 트랜지스터를 가질 수 있다. 즉, 회로(10)는, CMOS 회로인 것이 가능하다.

[0120] 배선(111)으로부터는, 실시형태 1과 마찬가지로, 신호(OUT)가 출력되는 것으로 한다. 배선(112)에는, 실시형태 1과 마찬가지로, 신호(CK1)가 입력되는 것으로 한다. 또한, 신호(CK2)라고 기재하는 경우, 신호(CK2)는, 신호(CK1)의 반전 신호, 또는 위상이 신호(CK1)로부터 180° 어긋난 신호인 경우가 많다. 배선(113)은, 전압(V2)이 공급되는 것으로 한다. 전압(V2)은, 전원 전압, 기준 전압, 또는 정전원 전압으로서 기능할 수 있다. 따라서, 배선(113)은, 전원선으로서 기능할 수 있다. 배선(114)에는, 신호(SP)가 입력되는 것으로 한다. 신호(SP)는, 스타트 신호로서 기능할 수 있다. 따라서, 배선(114)은, 신호선으로서 기능할 수 있다. 예를 들어 복수의 반도체 장치를 가지는 구성으로 하고, 배선(114)이 다른 단(예를 들어 앞의 단)의 반도체 장치의 배선(111)과 접속되는 경우, 신호(SP)는, 선택 신호, 전송 신호, 스타트 신호, 리셋 신호, 게이트 신호, 또는 주사 신호로서 기능할 수 있다. 이 경우, 배선(114)은, 게이트 신호선, 또는 주사선으로서 기능할 수 있다. 배선(115\_1)에는, 신호(SEL1)가 입력되는 것으로 한다. 신호(SEL1)는, 어떤 기간마다(예를 들어 프레임 기간마다), H 레벨과 L 레벨을 반복하여, 클럭 신호, 선택 신호, 또는 제어 신호로서 기능할 수 있다. 따라서, 배선(115\_1)은, 신호선으로서 기능할 수 있다. 배선(115\_2)에는, 신호(SEL2)가 입력되는 것으로 한다. 신호(SEL2)는, 신호(SEL1)의 반전 신호, 또는 위상이 신호(SEL1)로부터 180° 어긋난 신호인 경우가 많다. 따라서, 배선(115\_2)은, 신호선으로서 기능할 수 있다. 배선(116)에는, 신호(RE)가 입력되는 것으로 한다. 신호(RE)는, 리셋 신호로서 기능할 수 있다. 따라서, 배선(116)은, 신호선으로서 기능할 수 있다. 특히, 복수의 반도체 장치가 접속되는 것으로 한다. 이 경우, 배선(116)이 다른 단(예를 들어 다음의 단)의 반도체 장치의 배선(111)과 접속된다고 하면, 신호(RE)는, 선택 신호, 전송 신호, 스타트 신호, 리셋 신호, 게이트 신호, 또는 주사 신호로서 기능할 수 있다. 이 경우, 배선(116)은, 게이트 신호선, 또는 주사선으로서 기능할 수 있다. 배선(117)에는, 전압(V1)이 공급되는 것으로 한다. 전압(V1)은, 전원 전압, 기준 전압, 그라운드 전압, 또는 부전원 전압으로서 기능할 수 있다. 따라서, 배선(117)은, 전원선으로서 기능할 수 있다. 단, 이것에 한정되지 않고, 배선(111), 배선(112), 배선(113), 배선(114), 배선(115\_1), 배선(115\_2), 배선(116), 및 배선(117)에는, 여러 가지 신호, 여러 가지 전압, 또는 여러 가지 전류를 공급할 수 있다.

[0121] 또한, 신호(CK1), 또는 신호(CK2)는, 평형인 것이 가능하고, 비평형(불평형이라고도 함)인 것이 가능하다. 마찬가지로, 신호(SEL1), 또는 신호(SEL2)는, 평형인 것이 가능하고, 비평형(불평형이라고도 함)인 것이 가능하다.

[0122] 회로(10)는, 전압(V1), 신호(CK2), 신호(SP), 신호(SEL1), 신호(SEL2), 신호(RE), 노드(n1)의 전위, 노드(n2)의 전위, 및/또는, 신호(OUT)에 따라서, 노드(n1), 노드(n2), 및/또는, 배선(111)에 신호 또는 전압 등을 공급하는 타이밍을 제어하는 기능을 가진다. 또는, 회로(10)는, 전압(V1), 신호(CK2), 신호(SP), 신호(SEL1), 신호(SEL2), 신호(RE), 전압(V1), 노드(n1)의 전위, 노드(n2)의 전위, 및/또는, 신호(OUT)에 따라서, 노드(n1)의 전위, 노드(n2)의 전위, 및/또는, 배선(111)의 전위를 제어하는 기능을 가진다. 예를 들어, 회로(10)는, H 레벨의 신호 또는 전압(V2)을 노드(n1), 및/또는, 노드(n2)에 공급하는 기능을 가진다. 또는, 회로(10)는, L 레벨의 신호 또는 전압(V1)을 노드(n1), 노드(n2), 및/또는, 배선(111)에 공급하는 기능을 가진다. 또는, 회로(10)는, 신호 또는 전압 등을 노드(n1), 및/또는, 노드(n2)에 공급하지 않는 기능을 가진다. 또는, 회로(10)는, 노드(n1)의 전위, 및/또는, 노드(n2)의 전위를 상승시키는 기능을 가진다. 또는, 회로(10)는, 노

드(n1)의 전위, 노드(n2)의 전위, 및/또는, 배선(111)의 전위를 감소 또는 유지하는 기능을 가진다. 또는, 회로(10)는, 노드(n1), 및/또는, 노드(n2)를 부유 상태로 하는 기능을 가진다. 단, 이것에 한정되지 않고, 회로(10)는, 그 외에도 다양한 기능을 가질 수 있다. 또는, 회로(10)는, 상기 기능의 모두를 가질 필요는 없다.

[0123] 다음에, 본 실시형태의 동작의 일 예에 대해서 설명한다. 여기에서는, 일 예로서, 도 4b의 반도체 장치의 동작에 대해서, 도 4c의 타이밍 차트, 도 5a 내지 도 5e, 및 도 6a 내지 도 6e를 참조하여 설명한다. 도 4c의 타이밍 차트에는, 신호(CK1), 신호(CK2), 신호(SP), 신호(RE), 노드(n1)의 전위(Va1), 노드(n2)의 전위(Va2), 및 신호(OUT)를 도시한다. 또한, 도 2a의 타이밍 차트와 공통되는 부분은, 그 설명을 생략한다. 또한, 도 4b의 반도체 장치의 동작은, 본 실시형태에서 기술하는 내용, 또는 다른 실시형태에서 기술하는 내용에 적용할 수 있다.

[0124] 우선, 기간(A1)에 있어서, 도 5a에 도시하는 바와 같이, 신호(SP)가 H 레벨로 되고, 신호(SEL1)가 H 레벨로 되고, 신호(SEL2)가 L 레벨로 된다. 따라서, 회로(10)는, H 레벨의 신호(SP) 또는 전압(V2)을 노드(n1)에 공급한다. 그리고, 회로(10)는, 노드(n1)의 전위를 상승시킨다. 그 후, 노드(n1)의 전위는,  $V1+V_{th101\_1}(V_{th101\_1}: \text{트랜지스터}(101\_1) \text{의 임계치 전압})+V_x$ 로 된 부분에서, 트랜지스터(101\_1)가 온된다. 이 때  $V_x$ 는 0보다 큰 값이다. 따라서, 배선(112)과 배선(111)은, 트랜지스터(101\_1)를 통하여 도통 상태로 되므로, L 레벨의 신호(CK1)는, 배선(112)으로부터 트랜지스터(101\_1)를 통하여 배선(111)에 공급된다. 이 결과, 신호(OUT)는, L 레벨로 된다. 그 후, 노드(n1)의 전위는 더욱 상승한다. 드디어, 회로(10)로부터 노드(n1)로의 전압 또는 신호의 공급이 멈추므로, 회로(10)와 노드(n1)는 비도통 상태로 된다. 이 결과, 노드(n1)는, 부유 상태로 되고, 노드(n1)의 전위는,  $V1+V_{th101\_1}+V_x$ 로 유지된다.

[0125] 또한, 기간(A1)에 있어서, 회로(10)는, 노드(n2)에, L 레벨의 신호 또는 전압(V2)을 공급할 수 있다.

[0126] 또한, 기간(A1)에 있어서, 회로(10)는, 배선(111)에, L 레벨의 신호 또는 전압(V2)을 공급할 수 있다.

[0127] 다음에, 기간(B1)에 있어서, 도 5b에 도시하는 바와 같이, 신호(SP)는 L 레벨로 되고, 신호(SEL1)가 H 레벨인 채로 되고, 신호(SEL2)가 L 레벨인 채로 된다. 따라서, 회로(10)는, 전압 또는 신호 등을 노드(n1)에 공급하지 않는 상태이다. 따라서, 노드(n1)는, 부유 상태인 채이며, 노드(n1)의 전위는,  $V1+V_{th101\_1}+V_x$ 인 채로 된다. 즉, 트랜지스터(101\_1)는 온인 채로 되므로, 배선(112)과 배선(111)은 트랜지스터(101\_1)를 통하여 도통 상태인 채로 된다. 이 때, 신호(CK1)는 L 레벨로부터 H 레벨로 상승하므로, 배선(111)의 전위가 상승하기 시작한다. 그렇게 하면, 노드(n1)는 부유 상태인 채이므로, 노드(n1)의 전위는, 트랜지스터(101\_1)의 게이트와 제 2 단자 사이의 기생 용량에 의해 상승한다. 소위, 부트스트랩 동작이다. 이렇게 하여, 노드(n1)의 전위가  $V2+V_{th101\_1}+V_x$ 까지 상승함으로써, 배선(111)의 전위를 V2까지 상승시킬 수 있게 된다. 이렇게 하여, 신호(OUT)는, H 레벨로 된다.

[0128] 또한, 기간(B1)에 있어서, 회로(10)는, 노드(n2)에, L 레벨의 신호 또는 전압(V2)을 공급할 수 있다.

[0129] 또한, 기간(B1)에 있어서, 회로(10)는, 배선(111)에, 신호 또는 전압 등을 공급하지 않는 것이 가능하다.

[0130] 다음에, 기간(C1)에 있어서, 도 5c에 도시하는 바와 같이, 신호(RE)가 H 레벨로 된다. 따라서, 회로(10)는, L 레벨의 신호 또는 전압(V1)을 노드(n1), 노드(n2), 및/또는, 배선(111)에 공급한다. 그렇게 하면, 노드(n1)의 전위, 노드(n2)의 전위, 및/또는, 배선(111)의 전위는, V1로 된다. 따라서, 트랜지스터(101\_1), 및 트랜지스터(101\_2)는 오프되므로, 배선(112)과 배선(111)은 비도통 상태로 된다. 그리고, 신호(OUT)는, L 레벨로 된다.

[0131] 또한, 기간(C1)에 있어서, 노드(n1)의 전위가 L 레벨로 감소하는 타이밍보다도, 신호(CK1)가 L 레벨로 감소하는 타이밍의 쪽이 더 빨라지도록 설정할 수 있다. 그렇게 하면, 도 5e에 도시하는 바와 같이, L 레벨의 신호(CK1)는, 배선(112)으로부터 트랜지스터(101\_1)를 통하여 배선(111)에 공급되는 것이 가능하다. 트랜지스터(101\_1)의 채널 폭은, 예를 들어 트랜지스터(101\_1) 이외의 다른 트랜지스터를 가지는 경우에 다른 트랜지스터의 채널 폭보다 큰 것이 많으므로, 배선(111)의 전위를 빨리 감소시킬 수 있다. 즉, 신호(OUT)의 하강 시간을 짧게 할 수 있다. 따라서, 배선(111)의 전위를 감소시키기 위해서는, 회로(10)가 L 레벨의 신호 또는 전압(V1)을 배선(111)에 공급하는 경우와, L 레벨의 신호(CK1)가 배선(112)으로부터 트랜지스터(101\_1)를 통하여 배선(111)에 공급되는 경우와, 회로(10)가 L 레벨의 신호 또는 전압(V1)을 배선(111)에 공급하고, 또한 L 레벨의 신호(CK1)가 배선(112)으로부터 트랜지스터(101\_1)를 통하여 배선(111)에 공급되는 경우의 3개의 패턴이 있다.

[0132] 다음에, 기간(D1), 및 기간(E1)에 있어서, 도 5d에 도시하는 바와 같이, 회로(10)는, 전압(V1) 또는 L 레벨의 신호를 노드(n1), 노드(n2), 및/또는, 배선(111)에 공급한다. 그렇게 하면, 노드(n1)의 전위, 노드(n2)의

전위, 및/또는, 배선(111)의 전위는, V1인 채로 된다. 따라서, 트랜지스터(101\_1), 및 트랜지스터(101\_2)는 오프인 채로 되므로, 배선(112)과 배선(111)은 비도통 상태인 채로 된다. 그리고, 신호(OUT)는, L 레벨인 채로 된다.

[0133] 다음에, 기간(A2)에 있어서, 도 6a에 도시하는 바와 같이, 신호(SP)가 H 레벨로 되고, 신호(SEL1)가 L 레벨로 되고, 신호(SEL2)가 H 레벨로 된다. 따라서, 회로(10)는, H 레벨의 신호(SP) 또는 전압(V2)을 노드(n2)에 공급한다. 그리고, 회로(10)는, 노드(n2)의 전위를 상승시킨다. 그 후, 노드(n2)의 전위는,  $V1+V_{th101\_2}$ (트랜지스터(101\_2)의 임계치 전압)+ $V_x$ 로 된 부분에서, 트랜지스터(101\_2)가 온된다. 이 때  $V_x$ 는 0보다 큰 값이다. 따라서, 배선(112)과 배선(111)은, 트랜지스터(101\_2)를 통하여 도통 상태로 되므로, L 레벨의 신호(CK1)는, 배선(112)으로부터 트랜지스터(101\_2)를 통하여 배선(111)에 공급된다. 이 결과, 신호(OUT)는, L 레벨로 된다. 그 후, 노드(n2)의 전위는 더욱 상승한다. 드디어, 회로(10)로부터 노드(n2)로의 전압 또는 신호의 공급이 멈추므로, 회로(10)와 노드(n2)는 비도통 상태로 된다. 이 결과, 노드(n2)는, 부유 상태로 되고, 노드(n2)의 전위는,  $V1+V_{th101\_2}+V_x$ 로 유지된다.

[0134] 또한, 기간(A2)에 있어서, 회로(10)는, 노드(n1)에, L 레벨의 신호 또는 전압(V2)을 공급할 수 있다.

[0135] 또한, 기간(A2)에 있어서, 회로(10)는, 배선(111)에, L 레벨의 신호 또는 전압(V2)을 공급할 수 있다.

[0136] 다음에, 기간(B2)에 있어서, 도 6b에 도시하는 바와 같이, 신호(SP)는 L 레벨로 되고, 신호(SEL1)가 L 레벨인 채로 되고, 신호(SEL2)가 H 레벨인 채로 된다. 따라서, 회로(10)는, 전압 또는 신호 등을 노드(n2)에 공급하지 않은 채이다. 따라서, 노드(n2)는, 부유 상태인 채이며, 노드(n2)의 전위는,  $V1+V_{th101\_2}+V_x$ 인 채로 된다. 즉, 트랜지스터(101\_2)는 온인 채로 되므로, 배선(112)과 배선(111)은 트랜지스터(101\_2)를 통하여 도통 상태인 채로 된다. 이 때, 신호(CK1)는 L 레벨로부터 H 레벨로 상승하므로, 배선(111)의 전위가 상승하기 시작한다. 그렇게 하면, 노드(n2)는 부유 상태인 채이므로, 노드(n2)의 전위는, 트랜지스터(101\_2)의 게이트와 제 2 단자 사이의 기생 용량에 의해 상승한다. 소위, 부트스트랩 동작이다. 이렇게 하여, 노드(n2)의 전위는,  $V2+V_{th101\_2}+V_x$ 까지 상승함으로써, 배선(111)의 전위가 V2까지 상승하는 것이 가능해진다. 이렇게 하여, 신호(OUT)는, H 레벨로 된다.

[0137] 또한, 기간(B2)에 있어서, 회로(10)는, 노드(n1)에, L 레벨의 신호 또는 전압(V2)을 공급할 수 있다.

[0138] 또한, 기간(B2)에 있어서, 회로(10)는, 배선(111)에, 신호 또는 전압 등을 공급하지 않는 것이 가능하다.

[0139] 다음에, 기간(C2)에 있어서, 도 6c에 도시하는 바와 같이, 신호(RE)가 H 레벨로 된다. 따라서, 회로(10)는, L 레벨의 신호 또는 전압(V2)을 노드(n1), 노드(n2), 및/또는, 배선(111)에 공급한다. 그렇게 하면, 노드(n1)의 전위, 노드(n2)의 전위, 및/또는, 배선(111)의 전위는, V1로 된다. 따라서, 트랜지스터(101\_1), 및 트랜지스터(101\_2)는 오프되므로, 배선(112)과 배선(111)은 비도통 상태로 된다. 그리고, 신호(OUT)는, L 레벨로 된다.

[0140] 또한, 기간(C2)에 있어서, 노드(n2)의 전위가 감소하는 타이밍보다도, 신호(CK1)가 L 레벨로 감소하는 타이밍의 쪽이 더 빨라지도록 설정할 수 있다. 그렇게 하면, 도 6e에 도시하는 바와 같이, L 레벨의 신호(CK1)는, 배선(112)으로부터 트랜지스터(101\_2)를 통하여 배선(111)에 공급되는 것이 가능하다. 트랜지스터(101\_2)의 채널 폭은, 예를 들어 다른 트랜지스터를 가지는 경우에 다른 트랜지스터의 채널 폭보다 큰 것이 많으므로, 배선(111)의 전위를 빨리 감소시킬 수 있다. 즉, 신호(OUT)의 하강 시간을 짧게 할 수 있다. 따라서, 배선(111)의 전위를 감소시키기 위해서는, 예를 들어 회로(10)가 L 레벨의 신호 또는 전압(V1)을 배선(111)에 공급하는 경우, L 레벨의 신호(CK1)가 배선(112)으로부터 트랜지스터(101\_2)를 통하여 배선(111)에 공급되는 경우, 또는 회로(10)가 L 레벨의 신호 또는 전압(V1)을 배선(111)에 공급하고, 또한 L 레벨의 신호(CK1)가 배선(112)으로부터 트랜지스터(101\_2)를 통하여 배선(111)에 공급되는 경우 등이 있다.

[0141] 다음에, 기간(D2), 및 기간(E2)에 있어서, 도 6d에 도시하는 바와 같이, 회로(10)는, 전압(V1) 또는 L 레벨의 신호를 노드(n1), 노드(n2), 및/또는, 배선(111)에 공급한다. 그렇게 하면, 노드(n1)의 전위, 노드(n2)의 전위, 및/또는, 배선(111)의 전위는, V1인 채로 된다. 따라서, 트랜지스터(101\_1), 및 트랜지스터(101\_2)는 오프인 채로 되므로, 배선(112)과 배선(111)은 비도통 상태인 채로 된다. 그리고, 신호(OUT)는, L 레벨인 채로 된다.

[0142] 이상과 같이, 기간(T1)에 있어서, 트랜지스터(101\_2)는 오프되고, 기간(T2)에 있어서, 트랜지스터(101\_1)는 오프되므로, 트랜지스터(101\_1), 및 트랜지스터(101\_2)의 각각이 온으로 되는 횟수, 또는 트랜지스터(101\_1), 및 트랜지스터(101\_2)의 각각이 온으로 되는 시간이 적어진다. 따라서, 트랜지스터(101\_1), 및 트랜지스터(101\_2)

2)의 특성 열화를 억제할 수 있다.

- [0143] 이상과 같이, 본 실시형태의 반도체 장치는, 트랜지스터의 특성 열화를 억제할 수 있다. 또한, 신호(OUT)의 H 레벨의 전위를 V2까지 상승시킬 수 있으므로, 화소가 가지는 트랜지스터의 온으로 되는 시간을 길게 할 수 있다. 이 결과, 화소에 충분한 시간 중에서 비디오 신호를 기록할 수 있으므로, 표시 품질의 향상을 도모할 수 있다. 또는, 신호(OUT)의 하강 시간, 및 상승 시간을 짧게 할 수 있으므로, 선택된 행에 속하는 화소에, 다른 행에 속하는 화소로의 비디오 신호가 기록되어 버리는 것을 방지할 수 있다. 이 결과, 표시 품질의 향상을 도모할 수 있다. 또는, 신호(OUT)의 하강 시간의 편차를 억제할 수 있으므로, 화소가 보유하는 비디오 신호로의 피드스루의 영향의 편차를 억제할 수 있다. 따라서, 표시 불균일을 억제할 수 있다.
- [0144] 또는, 본 실시형태의 반도체 장치에서는, 모든 트랜지스터의 극성을 N 채널형 또는 P 채널형으로 할 수 있다. 따라서, CMOS 회로와 비교하여, 공정 수의 삭감, 제조 수율의 향상, 신뢰성의 향상, 또는 비용의 삭감을 도모할 수 있다. 특히, 화소부 등을 포함시켜, 모든 트랜지스터가 N 채널형인 경우, 트랜지스터의 반도체층으로서 예를 들어 비정질 반도체, 미결정 반도체, 유기 반도체, 또는 산화물 반도체 등을 사용하는 것이 가능해진다. 단, 이들의 반도체를 사용한 트랜지스터는, 열화되기 쉬운 경우가 많다. 그러나 본 실시형태의 반도체 장치는, 트랜지스터의 열화를 억제할 수 있다.
- [0145] 또는, 트랜지스터의 특성이 열화한 경우라도, 반도체 장치가 동작하도록, 트랜지스터의 채널 폭을 크게 할 필요가 없다. 따라서, 트랜지스터의 채널 폭을 작게 할 수 있다. 왜냐하면, 본 실시형태의 반도체 장치에서는, 트랜지스터의 열화를 억제할 수 있기 때문이다.
- [0146] 또한, 회로(10)는, 기간(C1), 기간(D1), 기간(E1), 기간(A2), 기간(B2), 기간(C2), 기간(D2), 및/또는, 기간(E2)에 있어서, L 레벨의 신호 또는 전압(V1)을 노드(n1)에 공급하는 것이 가능하고, 전압 또는 신호 등을 노드(n1)에 공급하지 않는 것이 가능하다. 단, 이것에 한정되지 않는다.
- [0147] 또한, 회로(10)는, 기간(A1), 기간(B1), 기간(C1), 기간(D1), 기간(E1), 기간(C2), 기간(D2), 및/또는, 기간(E2)에 있어서, L 레벨의 신호 또는 전압(V1)을 노드(n2)에 공급하는 것이 가능하고, 전압 또는 신호 등을 노드(n2)에 공급하지 않는 것이 가능하다. 단, 이것에 한정되지 않는다.
- [0148] 또한, 회로(10)는, 기간(A1), 기간(C1), 기간(D1), 기간(E1), 기간(A2), 기간(C2), 기간(D2), 및/또는, 기간(E2)에 있어서, L 레벨의 신호 또는 전압(V1)을 배선(111)에 공급하는 것이 가능하고, 전압 또는 신호 등을 배선(111)에 공급하지 않는 것이 가능하다. 단, 이것에 한정되지 않는다.
- [0149] 또한, 신호(CK1), 및 신호(CK2)는, 비평형인 것이 가능하다. 도 7a에는, 일 예로서, 1주기 중, H 레벨로 되는 기간이 L 레벨로 되는 기간보다도 짧은 경우의 타이밍 차트를 도시한다. 이렇게 함으로써, 기간(C1), 또는 기간(C2)에 있어서, L 레벨의 신호(CK1)를 배선(111)에 공급되므로, 신호(OUT)의 하강 시간을 짧게 할 수 있다. 또는, 배선(111)이 화소부에 연신하여 배치되는 경우, 화소로의 부정확한 비디오 신호의 기록을 방지할 수 있다. 단, 이것에 한정되지 않고, 1주기 중, H 레벨로 되는 기간이 L 레벨로 되는 기간보다도 긴 것이 가능하다.
- [0150] 또한, 본 실시형태의 반도체 장치에는, 다상의 클록 신호를 사용할 수 있다. 예를 들어, n(n은 자연수)으로 나타내는 경우, n+1상의 클록 신호란, 주기가 각각 1/n+1 주기씩 벗어난 n+1개의 클록 신호를 말한다. 또는, 다상의 클록 신호의 어느 2개가, 각각, 배선(112), 배선(113)에 입력되는 것이 가능하다. 도 7b에는, 일 예로서, 반도체 장치에 3상의 클록 신호를 사용하는 경우의 타이밍 차트를 도시한다. 단, 이것에 한정되지 않는다.
- [0151] 또한, n이 클수록, 클록 주파수가 작아지므로, 소비 전력의 저감을 도모할 수 있다. 단, n이 지나치게 크면, 신호의 수가 늘어나므로, 레이아웃 면적이 커지거나, 외부 회로의 규모가 커지는 경우가 있다. 따라서, n<8인 것이 바람직하다. 더욱 바람직하게는, n<6인 것이 바람직하다. 가장 바람직하게는, n=4, 또는 n=3인 것이 바람직하다. 단, 이것에 한정되지 않는다.
- [0152] 또한, 트랜지스터(101\_1)와 트랜지스터(101\_2)는 같은 기능을 가지므로, 트랜지스터(101\_1)의 채널 폭과, 트랜지스터(101\_2)의 채널 폭은, 대략 같은 것이 바람직하다. 이렇게, 트랜지스터 크기를 대략 같게 함으로써, 트랜지스터의 전류 공급 능력을 대략 같게 할 수 있다. 또는, 트랜지스터의 열화의 정도를 대략 같게 할 수 있다. 따라서, 복수의 트랜지스터를 바꾸어서 사용하여도, 신호(OUT)의 파형을 대략 같게 할 수 있다. 단, 이것에 한정되지 않고, 트랜지스터(101\_1)의 채널 폭과, 트랜지스터(101\_2)의 채널 폭은, 다른 것이 가능하다.
- [0153] 또한, 트랜지스터의 채널 폭이라고 기재하는 경우, 이것을 트랜지스터의 W/L(W:채널 폭, L:채널 길이)이라고 바꾸어 말할 수 있다.

- [0154] 또한, 트랜지스터(101\_1)와 트랜지스터(101\_2)는, 같은 기간에 있어서 온으로 되는 것이 가능하다. 예를 들어, 기간(B1) 또는 기간(B2)에 있어서, 트랜지스터(101\_1)와 트랜지스터(101\_2)가 온됨으로써, 한쪽의 트랜지스터만이 온으로 되는 경우보다도 배선(111)의 전위를 빨리 상승시킬 수 있다. 따라서, 신호(OUT)의 상승 시간을 짧게 할 수 있다.
- [0155] 또한, 도 8a에 도시하는 바와 같이, 배선(112)을 배선(112A)으로 분할할 수 있다. 그리고, 트랜지스터(101\_1)의 제 1 단자를 배선(112A)과 접속시키고, 트랜지스터(101\_2)의 제 1 단자를 배선(112B)과 접속할 수 있다. 또한, 배선(112A 및 112B)은, 다른 배선, 또는 노드 등과 접속시킬 수 있다.
- [0156] 또한, 도 8a와 마찬가지로, 도 4a 및 도 4b에 있어서도, 배선(112)을 복수의 배선(예를 들어 배선(112A 및 112B))으로 분할할 수 있다.
- [0157] 또한, 도 8b에 도시하는 바와 같이, 트랜지스터(101\_1)의 게이트와 제 2 단자 사이에 용량 소자(121\_1)를 접속하고, 트랜지스터(101\_2)의 게이트와의 제 2 단자와의 사이에 용량 소자(121\_2)를 접속할 수 있다. 이렇게 함으로써, 부트스트랩 동작 시에, 노드(n1)의 전위, 또는 노드(n2)의 전위가 상승하기 쉬워진다. 따라서, 트랜지스터(101\_1), 및 트랜지스터(101\_2)의 Vgs를 크게 할 수 있으므로, 이들의 트랜지스터의 채널 폭을 작게 할 수 있다. 또는, 신호(OUT)의 하강 시간, 또는 상승 시간을 짧게 할 수 있다. 단, 이것에 한정되지 않고, 용량 소자(121\_1)와 용량 소자(121\_2)의 한쪽을 생략할 수 있다. 또는, 용량 소자를 트랜지스터의 게이트(노드(n1), 노드(n2))와, 제 2 단자(배선(112))의 사이에 접속할 수 있다. 또는, 용량 소자로서, 예를 들어 MIS 용량을 사용할 수 있다.
- [0158] 또한, 용량 소자(121\_1), 및 용량 소자(121\_2)의 한쪽의 전극의 재료는, 예를 들어 트랜지스터(101\_1), 및 트랜지스터(101\_2)의 게이트와 같은 재료인 것이 바람직하다. 용량 소자(121\_1), 및 용량 소자(121\_2)의 다른쪽의 전극의 재료는, 트랜지스터(101\_1), 및 트랜지스터(101\_2)의 소스 또는 드레인과 같은 재료인 것이 바람직하다. 이렇게 함으로써, 레이아웃 면적을 작게 할 수 있다. 또는, 용량 값을 크게 할 수 있다. 단, 이것에 한정되지 않고, 용량 소자(121\_1) 및 용량 소자(121\_2)의 한쪽의 전극 재료, 및 다른쪽의 전극 재료로서는, 다양한 재료를 사용할 수 있다.
- [0159] 또한, 용량 소자(121\_1)의 용량 값과, 용량 소자(121\_2)의 용량 값은 대략 같은 것이 바람직하다. 또는, 용량 소자(121\_1)의 한쪽의 전극과 다른쪽의 전극이 겹치는 면적과, 용량 소자(121\_2)의 한쪽의 전극과 다른쪽의 전극이 겹치는 면적은, 대략 같은 것이 바람직하다. 이렇게 함으로써, 트랜지스터를 바꾸어서 사용하여도, 트랜지스터(101\_1)의 Vgs와 트랜지스터(101\_2)의 Vgs를 대략 같게 할 수 있으므로, 신호(OUT)의 파형을 대략 같게 할 수 있다. 단, 이것에 한정되지 않고, 용량 소자(121\_1)의 용량 값과, 용량 소자(121\_2)의 용량 값은, 다른 것이 가능하다. 또는, 용량 소자(121\_1)의 한쪽의 전극과 다른쪽의 전극이 겹치는 면적과, 용량 소자(121\_2)의 한쪽의 전극과 다른쪽의 전극이 겹치는 면적은, 다른 것이 가능하다.
- [0160] 또한, 도 8b와 마찬가지로, 도 4a 및 도 4b, 및 도 8a에 있어서도, 트랜지스터(101\_1)의 게이트와 제 2 단자 사이에 용량 소자(121\_1)를 접속할 수 있다. 또는, 트랜지스터(101\_2)의 게이트와 제 2 단자 사이에 용량 소자(121\_2)를 접속할 수 있다.
- [0161] 또한, 도 8c에 도시하는 바와 같이, 회로(100)는, 트랜지스터(101\_1 내지 101\_N)와 같은 복수의 트랜지스터를 가질 수 있다. 트랜지스터(101\_1 내지 101\_N)의 제 1 단자는, 배선(112)과 접속되고, 트랜지스터(101\_1 내지 101\_N)는, 배선(111)과 접속된다. 그리고, 트랜지스터(101\_1 내지 101\_N)의 게이트를 각각, 노드(n1 내지 nN)로 한다. 이 도 8c의 구성은, 실시형태 1에 있어서, 스위치로서 트랜지스터를 사용하는 경우의 구성에 대응한다. 따라서, 트랜지스터(101\_1 내지 101\_N)는 스위치(11\_1 내지 11\_N)와 같은 기능을 한다.
- [0162] 또한, N이 클수록, 각각의 트랜지스터가 온으로 되는 횟수, 또는 각각의 트랜지스터가 온으로 되는 시간이 짧아지므로, 트랜지스터의 특성 열화를 억제할 수 있다. 단, N이 지나치게 크면, 트랜지스터의 수가 늘어나므로, 회로 규모가 커진다. 따라서, N<6인 것이 바람직하다. 더욱 바람직하게는, N<4인 것이 바람직하다. 가장 바람직하게는 N=3, 또는 N=2인 것이 바람직하다.
- [0163] 또한, 도 8c와 마찬가지로, 도 4a 및 도 4b, 및 도 8a 및 도 8b에 있어서도, 회로(100)는, 트랜지스터(101\_1 내지 101\_N)와 같은 복수의 트랜지스터를 가질 수 있다. 특히, 도 8a에 있어서, 회로(100)가 트랜지스터(101\_1 내지 101\_N)와 같은 복수의 트랜지스터를 가지는 경우, 배선(112)을 N개의 배선으로 분할할 수 있다. 특히, 도 8b에 있어서, 회로(100)가 트랜지스터(101\_1 내지 101\_N)와 같은 복수의 트랜지스터를 가지는 경우, 트랜지스터(101\_1 내지 101\_N)의 게이트와 트랜지스터(101\_1 내지 101\_N)의 제 2 단자의 사이에, 각각, 용량 소자를 접속

할 수 있다.

- [0164] 또한, 도 8d에 도시하는 바와 같이, 트랜지스터(101\_1)를, 한쪽의 단자(이하, 양극이라고도 함)가 노드(n1)와 접속되고, 다른쪽의 단자(이하, 음극이라고도 함)가 배선(111)과 접속되는 다이오드(101a\_1)와 치환하는 것이 가능하다. 마찬가지로, 트랜지스터(101\_2)를, 한쪽의 단자(이하, 양극이라고도 함)가 노드(n2)와 접속되고, 다른쪽의 단자(이하, 음극이라고도 함)가 배선(111)과 접속되는 다이오드(101a\_2)와 치환하는 것이 가능하다. 단, 이것에 한정되지 않고, 도 8e에 도시하는 바와 같이, 트랜지스터(101\_1)의 제 1 단자를 노드(n1)에 접속함으로써, 트랜지스터(101\_1)를 다이오드 접속된 구성으로 할 수 있다. 마찬가지로, 트랜지스터(101\_2)의 제 1 단자를 노드(n2)에 접속함으로써, 트랜지스터(101\_2)를 다이오드 접속된 구성으로 할 수 있다.
- [0165] 또한, 도 8d 및 도 8e와 마찬가지로, 도 4a 및 도 4b, 및 도 8a 내지 도 8c에 있어서도, 트랜지스터를 다이오드로 치환할 수 있다. 또는, 트랜지스터를 다이오드 접속된 구성으로 할 수 있다.
- [0166] 또한, 도 8f에 도시하는 바와 같이, 출력 신호를 2개로 분할할 수 있다. 따라서, 반도체 장치는, 회로(120)를 가질 수 있다. 회로(120)는, 트랜지스터(122\_1 및 122\_2)와 같은 복수의 트랜지스터를 가진다. 회로(120)는, 회로(100)와 같은 기능을 가진다. 트랜지스터(122\_1 및 122\_2)는, 각각, 트랜지스터(101\_1 및 101\_2)와 같은 기능을 가진다. 트랜지스터(122\_1)의 제 1 단자는, 배선(112)과 접속되고, 트랜지스터(122\_1)의 제 2 단자는, 배선(211)과 접속되고, 트랜지스터(122\_1)의 게이트는, 노드(n1)와 접속된다. 트랜지스터(122\_2)의 제 1 단자는, 배선(112)과 접속되고, 트랜지스터(122\_2)의 제 2 단자는, 배선(211)과 접속되고, 트랜지스터(122\_2)의 게이트는, 노드(n2)와 접속된다. 이렇게 하여, 트랜지스터(101\_1)와 트랜지스터(122\_1)는, 같은 타이밍으로 제어되고, 트랜지스터(101\_2)와 트랜지스터(122\_2)는, 같은 타이밍으로 제어되게 된다. 따라서, 배선(211)으로부터 출력되는 신호는, 신호(OUT)와 대략 같은 타이밍으로 H 레벨 또는 L 레벨로 된다.
- [0167] 또한, 배선(111)으로부터 출력되는 신호가 게이트 신호, 또는 선택 신호로서 기능하는 경우, 배선(211)으로부터 출력되는 신호는, 전송용의 신호, 리셋 신호, 또는 게이트 신호 등으로서 기능할 수 있다. 이러한 경우, 배선(111)의 부하는, 배선(211)의 부하보다도 커지는 경우가 많으므로, 트랜지스터(101\_1)의 채널 폭은, 트랜지스터(122\_1)의 채널 폭보다도 큰 것이 바람직하다. 마찬가지로, 트랜지스터(101\_2)의 채널 폭은, 트랜지스터(122\_2)의 채널 폭보다도 큰 것이 바람직하다. 단, 이것에 한정되지 않는다.
- [0168] 또한, 도 8f와 마찬가지로, 도 4a 및 도 4b, 및 도 8a 내지 도 8e에 있어서도, 반도체 장치는, 회로(120)를 가짐으로써, 출력 신호를 2개로 분할할 수 있다. 그리고, 회로(120)는, 트랜지스터(122\_1 및 122\_2)와 같은 복수의 트랜지스터를 가질 수 있다. 특히, 도 8c에 있어서, 회로(100)가 트랜지스터(101\_1 내지 101\_N)와 같은 복수의 트랜지스터를 가지는 경우, 회로(120)는, N개의 트랜지스터를 가질 수 있다.
- [0169] 다음에, 회로(10)의 구체예에 대해서 설명한다. 우선, 도 9a를 참조하여, 회로(10)가 회로(200)를 가지는 경우의 구성에 대해서 설명한다. 회로(200)는, 회로(10)의 일부를 나타낸다. 회로(200)는, 배선(114), 배선(115\_1), 배선(115\_2), 노드(n1), 및/또는, 노드(n2)와 접속된다. 단, 이것에 한정되지 않고, 회로(200)는, 다른 배선, 또는 다른 노드와 접속되는 것이 가능하다.
- [0170] 회로(200)는, 1개 또는 2개 이상의 트랜지스터를 가지는 경우가 많다. 이들의 트랜지스터의 극성은, 트랜지스터(101\_1 및 101\_2)의 극성과 같은 경우가 많고, N 채널형인 경우가 많다. 단, 이것에 한정되지 않고, 회로(200)는, P 채널형의 트랜지스터를 가질 수 있다. 또는, 회로(200)는, N 채널형의 트랜지스터와 P 채널형의 트랜지스터를 가질 수 있다. 즉, 회로(200)는, CMOS 회로인 것이 가능하다.
- [0171] 회로(200)는, 신호(SP), 신호(SEL1), 신호(SEL2), 노드(n1)의 전위, 및/또는, 노드(n2)의 전위에 따라서, 노드(n1), 및/또는, 노드(n2)에 신호 또는 전압을 공급하는 타이밍을 제어하는 기능을 가진다. 이렇게 하여, 회로(200)는, 노드(n1)의 전위, 및/또는, 노드(n2)의 전위를 제어하는 기능을 가진다. 예를 들어, 회로(200)는, H 레벨의 신호 또는 전압(V2)을 노드(n1), 및/또는, 노드(n2)에 공급하는 기능을 가진다. 또는, 회로(200)는, L 레벨의 신호 또는 전압(V1)을 노드(n1), 및/또는, 노드(n2)에 공급하는 기능을 가진다. 또는, 회로(200)는, 신호 또는 전압 등을 노드(n1), 및/또는, 노드(n2)에 공급하지 않는 기능을 가진다. 또는, 회로(200)는, 노드(n1)의 전위, 및/또는, 노드(n2)의 전위를 상승시키는 기능을 가진다. 또는, 회로(200)는, 노드(n1)의 전위, 및/또는, 노드(n2)의 전위를 감소 또는 유지하는 기능을 가진다. 또는, 회로(200)는, 노드(n1), 및/또는, 노드(n2)를 부유 상태로 하는 기능을 가진다.
- [0172] 여기서, 회로(200)의 일 예에 대해서, 도 9b를 참조하여 설명한다. 회로(200)는, 트랜지스터(201\_1 및 201\_2)와 같은 복수의 트랜지스터를 가진다. 트랜지스터(201\_1)의 제 1 단자는, 배선(115\_1)과 접속되고, 트랜지스터

(201\_1)의 제 2 단자는, 트랜지스터(101\_1)의 게이트와 접속되고, 트랜지스터(201\_1)의 게이트는, 배선(114)과 접속된다. 트랜지스터(201\_2)의 제 1 단자는, 배선(115\_2)과 접속되고, 트랜지스터(201\_2)의 제 2 단자는, 트랜지스터(101\_2)의 게이트와 접속되고, 트랜지스터(201\_2)의 게이트는, 배선(114)과 접속된다. 단, 이것에 한정되지 않고, 회로(200)로서는, 여러 가지 구성을 사용할 수 있다.

[0173] 트랜지스터(201\_1), 및 트랜지스터(201\_2)는, 트랜지스터(101\_1), 및 트랜지스터(101\_2)와 같은 극성인 것이 바람직하고, N 채널형으로 한다. 단, 이것에 한정되지 않고, 트랜지스터(201\_1), 및/또는, 트랜지스터(201\_2)는, P 채널형인 것이 가능하다.

[0174] 트랜지스터(201\_1)는, 배선(114)의 전위에 따라서, 배선(115\_1)과 노드(n1)의 도통 상태를 제어하는 기능을 가진다. 또는, 트랜지스터(201\_1)는, 배선(114)의 전위에 따라서, 배선(115\_1)의 전위를 노드(n1)에 공급하는 기능을 가진다. 또는, 트랜지스터(201\_1)는, 신호(SP)에 따라서 온 또는 오프되는 기능을 가지고, 또는, 트랜지스터(201\_1)는, 트랜지스터(101\_1)에 신호(SEL1)가 입력되는지의 여부를 제어하는 기능을 가진다. 또는 트랜지스터(201\_1)는, 온 또는 오프됨으로써 신호(OUT)의 전위 상태를 설정하는지의 여부를 제어하는 기능을 가진다. 트랜지스터(201\_2)는, 배선(114)의 전위에 따라서, 배선(115\_2)과 노드(n2)의 도통 상태를 제어하는 기능을 가진다. 또는, 트랜지스터(201\_2)는, 배선(114)의 전위에 따라서, 배선(115\_2)의 전위를 노드(n2)에 공급하는 기능을 가진다. 또는, 트랜지스터(201\_2)는, 신호(SP)에 따라서 온 또는 오프되는 기능을 가지고, 또는, 트랜지스터(201\_2)는, 트랜지스터(101\_2)에 신호(SEL2)가 입력되는지의 여부를 제어하는 기능을 가진다. 또는 트랜지스터(201\_2)는, 온 또는 오프됨으로써 신호(OUT)의 전위 상태를 설정하는지의 여부를 제어하는 기능을 가진다.

[0175] 도 9a의 반도체 장치의 동작에 대해서 설명한다. 여기에서는, 일 예로서 회로(200)의 회로 구성이 도 9b에 도시하는 회로 구성인 경우에 대하여 설명한다. 기간(A1)에 있어서, 도 10a에 도시하는 바와 같이, 신호(SP)가 H 레벨로 되므로, 트랜지스터(201\_1), 및 트랜지스터(201\_2)는 온된다. 따라서, H 레벨의 신호(SEL1)는, 배선(115\_1)으로부터 트랜지스터(201\_1)를 통하여 노드(n1)에 공급되고, L 레벨의 신호(SEL2)는, 배선(115\_2)으로부터 트랜지스터(201\_2)를 통하여 노드(n2)에 공급된다. 이렇게 하여, 노드(n1)의 전위는 상승하기 시작하고, 노드(n1)의 전위는 V2로 된다. 그 후, 노드(n1)의 전위가 배선(114)의 전위(V2)로부터 트랜지스터(201\_1)의 임계치 전압(V-th201\_1)을 뺀 값(V2-Vth201\_1)까지 상승한 부분에서, 트랜지스터(201\_1)는 오프된다. 따라서, 노드(n1)는, 전위를 V2-Vth201\_1로 유지한 채, 부유 상태가 된다.

[0176] 기간(B1) 내지 E1)에 있어서, 신호(SP)가 L 레벨로 되므로, 트랜지스터(201\_1), 및 트랜지스터(201\_2)는 오프된다. 따라서, 배선(115\_1)과 노드(n1)는 비도통 상태로 되고, 배선(115\_2)과 노드(n2)는 비도통 상태로 된다. 또한, 기간(B1)에 있어서의 반도체 장치의 모식도를 도 10b에 도시하고, 기간(C1)에 있어서의 반도체 장치의 모식도를 도 10c에 도시하고, 기간(D1) 및 기간(E1)에 있어서의 반도체 장치의 모식도를 도 10d에 도시한다.

[0177] 다음에, 기간(A2)에 있어서, 도 10e에 도시하는 바와 같이, 신호(SP)가 H 레벨로 되므로, 트랜지스터(201\_1), 및 트랜지스터(201\_2)는 온된다. 따라서, L 레벨의 신호(SEL1)는, 배선(115\_1)으로부터 트랜지스터(201\_1)를 통하여 노드(n1)에 공급되고, H 레벨의 신호(SEL2)는, 배선(115\_2)으로부터 트랜지스터(201\_2)를 통하여 노드(n2)에 공급된다. 이렇게 하여, 노드(n1)의 전위는 V1로 되고, 노드(n2)의 전위는 상승하기 시작한다. 그 후, 노드(n2)의 전위가 배선(114)의 전위(V2)로부터 트랜지스터(201\_2)의 임계치 전압(Vth201\_2)을 뺀 값(V2-Vth201\_2)까지 상승한 부분에서, 트랜지스터(201\_2)는 오프된다. 따라서, 노드(n2)는, 전위를 V2-Vth201\_2로 유지한 채, 부유 상태가 된다.

[0178] 기간(B2) 내지 E2)에 있어서, 신호(SP)가 L 레벨로 되므로, 트랜지스터(201\_1), 및 트랜지스터(201\_2)는 오프된다. 따라서, 배선(115\_1)과 노드(n1)는 비도통 상태로 되고, 배선(115\_2)과 노드(n2)는 비도통 상태로 된다. 또한, 기간(B2)에 있어서의 반도체 장치의 모식도를 도 10f에 도시하고, 기간(C2)에 있어서의 반도체 장치의 모식도를 도 10g에 도시하고, 기간(D2) 및 기간(E2)에 있어서의 반도체 장치의 모식도를 도 10h에 도시한다.

[0179] 이상과 같이, 회로(10)를 구성함으로써, 회로(100)의 어느 한쪽의 트랜지스터를 선택적으로 온 또는 오프시킬 수 있다. 또한, 회로(100)의 트랜지스터를 오프시키는 경우에도 회로(10)로부터 오프시키는 트랜지스터의 게이트에 전위가 주어지기 때문에, 부유 상태가 되는 것을 억제할 수 있다.

[0180] 또한, 트랜지스터(201\_1)와 트랜지스터(201\_2)는 같은 기능을 가지므로, 트랜지스터(201\_1)의 채널 폭과, 트랜지스터(201\_2)의 채널 폭은, 대략 같은 것이 바람직하다. 이렇게, 트랜지스터 크기를 대략 같게 함으로써, 전류 공급 능력을 대략 같게 할 수 있다. 또는, 트랜지스터의 열화의 정도를 대략 같게 할 수 있다. 따라서, 트

랜지스터를 바꾸어 사용하여도, 노드(n1)의 전위와 노드(n2)의 전위를 대략 같게 할 수 있으므로, 신호(OUT)의 파형을 대략 같게 할 수 있다. 단, 이것에 한정되지 않고, 트랜지스터(201\_1)의 채널 폭과, 트랜지스터(201\_2)의 채널 폭은, 다른 것이 가능하다.

[0181] 또한, 트랜지스터(201\_1)의 부하(예를 들어 노드(n1))는, 트랜지스터(101\_1)의 부하(예를 들어 배선(111))보다도 작은 경우가 많으므로, 트랜지스터(201\_1)의 채널 폭은, 트랜지스터(101\_1)의 채널 폭보다도 작은 것이 바람직하다. 마찬가지로, 트랜지스터(201\_2)의 부하(예를 들어 노드(n2))는, 트랜지스터(101\_2)의 부하(예를 들어 배선(111))보다도 작은 경우가 많으므로, 트랜지스터(201\_2)의 채널 폭은, 트랜지스터(101\_2)의 채널 폭보다도 작은 것이 바람직하다. 단, 이것에 한정되지 않고, 트랜지스터(201\_1)의 채널 폭은, 트랜지스터(101\_1)의 채널 폭보다도 큰 것이 가능하다. 또는, 트랜지스터(201\_2)의 채널 폭은, 트랜지스터(101\_2)의 채널 폭보다도 큰 것이 가능하다.

[0182] 또한, 도 9c에 도시하는 바와 같이, 도 8c와 같이 회로(100)가 트랜지스터(101\_1 내지 101\_N)와 같은 복수의 트랜지스터를 가지는 경우, 회로(200)는, 트랜지스터(201\_1 내지 201\_N)와 같은 복수의 트랜지스터를 가질 수 있다. 트랜지스터(201\_1 내지 201\_N)의 제 1 단자는, 각각, 배선(115\_1 내지 115\_N)과 접속된다. 트랜지스터(201\_1 내지 201\_N)의 제 2 단자는, 노드(n1 내지 nN)와 접속된다. 트랜지스터(201\_1 내지 201\_N)의 게이트는, 배선(114)과 접속된다.

[0183] 또한, 도 9d에 도시하는 바와 같이, 배선(114)을 배선(114A 및 114B)과 같은 복수의 배선으로 분할하는 것이 가능하다. 따라서, 배선(114A 및 114B)은 배선(114)과 같은 기능을 가질 수 있다. 트랜지스터(201\_1)의 게이트는, 배선(114A)과 접속되고, 트랜지스터(201\_2)의 게이트는, 배선(114B)과 접속된다. 이 경우, 배선(114A), 및 배선(114B)에는, 각각, 대략 같은 파형의 신호가 입력되는 것이 가능하고, 개개의 신호가 입력되는 것이 가능하다.

[0184] 또한, 도 9d와 마찬가지로, 도 9c에 있어서도, 배선(114)을 복수의 배선으로 분할할 수 있다.

[0185] 또한, 도 9e에 도시하는 바와 같이, 트랜지스터(201\_1)의 제 1 단자와, 트랜지스터(201\_2)의 제 1 단자와는, 같은 배선과 접속되는 것이 가능하다. 도 9e의 일 예에서는, 트랜지스터(201\_1 및 201\_2)의 제 1 단자는, 배선(115\_1)과 접속된다. 단, 이것에 한정되지 않고, 트랜지스터(201\_1 및 201\_2)의 제 1 단자는, 그 외에도 여러 가지 배선과 접속되는 것이 가능하다. 예를 들어, 트랜지스터(201\_1 및 201\_2)의 제 1 단자는, 배선(113), 또는 신호(CK2)가 입력되는 배선 등과 접속되는 것이 가능하다.

[0186] 또한, 도 9e와 마찬가지로, 도 9c 및 도 9d에 있어서도, 트랜지스터(201\_1 및 201\_2)의 제 1 단자는 같은 배선과 접속되는 것이 가능하다. 특히, 도 9c의 경우에는, 트랜지스터(201\_1 내지 201\_N)의 제 1 단자는, 같은 배선에 접속되는 것이 가능하다.

[0187] 또한, 도 9f에 도시하는 바와 같이, 트랜지스터(201\_1)의 제 1 단자가 배선(114)과 접속되고, 트랜지스터(201\_1)의 제 2 단자가 노드(n1)와 접속되고, 트랜지스터(201\_1)의 게이트가 배선(115\_1)과 접속되는 것이 가능하다. 트랜지스터(201\_2)의 제 1 단자가 배선(114)과 접속되고, 트랜지스터(201\_2)의 제 2 단자가 노드(n2)와 접속되고, 트랜지스터(201\_2)의 게이트가 배선(115\_2)과 접속되는 것이 가능하다. 이 경우, 기간(T1)에 있어서, 신호(SEL1)는 H 레벨이며, 신호(SEL2)는 L 레벨로 하면, 트랜지스터(201\_1)는 온되고, 트랜지스터(201\_2)는 오프된다. 따라서, 기간(A1)에 있어서, H 레벨의 신호(SP)는, 배선(114)으로부터 트랜지스터(201\_1)를 통하여 노드(n1)에 공급되므로, 노드(n1)의 전위가 상승한다. 한편, 기간(T2)에 있어서, 신호(SEL1)는 L 레벨이며, 신호(SEL2)는 H 레벨로 하면, 트랜지스터(201\_1)는 오프되고, 트랜지스터(201\_2)는 온된다. 따라서, 기간(A2)에 있어서, H 레벨의 신호(SP)는, 배선(114)으로부터 트랜지스터(201\_2)를 통하여 노드(n2)에 공급되므로, 노드(n2)의 전위가 상승한다.

[0188] 또한, 도 11a에 도시하는 바와 같이, 트랜지스터(201\_1)의 제 2 단자와 노드(n1)의 사이에는, 다이오드 접속된 구성의 트랜지스터(202\_1)가 접속되는 것이 가능하다. 마찬가지로, 트랜지스터(201\_2)의 제 2 단자와 노드(n2) 사이에는, 다이오드 접속된 구성의 트랜지스터(202\_2)가 접속되는 것이 가능하다. 트랜지스터(202\_1)의 제 1 단자는, 트랜지스터(201\_1)의 제 2 단자와 접속되고, 트랜지스터(202\_1)의 제 2 단자는, 노드(n1)와 접속되고, 트랜지스터(202\_1)의 게이트는, 트랜지스터(201\_1)의 제 2 단자와 접속된다. 트랜지스터(202\_2)의 제 1 단자는, 트랜지스터(201\_2)의 제 2 단자와 접속되고, 트랜지스터(202\_2)의 제 2 단자는, 노드(n2)와 접속되고, 트랜지스터(202\_2)의 게이트는, 트랜지스터(201\_2)의 제 2 단자와 접속된다. 트랜지스터(201\_1), 및 트랜지스터(201\_2)는, 다이오드로서 기능할 수 있다. 트랜지스터(201\_1)는, 비도통 상태로 됨으로써, 노드(n1)의 전위

의 감소를 막는 기능을 가진다. 마찬가지로, 트랜지스터(201\_2)는, 비도통 상태로 됨으로써, 노드(n2)의 전위의 감소를 막는 기능을 가진다. 단, 이것에 한정되지 않고, 트랜지스터(201\_1)의 제 2 단자와 노드(n1)의 사이, 및/또는, 트랜지스터(201\_2)의 제 2 단자와 노드(n2)의 사이에는, 여러 가지 소자, 또는 회로를 접속할 수 있다. 또는, 트랜지스터(201\_1)의 제 1 단자와 배선(115\_1)의 사이, 및/또는, 트랜지스터(201\_2)의 제 1 단자와 배선(115\_2)의 사이에도, 여러 가지 소자, 또는 회로를 접속할 수 있다. 예를 들어, 도 11b에 도시하는 바와 같이, 트랜지스터(202\_1)는, 트랜지스터(201\_1)의 제 1 단자와 배선(115\_1)의 사이에 접속되는 것이 가능하다. 또는, 트랜지스터(202\_2)는, 트랜지스터(201\_2)의 제 1 단자와 배선(115\_2)의 사이에 접속되는 것이 가능하다.

[0189] 또한, 도 11a 및 도 11b와 마찬가지로, 도 9c 내지 도 9f에 있어서도, 트랜지스터(201\_1)의 제 2 단자와 노드(n1)의 사이, 트랜지스터(201\_2)의 제 2 단자와 노드(n2)의 사이, 트랜지스터(201\_1)의 제 1 단자와 배선(115\_1)의 사이, 및/또는, 트랜지스터(201\_2)의 제 1 단자와 배선(115\_2)의 사이에는, 여러 가지 소자, 또는 회로를 접속할 수 있다. 도 11c에는, 일 예로서, 도 9f에 있어서, 트랜지스터(201\_1)의 제 2 단자와 노드(n1)의 사이에, 다이오드 접속된 구성의 트랜지스터(202\_1)가 접속되고, 트랜지스터(201\_2)의 제 2 단자와 노드(n2)의 사이에, 다이오드 접속된 구성의 트랜지스터(202\_2)가 접속되는 경우의 구성을 도시한다. 도 11d에는, 일 예로서, 도 9f에 있어서, 트랜지스터(201\_1)의 제 1 단자와 배선(114) 사이에, 다이오드 접속된 구성의 트랜지스터(202\_1)가 접속되고, 트랜지스터(201\_2)의 제 1 단자와 배선(114)의 사이에, 다이오드 접속된 구성의 트랜지스터(202\_1)가 접속되는 경우의 구성을 도시한다.

[0190] 또한, 도 11e에 도시하는 바와 같이, 회로(200)는, 트랜지스터(203\_1 및 203\_2)와 같은 복수의 트랜지스터를 가질 수 있다. 트랜지스터(203\_1 및 203\_2)는, 트랜지스터(201\_1 및 201\_2)와 같은 극성인 것이 바람직하고, N 채널형인 것으로 한다. 단, 이것에 한정되지 않고, 트랜지스터(203\_1 및 203\_2)는, P 채널형인 것이 가능하다. 트랜지스터(203\_1)의 제 1 단자는, 배선(117)과 접속되고, 트랜지스터(203\_1)의 제 2 단자는, 노드(n1)와 접속되고, 트랜지스터(203\_1)의 게이트는, 배선(115\_2)과 접속된다. 트랜지스터(203\_2)의 제 1 단자는, 배선(117)과 접속되고, 트랜지스터(203\_2)의 제 2 단자는, 노드(n2)와 접속되고, 트랜지스터(203\_2)의 게이트는, 배선(115\_1)과 접속된다. 단, 이것에 한정되지 않는다. 예를 들어, 트랜지스터(203\_1)의 제 2 단자는, 노드(n2)와 접속되는 것이 가능하다. 또는, 트랜지스터(203\_2)의 제 2 단자는, 노드(n1)와 접속되는 것이 가능하다.

[0191] 또한, 트랜지스터(203\_1)는, 신호(SEL2)에 따라서, 배선(117)과 노드(n1)의 도통 상태를 제어함으로써, 전압(V1)이 노드(n1)에 공급되는 타이밍을 제어하는 기능을 가지고, 스위치로서 기능할 수 있다. 트랜지스터(203\_2)는, 신호(SEL1)에 따라서, 배선(117)과 노드(n2)의 도통 상태를 제어함으로써, 전압(V1)이 노드(n2)에 공급되는 타이밍을 제어하는 기능을 가지고, 스위치로서 기능할 수 있다. 이렇게 하여, 기간(T1)에 있어서, 트랜지스터(203\_2)에 의해, 노드(n2)에 전압(V1)이 공급된다. 따라서, 트랜지스터(201\_2)가 오프라도, 노드(n2)의 전위를 고정할 수 있다. 마찬가지로, 기간(T2)에 있어서, 트랜지스터(203\_1)에 의해, 노드(n1)에 전압(V1)이 공급된다. 따라서, 트랜지스터(201\_1)가 오프라도, 노드(n1)의 전위를 고정할 수 있다. 이 결과, 노이즈에 강한 반도체 장치를 얻을 수 있다.

[0192] 또한, 도 11f에 도시하는 바와 같이, 배선(117)을 배선(117A 및 117B)과 같은 복수의 배선으로 분할할 수 있다. 트랜지스터(203\_1)의 제 1 단자, 및 트랜지스터(203\_2)의 제 1 단자는, 각각, 배선(117A), 배선(117B)과 접속되는 것이 가능하다. 배선(117A 및 117B)은, 여러 가지 배선, 여러 가지 소자, 또는 여러 가지 노드와 접속되는 것이 가능하다.

[0193] 또한, 도 12a에 도시하는 바와 같이, 트랜지스터(203\_1)의 제 2 단자는, 배선(115\_1)과 접속되고, 트랜지스터(203\_2)의 제 2 단자는, 배선(115\_2)과 접속되는 것이 가능하다. 이렇게 함으로써, 트랜지스터(203\_1)가 오프되는 기간(예를 들어 기간(T1))에 있어서, 트랜지스터(203\_1)의 제 1 단자에는 H 레벨의 신호가 입력된다. 따라서, 트랜지스터(203\_1)에는 역바이어스가 인가되므로, 열화를 억제할 수 있다. 마찬가지로, 트랜지스터(203\_2)가 오프되는 기간(예를 들어 기간(T2))에 있어서, 트랜지스터(203\_2)의 제 1 단자에는 H 레벨의 신호가 입력된다. 따라서, 트랜지스터(203\_2)에는 역바이어스가 인가되므로, 열화를 억제할 수 있다.

[0194] 또한, 도 12b에 도시하는 바와 같이, 트랜지스터(203\_1), 및 트랜지스터(203\_2)는, 다이오드 접속된 구성인 것이 가능하다. 예를 들어, 트랜지스터(203\_1)의 제 1 단자는, 배선(115\_1)과 접속되고, 트랜지스터(203\_1)의 제 2 단자는, 노드(n1)와 접속되고, 트랜지스터(203\_1)의 게이트는, 노드(n1)와 접속된다. 마찬가지로, 트랜지스터(203\_2)의 제 1 단자는, 배선(115\_2)과 접속되고, 트랜지스터(203\_2)의 제 2 단자는, 노드(n2)와 접속되고, 트랜지스터(203\_2)의 게이트는, 노드(n2)와 접속된다. 이 경우, 기간(T1)에 있어서, 신호(SEL2)가 L 레벨로 되

면, L 레벨의 신호(SEL2)는, 배선(115\_2)으로부터 트랜지스터(203\_2)를 통하여 노드(n2)에 공급된다. 따라서, 노드(n2)의 전위를 대략 V1로 되도록 고정할 수 있다. 한편으로, 기간(T2)에 있어서, 신호(SEL1)가 L 레벨로 되면, L 레벨의 신호(SEL1)는, 배선(115\_1)으로부터 트랜지스터(203\_1)를 통하여 노드(n1)에 공급된다. 따라서, 노드(n1)의 전위를 대략 V1로 되도록 고정할 수 있다. 단, 이것에 한정되지 않는다. 예를 들어, 트랜지스터(203\_1)의 게이트는, 배선(115\_1)과 접속되는 것이 가능하다. 또는, 트랜지스터(203\_2)의 게이트는, 배선(115\_2)과 접속되는 것이 가능하다.

[0195] 또한, 도 11e 및 도 11f, 및 도 12a 및 도 12b와 마찬가지로, 도 9c 내지 도 9f, 및 도 11a 내지 도 11d에 있어서도, 회로(200)는, 트랜지스터(203\_1 및 203\_2)를 가질 수 있다. 예를 들어, 도 12c에는, 도 9f에 있어서, 회로(200)가 트랜지스터(203\_1 및 203\_2)를 가지는 경우의 구성을 도시한다. 도 12d 및 도 12e에는, 도 11a에 있어서, 회로(200)가 트랜지스터(203\_1 및 203\_2)를 가지는 경우의 구성을 도시한다. 도 12f에는, 도 11d에 있어서, 회로(200)가 트랜지스터(203\_1 및 203\_2)를 가지는 경우의 구성을 도시한다.

[0196] 또한, 트랜지스터(203\_1)의 제 2 단자, 및 트랜지스터(203\_2)의 제 2 단자는, 여러 가지 배선 또는 노드와 접속되는 것이 가능하다. 예를 들어, 도 12e에 도시하는 바와 같이, 트랜지스터(203\_1)의 제 2 단자는, 트랜지스터(201\_1)의 제 2 단자와 접속되는 것이 가능하다. 마찬가지로, 트랜지스터(203\_2)의 제 2 단자는, 트랜지스터(201\_2)의 제 2 단자와 접속되는 것이 가능하다. 또는, 도 12f에 도시하는 바와 같이, 트랜지스터(203\_1)의 제 2 단자는, 트랜지스터(201\_1)의 제 1 단자와 접속되는 것이 가능하다. 마찬가지로, 트랜지스터(203\_2)의 제 2 단자는, 트랜지스터(201\_2)의 제 1 단자와 접속되는 것이 가능하다.

[0197] 또한, 도 5f에 도시하는 바와 같이, 회로(200)는, 트랜지스터(201\_1 및 201\_2)에 더하여, 트랜지스터(203\_1 및 203\_2)와 같은 복수의 트랜지스터를 가질 수 있다. 트랜지스터(203\_1 및 203\_2)는, 트랜지스터(201\_1 및 201\_2)와 같은 극성인 것이 바람직하고, N 채널형인 것으로 한다. 단, 이것에 한정되지 않고, 트랜지스터(203\_1 및 203\_2)는, P 채널형인 것이 가능하다. 트랜지스터(203\_1)의 제 1 단자는, 배선(114)과 접속되고, 트랜지스터(203\_1)의 제 2 단자는, 노드(n1)와 접속되고, 트랜지스터(203\_1)의 게이트는, 배선(118)과 접속된다. 트랜지스터(203\_2)의 제 1 단자는, 배선(114)과 접속되고, 트랜지스터(203\_2)의 제 2 단자는, 노드(n2)와 접속되고, 트랜지스터(203\_2)의 게이트는, 배선(118)과 접속된다. 배선(118)에는, 신호(CK2)가 입력되는 것으로 한다. 따라서, 배선(118)은, 신호선 또는 클록 신호선으로서 기능할 수 있다. 단, 이것에 한정되지 않고, 배선(118)에는 여러 가지 신호, 여러 가지 전압, 또는 여러 가지 전류를 입력할 수 있다. 트랜지스터(203\_1)는, 배선(118)의 전위에 따라서, 배선(114)과 노드(n1)와의 도통 상태를 제어하는 기능을 가진다. 또는, 트랜지스터(203\_1)는, 배선(118)의 전위에 따라서, 배선(114)의 전위를 노드(n1)에 공급하는 기능을 가진다. 트랜지스터(203\_2)는, 배선(118)의 전위에 따라서, 배선(114)과 노드(n2)의 도통 상태를 제어하는 기능을 가진다. 또는, 트랜지스터(203\_2)는, 배선(118)의 전위에 따라서, 배선(114)의 전위를 노드(n2)에 공급하는 기능을 가진다. 단, 이것에 한정되지 않고, 트랜지스터(203\_1 및 203\_2)는, 그 외에도 다양한 기능을 가질 수 있다.

[0198] 또한, 트랜지스터(203\_1)의 제 1 단자와 트랜지스터(203\_2)의 제 1 단자는, 개개의 배선과 접속되는 것이 가능하다. 또한, 트랜지스터(203\_1)의 게이트와 트랜지스터(203\_2)의 게이트는, 개개의 배선과 접속되는 것이 가능하다.

[0199] 또한, 도 5f와 마찬가지로, 도 9c 내지 도 9f, 도 11a 내지 도 11f, 및 도 12a 내지 도 12f에 있어서도, 트랜지스터(203\_1 및 203\_2)와 같은 기능을 가지는 트랜지스터를 새롭게 추가할 수 있다.

[0200] 또한, 도 13a에 도시하는 바와 같이, 트랜지스터(101\_1 및 101\_2), 트랜지스터(201\_1 및 201\_2)로서, P 채널형 트랜지스터를 사용할 수 있다. 트랜지스터(101p\_1 및 101p\_2)는, 트랜지스터(101\_1 및 101\_2)에 대응하여, P 채널형이다. 트랜지스터(102p\_1 내지 102p\_2)는, 트랜지스터(102\_1 및 102\_2)에 대응하고, P 채널형이다. 그리고, 도 13b에 도시하는 바와 같이, 트랜지스터의 극성이 P 채널형인 경우, 배선(113)에 전압(V1)이 공급되고, 배선(117)에는 전압(V2)이 공급되고, 신호(CK1), 신호(SP), 신호(RE), 노드(n1)의 전위, 노드(n2)의 전위, 및 신호(OUT)는, 도 4b의 타이밍 차트와 비교하여 반전하고 있는 것을 부가 기록한다.

[0201] 또한, 도 13a와 마찬가지로, 도 9c 내지 도 9f, 도 11a 내지 도 11f, 및 도 12a 내지 도 12f에 있어서도, 트랜지스터로서, P 채널형 트랜지스터를 사용할 수 있다.

[0202] (실시형태 3)

[0203] 본 실시형태에서는, 실시형태 2에서 기술하는 회로(10)와는 다른 구성의 일 예에 대해서 설명한다. 또한, 실시형태 1 내지 실시형태 2에서 기술하는 내용은, 그 설명을 생략한다. 또한, 본 실시형태에서 기술하는 내용은,

실시형태 1 내지 실시형태 2에서 기술하는 내용과 적절하게 조합할 수 있다.

- [0204] 우선, 실시형태 2와는 다른 회로(10)의 구체예에 대해서, 도 14를 참조하여 설명한다. 도 14의 회로(10)는, 회로(200)에 더하여, 회로(300)를 가진다. 회로(300)는, 회로(10)의 일부이다. 또한, 회로(300)의 일부는, 회로(200)와 공유할 수 있고, 회로(200)의 일부는, 회로(300)와 공유할 수 있다. 회로(300)는, 배선(113), 배선(116), 배선(117), 노드(n1), 노드(n2), 및/또는, 배선(111)과 접속된다. 단, 이것에 한정되지 않고, 회로(200)는, 다른 배선, 또는 다른 노드와 접속되는 것이 가능하다.
- [0205] 회로(300)는, 1개 또는 2개 이상의 트랜지스터를 가지는 경우가 많다. 이들의 트랜지스터의 극성은, 트랜지스터(101\_1 및 101\_2)의 극성과 같은 경우가 많고, N 채널형인 경우가 많다. 단, 이것에 한정되지 않고, 회로(300)는, P 채널형의 트랜지스터를 가질 수 있다. 또는, 회로(300)는, N 채널형의 트랜지스터와 P 채널형의 트랜지스터를 가질 수 있다. 즉, 회로(300)는, CMOS 회로인 것이 가능하다.
- [0206] 회로(300)는, 신호(RE), 노드(n1)의 전위, 노드(n2)의 전위, 및/또는, 신호(OUT)의 하강 시간에 따라서, 노드(n1), 노드(n2), 및/또는, 배선(111)에 신호 또는 전압을 공급하는 타이밍을 제어하는 기능을 가진다. 이렇게 하여, 회로(200)는, 노드(n1)의 전위, 노드(n2)의 전위, 및/또는, 배선(111)의 전위를 제어하는 기능을 가진다. 예를 들어, 회로(200)는, L 레벨의 신호 또는 전압(V1)을 노드(n1), 노드(n2), 및/또는, 배선(111)에 공급하는 기능을 가진다.
- [0207] 다음에, 회로(300)의 일 예에 대해서, 도 15a를 참조하여 설명한다. 도 15a의 일 예에서는, 회로(300)는, 트랜지스터(301\_1 및 301\_2)와 같은 복수의 트랜지스터, 트랜지스터(302), 트랜지스터(303\_1 및 303\_2)와 같은 복수의 트랜지스터, 트랜지스터(304), 회로(310\_1 및 310\_2)와 같은 복수의 회로, 및 회로(320)를 가진다.
- [0208] 또한, 트랜지스터(301\_1 및 301\_2), 트랜지스터(302), 트랜지스터(303\_1 및 303\_2), 및 트랜지스터(304)는, 일 예로서 N 채널형인 것으로 한다. 단, 이것에 한정되지 않고, 트랜지스터(301\_1 및 301\_2), 트랜지스터(302), 트랜지스터(303\_1 및 303\_2), 및/또는, 트랜지스터(304)는, P 채널형인 것이 가능하다.
- [0209] 또한, 일 예로서, 도 15b에 도시하는 바와 같이, 회로(310\_1 및 310\_2), 및 회로(320)로서는, 인버터 회로를 사용할 수 있다. 단, 이것에 한정되지 않고, 회로(310\_1 및 310\_2), 및 회로(320)로서는, 그 외에도 여러 가지 회로를 사용할 수 있다.
- [0210] 다음에, 도 15a의 회로(300)의 접속 관계에 대해서 설명한다. 트랜지스터(301\_1)의 제 1 단자는, 배선(117)과 접속되고, 트랜지스터(301\_1)의 제 2 단자는, 노드(n1)와 접속된다. 트랜지스터(301\_2)의 제 1 단자는, 배선(117)과 접속되고, 트랜지스터(301\_2)의 제 2 단자는, 노드(n2)와 접속된다. 트랜지스터(302)의 제 1 단자는, 배선(117)과 접속되고, 트랜지스터(302)의 제 2 단자는, 배선(111)과 접속된다. 트랜지스터(303\_1)의 제 1 단자는, 배선(117)과 접속되고, 트랜지스터(303\_1)의 제 2 단자는, 노드(n1)와 접속되고, 트랜지스터(303\_1)의 게이트는, 배선(116)과 접속된다. 트랜지스터(303\_2)의 제 1 단자는, 배선(117)과 접속되고, 트랜지스터(303\_2)의 제 2 단자는, 노드(n2)와 접속되고, 트랜지스터(303\_2)의 게이트는, 배선(116)과 접속된다. 트랜지스터(304)의 제 1 단자는, 배선(117)과 접속되고, 트랜지스터(304)의 제 2 단자는, 배선(111)과 접속되고, 트랜지스터(304)의 게이트는, 배선(116)과 접속된다. 회로(310\_1)는, 배선(113), 노드(n1), 배선(117), 및 트랜지스터(301\_1)의 게이트와 접속된다. 회로(310\_2)는, 배선(113), 노드(n2), 배선(117), 및 트랜지스터(301\_2)의 게이트와 접속된다. 회로(320)는, 배선(113), 배선(111), 배선(117), 및 트랜지스터(302)의 게이트와 접속된다.
- [0211] 다음에, 회로(310\_1 및 310\_2), 및 회로(320)가 가지는 기능에 대해서 설명한다. 회로(310\_1)는, 노드(n1)의 전위에 따라서, 트랜지스터(301\_1)의 게이트의 전위를 제어함으로써, 트랜지스터(301\_1)의 도통 상태를 제어하는 기능을 가지고, 제어 회로로서 기능할 수 있다. 회로(310\_2)는, 노드(n2)의 전위에 따라서, 트랜지스터(301\_2)의 게이트의 전위를 제어함으로써, 트랜지스터(301\_2)의 도통 상태를 제어하는 기능을 가지고, 제어 회로로서 기능할 수 있다. 회로(320)는, 배선(111)의 전위에 따라서, 트랜지스터(302)의 게이트의 전위를 제어함으로써, 트랜지스터(302)의 도통 상태를 제어하는 기능을 가지고, 제어 회로로서 기능할 수 있다. 단, 이것에 한정되지 않고, 회로(310\_1 및 310\_2), 및 회로(320)는, 그 외에도 다양한 기능을 가질 수 있다.
- [0212] 다음에, 트랜지스터(301\_1 및 301\_2), 트랜지스터(302), 트랜지스터(303\_1 및 303\_2), 및 트랜지스터(304)가 가지는 기능에 대해서 설명한다. 트랜지스터(301\_1)는, 회로(310\_1)의 출력 신호에 따라서, 배선(117)과 노드(n1)의 도통 상태를 제어함으로써, 전압(V1)을 노드(n1)에 공급하는 타이밍을 제어하는 기능을 가지고, 스위치로서 기능할 수 있다. 트랜지스터(301\_2)는, 회로(310\_2)의 출력 신호에 따라서, 배선(117)과 노드(n2)의 도통

상태를 제어함으로써, 전압(V1)을 노드(n2)에 공급하는 타이밍을 제어하는 기능을 가지고, 스위치로서 기능할 수 있다. 트랜지스터(302)는, 회로(320)의 출력 신호에 따라서, 배선(117)과 배선(111)의 도통 상태를 제어함으로써, 전압(V1)을 배선(111)에 공급하는 타이밍을 제어하는 기능을 가지고, 스위치로서 기능할 수 있다. 트랜지스터(303\_1)는, 신호(RE)에 따라서, 배선(117)과 노드(n1)의 도통 상태를 제어함으로써, 전압(V1)을 노드(n1)에 공급하는 타이밍을 제어하는 기능을 가지고, 스위치로서 기능할 수 있다. 트랜지스터(303\_2)는, 신호(RE)에 따라서, 배선(117)과 노드(n2)의 도통 상태를 제어함으로써, 전압(V1)을 노드(n2)에 공급하는 타이밍을 제어하는 기능을 가지고, 스위치로서 기능할 수 있다. 트랜지스터(304)는, 신호(RE)에 따라서, 배선(117)과 배선(111)의 도통 상태를 제어함으로써, 전압(V1)을 배선(111)에 공급하는 타이밍을 제어하는 기능을 가지고, 스위치로서 기능할 수 있다. 단, 이것에 한정되지 않고, 트랜지스터(301\_1 및 301\_2), 트랜지스터(302), 트랜지스터(303\_1 및 303\_2), 및 트랜지스터(304)는, 그 외에도 다양한 기능을 가질 수 있다.

[0213] 다음에, 도 15a의 회로(300)의 동작의 일 예에 대해서 설명한다. 또한, 도 15a의 반도체 장치의 동작은, 도 4a의 반도체 장치의 동작과 공통되는 부분이 있기 때문에, 도 4c의 타이밍 차트를 참조하여 설명한다. 또한, 실시형태 1 내지 실시형태 2와 공통되는 것은, 그 설명을 생략한다.

[0214] 우선, 기간(A1)에 있어서, 도 16a에 도시하는 바와 같이, 신호(RE)는 L 레벨로 되므로, 트랜지스터(303\_1 및 303\_2), 및 트랜지스터(304)는 오프된다. 회로(310\_1)의 출력 신호는, 노드(n1)의 전위가 예를 들어  $V2+V_{th101\_1}+V_x$ 로 되므로, L 레벨로 된다. 따라서, 트랜지스터(301\_1)는 오프된다. 회로(310\_2)의 출력 신호는, 노드(n2)의 전위가 대략 V1로 되므로, H 레벨로 된다. 따라서, 트랜지스터(301\_2)는 온된다. 회로(320)의 출력 신호는, 배선(111)의 전위가 대략 V1로 되므로, H 레벨로 된다. 따라서, 트랜지스터(302)는 온된다. 이 결과, 배선(117)과 노드(n1)는 비도통 상태로 되고, 배선(117)과 노드(n2)는 트랜지스터(301\_2)를 통하여 도통 상태로 되고, 배선(117)과 배선(111)은 트랜지스터(302)를 통하여 도통 상태로 된다. 따라서, 전압(V1)은, 배선(117)으로부터 트랜지스터(301\_2)를 통하여 노드(n2)에 공급된다. 전압(V1)은, 배선(117)으로부터 트랜지스터(302)를 통하여 배선(111)에 공급된다.

[0215] 한편으로, 기간(A2)에서는, 도 16b에 도시하는 바와 같이, 회로(310\_1)의 출력 신호는, 노드(n1)의 전위가 대략 V1로 되므로, H 레벨로 되고, 회로(310\_2)의 출력 신호는, 노드(n2)의 전위가 예를 들어  $V2+V_{th101\_2}+V_x$ 로 되므로, L 레벨로 되는 부분이, 기간(A1)과는 다르다. 따라서, 트랜지스터(301\_1)는 온되고, 트랜지스터(301\_2)는 오프된다. 이 결과, 배선(117)과 노드(n1)는 트랜지스터(301\_1)를 통하여 도통 상태로 되고, 배선(117)과 노드(n2)는 비도통 상태로 된다. 따라서, 전압(V1)은, 배선(117)을 통하여 노드(n1)에 공급된다.

[0216] 다음에, 기간(B1)에 있어서, 도 16c에 도시하는 바와 같이, 신호(RE)는 L 레벨인 채이므로, 트랜지스터(303\_1 및 303\_2), 및 트랜지스터(304)는 오프인 채이다. 회로(310\_1)의 출력 신호는, 노드(n1)의 전위가 예를 들어  $V2+V_{th101\_1}+V_x$ 인 채이므로, L 레벨인 채이다. 따라서, 트랜지스터(301\_1)는 오프인 채로 된다. 회로(310\_2)의 출력 신호는, 노드(n2)의 전위가 대략 V1인 채이므로, H 레벨인 채로 된다. 따라서, 트랜지스터(301\_2)는 온인 채로 된다. 회로(320)의 출력 신호는, 배선(111)의 전위가 대략 V2로 되므로, L 레벨로 된다. 따라서, 트랜지스터(302)는 오프된다. 이 결과, 배선(117)과 노드(n1)는 비도통 상태인 채로 되고, 배선(117)과 노드(n2)는 트랜지스터(301\_2)를 통하여 도통 상태인 채로 되고, 배선(117)과 배선(111)은 비도통 상태로 된다. 따라서, 전압(V1)은, 배선(117)으로부터 트랜지스터(301\_2)를 통하여 노드(n2)에 공급된다.

[0217] 한편으로, 기간(B2)에서는, 도 17a에 도시하는 바와 같이, 회로(310\_1)의 출력 신호는, 노드(n1)의 전위가 대략 V1인 채이므로, L 레벨인 채로 되고, 회로(310\_2)의 출력 신호는, 노드(n2)의 전위가 예를 들어 대략  $V2+V_{th101\_2}+V_x$ 인 채이므로, L 레벨인 채로 되는 부분이, 기간(B1)과는 다르다. 따라서, 트랜지스터(301\_1)는 온인 채로 되고, 트랜지스터(301\_2)는 오프인 채로 된다. 이 결과, 배선(117)과 노드(n1)는 트랜지스터(301\_1)를 통하여 도통 상태인 채로 되고, 배선(117)과 노드(n2)는 비도통 상태인 채로 된다. 따라서, 전압(V1)은, 배선(117)을 통하여 노드(n1)에 공급된다.

[0218] 다음에, 기간(C1), 및 기간(C2)에 있어서, 도 17b에 도시하는 바와 같이, 신호(RE)는 H 레벨로 되므로, 트랜지스터(303\_1 및 303\_2), 및 트랜지스터(304)는 온된다. 회로(310\_1)의 출력 신호는, 노드(n1)의 전위가 대략 V1로 되므로, H 레벨로 된다. 따라서, 트랜지스터(301\_1)는 온된다. 회로(310\_2)의 출력 신호는, 노드(n2)의 전위가 대략 V1로 되므로, H 레벨로 된다. 따라서, 트랜지스터(301\_2)는 온된다. 회로(320)의 출력 신호는, 배선(111)의 전위가 대략 V1로 되므로, H 레벨로 된다. 따라서, 트랜지스터(302)는 온된다. 이 결과, 배선(117)과 노드(n1)는 트랜지스터(301\_1) 및 트랜지스터(303\_1)를 통하여 도통 상태로 되고, 배선(117)과 노드(n2)는 트랜지스터(301\_2) 및 트랜지스터(303\_2)를 통하여 도통 상태로 되고, 배선(117)과 배선(111)은 트랜지

스터(302) 및 트랜지스터(304)를 통하여 도통 상태로 된다. 따라서, 전압(V1)은, 배선(117)으로부터 트랜지스터(301\_1) 및 트랜지스터(303\_1)를 통하여 노드(n1)에 공급된다. 전압(V1)은, 배선(117)으로부터 트랜지스터(301\_2) 및 트랜지스터(303\_2)를 통하여 노드(n2)에 공급된다. 전압(V1)은, 배선(117)으로부터 트랜지스터(302) 및 트랜지스터(304)를 통하여 배선(111)에 공급된다.

[0219] 다음에, 기간(D1), 기간(D2), 기간(E1), 기간(E2)에 있어서, 도 17c에 도시하는 바와 같이, 신호(RE)는 L 레벨로 되므로, 트랜지스터(303\_1 및 303\_2), 및 트랜지스터(304)는 오프된다. 회로(310\_1)의 출력 신호는, 노드(n1)의 전위가 대략 V1인 채이므로, H 레벨인 채이다. 따라서, 트랜지스터(301\_1)는 온인 채로 된다. 회로(310\_2)의 출력 신호는, 노드(n2)의 전위가 대략 V1인 채이므로, H 레벨인 채로 된다. 따라서, 트랜지스터(301\_2)는 온인 채로 된다. 회로(320)의 출력 신호는, 배선(111)의 전위가 대략 V1인 채이므로, H 레벨인 채로 된다. 따라서, 트랜지스터(302)는 온인 채로 된다. 이 결과, 배선(117)과 노드(n1)는 트랜지스터(301\_1)를 통하여 도통 상태인 채로 되고, 배선(117)과 노드(n2)는 트랜지스터(301\_2)를 통하여 도통 상태인 채로 되고, 배선(117)과 배선(111)은 트랜지스터(302)를 통하여 도통 상태인 채로 된다. 따라서, 전압(V1)은 배선(117)으로부터 트랜지스터(301\_1)를 통하여 노드(n1)에 공급된다. 전압(V1)은 배선(117)으로부터 트랜지스터(301\_2)를 통하여 노드(n2)에 공급된다. 전압(V1)은 배선(117)으로부터 트랜지스터(302)를 통하여 배선(111)에 공급된다.

[0220] 또한, 트랜지스터(301\_1 및 301\_2)는, 이러한 기능을 가지므로, 이들의 채널 폭은 대략 같은 것이 바람직하다. 마찬가지로, 트랜지스터(303\_1 및 303\_2)는, 같은 기능을 가지므로, 이들의 채널 폭은 대략 같은 것이 바람직하다. 단, 이것에 한정되지 않고, 트랜지스터(301\_1 및 301\_2)는, 서로 채널 폭이 다른 구조로 할 수 있다. 또는, 트랜지스터(303\_1 및 303\_2)는, 서로 채널 폭이 다른 구조로 할 수 있다.

[0221] 또한, 트랜지스터(301\_1 및 301\_2)는, 노드(n1 및 n2)에 전압(V1)을 공급하는 타이밍을 제어하는 기능을 가지고, 트랜지스터(302)는, 배선(111)에 전압(V1)을 공급하는 타이밍을 제어하는 기능을 가진다. 노드(n1 및 n2)의 부하는, 배선(111)의 부하보다도 작은 경우가 많으므로, 트랜지스터(301\_1 및 301\_2)의 채널 폭은, 트랜지스터(302)의 채널 폭보다도 작은 것이 바람직하다. 같은 이유로, 트랜지스터(303\_1 및 303\_2)의 채널 폭은, 트랜지스터(304)의 채널 폭보다도 작은 것이 바람직하다. 단, 이것에 한정되지 않고, 트랜지스터(301\_1 및 301\_2)의 채널 폭은, 트랜지스터(302)의 채널 폭보다도 크거나, 또는 대략 같은 것이 가능하다. 또는, 트랜지스터(303\_1 및 303\_2)의 채널 폭은, 트랜지스터(304)의 채널 폭보다도 크거나, 또는 대략 같은 것이 가능하다.

[0222] 또한, 도 18a에 도시하는 바와 같이, 실시형태 1 내지 실시형태 2와 마찬가지로, 배선(117)을 배선(117C 내지 117K)과 같은 복수의 배선으로 분할할 수 있다. 배선(117C), 배선(117D), 배선(117E), 배선(117F), 배선(117G), 배선(117H), 배선(117I), 배선(117J), 및 배선(117K)은, 각각, 트랜지스터(303\_1)의 제 1 단자, 트랜지스터(303\_2)의 제 1 단자, 트랜지스터(304)의 제 1 단자, 회로(310\_1), 트랜지스터(301\_1)의 제 1 단자, 회로(310\_2), 트랜지스터(301\_2)의 제 1 단자, 회로(320), 트랜지스터(302)의 제 1 단자와 접속되는 것이 가능하다. 배선(117C 내지 117K)은, 배선(111), 배선(112), 배선(113), 배선(114), 배선(115\_1 내지 115\_2), 배선(116), 배선(118), 또는 배선(211) 등의 여러 가지 배선, 또는 노드(n1 및 n2) 등의 여러 가지 노드와 접속되는 것이 가능하다. 단, 이것에 한정되지 않고, 배선(113)도 마찬가지로 복수의 배선으로 분할할 수 있다.

[0223] 또한, 도 18b에 도시하는 바와 같이, 트랜지스터(303\_1)의 제 1 단자, 트랜지스터(303\_2)의 제 1 단자, 및 트랜지스터(304)의 제 1 단자는, 배선(118)과 접속되는 것이 가능하다.

[0224] 또한, 도 18c에 도시하는 바와 같이, 트랜지스터(304)를 생략할 수 있다. 단, 이것에 한정되지 않고, 트랜지스터(303\_1), 및/또는, 트랜지스터(303\_2)를 생략할 수 있다.

[0225] 또한, 도 18c와 마찬가지로, 도 18a 및 도 18b에 있어서도, 트랜지스터(303\_1), 트랜지스터(303\_2), 및/또는, 트랜지스터(304)를 생략할 수 있다.

[0226] 또한, 도 19a에 도시하는 바와 같이, 회로(320), 및 트랜지스터(302)를 생략할 수 있다. 단, 이것에 한정되지 않고, 회로(310\_1), 및 트랜지스터(301\_1)를 생략할 수 있고, 회로(310\_1), 및 트랜지스터(301\_2)를 생략할 수 있다.

[0227] 또한, 도 19a와 마찬가지로, 도 18a 내지 도 18c에 있어서도, 회로(310\_1), 및 트랜지스터(301\_1)를 생략할 수 있고, 회로(310\_1), 및 트랜지스터(301\_2)를 생략할 수 있고, 회로(320), 및 트랜지스터(302)를 생략할 수 있다.

- [0228] 또한, 도 19b에 도시하는 바와 같이, 트랜지스터(301\_1)를, 한쪽의 단자(이하, 양극이라고도 함)가 노드(n1)와 접속되고, 다른쪽의 단자(이하, 음극이라고도 함)가 회로(310\_1)의 출력 단자와 접속되는 다이오드(301a\_1)와 치환할 수 있다. 또는, 트랜지스터(301\_2)를, 한쪽의 단자(이하, 양극이라고도 함)가 노드(n2)와 접속되고, 다른쪽의 단자(이하, 음극이라고도 함)가 회로(310\_2)의 출력 단자와 접속되는 다이오드(301a\_2)와 치환할 수 있다. 또는, 트랜지스터(302)를, 한쪽의 단자(이하, 양극이라고도 함)가 배선(111)과 접속되고, 다른쪽의 단자(이하, 음극이라고도 함)가 회로(320)의 출력 단자와 접속되는 다이오드(302a)와 치환할 수 있다. 또는, 트랜지스터(303\_1)를, 한쪽의 단자(이하, 양극이라고도 함)가 노드(n1)와 접속되고, 다른쪽의 단자(이하, 음극이라고도 함)가 배선(116)과 접속되는 다이오드(303a\_1)와 치환할 수 있다. 또는, 트랜지스터(303\_2)를, 한쪽의 단자(이하, 양극이라고도 함)가 노드(n2)와 접속되고, 다른쪽의 단자(이하, 음극이라고도 함)가 배선(116)과 접속되는 다이오드(303a\_2)와 치환할 수 있다. 또는, 트랜지스터(304)를, 한쪽의 단자(이하, 양극이라고도 함)가 배선(111)과 접속되고, 다른쪽의 단자(이하, 음극이라고도 함)가 배선(116)과 접속되는 다이오드(304a)와 치환할 수 있다. 단, 이것에 한정되지 않고, 각 트랜지스터의 게이트와, 제 2 단자와 접속함으로써, 트랜지스터를 다이오드 접속시킨 구성으로 할 수 있다. 또는, 각 트랜지스터의 게이트와, 제 1 단자와 접속함으로써, 트랜지스터를 다이오드 접속시킨 구성으로 할 수 있다.
- [0229] 또한, 도 19b와 마찬가지로, 도 18a 내지 도 18c, 및 도 19a에 있어서도, 트랜지스터(301\_1 및 301\_2), 트랜지스터(302), 트랜지스터(303\_1 및 303\_2), 및/또는, 트랜지스터(304)를 다이오드로 치환할 수 있다. 또는, 이들의 트랜지스터를, 다이오드 접속된 구성으로 할 수 있다.
- [0230] 또한, 도 19c에 도시하는 바와 같이, 트랜지스터(301\_1 및 301\_2), 및 트랜지스터(302)의 도통 상태를 제어하기 위한 회로를 트랜지스터(301\_1 및 301\_2), 및 트랜지스터(302)에서 공유할 수 있다. 회로(330)는, 노드(n1 및 n2)의 전위에 따라서, 트랜지스터(301\_1 및 301\_2), 및 트랜지스터(302)의 게이트의 전위를 제어함으로써, 트랜지스터(301\_1 및 301\_2), 및 트랜지스터(302)의 도통 상태를 제어하는 기능을 가지고, 제어 회로로서 기능할 수 있다. 도 4c에 도시하는 기간(A1), 기간(A2), 기간(B1), 및 기간(B2)에서는, 회로(330)의 출력 신호는, 노드(n1)의 전위 또는 노드(n2)의 전위가 V1보다도 높은 전위이므로, L 레벨로 된다. 따라서, 트랜지스터(301\_1 및 301\_2), 및 트랜지스터(302)는 오프된다. 기간(C1), 기간(C2), 기간(D1), 기간(D2), 기간(E1), 및 기간(E2)에서는, 회로(330)의 출력 신호는, 노드(n1)의 전위 또는 노드(n2)의 전위가 대략 V1므로, H 레벨로 된다. 따라서, 트랜지스터(301\_1 및 301\_2), 및 트랜지스터(302)는 온된다.
- [0231] 또한, 도 19c와 마찬가지로, 도 18a 내지 도 18c, 및 도 19a 내지 19b에 있어서도, 트랜지스터(301\_1 및 301\_2), 및 트랜지스터(302)의 도통 상태를 제어하기 위한 회로를 공유할 수 있다.
- [0232] 또한, 도 20a에 도시하는 바와 같이, 도 10c와 같이 회로(100)가 트랜지스터(101\_1 내지 101\_N)와 같은 복수의 트랜지스터를 가지는 경우, 회로(300)는, 트랜지스터(301\_1 내지 301\_N)와 같은 복수의 트랜지스터, 트랜지스터(303\_1 내지 303\_N)와 같은 복수의 트랜지스터, 및 회로(310\_1 내지 310\_N)와 같은 복수의 회로를 가질 수 있다. 트랜지스터(301\_1 내지 301\_N)는, 트랜지스터(301\_1) 또는 트랜지스터(301\_2)에 대응하고, 같은 기능을 가진다. 트랜지스터(303\_1 내지 303\_N)는, 트랜지스터(303\_1) 또는 트랜지스터(303\_2)에 대응하고, 같은 기능을 가진다. 회로(310\_1 내지 310\_N)는, 회로(310\_1) 또는 회로(310\_2)에 대응하고, 같은 기능을 가진다. 트랜지스터(301\_1 내지 301\_N)의 제 1 단자는, 배선(117)과 접속된다. 트랜지스터(301\_1 내지 301\_N)의 제 2 단자는, 각각, 노드(n1 내지 nN)와 접속된다. 트랜지스터(301\_1 내지 301\_N)의 게이트는, 각각, 회로(310\_1 내지 310\_N)의 출력 단자와 접속된다. 트랜지스터(303\_1 내지 303\_N)의 제 1 단자는, 배선(117)과 접속된다. 트랜지스터(303\_1 내지 303\_N)의 제 2 단자는, 각각, 노드(n1 내지 nN)와 접속된다. 트랜지스터(303\_1 내지 303\_N)의 게이트는, 배선(116)과 접속된다.
- [0233] 또한, 도 20a와 마찬가지로, 도 18a 내지 도 18c, 및 도 19a 내지 도 19c에 있어서도, 회로(300)는, 트랜지스터(301\_1 내지 301\_N)와 같은 복수의 트랜지스터, 트랜지스터(303\_1 내지 303\_N)와 같은 복수의 트랜지스터, 및/또는, 회로(310\_1 내지 310\_N)와 같은 복수의 회로를 가질 수 있다.
- [0234] 또한, 도 8f와 같이 반도체 장치가 회로(120)를 가지는 경우, 도 20b에 도시하는 바와 같이, 회로(300)는, 트랜지스터(342), 및 트랜지스터(344)를 가질 수 있다. 트랜지스터(342)는, 트랜지스터(302)에 대응하고, 같은 기능을 가진다. 트랜지스터(344)는, 트랜지스터(304)에 대응하고, 같은 기능을 가진다. 트랜지스터(342)의 제 1 단자는, 배선(117)과 접속되고, 트랜지스터(342)의 제 2 단자는, 배선(211)과 접속되고, 트랜지스터(342)의 게이트는, 트랜지스터(302)의 게이트와 접속된다. 트랜지스터(344)의 제 1 단자는, 배선(117)과 접속되고, 트랜지스터(344)의 제 2 단자는, 배선(211)과 접속되고, 트랜지스터(344)의 게이트는, 배선(116)과 접속된다.

- [0235] 또한, 도 20b와 마찬가지로, 도 18a 내지 도 18c, 도 19a 내지 도 19c, 및 도 20a에 있어서도, 회로(300)는, 트랜지스터(342), 및/또는, 트랜지스터(344)를 가질 수 있다.
- [0236] 또한, 도 21에 도시하는 바와 같이, 트랜지스터(301\_1 및 301\_2), 트랜지스터(302), 트랜지스터(303\_1 및 303\_2), 및 트랜지스터(304)로서, P 채널형 트랜지스터를 사용할 수 있다. 트랜지스터(301p\_1 및 301p\_2), 트랜지스터(302p), 트랜지스터(303p\_1 내지 303p\_2), 및 트랜지스터(304p)는, 각각, 트랜지스터(301\_1 및 301\_2), 트랜지스터(302), 트랜지스터(303\_1 및 303\_2), 및 트랜지스터(304)에 대응하고, P 채널형이다. 또한, 트랜지스터의 극성이 P 채널형의 경우, 배선(113)에 전압(V1)이 공급되고, 배선(117)에는 전압(V2)이 공급되고, 회로(310\_1)의 출력 신호, 회로(310\_2)의 출력 신호, 회로(320)의 출력 신호, 노드(n1)의 전위, 노드(n2)의 전위, 및 신호(OUT)는, 트랜지스터의 극성이 N 채널형의 경우와 비교하여 반전하고 있는 것을 부가 기록한다.
- [0237] 또한, 도 21과 마찬가지로, 도 18a 내지 도 18c, 도 19a 내지 도 19c, 및 도 20a 및 도 20b에 있어서도, 트랜지스터로서, P 채널형 트랜지스터를 사용할 수 있다.
- [0238] 다음에, 회로(310\_1 및 310\_2), 및 회로(320)의 구체예에 대해서 설명한다.
- [0239] 우선, 도 22a에는, 회로(310\_1)의 일 예를 도시한다. 회로(310\_1)는, 트랜지스터(311\_1), 및 트랜지스터(312\_1)를 가진다. 트랜지스터(311\_1)의 제 1 단자는, 배선(113)과 접속되고, 트랜지스터(311\_1)의 제 2 단자는, 트랜지스터(301\_1)의 게이트와 접속되고, 트랜지스터(311\_1)의 게이트는, 배선(113)과 접속된다. 트랜지스터(312\_1)의 제 1 단자는, 배선(117)과 접속되고, 트랜지스터(312\_2)의 제 2 단자는, 트랜지스터(301\_1)의 게이트와 접속되고, 트랜지스터(312\_2)의 게이트는, 노드(n1)와 접속된다. 트랜지스터(311\_1), 및 트랜지스터(312\_1)는, N 채널형인 것으로 한다. 단, 이것에 한정되지 않고, 트랜지스터(311\_1), 및/또는, 트랜지스터(312\_1)는, P 채널형인 것이 가능하다. 트랜지스터(311\_1)는, 트랜지스터(301\_1)의 게이트의 전위가 대략 V1로 되는 경우에, 트랜지스터(301\_1)의 게이트의 전위를 상승시키는 기능을 가지고, 다이오드로서 기능할 수 있다. 트랜지스터(312\_1)는, 노드(n1)의 전위에 따라서, 배선(117)과 트랜지스터(301\_1)의 도통 상태를 제어함으로써, 전압(V1)을 트랜지스터(301\_1)의 게이트에 공급하는 타이밍을 제어하는 기능을 가지고, 스위치로서 기능할 수 있다.
- [0240] 도 22a에 도시하는 회로(310\_1)의 동작에 대해서 설명한다. 기간(A1) 및 기간(B1)에 있어서, 노드(n1)의 전위는 트랜지스터(312\_1)의 임계치 전압보다도 높은 값으로 되므로, 트랜지스터(312\_1)는 온된다. 따라서, 트랜지스터(312\_1)의 채널 폭을 트랜지스터(311\_1)의 채널 폭보다도 크게 함으로써, 트랜지스터(301\_1)의 게이트의 전위는 대략 V1로 된다. 예를 들어, 트랜지스터(301\_1)의 게이트의 전위는, 배선(117)의 전위(V1)와 트랜지스터(301\_1)의 임계치 전압(Vth301\_1)의 합보다도 작은 값이 된다. 기간(A2), 기간(B2), 기간(C1), 기간(C2), 기간(D1), 기간(D2), 기간(E1), 및 기간(E2)에 있어서, 노드(n1)의 전위는 대략 V1로 되므로, 트랜지스터(312\_1)는 오프된다. 따라서, 트랜지스터(301\_1)의 게이트의 전위는, 배선(113)의 전위(V2)로부터 트랜지스터(311\_1)의 임계치 전압(Vth311\_1)을 뺀 값(V2-Vth311\_1)으로 된다.
- [0241] 또한, 트랜지스터(312\_1)의 채널 폭은, 트랜지스터(311\_1)의 채널 폭의 2배 이상인 것이 바람직하다. 더욱 바람직하게는, 4배 이상인 것이 바람직하다. 가장 바람직하게는, 8배 이상인 것이 바람직하다. 단, 이것에 한정되지 않는다.
- [0242] 또한, 트랜지스터(311\_1)의 게이트 및 제 1 단자는, 여러 가지 배선과 접속되는 것이 가능하다. 예를 들어, 트랜지스터(311\_1)의 게이트 및 제 1 단자는, 배선(112) 또는 배선(118)과 접속되는 것이 가능하다. 단, 이것에 한정되지 않는다.
- [0243] 또한, 트랜지스터(312\_1)의 제 1 단자는, 여러 가지 배선과 접속되는 것이 가능하다. 예를 들어, 트랜지스터(312\_1)의 제 1 배선은, 배선(115\_2)과 접속되는 것이 가능하다. 단, 이것에 한정되지 않는다.
- [0244] 또한, 도 22b에 도시하는 바와 같이, 회로(310\_1)는, 트랜지스터(311\_1), 및 트랜지스터(312\_1)에 더하여, 트랜지스터(313\_1) 및 트랜지스터(314\_1)를 가질 수 있다. 트랜지스터(313\_1)의 제 1 단자는, 배선(113)과 접속되고, 트랜지스터(313\_1)의 제 2 단자는, 트랜지스터(301\_1)의 게이트와 접속되고, 트랜지스터(313\_1)의 게이트는, 트랜지스터(311\_1)의 제 2 단자 및 트랜지스터(312\_1)의 제 2 단자와 접속된다. 트랜지스터(311\_1), 및 트랜지스터(312\_1)는, N 채널형인 것으로 한다. 단, 이것에 한정되지 않고, 트랜지스터(311\_1), 및/또는 트랜지스터(312\_1)는, P 채널형인 것이 가능하다. 트랜지스터(313\_1)는, 배선(113)에 공급되는 전압을 트랜지스터(301\_1)에 공급하는 타이밍을 제어하는 기능을 가지고, 부트스트랩용 트랜지스터, 또는 스위치로서 기능할 수

있다. 트랜지스터(314\_1)의 제 1 단자는, 배선(117)에 접속되고, 트랜지스터(314\_1)의 제 2 단자는, 트랜지스터(313\_1)의 제 2 단자에 접속되고, 트랜지스터(314\_1)의 게이트는, 노드(n1)에 접속된다. 트랜지스터(314\_1)는, 노드(n1)의 전위에 따라서, 배선(117)과 트랜지스터(301\_1)의 도통 상태를 제어함으로써, 전압(V1)을 트랜지스터(301\_1)의 게이트에 공급하는 타이밍을 제어하는 기능을 가지고, 스위치로서 기능할 수 있다.

[0245] 또한, 트랜지스터(313\_1)의 제 1 단자는, 여러 가지 배선과 접속되는 것이 가능하다. 예를 들어, 트랜지스터(313\_1)의 제 1 단자는, 배선(112) 또는 배선(118)과 접속되는 것이 가능하다. 단, 이것에 한정되지 않는다.

[0246] 또한, 트랜지스터(314\_1)의 제 1 단자는, 여러 가지 배선과 접속되는 것이 가능하다. 예를 들어, 트랜지스터(314\_1)의 제 1 배선은, 배선(115\_2)과 접속되는 것이 가능하다. 단, 이것에 한정되지 않는다.

[0247] 또한, 도 22b에 있어서, 도 22c에 도시하는 바와 같이, 트랜지스터(313\_1)의 게이트와 제 2 단자의 사이에, 용량 소자(315\_1)를 접속할 수 있다.

[0248] 또한, 도 22d에 도시하는 바와 같이, 회로(300)는, 트랜지스터(316\_1)를 가질 수 있다. 트랜지스터(316\_1)의 제 1 단자는, 배선(117)과 접속되고, 트랜지스터(316\_1)의 제 2 단자는, 트랜지스터(301\_1)의 게이트와 접속되고, 트랜지스터(316\_1)의 게이트는, 배선(114)과 접속된다. 트랜지스터(316\_1)는, N 채널형인 것으로 한다. 단, 이것에 한정되지 않고, 트랜지스터(316\_1)는, P 채널형인 것이 가능하다. 트랜지스터(316\_1)는, 신호(SP)에 따라서, 배선(117)과 트랜지스터(301\_1)의 게이트의 사이의 도통 상태를 제어함으로써, 전압(V1)이 트랜지스터(301\_1)에 공급되는 타이밍을 제어하는 기능을 가진다.

[0249] 또한, 도 22d와 마찬가지로, 도 22b 및 도 22c에 있어서도, 제 1 단자가 배선(117)과 접속되고, 제 2 단자가 트랜지스터(301\_1)의 게이트와 접속되고, 게이트가 배선(114)과 접속되는 트랜지스터(316\_1)를 새롭게 추가할 수 있다.

[0250] 다음에, 도 23a에 회로(310\_2)의 일 예를 도시한다. 회로(310\_2)는, 트랜지스터(311\_2), 및 트랜지스터(312\_2)를 가진다. 트랜지스터(311\_2)의 제 1 단자는, 배선(113)과 접속되고, 트랜지스터(311\_2)의 제 2 단자는, 트랜지스터(301\_2)의 게이트와 접속되고, 트랜지스터(311\_2)의 게이트는, 배선(113)과 접속된다. 트랜지스터(312\_2)의 제 1 단자는, 배선(117)과 접속되고, 트랜지스터(312\_2)의 제 2 단자는, 트랜지스터(301\_2)의 게이트와 접속되고, 트랜지스터(312\_2)의 게이트는, 노드(n2)와 접속된다. 트랜지스터(311\_2), 및 트랜지스터(312\_2)는, N 채널형인 것으로 한다. 단, 이것에 한정되지 않고, 트랜지스터(311\_2), 및/또는, 트랜지스터(312\_2)는, P 채널형인 것이 가능하다. 트랜지스터(311\_2)는, 트랜지스터(301\_2)의 게이트의 전위가 대략 V1로 되는 경우에, 트랜지스터(301\_2)의 게이트의 전위를 상승시키는 기능을 가지고, 다이오드로서 기능할 수 있다. 트랜지스터(312\_2)는, 노드(n2)의 전위에 따라서, 배선(117)과 트랜지스터(301\_2)의 도통 상태를 제어함으로써, 전압(V1)을 트랜지스터(301\_2)의 게이트에 공급하는 타이밍을 제어하는 기능을 가지고, 스위치로서 기능할 수 있다.

[0251] 도 23a에 도시하는 회로(310\_2)의 동작에 대해서 설명한다. 기간(A1) 및 기간(B1)에 있어서, 노드(n2)의 전위는 트랜지스터(312\_2)의 임계치 전압보다 높은 값으로 되므로, 트랜지스터(312\_2)는 온된다. 따라서, 트랜지스터(312\_2)의 채널 폭을 트랜지스터(311\_2)의 채널 폭보다도 크게 함으로써, 트랜지스터(301\_2)의 게이트의 전위는 대략 V1로 된다. 예를 들어, 트랜지스터(301\_2)의 게이트의 전위는, 배선(117)의 전위(V1)와 트랜지스터(301\_2)의 임계치 전압(Vth301\_2)과의 합보다도 작은 값으로 된다. 기간(A2), 기간(B2), 기간(C1), 기간(C2), 기간(D1), 기간(D2), 기간(E1), 및 기간(E2)에 있어서, 노드(n2)의 전위는 대략 V1로 되므로, 트랜지스터(312\_2)는 오프된다. 따라서, 트랜지스터(301\_2)의 게이트의 전위는, 배선(113)의 전위(V2)로부터 트랜지스터(311\_2)의 임계치 전압(Vth311\_2)을 뺀 값(V2-Vth311\_2)으로 된다.

[0252] 또한, 트랜지스터(312\_2)의 채널 폭은, 트랜지스터(311\_2)의 채널 폭의 2배 이상인 것이 바람직하다. 더욱 바람직하게는, 4배 이상인 것이 바람직하다. 가장 바람직하게는, 8배 이상인 것이 바람직하다. 단, 이것에 한정되지 않는다.

[0253] 또한, 트랜지스터(311\_2)의 게이트 및 제 1 단자는, 여러 가지 배선과 접속되는 것이 가능하다. 예를 들어, 트랜지스터(311\_2)의 게이트 및 제 1 단자는, 배선(112) 또는 배선(118)과 접속되는 것이 가능하다. 단, 이것에 한정되지 않는다.

[0254] 또한, 트랜지스터(312\_2)의 제 1 단자는, 여러 가지 배선과 접속되는 것이 가능하다. 예를 들어, 트랜지스터

(312\_2)의 제 1 단자는, 배선(115\_1)과 접속되는 것이 가능하다. 단, 이것에 한정되지 않는다.

- [0255] 또한, 도 23b에 도시하는 바와 같이, 회로(310\_2)는, 트랜지스터(311\_2), 및 트랜지스터(312\_2)에 더하여, 트랜지스터(313\_2) 및 트랜지스터(314\_2)를 가질 수 있다. 트랜지스터(313\_2)의 제 1 단자는, 배선(113)과 접속되고, 트랜지스터(313\_2)의 제 2 단자는, 트랜지스터(301\_2)의 게이트와 접속되고, 트랜지스터(313\_2)의 게이트는, 트랜지스터(311\_2)의 제 2 단자 및 트랜지스터(312\_2)의 제 2 단자와 접속된다. 트랜지스터(311\_2), 및 트랜지스터(312\_2)는, N 채널형인 것으로 한다. 단, 이것에 한정되지 않고, 트랜지스터(311\_2), 및/또는 트랜지스터(312\_2)는, P 채널형인 것이 가능하다. 트랜지스터(313\_2)는, 배선(113)에 공급되는 전압을 트랜지스터(301\_2)에 공급하는 타이밍을 제어하는 기능을 가지고, 부스트트랩용 트랜지스터, 또는 스위치로서 기능할 수 있다. 트랜지스터(314\_2)는, 노드(n2)의 전위에 따라서, 배선(117)과 트랜지스터(301\_2)의 도통 상태를 제어함으로써, 전압(V1)을 트랜지스터(301\_2)의 게이트에 공급하는 타이밍을 제어하는 기능을 가지고, 스위치로서 기능할 수 있다.
- [0256] 또한, 트랜지스터(313\_2)의 제 1 단자는, 여러 가지 배선과 접속되는 것이 가능하다. 예를 들어, 트랜지스터(313\_2)의 제 1 단자는, 배선(112) 또는 배선(118)과 접속되는 것이 가능하다. 단, 이것에 한정되지 않는다.
- [0257] 또한, 트랜지스터(314\_2)의 제 1 단자는, 여러 가지 배선과 접속되는 것이 가능하다. 예를 들어, 트랜지스터(314\_2)의 제 1 배선은, 배선(115\_1)과 접속되는 것이 가능하다. 단, 이것에 한정되지 않는다.
- [0258] 또한, 도 23c에 도시하는 바와 같이, 트랜지스터(313\_2)의 게이트와 제 2 단자의 사이에, 용량 소자(315\_2)를 접속할 수 있다.
- [0259] 또한, 도 23d에 도시하는 바와 같이, 회로(300)는, 트랜지스터(316\_2)를 가질 수 있다. 트랜지스터(316\_2)의 제 1 단자는, 배선(117)과 접속되고, 트랜지스터(316\_2)의 제 2 단자는, 트랜지스터(301\_2)의 게이트와 접속되고, 트랜지스터(316\_2)의 게이트는, 배선(114)과 접속된다. 트랜지스터(316\_2)는, N 채널형인 것으로 한다. 단, 이것에 한정되지 않고, 트랜지스터(316\_2)는, P 채널형인 것이 가능하다. 트랜지스터(316\_2)는, 신호(SP)에 따라서, 배선(117)과 트랜지스터(301\_2)의 게이트의 사이의 도통 상태를 제어함으로써, 전압(V1)이 트랜지스터(301\_2)에 공급되는 타이밍을 제어하는 기능을 가진다.
- [0260] 또한, 도 23d와 마찬가지로, 도 23b 및 도 23c에 있어서도, 제 1 단자가 배선(117)과 접속되고, 제 2 단자가 트랜지스터(301\_2)의 게이트와 접속되고, 게이트가 배선(114)과 접속되는 트랜지스터(316\_2)를 새롭게 추가할 수 있다.
- [0261] 다음에, 도 24a에 회로(320)의 일 예를 도시한다. 회로(320)는, 트랜지스터(321), 및 트랜지스터(322)를 가진다. 트랜지스터(321)의 제 1 단자는, 배선(113)과 접속되고, 트랜지스터(321)의 제 2 단자는, 트랜지스터(302)의 게이트와 접속되고, 트랜지스터(321)의 게이트는, 배선(113)과 접속된다. 트랜지스터(322)의 제 1 단자는, 배선(117)과 접속되고, 트랜지스터(322)의 제 2 단자는, 트랜지스터(302)의 게이트와 접속되고, 트랜지스터(322)의 게이트는, 배선(111)과 접속된다. 트랜지스터(321), 및 트랜지스터(322)는, N 채널형인 것으로 한다. 단, 이것에 한정되지 않고, 트랜지스터(321), 및/또는, 트랜지스터(322)는, P 채널형인 것이 가능하다. 트랜지스터(321)는, 트랜지스터(302)의 게이트의 전위가 대략 V1로 되는 경우에, 트랜지스터(302)의 게이트의 전위를 상승시키는 기능을 가지고, 다이오드로서 기능할 수 있다. 트랜지스터(322)는, 배선(111)의 전위에 따라서, 배선(117)과 트랜지스터(302)의 도통 상태를 제어함으로써, 전압(V1)을 트랜지스터(302)의 게이트에 공급하는 타이밍을 제어하는 기능을 가지고, 스위치로서 기능할 수 있다.
- [0262] 도 24a에 도시하는 회로(320)의 동작에 대해서 설명한다. 도 4c에 도시하는 기간(B1) 및 기간(B2)에 있어서, 배선(111)의 전위가 트랜지스터(322)의 임계치 전압보다도 높은 값으로 되므로, 트랜지스터(322)는 온된다. 따라서, 트랜지스터(322)의 채널 폭을 트랜지스터(321)의 채널 폭보다도 크게 함으로써, 트랜지스터(302)의 게이트의 전위는 대략 V1로 된다. 예를 들어, 트랜지스터(302)의 게이트의 전위는, 배선(117)의 전위(V1)와 트랜지스터(302)의 임계치 전압(Vth302)과의 합보다도 작은 값으로 된다. 기간(A1), 기간(A2), 기간(C1), 기간(C2), 기간(D1), 기간(D2), 기간(E1), 및 기간(E2)에 있어서, 배선(111)의 전위는 대략 V1로 되므로, 트랜지스터(322)는 오프된다. 따라서, 트랜지스터(302)의 게이트의 전위는, 배선(113)의 전위(V2)로부터 트랜지스터(321)의 임계치 전압(Vth321)을 뺀 값(V2-Vth321)으로 된다.
- [0263] 또한, 트랜지스터(322)의 채널 폭은, 트랜지스터(321)의 채널 폭의 2배 이상인 것이 바람직하다. 더욱 바람직하게는, 4배 이상인 것이 바람직하다. 가장 바람직하게는, 8배 이상인 것이 바람직하다. 단, 이것에 한정되지

않는다.

- [0264] 또한, 트랜지스터(321)의 게이트 및 제 1 단자는, 여러 가지 배선과 접속되는 것이 가능하다. 예를 들어, 트랜지스터(321)의 게이트 및 제 1 단자는, 배선(112) 또는 배선(118)과 접속되는 것이 가능하다. 단, 이것에 한정되지 않는다.
- [0265] 또한, 트랜지스터(322)의 제 1 단자는, 여러 가지 배선과 접속되는 것이 가능하다. 예를 들어, 트랜지스터(322)의 제 1 배선은, 배선(112)과 접속되는 것이 가능하다. 단, 이것에 한정되지 않는다.
- [0266] 또한, 도 24b에 도시하는 바와 같이, 회로(320)는, 트랜지스터(321), 및 트랜지스터(322)에 더하여, 트랜지스터(323) 및 트랜지스터(324)를 가질 수 있다. 트랜지스터(323)의 제 1 단자는, 배선(113)과 접속되고, 트랜지스터(323)의 제 2 단자는, 트랜지스터(302)의 게이트와 접속되고, 트랜지스터(323)의 트랜지스터(321)의 제 2 단자 및 트랜지스터(322)의 제 2 단자와 접속된다. 트랜지스터(324)의 제 1 단자는, 트랜지스터(323)의 제 2 단자와 접속되고, 트랜지스터(324)의 제 2 단자는, 배선(117)과 접속되고, 트랜지스터(324)의 게이트는, 배선(111)과 접속된다. 트랜지스터(323), 및 트랜지스터(324)는, N 채널형인 것으로 한다. 단, 이것에 한정되지 않고, 트랜지스터(323), 및/또는 트랜지스터(324)는, P 채널형인 것이 가능하다. 트랜지스터(323)는, 배선(113)에 공급되는 전압을 트랜지스터(302)에 공급하는 타이밍을 제어하는 기능을 가지고, 부트스트랩용 트랜지스터, 또는 스위치로서 기능할 수 있다. 트랜지스터(324)는, 배선(111)의 전위에 따라서, 배선(117)과 트랜지스터(302)의 게이트와의 도통 상태를 제어함으로써, 전압(V1)을 트랜지스터(302)의 게이트에 공급하는 타이밍을 제어하는 기능을 가지고, 스위치로서 기능할 수 있다.
- [0267] 또한, 트랜지스터(323)의 제 1 단자는, 여러 가지 배선과 접속되는 것이 가능하다. 예를 들어, 트랜지스터(323)의 제 1 배선은, 배선(112), 배선(118)과 접속되는 것이 가능하다. 단, 이것에 한정되지 않는다.
- [0268] 또한, 트랜지스터(324)의 제 1 단자는, 여러 가지 배선과 접속되는 것이 가능하다. 예를 들어, 트랜지스터(324)의 제 1 단자는, 배선(118)과 접속되는 것이 가능하다.
- [0269] 또한, 도 24c에 도시하는 바와 같이, 도 24b에 도시하는 구성에 더하여, 트랜지스터(323)의 게이트와 제 2 단자의 사이에, 용량 소자(325)를 접속할 수 있다.
- [0270] 또한, 도 24d에 도시하는 바와 같이, 회로(320)는, 트랜지스터(326)를 가질 수 있다. 트랜지스터(326)의 제 1 단자는, 배선(117)과 접속되고, 트랜지스터(326)의 제 2 단자는, 트랜지스터(302)의 게이트와 접속되고, 트랜지스터(326)의 게이트는, 배선(114)과 접속된다. 트랜지스터(326)는, N 채널형인 것으로 한다. 단, 이것에 한정되지 않고, 트랜지스터(326)는, P 채널형인 것이 가능하다. 트랜지스터(326)는, 신호(SP)에 따라서, 배선(117)과 트랜지스터(302)의 게이트 사이의 도통 상태를 제어함으로써, 전압(V1)이 트랜지스터(302)에 공급되는 타이밍을 제어하는 기능을 가진다.
- [0271] 또한, 도 24d와 마찬가지로, 도 24b 및 도 24c에 있어서도, 제 1 단자가 배선(117)과 접속되고, 제 2 단자가 트랜지스터(302)의 게이트와 접속되고, 게이트가 배선(114)과 접속되는 트랜지스터(326)를 새롭게 추가할 수 있다.
- [0272] 다음에, 도 25a에는, 회로(330)의 일 예를 도시한다. 회로(330)는, 트랜지스터(331), 트랜지스터(332), 트랜지스터(333)를 가진다. 트랜지스터(331)의 제 1 단자는, 배선(113)과 접속되고, 트랜지스터(331)의 제 2 단자는, 트랜지스터(301\_1)의 게이트, 트랜지스터(301\_2)의 게이트, 및 트랜지스터(302)의 게이트와 접속되고, 트랜지스터(331)의 게이트는, 배선(113)과 접속된다. 트랜지스터(332)의 제 1 단자는, 배선(117)과 접속되고, 트랜지스터(332)의 제 2 단자는, 트랜지스터(331)의 제 2 단자와 접속되고, 트랜지스터(332)의 게이트는, 노드(n1)와 접속된다. 트랜지스터(333)의 제 1 단자는, 배선(117)과 접속되고, 트랜지스터(333)의 제 2 단자는, 트랜지스터(331)의 제 2 단자와 접속되고, 트랜지스터(333)의 게이트는, 노드(n2)와 접속된다. 트랜지스터(331), 트랜지스터(332), 및 트랜지스터(333)는, N 채널형인 것으로 한다. 단, 이것에 한정되지 않고, 트랜지스터(331), 트랜지스터(332), 및 트랜지스터(333)는, P 채널형인 것이 가능하다.
- [0273] 도 25a에 도시하는 회로(330)의 동작에 대해서 설명한다. 도 4c에 도시하는 기간(A1), 기간(A2), 기간(B1), 및 기간(B2)에 있어서, 노드(n1)의 전위 또는 노드(n2)의 전위는, 트랜지스터(332) 또는 트랜지스터(333)의 임계치 전압보다 높은 값으로 되므로, 트랜지스터(332) 또는 트랜지스터(333)는 온된다. 이 때, 트랜지스터(332) 또는 트랜지스터(333)의 채널 폭을 트랜지스터(331)의 채널 폭보다도 크게 함으로써, 트랜지스터(301\_1)의 게이트, 트랜지스터(301\_2)의 게이트, 및 트랜지스터(302)의 게이트의 전위는 대략 V1로 된다. 기간(C1), 기간(C2), 기간(D1), 기간(D2), 기간(E1), 및 기간(E2)에 있어서, 노드(n1)의 전위 및 노드(n2)의 전위는, 대략 V1로

되므로, 트랜지스터(332) 및 트랜지스터(333)는 오프된다. 따라서, 트랜지스터(301\_1)의 게이트, 트랜지스터(301\_2)의 게이트, 및 트랜지스터(302)의 게이트의 전위는, 배선(113)의 전위(V2)로부터 트랜지스터(331)의 임계치 전압(Vth331)을 뺀 값보다 큰 값(V2-Vth331+Vx)으로 된다. 이 때 Vx는 0보다 큰 값이다.

- [0274] 또한, 트랜지스터(332)의 채널 폭, 또는 트랜지스터(333)의 채널 폭은, 트랜지스터(331)의 채널 폭의 2배 이상인 것이 바람직하다. 더욱 바람직하게는, 4배 이상인 것이 바람직하다. 가장 바람직하게는, 8배 이상인 것이 바람직하다. 단, 이것에 한정되지 않는다.
- [0275] 또한, 트랜지스터(331)의 게이트 및 제 1 단자는, 여러 가지 배선과 접속되는 것이 가능하다. 예를 들어, 트랜지스터(331)의 게이트 및 제 1 단자는, 배선(112) 또는 배선(118)과 접속되는 것이 가능하다. 단, 이것에 한정되지 않는다.
- [0276] 또한, 트랜지스터(332)의 게이트, 및 트랜지스터(333)의 게이트는, 여러 가지 배선과 접속되는 것이 가능하다. 예를 들어, 트랜지스터(332)의 게이트는 배선(114)과 접속되고, 트랜지스터(333)의 게이트는 배선(111)과 접속되는 것이 가능하다. 단, 이것에 한정되지 않는다.
- [0277] 또한, 트랜지스터(332)의 제 1 단자와, 트랜지스터(333)의 제 1 단자는, 개개의 배선과 접속되는 것이 가능하다. 예를 들어, 트랜지스터(332)의 제 1 단자는, 배선(115\_2)과 접속되고, 트랜지스터(333)의 제 1 단자는, 배선(115\_1)과 접속되는 것이 가능하다. 단, 이것에 한정되지 않는다.
- [0278] 또한, 도 25b에 도시하는 바와 같이, 회로(330)는, 트랜지스터(331), 트랜지스터(332), 및 트랜지스터(333)에 더하여, 트랜지스터(334), 트랜지스터(335), 및 트랜지스터(336)를 가질 수 있다. 트랜지스터(334)의 제 1 단자는, 배선(113)과 접속되고, 트랜지스터(334)의 제 2 단자는, 트랜지스터(301\_1)의 게이트, 트랜지스터(301\_2)의 게이트, 및 트랜지스터(302)의 게이트와 접속되고, 트랜지스터(334)의 게이트는, 트랜지스터(331)의 제 2 단자와 접속된다. 트랜지스터(335)의 제 1 단자는, 배선(117)과 접속되고, 트랜지스터(335)의 제 2 단자는, 트랜지스터(334)의 제 2 단자와 접속되고, 트랜지스터(335)의 게이트는, 노드(n1)와 접속된다. 트랜지스터(336)의 제 1 단자는, 배선(117)과 접속되고, 트랜지스터(336)의 제 2 단자는, 트랜지스터(334)의 제 2 단자와 접속되고, 트랜지스터(336)의 게이트는, 노드(n2)와 접속된다. 트랜지스터(334), 트랜지스터(335), 및 트랜지스터(336)는, N 채널형인 것으로 한다. 단, 이것에 한정되지 않고, 트랜지스터(334), 트랜지스터(335), 및 트랜지스터(336)는, P 채널형인 것이 가능하다.
- [0279] 또한, 트랜지스터(334)의 게이트와 제 2 단자 사이에, 용량 소자를 접속할 수 있다.
- [0280] 또한, 트랜지스터(334)의 제 1 단자는, 여러 가지 배선과 접속되는 것이 가능하다. 예를 들어, 트랜지스터(334)의 제 1 단자는, 배선(112) 또는 배선(118)과 접속되는 것이 가능하다. 단, 이것에 한정되지 않는다.
- [0281] 또한, 트랜지스터(335)의 게이트, 및 트랜지스터(336)의 게이트는, 여러 가지 배선과 접속되는 것이 가능하다. 예를 들어, 트랜지스터(335)의 게이트는, 배선(114)과 접속되고, 트랜지스터(336)의 게이트는, 배선(111)과 접속되는 것이 가능하다. 단, 이것에 한정되지 않는다.
- [0282] 또한, 트랜지스터(335)의 제 1 단자와, 트랜지스터(336)의 제 1 단자는, 개개의 배선과 접속되는 것이 가능하다. 예를 들어, 트랜지스터(335)의 제 1 단자는, 배선(115\_2)과 접속되고, 트랜지스터(336)의 제 1 단자는, 배선(115\_1)과 접속되는 것이 가능하다. 단, 이것에 한정되지 않는다.
- [0283] 여기서, 실시형태 1 내지 실시형태 3에서 기술하는 내용을 적절하게 조합하는 경우의 반도체 장치의 일 예를 도 41에 도시한다. 단, 이것에 한정되지 않고, 그 외에도 실시형태 1 내지 실시형태 3에서 기술하는 내용을 조합하여, 반도체 장치를 다양한 구성으로 할 수 있다.
- [0284] 도 41의 반도체 장치는, 회로(100), 및 회로(10)를 가지고, 회로(10)는, 회로(200) 및 회로(300)를 가지고, 회로(300)는, 회로(330)를 가진다. 도 41의 반도체 장치에서는, 회로(100)로서, 도 4a에 도시하는 구성이 사용되고, 회로(200)로서, 도 11e에 도시하는 구성이 사용되고, 회로(300)로서, 도 19c에 도시하는 구성이 사용되고, 회로(330)로서, 도 25b에 도시하는 구성이 사용된다.
- [0285] 또한, 도 41에 도시하는 반도체 장치의 동작 검증을 하였다. 검증 결과에 대해서 도 42에 도시한다. 도 42는, 본 실시형태의 반도체 장치의 검증 결과를 도시하는 도면이다. 또 검증은, SPICE 시뮬레이터를 사용하여 행하였다. 또한, 비교예로서 도 41에 도시하는 반도체 장치의 트랜지스터(101\_2), 트랜지스터(201\_2), 트랜지스터(203\_1), 트랜지스터(203\_2), 트랜지스터(301\_2), 트랜지스터(303\_2), 트랜지스터(333), 및 트랜지스터(336)를 설치하지 않는 회로 구성의 반도체 장치에 대해서도 동작 검증을 하였다. 또한, 검증은, Vdd=30V, Vss=0V, 클

록 주파수=25kHz(1주기=20 μ sec), 각 트랜지스터의 이동도=1cm<sup>2</sup>/VS, 각 트랜지스터의 임계치 전압=5V, 출력 용량=50pF로서 행하였다.

[0286] 도 42a는, 비교예의 반도체 장치에 있어서의 검증 결과의 타이밍 차트이다. 도 42a에 도시하는 바와 같이, 비교예의 반도체 장치에서는, 기간(T1) 및 기간(T2) 모두 노드(n1)의 전위에 따라서 트랜지스터(101\_1)가 온되고, 배선(112)과 배선(111)은, 트랜지스터(101\_1)를 통하여 도통 상태로 되고, 신호(CK1)가 배선(112)으로부터 트랜지스터(101\_1)를 통하여 배선(111)에 공급된다.

[0287] 도 42b는 도 41에 도시하는 반도체 장치에 있어서의 검증 결과의 타이밍 차트이다. 도 42b에 도시하는 바와 같이, 도 41에 도시하는 반도체 장치에서는, 기간(T1)에서는, 노드(n1)의 전위에 따라서 트랜지스터(101\_1)가 온되고, 배선(112)과 배선(111)은, 트랜지스터(101\_1)를 통하여 도통 상태로 되고, 신호(CK1)가 배선(112)으로부터 트랜지스터(101\_1)를 통하여 배선(111)에 공급되고, 기간(T2)에서는, 노드(n2)의 전위에 따라서 트랜지스터(101\_1)가 온되고, 배선(112)과 배선(111)은, 트랜지스터(101\_1)를 통하여 도통 상태로 되고, 신호(CK1)가 배선(112)으로부터 트랜지스터(101\_1)를 통하여 배선(111)에 공급된다. 따라서 도 42에 도시하는 바와 같이, 본 실시형태의 반도체 장치에서는, 각 기간에서 다른 트랜지스터를 온으로 하여 동작함으로써, 각 트랜지스터가 온으로 되는 횟수 및 온으로 되는 시간을 저감할 수 있는 것을 알 수 있다.

[0288] (실시형태 4)

[0289] 본 실시형태에서는, 시프트 레지스터의 일 예에 대해서 설명한다. 본 실시형태의 시프트 레지스터는, 실시형태 1 내지 실시형태 3의 반도체 장치를 가질 수 있다. 또한, 시프트 레지스터를, 반도체 장치, 또는 게이트 드라이버를 나타낼 수 있다. 또한, 실시형태 1 내지 실시형태 3에서 기술하는 내용은, 그 설명을 생략한다. 또한, 실시형태 1 내지 실시형태 3에서 기술하는 내용은, 본 실시형태에서 기술하는 내용과 적절하게 조합할 수 있다.

[0290] 우선, 시프트 레지스터의 일 예에 대해서, 도 26을 참조하여 설명한다. 시프트 레지스터(500)는, 플립플롭(501\_1 내지 501\_N)과 같은 복수의 플립플롭을 가진다.

[0291] 또한, 플립플롭(501\_1 내지 501\_N)은, 각각, 실시형태 1 내지 실시형태 3에서 기술하는 반도체 장치에 대응한다. 도 26의 일 예에는, 플립플롭(501\_1 내지 501\_N)으로서, 각각, 도 4a의 반도체 장치가 사용되는 경우에 대하여 도시한다. 단, 이것에 한정되지 않고, 플립플롭(501\_1 내지 501\_N)으로서, 그 외에도 예를 들어 실시형태 1 내지 실시형태 3에서 기술하는 반도체 장치 또는 회로를 사용할 수 있다.

[0292] 다음에, 시프트 레지스터의 접속 관계에 대하여 설명한다. 시프트 레지스터(500)는, 배선(511\_1 내지 511\_N), 배선(512), 배선(513), 배선(514), 배선(515\_1 및 515\_2), 배선(516), 배선(517), 및 배선(518)과 접속된다. 그리고, 플립플롭(501\_i)(i는 2 내지 N의 어느 하나)에 있어서, 배선(111), 배선(112), 배선(113), 배선(114), 배선(115\_1), 배선(115\_2), 배선(116), 및 배선(117)은, 각각, 배선(511\_i), 배선(512), 배선(514), 배선(511\_i-1), 배선(515\_1), 배선(515\_2), 배선(511\_i+1), 배선(516)과 접속된다. 또한, 홀수단의 플립플롭과, 짝수단의 플립플롭에서는, 배선(112)의 접속처가 다른 경우가 많다. 예를 들어, i단째의 플립플롭에 있어서, 배선(112)이 배선(512)과 접속되는 경우, i+1단째의 플립플롭, 또는 i-1단째의 플립플롭에 있어서, 배선(112)은 배선(513)과 접속된다.

[0293] 또한, 플립플롭(501\_1)에 있어서, 배선(114)은, 배선(517)과 접속되는 경우가 많다. 그리고, 플립플롭(501\_N)에 있어서, 배선(116)은, 배선(518)과 접속되는 경우가 많다. 단, 이것에 한정되지 않는다.

[0294] 다음에, 각 배선에 입력 또는 출력되는 신호 또는 전압의 일 예에 대해서 설명한다. 배선(511\_1 내지 511\_N)으로부터는, 일 예로서, 각각, 신호(GOUT\_1 내지 GOUT\_N)가 출력되는 것으로 한다. 신호(GOUT\_1 내지 GOUT\_N)는, 각각, 플립플롭(501\_1 내지 501\_N)의 출력 신호이다. 그리고, 신호(GOUT\_1 내지 GOUT\_N)는, 신호(OUT)에 대응하고, 출력 신호, 선택 신호, 전송 신호, 스타트 신호, 리셋 신호, 게이트 신호, 또는 주사 신호로서 기능할 수 있다. 배선(512)에는, 신호(GCK1)가 입력되는 것으로 한다. 신호(GCK1)는, 신호(CK1)에 대응하고, 클럭 신호로서 기능할 수 있다. 배선(513)에는, 일 예로서, 신호(GCK2)가 입력되는 것으로 한다. 신호(GCK2)는, 신호(CK2)에 대응하고, 반전 클럭 신호로서 기능할 수 있다. 배선(514)에는, 일 예로서, 전압(V2)이 공급되는 것으로 한다. 배선(515\_1 및 515\_2)에는, 일 예로서, 각각, 신호(SEL1 내지 SEL2)가 입력되는 것으로 한다. 배선(516)에는, 일 예로서, 전압(V1)이 공급되는 것으로 한다. 배선(517)에는, 일 예로서, 신호(GSP)가 입력되는 것으로 한다. 신호(GSP)는, 신호(SP)에 대응하고, 스타트 신호, 또는 수직 동기 신호로서 기능할 수 있다. 배선(518)에는, 일 예로서, 신호(GRE)가 입력되는 것으로 한다. 신호(GRE)는, 신호(RE)에 대응하고, 리

셋 신호로서 기능할 수 있다. 단, 이것에 한정되지 않고, 이들의 배선에는, 그 외에도 여러 가지 신호, 여러 가지 전압, 또는 여러 가지 전류를 입력할 수 있다.

[0295] 또한, 배선(511\_1 내지 511\_N)은, 신호선, 게이트 신호선, 또는 주사선으로서 기능할 수 있다. 배선(512), 및 배선(513)은, 신호선, 또는 클록 신호선으로서 기능할 수 있다. 배선(514)은, 전원선으로서 기능할 수 있다. 배선(515\_1 및 515\_2)은, 신호선으로서 기능할 수 있다. 배선(516)은, 전원선, 또는 그라운드선으로서 기능할 수 있다. 배선(517)은, 신호선으로서 기능할 수 있다. 배선(518)은, 신호선으로서 기능할 수 있다. 단, 이것에 한정되지 않고, 이들의 배선은 그 외에도 다양한 종류의 배선으로서 기능할 수 있다.

[0296] 또한, 배선(512), 배선(513), 배선(514), 배선(515\_1 및 515\_2), 배선(516), 배선(517), 및 배선(518)은, 회로(520)로부터 신호 또는 전압 등이 입력되는 것으로 한다. 회로(520)는, 시프트 레지스터에 신호 또는 전압 등을 공급함으로써, 시프트 레지스터를 제어하는 기능을 가지고, 제어 회로, 또는 컨트롤러 등으로서 기능할 수 있다.

[0297] 또한, 회로(520)는, 일 예로서, 회로(521), 및 회로(522)를 가지는 것으로 한다. 회로(521)는, 정전원 전압, 부전원 전압, 그라운드 전압, 기준전압 등의 전원 전압을 생성하는 기능을 가지고, 전원 회로, 또는 레귤레이터로서 기능할 수 있다. 회로(522)는, 클록 신호, 반전 클록 신호, 스타트 신호, 리셋 신호, 및/또는, 비디오 신호 등의 여러 가지 신호를 생성하는 기능을 가지고, 타이밍 제너레이터로서 기능할 수 있다. 단, 이것에 한정되지 않고, 회로(520)는, 회로(521) 및 회로(522)의 외에도 여러 가지 회로, 또는 여러 가지 소자를 가질 수 있다. 예를 들어, 회로(520)는, 오실레이터, 레벨 시프터 회로, 인버터 회로, 버퍼 회로, DA 변환 회로, AD 변환 회로, 오퍼레이션 앰프, 시프트 레지스터, 룩업 테이블, 코일, 트랜지스터, 용량 소자, 저항 소자, 및/또는, 분주기 등을 가질 수 있다.

[0298] 다음에, 도 26의 시프트 레지스터의 동작에 대해서, 도 27을 참조하여 설명한다. 도 27은, 시프트 레지스터의 동작을 설명하기 위한 타이밍 차트의 일 예이다. 도 27에는, 신호(GSP), 신호(GRE), 신호(GCK1), 신호(GCK2), 신호(SEL1), 신호(SEL2), 신호(GOUT\_1), 신호(GOUT<sub>i-1</sub>), 신호(GOUT<sub>i</sub>), 신호(GOUT<sub>i+1</sub>), 및 신호(GOUT<sub>N</sub>)의 일 예를 도시한다. 또한, 실시형태 1 내지 실시형태 3의 반도체 장치의 동작과 공통되는 부분은, 그 설명을 생략한다.

[0299] k(k는 자연수)번째 프레임에 있어서의 플립플롭(501<sub>i</sub>)의 동작에 대하여 설명한다. 우선, 신호(GOUT<sub>i-1</sub>)가 H 레벨로 된다. 그렇게 하면, 플립플롭(501<sub>i</sub>)은, 기간(A1)에 있어서의 동작을 개시하고, 신호(GOUT<sub>i</sub>)는 L 레벨로 된다. 그 후, 신호(GCK1) 및 신호(GCK2)의 각각이 반전한다. 그렇게 하면, 플립플롭(501<sub>i</sub>)이 기간(B1)에 있어서의 동작을 개시하고, 신호(GOUT<sub>i</sub>)가 H 레벨로 된다. 신호(GOUT<sub>i</sub>)는, 플립플롭(501<sub>i-1</sub>)에 리셋 신호로서 입력되고, 또한 플립플롭(501<sub>i+1</sub>)에 스타트 신호로서 입력된다. 따라서, 플립플롭(501<sub>i-1</sub>)은, 기간(C1)에 있어서의 동작을 개시하고, 플립플롭(501<sub>i+1</sub>)은, 기간(A1)에 있어서의 동작을 개시한다. 그 후, 신호(GCK1), 및 신호(GCK2)가 다시 반전한다. 그렇게 하면, 플립플롭(501<sub>i+1</sub>)이 기간(B1)에 있어서의 동작을 개시하고, 신호(GOUT<sub>i+1</sub>)이 H 레벨로 된다. 신호(GOUT<sub>i+1</sub>)는, 플립플롭(501<sub>i</sub>)에 리셋 신호로서 입력된다. 따라서, 플립플롭(501<sub>i</sub>)이 기간(C1)에 있어서의 동작을 개시하므로, 신호(GOUT<sub>i</sub>)는 L 레벨로 된다. 그 후, 다시 신호(GOUT<sub>i-1</sub>)가 H 레벨로 될 때까지는, 플립플롭(501<sub>i</sub>)은, 신호(GCK1) 및 신호(GCK2)가 반전할 때마다, 기간(D1)에 있어서의 동작과 기간(E1)에 있어서의 동작을 반복한다.

[0300] k+1번째 프레임에 있어서의 플립플롭(501<sub>i</sub>)의 동작에 대해서 설명한다. 우선, 신호(GOUT<sub>i-1</sub>)가 H 레벨로 된다. 그렇게 하면, 플립플롭(501<sub>i</sub>)은, 기간(A2)에 있어서의 동작을 개시하고, 신호(GOUT<sub>i</sub>)는 L 레벨로 된다. 그 후, 신호(GCK1), 및 신호(GCK2)가 반전한다. 그렇게 하면, 플립플롭(501<sub>i</sub>)이 기간(B2)에 있어서의 동작을 개시하고, 신호(GOUT<sub>i</sub>)가 H 레벨로 된다. 신호(GOUT<sub>i</sub>)는, 플립플롭(501<sub>i-1</sub>)에 리셋 신호로서 입력되고, 또한 플립플롭(501<sub>i-1</sub>)에 스타트 신호로서 입력된다. 따라서, 플립플롭(501<sub>i-1</sub>)은, 기간(C2)에 있어서의 동작을 개시하고, 플립플롭(501<sub>i+1</sub>)은, 기간(A2)에 있어서의 동작을 개시한다. 그 후, 신호(GCK1), 및 신호(GCK2)가 다시 반전한다. 그렇게 하면, 플립플롭(501<sub>i+1</sub>)이 기간(B1)에 있어서의 동작을 개시하고, 신호(GOUT<sub>i+1</sub>)가 H 레벨로 된다. 신호(GOUT<sub>i+1</sub>)는, 플립플롭(501<sub>i</sub>)에 리셋 신호로서 입력된다. 따라서, 플립플롭(501<sub>i</sub>)이 기간(C2)에 있어서의 동작을 개시하므로, 신호(GOUT<sub>i</sub>)는 L 레벨로 된다. 그 후, 다시 신호(GOUT<sub>i-1</sub>)가 H 레벨로 될 때까지는, 플립플롭(501<sub>i</sub>)은, 신호(GCK1) 및 신호(GCK2)가 반전할 때마다, 기간(D2)에 있어서의 동작과 기간(E2)에 있어서의 동작을 반복한다.

[0301] 또한, 플립플롭(501<sub>1</sub>)에서는, 앞의 단의 플립플롭의 출력 신호 대신에, 신호(GSP)가 회로(520)로 배선(517)을 통하여 입력된다. 따라서, 신호(GSp)가 H 레벨로 되면, 플립플롭(501<sub>1</sub>)은, 기간(A1) 또는 기간(A2)에 있어서

의 동작을 개시한다.

- [0302] 또한, 플립플롭(501\_N)에서는, 다음 단의 플립플롭의 출력 신호 대신에, 신호(GRE)가 회로(520)로 배선(518)을 통하여 입력된다. 따라서, 신호(GRE)가 H 레벨로 되면, 플립플롭(501\_N)은, 기간(C1) 또는 기간(C2)에 있어서의 동작을 개시한다.
- [0303] 이상과 같이, 본 실시형태의 시프트 레지스터는, 실시형태 1 내지 실시형태 3의 반도체 장치를 사용함으로써, 상기 반도체 장치와 같은 메리트를 얻을 수 있다.
- [0304] 또한, 신호(GCK1)와 신호(GCK2)의 관계를 비평형으로 할 수 있다. 예를 들어, 도 28a의 타이밍 차트에 도시하는 바와 같이, 신호(GCK1) 및 신호(GCK2)에 있어서, H 레벨로 되는 기간이 L 레벨로 되는 기간보다도 짧게 할 수 있다. 이렇게 함으로써, 신호(GOUT\_1 내지 GOUT\_N)에, 지연 또는 무더짐 등이 생기더라도, 이들의 신호가 H 레벨로 되는 기간을 방지할 수 있다. 따라서, 본 실시형태의 시프트 레지스터가 표시 장치에 사용되는 경우, 복수의 행이 동시에 선택되는 것을 막을 수 있다. 단, 이것에 한정되지 않고, 신호(GCK1), 및/또는, 신호(GCK2)에 있어서, H 레벨로 되는 기간이 L 레벨로 되는 기간보다도 긴 것이 가능하다.
- [0305] 또한, 시프트 레지스터에 다상의 클럭 신호를 입력할 수 있다. 예를 들어, 도 28b의 타이밍 차트에 도시하는 바와 같이, M(M은 3 이상의 자연수)상의 클럭 신호를 사용할 수 있다. 이 경우, 신호(GOUT\_1 내지 GOUT\_N)에 있어서, 어떤 단계에 있어서 H 레벨로 되는 기간은, 그 전후의 단계에 있어서 H 레벨로 되는 기간과 겹치는 것이 가능해진다. 따라서, 본 실시형태가 표시 장치에 사용되는 경우, 복수의 행이 동시에 선택된다. 이로써, 다른 행의 화소로의 비디오 신호를 프리차지 전압으로서 사용하는 것이 가능해진다.
- [0306] 또한, 도 28b에 있어서,  $M \leq 8$ 인 것이 바람직하다. 더욱 바람직하게는,  $M \leq 6$ 인 것이 바람직하다. 가장 바람직하게는,  $M \leq 4$ 인 것이 바람직하다. 왜냐하면, 시프트 레지스터가 표시 장치의 주사선 구동 회로에 사용되는 경우, M이 지나치게 크면, 화소에 복수의 종류의 비디오 신호가 기록되기 때문이다. 그리고, 상기 화소에 부정확한 비디오 신호가 입력되는 기간이 길어지므로, 표시 품질이 저하하는 경우가 있기 때문이다.
- [0307] 또한, 도 28b와 마찬가지로, 도 28a의 타이밍 차트에 있어서도, 다상의 클럭 신호를 사용할 수 있다.
- [0308] 또한, 배선(518)과, 다른 배선(예를 들어 배선(512), 배선(513), 배선(515\_1), 배선(515\_2), 배선(516), 또는 배선(517))을 하나의 공통의 배선으로 구성하고, 배선(518)을 생략할 수 있다. 이 경우, 플립플롭(501N)에 있어서, 배선(116)이 배선(512), 배선(513), 배선(515\_1), 배선(515\_2), 배선(516), 또는 배선(517)과 접속되는 것이 바람직하다. 또한, 다른 구성에 의해 배선(518)을 생략할 수도 있다. 이 경우, 플립플롭(501N)에 있어서, 트랜지스터(303\_1 및 303\_2), 및 트랜지스터(304)를 생략할 수도 있다.
- [0309] 또한, 도 29에 도시하는 바와 같이, 출력 신호를 분할할 수 있다. 도 29의 일 예에서는, 플립플롭(501\_1 내지 501\_N)으로서, 각각, 도 10e의 반도체 장치가 사용된다. 그리고, 플립플롭(501\_i)(i는 2 내지 N의 어느 하나)에 있어서, 배선(111), 배선(112), 배선(113), 배선(114), 배선(115\_1), 배선(115\_2), 배선(116), 및 배선(117)은, 각각, 배선(511\_i), 배선(512), 배선(514), 배선(518\_i-1), 배선(515\_1), 배선(515\_2), 배선(511\_i+1), 배선(516)과 접속된다. 이렇게 함으로써, 배선(511\_1 내지 511\_N)에, 화소 또는 게이트 신호선 등의 부하가 접속되는 경우라도, 다음 단의 플립플롭을 구동하기 위한 전송 신호에 무더짐이나 또는 지연 등이 생기는 일이 없다. 따라서, 시프트 레지스터의 지연의 영향을 저감할 수 있다. 단, 이것에 한정되지 않고, 배선(114)은, 배선(511\_i-1)과 접속되는 것이 가능하다. 또는, 배선(116)은, 배선(517\_i+1)과 접속되는 것이 가능하다.
- [0310] (실시형태 5)
- [0311] 본 실시형태에서는, 표시 장치의 일 예에 대해서 설명한다.
- [0312] 우선, 도 30a를 참조하여, 액정 표시 장치의 시스템 블록의 일 예에 대해서 설명한다. 액정 표시 장치는, 회로(5361), 회로(5362), 회로(5363\_1), 회로(5363\_2), 화소를 가지는 화소부(5364), 회로(5365), 및 조명 장치(5366)를 가진다. 화소부(5364)에는, 복수의 배선(5371)이 회로(5362)로부터 연신하여 배치되고, 복수의 배선(5372)이 회로(5363\_1), 및 회로(5363\_2)로부터 연신하여 배치되어 있다. 그리고, 복수의 배선(5371)과 복수의 배선(5372)의 교차 영역에는, 각각, 액정 소자 등의 표시 소자를 가지는 화소(5367)가 매트릭스 형상으로 배치되어 있다.
- [0313] 회로(5361)는, 비디오 신호(5360)에 따라서, 회로(5362), 회로(5363\_1), 회로(5363\_2), 및 회로(5365)에, 신호, 전압, 또는 전류 등을 공급하는 기능을 가지고, 컨트롤러, 제어 회로, 타이밍 제너레이터, 전원 회로, 또

는 레귤레이터 등으로서 기능할 수 있다. 본 실시형태에서는, 일 예로서, 회로(5361)는, 회로(5362)에, 신호선 구동 회로용 스타트 신호(SSP), 신호선 구동 회로용 클록 신호(SCK), 신호선 구동 회로용 반전 클록 신호(SCKB), 비디오 신호용 데이터(DATA), 래치 신호(LAT)를 공급하는 것으로 한다. 또는, 회로(5361)는, 일 예로서, 회로(5363\_1), 및 회로(5363\_2)에, 주사선 구동 회로용 스타트 신호(GSP), 주사선 구동 회로용 클록 신호(GCK), 및 반전 주사선 구동 회로용 클록 신호(GCKB)를 공급하는 것으로 한다. 또는, 회로(5361)는, 회로(5365)에, 백라이트 제어 신호(BLC)를 공급하는 것으로 한다. 단, 이것에 한정되지 않고, 회로(5361)는, 그 외에도 여러 가지 신호, 여러 가지 전압, 또는 여러 가지 전류 등을, 회로(5362), 회로(5363\_1), 회로(5363\_2), 및 회로(5365)에 공급할 수 있다.

[0314] 회로(5362)는, 회로(5361)로부터 공급되는 신호(예를 들어, SSP, SCK, SCKB, DATA, LAT)에 따라서, 비디오 신호를 복수의 배선(5371)에 출력하는 기능을 가지고, 신호선 구동 회로로서 기능할 수 있다. 회로(5363\_1), 및 회로(5363\_2)는, 회로(5361)로부터 공급되는 신호(GSP, GCK, GCKB)에 따라서, 주사 신호를 복수의 배선(5372)에 출력하는 기능을 가지고, 주사선 구동 회로로서 기능할 수 있다. 회로(5365)는, 회로(5361)로부터 공급되는 신호(BLC)에 따라서, 조명 장치(5366)에 공급하는 전력의 양, 또는 시간 등을 제어함으로써, 조명 장치(5366)의 휘도(또는 평균 휘도)를 제어하는 기능을 가지고, 전원 회로로서 기능할 수 있다.

[0315] 또한, 복수의 배선(5371)에 비디오 신호가 입력되는 경우, 복수의 배선(5371)은, 신호선, 비디오 신호선, 또는 소스 신호선 등으로서 기능할 수 있다. 복수의 배선(5372)에 주사 신호가 입력되는 경우, 복수의 배선(5372)은, 신호선, 주사선, 또는 게이트 신호선 등으로서 기능할 수 있다. 단, 이것에 한정되지 않는다.

[0316] 또한, 회로(5363\_1), 및 회로(5363\_2)의 각각에, 같은 신호가 회로(5361)에 입력되는 경우, 회로(5363\_1)가 복수의 배선(5372)에 출력하는 주사 신호와, 회로(5363\_2)가 복수의 배선(5372)에 출력하는 주사 신호는, 대략 같은 타이밍으로 되는 경우가 많다. 따라서, 회로(5363\_1), 및 회로(5363\_2)가 구동하는 부하를 작게 할 수 있다. 따라서, 표시 장치를 대형화할 수 있다. 또는, 표시 장치를 고정세로 할 수 있다. 또는, 회로(5363\_1), 및 회로(5363\_2)가 가지는 트랜지스터의 채널 폭을 작게 할 수 있으므로, 프레임이 좁은 표시 장치를 얻을 수 있다. 단, 이것에 한정되지 않고, 회로(5361)는, 회로(5363\_1)와 회로(5363\_2)에 개개의 신호를 공급할 수 있다.

[0317] 또한, 회로(5363\_1)와 회로(5363\_2)의 어느 한쪽을 생략할 수 있다.

[0318] 또한, 화소부(5364)에는, 용량선, 전원선, 주사선 등의 배선을 새롭게 배치할 수 있다. 그리고, 회로(5361)는, 이들의 배선에 신호 또는 전압 등을 출력할 수 있다. 또는, 회로(5363\_1) 또는 회로(5363\_2)와 같은 회로를 새롭게 추가할 수 있고, 이 새롭게 추가한 회로는, 새롭게 추가한 배선에 주사 신호 등의 신호를 출력할 수 있다.

[0319] 또한, 화소(5367)가 표시 소자로서 EL 소자 등의 발광 소자를 가질 수 있다. 이 경우, 도 30b에 도시하는 바와 같이, 표시 소자는 발광하는 것이 가능하므로, 회로(5365), 및 조명 장치(5366)는 생략될 수 있다. 그리고, 표시 소자에 전력을 공급하기 위해서, 전원선으로서 기능할 수 있는 복수의 배선(5373)을 화소부(5364)에 배치할 수 있다. 회로(5361)는, 전원 전압(전압 ANO라고도 함)을 배선(5373)에 공급할 수 있다. 이 배선(5373)은, 화소의 색 요소별로 접속되는 것이 가능하고, 모든 화소에 공통적으로 접속되는 것이 가능하다.

[0320] 또한, 도 30b에서는, 일 예로서, 회로(5361)는, 회로(5363\_1)와 회로(5363\_2)에 개개의 신호를 공급하는 경우의 일 예를 도시한다. 회로(5361)는, 주사선 구동 회로용 스타트 신호(GSP1), 주사선 구동 회로용 클록 신호(GCK1), 및 반전 주사선 구동 회로용 클록 신호(GCKB1) 등의 신호를 회로(5363\_1)에 공급한다. 그리고, 회로(5361)는, 주사선 구동 회로용 스타트 신호(GSP2), 주사선 구동 회로용 클록 신호(GCK2), 및 반전 주사선 구동 회로용 클록 신호(GCKB2) 등의 신호를 회로(5363\_2)에 공급한다. 이 경우, 회로(5363\_1)는, 복수의 배선(5372) 중 홀수행째의 배선만을 주사하고, 회로(5363\_2)는, 복수의 배선(5372) 중 짝수행째의 배선만을 주사하는 것이 가능해진다. 따라서, 회로(5363\_1), 및 회로(5363\_2)의 구동 주파수를 작게 할 수 있으므로, 소비 전력의 저감을 도모할 수 있다. 또는, 1단분의 플립플롭을 레이아웃할 수 있는 면적을 크게 할 수 있다. 따라서, 표시 장치를 고정세로 할 수 있다. 또는, 표시 장치를 대형으로 할 수 있다. 단, 이것에 한정되지 않고, 도 30a와 마찬가지로, 회로(5361)는, 회로(5363\_1)와 회로(5363\_2)에 같은 신호를 출력할 수 있다.

[0321] 또한, 도 30b와 마찬가지로, 도 30a에 있어서도, 회로(5361)는, 회로(5363\_1)와 회로(5363\_2)에 개개의 신호를 공급할 수 있다.

- [0322] 이상, 표시 장치의 시스템 블록의 일 예에 대한 설명이다.
- [0323] 다음에, 표시 장치의 구성의 일 예에 대해서, 도 31a 내지 도 31e를 참조하여 설명한다.
- [0324] 도 31a에서는, 화소부(5364)에 신호를 출력하는 기능을 가지는 회로(예를 들어, 회로(5362), 회로(5363\_1), 및 회로(5363\_2) 등은, 화소부(5364)와 같은 기판(5380)에 형성된다. 그리고, 회로(5361)는, 화소부(5364)와는 다른 기판에 형성된다. 이렇게 하여, 외부 부품의 수가 줄어들기 때문에, 비용의 저감을 도모할 수 있다. 또는, 기판(5380)에 입력되는 신호 또는 전압의 수가 줄어들기 때문에, 기판(5380)과, 외부 부품의 접속 수를 줄일 수 있다. 따라서, 신뢰성의 향상, 또는 제조 수율의 향상을 도모할 수 있다.
- [0325] 또한, 회로가 화소부(5364)와는 다른 기판에 형성되는 경우, 상기 기판은, TAB(Tape Automated Bonding) 방식에 의해 FPC(Flexible Printed Circuit)에 실장될 수 있다. 또는, 상기 기판은, COG(Chip on Glass) 방식에 의해 화소부(5364)와 같은 기판(5380)에 실장할 수 있다.
- [0326] 또한, 회로가 화소부(5364)와는 다른 기판에 형성되는 경우, 상기 기판에는, 단결정 반도체를 사용한 트랜지스터를 형성할 수 있다. 따라서, 상기 기판에 형성되는 회로는, 광범위하게 구동 주파수를 설정할 수 있다. 예를 들어 구동 주파수를 높게 함으로써, 화소부(5364)에 배치하는 화소를 늘릴 수 있다(해상도를 높게 할 수 있음). 구동 전압을 작게 함으로써, 소비 전력을 저감할 수 있다. 또한, 상기 기판에 형성되는 회로는, 구동 전압을 크게 할 수 있으므로, 표시 소자로서 구동 전압이 큰 표시 소자를 사용할 수 있다. 또한, 상기 기판에 형성되는 회로는, 출력 신호의 편차를 저감할 수 있다.
- [0327] 또한, 외부 회로로부터는, 입력 단자(5381)를 통하여 신호, 전압, 또는 전류 등이 입력되는 경우가 많다.
- [0328] 도 31b에서는, 회로(5363\_1) 및 회로(5363\_2)의 구동 주파수는, 회로(5361) 또는 회로(5362)의 구동 주파수보다도 낮은 경우가 많고, 화소부에 형성되는 트랜지스터와 같은 공정에서 형성되는 트랜지스터를 회로(5363\_1), 및 회로(5363\_2)에 사용할 수 있으므로, 회로(5363\_1), 및 회로(5363\_2)는, 화소부(5364)와 같은 기판(5380)에 형성된다. 그리고, 회로(5361), 및 회로(5362)는, 화소부(5364)와는 다른 기판에 형성된다. 이렇게 하여, 이동도가 작은 트랜지스터에 의해, 기판(5380)에 형성되는 회로를 구성할 수 있게 된다. 따라서, 트랜지스터의 반도체층으로서, 비정질 반도체, 미결정 반도체, 유기 반도체, 또는 산화물 반도체 등을 사용할 수 있게 된다. 따라서, 표시 장치의 대형화, 공정 수의 삭감, 비용의 저감, 또는 제조 수율의 향상 등을 도모할 수 있다.
- [0329] 또한, 도 31c에 도시하는 바와 같이, 회로(5362)의 일부(회로(5362a))가 화소부(5364)와 같은 기판(5380)에 형성되고, 회로(5362)의 나머지 부분(회로(5362b))이 화소부(5364)와는 다른 기판에 형성되는 것이 가능하다. 회로(5362a)는, 이동도가 낮은 트랜지스터에 의해 구성할 수 있는 회로(예를 들어, 시프트 레지스터, 실렉터, 스위치 등)를 가지는 경우가 많다. 그리고, 회로(5362b)는, 이동도가 높고, 또한 특성 편차가 작은 트랜지스터에 의해 구성하는 것이 바람직한 회로(예를 들어, 시프트 레지스터, 래치 회로, 버퍼 회로, DA 변환 회로, AD 변환 회로 등)를 가지는 경우가 많다. 이렇게 함으로써, 도 31b와 마찬가지로, 트랜지스터의 반도체층으로서, 예를 들어 비정질 반도체, 미결정 반도체, 유기 반도체, 또는 산화물 반도체 등을 사용할 수 있게 되고, 더욱이 외부 부품의 삭감을 도모할 수 있다.
- [0330] 도 31d에서는, 화소부(5364)에 신호를 출력하는 기능을 가지는 회로(예를 들어, 회로(5362), 회로(5363\_1), 및 회로(5363\_2) 등) 및 이들의 회로를 제어하는 기능을 가지는 회로(예를 들어, 회로(5361))는, 화소부(5364)와는 다른 기판에 형성된다. 이렇게 하여, 화소부와, 그 주변회로를 개개의 기판에 형성할 수 있게 되므로, 제조 수율의 향상을 도모할 수 있다.
- [0331] 또한, 도 31d와 마찬가지로, 도 31a 내지 도 31c에 있어서도, 회로(5363\_1), 및 회로(5363\_2)를 화소부(5364)와는 다른 기판에 형성할 수 있다.
- [0332] 도 31e에서는, 회로(5361)의 일부(회로(5361a))가 화소부(5364)와 같은 기판(5380)에 형성되고, 나머지의 회로(5361)(회로(5361b))가 화소부(5364)와는 다른 기판에 형성된다. 회로(5361a)는, 이동도가 작은 트랜지스터에 의해 구성할 수 있는 회로(예를 들어, 스위치, 실렉터, 레벨 시프터 등)를 가지는 경우가 많다. 그리고, 회로(5361b)는, 이동도가 높고, 편차가 작은 트랜지스터를 사용하여 구성하는 것이 바람직한 회로(예를 들어, 시프트 레지스터, 타이밍 제너레이터, 오실레이터, 레플레이터, 또는 아날로그 버퍼 등)를 가지는 경우가 많다.
- [0333] 또한, 도 31a 내지 도 31d에 있어서도, 회로(5361a)를 화소부(5364)와 같은 기판에 형성하고, 화소부(5364)와는 다른 기판에 형성할 수 있다.
- [0334] 여기서, 회로(5363\_1), 및 회로(5363\_2)로서, 실시형태 1 내지 실시형태 4의 반도체 장치 또는 시프트 레지스터

를 사용할 수 있다. 이 경우, 회로(5363\_1), 및 회로(5363\_2)와 화소부가 같은 기관에 형성됨으로써, 상기 기관에 형성되는 모든 트랜지스터의 극성을 N 채널형 또는 P 채널형으로 할 수 있다. 따라서, 공정 수의 삭감, 제조 수율의 향상, 신뢰성의 향상, 또는 비용의 삭감을 도모할 수 있다. 특히, 모든 트랜지스터의 극성이 N 채널형인 경우에는, 트랜지스터의 반도체층으로서, 비정질 반도체, 미결정 반도체, 유기 반도체, 또는 산화물 반도체 등을 사용할 수 있게 된다. 따라서, 표시 장치의 대형화, 비용의 저감, 또는 제조 수율의 향상 등을 도모할 수 있다.

[0335] 또는, 실시형태 1 내지 실시형태 4의 반도체 장치, 또는 시프트 레지스터는, 트랜지스터의 채널 폭을 작게 할 수 있다. 따라서 레이아웃 면적을 작게 할 수 있으므로, 프레임을 작게 할 수 있다. 또는 레이아웃 면적을 작게 할 수 있으므로, 해상도를 높게 할 수 있다.

[0336] 또는, 실시형태 1 내지 실시형태 4의 반도체 장치, 또는 시프트 레지스터는, 기생 용량을 작게 할 수 있다. 따라서, 소비 전력을 저감할 수 있다. 또는, 외부 회로의 전류 능력을 작게 할 수 있다. 또는, 외부 회로의 크기, 또는 상기 외부 회로를 가지는 표시 장치의 크기를 작게 할 수 있다.

[0337] 또한, 비정질 반도체, 미결정 반도체, 유기 반도체, 또는 산화물 반도체 등을 반도체층으로서 사용하는 트랜지스터는, 임계치 전압의 증가, 또는 이동도의 저하 등의 특성 열화가 생기는 경우가 많다. 그러나, 실시형태 1 내지 실시형태 4의 반도체 장치 또는 시프트 레지스터는, 트랜지스터의 특성 열화를 억제할 수 있으므로, 표시 장치의 수명을 길게 할 수 있다.

[0338] 또한, 회로(5362)의 일부로서, 실시형태 1 내지 실시형태 4의 반도체 장치, 또는 시프트 레지스터를 사용할 수 있다. 예를 들어, 회로(5362a)는, 실시형태 1 내지 실시형태 4의 반도체 장치, 또는 시프트 레지스터를 가질 수 있다.

[0339] (실시형태 6)

[0340] 본 실시형태에서는, 신호선 구동 회로의 일 예에 대해서 설명한다. 또한, 신호선 구동 회로를 반도체 장치, 또는 신호 생성 회로로 나타내는 것이 가능하다.

[0341] 신호선 구동 회로의 일 예에 대해서, 도 32a를 참조하여 설명한다. 신호선 구동 회로는, 회로(602\_1 내지 602\_N)와 같은 복수의 회로와, 회로(600)와, 회로(601)를 가진다. 그리고, 회로(602\_1 내지 602\_N)는, 각각, 트랜지스터(603\_1 내지 603\_k)(k는 2 이상의 자연수)와 같은 복수의 트랜지스터를 가진다. 트랜지스터(603\_1 내지 603\_k)는, N 채널형인 것으로 한다. 단, 이것에 한정되지 않고, 트랜지스터(603\_1 내지 603\_k)는, P 채널형으로 할 수 있고, CMOS형의 스위치로 할 수 있다.

[0342] 신호선 구동 회로의 접속 관계에 대하여, 회로(602\_1)를 예로서 설명한다. 트랜지스터(603\_1 내지 603\_k)의 제 1 단자는, 배선(605\_1)과 접속된다. 트랜지스터(603\_1 내지 603\_k)의 제 2 단자는, 각각, 배선(S1 내지 Sk)과 접속된다. 트랜지스터(603\_1 내지 603\_k)의 게이트는, 각각, 배선(604\_1 내지 604\_k)과 접속된다. 예를 들어, 트랜지스터(603\_1)의 제 1 단자는, 배선(605\_1)과 접속되고, 트랜지스터(603\_1)의 제 2 단자는, 배선(S1)과 접속되고, 트랜지스터(603\_1)의 게이트는, 배선(604\_1)과 접속된다.

[0343] 회로(600)는, 배선(604\_1 내지 604\_k)을 통하여, 신호를 회로(602\_1 내지 602\_N)에 공급하는 기능을 가지고, 시프트 레지스터, 또는 디코더 등으로서 기능할 수 있다. 상기 신호는, 디지털 신호인 경우가 많고, 선택 신호로서 기능할 수 있다. 그리고, 배선(604\_1 내지 604\_k)은, 신호선으로서 기능할 수 있다.

[0344] 회로(601)는, 신호를 회로(602\_1 내지 602\_N)에 출력하는 기능을 가지고, 비디오 신호 생성 회로 등으로서 기능할 수 있다. 예를 들어, 회로(601)는, 배선(605\_1)을 통하여 신호를 회로(602\_1)에 공급한다. 동시에, 배선(605\_2)을 통하여 신호를 회로(602\_2)에 공급한다. 상기 신호는, 아날로그 신호인 경우가 많고, 비디오 신호로서 기능할 수 있다. 그리고, 배선(605\_1 내지 605\_N)은, 신호선으로서 기능할 수 있다.

[0345] 회로(602\_1 내지 602\_N)는, 회로(601)의 출력 신호를, 어느 배선에 출력하는 것인지를 선택하는 기능을 가지고, 선택 회로로서 기능할 수 있다. 예를 들어, 회로(602\_1)는, 회로(601)가 배선(605\_1)에 출력하는 신호를, 배선(S1 내지 Sk) 중 어느 배선에 출력하는 것인지를 선택하는 기능을 가진다.

[0346] 트랜지스터(603\_1 내지 603\_N)는, 각각, 회로(600)의 출력 신호에 따라서, 배선(605\_1)과, 배선(S1 내지 Sk)의 도통 상태를 제어하는 기능을 가지고, 스위치로서 기능한다.

[0347] 다음에, 도 32a의 신호선 구동 회로의 동작에 대해서, 도 32b의 타이밍 차트를 참조하여 설명한다. 도

32b에는, 배선(604\_1)에 입력되는 신호(614\_1), 배선(604\_2)에 입력되는 신호(614\_2), 배선(604\_k)에 입력되는 신호(614\_k), 배선(605\_1)에 입력되는 신호(615\_1), 및 배선(6052)에 입력되는 신호(615\_2)의 일 예를 도시한다.

- [0348] 또한, 신호선 구동 회로의 1 동작 기간은, 표시 장치에 있어서의 1 게이트 선택 기간에 대응한다. 1 게이트 선택 기간이란, 어떤 행에 속하는 화소가 선택되고, 상기 화소에 비디오 신호를 기록할 수 있는 기간을 말한다.
- [0349] 또한, 1 게이트 선택 기간은, 기간(T0), 및 기간(T1) 내지 기간(Tk)으로 분할된다. 기간(T0)은, 선택된 행에 속하는 화소에 프리차지용의 전압을 동시에 인가하기 위한 기간이며, 프리차지 기간으로서 기능할 수 있다. 기간(T1 내지 Tk)은, 각각, 선택된 행에 속하는 화소에 비디오 신호를 기록하기 위한 기간이며, 기록 기간으로서 기능할 수 있다.
- [0350] 또한, 편의상, 회로(602\_1)의 동작을 예로 하여, 신호선 구동 회로의 동작을 설명한다.
- [0351] 우선, 기간(T0)에 있어서, 회로(600)는, 배선(604\_1 내지 604\_k)에 H 레벨의 신호를 출력한다. 그렇게 하면, 트랜지스터(603\_1 내지 603\_k)가 온하므로, 배선(605\_1)과, 배선(S1 내지 Sk)이 도통 상태로 된다. 이 때, 회로(601)는, 배선(605\_1)에 프리차지 전압(Vp)을 공급하고 있으므로, 프리차지 전압(Vp)은, 트랜지스터(603\_1 내지 603\_k)를 통하여, 배선(S1 내지 Sk)에 각각 출력된다. 그리고, 프리차지 전압(Vp)은, 선택된 행에 속하는 화소에 기록되므로, 선택된 행에 속하는 화소가 프리차지 된다.
- [0352] 다음에, 기간(T1)에 있어서, 회로(600)는, H 레벨의 신호를 배선(604\_1)에 출력한다. 그렇게 하면, 트랜지스터(603\_1)가 온하므로, 배선(605\_1)과 배선(S1)이 도통 상태로 된다. 그리고, 배선(605\_1)과 배선(S2 내지 Sk)이 비도통 상태로 된다. 이 때, 회로(601)는, 신호 Data(S1)를 배선(605\_1)에 출력하고 있다고 하면, 신호 Data(S1)는, 트랜지스터(603\_1)를 통하여, 배선(S1)에 출력된다. 이렇게 하여, 신호 Data(S1)는, 배선(S1)과 접속되는 화소 중, 선택된 행에 속하는 화소에 기록된다.
- [0353] 다음에, 기간(T2)에 있어서, 회로(600)는, H 레벨의 신호를 배선(604\_2)에 출력한다. 그렇게 하면, 트랜지스터(603\_2)가 온하므로, 배선(605\_2)과 배선(S2)이 도통 상태로 된다. 그리고, 배선(605\_1)과 배선(S1)이 비도통 상태로 되고, 배선(605\_1)과 배선(S3 내지 Sk)이 비도통 상태인 채로 된다. 이 때, 회로(601)는, 신호 Data(S2)를 배선(605\_1)에 출력하고 있다고 하면, 신호 Data(S2)는, 트랜지스터(603\_2)를 통하여, 배선(S2)에 출력된다. 이렇게 하여, 신호 Data(S1)는, 배선(S1)과 접속되는 화소 중, 선택된 행에 속하는 화소에 기록된다.
- [0354] 그 후, 기간(Tk)까지, 회로(600)는, 배선(604\_1 내지 604\_k)에 H 레벨의 신호를 순서대로 출력하므로, 기간(T1) 및 기간(T2)과 마찬가지로, 기간(T3)으로부터 기간(Tk)까지, 회로(600)는, 배선(604\_3 내지 604\_k)에 H 레벨의 신호를 순서대로 출력한다. 따라서, 트랜지스터(603\_3 내지 603\_k)가 순서대로 온하므로, 회로(601)로부터 출력되는 신호는, 배선(S2 내지 Sk)에 순서대로 출력된다. 이렇게 하여, 선택된 행에 속하는 화소에, 신호를 순서대로 기록할 수 있게 된다.
- [0355] 이상, 신호선 구동 회로의 일 예에 대하여 설명하였다. 본 실시형태의 신호선 구동 회로는, 선택터로서 기능하는 회로를 가지므로, 신호의 수, 또는 배선의 수를 줄일 수 있다. 또는, 화소에 비디오 신호를 기록하기 전(기간(T0))에, 프리차지를 행하기 위한 전압을 화소에 기록하기 때문에, 비디오 신호의 기록 시간을 짧게 할 수 있다. 따라서, 표시 장치의 대형화, 표시 장치의 고정세화를 도모할 수 있다. 단, 이것에 한정되지 않고, 기간(T0)을 생략하고, 화소에 프리차지하지 않는 것이 가능하다.
- [0356] 또한, k가 지나치게 크면, 화소로의 기록 시간이 짧아지므로, 비디오 신호의 화소로의 기록이 시간 내에 종료하지 않는 경우가 있다. 따라서, k≤6인 것이 바람직하다. 더욱 바람직하게는 k≤3인 것이 바람직하다. 가장 바람직하게는 k=2인 것이 바람직하다.
- [0357] 특히, 화소의 색 요소가 n개로 분할되는 경우, k=n으로 할 수 있다. 예를 들어, 화소의 색 요소가 적색(R)과 녹색(G)과 청색(B)의 3개로 분할되는 경우, k=3인 것이 가능하다. 이 경우, 1 게이트 선택 기간은, 기간(T0), 기간(T1), 기간(T2), 기간(T3)으로 분할된다. 그리고, 기간(T1), 기간(T2), 기간(T3)에서는, 각각, 적색(R)의 화소, 녹색(G)의 화소, 청색(B)의 화소에 비디오 신호를 기록할 수 있다. 단, 이것에 한정되지 않고, 기간(T1), 기간(T2), 기간(T3)의 순번은 임의로 설정할 수 있다.
- [0358] 특히, 화소가 n(n은 자연수)개의 서브 화소(이하 서브 픽셀, 또는 부화소라고도 함)로 분할되는 경우, k=n으로

할 수 있다. 예를 들어, 화소가 2개의 서브 화소로 분할되는 경우,  $k=2$ 인 것이 가능하다. 이 경우, 1 게이트 선택 기간은, 기간(T0), 기간(T1), 기간(T2)으로 분할된다. 그리고, 기간(T1)에서는, 2개의 서브 화소의 한쪽에 비디오 신호를 기록하고, 기간(T2)에서는, 2개의 서브 화소의 다른쪽에 비디오 신호를 기록할 수 있다.

- [0359] 또한, 회로(600), 및 회로(602\_1 내지 602\_N)의 구동 주파수는, 회로(601)와 비교하여 낮은 경우가 많으므로, 회로(600), 및 회로(602\_1 내지 602\_N)는, 화소부와 같은 기관에 형성할 수 있다. 이렇게 하여, 화소부가 형성되는 기관과, 외부 회로의 접속 수를 줄일 수 있으므로, 제조 수율의 향상, 또는 신뢰성의 향상 등을 도모할 수 있다. 또한, 도 31a 내지 31e와 같이, 주사선 구동 회로도 화소부와 같은 기관에 형성됨으로써, 더욱 외부 회로와의 접속 수를 줄일 수 있다.
- [0360] 또한, 회로(600)로서, 실시형태 1 내지 실시형태 4의 반도체 장치 또는 시프트 레지스터를 사용할 수 있다. 이 경우, 회로(600)가 가지는 모든 트랜지스터의 극성을 N 채널형, 또는 P 채널형으로 할 수 있다. 따라서, 공정 수의 삭감, 제조 수율의 향상, 또는 비용의 삭감을 도모할 수 있다.
- [0361] 또한, 회로(600) 뿐만 아니라, 회로(602\_1 내지 602\_N)가 가지는 모든 트랜지스터의 극성도 N 채널형, 또는 P 채널형으로 할 수 있다. 따라서, 회로(600), 및 회로(602\_1 내지 602\_N)가, 화소부와 같은 기관에 형성되는 경우, 공정 수의 삭감, 제조 수율의 향상, 또는 비용의 삭감을 도모할 수 있다. 특히, 모든 트랜지스터의 극성을 N 채널형으로 함으로써, 트랜지스터의 반도체층으로서, 예를 들어 비정질 반도체, 미결정 반도체, 유기 반도체, 또는 산화물 반도체 등을 사용할 수 있다.
- [0362] (실시형태 7)
- [0363] 본 실시형태에 있어서는, 액정 표시 장치에 적용할 수 있는 화소의 구성 및 화소의 동작에 대하여 설명한다.
- [0364] 도 33a는, 화소의 일 예를 도시한다. 화소(3020)는, 트랜지스터(3021), 액정 소자(3022), 및 용량 소자(3023)를 가진다. 그리고, 트랜지스터(3021)의 제 1 단자는, 배선(3031)과 접속되고, 트랜지스터(3021)의 제 2 단자는, 액정 소자(3022)의 한쪽의 전극 및 용량 소자(3023)의 한쪽의 전극과 접속되고, 트랜지스터(3021)의 게이트는, 배선(3032)과 접속된다. 액정 소자(3022)의 다른쪽의 전극은, 전극(3034)과 접속되고, 용량 소자(3023)의 다른쪽의 전극은, 배선(3033)과 접속된다.
- [0365] 배선(3031)에는, 일 예로서, 비디오 신호가 입력되는 것이 가능하다. 배선(3032)에는, 일 예로서, 주사 신호, 선택 신호, 또는 게이트 신호가 입력되는 것이 가능하다. 배선(3033)에는, 일 예로서, 일정한 전압이 공급되는 것이 가능하다. 전극(3034)에는, 일 예로서, 일정한 전압이 공급되는 것이 가능하다. 단, 이것에 한정되지 않고, 배선(3031)에는 프리차지 전압이 공급됨으로써, 비디오 신호의 기록 시간을 짧게 할 수 있다. 또는, 배선(3033)에는 신호가 입력됨으로써, 액정 소자(3022)에 인가되는 전압을 제어할 수 있다. 또는, 전극(3034)에 신호가 입력됨으로써, 프레임 반전 구동을 실현할 수 있다.
- [0366] 또한, 배선(3031)은, 신호선, 비디오 신호선, 또는 소스 신호선으로서 기능할 수 있다. 배선(3032)은, 신호선, 주사선, 또는 게이트 신호선으로서 기능할 수 있다. 배선(3033)은, 전원선, 또는 용량선으로서 기능할 수 있다. 전극(3034)은, 공통 전극, 또는 대향 전극으로서 기능할 수 있다. 단, 이것에 한정되지 않고, 배선(3031), 배선(3032)에, 전압이 공급되는 경우, 이들의 배선은, 전원선으로서 기능할 수 있다. 또는, 배선(3033)에 신호가 입력되는 경우, 배선(3033)은 신호선으로서 기능할 수 있다.
- [0367] 트랜지스터(3021)는, 배선(3031)과 액정 소자(3022)의 한쪽의 전극과의 도통 상태를 제어함으로써, 화소에 비디오 신호를 기록하는 타이밍을 제어하는 기능을 가지고, 스위치로서 기능할 수 있다. 용량 소자(3023)는, 액정 소자(3022)의 한쪽의 전극과, 배선(3033)의 사이의 전위차를 유지하고, 액정 소자(3022)에 인가되는 전압을 일정하게 유지하는 기능을 가지고, 유지 용량으로서 기능한다. 단, 이것에 한정되지 않는다.
- [0368] 도 33b에는, 도 33a의 화소의 동작을 설명하기 위한 타이밍 차트의 일 예를 도시한다. 도 33b에는, 신호(3042\_j)(j는 자연수), 신호(3042\_j+1), 신호(3041\_i), 신호(3041\_i+1), 및 전압(3043)을 나타낸다. 그리고, 도 33b에는, 제k(k는 자연수) 프레임과, 제 k+1 프레임을 나타낸다. 또한, 신호(3042\_j), 신호(3042\_j+1), 신호(3041\_i), 신호(3041\_i+1), 및 전압(3043)은, 각각, j행째의 배선(3032)에 입력되는 신호, j+1행째의 배선(3032)에 입력되는 신호, i열째의 배선(3031)에 입력되는 신호, i+1열째의 배선(3031)에 입력되는 신호, 배선(3033)에 공급되는 전압의 일 예이다.
- [0369] j행 i열째에 속하는 화소(3020)의 동작에 대해서 설명한다. 신호(3042\_j)가 H 레벨로 되면, 트랜지스터(3021)가 온한다. 따라서, i열째의 배선(3031)과 액정 소자(3022)의 한쪽의 전극이 도통 상태가 되므로, 신호

(3041<sub>j</sub>)가 트랜지스터(3021)를 통하여 액정 소자(3022)의 한쪽의 전극에 입력된다. 그리고, 용량 소자(3023)는, 이 때의 액정 소자(3022)의 한쪽의 전극의 전위와, 배선(3033)의 전위의 전위차를 유지한다. 따라서, 그 후, 다시 신호(3042<sub>j</sub>)가 H 레벨로 될 때까지, 액정 소자(3022)에 인가되는 전압은 일정하게 된다. 그리고, 액정 소자(3022)는, 인가되는 전압에 따른 계조를 표현한다.

[0370] 또한, 도 33b에는, 양극성의 신호와 음극성의 신호가, 1행 선택 기간마다 교대로 배선(3031)에 입력되는 경우의 일 예를 도시한다. 양극성의 신호란, 전위가 기준의 값(예를 들어 전극(3034)의 전위)보다도 높은 신호를 말하며, 음극성의 신호란, 전위가 기준의 값(예를 들어 전극(3034)의 전위)보다도 낮은 신호를 말한다. 단, 이것에 한정되지 않고, 배선(3031)에 입력되는 신호는, 1 프레임 기간 동안, 같은 극성인 것이 가능하다.

[0371] 또한, 도 33b에는, 신호(3041<sub>i</sub>)의 극성과 신호(3041<sub>i+1</sub>)의 극성이 서로 다른 경우의 일 예를 도시한다. 단, 이것에 한정되지 않고, 신호(3041<sub>i</sub>)의 극성과 신호(3041<sub>i+1</sub>)의 극성과는 같은 것이 가능하다.

[0372] 또한, 도 33b에는, 신호(3042<sub>j</sub>)가 H 레벨로 되는 기간과, 신호(3042<sub>j+1</sub>)가 H 레벨로 되는 기간과는, 겹치지 않는 경우의 일 예를 도시한다. 단, 이것에 한정되지 않고, 도 33c에 도시하는 바와 같이, 신호(3042<sub>j</sub>)가 H 레벨로 되는 기간과, 신호(3042<sub>j+1</sub>)가 H 레벨로 되는 기간은 겹치는 것이 가능하다. 이 경우, 배선(303) 위에는, 1 프레임 기간 중, 같은 극성의 신호가 공급되는 것이 바람직하다. 이렇게 함으로써, j행째의 화소로 기록되는 신호(3041<sub>j</sub>)를 사용하여, j+1행째의 화소를 프리차지할 수 있다. 이렇게 하여, 화소로의 비디오 신호의 기록 시간을 짧게 할 수 있다. 따라서, 표시 장치를 고정세로 할 수 있다. 또는, 표시 장치의 표시부를 크게 할 수 있다. 또는, 1 프레임 기간에 있어서, 배선(3031)에 같은 극성의 신호가 입력되므로, 소비 전력을 삭감할 수 있다.

[0373] 또한, 도 34a의 화소 구성과, 도 33c의 타이밍 차트를 조합함으로써, 도트 반전 구동을 실현할 수 있다. 도 34a의 화소 구성에서는, 화소(3020)(i, j)는, 배선(3031<sub>i</sub>)과 접속된다. 한편, 화소(3020)(i, j+1)는, 배선(3031<sub>i+1</sub>)과 접속된다. 즉, i열째에 속하는 화소는, 1행씩 교대로, 배선(3031<sub>i</sub>)과, 배선(3031<sub>i+1</sub>)과 접속된다. 이렇게 하여, i열째에 속하는 화소는, 1행씩 교대로, 양극성의 신호와 음극성의 신호가 기록되므로, 도트 반전 구동을 실현할 수 있다. 단, 이것에 한정되지 않고, i열째에 속하는 화소는, 복수행(예를 들어 2행 또는 3행)씩 교대로, 배선(3031<sub>i</sub>)과, 배선(3031<sub>i+1</sub>)과 접속되는 것이 가능하다.

[0374] 또한, 화소 구성으로서, 서브 픽셀 구조를 사용할 수 있다. 도 34b, 및 34c에는, 화소를 2개의 서브 화소로 분할하는 경우의 구성을 도시한다. 그리고, 도 34b에는, 1S+2G(예를 들어 1 서브 화소당 1개의 신호선과, 2개의 주사선을 사용하는 것)라고 불리는 서브 픽셀 구조를 도시하고, 도 34c에는, 2S+1G(예를 들어 1 서브 화소당 2개의 신호선과, 1개의 주사선을 사용하는 것)라고 불리는 서브 픽셀 구조를 도시한다. 서브 화소(3020A) 및 서브 화소(3020B)는, 화소(3020)에 대응한다. 트랜지스터(3021A) 및 트랜지스터(3021B)는, 트랜지스터(3021)에 대응한다. 액정 소자(3022A) 및 액정 소자(3022B)는, 액정 소자(3022)에 대응한다. 용량 소자(3023A) 및 용량 소자(3023B)는, 용량 소자(3023)에 대응한다. 배선(3031A) 및 배선(3031B)은, 배선(3031)에 대응한다. 배선(3032A) 및 배선(3032B)은, 배선(3032)에 대응한다.

[0375] 여기서, 본 실시형태의 화소와, 실시형태 1 내지 실시형태 6의 반도체 장치, 시프트 레지스터, 표시 장치, 또는 신호선 구동 회로를 조합함으로써, 여러 가지 메리트를 얻을 수 있다. 예를 들어, 화소로서, 서브 픽셀 구조를 사용하는 경우, 표시 장치를 구동하기 위해서 필요한 신호의 수가 늘어나 버린다. 따라서, 게이트 신호선의 수, 또는 소스 신호선의 수가 늘어나 버린다. 이 결과, 화소부가 형성되는 기관과, 외부 회로의 접속 수가 대폭 늘어나 버리는 경우가 있다. 그러나, 게이트 신호선의 수가 늘어나더라도, 실시형태 7에 나타내는 바와 같이, 주사선 구동 회로를 화소부와 같은 기관에 형성할 수 있다. 따라서, 화소부가 형성되는 기관과, 외부 회로의 접속 수를 대폭 늘리지 않고, 서브 픽셀 구조의 화소를 사용할 수 있다. 또는, 소스 신호선의 수가 늘어나더라도, 실시형태 6의 신호선 구동 회로를 사용함으로써, 소스 신호선의 수를 줄일 수 있다. 따라서, 화소부가 형성되는 기관과, 외부 회로의 접속 수를 대폭 늘리지 않고, 서브 픽셀 구조의 화소를 사용할 수 있다.

[0376] 또는, 용량선에 신호를 입력하는 경우, 화소부가 형성되는 기관과, 외부 회로의 접속 수가 대폭 늘어나 버리는 경우가 있다. 그래서, 용량선에, 실시형태 1 내지 실시형태 5의 반도체 장치 또는 시프트 레지스터를 사용하여 신호를 공급할 수 있다. 그리고, 실시형태 1 내지 실시형태 5의 반도체 장치 또는 시프트 레지스터는, 화소부와 같은 기관에 형성할 수 있다. 따라서, 화소부가 형성되는 기관과, 외부 회로의 접속 수를 대폭 늘리지 않고, 용량선에 신호를 입력할 수 있다.

[0377] 또는, 교류 구동을 사용하는 경우, 화소로의 비디오 신호의 기록 시간이 짧아져 버린다. 이 결과, 화소로의 비

디오 신호의 기록 시간이 부족하여 버리는 경우가 있다. 마찬가지로, 서브 픽셀 구조의 화소를 사용하는 경우, 화소로의 비디오 신호의 기록 시간이 짧아진다. 이 결과, 화소로의 비디오 신호의 기록 시간이 부족하여 버리는 경우가 있다. 그래서, 실시형태 6의 신호선 구동 회로를 사용하여, 화소에 비디오 신호를 기록할 수 있다. 이 경우, 화소에 비디오 신호를 기록하기 전에, 화소에 프리차지용의 전압을 기록하므로, 짧은 시간으로 화소에 비디오 신호를 기록할 수 있다. 또는, 도 28b에 도시하는 바와 같이, 어떤 행이 선택되는 기간과, 다른 행이 선택되는 기간을 겹침으로써, 다른 행의 비디오 신호를 프리차지용의 전압으로서 사용할 수 있다.

[0378] (실시형태 8)

[0379] 본 실시형태에서는, 표시 장치의 일 예에 대해서, 도 35a 내지 도 35c를 참조하여 설명한다. 또한, 여기에서는 일 예로서 액정 표시 장치에 대해서 설명한다.

[0380] 도 35a는, 표시 장치의 상면도의 일 예이다. 기관(5391)에, 구동 회로(5392)와 화소부(5393)가 형성되어 있다. 구동 회로(5392)의 일 예로서는, 주사선 구동 회로, 또는 신호선 구동 회로 등이 있다. 예를 들어 액정 표시 장치의 경우, 화소부(5393)는 화소를 가지고, 화소는, 구동 회로(5392)의 출력 신호에 따라서 액정 소자에 인가되는 전압이 설정된다.

[0381] 도 35b에는, 도 35a의 A-B 단면의 일 예를 도시한다. 그리고, 도 35b에는, 기관(5400)과, 기관(5400) 위에 형성되는 도전층(5401)과, 도전층(5401)을 덮도록 형성되는 절연층(5402)과, 도전층(5401) 및 절연층(5402) 위에 형성되는 반도체층(5403a)과, 반도체층(5403a) 위에 형성되는 반도체층(5403b)과, 반도체층(5403b) 위 및 절연층(5402) 위에 형성되는 도전층(5404)과, 절연층(5402) 위 및 도전층(5404) 위에 형성되고, 개구부를 가지는 절연층(5405)과, 절연층(5405) 위 및 절연층(5405)의 개구부에 형성되는 도전층(5406)과, 절연층(5405) 위 및 도전층(5406) 위에 배치되는 절연층(5408)과, 절연층(5405) 위에 형성되는 액정층(5407)과, 액정층(5407) 위 및 절연층(5408) 위에 형성되는 도전층(5409)과, 도전층(5409) 위에 형성되는 기관(5410)을 도시한다.

[0382] 도전층(5401)은, 게이트 전극으로서 기능할 수 있다. 절연층(5402)은, 게이트 절연막으로서 기능할 수 있다. 도전층(5404)은, 배선, 트랜지스터의 전극, 또는 용량 소자의 전극 등으로서 기능할 수 있다. 절연층(5405)은, 층간 막, 또는 평탄화막으로서 기능할 수 있다. 도전층(5406)은, 배선, 화소 전극, 또는 반사 전극으로서 기능할 수 있다. 절연층(5408)은, 쉴 재료로서 기능할 수 있다. 도전층(5409)은, 대향 전극, 또는 공통 전극으로서 기능할 수 있다.

[0383] 여기에서, 구동 회로(5392)와, 도전층(5409)의 사이에는, 기생 용량이 생기는 경우가 있다. 이 결과, 구동 회로(5392)의 출력 신호 또는 각 노드의 전위에, 무더짐 또는 지연 등이 생겨 버린다. 또는, 소비 전력이 커져 버린다. 그러나, 도 35b에 도시하는 바와 같이, 구동 회로(5392) 위에, 쉴 재료로서 기능할 수 있는 절연층(5408)을 형성함으로써, 구동 회로(5392)와, 도전층(5409) 사이에 생기는 기생 용량을 저감할 수 있다. 왜냐하면, 쉴 재료의 유전율은, 액정층의 유전율보다도 낮은 경우가 많기 때문이다. 따라서, 구동 회로(5392)의 출력 신호 또는 각 노드의 전위의 무더짐 또는 지연을 저감할 수 있다. 또는, 구동 회로(5392)의 소비 전력을 저감할 수 있다.

[0384] 또한, 도 35c에 도시하는 바와 같이, 구동 회로(5392)의 일부 위에, 쉴 재료로서 기능할 수 있는 절연층(5408)이 형성되는 것이 가능하다. 이러한 경우라도, 구동 회로(5392)와, 도전층(5409) 사이에 생기는 기생 용량을 저감할 수 있기 때문에, 구동 회로(5392)의 출력 신호 또는 각 노드의 전위의 무더짐 또는 지연을 저감할 수 있다. 단, 이것에 한정되지 않고, 구동 회로(5392) 위에, 쉴 재료로서 기능할 수 있는 절연층(5408)이 형성되지 않는 것이 가능하다.

[0385] 또한, 표시 소자는, 액정 소자에 한정되지 않고, EL 소자, 또는 전기 영동 소자 등의 여러 가지 표시 소자를 사용할 수 있다.

[0386] 이상, 본 실시형태에서는, 표시 장치의 단면 구조의 일 예에 대해서 설명하였다. 이러한 구조와, 실시형태 1 내지 실시형태 4의 반도체 장치 또는 시프트 레지스터를 조합할 수 있다. 예를 들어, 트랜지스터의 반도체층으로서, 비정질 반도체, 미결정 반도체, 유기 반도체, 또는 산화물 반도체 등을 사용하는 경우, 트랜지스터의 채널 폭이 커지는 경우가 많다. 그러나, 본 실시형태와 같이, 구동 회로의 기생 용량을 작게 할 수 있으면, 트랜지스터의 채널 폭을 작게 할 수 있다. 따라서, 레이아웃 면적의 축소를 도모할 수 있으므로, 표시 장치 프레임을 좁게 할 수 있다. 또는, 표시 장치를 고정세로 할 수 있다.

[0387] (실시형태 9)

- [0388] 본 실시형태에서는, 트랜지스터의 구조의 일 예에 대해서 도 36a 내지 도 36c를 참조하여 설명한다.
- [0389] 도 36a는, 표시 장치의 구조의 일 예를 도시하는 도면이며, 또한, 탑 게이트형의 트랜지스터의 구조의 일 예를 도시하는 도면이다. 도 36b는, 표시 장치의 구조의 일 예를 도시하는 도면이며, 또한, 보텀 게이트형의 트랜지스터의 구조의 일 예, 또는 표시 장치의 구조의 일 예를 도시하는 도면이다. 도 36c는, 반도체 기판을 사용하여 제작되는 트랜지스터의 구조의 일 예를 도시하는 도면이다.
- [0390] 도 36a의 트랜지스터의 일 예는, 절연층(5261)을 끼워서 기판(5260) 위에 형성되고, 영역(5262a), 영역(5262b), 영역(5262c), 영역(5262d), 및 영역(5262e)을 가지는 반도체층(5262)과, 반도체층(5262)을 덮도록 형성되는 절연층(5263)과, 반도체층(5262) 및 절연층(5263) 위에 형성되는 도전층(5264)과, 절연층(5263) 및 도전층(5264) 위에 형성되고, 개구부를 가지는 절연층(5265)과, 절연층(5265) 위 및 절연층(5265)의 개구부에 형성되는 도전층(5266)을 가진다.
- [0391] 도 36b의 트랜지스터의 일 예는, 기판(5300) 위에 형성되는 도전층(5301)과, 도전층(5301)을 덮도록 형성되는 절연층(5302)과, 도전층(5301) 및 절연층(5302) 위에 형성되는 반도체층(5303a)과, 반도체층(5303a) 위에 형성되는 반도체층(5303b)과, 반도체층(5303b) 위 및 절연층(5302) 위에 형성되는 도전층(5304)과, 절연층(5302) 위 및 도전층(5304) 위에 형성되고, 개구부를 가지는 절연층(5305)과, 절연층(5305) 위 및 절연층(5305)의 개구부에 형성되는 도전층(5306)을 가진다.
- [0392] 도 36c의 트랜지스터의 일 예는, 영역(5353) 및 영역(5355)을 가지는 반도체 기판(5352)과, 반도체 기판(5352) 위에 형성되는 절연층(5356)과, 반도체 기판(5352) 위에 형성되는 절연층(5354)과, 절연층(5356) 위에 형성되는 도전층(5357)과, 절연층(5354), 절연층(5356), 및 도전층(5357) 위에 형성되고, 개구부를 가지는 절연층(5358)과, 절연층(5358) 위 및 절연층(5358)의 개구부에 형성되는 도전층(5359)을 가진다. 이렇게 하여, 영역(5350)과 영역(5351)에, 각각, 트랜지스터가 제작된다.
- [0393] 또한, 본 실시형태에 있어서의 트랜지스터를 사용하여 표시 장치를 구성하는 경우, 예를 들어 도 36a에 도시하는 바와 같이, 도전층(5266) 위 및 절연층(5265) 위에 형성되고, 개구부를 가지는 절연층(5267)과, 절연층(5267) 위 및 절연층(5267)의 개구부에 형성되는 도전층(5268)과, 절연층(5267) 위 및 도전층(5268) 위에 형성되고, 개구부를 가지는 절연층(5269)과, 절연층(5269) 위 및 절연층(5269)의 개구부에 형성되는 발광층(5270)과, 절연층(5269) 위 및 발광층(5270) 위에 형성되는 도전층(5271)을 형성할 수 있다.
- [0394] 또한, 도 36b에 도시하는 바와 같이, 절연층(5305) 위 및 도전층(5306) 위에 배치되는 액정층(5307)과, 액정층(5307) 위에 형성되는 도전층(5308)을 형성할 수 있다.
- [0395] 절연층(5261)은, 하지막으로서 기능할 수 있다. 절연층(5354)은, 소자간 분리층(예를 들어 필드 산화막)으로서 기능한다. 절연층(5263), 절연층(5302), 절연층(5356)은, 게이트 절연막으로서 기능할 수 있다. 도전층(5264), 도전층(5301), 도전층(5357)은, 게이트 전극으로서 기능할 수 있다. 절연층(5265), 절연층(5267), 절연층(5305), 및 절연층(5358)은, 층간막, 또는 평탄화 막으로서 기능할 수 있다. 도전층(5266), 도전층(5304), 및 도전층(5359)은, 배선, 트랜지스터의 전극, 또는 용량 소자의 전극 등으로서 기능할 수 있다. 도전층(5268), 및 도전층(5306)은, 화소 전극, 또는 반사 전극 등으로서 기능할 수 있다. 절연층(5269)은, 격벽으로서 기능할 수 있다. 도전층(5271), 및 도전층(5308)은, 대향 전극, 또는 공통 전극 등으로서 기능할 수 있다.
- [0396] 기판(5260), 및 기판(5300)의 일 예로서는, 유리 기판, 석영 기판, 반도체 기판(예를 들어 단결정 기판(예를 들어 실리콘 기판), 또는 단결정 기판), SOI 기판, 플라스틱 기판, 금속 기판, 스테인리스 기판, 스테인리스·스틸·호일을 가지는 기판, 텅스텐 기판, 텅스텐·호일을 가지는 기판 또는 가요성 기판 등이 있다. 유리 기판의 일 예로서는, 바륨보로실리케이트 유리, 알루미늄보로실리케이트유리 등이 있다. 가요성 기판의 일 예로서는, 폴리에틸렌테레프탈레이트(PET), 폴리에틸렌나프탈레이트(PEN), 폴리에테르설폰(PES)으로 대표되는 플라스틱, 또는 아크릴 등의 가요성을 가지는 합성 수지 등이 있다. 그 외에도, 접합 필름(폴리프로필렌, 폴리에스테르, 비닐, 폴리플루오르화비닐, 염화비닐 등), 섬유상의 재료를 포함하는 종이, 기재 필름(폴리에스테르, 폴리아미드, 폴리이미드, 무기 증착 필름, 종이류 등) 등이 있다.
- [0397] 반도체 기판(5352)으로서, 일 예로서, n형 또는 p형의 도전형을 가지는 단결정 Si 기판을 사용할 수 있다. 영역(5353)은, 일 예로서, 반도체 기판(5352)에 불순물이 첨가된 영역이며, 웰로서 기능한다. 예를 들어, 반도체 기판(5352)이 p형의 도전형을 가지는 경우, 영역(5353)은, n형의 도전형을 가지고, n웰로서 기능한다. 한편으로, 반도체 기판(5352)이 n형의 도전형을 가지는 경우, 영역(5353)은, p형의 도전형을 가지고, p웰로서 기능

한다. 영역(5355)은, 일 예로서, 불순물이 반도체 기관(5352)에 첨가된 영역이며, 소스 영역 또는 드레인 영역으로서 기능한다. 또한, 반도체 기관(5352)에, LDD 영역을 형성할 수 있다.

[0398] 절연층(5261)의 일 예로서는, 산화실리콘( $\text{SiO}_x$ ), 질화실리콘( $\text{SiN}_x$ ), 산화질화실리콘( $\text{SiO}_x\text{N}_y$ )( $x>y>0$ ), 질화산화실리콘( $\text{SiN}_x\text{O}_y$ )( $x>y>0$ ) 등의 산소 또는 질소를 가지는 막, 또는 이들의 적층 구조 등이 있다. 절연층(5261)이 2층 구조로 형성되는 경우의 일 예로서는, 1층째의 절연층으로서 질화실리콘막을 형성하고, 2층째의 절연층으로서 산화실리콘막을 형성할 수 있다. 절연층(5261)이 3층 구조로 형성되는 경우의 일 예로서는, 1층째의 절연층으로서 산화실리콘막을 형성하고, 2층째의 절연층으로서 질화실리콘막을 형성하고, 3층째의 절연층으로서 산화실리콘막을 형성할 수 있다.

[0399] 반도체층(5262), 반도체층(5303a), 및 반도체층(5303b)의 일 예로서는, 비단결정 반도체(예를 들어, 비정질(아모퍼스) 실리콘, 다결정 실리콘, 미결정 실리콘 등), 단결정 반도체, 화합물 반도체 또는 산화물 반도체(예를 들어, ZnO, InGaZnO, SiGe, GaAs, IZO, ITO, SnO, AZTO, 유기 반도체, 또는 카본 나노 튜브) 등이 있다.

[0400] 또한, 예를 들어, 영역(5262a)은, 불순물이 반도체층(5262)에 첨가되어 있지 않은 진성의 상태이며, 채널 영역으로서 기능한다. 단, 영역(5262a)에 불순물을 첨가할 수 있고, 영역(5262a)에 첨가되는 불순물은, 영역(5262b), 영역(5262c), 영역(5262d), 또는 영역(5262e)에 첨가되는 불순물의 농도보다도 낮은 것이 바람직하다. 영역(5262b), 및 영역(5262d)은, 영역(5262c) 또는 영역(5262e)보다도 저농도의 불순물이 첨가된 영역이며, LDD 영역으로서 기능한다. 단, 영역(5262b), 및 영역(5262d)을 생략할 수 있다. 영역(5262c), 및 영역(5262e)은, 고농도로 불순물이 반도체층(5262)에 첨가된 영역이며, 소스 영역 또는 드레인 영역으로서 기능한다.

[0401] 또한, 반도체층(5303b)은, 불순물 원소로서 인 등이 첨가된 반도체층이며, n형의 도전형을 가진다.

[0402] 또한, 반도체층(5303a)으로서, 산화물 반도체, 또는 화합물 반도체가 사용되는 경우, 반도체층(5303b)을 생략할 수 있다.

[0403] 절연층(5263), 절연층(5302), 및 절연층(5356)의 일 예로서는, 산화실리콘( $\text{SiO}_x$ ), 질화실리콘( $\text{SiN}_x$ ), 산화질화실리콘( $\text{SiO}_x\text{N}_y$ )( $x>y>0$ ), 질화산화실리콘( $\text{SiN}_x\text{O}_y$ )( $x>y>0$ ) 등의 산소 또는 질소를 가지는 막, 또는 이들의 적층 구조 등이 있다.

[0404] 도전층(5264), 도전층(5266), 도전층(5268), 도전층(5271), 도전층(5301), 도전층(5304), 도전층(5306), 도전층(5308), 도전층(5357), 및 도전층(5359)은, 단층 구조 또는 적층 구조로 할 수 있고, 도전막을 사용하여 형성된다. 상기 도전막의 일 예로서는, 알루미늄(Al), 탄탈(Ta), 티타늄(Ti), 몰리브덴(Mo), 텅스텐(W), 네오디뮴(Nd), 크롬(Cr), 니켈(Ni), 백금(Pt), 금(Au), 은(Ag), 구리(Cu), 망간(Mn), 코발트(Co), 니오브(Nb), 실리콘(Si), 철(Fe), 팔라듐(Pd), 탄소(C), 스칸듐(Sc), 아연(Zn), 갈륨(Ga), 인듐(In), 주석(Sn), 지르코늄(Zr), 세륨(Ce)에 의해 구성되는 그룹으로부터 선택된 하나의 원소의 단체막, 또는, 그룹으로부터 선택된 하나 또는 복수의 원소를 포함하는 화합물 등이 있다. 또한, 상기 단체막 또는 화합물은, 인(P), 붕소(B), 비소(As), 및/또는, 산소(O) 등을 포함할 수 있다. 상기 화합물의 일 예로서는, 상술한 복수의 원소로 선택된 하나 또는 복수의 원소를 포함하는 합금(예를 들어, ITO, IZO, 산화실리콘을 포함하는 인듐주석 산화물(ITSO), 산화아연(ZnO), 산화주석(SnO), 산화주석카드뮴(CTO), 알루미늄네오디뮴(Al-Nd), 알루미늄텅스텐(Al-W), 알루미늄지르코늄(Al-Zr), 알루미늄티타늄(Al-Ti), 알루미늄세륨(Al-Ce), 마그네슘은(Mg-Ag), 몰리브덴 니오브(Mo-Nb), 몰리브덴텅스텐(Mo-W), 몰리브덴탄탈(Mo-Ta) 등의 합금 재료), 상술한 복수의 원소로 선택된 하나 또는 복수의 원소와 질소의 화합물(예를 들어, 질화티타늄, 질화탄탈, 질화몰리브덴 등의 질화막), 또는, 상술한 복수의 원소로부터 선택된 하나 또는 복수의 원소와 실리콘의 화합물(예를 들어, 텅스텐 실리사이드, 티타늄실리사이드, 니켈실리사이드, 알루미늄실리콘, 몰리브덴실리콘 등의 실리사이드막) 등이 있다. 그 외에도, 예를 들어, 카본 나노 튜브, 유기 나노 튜브, 무기 나노 튜브, 또는 금속 나노 튜브 등의 나노 튜브 재료가 있다.

[0405] 절연층(5265), 절연층(5267), 절연층(5269), 절연층(5305), 및 절연층(5358)의 일 예로서는, 단층 구조의 절연층, 또는 이들의 적층 구조 등이 있다. 상기 절연층의 일 예로서는, 산화실리콘( $\text{SiO}_x$ ), 질화실리콘( $\text{SiN}_x$ ), 또는 산화질화실리콘( $\text{SiO}_x\text{N}_y$ )( $x>y>0$ ), 질화산화실리콘( $\text{SiN}_x\text{O}_y$ )( $x>y>0$ ) 등의 산소 또는 질소를 포함하는 막, DLC(다이아몬드라이크카본) 등의 탄소를 포함하는 막, 또는, 실록산 수지, 에폭시, 폴리이미드, 폴리아미드, 폴리비닐페놀, 벤조시클로부텐, 또는 아크릴 등의 유기재 등이 있다.

[0406] 발광층(5270)의 일 예로서는, 유기 EL 소자, 또는 무기 EL 소자 등이 있다. 유기 EL 소자의 일 예로서는, 정공

주입 재료로 이루어지는 정공 주입층, 정공 수송 재료로 이루어지는 정공 수송층, 발광 재료로 이루어지는 발광층, 전자 수송 재료로 이루어지는 전자 수송층, 전자주입 재료로 이루어지는 전자주입층 등, 또는 이들의 재료층 복수의 재료를 혼합한 층의 단층 구조, 또는 이들의 적층 구조 등이 있다.

- [0407] 액정층(5307)의 일 예, 액정층(5307)에 적용 가능한 액정 재료의 일 예, 또는 액정층(5307)을 포함하는 액정 소자에 적용 가능한 액정 모드(예로서는, 네마틱 액정, 콜레스테릭 액정, 스택틱 액정, 디스코틱 액정, 서모트로픽 액정, 리오토로픽 라이오토로픽 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정(PDLC), 강유전 액정, 반강유전 액정, 주쇄형 액정, 측쇄형 고분자 액정, 플라즈마 어드레스 액정(PALC), 바나나형 액정, TN(Twisted Nematic) 모드, STN(Super Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, MVA(Multi-domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment), ASV(Advanced Super View) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optical Compensated Birefringence) 모드, ECB(Electrically Controlled Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(Anti Ferroelectric Liquid Crystal) 모드, PDLC(Polymer Dispersed Liquid Crystal) 모드, 게스트 호스트 모드, 블루상(Blue Phase) 모드 등이 있다.
- [0408] 또한, 절연층(5305) 위 및 도전층(5306) 위에는, 배향막으로서 기능하는 절연층, 돌기부로서 기능하는 절연층 등을 형성할 수 있다.
- [0409] 또한, 도전층(5308) 위에는, 컬러 필터, 블랙 매트릭스, 또는 돌기부로서 기능하는 절연층 등을 형성할 수 있다. 도전층(5308) 아래에는, 배향막으로서 기능하는 절연층을 형성할 수 있다.
- [0410] 본 실시형태의 트랜지스터는, 실시형태 1 내지 실시형태 8에 적용할 수 있다. 특히, 도 36b에 있어서, 반도체층으로서, 비정질 반도체, 미결정 반도체, 유기 반도체, 또는 산화물 반도체 등을 사용하는 경우, 트랜지스터가 열화되어 버리는 경우가 있다. 따라서, 본 실시형태의 트랜지스터를 반도체 장치, 시프트 레지스터, 또는 표시 장치에 사용하면, 이들의 수명이 짧아져 버린다. 그러나, 실시형태 1 내지 실시형태 8의 반도체 장치, 시프트 레지스터, 또는 표시 장치에서는, 트랜지스터의 열화를 억제할 수 있다. 따라서, 본 실시형태의 트랜지스터를 실시형태 1 내지 실시형태 8의 반도체 장치, 시프트 레지스터, 또는 표시 장치에 적용함으로써, 이들의 수명을 길게 할 수 있다.
- [0411] (실시형태 10)
- [0412] 본 실시형태에서는, 트랜지스터, 및 용량 소자의 제작 공정의 일 예를 나타낸다. 특히, 반도체층으로서, 산화물 반도체를 사용하는 경우의 제작 공정에 대해서 설명한다.
- [0413] 도 37a 내지 도 37c를 참조하여, 트랜지스터, 및 용량 소자의 제작 공정의 일 예에 대하여, 설명한다. 도 37a 내지 도 37c에는, 트랜지스터(5441), 및 용량 소자(5442)의 제작 공정의 일 예이다. 트랜지스터(5441)는, 역스태거형 박막 트랜지스터의 일 예이며, 산화물 반도체층 위에 소스 전극 또는 드레인 전극을 사이에 두고 배선이 형성되어 있는 트랜지스터의 예이다.
- [0414] 우선, 기판(5420) 위에, 스퍼터링법에 의해 제 1 도전층을 전체면에 형성한다. 다음에, 제 1 포토마스크를 사용한 포토리소그래피 공정에 의해 형성한 레지스트 마스크를 사용하여, 선택적으로 제 1 도전층의 에칭을 행하고, 도전층(5421), 및 도전층(5422)을 형성한다. 도전층(5421)은, 게이트 전극으로서 기능할 수 있으며, 도전층(5422)은, 용량 소자의 한쪽의 전극으로서 기능할 수 있다. 단, 이것에 한정되지 않고, 도전층(5421), 및 도전층(5422)은, 배선, 게이트 전극, 또는 용량 소자의 전극으로서 기능하는 부분을 가질 수 있다. 그 후, 레지스트 마스크를 제거한다.
- [0415] 다음에, 절연층(5423)을 플라즈마 CVD법 또는 스퍼터링법을 사용하여 전체면에 형성한다. 절연층(5423)은, 게이트 절연층으로서 기능하는 것이 가능하고, 도전층(5421), 및 도전층(5422)을 덮도록 형성된다. 또한, 절연층(5423)의 막 두께는, 50nm 내지 250nm인 경우가 많다.
- [0416] 다음에, 제 2 포토마스크를 사용한 포토리소그래피 공정에 의해 형성한 레지스트 마스크를 사용하여, 절연층(5423)을 선택적으로 에칭하여 도전층(5421)에 달하는 콘택트 홀(5424)을 형성한다. 그 후, 레지스트 마스크를 제거한다. 단, 이것에 한정되지 않고, 콘택트 홀(5424)을 생략할 수 있다. 또는, 산화물 반도체층의 형성 후에, 콘택트 홀(5424)을 형성할 수 있다. 여기까지의 단계에서의 단면도가 도 37a에 상당한다.
- [0417] 다음에, 산화물 반도체층을 스퍼터링법에 의해 전체면에 형성한다. 단, 이것에 한정되지 않고, 산화물 반도체층을 스퍼터링법에 의해 형성하고, 또 그 위에 버퍼층(예를 들어 n<sup>+</sup>층)을 형성할 수 있다. 또한, 산화물 반도체

체층의 막 두께는, 5nm 내지 200nm인 경우가 많다.

- [0418] 다음에, 제 3 포토마스크를 사용한 포토리소그래피 공정에 의해 형성한 레지스트 마스크를 사용하여, 선택적으로 산화물 반도체층의 에칭을 행한다. 그 후, 레지스트 마스크를 제거한다.
- [0419] 다음에, 스퍼터링법에 의해 제 2 도전층을 전체면에 형성한다. 다음에, 제 4 포토마스크를 사용한 포토리소그래피 공정에 의해 형성한 레지스트 마스크를 사용하여 선택적으로 제 2 도전층의 에칭을 행하고, 도전층(5429), 도전층(5430), 및 도전층(5431)을 형성한다. 도전층(5429)은, 콘택트 홀(5424)을 통하여 도전층(5421)과 접속된다. 도전층(5429), 및 도전층(5430)은, 소스 전극 또는 드레인 전극으로서 기능할 수 있으며, 도전층(5431)은, 용량 소자의 다른쪽의 전극으로서 기능할 수 있다. 단, 이것에 한정되지 않고, 도전층(5429), 도전층(5430), 및 도전층(5431)은, 배선, 소스 또는 드레인 전극, 또는 용량 소자의 전극으로서 기능하는 부분을 포함할 수 있다.
- [0420] 또한, 그 후, 열처리(예를 들어 200℃ 내지 600℃)를 행하는 경우, 이 열처리에 견딜 수 있는 내열성을 제 2 도전층에 갖게 하는 것이 바람직하다. 따라서, 제 2 도전층은, Al과, 내열성이 높은 도전성 재료(예를 들어, Ti, Ta, W, Mo, Cr, Nd, Sc, Zr, Ce 등의 원소, 이들의 원소를 조합한 합금, 또는, 이들의 원소를 성분으로 질화물 등)를 조합한 재료인 것이 바람직하다. 단, 이것에 한정되지 않고, 제 2 도전층을 적층 구조로 함으로써, 제 2 도전층에 높은 내열성을 갖게 할 수 있다. 예를 들어, Al의 상하에, Ti, 또는 Mo 등의 내열성이 높은 도전성 재료를 형성할 수 있다.
- [0421] 또한, 제 2 도전층의 에칭 시에, 또한, 산화물 반도체층의 일부를 에칭하여, 산화물 반도체층(5425)을 형성한다. 이 에칭에 의해, 도전층(5421)과 겹치는 부분의 산화물 반도체층(5425), 또는, 상방에 제 2 도전층이 형성되어 있지 않은 부분의 산화물 반도체층(5425)은, 깎여지므로, 얇아지는 경우가 많다. 단, 이것에 한정되지 않고, 산화물 반도체층(5425)은, 에칭되지 않는 것이 가능하다. 단, 산화물 반도체층(5425) 위에 n<sup>+</sup>층이 형성되는 경우는, 산화물 반도체층(5425)은 에칭되는 경우가 많다. 그 후, 레지스트 마스크를 제거한다. 이 에칭이 중요한 단계에서 트랜지스터(5441)와 용량 소자(5442)가 완성된다. 여기까지의 단계에서의 단면도가 도 37b에 상당한다.
- [0422] 다음에, 대기 분위기하 또는 질소 분위기하에서 200℃ 내지 600℃의 가열 처리를 행한다. 이 열처리에 의해 산화물 반도체층(5425)의 원자 레벨의 재배열이 행해진다. 이렇게, 열처리(광어닐도 포함함)에 의해 캐리어의 이동을 저해하는 일그러짐이 해방된다. 또한, 이 가열 처리를 행하는 타이밍은 한정되지 않고, 산화물 반도체층의 형성 후라면, 여러 타이밍에서 행할 수 있다.
- [0423] 다음에, 절연층(5432)을 전체면에 형성한다. 절연층(5432)은, 단층 구조인 것이 가능하고, 적층 구조인 것이 가능하다. 예를 들어, 절연층(5432)으로서 유기절연층을 사용하는 경우, 유기절연층의 재료인 조성물을 도포하고, 대기 분위기하 또는 질소 분위기하에서 200℃ 내지 600℃의 가열 처리를 행하고, 유기절연층을 형성한다. 이렇게, 산화물 반도체층(5425)에 접하는 유기절연층을 형성함으로써, 신뢰성이 높은 박막 트랜지스터를 제작할 수 있다. 또한, 절연층(5432)으로서 유기절연층을 사용하는 경우, 유기절연층 아래에, 질화실리콘막, 또는 산화실리콘막을 형성할 수 있다.
- [0424] 또한, 도 37c에 있어서는, 비감광성 수지를 사용하여 절연층(5432)을 형성한 형태를 도시하므로, 콘택트 홀이 형성되는 영역의 단면에 있어서, 절연층(5432)의 단부가 각져 있다. 그러나, 감광성 수지를 사용하여 절연층(5432)을 형성하면, 콘택트 홀이 형성되는 영역의 단면(斷面)에 있어서, 절연층(5432)의 단부(端部)를 만곡시킬 수 있게 된다. 이 결과, 후에 형성되는 제 3 도전층 또는 화소 전극의 피복률이 향상된다.
- [0425] 또한, 조성물을 도포하는 대신에, 그 재료에 따라서, 딥법, 스프레이 도포법, 잉크젯법, 인쇄법, 닥터 나이프, 롤 코터, 커튼 코터, 또는 나이프 코터 등을 사용할 수 있다.
- [0426] 또한, 산화물 반도체층을 형성한 후의 가열 처리를 하지 않고, 유기절연층의 재료인 조성물의 가열 처리 시에, 산화물 반도체층(5425)의 가열 처리를 겸할 수 있다.
- [0427] 또한, 절연층(5432)의 막 두께는, 200nm 내지 5 $\mu$ m, 바람직하게는 300nm 내지 1 $\mu$ m로 할 수 있다.
- [0428] 다음에, 제 3 도전층을 전체면에 형성한다. 다음에, 제 5 포토마스크를 사용한 포토리소그래피 공정에 의해 형성한 레지스트 마스크를 사용하여 제 3 도전층을 선택적으로 에칭하여, 도전층(5433), 및 도전층(5434)을 형성한다. 여기까지의 단계에서의 단면도가 도 37c에 상당한다. 도전층(5433), 및 도전층(5434)은, 배선, 화소 전극, 반사 전극, 투광성 전극, 또는 용량 소자의 전극으로서 기능할 수 있다. 특히, 도전층(5434)은, 도전층

(5422)과 접속되므로, 용량 소자(5442)의 전극으로서 기능할 수 있다. 단, 이것에 한정되지 않고, 제 1 도전층을 사용하여 형성된 도전층과 제 2 도전층을 사용하여 형성된 도전층을 접속하는 기능을 가질 수 있다. 예를 들어, 도전층(5433)과 도전층(5434)을 접속함으로써, 도전층(5422)과 도전층(5430)을 제 3 도전층(도전층(5433) 및 도전층(5434))을 통하여 접속되는 것이 가능하게 된다.

[0429] 또한, 용량 소자(5442)는, 도전층(5422)과 도전층(5434)에 의해, 도전층(5431)이 끼워지는 구조가 되므로, 용량 소자(5442)의 용량 값을 크게 할 수 있다. 단, 이것에 한정되지 않고, 도전층(5422)과 도전층(5434)의 한쪽을 생략할 수 있다.

[0430] 또한, 레지스트 마스크를 웨트 에칭으로 제거한 후, 대기 분위기하 또는 질소 분위기하에서 200℃ 내지 600℃의 가열 처리를 행할 수 있다.

[0431] 이상의 공정에 의해, 트랜지스터(5441)와 용량 소자(5442)를 제작할 수 있다.

[0432] 또한, 도 37d에 도시하는 바와 같이, 산화물 반도체층(5425) 위에 절연층(5435)을 형성할 수 있다. 절연층(5435)은, 제 2 도전층이 패터닝되는 경우에, 산화물 반도체층(5425)이 깎이는 것을 방지하는 기능을 가지고, 스톱막으로서 기능한다. 따라서, 산화물 반도체층(5425)의 막 두께를 얇게 할 수 있으므로, 트랜지스터의 구동 전압의 저감, 오프 전류의 저감, 드레인 전류의 온 오프비의 향상, 또는 S값의 개선 등을 도모할 수 있다. 또한, 절연층(5435)은, 산화물 반도체층과 절연층을 연속하여 전체면에 형성하고, 그 후, 포토마스크를 사용한 포토리소그래피 공정에 의해 형성한 레지스트 마스크를 사용하여 선택적으로 상기 절연층을 패터닝함으로써, 형성될 수 있다. 그 후, 제 2 도전층을 전체면에 형성하고, 제 2 도전층과 동시에 산화물 반도체층을 패터닝한다. 즉, 동일 마스크(레티클)를 사용하여, 산화물 반도체층과 제 2 도전층을 패터닝할 수 있게 된다. 이 경우, 제 2 도전층 아래에는, 반드시 산화물 반도체가 형성되게 된다. 이렇게 하여, 공정 수를 늘리지 않고, 절연층(5435)을 형성할 수 있다. 이러한 제조 프로세스에서는, 제 2 도전층 아래에 산화물 반도체층이 형성되는 경우가 많다. 단, 이것에 한정되지 않고, 산화물 반도체층을 패터닝한 후에, 절연층을 전체면에 형성하고, 상기 절연층을 패터닝함으로써, 절연층(5435)을 형성할 수 있다.

[0433] 또한, 도 37d에 있어서, 용량 소자(5442)는, 도전층(5422)과 도전층(5431)에 의해, 절연층(5423)과 산화물 반도체층(5436)이 끼워지는 구조이다. 단, 산화물 반도체층(5436)을 생략할 수 있다. 그리고, 도전층(5430)과 도전층(5431)은, 제 3 도전층을 패터닝하여 형성되는 도전층(5437)을 통하여 접속되어 있다. 이러한 구조는, 일 예로서, 액정 표시 장치의 화소에 사용될 수 있다. 예를 들어, 트랜지스터(5441)는 스위칭 트랜지스터로서 기능하고, 용량 소자(5442)는 유지 용량으로서 기능할 수 있다. 그리고, 도전층(5421), 도전층(5422), 도전층(5429), 도전층(5437)은, 각각, 게이트선, 용량선, 소스선, 화소 전극으로서 기능할 수 있다. 단, 이것에 한정되지 않는다. 또한, 도 37d와 마찬가지로, 도 37c에 있어서도, 도전층(5430)과 도전층(5431)을 제 3 도전층을 통하여 접속할 수 있다.

[0434] 또한, 도 37e에 도시하는 바와 같이, 제 2 도전층을 패터닝한 후에, 산화물 반도체층(5425)을 형성할 수 있다. 이렇게 함으로써, 제 2 도전층이 패터닝되는 경우, 산화물 반도체층(5425)은 형성되지 않고 있으므로, 산화물 반도체층(5425)이 깎이는 일이 없다. 따라서, 산화물 반도체층(5425)의 막 두께를 얇게 할 수 있으므로, 트랜지스터의 구동 전압의 저감, 오프 전류의 저감, 드레인 전류의 온 오프비의 향상, 또는 S값의 개선 등을 도모할 수 있다. 또한, 산화물 반도체층(5425)은, 제 2 도전층이 패터닝된 후에, 산화물 반도체층(5425)이 전체면에 형성되고, 그 후 포토마스크를 사용한 포토리소그래피 공정에 의해 형성한 레지스트 마스크를 사용하여 선택적으로 산화물 반도체층(5425)을 패터닝함으로써 형성될 수 있다.

[0435] 또한, 도 37e에 있어서, 용량 소자(5442)는, 도전층(5422)과, 제 3 도전층을 패터닝하여 형성되는 도전층(5439)에 의해, 절연층(5423)과 절연층(5432)이 끼워지는 구조이다. 그리고, 도전층(5422)과 도전층(5430)은, 제 3 도전층을 패터닝하여 형성되는 도전층(5438)을 통하여 접속된다. 또한, 도전층(5439)은, 제 2 도전층을 패터닝하여 형성되는 도전층(5440)과 접속된다. 또한, 도 37e과 마찬가지로, 도 37c 및 도 37d에 있어서도, 도전층(5430)과 도전층(5422)은, 도전층(5438)을 통하여 접속되는 것이 가능하다.

[0436] 또한, 산화물 반도체층(또는 채널층)의 막 두께를, 트랜지스터가 오프인 경우의 공핍층의 두께 이하로 함으로써, 완전 공핍화 상태를 만들어 낼 수 있게 된다. 이렇게 하여, 오프 전류를 저감할 수 있다. 이것을 실현하기 위해서, 산화물 반도체층(5425)의 막 두께는, 20nm 이하인 것이 바람직하다. 더욱 바람직하게는 10nm 이하이다. 가장 바람직하게는 6nm 이하인 것이 바람직하다.

[0437] 또한, 트랜지스터의 동작 전압의 저감, 오프 전류의 저감, 드레인 전류의 온 오프비의 향상, S값의 개선 등을

도모하기 위해서, 산화물 반도체층의 막 두께는, 트랜지스터를 구성하는 층 중에서, 가장 얇은 것이 바람직하다. 예를 들어, 산화물 반도체층의 막 두께는, 절연층(5423)보다도 얇은 것이 바람직하다. 더욱 바람직하게는, 산화물 반도체층의 막 두께는, 절연층(5423)의 1/2 이하인 것이 바람직하다. 더 더욱 바람직하게는, 1/5 이하인 것이 바람직하다. 가장 바람직하게는, 1/10 이하인 것이 바람직하다. 단, 이것에 한정되지 않고, 신뢰성을 향상시키기 위해서, 산화물 반도체층의 막 두께는, 절연층(5423)보다도 두꺼운 것이 가능하다. 특히, 도 37c와 같이, 산화물 반도체층이 깎이는 경우에는, 산화물 반도체층의 막 두께는 두꺼운 쪽이 바람직하므로, 산화물 반도체층의 막 두께는, 절연층(5423)보다도 두꺼운 것이 가능하다.

[0438] 또한, 트랜지스터의 절연 내압을 높이기 위해서, 절연층(5423)의 막 두께는, 제 1 도전층의 막 두께보다도 두꺼운 것이 바람직하다. 더욱 바람직하게는, 절연층(5423)의 막 두께는, 제 1 도전층의 5/4 이상인 것이 바람직하다. 가장 바람직하게는, 4/3 이상인 것이 바람직하다. 단, 이것에 한정되지 않고, 트랜지스터의 이동도를 높이기 위해서, 절연층(5423)의 막 두께는, 제 1 도전층보다도 얇은 것이 가능하다.

[0439] 또한, 본 실시형태의 기관, 절연층, 도전층, 및 반도체층으로서, 다른 실시형태에 기술하는 재료, 또는 본 명세서에 있어서 기술하는 재료와 같은 것을 사용할 수 있다.

[0440] 본 실시형태의 트랜지스터를 실시형태 1 내지 실시형태 8의 반도체 장치, 시프트 레지스터, 또는 표시 장치에 사용함으로써, 표시부를 크게 할 수 있다. 또는, 표시부를 고정세로 할 수 있다.

[0441] (실시형태 11)

[0442] 본 실시형태에서는, 시프트 레지스터의 레이아웃도(이하, 상면도라고도 함)에 대해서 설명한다. 본 실시형태에서는, 일 예로서, 실시형태 4에 기술하는 시프트 레지스터의 레이아웃도에 대해서 설명한다. 또한, 본 실시형태에 있어서 설명하는 내용은, 실시형태 4에 기술하는 시프트 레지스터 외에도, 실시형태 1 내지 실시형태 7의 반도체 장치, 시프트 레지스터, 또는 표시 장치에 적용할 수 있다. 또한, 본 실시형태의 레이아웃도는 일 예이며, 이것에 한정되지 않는 것을 부가 기록한다.

[0443] 본 실시형태의 레이아웃도에 대해서, 도 38을 참조하여 설명한다. 도 38에는, 일 예로서, 도 5a의 레이아웃도를 도시한다. 또한, 도 38의 우측부에 도시하는 빗금 패턴은, 각각의 빗금 패턴에 붙어 있는 부호의 구성 요소의 빗금 패턴을 나타내는 것이다.

[0444] 도 38에 도시하는 트랜지스터, 또는 배선 등은, 도전층(701), 반도체층(702), 도전층(703), 도전층(704), 및 콘택트 홀(705)에 의해 구성된다. 단, 이것에 한정되지 않고, 다른 도전층, 절연막, 또는 다른 콘택트 홀을 형성할 수 있다. 예를 들어, 도전층(701)과 도전층(703)을 접속하기 위한 콘택트 홀을 추가할 수 있다.

[0445] 도전층(701)은, 게이트 전극, 또는 배선으로서 기능하는 부분을 포함할 수 있다. 반도체층(702)은, 트랜지스터의 반도체층으로서 기능하는 부분을 포함할 수 있다. 도전층(703)은, 배선, 소스 전극, 또는 드레인 전극으로서 기능하는 부분을 포함할 수 있다. 도전층(704)은, 투광성을 가지는 전극, 화소 전극, 또는 배선으로서 기능하는 부분을 포함할 수 있다. 콘택트 홀(705)은, 도전층(701)과 도전층(704)을 접속하는 기능, 또는 도전층(703)과 도전층(704)을 접속하는 기능을 가진다.

[0446] 본 실시형태에서는, 트랜지스터(101\_1), 트랜지스터(101\_2), 트랜지스터(201\_1), 및/또는, 트랜지스터(202\_2)에 있어서, 제 2 단자로서의 기능을 가지는 도전층(703)과, 도전층(701)이 겹치는 면적은, 제 1 단자로서의 기능을 가지는 도전층(703)과, 도전층(701)이 겹치는 면적보다도 작은 것이 바람직하다. 이렇게 함으로써, 제 2 단자로서의 전계의 집중을 억제할 수 있으므로, 트랜지스터의 열화, 또는 트랜지스터의 파괴를 억제할 수 있다. 단, 이것에 한정되지 않고 제 2 단자로서의 기능을 가지는 도전층(703)과, 도전층(701)이 겹치는 면적은, 제 1 단자로서의 기능을 가지는 도전층(703)과, 도전층(701)이 겹치는 면적보다도 큰 것이 가능하다.

[0447] 또한, 도전층(701)과 도전층(703)이 겹치는 부분에는, 반도체층(702)을 형성할 수 있다. 이렇게 함으로써, 도전층(701)과 도전층(703)의 사이의 기생 용량을 작게 할 수 있으므로, 노이즈의 저감을 도모할 수 있다. 같은 이유로, 도전층(703)과 도전층(704)이 겹치는 부분에는, 반도체층(702)을 형성할 수 있다.

[0448] 또한, 도전층(701)의 일부 위에 도전층(704)을 형성하고, 상기 도전층(701)은, 콘택트 홀(705)을 통하여 도전층(704)과 접속되는 것이 가능하다. 이렇게 함으로써, 배선 저항을 낮출 수 있다. 또는, 도전층(701)의 일부 위에 도전층(703), 및 도전층(704)을 형성하고, 상기 도전층(701)은, 콘택트 홀(705)을 통하여 상기 도전층(704)과 접속되고, 상기 도전층(703)은, 다른 콘택트 홀(705)을 통하여 상기 도전층(704)과 접속되는 것이 가능하다. 이렇게 함으로써, 배선 저항을 낮출 수 있다.

- [0449] 또한, 도전층(703)의 일부 위에 도전층(704)을 형성하고, 상기 도전층(703)은, 콘택트 홀(705)을 통하여 도전층(704)과 접속되는 것이 가능하다. 이렇게 함으로써, 배선 저항을 낮출 수 있다.
- [0450] 또한, 도전층(704)의 일부 아래에 도전층(701), 또는 도전층(703)을 형성하고, 상기 도전층(704)은, 콘택트 홀(705)을 통하여, 상기 도전층(701), 또는 상기 도전층(703)과 접속되는 것이 가능하다. 이렇게 함으로써, 배선 저항을 낮출 수 있다.
- [0451] 또한, 이미 기술한 바와 같이, 트랜지스터(101\_1)의 게이트와 제 1 단자 사이의 기생 용량보다도, 트랜지스터(101\_1)의 게이트와 제 2 단자 사이의 기생 용량을 크게 할 수 있다. 도 38에 도시하는 바와 같이, 트랜지스터(101\_1)의 제 1 단자로서 기능할 수 있는 도전층(703)의 폭을 폭(731)으로 나타내고, 트랜지스터(101\_1)의 제 2 단자로서 기능할 수 있는 도전층(703)의 폭을 폭(732)으로 나타낸다. 그리고, 폭(731)은, 폭(732)보다도 큰 것이 가능하다. 이렇게 함으로써, 트랜지스터(101\_1)의 게이트와 제 1 단자 사이의 기생 용량보다도, 트랜지스터(101\_1)의 게이트와 제 2 단자 사이의 기생 용량을 크게 할 수 있다. 단, 이것에 한정되지 않는다.
- [0452] 또한, 이미 기술한 바와 같이, 트랜지스터(101\_2)의 게이트와 제 1 단자 사이의 기생 용량보다도, 트랜지스터(101\_2)의 게이트와 제 2 단자 사이의 기생 용량을 크게 할 수 있다. 도 38에 도시하는 바와 같이, 트랜지스터(101\_2)의 제 1 단자로서 기능할 수 있는 도전층(703)의 폭을 폭(741)으로 나타내고, 트랜지스터(101\_2)의 제 2 단자로서 기능할 수 있는 도전층(703)의 폭을 폭(742)으로 나타낸다. 그리고, 폭(741)은, 폭(742)보다도 큰 것이 가능하다. 이렇게 함으로써, 트랜지스터(101\_2)의 게이트와 제 1 단자 사이의 기생 용량보다도, 트랜지스터(101\_2)의 게이트와 제 2 단자 사이의 기생 용량을 크게 할 수 있다. 단, 이것에 한정되지 않는다.
- [0453] (실시형태 12)
- [0454] 본 실시형태에 있어서는, 전자 기기의 예에 대해서 설명한다.
- [0455] 도 39a 내지 도 39h, 도 40a 내지 도 40d는, 전자 기기를 도시하는 도면이다. 이들의 전자 기기는, 케이스(5000), 표시부(5001), 스피커(5003), LED 램프(5004), 조작 키(5005)(표시 장치의 동작을 제어하는 조작 스위치, 또는 전원 스위치를 포함함), 접속 단자(5006), 센서(5007)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액, 자기, 온도, 화학물질, 음성, 시간, 경도, 전장, 전류, 전압, 전력, 방사선, 유량, 습도, 경도, 진동, 냄새 또는 적외선을 측정하는 기능을 포함함), 마이크(5008), 등을 가질 수 있다.
- [0456] 도 39a는 모바일 컴퓨터이며, 상술한 것 외에, 스위치(5009), 적외선 포트(5010) 등을 가질 수 있다. 도 39b는 기록 매체를 구비한 휴대형의 화상 재생 장치(예를 들어, DVD 재생 장치)이며, 상술한 것 외에, 제 2 표시부(5002), 기록 매체 판독부(5011) 등을 가질 수 있다. 도 39c는 고글형 디스플레이이며, 상술한 것 외에, 제 2 표시부(5002), 지지부(5012), 이어폰(5013), 등을 가질 수 있다. 도 39d는 휴대형 유키기이며, 상술한 것 외에, 기록 매체 판독부(5011) 등을 가질 수 있다. 도 39e는 프로젝터이며, 상술한 것 외에, 무선 통신, 투사 렌즈(5034), 등을 가질 수 있다. 도 39f는 휴대형 유키기이며, 상술한 것 외에, 제 2 표시부(5002), 기록 매체 판독부(5011) 등을 가질 수 있다. 도 39g는 텔레비전 수상기이며, 상술한 것 외에, 튜너, 화상 처리부, 등을 가질 수 있다. 도 39h는 운반형 텔레비전 수상기이며, 상술한 것 외에, 신호의 송수신이 가능한 충전기(5017) 등을 가질 수 있다. 도 40a는 디스플레이이며, 상술한 것 외에, 지지대(5018) 등을 가질 수 있다. 도 40b는 카메라이며, 상술한 것 외에, 외부 접속 포트(5019), 셔터 버튼(5015), 수상부(5016), 등을 가질 수 있다. 도 40c는 컴퓨터이며, 상술한 것 외에, 포인팅 디바이스(5020), 외부 접속 포트(5019), 리드/라이터(5021), 등을 가질 수 있다. 도 40d는 휴대전화기이며, 상술한 것 외에, 안테나(5014), 휴대전화·이동 단말용의 1 세그먼트 부분 수신 서비스용 튜너, 등을 가질 수 있다.
- [0457] 도 39a 내지 도 39h, 도 40a 내지 도 40d에 도시하는 전자 기기는, 다양한 기능을 가질 수 있다. 예를 들어, 여러 가지 정보(정지화, 동화, 텍스트 화상 등)를 표시부에 표시하는 기능, 터치 패널 기능, 카렌다, 날짜 또는 시간 등을 표시하는 기능, 여러 가지 소프트웨어(프로그램)에 의해 처리를 제어하는 기능, 무선 통신 기능, 무선 통신 기능을 사용하여 여러 가지 컴퓨터 네트워크에 접속하는 기능, 무선 통신 기능을 사용하여 여러 가지 데이터의 송신 또는 수신을 행하는 기능, 기록 매체에 기록되어 있는 프로그램 또는 데이터를 판독하여 표시부에 표시하는 기능 등을 가질 수 있다. 또한, 복수의 표시부를 가지는 전자 기기에 있어서는, 하나의 표시부를 주로 하여 화상 정보를 표시하고, 다른 하나의 표시부를 주로서 문자 정보를 표시하는 기능, 또는, 복수의 표시부에 시차를 고려한 화상을 표시함으로써 입체적인 화상을 표시하는 기능 등을 가질 수 있다. 또한, 수상부를 가지는 전자 기기에 있어서는, 정지화를 촬영하는 기능, 동화를 촬영하는 기능, 촬영한 화상을 자동 또는 수동으로 보정하는 기능, 촬영한 화상을 기록 매체(외부 또는 카메라에 내장)에 보존하는 기능, 촬영한 화상을 표시



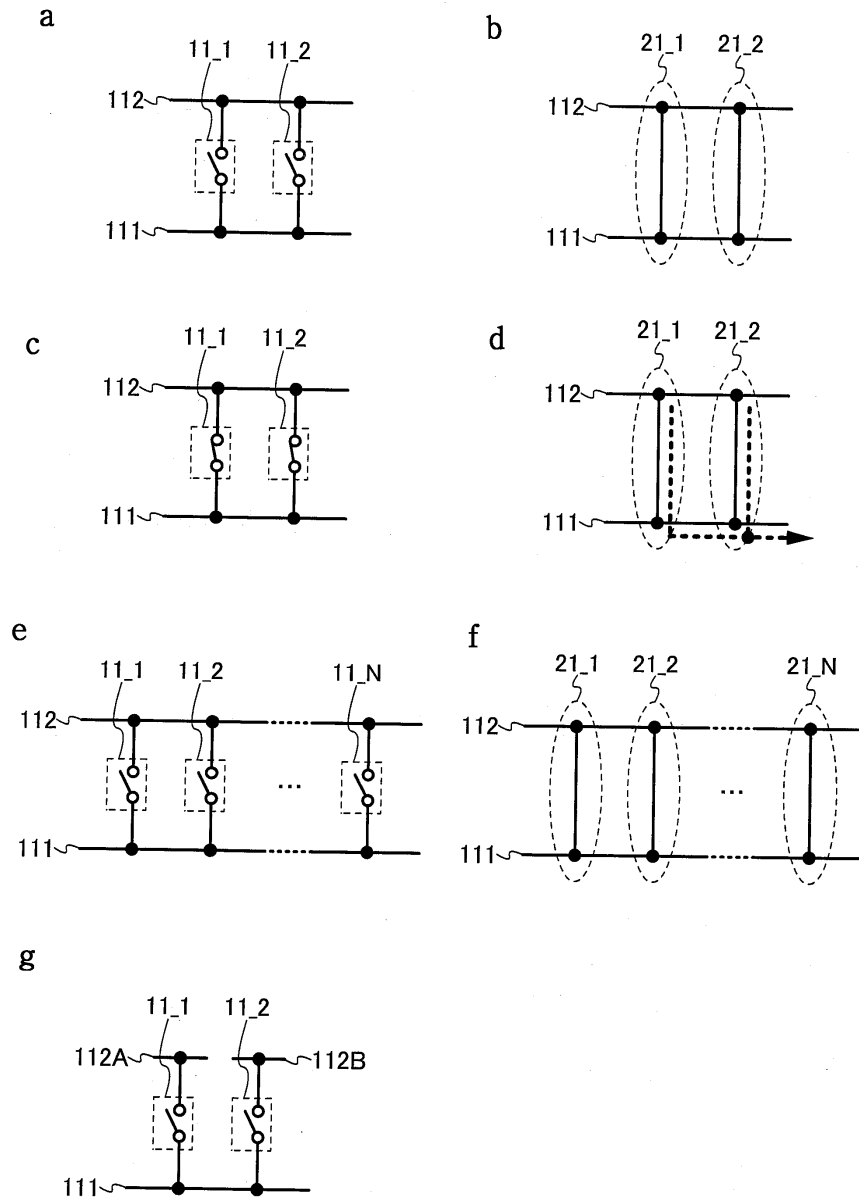
117I: 배선

117J: 배선

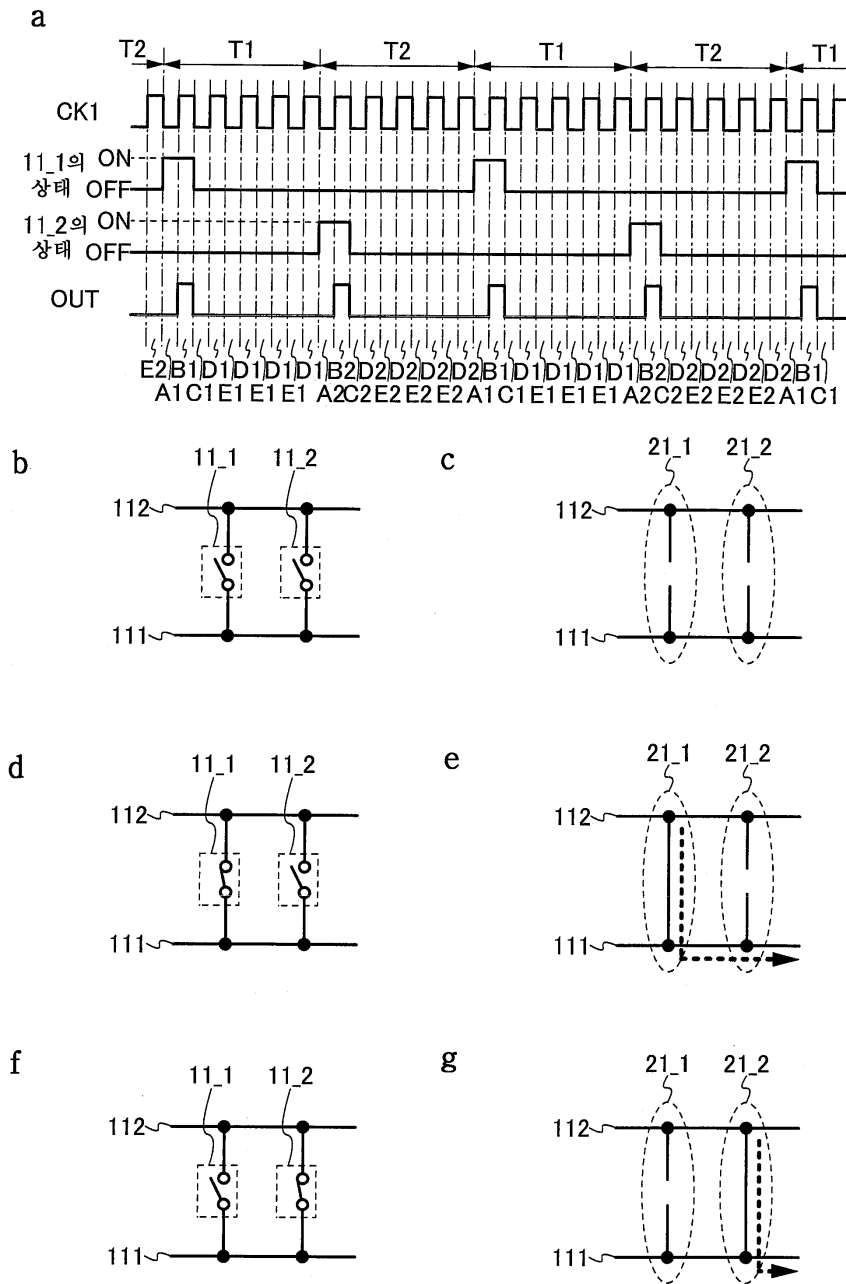
117K: 배선

도면

도면1

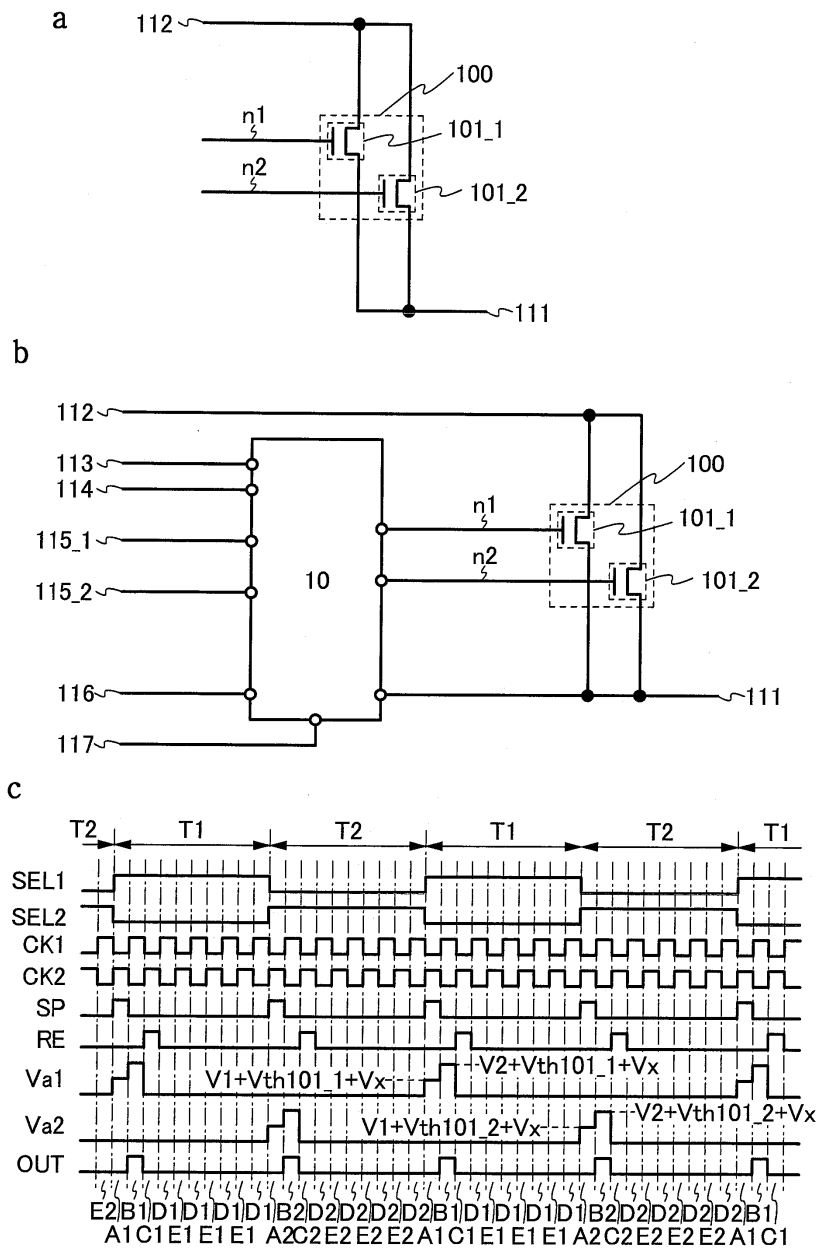


도면2

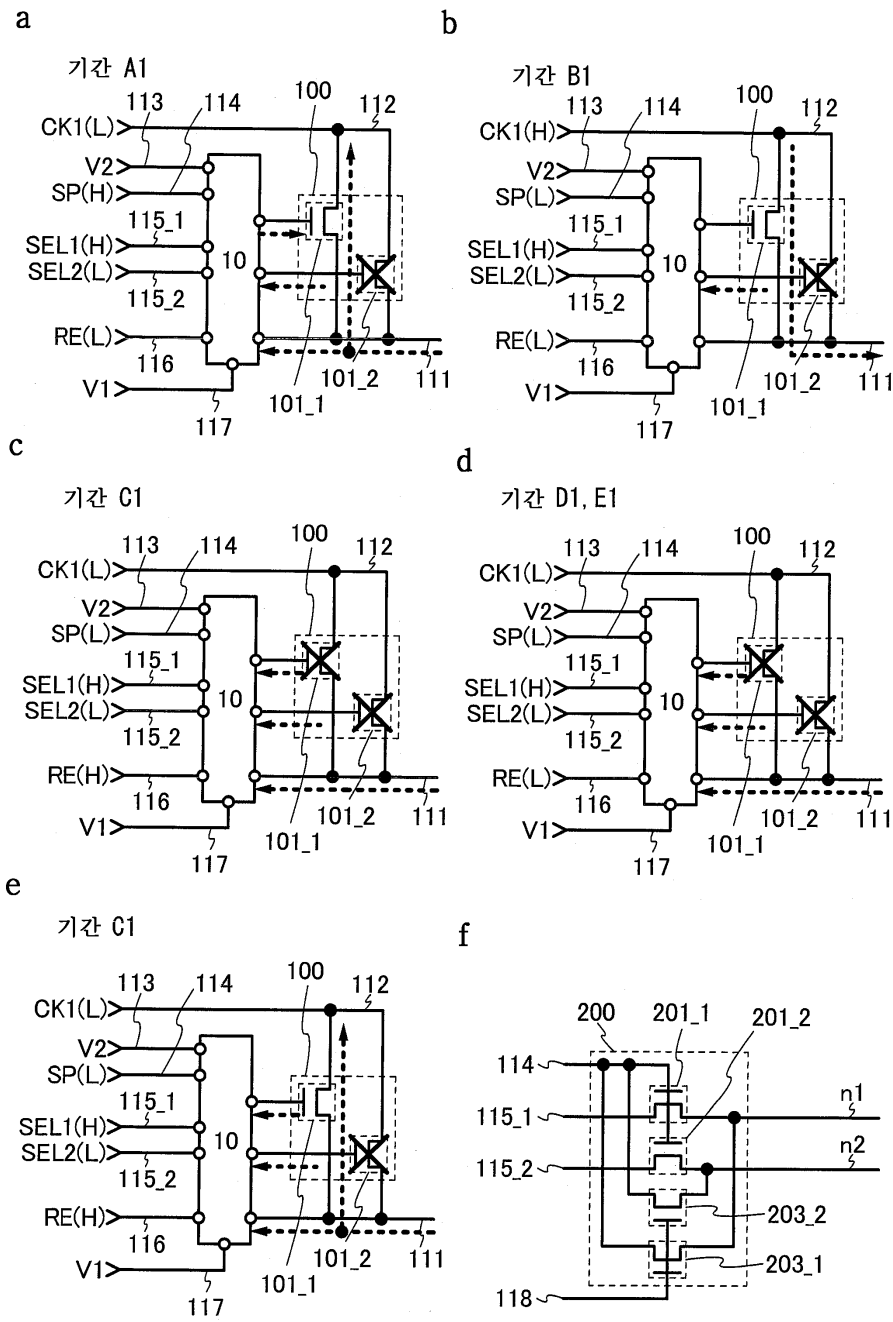




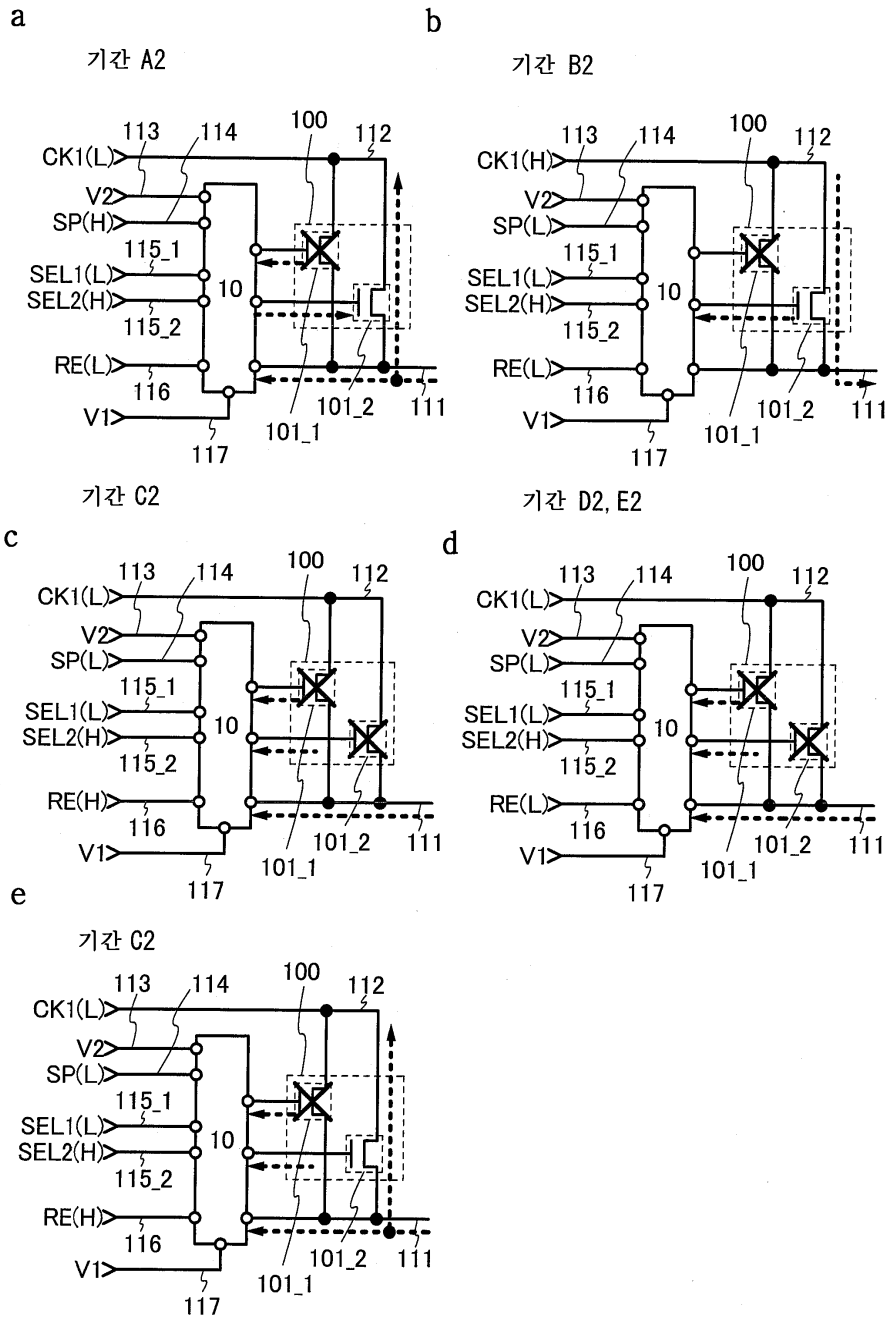
도면4



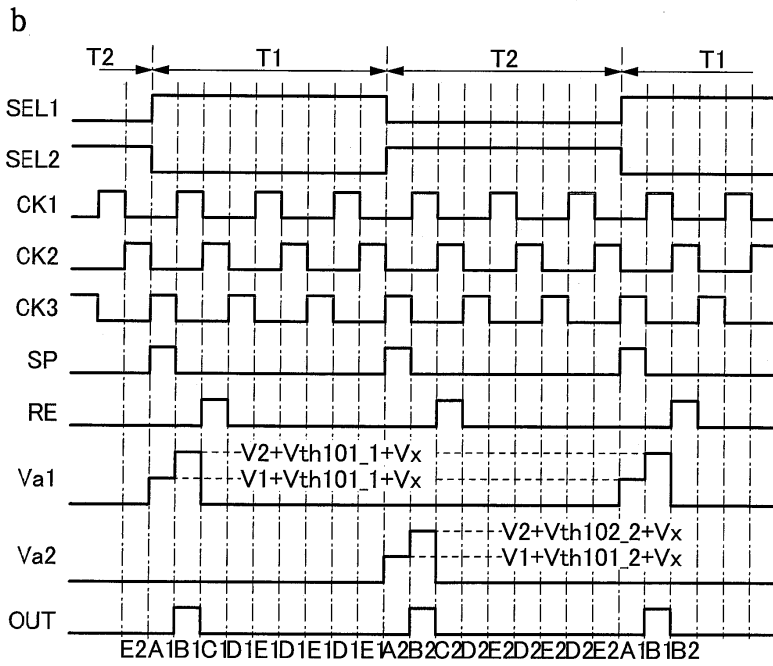
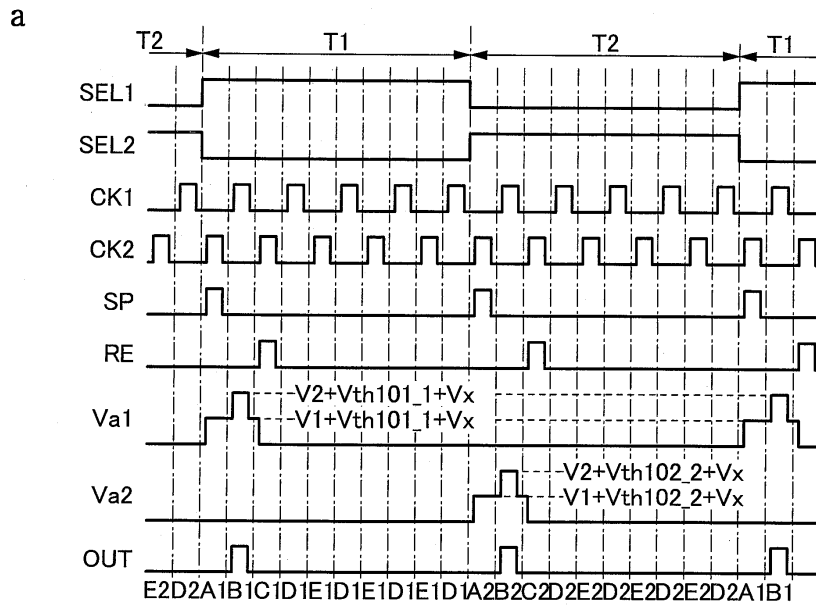
도면5



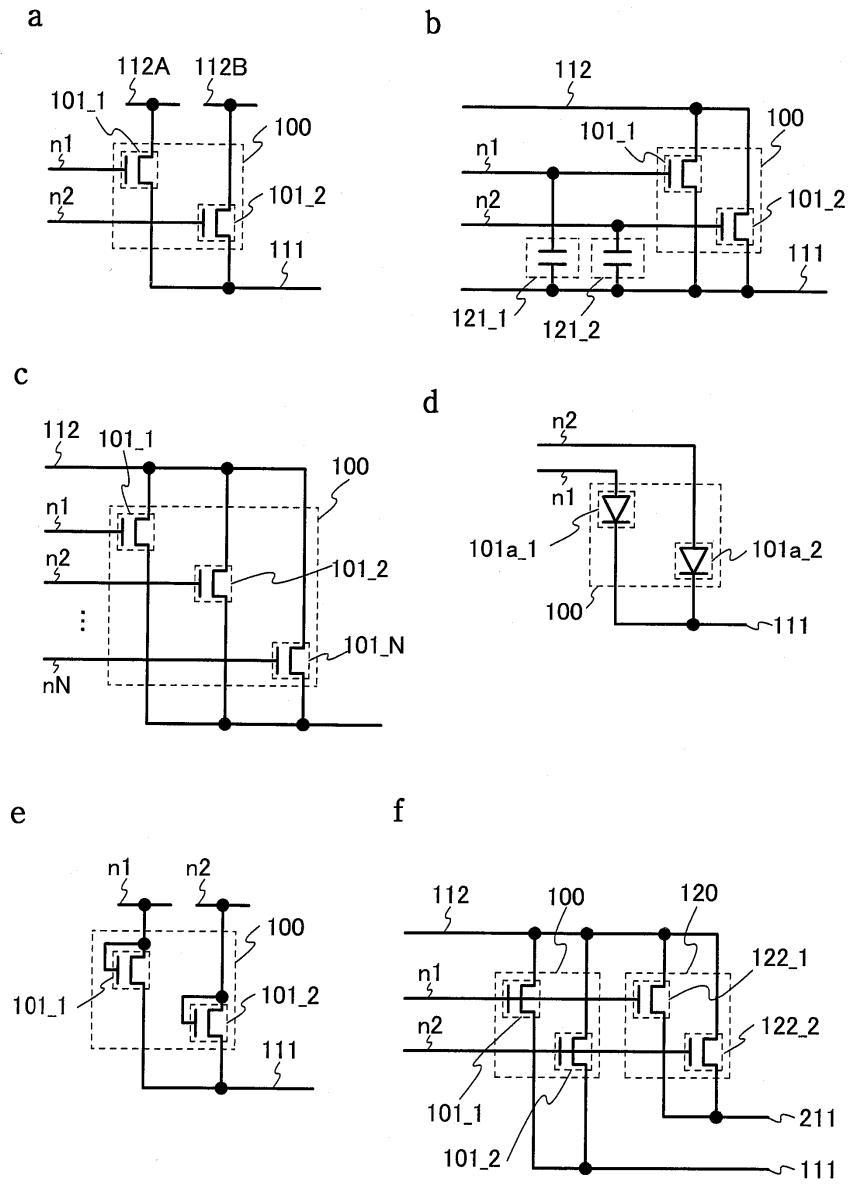
도면6



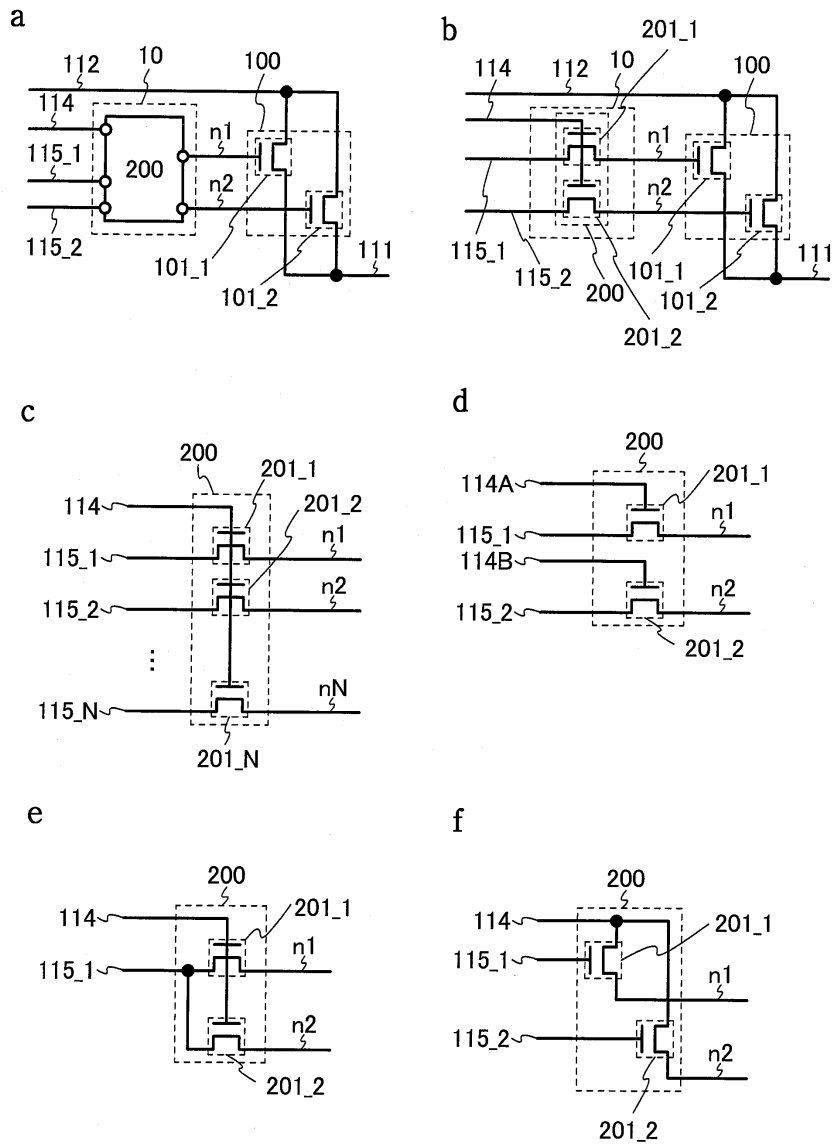
도면7



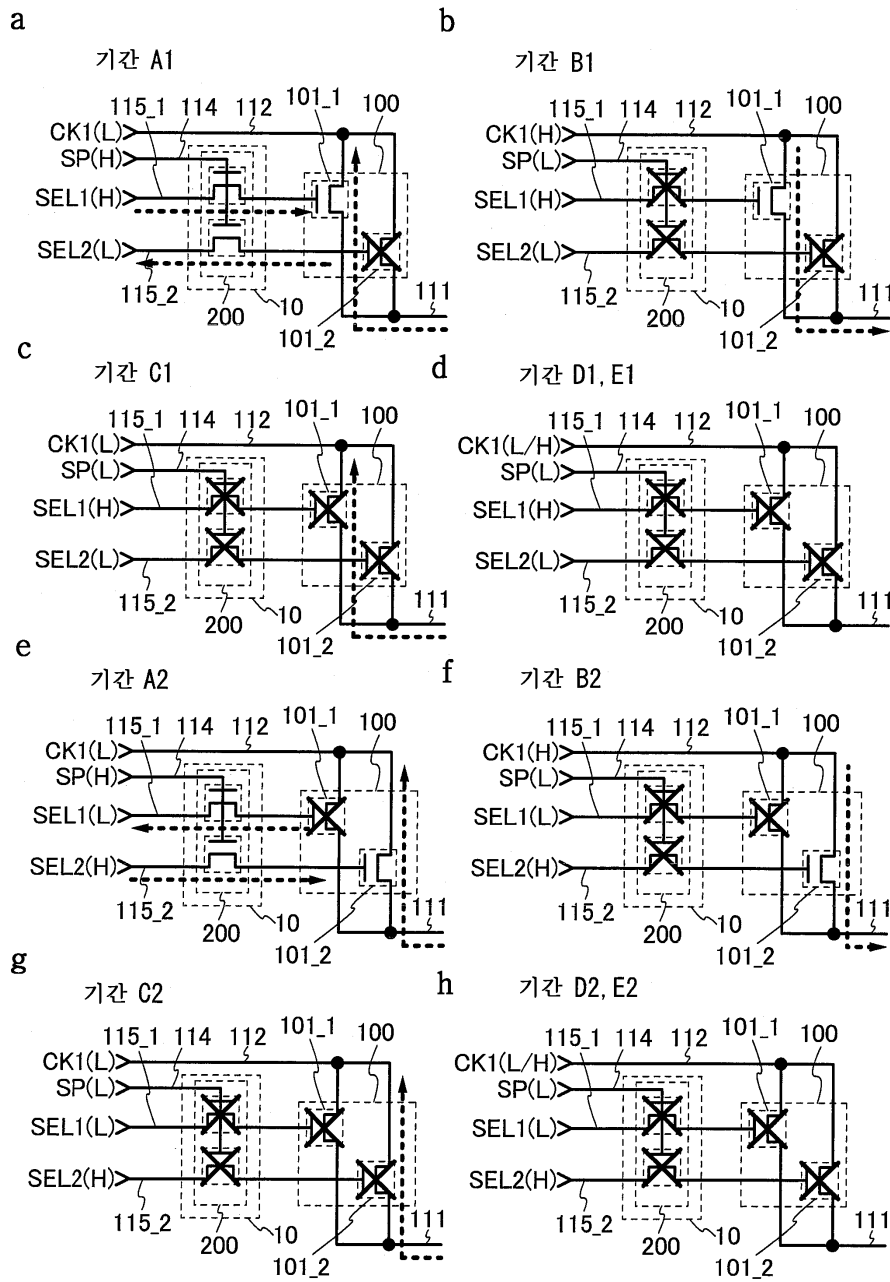
도면8



도면9

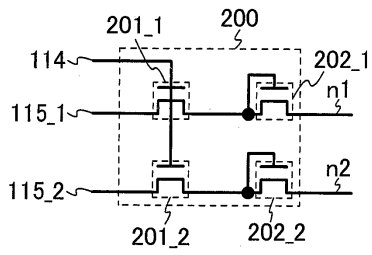


도면10

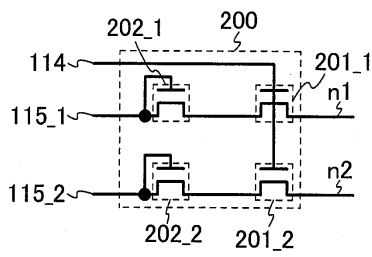


도면11

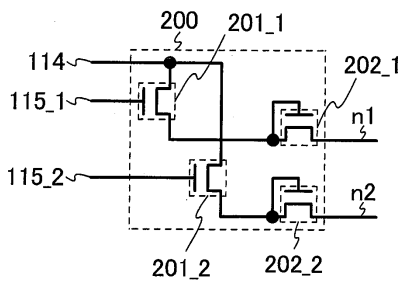
a



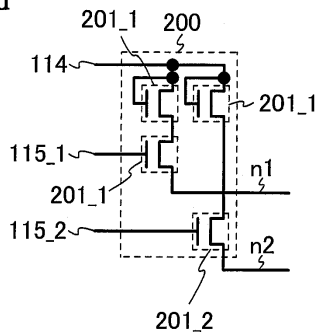
b



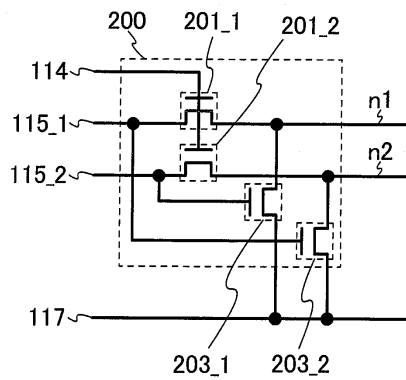
c



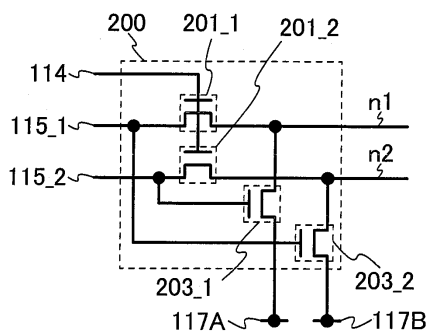
d



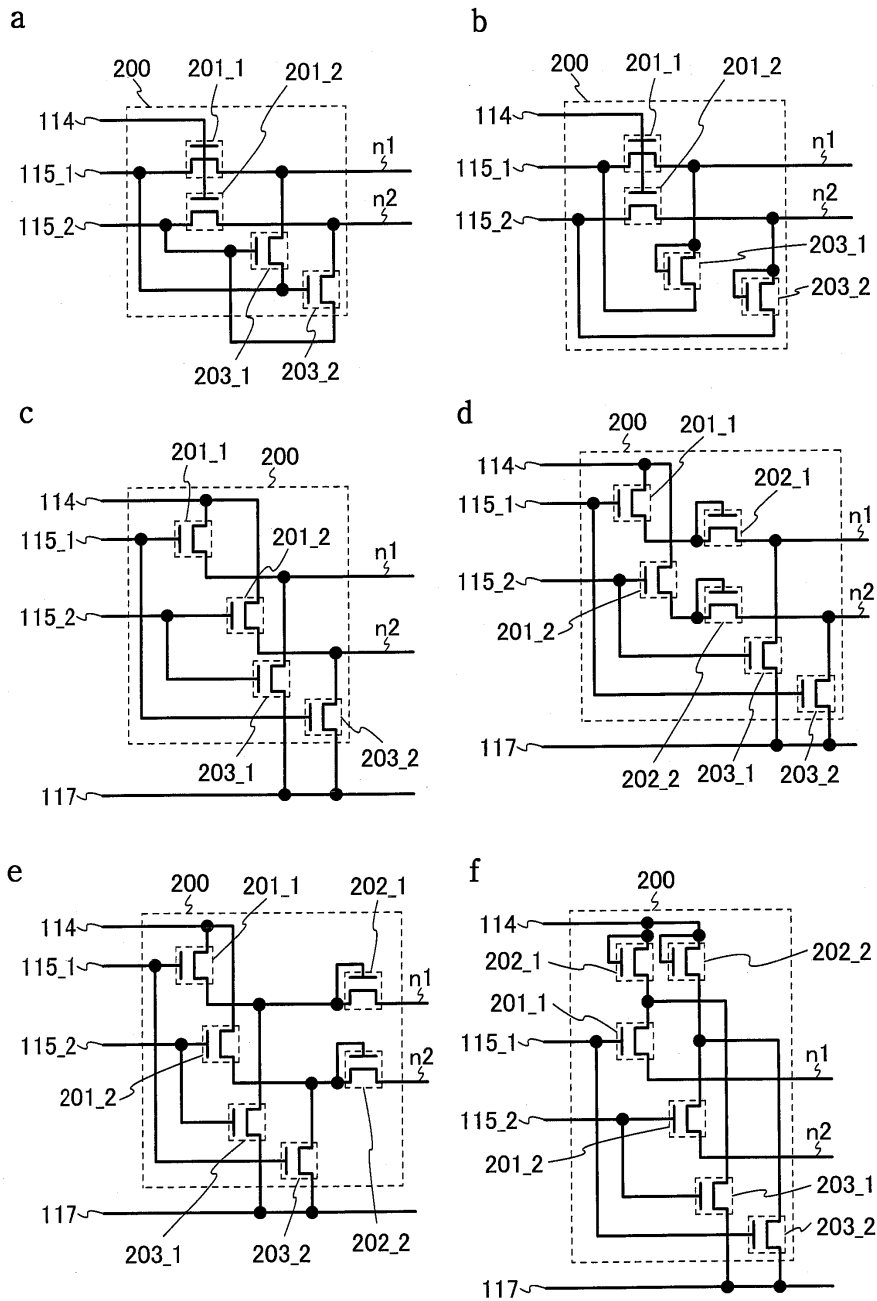
e



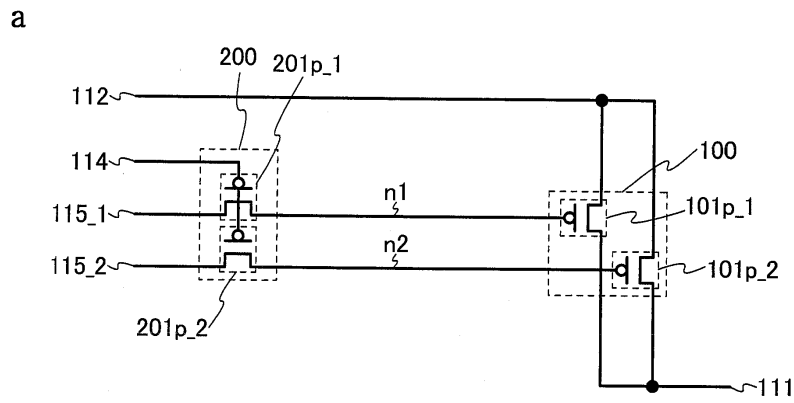
f



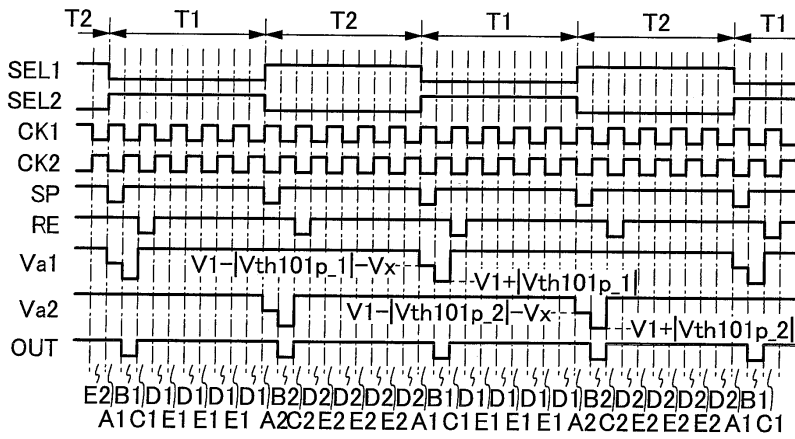
도면12



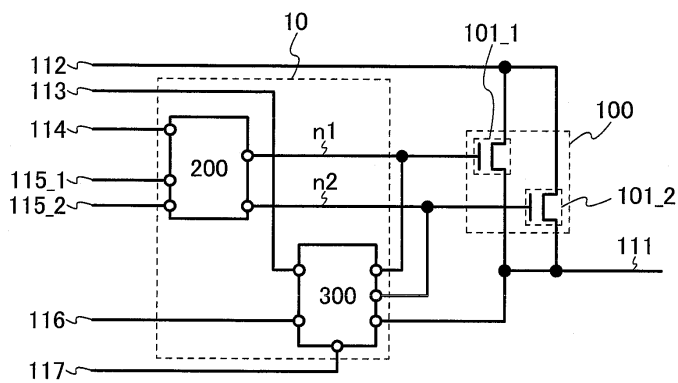
도면13



b

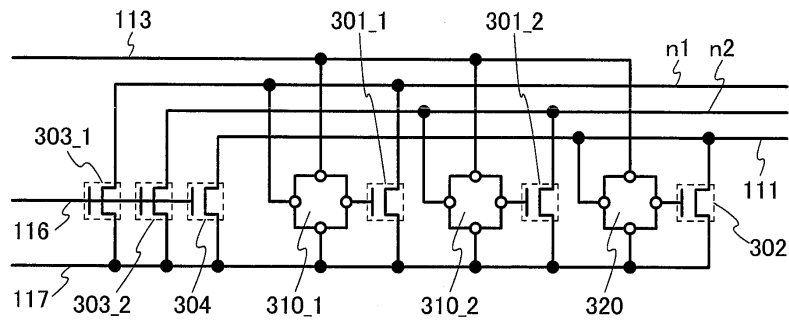


도면14

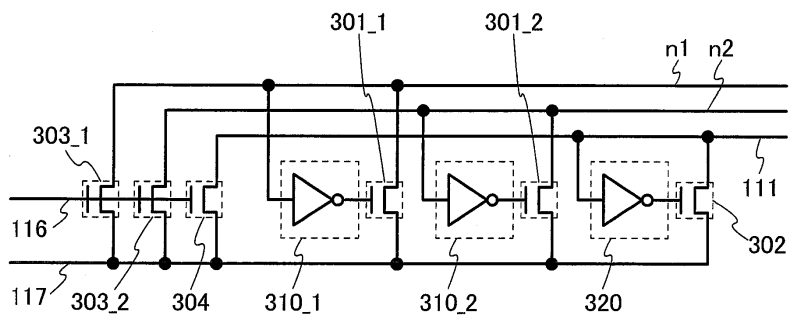


도면15

a

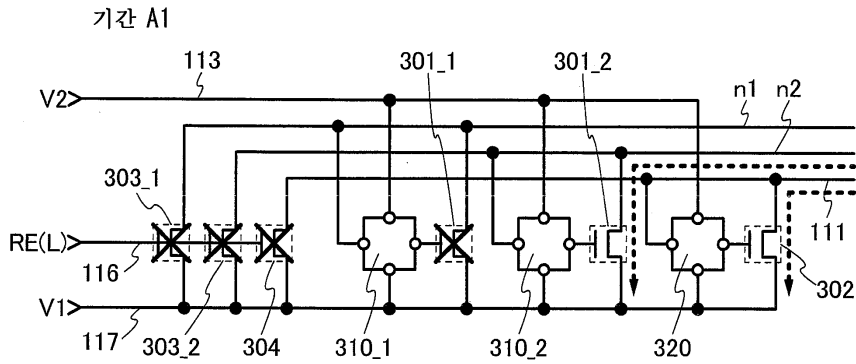


b

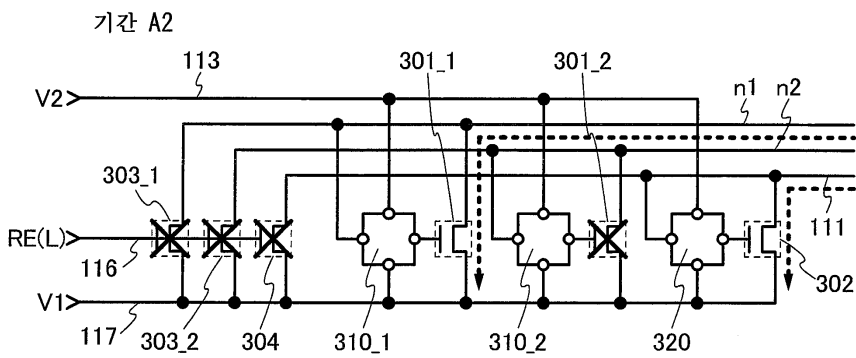


도면16

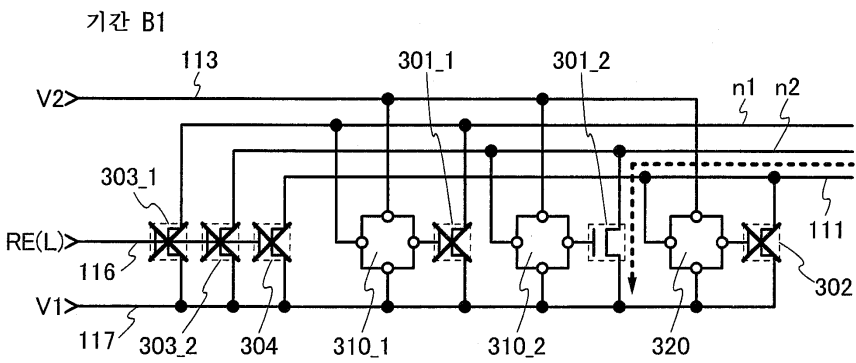
a



b

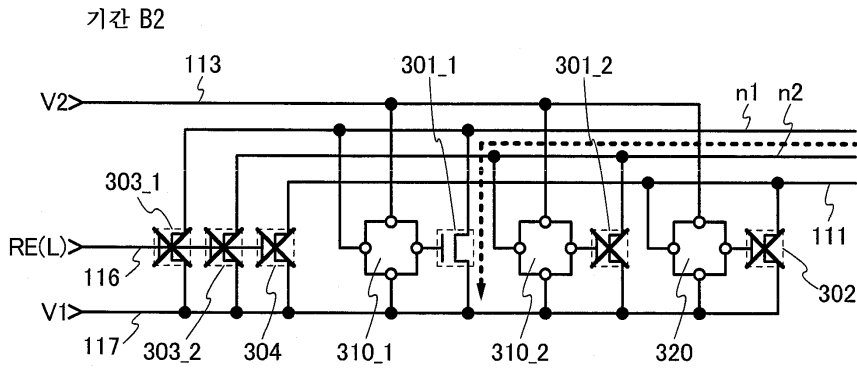


c

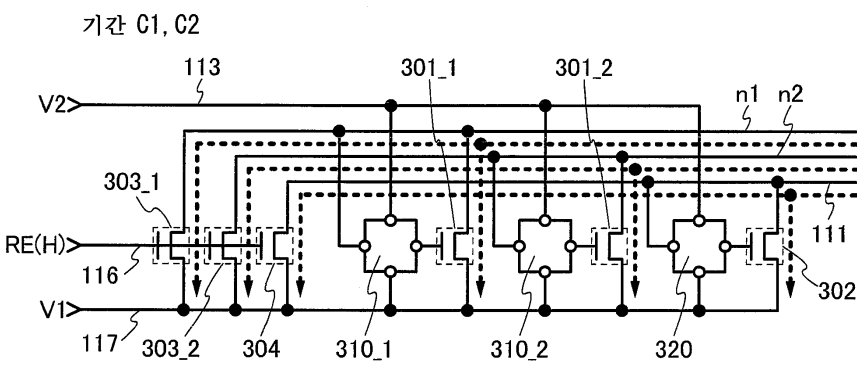


도면17

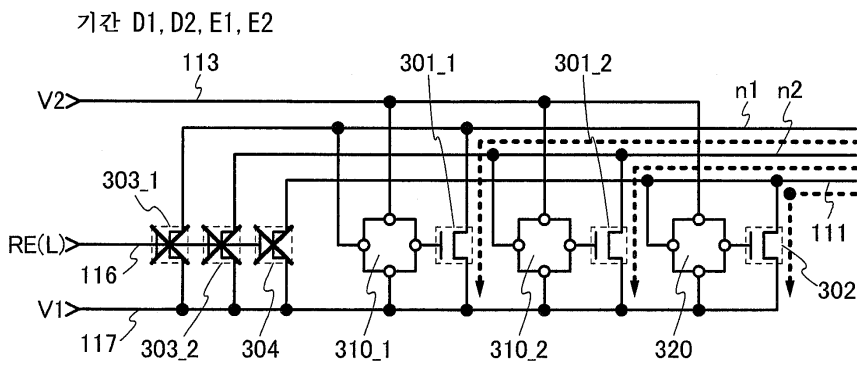
a



b

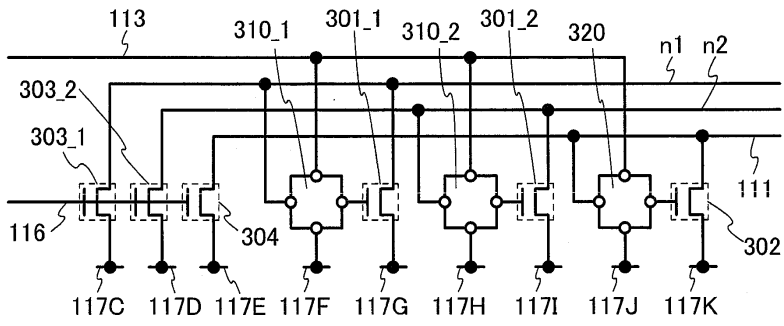


c

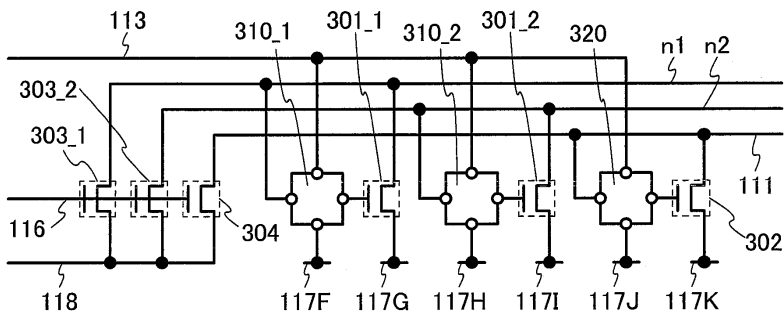


도면18

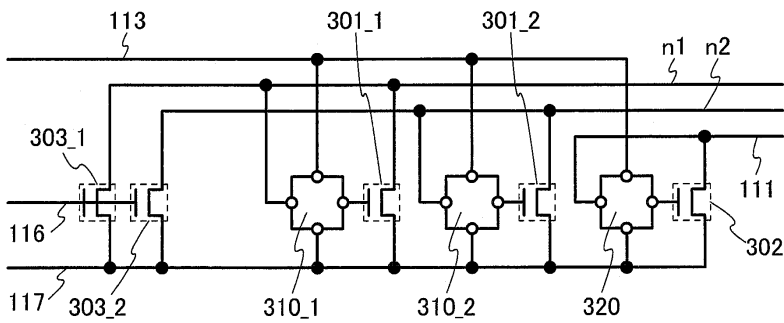
a



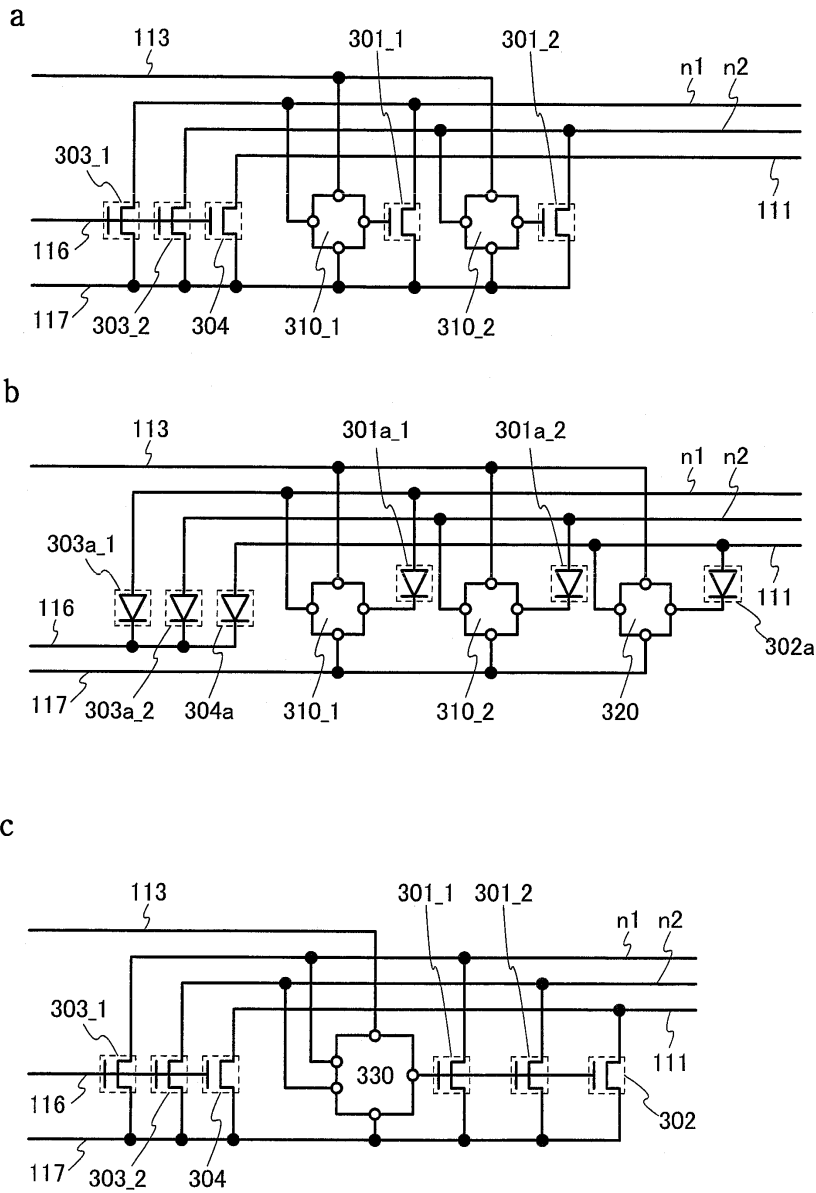
b



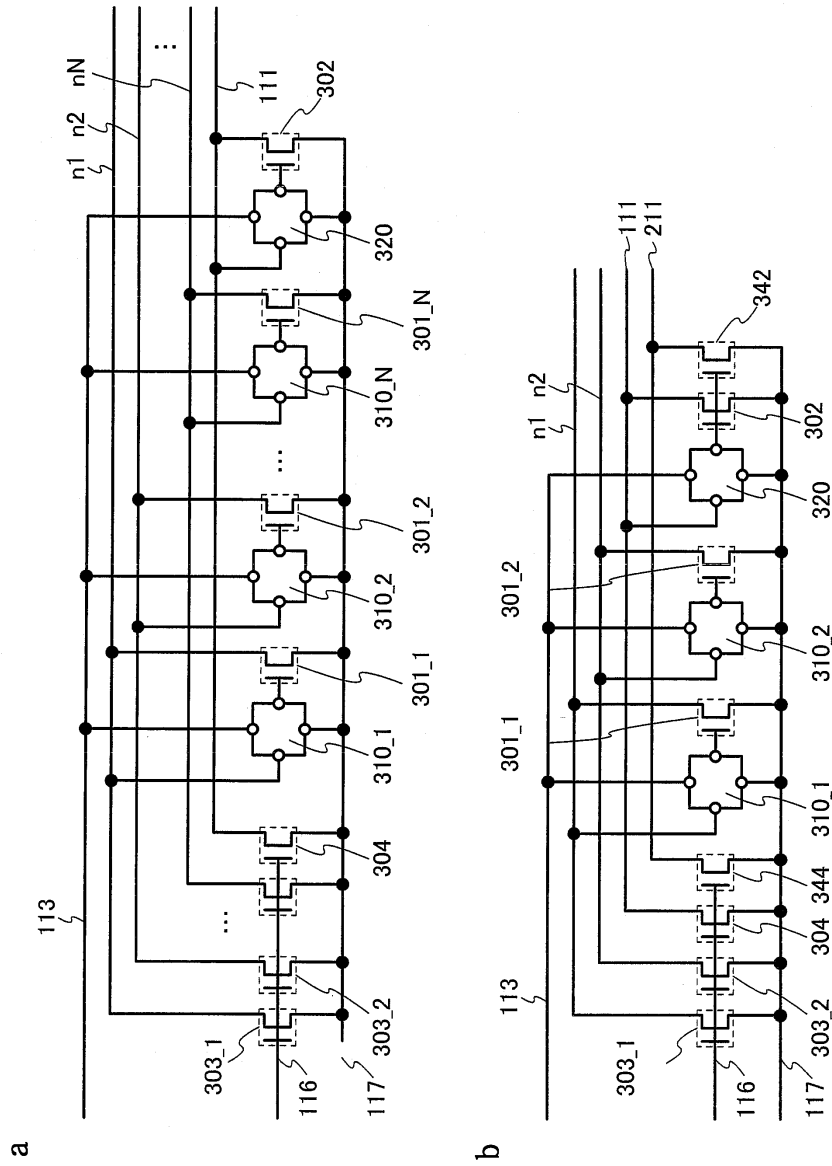
c



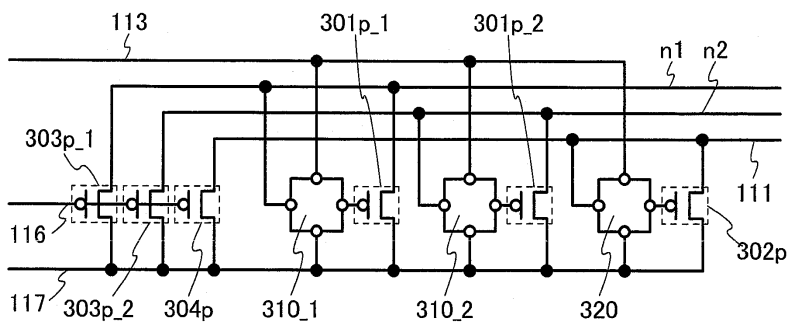
도면19



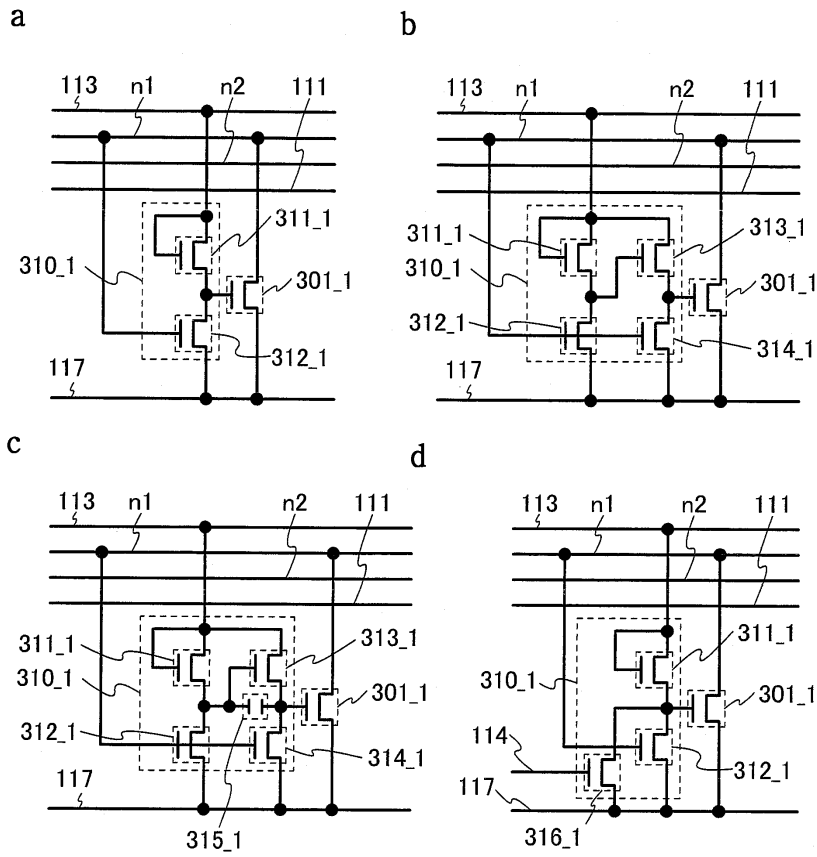
도면20



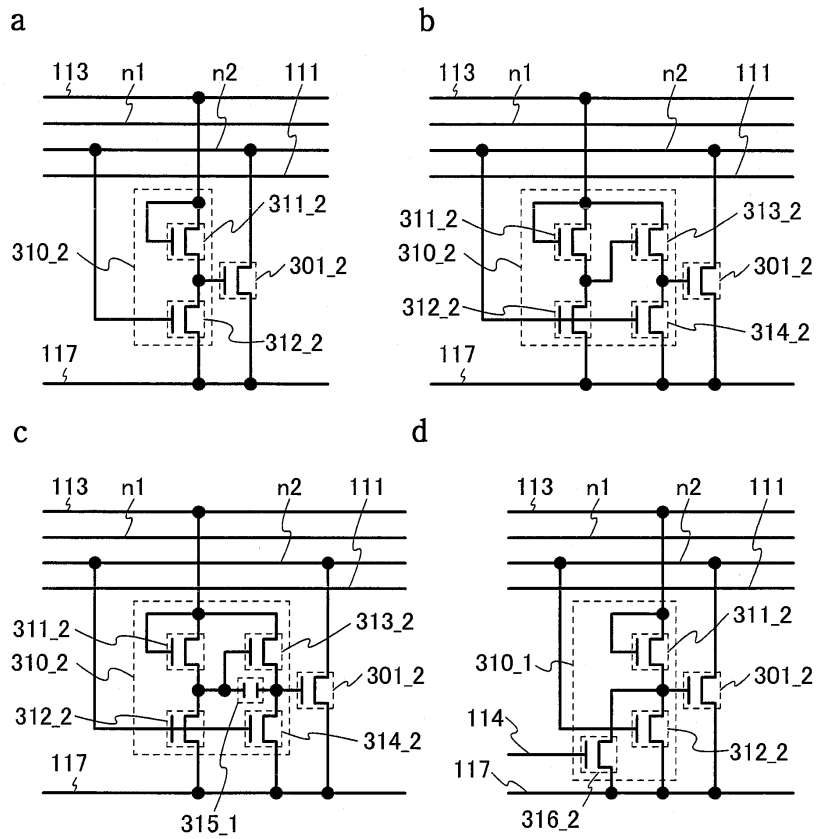
도면21



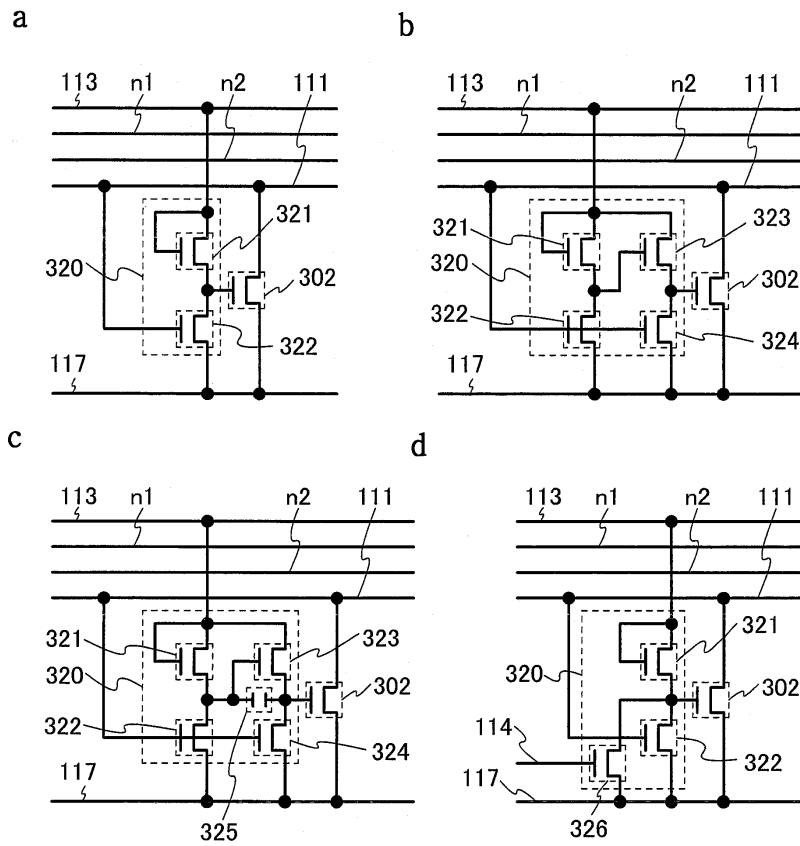
도면22



도면23

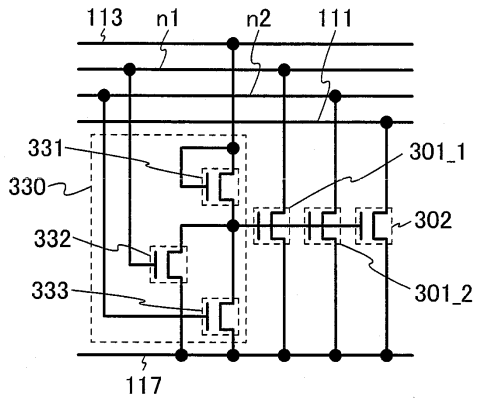


도면24

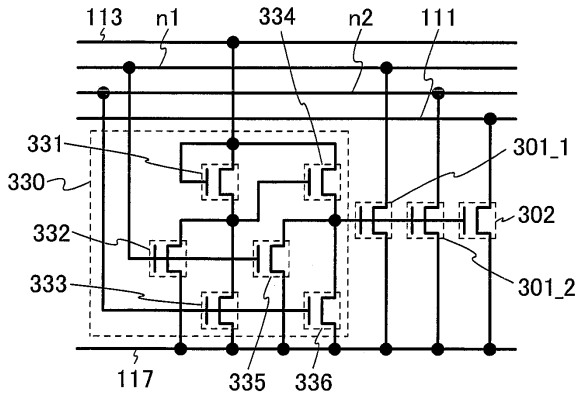


도면25

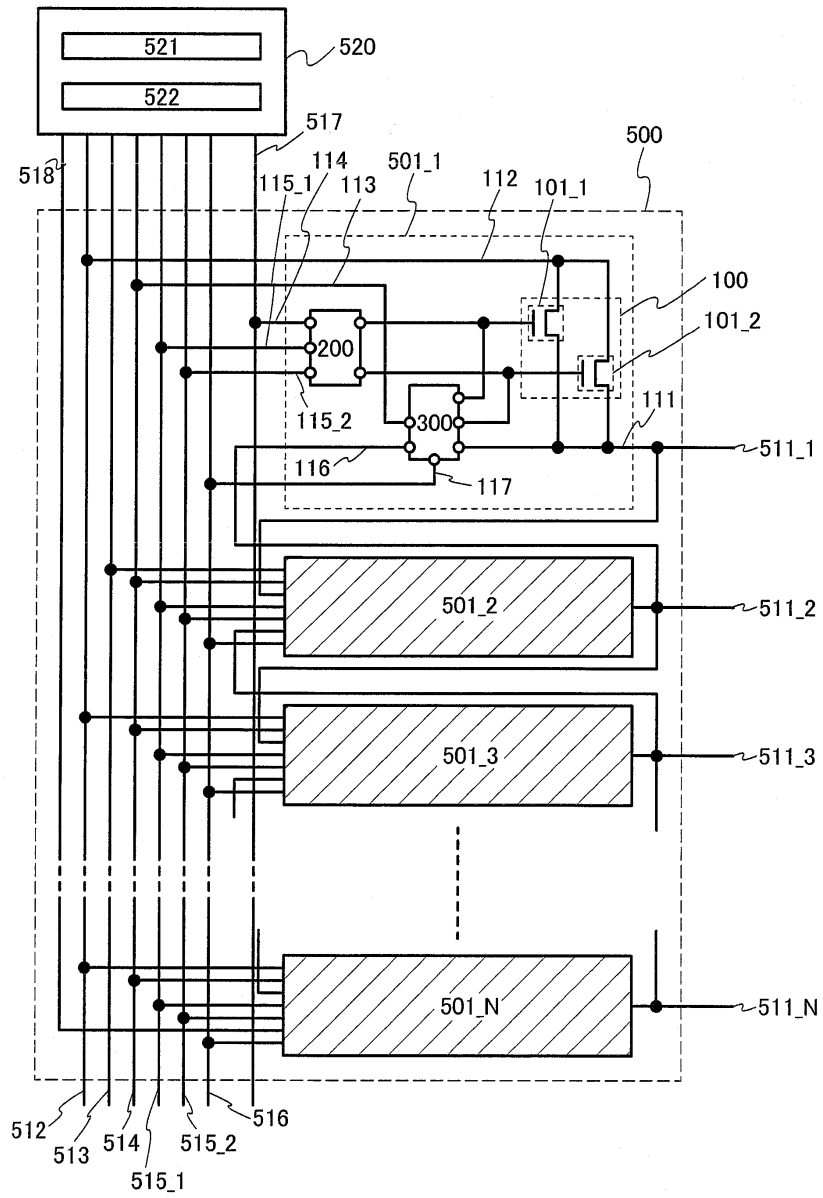
a



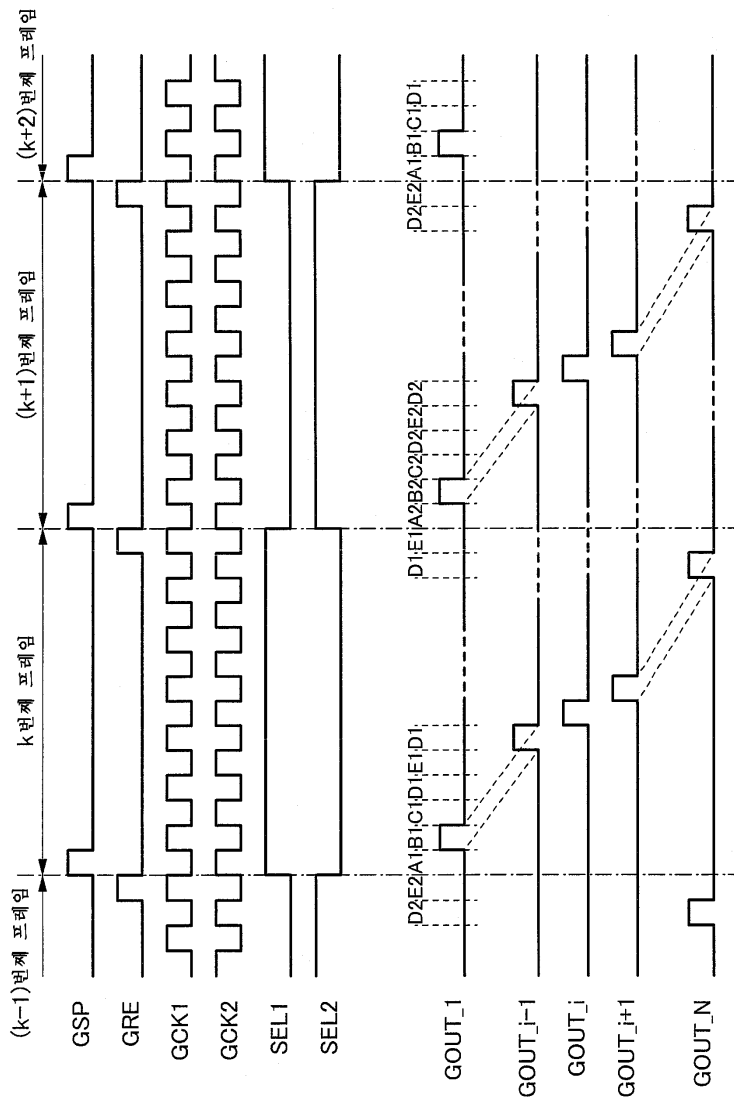
b



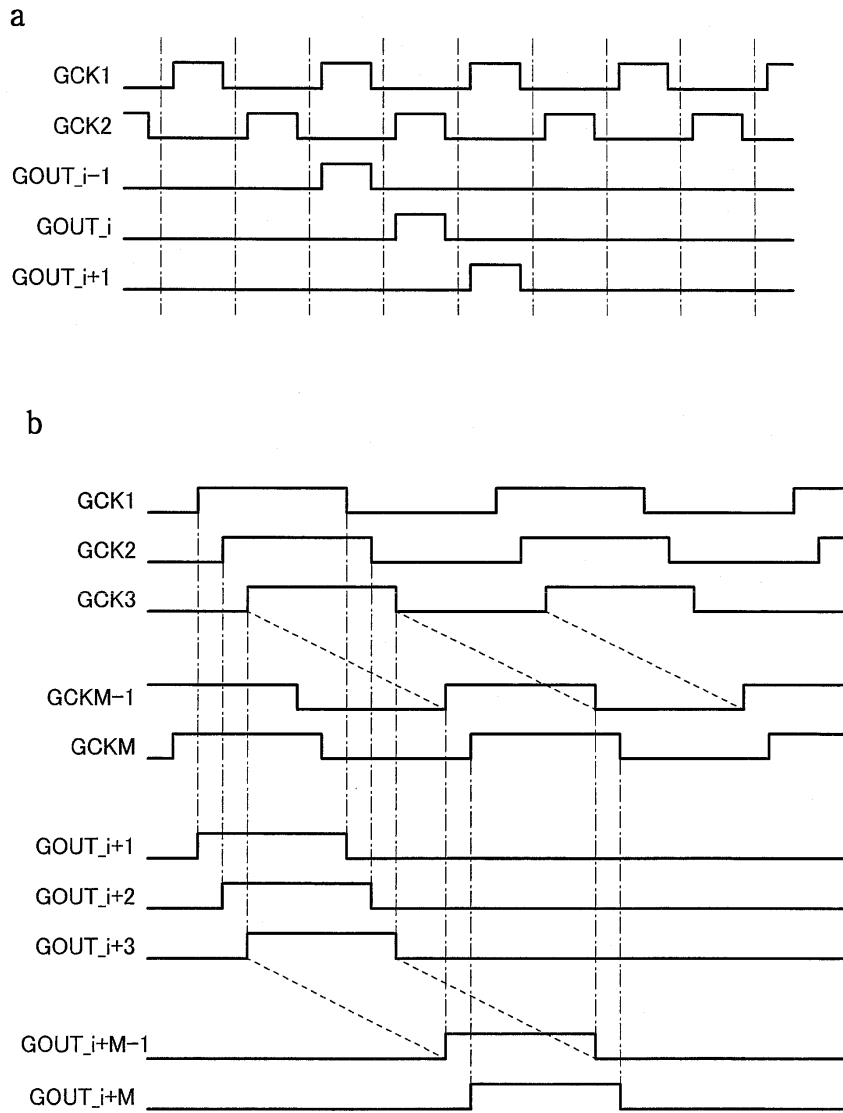
도면26



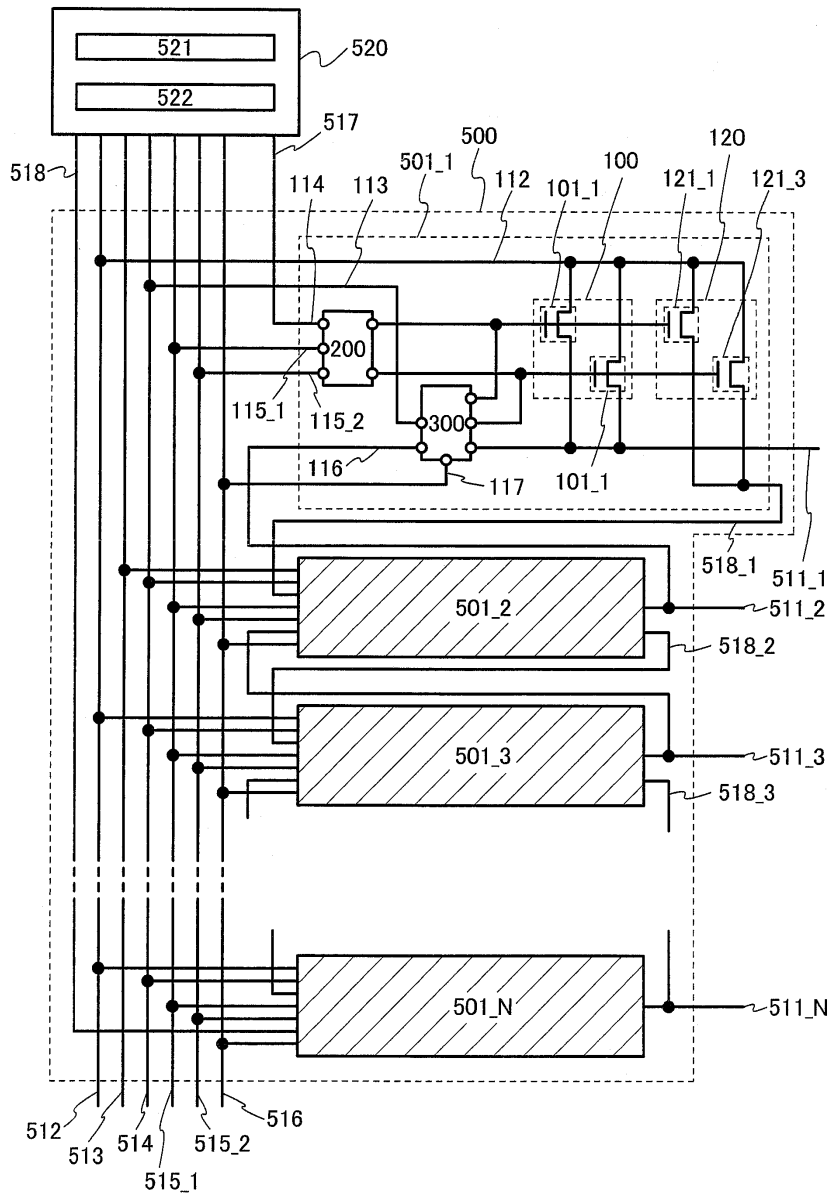
도면27



도면28

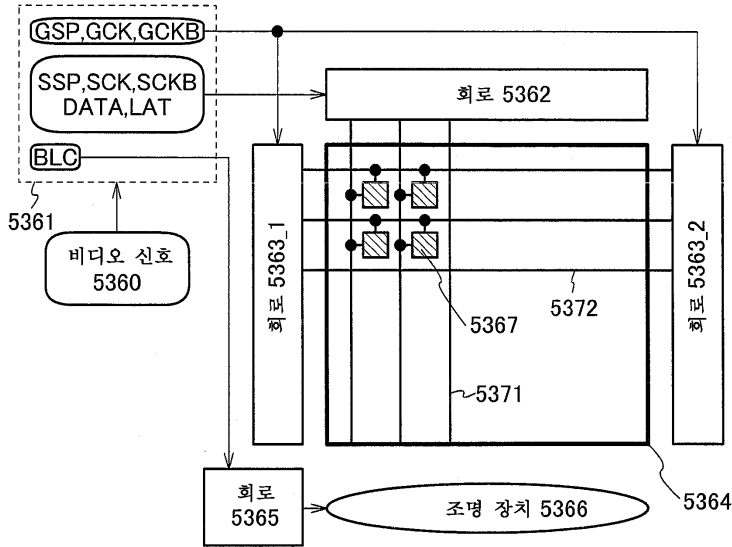


도면29

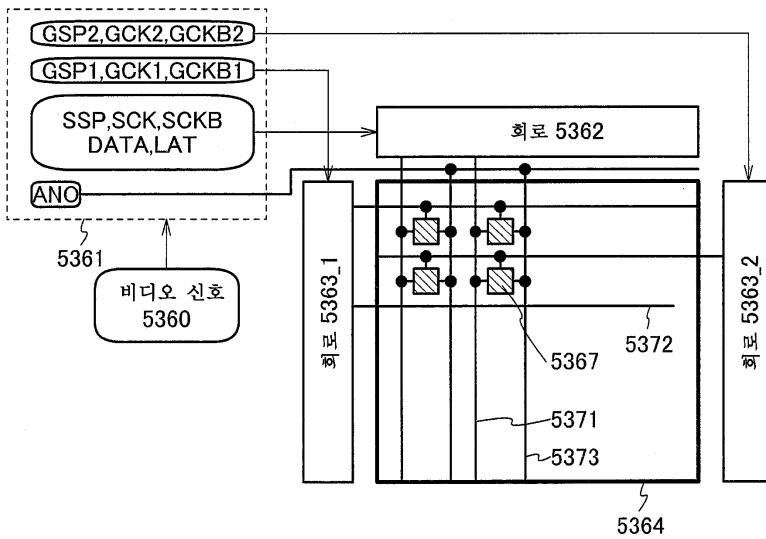


도면30

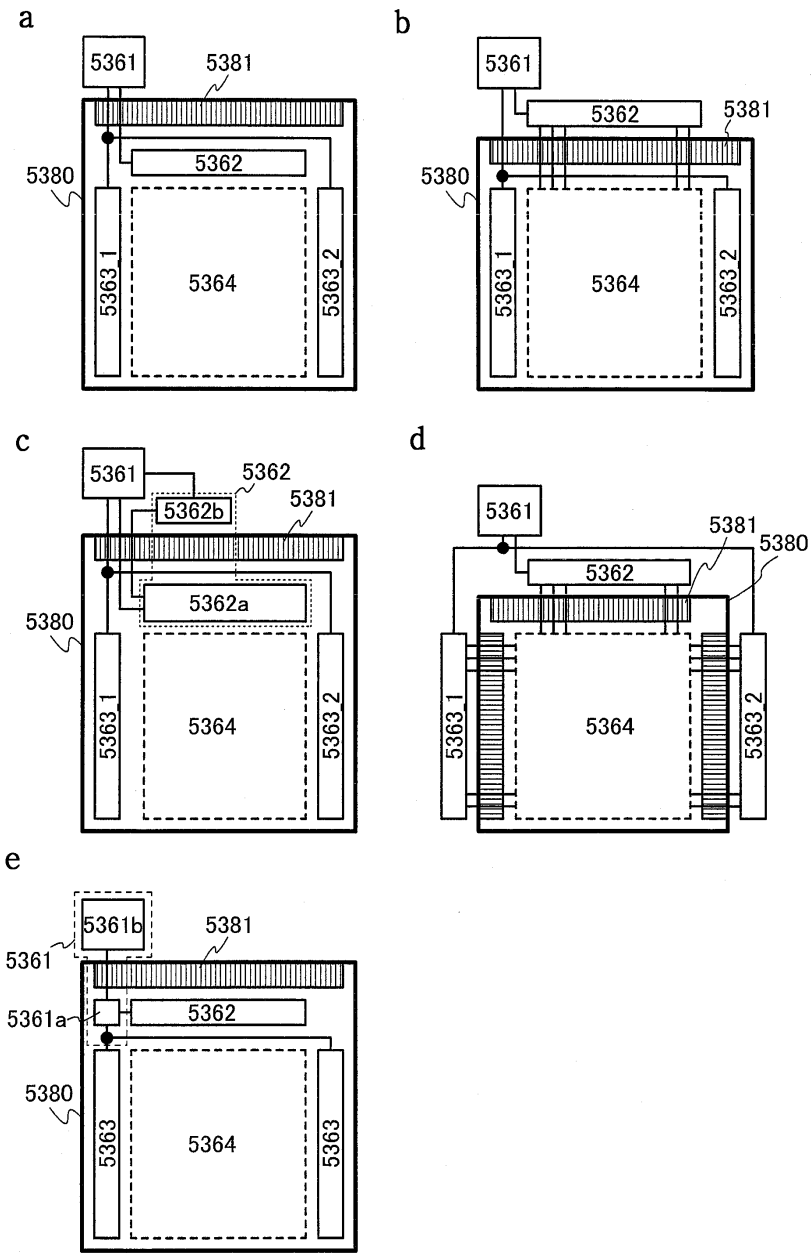
a



b

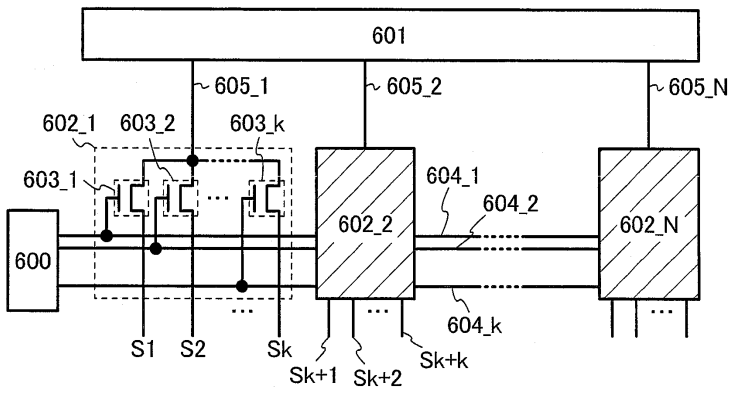


도면31

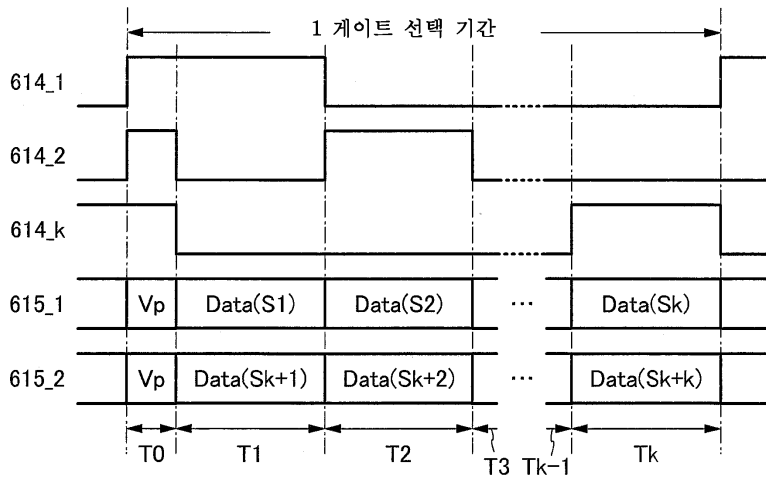


도면32

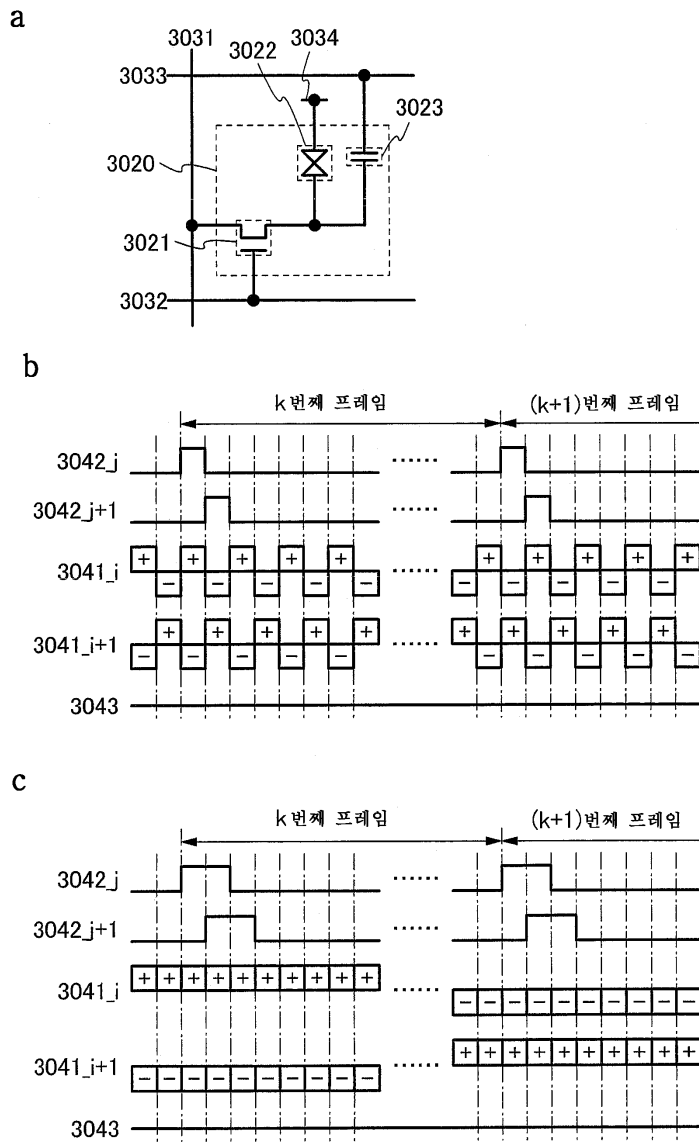
a



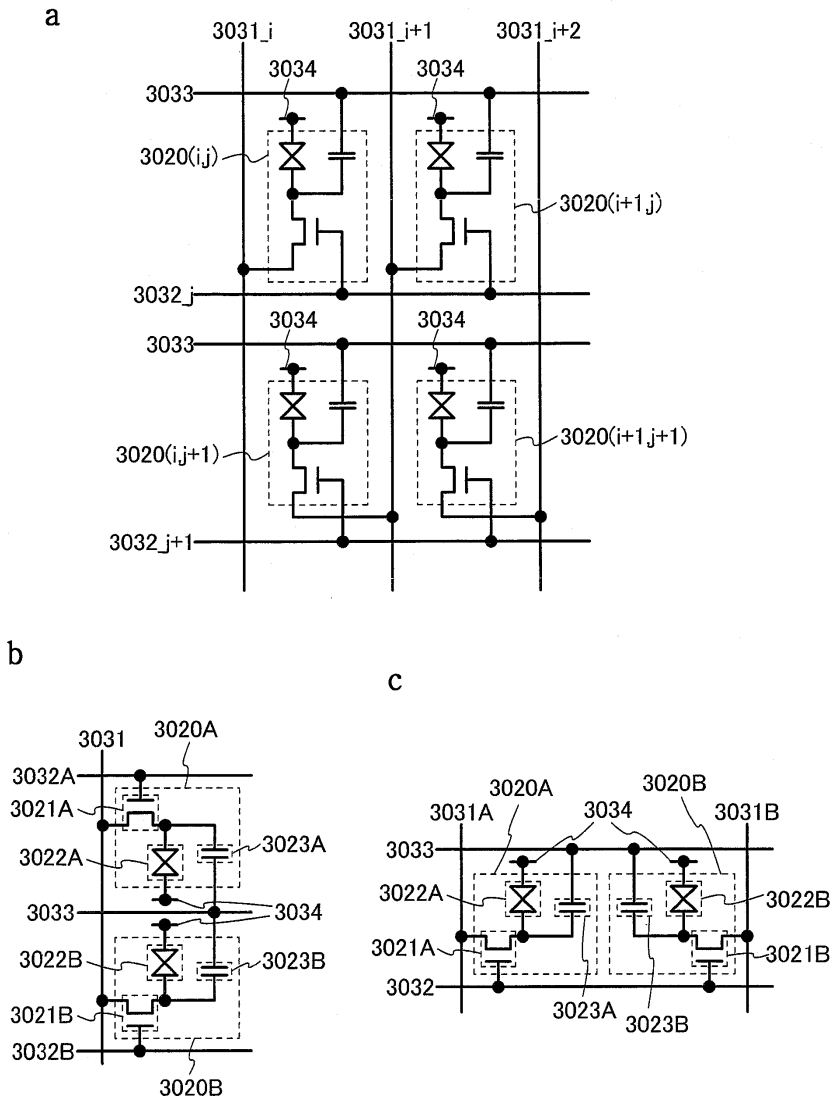
b



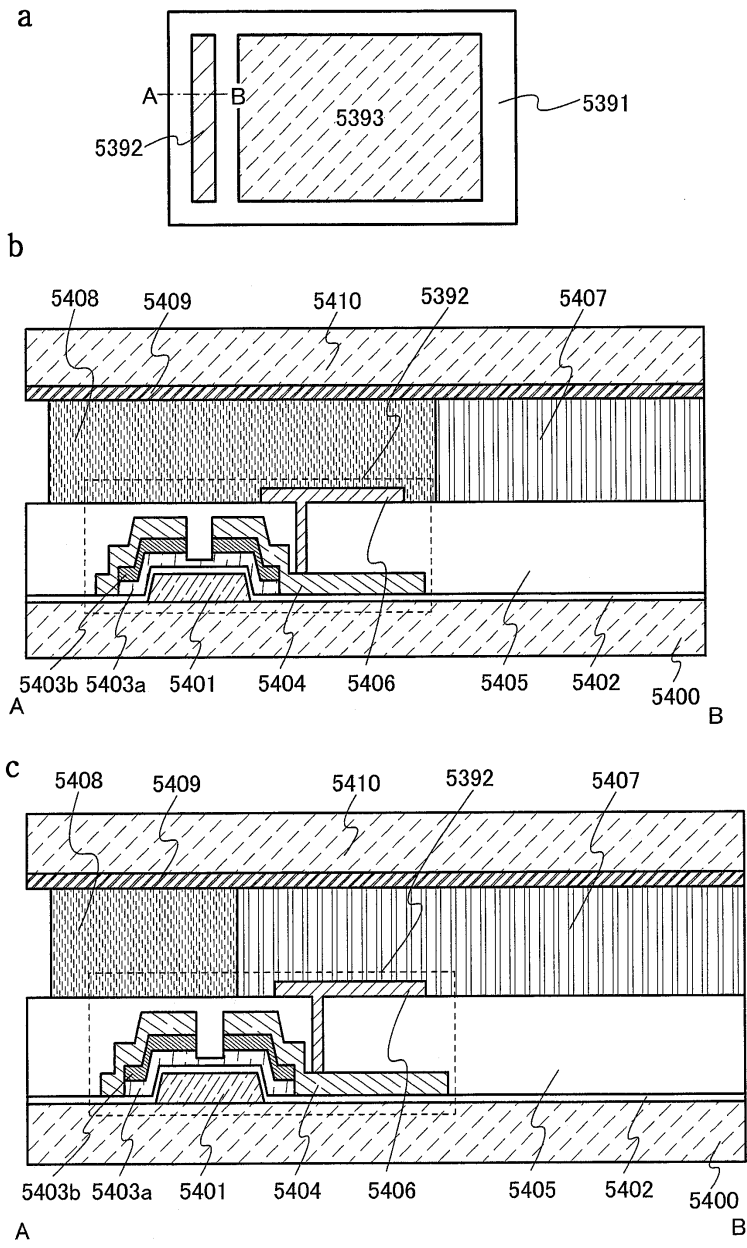
도면33



도면34

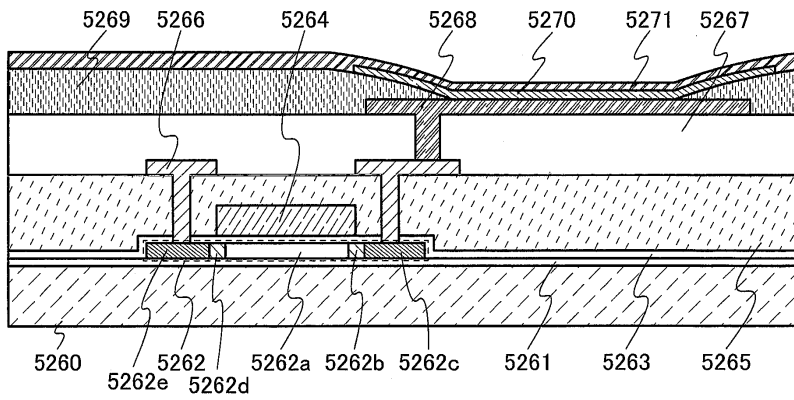


도면35

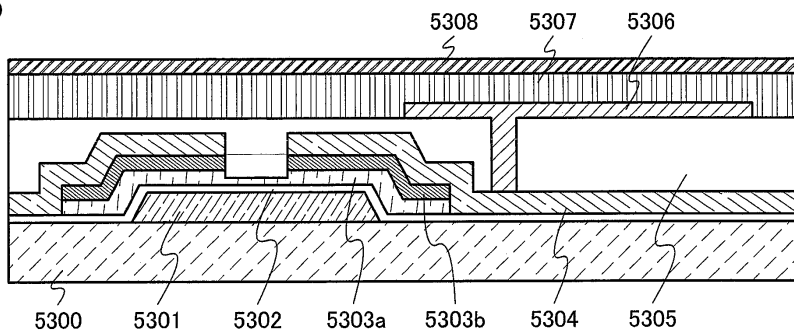


도면36

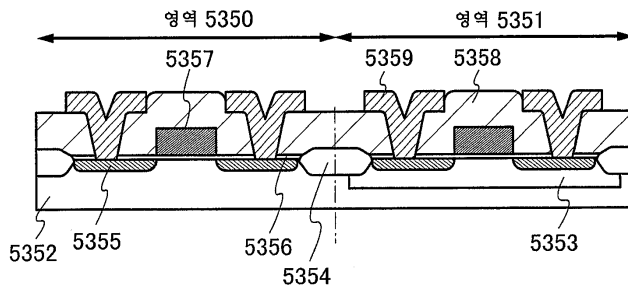
a



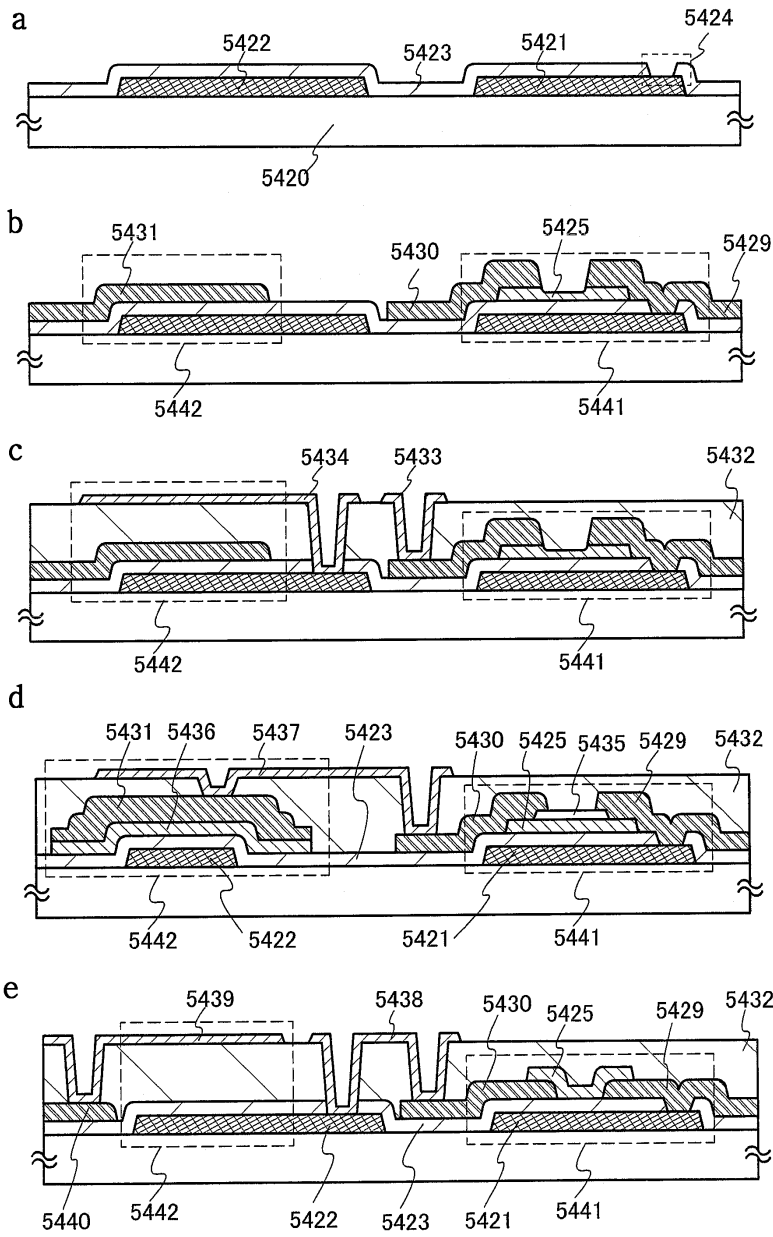
b



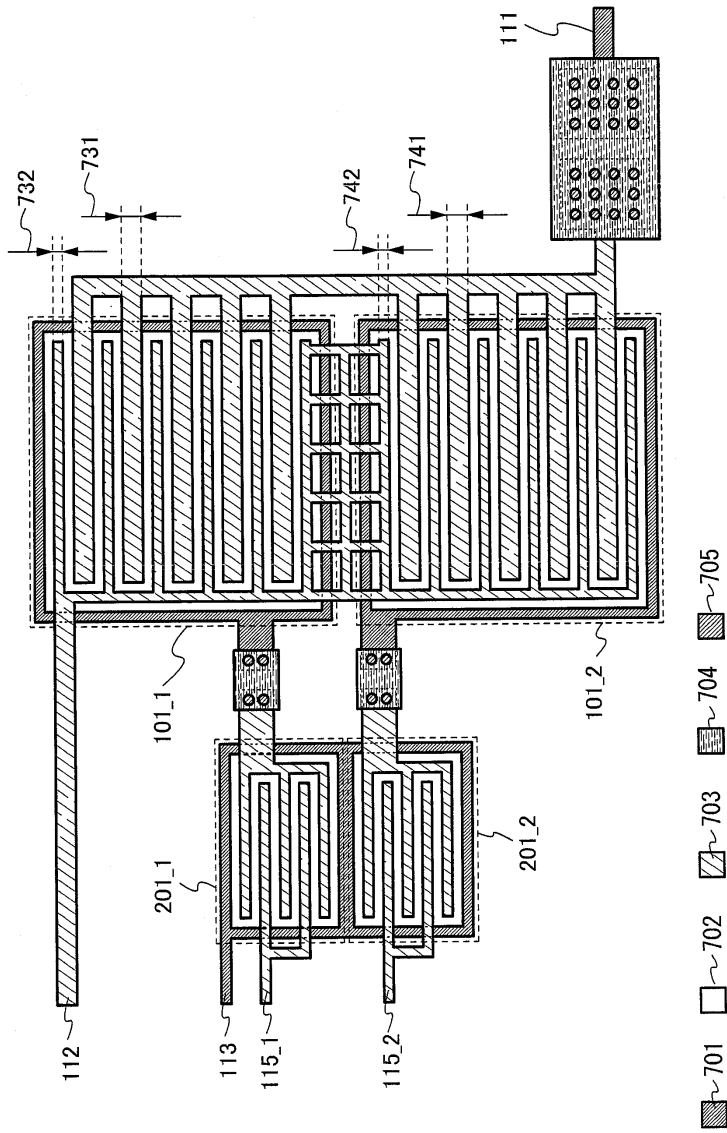
c



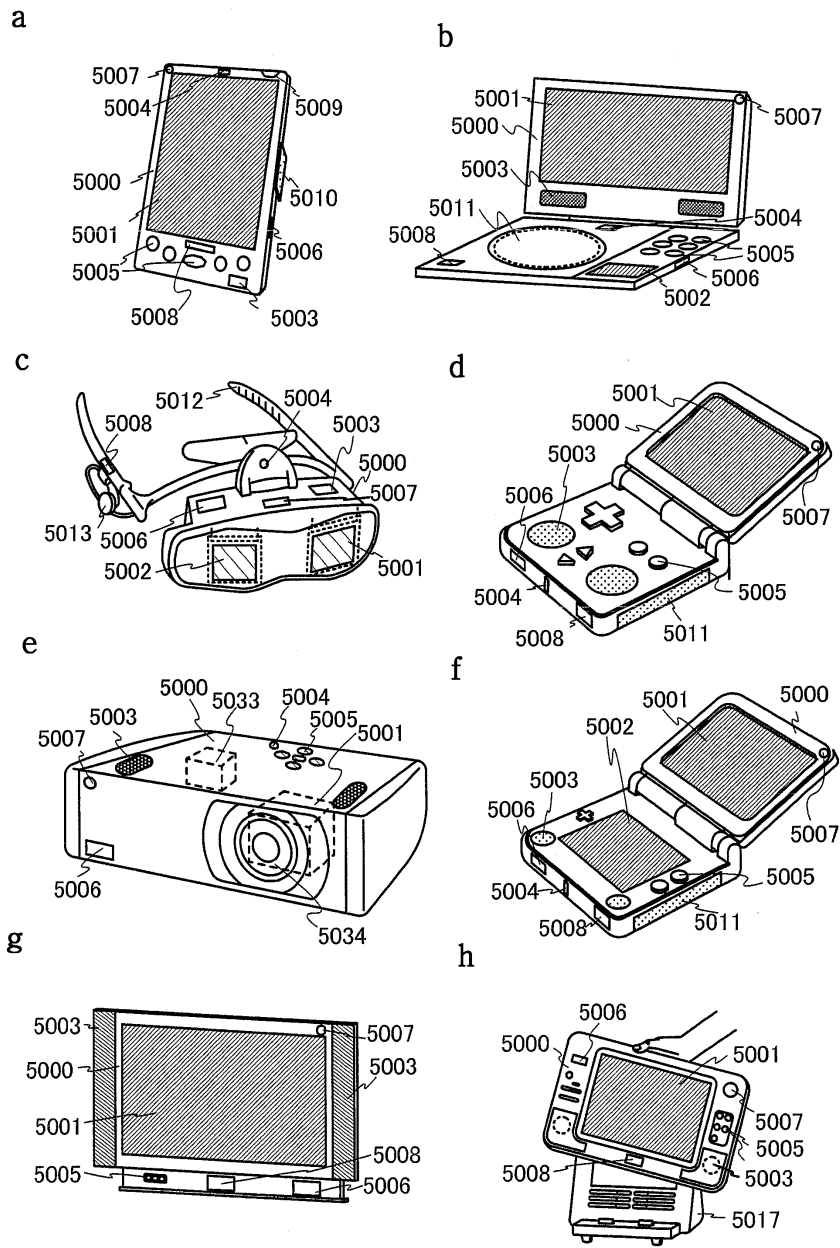
도면37



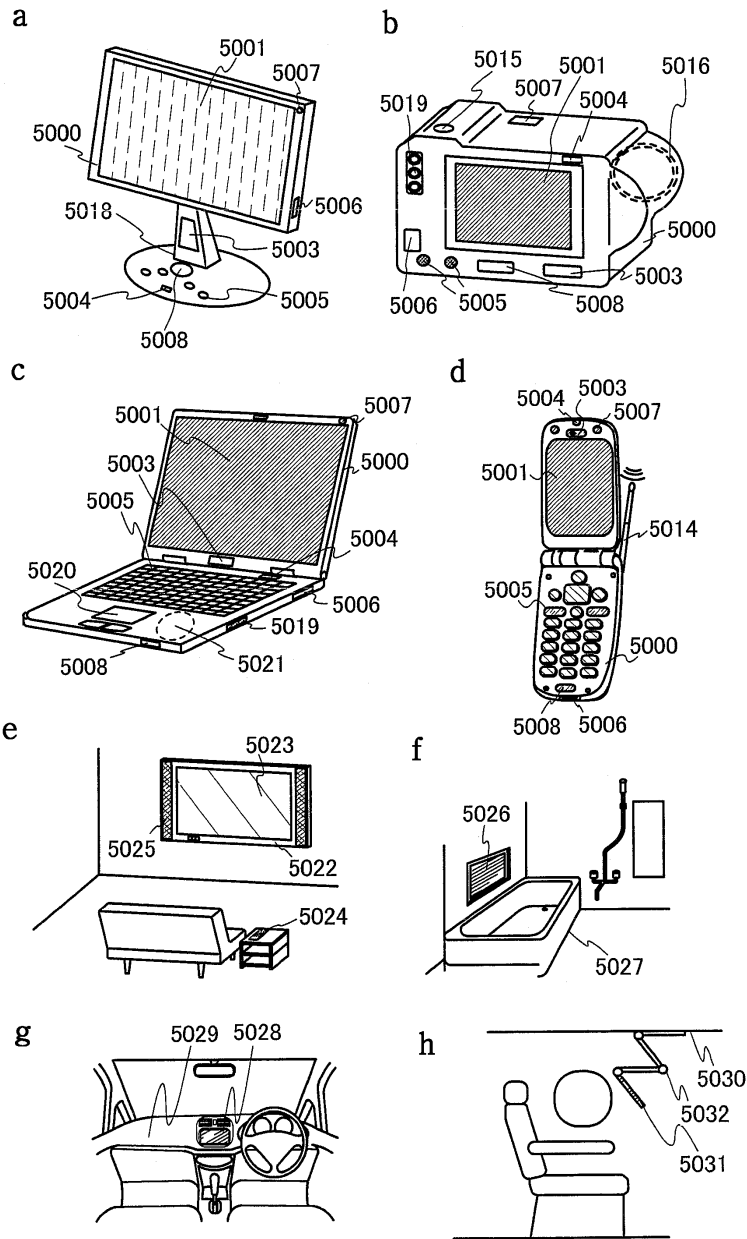
도면38



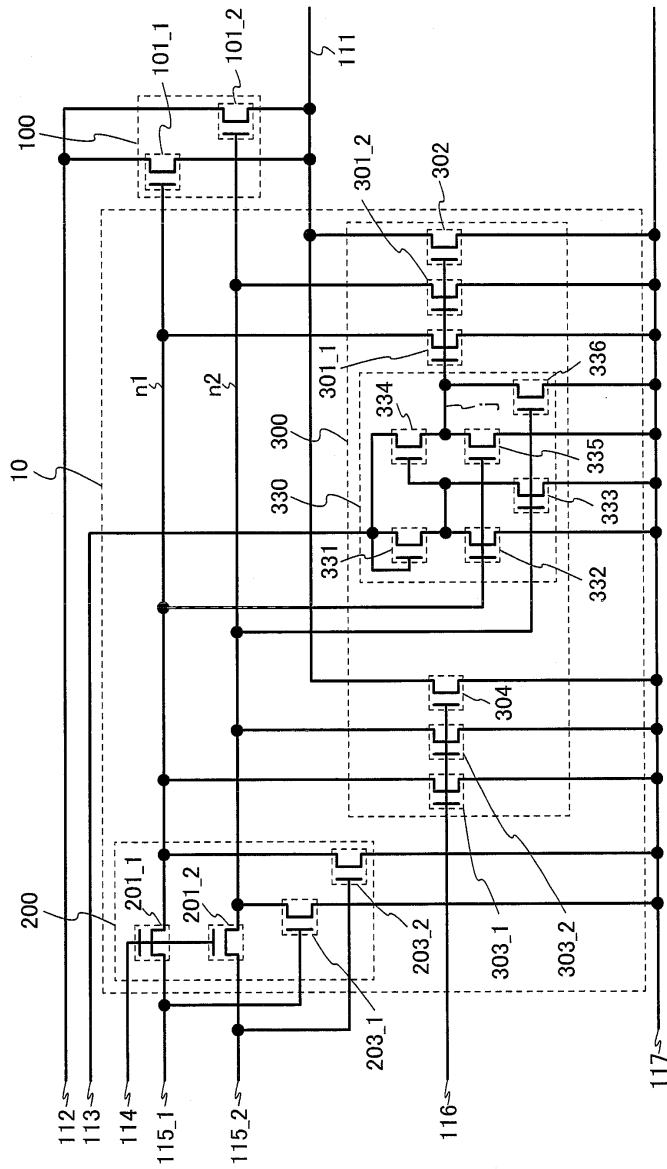
도면39



도면40

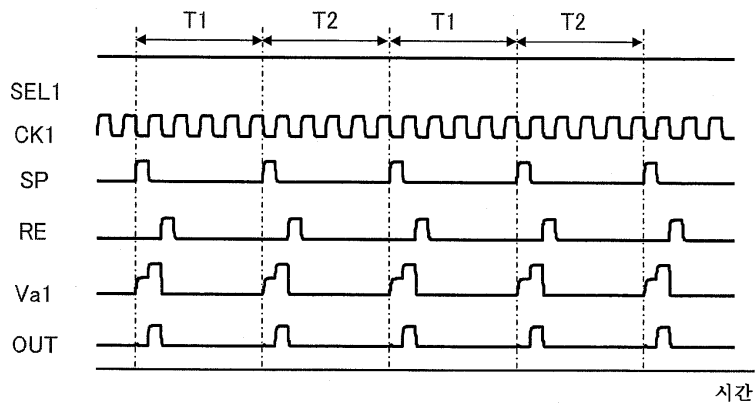


도면41

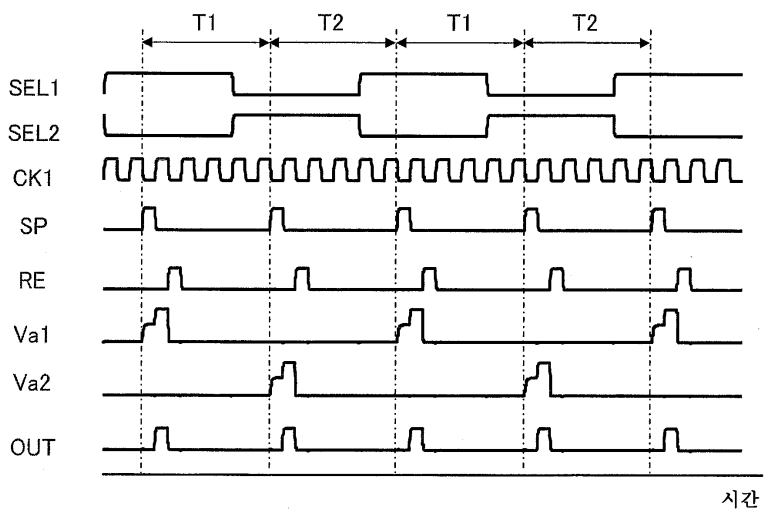


도면42

a



b



专利名称(译)	液晶显示装置，液晶显示装置的驱动方法和具有液晶显示装置的电子装置		
公开(公告)号	<a href="#">KR1020100108249A</a>	公开(公告)日	2010-10-06
申请号	KR1020100026594	申请日	2010-03-25
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	KIMURA HAJIME 기무라하지메 UMEZAKI ATSUSHI 우메자키아츠시		
发明人	기무라하지메 우메자키아츠시		
IPC分类号	G09G3/36 G02F1/133		
CPC分类号	G09G3/06 G09G2300/0417 G09G2310/0286 G09G2320/043 G09G3/3677 G09G3/3688 G11C19/28		
代理人(译)	张本勋		
优先权	2009077200 2009-03-26 JP		
其他公开文献	KR101712385B1		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

问题之一是抑制驱动电路中晶体管特性的劣化。第一开关，用于根据第一输入信号通过接通或断开来控制是否设置输出信号的电位状态;以及第二开关，用于根据第二输入信号通过接通或断开来控制是否设置输出信号的电位状态第一开关或第二开关接通或断开，使得第一布线和第二布线处于导通状态或非导通状态。 专利文献10-2010-0108249

