



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0129305
(43) 공개일자 2009년12월16일

(51) Int. Cl.

G09G 3/36 (2006.01) G09G 3/20 (2006.01)
G02F 1/133 (2006.01)

(21) 출원번호 10-2008-0122687

(22) 출원일자 2008년12월04일

심사청구일자 없음

(30) 우선권주장

1020080055423 2008년06월12일 대한민국(KR)

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

김기홍

경기 안양시 동안구 호계2동 930-43

윤재경

경기 고양시 덕양구 화정1동 은빛마을11단지아파트 1108동 1405호

(74) 대리인

특허법인로알

전체 청구항 수 : 총 10 항

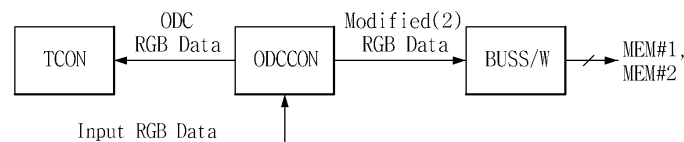
(54) 액정표시장치와 그 구동방법

(57) 요약

본 발명은 액정표시장치와 그 구동방법에 관한 것이다.

이 액정표시장치는 다수의 데이터라인들, 상기 데이터라인들과 교차되는 다수의 게이트라인들, 및 다수의 액정셀들을 가지는 액정표시패널; 상기 데이터라인들에 데이터전압을 공급하는 데이터 구동회로; 상기 게이트라인들에 게이트펄스를 공급하는 게이트 구동회로; 상기 데이터 구동회로에 데이터를 공급하고 상기 데이터 구동회로와 상기 게이트 구동회로를 제어하는 타이밍 컨트롤러; 및 N(N은 양의 정수) 번째 프레임기간에 입력되는 입력 데이터와 메모리로부터 읽어 들인 N-1 번째 프레임 데이터의 차이가 2 계조 이상이면 20% 내지 80% 사이의 과구동 비율로 상기 데이터를 변조하여 변조된 데이터를 상기 타이밍 컨트롤러에 공급하는 반면, 상기 차이가 2 계조 미만이면 상기 입력 데이터를 상기 타이밍 컨트롤러에 공급하고, 상기 메모리에 저장되는 데이터의 최하위 비트를 상기 데이터의 변조 여부에 따라 다르게 변환하는 과구동 컨트롤러를 구비한다.

대 표 도 - 도12



특허청구의 범위

청구항 1

다수의 데이터라인들, 상기 데이터라인들과 교차되는 다수의 게이트라인들, 및 다수의 액정셀들을 가지는 액정 표시패널;

상기 데이터라인들에 데이터전압을 공급하는 데이터 구동회로;

상기 게이트라인들에 게이트펄스를 공급하는 게이트 구동회로;

상기 데이터 구동회로에 데이터를 공급하고 상기 데이터 구동회로와 상기 게이트 구동회로를 제어하는 타이밍 컨트롤러; 및

N (N 은 양의 정수) 번째 프레임기간에 입력되는 입력 데이터와 메모리로부터 읽어 들인 $N-1$ 번째 프레임 데이터의 차이가 2 계조 이상이면 20% 내지 80% 사이의 과구동 비율로 상기 데이터를 변조하여 변조된 데이터를 상기 타이밍 컨트롤러에 공급하는 반면, 상기 차이가 2 계조 미만이면 상기 입력 데이터를 상기 타이밍 컨트롤러에 공급하고, 상기 메모리에 저장되는 데이터의 최하위 비트를 상기 데이터의 변조 여부에 따라 다르게 변환하는 과구동 컨트롤러를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 과구동 컨트롤러는,

상기 N 번째 프레임기간에서 상기 데이터의 차이가 2 계조 이상이면 20% 내지 80% 사이의 상기 변조된 데이터를 상기 타이밍 컨트롤러에 공급하고 상기 변조된 데이터에서 최하위 비트만 '1'로 변환하여 상기 메모리에 저장하는 것을 특징으로 하는 액정표시장치.

청구항 3

제 2 항에 있어서,

상기 과구동 컨트롤러는,

$N+1$ 번째 프레임기간에 입력되는 데이터와 상기 메모리로부터 읽어 들인 상기 데이터의 차이가 2 계조 이상이면 20% 내지 80% 사이의 과구동 비율로 상기 $N+1$ 번째 프레임기간에 입력되는 데이터를 변조하여 2차 변조된 데이터를 상기 타이밍 컨트롤러에 공급하고 상기 $N+1$ 번째 프레임기간에 입력되는 데이터에서 최하위 비트만 '0'으로 변환하여 상기 메모리에 저장하는 것을 특징으로 하는 액정표시장치.

청구항 4

제 3 항에 있어서,

상기 과구동 컨트롤러는,

$N+2$ 번째 프레임기간에 입력되는 데이터와 상기 메모리로부터 읽어 들인 상기 데이터의 차이가 2 계조 미만이면 상기 $N+2$ 번째 프레임기간에 입력되는 데이터를 그대로 상기 타이밍 컨트롤러에 공급하고 상기 $N+2$ 번째 프레임기간에 입력되는 데이터에서 최하위 비트만 '0'으로 변환하여 상기 메모리에 저장하는 것을 특징으로 하는 액정표시장치.

청구항 5

제 1 항에 있어서,

상기 과구동 컨트롤러와 상기 메모리 사이에 접속되어 상기 과구동 컨트롤러의 출력을 압축하고 상기 데이터 각각의 과구동 변조 여부를 지시하는 과구동 변조 정보를 발생하는 데이터 압축부; 및

상기 메모리와 상기 타이밍 컨트롤러 사이에 접속되어 상기 압축 데이터를 복원하고 복원 데이터 각각에 상기 과구동 변조 정보를 추가하는 데이터 복원부를 더 구비하는 것을 특징으로 하는 액정표시장치.

청구항 6

다수의 데이터라인들, 상기 데이터라인들과 교차되는 다수의 게이트라인들, 및 다수의 액정셀들을 가지는 액정 표시패널, 상기 데이터라인들에 데이터전압을 공급하는 데이터 구동회로, 상기 게이트라인들에 게이트펄스를 공급하는 게이트 구동회로, 및 상기 데이터 구동회로에 데이터를 공급하고 상기 데이터 구동회로와 상기 게이트 구동회로를 제어하는 타이밍 콘트롤러를 구비하는 액정표시장치의 구동방법에 있어서,

N 번째 프레임기간에 입력되는 입력 데이터와 메모리로부터 읽어 들인 N-1 번째 프레임 데이터의 차이가 2 계조 이상이면 20% 내지 80% 사이의 과구동 비율로 상기 데이터를 변조하여 변조된 데이터를 상기 타이밍 콘트롤러에 공급하는 단계;

상기 차이가 2 계조 미만이면 상기 입력 데이터를 상기 타이밍 콘트롤러에 공급하는 단계; 및

상기 메모리에 저장되는 데이터의 최하위 비트를 상기 데이터의 변조 여부에 따라 다르게 변환하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 7

제 6 항에 있어서,

상기 변조된 데이터를 상기 타이밍 콘트롤러에 공급하는 단계는,

상기 N 번째 프레임기간에서 상기 데이터의 차이가 2 계조 이상이면 20% 내지 80% 사이의 상기 변조된 데이터를 상기 타이밍 콘트롤러에 공급하고 상기 변조된 데이터에서 최하위 비트만 '1'로 변환하여 상기 메모리에 저장하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 8

제 7 항에 있어서,

N+1 번째 프레임기간에 입력되는 데이터와 상기 메모리로부터 읽어 들인 상기 데이터의 차이가 2 계조 이상이면 20% 내지 80% 사이의 과구동 비율로 상기 N+1 번째 프레임기간에 입력되는 데이터를 변조하여 2차 변조된 데이터를 상기 타이밍 콘트롤러에 공급하는 단계; 및

상기 N+1 번째 프레임기간에 입력되는 데이터에서 최하위 비트만 '0'으로 변환하여 상기 메모리에 저장하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 9

제 8 항에 있어서,

N+2 번째 프레임기간에 입력되는 데이터와 상기 메모리로부터 읽어 들인 상기 데이터의 차이가 2 계조 미만이면 상기 N+2 번째 프레임기간에 입력되는 데이터를 그대로 상기 타이밍 콘트롤러에 공급하는 단계; 및

상기 N+2 번째 프레임기간에 입력되는 데이터에서 최하위 비트만 '0'으로 변환하여 상기 메모리에 저장하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 10

제 6 항에 있어서,

상기 메모리에 저장될 상기 데이터를 압축하여 압축 데이터를 발생하고 상기 데이터 각각의 과구동 변조 여부를 지시하는 과구동 변조 정보를 발생하는 단계; 및

상기 압축 데이터를 복원하고 복원 데이터 각각에 상기 과구동 변조 정보를 부가하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

명 세 서

발명의 상세한 설명

기술 분야

<1> 본 발명은 액정표시장치와 그 구동방법에 관한 것이다.

배경 기술

<2> 평판표시장치에는 액정표시장치(Liquid Crystal Display : LCD), 전계 방출 표시소자(Field Emission Display : FED), 플라즈마 디스플레이 패널(Plasma Display Panel : PDP) 및 유기발광다이오드 표시장치(Organic Light Emitting Diode : OLED) 등이 있다.

<3> 액정표시장치는 전자제품의 경박단소 추세를 만족할 수 있고 양산성이 향상되고 있어 많은 응용분야에서 음극선관을 빠른 속도로 대체하고 있다. 박막트랜지스터(Thin Film Transistor : 이하, "TFT"라 한다)를 이용하여 액정셀을 구동하는 액티브 매트릭스 타입의 액정표시장치는 화질이 우수하고 소비전력이 낮은 장점이 있으며, 최근의 양산기술 확보와 연구개발의 성과로 대형화와 고해상도화로 급속히 발전하고 있으며 텔레비전(Television 이하, "TV"라 함)과 모니터(monitor)에서 음극선관(Cathod ray tube)을 빠르게 대체하고 있다. 그런데 액정표시장치는 수학적 1 및 2와 같이 액정의 고유한 점성과 탄성 등의 특성에 의해 응답속도가 느린 단점이 있다.

수학적 1

$$\tau_r \propto \frac{\gamma d^2}{\Delta \epsilon |V_a^2 - V_F^2|}$$

<4>

<5> 여기서, τ_r 는 액정에 전압이 인가될 때의 라이징 타임(rising time)을, V_a 는 인가전압을, V_F 는 액정분자가 경사운동을 시작하는 프리드릭 천이 전압(Freederick Transition Voltage)을, d 는 액정셀의 셀갭(cell gap)을, γ (gamma)는 액정분자의 회전점도(rotational viscosity)를 각각 의미한다.

수학적 2

$$\tau_f \propto \frac{\gamma d^2}{K}$$

<6>

<7> 여기서, τ_f 는 액정에 인가된 전압이 오프된 후 액정이 원위치로 복원되는 폴링타임(falling time)을, K 는 액정고유의 탄성계수를 각각 의미한다.

<8> 액정표시장치에 가장 일반적으로 사용되어 왔던 액정 모드인 TN 모드(Twisted Nematic mode)의 액정 응답속도는 액정 재료의 물성과 셀갭 등에 의해 달라질 수 있지만 통상, 라이징 타임이 20-80ms이고 폴링 타임이 20-30ms이다. 이러한 액정의 응답속도는 한 프레임기간(NTSC : 16.67ms)보다 길다. 이 때문에 도 1과 같이 액정셀에 충전되는 전압이 원하는 전압에 도달하기 전에 다음 프레임으로 진행되므로 동영상에서 모션 블러(Motion Blurr) 현상이 나타난다.

<9> 도 1을 참조하면, 액정의 느린 응답속도로 인하여 한 레벨에서 다른 레벨로 데이터(VD)가 변할 때 그에 대응하는 표시 휘도(BL)가 원하는 휘도에 도달하지 못하게 되어 원하는 색과 휘도를 표현하지 못하게 된다. 그 결과, 액정표시장치는 동영상에서 모션 블러가 나타나므로 화질이 떨어진다.

<10> 이러한 액정표시소자의 느린 응답속도를 해결하기 위하여, 미국특허 제5,495,265호와 PCT 국제공개번호 WO 99/05567에는 룩업 테이블(Look-up table)을 이용하여 데이터의 변화여부에 따라 데이터를 변조하는 과구동 방법(Over driving control, ODC)이 제안된 바 있다. 과구동 방법은 도 2와 같은 원리로 데이터를 변조한다.

<11> 도 2를 참조하면, 과구동 방법은 입력 데이터 전압(VD)을 미리 설정된 변조 데이터의 전압(MVD)으로 변조하고 그 변조 데이터의 전압(MVD)을 액정셀에 인가하여 원하는 휘도(MBL)를 얻게 된다. 과구동 방법은 한 프레임기간 내에 원하는 휘도(MBL)를 얻을 수 있도록 데이터의 변화여부에 기초하여 수학적 1에서 $|V_a^2 - V_F^2|$ 을 크게 하게 된다. 따라서, 과구동 방법으로 구동되는 액정표시장치는 액정의 늦은 응답속도를 데이터값의 변조로 보상하여 동영상에서 모션 블러를 줄일 수 있다.

- <12> 이러한 과구동 방법은 이전 프레임과 현재 프레임 사이에서 데이터를 비교하고 그 데이터들 사이에 변화가 있으면, 미리 설정된 변조 데이터로 현재 프레임의 데이터를 변조한다.
- <13> 도 3은 과구동 회로를 개략적으로 나타낸 블록도이다.
- <14> 도 3을 참조하면, 과구동 회로는 데이터 입력버스(32)로부터의 데이터를 저장하기 위한 제1 및 제2 프레임 메모리(33a, 33b)와, 데이터를 변조하기 위한 룩업 테이블(34)을 구비한다.
- <15> 제1 및 제2 프레임 메모리(33a, 33b)는 픽셀 클럭에 맞추어 데이터를 프레임 단위로 교대로 저장하고 저장된 데이터를 교대로 출력하여 룩업 테이블(34)에 이전 프레임 데이터 즉, n-1 번째 프레임 데이터(Fn-1)를 공급한다.
- <16> 룩업 테이블(34)은 아래의 표 1과 같이 미리 설정된 변조 데이터(MRGB)를 n 번째 프레임 데이터(Fn)와 제1 및 제2 프레임 메모리(33a, 33b)로부터의 n-1 번째 프레임 데이터(Fn)를 어드레스로 하여 변조값을 선택함으로써 데이터를 변조한다. 이 룩업 테이블(34)은 읽기 전용 메모리(Read Only Memory, ROM)와 메모리 제어회로를 포함한다.

표 1

구분	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	2	3	4	5	6	7	9	10	12	13	14	15	15	15	15
1	0	1	3	4	5	6	7	8	10	12	13	14	15	15	15	15
2	0	0	2	4	5	6	7	8	10	12	13	14	15	15	15	15
3	0	0	1	3	5	6	7	8	10	11	13	14	15	15	15	15
4	0	0	1	3	4	6	7	8	9	11	12	13	14	15	15	15
5	0	0	1	2	3	5	7	8	9	11	12	13	14	15	15	15
6	0	0	1	2	3	4	6	8	9	10	12	13	14	15	15	15
7	0	0	1	2	3	4	5	7	9	10	11	13	14	15	15	15
8	0	0	1	2	3	4	5	6	8	10	11	12	14	15	15	15
9	0	0	1	2	3	4	5	6	7	9	11	12	13	14	15	15
10	0	0	1	2	3	4	5	6	7	8	10	12	13	14	15	15
11	0	0	1	2	3	4	5	6	7	8	9	11	13	14	15	15
12	0	0	1	2	3	4	5	6	7	8	9	10	12	14	15	15
13	0	0	1	2	3	3	4	5	6	7	8	10	11	13	15	15
14	0	0	1	2	3	3	4	5	6	7	8	9	11	12	14	15
15	0	0	0	1	2	3	3	4	5	6	7	8	9	11	13	15

- <18> 표 1에 있어서, 최좌측열은 이전 프레임(Fn-1)의 데이터이며, 최상측행은 현재 프레임(Fn)의 데이터이다.
- <19> n 번째 프레임 기간 동안, 실선으로 나타낸 바와 같이 동일한 픽셀 클럭에 맞추어 n 번째 프레임 데이터(Fn)는 제1 프레임 메모리(33a)에 저장됨과 동시에 룩업 테이블(34)에 공급된다. 이와 동시에 n 번째 프레임 기간 동안 제2 프레임 메모리(33b)는 n-1 번째 프레임 데이터(Fn-1)를 룩업 테이블(34)에 공급한다.
- <20> n+1 번째 프레임 기간 동안, 점선으로 나타낸 바와 같이 동일한 픽셀 클럭에 맞추어 현재의 n+1 번째 프레임 데이터(Fn+1)는 제2 프레임 메모리(33b)에 저장됨과 동시에 룩업 테이블(34)에 공급된다. 이와 동시에 n+1 번째 프레임 기간 동안 제1 프레임 메모리(33a)는 n 번째 프레임 데이터(Fn)를 룩업 테이블(34)에 공급한다.
- <21> 그런데 과구동 방법에서 과구동 비율(Over/Under shoot ratio)을 높이면 액정의 동화상 응답시간(Motion Picture Response time)의 개선효과가 더 좋아지지만 액정 충전 전압에서 모션 블러로 인하여 화질이 떨어질 수 있다.

발명의 내용

해결 하고자하는 과제

<22> 따라서, 본 발명의 목적은 상기 종래 기술의 문제점들을 해결하고자 안출된 발명으로써 메모리 추가없이 동화상 응답시간 개선 효과를 높이도록 한 액정표시장치와 그 구동방법을 제공하는데 있다.

과제 해결수단

<23> 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 액정표시장치는 다수의 데이터라인들, 상기 데이터라인들과 교차되는 다수의 게이트라인들, 및 다수의 액정셀들을 가지는 액정표시패널; 상기 데이터라인들에 데이터 전압을 공급하는 데이터 구동회로; 상기 게이트라인들에 게이트펄스를 공급하는 게이트 구동회로; 상기 데이터 구동회로에 데이터를 공급하고 상기 데이터 구동회로와 상기 게이트 구동회로를 제어하는 타이밍 컨트롤러; 및 $N(N$ 은 양의 정수) 번째 프레임기간에 입력되는 입력 데이터와 메모리로부터 읽어 들인 $N-1$ 번째 프레임 데이터의 차이가 2 계조 이상이면 20% 내지 80% 사이의 과구동 비율로 상기 데이터를 변조하여 변조된 데이터를 상기 타이밍 컨트롤러에 공급하는 반면, 상기 차이가 2 계조 미만이면 상기 입력 데이터를 상기 타이밍 컨트롤러에 공급하고, 상기 메모리에 저장되는 데이터의 최하위 비트를 상기 데이터의 변조 여부에 따라 다르게 변환하는 과구동 컨트롤러를 구비한다.

<24> 본 발명의 실시예에 따른 액정표시장치의 구동방법은 N 번째 프레임기간에 입력되는 입력 데이터와 메모리로부터 읽어 들인 $N-1$ 번째 프레임 데이터의 차이가 2 계조 이상이면 20% 내지 80% 사이의 과구동 비율로 상기 데이터를 변조하여 변조된 데이터를 상기 타이밍 컨트롤러에 공급하는 단계; 상기 차이가 2 계조 미만이면 상기 입력 데이터를 상기 타이밍 컨트롤러에 공급하는 단계; 및 상기 메모리에 저장되는 데이터의 최하위 비트를 상기 데이터의 변조 여부에 따라 다르게 변환하는 단계를 포함한다.

효과

<25> 본 발명의 실시예에 따른 액정표시장치와 그 구동방법은 메모리에 저장되는 데이터의 특정 비트를 변조 여부를 지시하는 식별 비트로 이용함으로써 메모리 추가없이 2 프레임 과구동 변조 연산을 실시하고, 20% 이상의 과구동 비율로 데이터를 변조함으로써 동화상 응답시간 개선 효과를 높일 수 있다.

발명의 실시를 위한 구체적인 내용

<26> 표 2는 과구동 비율이 10%일 때 액정의 동화상 응답시간을 측정한 실험 결과이다. 표 3은 데이터의 변조폭을 크게 하여 과구동 비율을 50%로 높였을 때 액정의 동화상 응답시간의 개선효과를 측정한 실험 결과이다. 과구동 비율(%)이란 A 휘도에서 B 휘도(목표 휘도)로 변할 때 빠른 시간내에 B 휘도로 도달하기 위하여 B 휘도보다 높은 휘도의 변조 전압으로 데이터를 변조할 때 B 휘도와 변조전압의 휘도 비율로 정의된다. 예를 들면 A 휘도를 '0'이라 하고 B 휘도를 '100'이라 하면 과구동 비율을 50%의 과구동 방법은 B 휘도의 전압을 '150'의 휘도 전압으로 변조한다. 이 실험은 액정셀에 초기전압(ini.)을 인가한 후에 최종전압(Fini.)을 인가하였을 때 그 액정셀에서 목표 휘도에 도달하는데까지 소요되는 시간을 측정하였다.

표 2

< Over / Under Shoot 10%에서의 MPRT Data >							
BET	(msec)						
	Ini: 0	Ini: 1	Ini: 2	Ini: 3	Ini: 4	Ini: 5	Ini: 6
Fin: 0	-	-	9.0	8.9	9.0	9.1	9.4
Fin: 1	-	-	7.0	7.6	7.6	8.2	9.0
Fin: 2	7.6	7.4	-	7.6	7.6	7.0	8.2
Fin: 3	7.6	7.9	7.6	-	7.7	7.5	7.6
Fin: 4	7.6	7.7	7.7	7.7	-	7.6	7.7
Fin: 5	7.6	7.7	7.7	7.6	7.6	-	7.8
Fin: 6	8.9	8.9	8.8	8.8	8.6	8.6	-
average	8.0						

<27>

표 3

< Over / Under Shoot 50%에서의 MPAT Data >							
BET	(msec)						
	Ini: 0	Ini: 1	Ini: 2	Ini: 3	Ini: 4	Ini: 5	Ini: 6
Fin: 0	-	-	9.0	9.0	9.0	9.1	9.4
Fin: 1	-	-	6.0	6.9	7.6	8.2	9.1
Fin: 2	6.1	6.2	-	5.9	6.2	6.8	8.1
Fin: 3	6.0	6.1	6.0	-	6.0	6.0	7.2
Fin: 4	6.0	6.0	6.1	6.0	-	6.1	6.2
Fin: 5	5.9	6.0	5.9	5.9	6.0	-	6.2
Fin: 6	8.9	8.9	8.6	8.6	8.6	8.3	-
average	7.1						

<28>

<29>

실험 결과에서 알 수 있듯이, 과구동 비율을 50%로 높이면 액정의 응답시간이 더 짧아지지만 현재 프레임 데이터만을 변조하는 1 프레임 과구동 방법에서 과구동 비율을 50%로 높이면 모션 블러가 관찰되었다. 도 4와 같이 밝은 계조(G150)의 배경 화면에서 어두운 계조, 중간 계조 그리고 밝은 계조를 포함하는 블록을 우측으로 이동하면 액정셀에 인가되는 전압이 중간 계조값 'G60'의 전압으로부터 그 보다 높은 계조값 'G200'의 전압으로 변한다. 이러한 동화상에 대하여 과구동 비율을 50%로 높인 1 프레임 과구동 방법을 적용하면 도 5와 같이 화상의 경계에서(원안) 모션 블러가 관찰되었다.

<30>

한편, 2 프레임 과구동 방법은 과구동 비율을 50%로 높여 동화상 응답시간의 개선효과를 높이면서도 동화상에서 모션 블러가 거의 나타나지 않는다. 여기서, 2 프레임 과구동 방법이란 이전 프레임 데이터와 현재 프레임 데이터를 비교하여 그 비교 결과에 따라 현재 프레임 데이터를 변조한 후에, 그 다음 프레임에서 변조된 이전 프레임 데이터와 현재 입력되는 프레임 데이터를 변조하여 현재 입력되는 프레임 데이터를 변조한다.

<31>

도 6과 같이 밝은 계조(G150)의 배경 화면에서 어두운 계조(G60)의 블록을 우측으로 이동하면 액정셀에 인가되는 전압이 어두운 계조값 '60'의 전압으로부터 그 보다 높은 계조값 '150'의 전압으로 변한다. 이러한 동화상이 입력될 때 2 프레임 과구동 방법은 이전 프레임 데이터의 계조값 'G60'과 현재 프레임 데이터의 계조값 'G150'을 비교하여 현재 프레임 데이터를 계조값 'G150'보다 과구동 비율 50%만큼 높은 계조값으로 변조한 후에, 변조된 데이터의 계조와 다음 프레임에서 입력되는 계조값 'G150'을 비교하여 계조값 'G150'보다 과구동 비율 50%만큼 낮은 계조값으로 변조한다. 그 결과, 도 7과 같이 2 프레임 과구동 방법은 과구동 비율 50%로 데이터를 변조하더라도 모션 블러가 보이지 않는다.

<32>

2 프레임 과구동 방법을 구현하기 위해서는 이전 프레임 데이터와 현재 프레임 데이터의 비교를 위하여 이전 데이터를 저장하는 메모리뿐만 아니라, 변조된 이전 프레임 데이터와 현재 프레임 데이터를 비교하기 위하여 변조된 이전 프레임 데이터를 저장하는 메모리가 필요하다. 본 발명은 메모리 추가 없이 과구동 비율을 높일 수 있는 2 프레임 과구동 방법을 제공한다. 이하, 도 8 내지 도 16을 결부하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

<33>

이하의 실시예에서는 과구동 비율이 50%인 과구동 방법을 중심으로 설명하지만 본 발명의 과구동 비율은 50%에 한정되는 것이 아니라 20% 내지 80% 내에서 과구동 비율을 적절히 선택할 수 있다.

<34>

도 8을 참조하면, 본 발명의 실시예에 따른 액정표시장치는 액정표시패널(10), 다수의 게이트 드라이브 IC들(Integrated circuits)(151 내지 153), 다수의 소스 드라이브 IC들(131 내지 136), 시스템 보드(SB), 인터페이스 보드(INTB) 및 컨트롤 보드(CTRB)를 구비한다.

<35>

액정표시패널(10)은 두 장의 유리기관 사이에 액정층이 형성된다. 이 액정표시패널(10)의 액정셀들은 데이터라인들(14)과 게이트라인들(16)의 교차 구조에 의해 매트릭스 형태로 배치된다.

<36>

액정표시패널(10)의 하부 유리기관에는 데이터라인들(14), 게이트라인들(16), TFT들, TFT에 접속되어 화소전극들(1)과 공통전극(2) 사이의 전계에 의해 구동되는 액정셀들(C1c), 및 스토리지 커패시터(Cst) 등이 형성된다.

<37>

액정표시패널(10)의 상부 유리기관 상에는 블랙매트릭스, 컬러필터 및 공통전극(2)이 형성된다.

- <38> 공통전극(2)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서 상부 유리기관 상에 형성되며, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서 화소전극(1)과 함께 하부 유리기관 상에 형성된다. 액정표시패널(10)의 상부 유리기관과 하부 유리기관 상에는 광축이 직교하는 편광판이 부착되고 액정과 접하는 계면에 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.
- <39> 본 발명에서 적용 가능한 액정표시패널의 액정모드는 전술한 TN 모드, VA 모드, IPS 모드, FFS 모드뿐 아니라 어떠한 액정모드로도 구현될 수 있다. 또한, 본 발명의 액정표시장치는 투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치 등 어떠한 형태로도 구현될 수 있다. 투과형 액정표시장치와 반투과형 액정표시장치에서는 도면에서 생략된 백라이트 유닛이 필요하다.
- <40> 소스 드라이브 IC들(131 내지 136)은 콘트롤 보드(CTRB)로부터 mini LVDS 방식으로 전송되는 디지털 비디오 데이터들을 수신하고 그 데이터들을 콘트롤 보드(CTRB)로부터의 데이터 타이밍 제어신호에 응답하여 아날로그 데이터전압으로 변환한 후에 액정표시패널(10)의 데이터라인들(14)에 공급한다.
- <41> 게이트 드라이브 IC들(151 내지 153) 각각은 콘트롤 보드(CTRB)로부터의 게이트 타이밍 제어신호에 응답하여 게이트펄스(또는 스캔펄스)를 발생하고, 그 게이트펄스를 게이트라인들(16)에 순차적으로 공급한다.
- <42> 시스템 보드(SB)는 디지털 비디오 데이터의 해상도를 액정표시패널(10)의 해상도에 맞게 변환하여 그 디지털 비디오 데이터들과 함께 타이밍 신호들을 인터페이스 보드(INTB)에 전송한다. 타이밍 신호들은 수직 및 수평 동기신호들(Vsync, Hsync), 데이터 인에이블신호(DE) 및 도트클럭(DCLK) 등을 포함한다.
- <43> 인터페이스 보드(INTB)는 시스템 보드(SB)로부터 입력되는 디지털 비디오 데이터와 타이밍신호들을 LVDS(Low-Voltage Differential Signaling) 인터페이스 방식으로 콘트롤 보드(CTRB)에 전달한다.
- <44> 콘트롤 보드(CTRB)는 타이밍신호들을 이용하여 소스 드라이브 IC들(131 내지 136)의 동작 타이밍을 제어하기 위한 소스 타이밍 제어신호와, 게이트 드라이브 IC들(151 내지 153)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호를 발생한다. 또한, 콘트롤 보드(CTRB)는 2 프레임 과구동 방식으로 디지털 비디오 데이터를 변조하고 그 데이터들을 소스 드라이브 IC들(131 내지 136)에 전송한다.
- <45> 도 9는 콘트롤 보드(CTRB)를 상세히 나타낸다.
- <46> 도 9를 참조하면, 콘트롤 보드(CTRB)는 타이밍 콘트롤러(TCON), 메모리 콘트롤러(MEMCON), 버스 스위치(BUS S/W), 메모리(MEM#1, MEM#2), 및 과구동 콘트롤러(ODCCON)를 구비한다.
- <47> 타이밍 콘트롤러(TCON)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 도트클럭(DCLK) 등의 타이밍신호들을 카운트하여 소스 타이밍 제어신호와 게이트 타이밍 제어신호를 발생한다. 그리고 타이밍 콘트롤러(TCON)는 과구동 콘트롤러(ODCCON)로부터 입력되는 변조 데이터들(MRGB Data)을 기수 픽셀 데이터들(R1G1B1 Data)과 우수 픽셀 데이터들(R2G2B2 Data)로 분리하여 소스 드라이브 IC들에 전송한다.
- <48> 메모리 콘트롤러(MEMCON)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 도트클럭(DCLK) 등의 타이밍신호에 동기되는 메모리 콘트롤 어드레스신호(Memory Control/Address)를 발생하여 버스 스위치(BUS S/W)에 전송한다.
- <49> 버스 스위치(BUS S/W)는 입력 디지털 비디오 데이터(Input RGB Data)와 함께 수직 및 수평 동기신호(Vsync, Hsync), 메모리 콘트롤 어드레스신호(Memory Control/Address)를 입력받는다. 버스 스위치(BUS S/W)는 메모리 콘트롤 어드레스신호(Memory Control/Address)를 메모리(MEM#1, MEM#2)에 공급하고 또한, 수직 및 수평 동기신호(Vsync, Hsync)에 동기하여 입력 디지털 비디오 데이터(Input RGB Data)를 메모리(MEM#1, MEM#2)에 공급한다. 그리고 버스 스위치(BUS S/W)는 메모리(MEM#1, MEM#2)로부터 입력되는 데이터(RGB Data)를 과구동 콘트롤러(ODCCON)에 전송한다.
- <50> 과구동 콘트롤러(ODCCON)는 입력 데이터라인, 버스 스위치(BUS S/W), 및 타이밍 콘트롤러(TCON)에 접속된다. 과구동 콘트롤러(ODCCON)는 각 계조별로 변조 데이터들이 등재된 룩업 테이블을 포함한다. 이 과구동 콘트롤러(ODCCON)는 입력 데이터라인으로부터 입력되는 현재 프레임 데이터(Input RGB Data)와, 버스 스위치(BUS S/W)로부터 메모리(MEM#1, MEM#2)에 저장되었던 이전 프레임 데이터(RGB Data)를 룩업 테이블의 리드 어드레스(Read address)로 입력받고 리드 어드레스에 따라 룩업 테이블에 등재된 변조 데이터(MRGB Data)를 선택하여 타이밍 콘트롤러(TCON)에 공급한다. 과구동 콘트롤러(ODCCON)에 의해 발생하는 데이터들(MRGB Data)은 아래의 수학적

3 내지 5 즉, 과구동 조건을 만족한다.

수학식 3

<51> $F_n(\text{RGB}) < F_{n-1}(\text{RGB}) \rightarrow F_n(\text{MRGB}) < F_n(\text{RGB})$

수학식 4

<52> $F_n(\text{RGB}) \simeq F_{n-1}(\text{RGB}) \rightarrow F_n(\text{MRGB}) = F_n(\text{RGB})$

수학식 5

<53> $F_n(\text{RGB}) > F_{n-1}(\text{RGB}) \rightarrow F_n(\text{MRGB}) > F_n(\text{RGB})$

<54> 수학식 3 내지 5에서, $F_n(\text{RGB})$ 는 입력 데이터라인으로부터 입력되는 현재 프레임(F_n)의 디지털 비디오 데이터(Input RGB Data)이고, $F_{n-1}(\text{RGB})$ 는 버스 스위치(BUS S/W)를 경유하여 입력되는 이전 프레임(F_{n-1})의 디지털 비디오 데이터(Input RGB Data)이다. 버스 스위치(BUS S/W)를 경유하여 메모리(MEM#1, MEM#2)로부터 읽어들이는 이전 프레임(F_{n-1})의 디지털 비디오 데이터(Input RGB Data)는 그 이전 프레임(F_{n-2})과의 비교 결과에 따라 1차 변조된 데이터이거나 변조되지 않은 미변조 데이터일 수도 있다. 메모리(MEM#1, MEM#2)로부터 읽어들이는 이전 프레임(F_{n-1})의 디지털 비디오 데이터(Input RGB Data)에서 최하위 1 비트는 그 값에 따라 1차 변조여부를 지시한다. $F_n(\text{MRGB})$ 는 과구동 콘트롤러(ODCCON)에 의해 변조되어 타이밍 콘트롤러(TCON)에 입력되는 디지털 비디오 데이터들이다.

<55> 동일한 픽셀에서 그 픽셀 데이터 값이 이전 프레임(F_{n-1})보다 현재 프레임(F_n)에서 2 계조 이상 더 커지면, 과구동 콘트롤러(ODCCON)에 의해 변조된 데이터(MRGB Data)는 현재 프레임(F_n)보다 50%의 과구동 비율만큼 더 큰 값으로 변조된다. 그리고 이전 프레임(F_{n-1})보다 현재 프레임(F_n)에서 2 계조 이상 더 작아지면, 과구동 콘트롤러(ODCCON)에 의해 변조된 데이터(MRGB Data)는 현재 프레임(F_n)보다 50%의 과구동 비율만큼 더 작은 값으로 변조된다. 동일한 픽셀에서 그 픽셀 데이터 값이 이전 프레임(F_{n-1})과 현재 프레임(F_n)에서 2 계조 미만의 차이 즉, 동일하거나 최하위 비트만 다르다면, 과구동 콘트롤러(ODCCON)에 의해 변조된 데이터(MRGB Data)는 현재 프레임(F_n)의 데이터에서 최하위 1 비트값이 '0'으로 치환된 데이터이다.

<56> 본 발명의 실시예에 따른 2 프레임 과구동방법을 단계적으로 설명하면 다음과 같다.

<57> 과구동 콘트롤러(ODCCON)는 도 10과 같이 입력 디지털 비디오 데이터(Input RGB Data)와 메모리(MEM#1, MEM#2)로부터 읽어 들인 이전 프레임 데이터를 비교하여 과구동 적용여부를 판단한다.

<58> N (N 은 양의 정수) 번째 프레임기간에 입력된 디지털 비디오 데이터(Input RGB Data)와, 이전 프레임($N-1$ 번째 프레임)에 입력되어 메모리(MEM#1, MEM#2)에 저장되었던 데이터의 차이가 2 계조보다 작을 경우에, 과구동 콘트롤러(ODCCON)는 도 11과 같이 현재 입력되는 디지털 비디오 데이터(Input RGB Data)에서 최하위 비트를 '0'으로 변조하여 그 데이터{Modified(1) RGB Data}를 메모리(MEM#1, MEM#2)에 저장하고, 타이밍 콘트롤러(TCON)에 입력 디지털 비디오 데이터(Input RGB Data)를 그대로 공급한다. 물론, 최하위 1 비트의 비트값이 '0'인 입력 디지털 비디오 데이터(Input RGB Data)는 최하위 비트값의 변환없이 그대로 메모리(MEM#1, MEM#2)에 저장된다.

<59> 예를 들면, N 번째 프레임에 입력되는 디지털 비디오 데이터(Input RGB Data)의 계조가 "101(01100101₂)"이고 메모리(MEM#1, MEM#2)로부터 읽어 들인 이전 데이터의 계조가 입력 디지털 비디오 데이터(Input RGB Data)와 2 계조 미만의 차이를 갖는다면, 과구동 콘트롤러(ODCCON)는 입력 디지털 비디오 데이터(Input RGB Data)의 최하위 비트를 '0'으로 치환하여 "100(01100100₂)"을 메모리(MEM#1, MEM#2)에 저장될 데이터{Modified(1) RGB Data}로 발생한다. 그리고 과구동 콘트롤러(ODCCON)는 "101(01100101₂)"인 입력 디지털 비디오 데이터(Input RGB Data)를 그대로 타이밍 콘트롤러(TCON)에 공급한다. 한편, 과구동 콘트롤러(ODCCON)는 다음 프레임 즉, 버스 스위치(BUS S/W)에서 메모리(MEM#1, MEM#2)로부터 입력되는 데이터{Modified(1) RGB Data}의 최하위 비트를 읽어 그 최하위 비트가 '0'이면 그 데이터를 이전 프레임에서 변조되지 않은 데이터로 판단한다.

<60> N 번째 프레임기간에서 입력되는 디지털 비디오 데이터(Input RGB Data)와 메모리(MEM#1, MEM#2)로부터 읽어들이는 이전 프레임 데이터($N-1$ 번째 프레임 데이터)의 차이가 2 계조 이상이면, 과구동 콘트롤러(ODCCON)는 도 12와 같이 수학식 3 및 5를 만족하면서 현재 입력되는 데이터(Input RGB Data)보다 50%의 과구동 비율만큼 변조된 변조 데이터(ODC RGB Data)를 룩업 테이블에서 선택하여 타이밍 콘트롤러(TCON)에 공급한다. 그리고 과구동 콘

트roller(ODCCON)는 그 변조 데이터(ODC RGB Data)의 최하위 1 비트의 비트값을 '1'로 변환하여 1차 변조 데이터{Modified(2) RGB Data}를 발생하고 그 데이터{Modified(2) RGB Data}를 메모리(MEM#1, MEM#2)에 전송한다. 물론, 최하위 1 비트의 비트값이 '1'인 변조 데이터(ODC RGB Data)는 그대로 메모리(MEM#1, MEM#2)에 전송된다. 이렇게 메모리(MEM#1, MEM#2)에 저장되는 데이터{Modified(2) RGB Data}의 최하위 1 비트가 '1'이면, 그 데이터{Modified(2) RGB Data}가 과구동 콘트roller(ODCCON)에 로드되는 다음 프레임에서 과구동 콘트roller(ODCCON)는 그 데이터{Modified(2) RGB Data}를 1차 변조된 데이터로 판단한다.

<61> 예를 들면, N 번째 프레임에 입력되는 디지털 비디오 데이터(Input RGB Data)의 계조가 "100(01100100₂)"이고 메모리(MEM#1, MEM#2)로부터 읽어 들인 이전 데이터의 계조가 "30(00011110₂)"이면, 과구동 콘트roller(ODCCON)는 입력 디지털 비디오 데이터(Input RGB Data)보다 50%의 과구동 비율만큼 변조된 데이터(ODC RGB Data)를 "176(10110000₂)"으로 발생하고 그 데이터(ODC RGB Data)를 타이밍 콘트roller(TCON)에 공급한다. 그리고 과구동 콘트roller(ODCCON)는 1차 변조를 하였다는 것을 지시하기 위하여 그 변조 데이터(ODC RGB Data)의 최하위 1 비트값을 '1'로 변환하여 "177(10110001₂)"의 데이터{Modified(2) RGB Data}를 발생하고 그 데이터{Modified(2) RGB Data}를 메모리(MEM#1, MEM#2)에 전송한다.

<62> N+1 프레임기간에 입력되는 디지털 비디오 데이터(Input RGB Data)와 메모리(MEM#1, MEM#2)로부터 읽어 들인 이전 프레임의 1차 변조 데이터{Modified(2) RGB Data}의 차이가 2 계조 이상이면, 과구동 콘트roller(ODCCON)는 도 13과 같이 수학적 3 및 5를 만족하면서 현재 입력되는 데이터(Input RGB Data)보다 50%의 과구동 비율만큼 변조된 변조 데이터(ODC RGB Data)를 룩업 테이블에서 선택하여 타이밍 콘트roller(TCON)에 공급한다. 그리고 과구동 콘트roller(ODCCON)는 1차 변조 데이터{Modified(2) RGB Data}의 최하위 1 비트를 읽어 그 최하위 1 비트의 비트값이 '1'이면 입력 디지털 비디오 데이터(Input RGB Data)를 메모리(MEM#1, MEM#2)에 저장하되, 그 데이터(Input RGB Data)의 최하위 1 비트의 비트값을 '0'으로 변환한다. 이는 과구동 콘트roller(ODCCON)로 하여금 다음 프레임에서 메모리(MEM#1, MEM#2)로부터 읽어 들인 데이터를 미변조 데이터로 판단할 수 있도록 하기 위함이다.

<63> 예를 들면, N+1 번째 프레임에 입력되는 디지털 비디오 데이터(Input RGB Data)의 계조가 "100(01100100₂)"이고 메모리(MEM#1, MEM#2)로부터 읽어 들인 N 번째 프레임 데이터의 계조가 "177(10110001₂)"이면, 과구동 콘트roller(ODCCON)는 입력 디지털 비디오 데이터(Input RGB Data)보다 50%의 과구동 비율만큼 변조되고 수학적 3은 만족하는 데이터(ODC RGB Data)를 "80(01010000₂)"으로 발생하고 그 데이터(ODC RGB Data)를 타이밍 콘트roller(TCON)에 공급한다. 그리고 과구동 콘트roller(ODCCON)는 입력 디지털 비디오 데이터(Input RGB Data)의 최하위 1 비트가 '0'이기 때문에 그 데이터(Input RGB Data)를 그대로 메모리(MEM#1, MEM#2)에 전송한다.

<64> 과구동 콘트roller(ODCCON)는 전술한 바와 같이 2 프레임기간 동안 과구동 변조 연산이 실시되었기 때문에 다음 프레임에서 입력 디지털 비디오 데이터(Input RGB Data)와 메모리(MEM#1, MEM#2)로부터 읽어 들인 데이터의 차이가 2 계조 이상이 아니면 과구동 변조를 하지 않는다.

<65> 그런데, 전술한 실시예에서 설명된 2 프레임 과구동 방법에는 메모리에 저장되는 디지털 비디오 데이터의 최하위 1 비트가 과구동 변조여부를 지시하므로 기존의 압축기술을 적용하면 메모리(MEM#1, MEM#2)에 저장된 데이터의 1차 변조여부를 알수 없게 된다. 이는 기존 데이터 압축기술은 데이터 복원에 필요한 압축 관련 정보만을 발생하기 때문이다. 이하에서, 본 발명의 실시예에 따른 2 프레임 과구동 방법에 적합한 데이터 압축/복원 방법 및 장치를 설명하기로 한다.

<66> 도 14는 본 발명의 실시예에 따른 데이터 압축/복원 장치를 나타낸다.

<67> 도 14를 참조하면, 본 발명의 데이터 압축/복원 장치는 과구동 콘트roller(ODCCON)와 메모리(MEM#1, MEM#2) 사이에 접속된 메모리부(140), 데이터 압축부(141) 및 데이터 정렬부(142)를 구비한다. 또한, 본 발명의 데이터 압축/복원 장치는 메모리(MEM#1, MEM#2)와 타이밍 콘트roller(TCON) 사이에 접속된 데이터 복원부(143)를 구비한다.

<68> 메모리부(140)는 과구동 콘트roller(ODCCON)로부터의 데이터를 입력받아 i(i는 양의 정수) 개의 라인만큼 데이터를 저장하고 i×j(j는 양의 정수) 픽셀 비트맵 블록들을 데이터 압축부(141)에 공급한다. 데이터 압축부(140)는 압축 알고리즘에 따라 라인 메모리(140)로부터의 데이터를 압축하여 과구동 변조 정보를 포함한 압축 데이터를 생성하고, 그 압축 데이터를 데이터 정렬부(142)에 공급한다. 데이터 압축부(140)의 압축 알고리즘으로는 BTC(Block Truncation Coding) 알고리즘, 벡터 양자화(Vector Quantizer) 알고리즘 등이 적용 가능하나 이에

한정되지 않고 픽셀 데이터를 압축하는 어떠한 알고리즘도 적용될 수 있다.

<69> 데이터 정렬부(142)는 데이터 압축부(41)로부터의 데이터를 메모리 클럭과 메모리(MEM#1, MEM#2)의 입력 채널 수에 맞추어 압축 데이터를 저장한다. 데이터 복원부(143)는 메모리(MEM#1, MEM#2)로부터 읽어 들인 압축 데이터를 압축 알고리즘에 대응하는 복원 알고리즘으로 복원한다.

<70> 본 발명의 데이터 압축/복원 장치는 BTC 알고리즘을 적용할 때 도 15와 같이 4×2 픽셀 데이터 블록을 BTC 압축 알고리즘으로 압축한다. 이 경우, 메모리부(140)는 2 개 라인들을 저장하기 위한 2 개의 라인 메모리를 포함한다.

<71> 도 16을 참조하면, 데이터 압축부(141)는 과구동 변조 정보 인코딩부(161), 평균값 산출부(162), 분산값 산출부(163), 압축 데이터 인코딩 및 데이터 정렬부(142)를 구비한다.

<72> 과구동 변조 정보 인코딩부(161)는 도 15와 같은 4×2 픽셀 비트맵 블록 각각에 과구동 여부를 식별하기 위한 1 bit 정보를 인코딩하여 각 블록 당 24 bits 의 과구동 변조 정보를 발생한다.

<73> 평균값 산출부(162)는 아래의 수학적 식 6과 같이 4×2 픽셀 비트맵 블록의 평균값($\bar{x}$)을 계산한다.

수학적 식 6

$$\bar{x} = \frac{1}{n} \sum_{i=1}^n x_i$$

<74>

<75> 여기서, n은 픽셀 비트맵 블록에 포함된 픽셀값의 개수로써 예컨대, 도 15의 픽셀 비트맵 블록의 예에서는 8이다. x_i 는 픽셀 비트맵 블록에 포함된 i 번째 픽셀값들 각각을 나타낸다.

<76> 분산값 산출부(163)는 아래의 수학적 식 7과 같이 4×2 픽셀 비트맵 블록의 분산값(σ)을 계산한다.

수학적 식 7

$$\sigma = \sqrt{\frac{1}{n} \sum_{i=1}^n (x_i - \bar{x})^2}$$

<77>

<78> 과구동 변조 정보 인코딩부(161)와 데이터 정렬부(142) 사이에는 분산값 산출부(163)의 출력과 동기를 맞추기 위한 신호 지연부가 접속될 수 있다. 또한, 평균값 산출부(162)와 데이터 정렬부(142) 사이에는 분산값 산출부(163)의 출력과 동기를 맞추기 위한 신호 지연부가 접속될 수 있다.

<79> 압축 데이터 인코딩 및 데이터 정렬부(142)는 4×2 픽셀 비트맵 블록 내의 k(k는 6 이상의 정수) bits 픽셀값들 각각을 평균값과 비교하여 평균값 이상의 픽셀값을 '1'로 치환하고, 평균값 미만의 픽셀값을 '0'으로 치환하여 픽셀값들 각각은 1 bit로 압축한다. 따라서, 압축 데이터 인코딩 및 데이터 정렬부(142)는 4×2 픽셀 비트맵 블록의 1 bit 픽셀값들을 포함한 총 24 bits의 블록값을 발생한다.

<80> 압축 데이터 및 데이터 정렬부(142)는 도 17과 같은 메모리 클럭(CLK1)에 맞추어 RGB 각각에 10 bits로 할당된 총 30 bits의 평균값, RGB 각각에 10 bits로 할당된 총 30 bits의 분산값, RGB마다 1 bit로 할당된 총 24 bits의 블록값, 24 bits의 과구동 변조 정보(ODC)를 메모리들(MEM#1, MEM#2)에 공급한다. 압축 데이터 인코딩 및 데이터 정렬부(142)는 메모리(MEM#1, MEM#2)의 32 개 입력 채널 수에 맞추어 제1 메모리 클럭(CLK1)에 동기하여 30 bits의 평균값과 함께 더미 2 bits를 합한 총 32 bits의 데이터를 제1 메모리(MEM#1)에 전송함과 동시에, 30 bits의 분산값과 함께 더미 2 bits를 합한 총 32 bits의 데이터를 제2 메모리(MEM#2)에 전송한다. 그리고, 압축 데이터 인코딩 및 데이터 정렬부(142)는 제2 메모리 클럭(CLK2)에 동기하여 24 bits의 블록값과 함께 더미 8 bits를 합한 총 32 bits의 데이터를 제1 메모리(MEM#1)에 전송함과 동시에, 24 bits의 과구동 변조 정보(ODC)와 함께 더미 8 bits를 합한 총 32 bits의 데이터를 제2 메모리(MEM#2)에 전송한다.

<81> 데이터 복원부(143)는 메모리(MEM#1, MEM#2)로부터 입력된 평균값, 분산값, 블록값에 포함된 0 또는 1의 픽셀값을 변수로 하는 수학적 식 8 및 9에 근거하여 4×2 픽셀 비트맵 블록의 픽셀값들 각각을 복원하고, 픽셀값 각각에

최하위 1 bit의 과구동 변조 정보(ODC)를 부가한다.

수학식 8

$$H = \bar{x} + \sigma \sqrt{\frac{p}{q}}$$

<82>

수학식 9

$$L = \bar{x} - \sigma \sqrt{\frac{q}{p}}$$

<83>

<84> 수학식 8 및 9에 있어서, 'H'는 압축 데이터의 픽셀값이 '1'인 경우의 복원값이고, 'L'은 압축 데이터의 픽셀값이 '1'인 경우의 복원값이다. 'p'는 블록값에서 픽셀값 '0'의 개수이며, 그리고 'q'는 블록값에서 픽셀값 '1'의 개수를 나타낸다.

<85> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

<86> 도 1은 통상의 액정표시장치에 있어서 데이터에 따른 휘도 변화를 나타내는 과형도이다.

<87> 도 2는 과구동 방법에서 데이터 변조에 따른 휘도 변화의 일례를 나타내는 과형도이다.

<88> 도 3은 과구동 회로를 나타내는 회로도이다.

<89> 도 4는 1 프레임 과구동 방법에서 과구동 비율을 50%로 데이터를 변조할 때의 데이터전압의 변화를 보여 주는 과형도이다.

<90> 도 5는 도 4와 같은 1 프레임 과구동 방법의 실험 결과를 보여 주는 이미지이다.

<91> 도 6은 2 프레임 과구동 방법에서 과구동 비율을 50%로 데이터를 변조할 때의 데이터전압의 변화를 보여 주는 과형도이다.

<92> 도 7은 도 6과 같은 2 프레임 과구동 방법의 실험 결과를 보여 주는 이미지이다.

<93> 도 8은 본 발명의 실시예에 따른 액정표시장치를 나타내는 블록도이다.

<94> 도 9는 도 8에 도시된 콘트롤 보드를 상세히 나타내는 블록도이다.

<95> 도 10 내지 도 13은 본 발명의 실시예에 따른 액정표시장치에서 2 프레임 과구동 변조과정을 단계적으로 보여주는 블록도들이다.

<96> 도 14는 본 발명의 데이터 압축장치를 나타내는 블록도이다.

<97> 도 15는 BTC 압축 알고리즘의 데이터 블록 예를 나타내는 도면이다.

<98> 도 16은 도 14에 도시된 데이터 압축장치를 BTC 알고리즘으로 구현한 예를 나타내는 블록도이다.

<99> 도 17은 도 16의 데이터 압축장치에서 메모리의 2 클럭 주기 동안 메모리에 공급되는 압축 데이터와 과구동 변조 정보의 데이터 포맷을 보여 주는 도면이다.

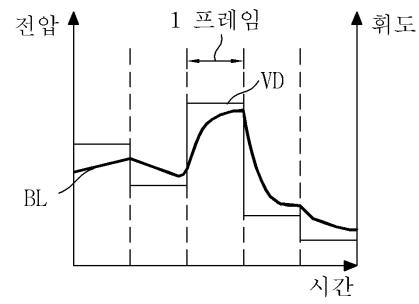
<100> <도면의 주요 부분에 대한 부호의 설명>

<101> TCON : 타이밍 콘트롤러 ODCCON : 과구동 콘트롤러

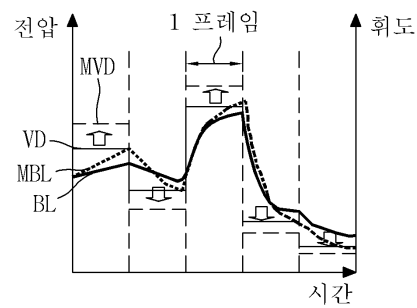
<102> BUS S/W : 버스 스위치 MEM#1, MEM#2 : 메모리

도면

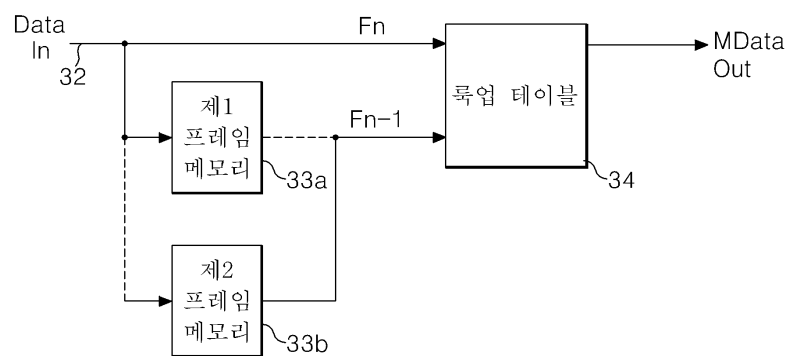
도면1



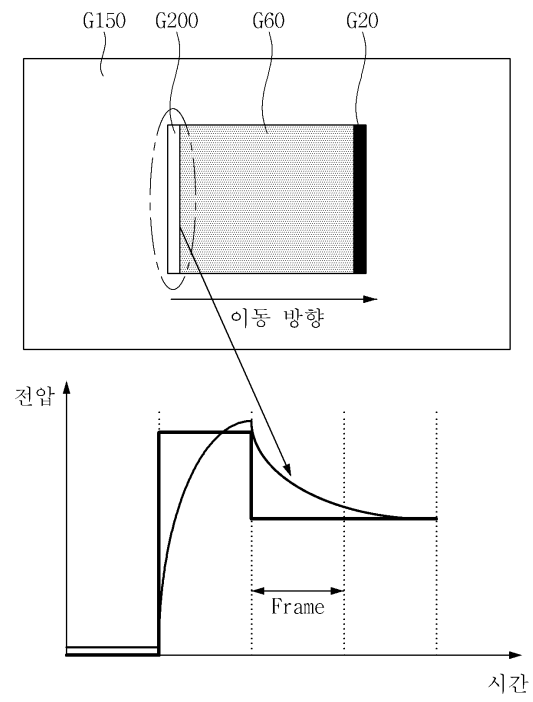
도면2



도면3



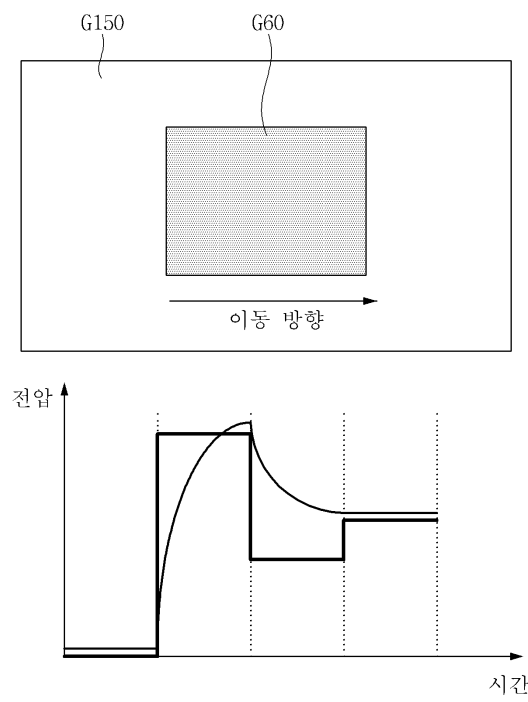
도면4



도면5



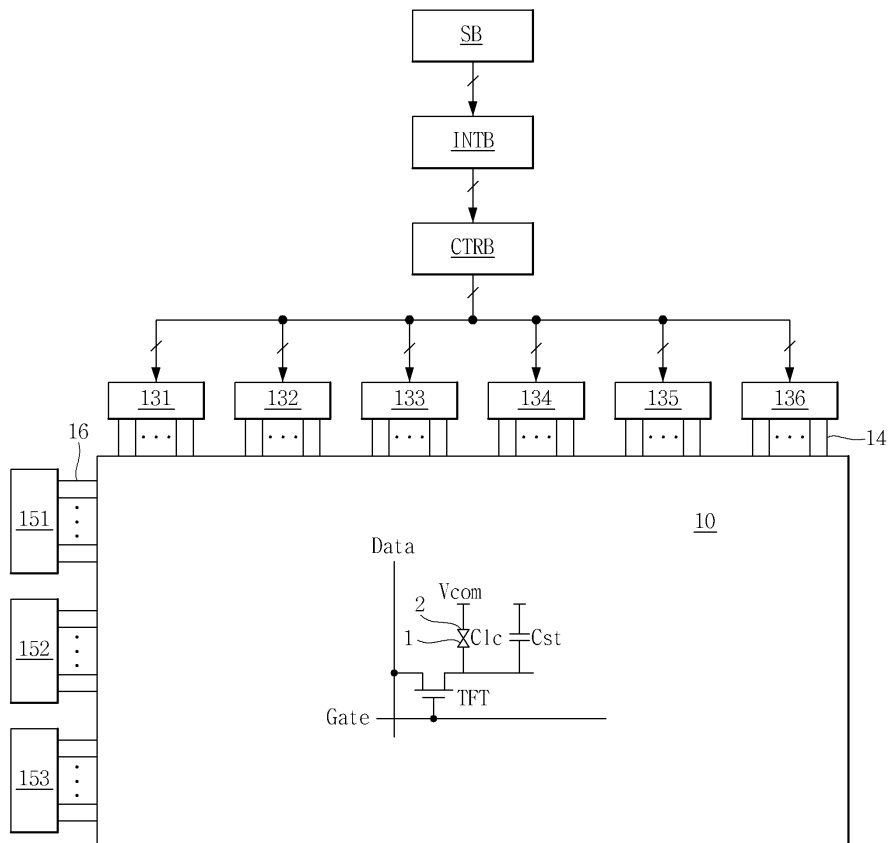
도면6



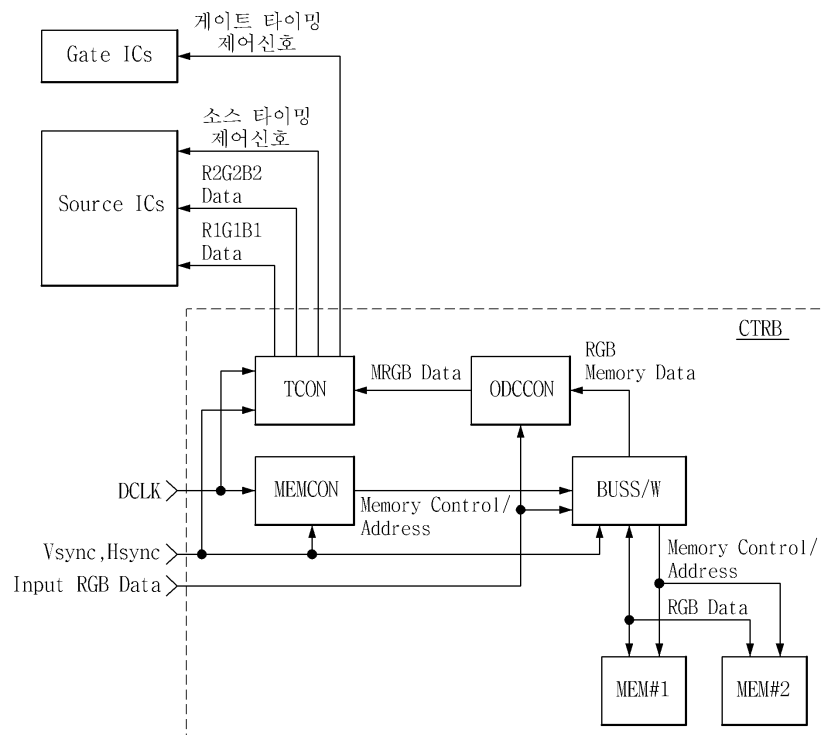
도면7



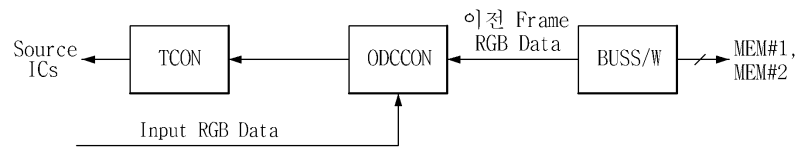
도면8



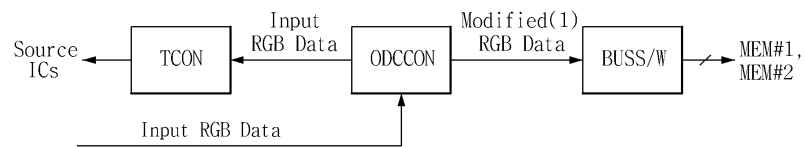
도면9



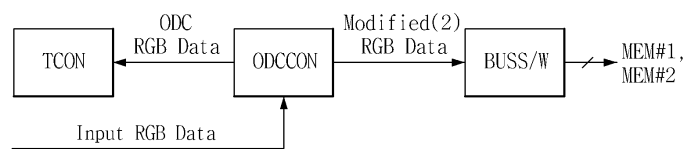
도면10



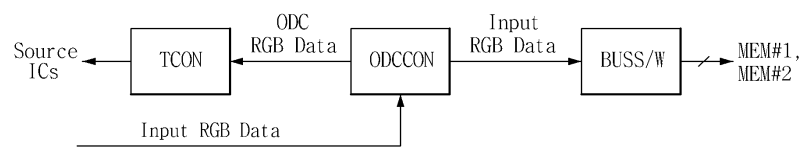
도면11



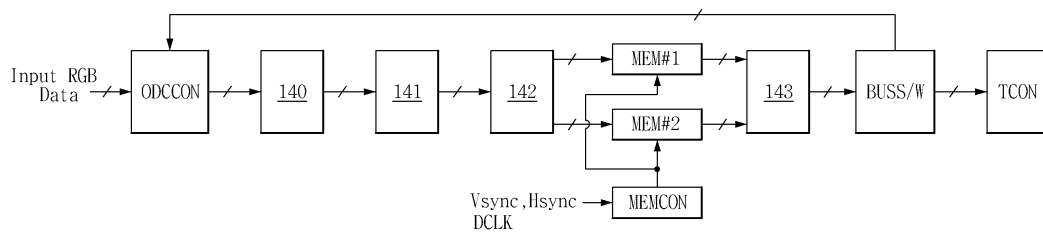
도면12



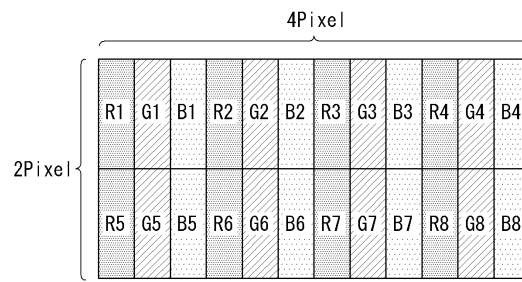
도면13



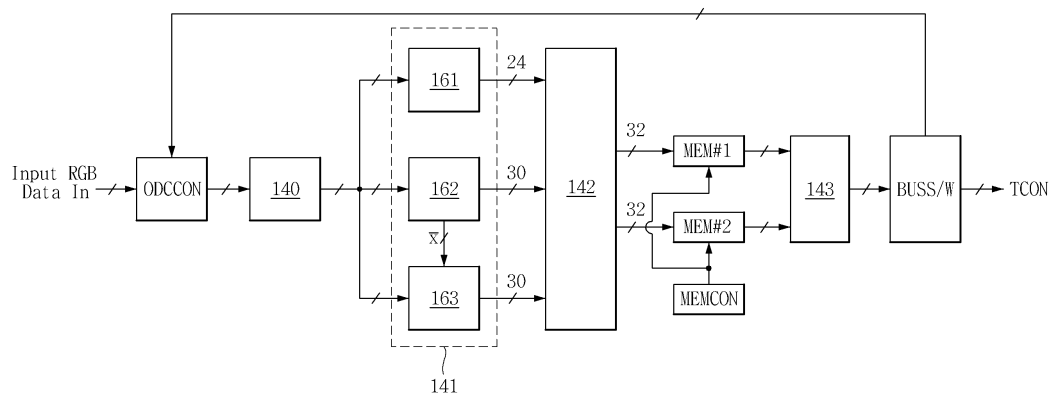
도면14



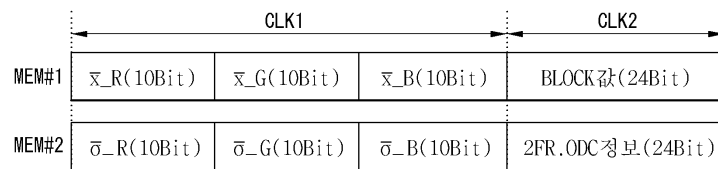
도면15



도면16



도면17



专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	KR1020090129305A	公开(公告)日	2009-12-16
申请号	KR1020080122687	申请日	2008-12-04
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM GI HONG 김기홍 YUN JAE KYEONG 윤재경		
发明人	김기홍 윤재경		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	H04N7/26978 H04N7/26313 G09G2340/16 G09G2340/02 G02F2203/30 H04N19/00309 G09G2320/0252 H04N7/26132 H04N19/00145 H03M7/6052 H04N7/26287 H04N7/368 G09G5/39 H04N19/00545 H04N19/00969 G09G3/3648 G09G2360/12 H04N19/00575 G09G2320/0261 H03M7/3053 H04N19/137 H04N19/184 H04N19/46 H04N19/503 H04N19/96		
优先权	1020080055423 2008-06-12 KR		
其他公开文献	KR101310380B1		
外部链接	Espacenet		

摘要(译)

液晶显示器及其驱动方法本发明涉及液晶显示器及其驱动方法。液晶显示装置包括：液晶显示面板，具有多条数据线；多条栅极线，与数据线交叉；以及多个液晶单元；一种数据驱动电路，用于向数据线提供数据电压；栅极驱动电路，用于向栅极线提供栅极脉冲；一种定时控制器，用于向数据驱动电路提供数据并控制数据驱动电路和栅极驱动电路；和N数据调制到之间的超速传动比（N是正整数）从输入数据读在第N-1帧数据的第二差和所述存储器被输入到帧周期为20%以上的2级灰度到80%同时通过将调制的数据提供给定时控制器，所述第二灰度电平下的差比根据数据的最低位显著是否存储在存储器中的数据转换的调制输入数据提供给时序控制器时，不同地还有一个过载控制器。

