



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0088183
(43) 공개일자 2009년08월19일

(51) Int. Cl.

G02F 1/1343 (2006.01)

(21) 출원번호 10-2008-0013576

(22) 출원일자 2008년02월14일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

김석우

충남 천안시 성정2동 주공6단지아파트 106동 308호

(74) 대리인

특허법인가산

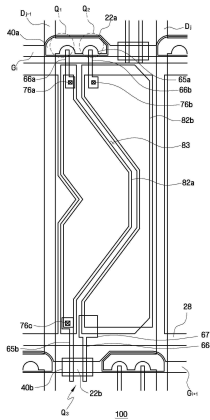
전체 청구항 수 : 총 25 항

(54) 액정 표시 장치

(57) 요약

액정 표시 장치를 제공한다. 액정 표시 장치는, 절연 기판에 제1 방향으로 연장된 복수의 게이트 선과, 복수의 게이트 선에 교차되어 제2 방향으로 연장된 복수의 데이터 선과, 복수의 게이트 선 및 복수의 데이터 선에 의해 정의되는 단위 화소를 포함하되, 단위 화소는 복수의 게이트 선 중 제i 번째 게이트 선과 제1 스위칭 소자를 통해 연결된 제1 부화소 전극과, 제1 스위칭 소자에 인접하며, i 번째 게이트 선과 연결된 제2 스위칭 소자를 통해 전기적으로 연결되고, 제1 부화소 전극과 이격되어 형성된 제2 부화소 전극과, 제2 부화소 전극과 용량 결합된 드레인 전극, 제1 부화소 전극에 연결된 소스 전극을 가지며, 복수의 게이트 선 중 제i 번째 게이트 선과 인접한 제i+1 번째 게이트 선에 연결된 제3 스위칭 소자를 포함하고, 제i 번째 게이트 선과 제i+1 번째 게이트 선 사이에 형성된 제1 및 제2 부화소 전극은 제i+1번째 게이트 선과 제i+2번째 게이트 선 사이에 형성된 제1 및 제2 부화소 전극과 위치가 서로 바뀌어 배열된다.

대표도 - 도2



특허청구의 범위

청구항 1

절연 기판에 제1 방향으로 연장된 복수의 게이트 선;

상기 복수의 게이트 선에 교차되어 제2 방향으로 연장된 복수의 데이터 선; 및

상기 복수의 게이트 선 및 상기 복수의 데이터 선에 의해 정의되는 단위 화소를 포함하되,

상기 단위 화소는 상기 복수의 게이트 선 중 제 i 번째 게이트 선과 제1 스위칭 소자를 통해 연결된 제1 부화소 전극,

상기 제1 스위칭 소자에 인접하며, 상기 i 번째 게이트 선과 연결된 제2 스위칭 소자를 통해 전기적으로 연결되고, 상기 제1 부화소 전극과 이격되어 형성된 제2 부화소 전극, 및

상기 제2 부화소 전극과 용량 결합된 드레인 전극, 상기 제1 부화소 전극에 연결된 소스 전극을 가지며, 상기 복수의 게이트 선 중 상기 제 i 번째 게이트 선과 인접한 제 $i+1$ 번째 게이트 선에 연결된 제3 스위칭 소자를 포함하고,

상기 제 i 번째 게이트 선과 제 $i+1$ 번째 게이트 선 사이에 형성된 상기 제1 및 제2 부화소 전극은 $i+1$ 번째 게이트 선과 제 $i+2$ 번째 게이트 선 사이에 형성된 상기 제1 및 제2 부화소 전극과 위치가 서로 바뀌어 배열된 액정 표시 장치.

청구항 2

제1항에 있어서,

상기 복수의 데이터 선은 상기 제1 번째 게이트 선과 연결된 단위 화소에 데이터 전압을 전달하는 제1 데이터 선과, 상기 제 $i+1$ 번째 게이트 선과 연결된 단위 화소에 데이터 전압을 전달하는 제2 데이터 선을 포함하는 액정 표시 장치.

청구항 3

제2항에 있어서,

상기 제 i 번째 게이트 선과 연결된 단위 화소의 제3 스위칭 소자와 상기 제 $i+1$ 번째 게이트 선과 연결된 단위 화소의 제1 및 제2 스위칭 소자가 동일한 게이트 선의 게이트 전압에 의해 스위칭 동작되는 액정 표시 장치.

청구항 4

제1항에 있어서,

상기 제 $i+1$ 번째 게이트 선에 인가되는 게이트 전압에 의해 스위칭 동작되며 제2 방향의 인접 단위 화소와 연결된 제1 스위칭 소자 및 제2 스위칭 소자를 더 포함하되,

상기 제3 스위칭 소자와 상기 인접 단위 화소와 연결된 제1 및 제2 스위칭 소자는 상기 제1 방향으로 이격되어 형성된 액정 표시 장치.

청구항 5

제4항에 있어서,

상기 제 $i+1$ 번째 게이트 선에 연결된 제1 및 제2 스위칭 소자와 제3 스위칭 소자의 배열 순서는 상기 제 $i+2$ 번째 게이트 선에 연결된 제1 및 제2 스위칭 소자와 제3 스위칭 소자의 배열 순서와 반대인 액정 표시 장치.

청구항 6

제1항에 있어서,

상기 제1 스위칭 소자 및 상기 제2 스위칭 소자는 상기 제 i 번째 게이트 선에 의해 인가되는 게이트 전압에 의해 동시에 스위칭 동작되는 액정 표시 장치.

청구항 7

제1항에 있어서,
 상기 제3 스위칭 소자의 상기 소스 전극은 상기 제2 부화소 전극과 서로 중첩되지 않는 액정 표시 장치.

청구항 8

제7항에 있어서,
 상기 소스 전극은 상기 데이터 선에 평행하게 형성된 액정 표시 장치.

청구항 9

제7항에 있어서,
 상기 제2 부화소 전극은 폭이 좁아지는 만입부를 형성하며, 상기 제1 부화소 전극은 일부가 상기 만입부에 형성되고 일부는 상기 제i 번째 게이트 선 또는 상기 제i+1 번째 게이트 선에 인접하도록 연장되어 상기 제3 스위칭 소자의 상기 드레인 전극과 나란히 배치되는 액정 표시 장치.

청구항 10

제1항에 있어서,
 상기 드레인 전극은 상기 데이터 선에 평행하게 형성된 액정 표시 장치.

청구항 11

제1항에 있어서,
 상기 드레인 전극과 중첩되는 스토리지 전극을 더 포함하는 액정 표시 장치.

청구항 12

제11항에 있어서,
 상기 제1 부화소 전극 및 상기 제2 부화소 전극을 서로 이격시키는 슬릿이 형성되고, 상기 스토리지 전극은 상기 슬릿과 적어도 일부가 중첩되는 액정 표시 장치.

청구항 13

제12항에 있어서,
 상기 드레인 전극과 상기 제2 부화소 전극은 제2 부화소 전극의 충전 전압을 상승시키는 전압 업 커패시터를 형성하고, 상기 드레인 전극과 상기 스토리지 전극은 상기 제1 부화소 전극의 충전 전압을 하강시키는 전압 다운 커패시터를 형성하는 액정 표시 장치.

청구항 14

제1항에 있어서,
 상기 제3 스위칭 소자는 상기 제1 부화소 전극 및 상기 제2 부화소 전극을 사이에 두고 상기 제1 및 제2 스위칭 소자와 서로 대향하여 배치되는 액정 표시 장치.

청구항 15

절연 기판에 격자(lattice) 형태로 배열된 복수의 게이트 선 및 복수의 데이터 선에 의해 정의되는 단위 화소를 포함하되,

상기 단위 화소는 상기 복수의 게이트 선 중 제i 번째 게이트 선과 제1 스위칭 소자를 통해 연결된 제1 부화소 전극;

상기 제1 스위칭 소자와 인접하며, 상기 제i 번째 게이트 선과 연결된 제2 스위칭 소자를 통해 전기적으로 연결

되고 상기 제1 부화소 전극과 이격되어 형성된 제2 부화소 전극; 및

상기 제2 부화소 전극과 용량 결합된 드레인 전극과, 상기 제1 부화소 전극에 연결된 소스 전극을 가지며, 상기 복수의 게이트 선 중 제 $i+1$ 번째 게이트 선에 연결된 게이트 전극을 가지는 제3 스위칭 소자를 포함하고,

상기 단위 화소는 상기 제1 및 제2 스위칭 소자가 제 j 번째 데이터 선에 연결된 제1 단위 화소, 및 상기 제1 및 제2 스위칭 소자가 제 $j+1$ 번째 데이터 선에 연결된 제2 단위 화소를 포함하고,

상기 제1 단위 화소의 상기 제1 및 제2 부화소 전극은 상기 제2 단위 화소의 상기 제1 및 제2 부화소 전극과 위치가 서로 바뀌어 배열된 액정 표시 장치.

청구항 16

제15항에 있어서,

상기 제1 단위 화소 및 상기 제2 단위 화소는 상기 데이터 선이 연장된 방향으로 서로 인접하여 배치된 액정 표시 장치.

청구항 17

제15항에 있어서,

상기 제1 단위 화소의 제3 스위칭 소자와 상기 제2 단위 화소의 제1 및 제2 스위칭 소자는 상기 제 $i+1$ 번째 게이트 선에 인가되는 게이트 전압에 의해 스위칭 동작을 하되,

상기 제1 단위 화소의 제3 스위칭 소자와 상기 제2 단위 화소의 제1 및 제2 스위칭 소자는 이격되어 형성된 액정 표시 장치

청구항 18

제16항에 있어서,

상기 제1 단위 화소의 제1 및 제2 스위칭 소자와 제3 스위칭 소자의 배열 순서는 상기 제2 단위 화소의 제1 및 제2 스위칭 소자와 제3 스위칭 소자의 배열 순서와 반대인 액정 표시 장치.

청구항 19

제16항에 있어서,

상기 제 j 번째 데이터 선은 상기 제 i 번째 게이트 선에 연결된 상기 제1 및 제2 스위칭 소자에 데이터 전압을 인가하고, 상기 제 $j+1$ 번째 데이터 선은 상기 제 $i+1$ 번째 게이트 선에 연결된 상기 제1 및 제2 스위칭 소자에 데이터 전압을 인가하는 액정 표시 장치.

청구항 20

제16항에 있어서,

상기 제 $i+1$ 번째 게이트 선에 연결된 상기 제3 스위칭 소자의 상기 소스 전극은 상기 제2 부화소 전극과 서로 중첩되지 않는 액정 표시 장치.

청구항 21

제18항에 있어서,

상기 제2 부화소 전극은 폭이 좁아지는 만입부를 형성하며,

상기 제1 부화소 전극은 일부가 상기 만입부에 형성되고 일부는 상기 제 i 번째 게이트 선 또는 상기 제 $i+1$ 번째 게이트 선에 인접하도록 연장되어 형성되어 상기 제3 스위칭 소자의 상기 드레인 전극과 나란히 배치되는 액정 표시 장치.

청구항 22

제15항에 있어서,

상기 소스 전극 및 상기 드레인 전극은 상기 데이터 선에 평행하게 형성된 액정 표시 장치.

청구항 23

제15항에 있어서,

상기 드레인 전극과 중첩되는 스토리지 전극을 더 포함하는 액정 표시 장치.

청구항 24

제23항에 있어서,

상기 제1 부화소 전극 및 상기 제2 부화소 전극을 서로 이격시키는 슬릿이 형성되고, 상기 스토리지 전극은 상기 슬릿과 적어도 일부가 중첩되는 액정 표시 장치.

청구항 25

제23항에 있어서,

상기 드레인 전극과 상기 제2 부화소 전극은 제2 부화소 전극의 충전 전압을 상승시키는 전압 업 커패시터를 형성하고, 상기 드레인 전극과 상기 스토리지 전극은 상기 제1 부화소 전극의 충전 전압을 하강시키는 전압 다운 커패시터를 형성하는 액정 표시 장치.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 액정 표시 장치에 관한 것으로서, 불량률을 최소화하고 복구가 간편한 액정 표시 장치에 관한 것이다.

배경기술

<2> 현대 사회가 고도로 정보화 되어감에 따라 표시 장치는 대형화 및 박형화에 대한 시장의 요구에 직면하고 있으며, 종래의 CRT 장치로는 이러한 요구를 충분히 만족시키지 못함에 따라 PDP(Plasma Display Panel) 장치, PALC(Plasma Address Liquid Crystal display panel) 장치, LCD(Liquid Crystal Display) 장치, OLED(Organic Light Emitting Diode) 장치 등으로 대표되는 평판 표시 장치에 대한 수요가 폭발적으로 늘어나고 있다.

<3> 액정 표시 장치(Liquid Crystal Display : LCD)는 현재 가장 널리 사용되고 있는 평판 표시 장치(Flat Panel Display : FPD) 중 하나로서, 전극이 형성되어 있는 두 장의 기판과 그 사이에 삽입되어 있는 액정층으로 이루어지며, 전극에 전압을 인가하여 액정층의 액정 분자들을 재배열시킴으로써 투과되는 빛의 양을 조절하여 영상을 표시하는 장치이다. 이러한 액정 표시 장치는 측면 시인성을 개선하기 위해 하나의 화소를 2개의 서브 전극으로 분할하고, 이들을 용량성으로 결합하여, 2개의 부화소 전극에 서로 다른 전압을 인가하는 방법이 제시되고 있다.

<4> 한편, 액정 표시 장치에 포함되는 박막 트랜지스터 어레이 기판은 게이트 선, 데이터 선, 화소 전극 등을 형성하기 위하여 포토 공정, 식각 공정 등 복잡한 공정이 수행되는데 각 구성 요소의 배치 방식에 따라 공정에서 불량률이 달라지게 된다.

발명의 내용

해결하고자하는 과제

<5> 이에 따라, 게이트 선, 데이터 선, 박막 트랜지스터의 소스 및 드레인 전극 등의 구성 요소는 배치 관계를 최적화하여 공정 과정에서의 불량률을 줄일 필요가 있다.

<6> 이에, 본 발명이 해결하고자 하는 과제는 불량률을 최소화하고 복구가 간편한 액정 표시 장치를 제공하고자 하는 것이다.

<7> 본 발명의 과제들은 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제 해결수단

<8> 상기 과제를 달성하기 위한 본 발명의 일 실시예에 따른 액정 표시 장치는, 절연 기판에 제1 방향으로 연장된 복수의 게이트 선과, 상기 복수의 게이트 선에 교차되어 제2 방향으로 연장된 복수의 데이터 선과, 상기 복수의 게이트 선 및 상기 복수의 데이터 선에 의해 정의되는 단위 화소를 포함하되, 상기 단위 화소는 상기 복수의 게이트 선 중 제i 번째 게이트 선과 제1 스위칭 소자를 통해 연결된 제1 부화소 전극과, 상기 제1 스위칭 소자에 인접하며, 상기 i 번째 게이트 선과 연결된 제2 스위칭 소자를 통해 전기적으로 연결되고, 상기 제1 부화소 전극과 이격되어 형성된 제2 부화소 전극과, 상기 제2 부화소 전극과 용량 결합(capacitive coupling)된 드레인 전극, 상기 제1 부화소 전극에 연결된 소스 전극을 가지며, 상기 복수의 게이트 선 중 상기 제i 번째 게이트 선과 인접한 제i+1 번째 게이트 선에 연결된 제3 스위칭 소자를 포함하고, 상기 제i 번째 게이트 선과 제i+1 번째 게이트 선 사이에 형성된 상기 제1 및 제2 부화소 전극은 i+1번째 게이트 선과 제i+2번째 게이트 선 사이에 형성된 상기 제1 및 제2 부화소 전극과 위치가 서로 바뀌어 배열된다.

<9> 상기 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 액정 표시 장치는, 절연 기판에 격자(lattice) 형태로 배열된 복수의 게이트 선 및 복수의 데이터 선에 의해 정의되는 단위 화소를 포함하되, 상기 단위 화소는 상기 복수의 게이트 선 중 제i 번째 게이트 선과 제1 스위칭 소자를 통해 연결된 제1 부화소 전극과, 상기 제1 스위칭 소자와 인접하며, 상기 제i 번째 게이트 선과 연결된 제2 스위칭 소자를 통해 전기적으로 연결되고 상기 제1 부화소 전극과 이격되어 형성된 제2 부화소 전극과, 상기 제2 부화소 전극과 용량 결합된 드레인 전극과, 상기 제1 부화소 전극에 연결된 소스 전극을 가지며, 상기 복수의 게이트 선 중 제i+1번째 게이트 선에 연결된 게이트 전극을 가지는 제3 스위칭 소자를 포함하고, 상기 단위 화소는 상기 제1 및 제2 스위칭 소자가 제j 번째 데이터 선에 연결된 제1 단위 화소, 및 상기 제1 및 제2 스위칭 소자가 제j+1번째 데이터 선에 연결된 제2 단위 화소를 포함하고, 상기 제1 단위 화소의 상기 제1 및 제2 부화소 전극은 상기 제2 단위 화소의 상기 제1 및 제2 부화소 전극과 위치가 서로 바뀌어 배열된다.

발명의 실시를 위한 구체적인 내용

<10> 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

<11> 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.

<12> 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

<13> 이하, 첨부된 도면을 참조하여 본 발명의 일 실시예에 따른 액정 표시 장치에 대하여 상세히 설명한다.

<14> 먼저, 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 화소 배열을 개략적으로 도시한 도면이다. 도 1을 참조하면, 본 발명의 일 실시예에 따른 액정 표시 장치는 격자(lattice) 형태로 배열된 복수의 게이트 선(G1~Gn) 및 복수의 데이터 선(D1~Dm)에 의해 화소가 정의되며, 이와 같은 화소는 각각의 단위 화소(PX)로 이루어진다. 각 단위 화소(PX)는 제1 부화소(A) 및 제2 부화소(B)로 분할되며 제1 부화소(A) 및 제2 부화소(B)를 제어하는 제1 내지 제3 스위칭 소자를 포함한다. 여기서 제1 내지 제3 스위칭 소자는 제1 내지 제3 박막 트랜지스터(Q1, Q2, Q3)일 수 있다.

- <15> 단위 화소(PX)는 격자 형태로 배열된 게이트 선($G_1 \sim G_n$) 및 데이터 선($D_1 \sim D_m$)으로 둘러싸인 각 영역이 되며, 각 화소(PX)는 시인성의 개선을 위하여 두 개의 부화소(A, B)로 분할되어 형성된다. 각 단위 화소(PX)에서 제1 부화소(A)는 제1 박막 트랜지스터(Q1)에 의해 제어되며, 제2 부화소(B)는 제2 박막 트랜지스터(Q2)에 의해 제어된다. 한편, 제1 부화소(A)와 제2 부화소(B)에 충전되는 전압을 높이거나 낮추기 위해 전압 업 커패시터 또는 전압 다운 커패시터(구체적으로 후술함)에 연결된 제3 박막 트랜지스터(Q3)가 제1 부화소(A) 또는 제2 부화소(B)에 연결된다.
- <16> 각 단위 화소(PX)를 이루는 제1 부화소(A) 및 제2 부화소(B)는 제1 박막 트랜지스터(Q1) 및 제2 박막 트랜지스터(Q2)에 의해 서로 동일한 데이터 전압이 인가된다. 그 다음에 제3 박막 트랜지스터(Q3)에 의해 제1 부화소(A) 및 제2 부화소(B)의 전압을 높이거나 낮추어 제1 부화소(A) 및 제2 부화소(B)는 서로 다른 전압이 저장되도록 한다. 각 구성 요소의 구체적인 작동 방식은 후술한다.
- <17> 제 i 번째 게이트 선(G_i)과 제 $i+1$ 번째 게이트 선(G_{i+1}) 사이에 형성된 제1 부화소 전극(A) 및 제2 부화소 전극(B)은 제 $i+1$ 번째 게이트 선(G_{i+1})과 제 $i+2$ 번째 게이트 선(G_{i+2}) 사이에 형성된 제1 부화소 전극(A) 및 제2 부화소 전극(B)과 위치가 서로 바뀌어 배열될 수 있다.
- <18> 한편, 제 j 번째 데이터 선(D_j)에 연결된 단위 화소를 제1 단위 화소라 하고, 제 $j+1$ 번째 데이터 선(D_{j+1})에 연결된 단위 화소를 제2 단위 화소라 할 때, 제1 단위 화소의 제1 부화소 전극(A) 및 제2 부화소 전극(B)은 제2 단위 화소의 제1 부화소 전극(A) 및 제2 부화소 전극(B)과 위치가 서로 바뀌어 배열될 수 있다.
- <19> 제1 박막 트랜지스터(Q1) 및 제2 박막 트랜지스터(Q2)는 예를 들어 제 i 번째 게이트 선(G_i)과 제 $i+1$ 번째 게이트 선(G_{i+1}) 사이에 형성된 단위 화소에서는 데이터 선(D_j)을 기준으로 일측에 형성될 수 있으며, 제 $i+1$ 번째 게이트 선(G_{i+1})과 제 $i+2$ 번째 게이트 선(G_{i+2}) 사이에 형성된 단위 화소에서는 데이터 선(D_j)을 기준으로 타측에 형성될 수 있다. 즉, 각 화소 라인 별로 데이터 선에서 분지되는 제1 박막 트랜지스터(Q1) 및 제2 박막 트랜지스터(Q2)의 위치를 다르게 배치할 수 있다. 또한, 제 i 번째 게이트 선(G_i)과 연결된 단위 화소의 제3 스위칭 소자(Q3)와 상기 제 $i+1$ 번째 게이트 선(G_{i+1})과 연결된 단위 화소의 제1 및 제2 스위칭 소자(Q1, Q2)가 동일한 게이트 선의 게이트 전압에 의해 스위칭 동작될 수 있다.
- <20> 도 2는 도 1의 액정 표시 장치에 포함되는 제1 표시판의 배치도이고, 도 3은 도 1의 액정 표시 장치에 포함되는 제2 표시판의 배치도이고, 도 4는 도 1의 액정 표시 장치의 배치도이고, 도 5는 도 4의 액정 표시 장치를 V-V' 선으로 절단한 단면도이고, 도 6은 도 4의 액정 표시 장치를 VI-VI' 선으로 절단한 단면도이다.
- <21> 먼저, 도 2, 및 도 4 내지 도 6을 참조하여 제1 표시판(100)에 대해 설명한다. 제1 절연 기판(10)은 투명한 유리, 플라스틱 등으로 이루어져 있다. 제1 절연 기판(10) 위에는 제1 방향으로 연장되어 있는 게이트 선(G_i)이 형성되어 있다. 게이트 선(G_i)은 일정 영역에서 제1 게이트 전극(22a) 및 제2 게이트 전극(22b)을 포함한다. 제1 게이트 전극(22a) 및 제2 게이트 전극(22b)은 게이트 선(G_i)의 일부 영역에서 확장된 형상으로 형성될 수 있으며, 이에 한정할 것은 아니고 동일한 폭을 갖는 게이트 선(G_i)의 일부분이 게이트 전극이 될 수 있다.
- <22> 한편, 제1 게이트 전극(22a) 및 제2 게이트 전극(22b)은 서로 인접한 다른 게이트 선(G_i, G_{i+1})에 형성된다. 제1 게이트 전극(22a)은 제 i 번째 게이트 선(G_i)에 연결될 수 있으며, 제2 게이트 전극(22b)은 제 $i+1$ 번째 게이트 선(G_{i+1})에 연결될 수 있다. 즉, 하나의 화소(PX)를 제어하기 위하여 두 개의 게이트 선(G_i, G_{i+1})이 필요할 수 있다. 이와 같은 게이트 선은 하나의 화소당 두 개씩 형성될 수도 있으며, 본 실시예에서와 같이 하나의 화소당 하나의 게이트 선을 할당하고, 인접한 화소의 게이트 선을 활용할 수도 있다.
- <23> 제1 절연 기판(10) 위의 게이트 선(G_i)과 동일한 층에는 스토리지 전극선(28)이 형성되어 있다. 스토리지 전극선(28)의 배치 형상은 다양하게 형성될 수 있다.
- <24> 게이트 선(G_i) 및 스토리지 전극선(28) 위에는 질화 규소, 산화 규소 등으로 이루어진 게이트 절연막(30)이 적층되어 있다. 게이트 절연막(30) 위에는 수소화 비정질 규소 등으로 이루어진 제1 반도체층(40a) 및 제2 반도체층(40b)이 형성되어 있다. 제1 반도체층(40a)은 제1 게이트 전극(22a)에 중첩되어 있고, 제2 반도체층(40b)은 제2 게이트 전극(22b)에 중첩되어 있다.
- <25> 반도체층(40a, 40b) 위에는 데이터 배선이 형성되어 있다. 데이터 배선은 데이터 선(D_j), 제1 소스 전극(65a), 제2 소스 전극(65b), 제1 드레인 전극(66a), 제2 드레인 전극(66b), 및 제3 드레인 전극(66c)을 포함한다. 데이

터 선(Dj)은 제2 방향으로 연장되어 형성되며, 데이터 선(Dj)은 게이트 선(Gi)과 서로 교차하여 제1 절연 기판(10) 상에 격자 형태로 배치될 수 있다. 다만, 데이터 선(Dj)과 게이트 선(Gi)은 서로 수직으로 교차되는 것에 국한되지 않으며, 일정한 각도로 교차될 수 있을 것이다. 제1 소스 전극(65a)은 데이터 선(Dj)에서 분지되어 형성되며, 제1 드레인 전극(66a) 및 제2 드레인 전극(66b)은 제1 소스 전극(65a)에 인접하고 이격되어 형성된다. 이러한 제1 드레인 전극(66a) 및 제2 드레인 전극(66b)은 적어도 일부분이 제1 게이트 전극(22a)과 중첩되어 있다. 따라서, 제1 소스 전극(65a), 제1 드레인 전극(66a) 및 제1 게이트 전극(22a)은 제1 박막 트랜지스터(Q1)의 세 단자를 이루게 되며, 제1 소스 전극(65a) 제2 드레인 전극(66b) 및 제1 드레인 전극(66a)은 제2 박막 트랜지스터(Q2)의 세 단자를 이루게 된다. 본 명세서 상에서는 제1 소스 전극(65a), 제1 드레인 전극(66a), 제2 드레인 전극(66b) 및 제1 게이트 전극(22a)을 제1 박막 트랜지스터(Q1) 및 제2 박막 트랜지스터(Q2)로 두 개의 스위칭 소자로 정의할 하나, 하나의 게이트 전극으로 제어하는 하나의 소스 전극과 두 개의 드레인 전극을 포함하는 하나의 스위칭 소자로 정의할 수도 있을 것이다.

- <26> 제2 소스 전극(65b)은 제2 반도체층(40b) 위에서부터 제1 부화소 전극(82a)으로 확장되며, 제3 드레인 전극(66c)은 제2 소스 전극(65b)과 마주하며 이격되어 제2 부화소 전극(82b) 아래로 확장될 수 있다. 제2 소스 전극(65b)은 제1 부화소 전극(82a)과 콘택홀(76a)을 통해 연결될 수 있으며, 제3 드레인 전극(66c)은 제2 부화소 전극(82b)과 중첩되어 커패시터를 형성할 수 있다.
- <27> 제1 반도체층(40a) 및 제2 반도체층(40b)과 그 위의 데이터 배선 사이에는 고농도로 도핑된 n+ 수소화 비정질 규소 등으로 이루어진 저항성 접촉층(55, 56a, 56b)이 개재되어 있다.
- <28> 여기서, 제3 드레인 전극(66c)은 스토리지 전극선(28)과 중첩되어 있으며, 폭이 확장되어 있는 확장부(67)를 포함할 수 있다. 제3 드레인 전극(66c)의 확장부(67)는 하부의 스토리지 전극선(28)뿐만 아니라, 후술하는 제2 부화소 전극(82b)과도 일부 중첩된다. 제3 드레인 전극(66c)의 확장부(67)와 그에 중첩된 스토리지 전극선(28)은 전압 다운 커패시터(voltage down capacitor)를 형성하여 후술하는 제1 부화소 전극(82a)에 충전된 화소 전압의 절대값을 하강시키고, 제3 드레인 전극(66c)의 확장부(67)와 그에 중첩된 제2 부화소 전극(82b)은 전압 업 커패시터(voltage up capacitor)를 형성하여 제2 부화소 전극(82b)에 충전된 화소 전압의 절대값을 상승시킨다. 따라서 제1 부화소 전극(82a) 및 제2 부화소 전극(82b)에 동일 계조의 데이터 전압이 인가되더라도 충전되는 전압의 값을 서로 다르게 조절할 수 있다. 이에 대한 더욱 구체적인 설명은 후술하기로 한다.
- <29> 상기한 제1 게이트 전극(22a), 제1 소스 전극(65a), 및 제1 드레인 전극(66a)은 제1 반도체층(40a)을 채널부로 하는 제1 박막 트랜지스터(Q1)를 이루고, 제1 게이트 전극(22a), 제1 소스 전극(65a), 및 제2 드레인 전극(66b)은 제1 반도체층(40a)을 채널부로 하는 제2 박막 트랜지스터(Q2)를 이룬다. 또한, 제2 게이트 전극(22b), 제2 소스 전극(65b), 및 제3 드레인 전극(66c)은 제2 반도체층(40b)을 채널부로 하는 제3 박막 트랜지스터(Q3)를 이룬다. 여기서, 동일 화소 영역을 구동하기 위한 제3 박막 트랜지스터에 연결된 제2 게이트 전극(22b)은 상술한 바와 같이 제1 게이트 전극(124)이 연결된 i번째 게이트 선(Gi)과 인접한 i+1번째 게이트 선(G_{i+1})에 연결되어 있다.
- <30> 한편, 제1 박막 트랜지스터(Q1) 및 제2 박막 트랜지스터(Q2)는 서로 인접 배치되고 제3 박막 트랜지스터(Q3)는 제1 부화소 전극(82a) 및 제2 부화소 전극(82b)을 사이에 두고 제1 및 제2 박막 트랜지스터와 서로 대향하여 배치된다.
- <31> 또한, 제i+1 번째 게이트 선(G_{i+1})에는 제1 및 제2 스위칭 소자(Q1, Q2)와 제2 방향으로 인접한 단위 화소와 연결된 제3 스위칭 소자(Q3)가 제1 방향으로 서로 이격되어 형성된다. 이와 같은 제i+1 번째 게이트 선(G_{i+1})에 연결된 제1 및 제2 스위칭 소자(Q1, Q2)와 제3 스위칭 소자(Q3)의 배열 순서는 제i+2 번째 게이트 선(G_{i+2})에 연결된 제1 및 제2 스위칭 소자(Q1, Q2)와 제3 스위칭 소자(Q3)의 배열 순서와 반대로 형성될 수 있다.
- <32> 데이터 배선 위에는 보호막(passivation)(70)이 형성되어 있다. 보호막(70)은 질화 규소 등의 무기 물질 또는 유기 절연 물질로 이루어질 수 있으며, 이들을 모두 포함한 2이상의 적층막으로 이루어질 수도 있다. 보호막(70)에는 제1 드레인 전극(66a), 제2 드레인 전극(66b) 및 제1 소스 전극(65a)의 적어도 일부를 노출하는 콘택홀(76b)이 형성되어 있다.
- <33> 보호막(70) 위에는 ITO(indium tin oxide), IZO(indium zinc oxide) 등과 같은 투명한 도전 물질로 이루어진 제1 부화소 전극(82a) 및 제2 부화소 전극(82b)이 형성되어 있다.
- <34> 제1 부화소 전극(82a)은 콘택홀(76a)을 통하여 제1 드레인 전극(66a) 및 제1 소스 전극(65a)과 연결되어

있으며, 스토리지 전극선(28)의 일부와 중첩되어 있다.

- <35> 제2 부화소 전극(82b)은 콘택홀(76b)을 통하여 제2 드레인 전극(66b)에 연결되어 있으며, 스토리지 전극선(28)과 일부 영역이 중첩되어 있다. 또한, 제1 부화소 전극(82a)과 제2 부화소 전극(82b)은 제1 슬릿(83)을 중심으로 서로 이격되어 형성되며, 제1 슬릿(83)의 아래에는 스토리지 전극선(28)이 중첩될 수 있다.
- <36> 이와 같은 제1 슬릿(83)은 프린지 필드(fringe field)를 유발하여 액정의 통일적 거동 방향을 나타내는 도메인을 정의하게 된다. 제1 부화소 전극(82a) 및 제2 부화소 전극(82b) 위에는 배향막(미도시)이 더 구비될 수 있다. 배향막은 예컨대 수직 배향막일 수 있다. 여기서, 제2 부화소 전극(82b)은 전극의 일부가 만입되어 폭이 좁아지는 만입부를 형성할 수 있으며, 제1 부화소 전극(82a)은 제2 부화소 전극(82b)의 만입부에 형성될 수 있다.
- <37> 한편, 제1 부화소 전극(82a)과 제2 부화소 전극(82b)에는 동일한 데이터 전압이 제공되지만, 제2 부화소 전극(82b)은 전압 업 커패시터의 커플링으로 제공된 데이터 전압보다 절대값의 크기가 상승된 화소 전압이 충전되고, 제1 부화소 전극(82a)은 전압 다운 커패시터의 커플링으로 제공된 데이터 전압보다 절대값의 크기가 하강된 화소 전압이 충전된다. 이와 같이 동일 화소 내의 부화소 전극간 서로 다른 전압이 충전됨으로써, 감마 곡선의 왜곡을 방지하여 측면 시인성을 개선할 수 있다. 본 실시예에서는 제1 부화소 전극(82a)에 충전되는 전압이 하강할 뿐만 아니라, 제2 부화소 전극(82b)에 충전되는 전압이 상승하기 때문에, 상대적인 전압 차이가 더욱 커진다. 따라서, 전압 다운 커패시터 단독으로 존재할 경우보다 커패시터의 커패시턴스가 작더라도 충분한 전압차를 나타낼 수 있다. 이는 전압 업 또는 다운 커패시터를 이루는 제3 드레인 전극(66c)의 면적이 감소할 수 있음을 의미하므로, 개구율의 확보에 유리할 것임을 용이하게 이해할 수 있을 것이다. 또한, 전압 업 커패시터에 의해 전압이 상승되므로, 투과율이 증가할 수 있다.
- <38> 도 3 내지 도 6을 참조하여 제2 표시판(200)에 대해 설명한다. 제2 표시판(200)의 베이스 기판인 제2 절연 기판(90)은 제1 절연 기판(10)과 마찬가지로 투명한 유리 또는 플라스틱 등으로 이루어져 있다. 제2 절연 기판(90) 상에는 블랙 매트릭스(94)가 형성되어 있다. 블랙 매트릭스(94)는 제1 표시판(100)의 게이트 선(Gi) 및 데이터 선(Dj)과 중첩되도록 형성된다. 블랙 매트릭스(94)에 의해 둘러싸인 영역에는 컬러 필터(92)가 형성되어 있다. 컬러 필터(92)는 제1 표시판(100)의 제1 부화소 전극(82a) 및 제2 부화소 전극(82b)과 중첩되도록 정렬된다.
- <39> 블랙 매트릭스(94) 및 컬러 필터(92) 상에는 이들의 단차를 평탄화하기 위한 오버코트층(95)이 형성되어 있다.
- <40> 오버코트층(95) 위에는 ITO, IZO 등과 같은 투명한 도전 물질로 이루어진 공통 전극(91)이 형성되어 있다. 공통 전극(91)은 화소와 관계없이 제2 표시판(200)의 전면에 형성되어 있으며, 각 화소마다 제2 슬릿(93)을 구비한다. 제2 슬릿(93)은 제1 표시판(100)의 제1 부화소 전극(82a) 및 제2 부화소 전극(82b)간 제1 슬릿(83)과 함께 프린지 필드(fringe field)를 유발하여 액정의 통일적 거동 방향을 나타내는 도메인을 정의하게 된다.
- <41> 한편, 공통 전극(91) 상에는 배향막(미도시)이 더 구비될 수 있다. 배향막은 수직 배향막일 수 있다.
- <42> 한편, 도 5 및 도 6에 도시된 바와 같이 제1 표시판(100)과 제2 표시판(200) 사이에는 다수의 액정(301)을 포함하는 액정층(300)이 개재되어 있다. 액정 표시 장치에 전계가 생성되지 않은 초기 배향의 경우, 액정(301)은 구비된 배향막의 특성 등에 따라 예컨대 수직으로 배향되어 있지만, 제1 표시판(100)의 화소 전극(82a, 82b)과 제2 표시판(200)의 공통 전극(91)에 전압이 인가되면, 액정층(300)에 전계가 형성되어 액정(301)이 회전하게 된다. 이때, 액정층(300)에 포함된 액정(301)이 음의 유전율 이방성을 가질 경우 액정(301)은 전계에 수직인 방향으로 회전하며, 액정(301)이 양의 유전율 이방성을 가질 경우 전계와 평행인 방향으로 회전하게 된다. 이러한 액정(301)의 회전 정도에 따라 액정층(300)에서의 빛의 투과율이 결정되며, 제1 표시판(100) 및/또는 제2 표시판(200)의 외측에 편광판(미도시)을 부착함으로써, 전체 액정 표시 장치의 투과율을 제어할 수 있다.
- <43> 한편, 상기한 바와 같이 본 실시예에 따른 액정 표시 장치에서는 제1 표시판(100)의 제1 슬릿(83)과 제2 표시판(200)의 제2 슬릿(93)에 의해 프린지 필드가 형성되므로, 전계 생성에 따른 액정(301)의 회전은 이들에 의해 분할된 다수개의 도메인별로 일정한 방향성을 갖게 된다. 따라서, 시야각이 개선되고, 액정(301)의 충돌에 따른 텍스처가 방지되며, 액정(301)의 회전 속도, 즉 전계에 대한 반응 속도가 증가할 수 있다.
- <44> 도 7은 도 1의 액정 표시 장치의 등가 회로도이고, 도 8은 도 1의 액정 표시 장치에 인가되는 전압 파형도들이다. 여기서, 도 7은 i번째 게이트 선과 i+1번째 게이트 선 사이에 위치하는 화소 영역의 회로도를 예시적으로 도시하였다. 도면에서 A는 제1 부화소 전극 영역을 의미하고, B는 제2 부화소 전극 영역을 의미한다.
- <45> 설명의 편의상 스토리지 전극선 및 공통 전극에 제공되는 공통 전압(Vcom)이 5V이고, 제1 프레임에서는 7V의 데

이터 전압이 인가되며, 제2 프레임에서는 3V의 데이터 전압이 인가되는 것으로 가정한다. 데이터 선(Dj)에 7V의 데이터 전압이 인가되고 있는 상태에서 제i 번째 게이트 선(Gi)에 게이트 온 신호가 인가되면, 제1 박막 트랜지스터(Q1)와 제2 박막 트랜지스터(Q2)가 턴온되어 데이터 전압이 제1 부화소 전극(82a) 및 제2 부화소 전극(82b)에 인가된다. 이때 제1 박막 트랜지스터(Q1)와 제2 박막 트랜지스터(Q2)는 모두 동일한 데이터 선(Dj)에 연결되어 있기 때문에 제1 부화소 전극(82a)과 연결된 P1 노드와 제2 부화소 전극(82b)에 연결된 P2 노드에 인가되는 전압의 크기는 동일하다. 즉, 게이트 온 신호가 인가되는 동안 P1 노드와 P2 노드에 각각 7V의 부화소 전압(Vpx1, Vpx2)이 제공된다. 이때, 제1 액정 커패시터(C1c1), 제1 유지 커패시터(Cst1) 및 제2 액정 커패시터(C1c2), 제2 유지 커패시터(Cst2)에는 부화소 전압(Vpx1, Vpx2)과 공통 전압(Vcom)의 차인 2V의 전압이 충전된다. 한편, P2 노드와 연결된 a 노드에도 7V가 제공되는데, 본 실시예에서 프레임별 반전 구동이 이루어지므로 b 노드에 이전 프레임에서 예컨대 약 3V의 전압이 인가되었던 것으로 가정하면, a 노드와 b 노드 사이의 전압 업 커패시터(Cup)에는 약 +4V의 전압이, 전압 다운 커패시터(Cdown)에는 약 +2V의 전압이 충전된다.

<46> 제i 번째 게이트 선(Gi)에 게이트 오프 전압이 인가되면, 제1 박막 트랜지스터(Q1) 및 제2 박막 트랜지스터(Q2)가 턴오프되며, 제1 부화소 전극(82a)과 제2 부화소 전극(82b)에 충전된 전압이 제1 킥백 전압(Vkb1)만큼 낮아진다.

<47> 제i 번째 게이트 선(Gi)에 게이트 온 전압이 인가된 후 1 수평 주기(1H)가 지나면, 제i+1번째 게이트 선(Gi+1)에 게이트 온 전압이 인가되어 그에 연결된 제3 박막 트랜지스터(Q3)가 턴온된다. 제3 박막 트랜지스터(Q3)가 턴온됨에 따라 P1 노드와 b 노드가 전기적으로 연결되어 b 노드에 7V의 전압이 제공되는데, 이때, 전압 업 커패시터(Cup)에는 약 +4V의 전압이 충전되어 있기 때문에, P2 노드의 전압은 순간적으로 상승하게 된다. 한편, 전압 다운 커패시터(Cdown)에는 약 +2V의 전압이 충전되어 있으며, 일단이 스토리지 전극선에 연결되어 있기 때문에, b 노드는 순간적으로 전압이 하강하게 된다. 따라서, 제2 부화소 전극(82b)에 충전된 전압은 전압 업 커패시터(Cup)에 의한 커플링에 의해 전압이 순간적으로 상승하고(도 8의 Vcup1 참조), 제1 부화소 전극(82a)에 충전된 전압은 전압 다운 커패시터(Cdown)에 의한 커플링에 의해 전압이 순간적으로 하강하게 된다(도 8의 Vcdown1 참조).

<48> 이어서, 제i+1번째 게이트 선(Gi+1)에 게이트 오프 전압이 인가되면, 제2 부화소 전극(82b)에 충전된 전압은 제2 킥백 전압(Vkb12)만큼 다소 하강하며, 제1 부화소 전극(82a)에 충전된 전압도 제2 킥백 전압(Vkb11)만큼 더욱 하강하게 된다. 제1 부화소 전극(82a) 및 제2 부화소 전극(82b)은 제1 프레임 동안 각각의 충전 전압(Vpx1, Vpx2)을 유지한다.

<49> 상기한 바와 같이 제1 프레임 동안 제1 부화소 전극(82a) 및 제2 부화소 전극(82b)에 동일한 전압이 인가되더라도, 제1 부화소 전극(82a)은 전압(Vpx1)이 하강하고, 제2 부화소 전극(82b)은 전압(Vpx2)이 상승하기 때문에, 제2 부화소 전극(82b)에 제1 부화소 전극(82a)보다 높은 전압을 충전할 수 있다. 즉, 제2 부화소(B)의 제2 액정 커패시터(C1c2), 제2 유지 커패시터(Cst2)에 충전된 전압의 절대값이 제1 부화소(A)의 제1 액정 커패시터(C1c1), 제1 유지 커패시터(Cst1)에 충전된 전압의 절대값보다 크게 된다.

<50> 계속해서, 제2 프레임에서 각각의 부화소 전극에 충전되는 전압에 대해 설명한다. 데이터 선(Dj)에 3V의 데이터 전압이 인가되고 있는 상태에서 제2 프레임에 다시 제i 번째 게이트 선(Gi)에 게이트 온 신호가 인가되면, 제1 박막 트랜지스터(Q1)와 제2 박막 트랜지스터(Q2)가 턴온되어 데이터 전압이 제1 부화소 전극(82a) 및 제2 부화소 전극(82b)에 인가된다. 게이트 온 신호가 인가되는 동안 P1 노드와 P2 노드에 각각 3V의 부화소 전압(Vpx1, Vpx2)이 제공된다. 이때, 제1 액정 커패시터(C1c1), 제1 유지 커패시터(Cst1) 및 제2 액정 커패시터(C1c2), 제2 유지 커패시터(Cst2)에는 부화소 전압(Vpx1, Vpx2)과 공통 전압(Vcom)의 차인 -2V가 충전된다. 한편, P2 노드와 연결된 a 노드에도 3V가 제공되는데, b 노드에는 제1 프레임 동안 약 7V의 전압이 인가되어 있으므로, a 노드와 b 노드 사이의 전압 업 커패시터(Cup)에는 약 -4V의 전압이, 전압 다운 커패시터(Cdown)에는 약 -2V의 전압이 충전된다.

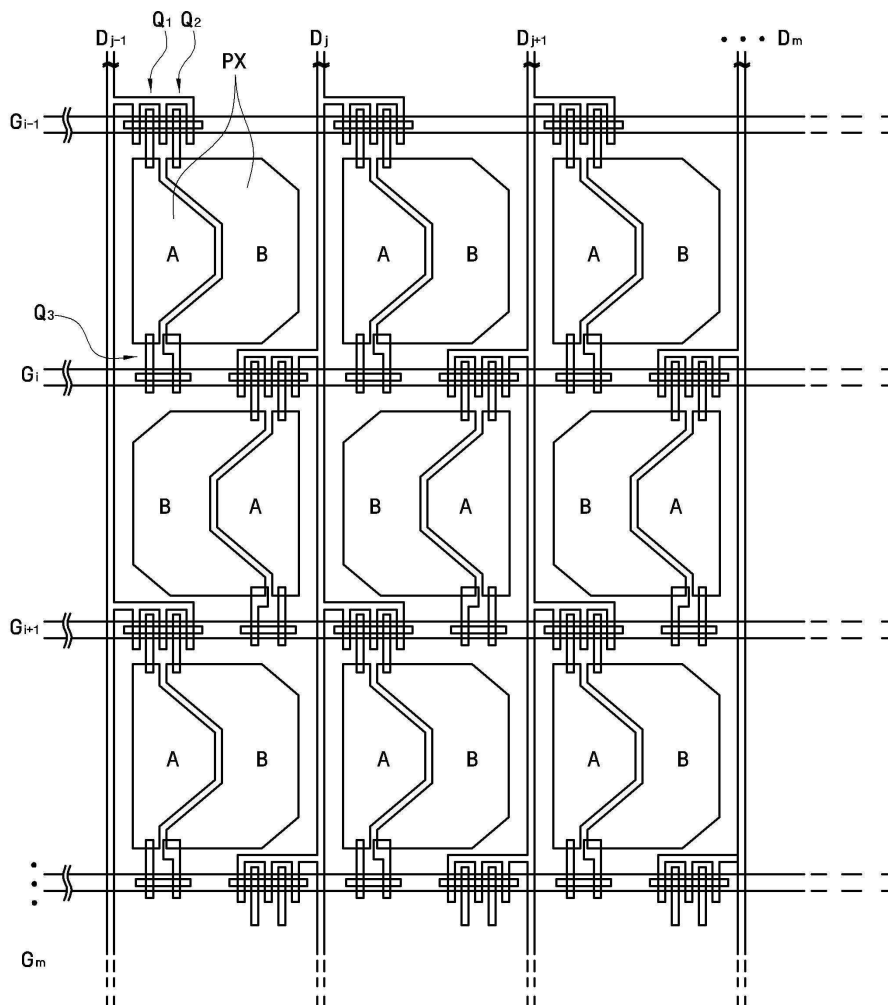
<51> 이어서, 제i 번째 게이트 선(Gi)에 게이트 오프 전압이 인가되면, 제1 및 제2 박막 트랜지스터(Q1, Q2)가 턴오프되며, 제1 부화소(A)과 제2 부화소(B)에 충전된 전압이 제1 킥백 전압(Vkb2)만큼 낮아진다.

<52> 1 수평 주기(1H)가 지나고, i+1번째 게이트 선(Gi+1)에 게이트 온 전압이 인가되면, 그에 연결된 제3 박막 트랜지스터(Q3)가 턴온된다. 제3 박막 트랜지스터(Q3)의 턴온에 따라 P1 노드와 b 노드가 전기적으로 연결되어 b 노드에 3V의 전압이 제공된다. 이때, 전압 업 커패시터(Cup)에는 약 -4V의 전압이 충전되어 있기 때문에, P2 노드의 전압은 순간적으로 하강하게 된다. 한편, 전압 다운 커패시터(Cdown)에는 -2V의 전압이 충전되어 있으며, 일

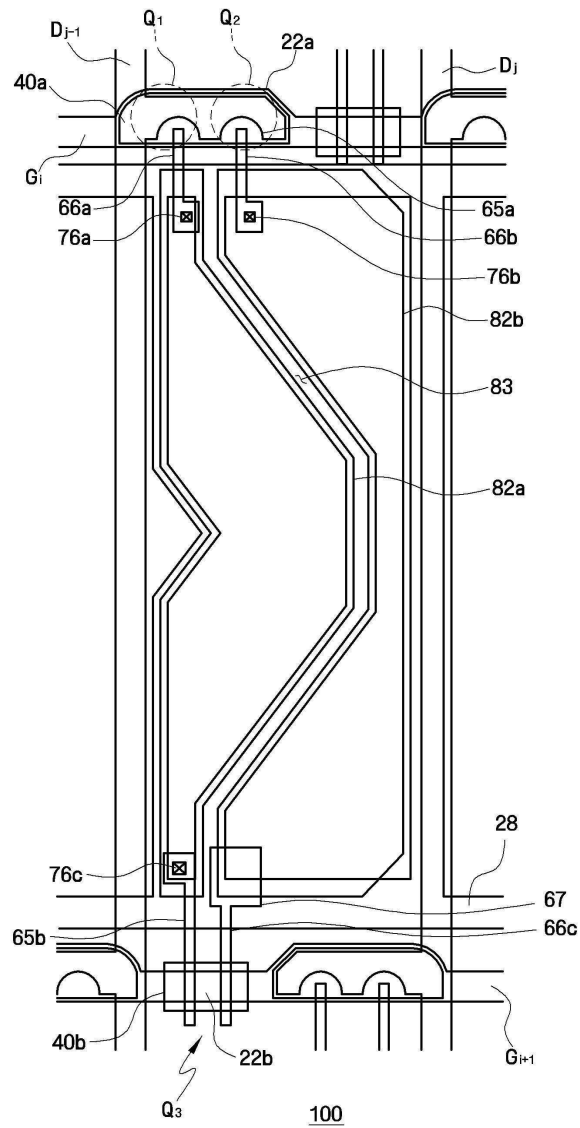
- <71> 22b: 제2 게이트 전극 28: 스토리지 전극선
- <72> 40a: 제1 반도체층 40b: 제2 반도체층
- <73> 65a: 제1 소스 전극 65b: 제2 소스 전극
- <74> 66a: 제1 드레인 전극 66b: 제2 드레인 전극
- <75> 66c: 제3 드레인 전극 76a, 76b, 76c: 콘택홀
- <76> 82a: 제1 부화소 전극 82b: 제2 부화소 전극
- <77> 83: 제1 슬릿 91: 제2 절연 기판
- <78> 92: 컬러 필터 93: 제2 슬릿
- <79> 94: 블랙 매트릭스 95: 오버코트층
- <80> 100: 상부 표시판 200: 하부 표시판
- <81> 300: 액정층

도면

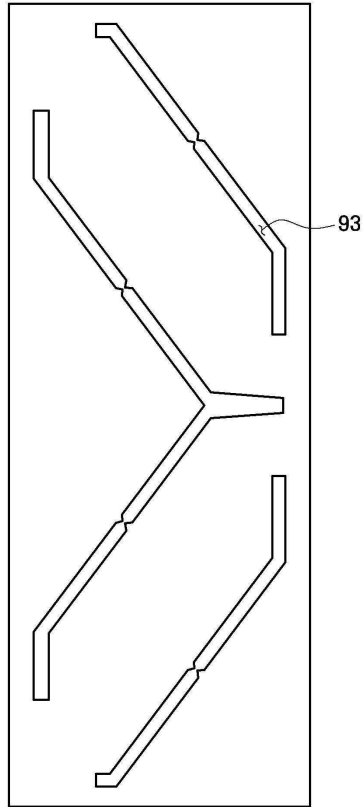
도면1



도면2

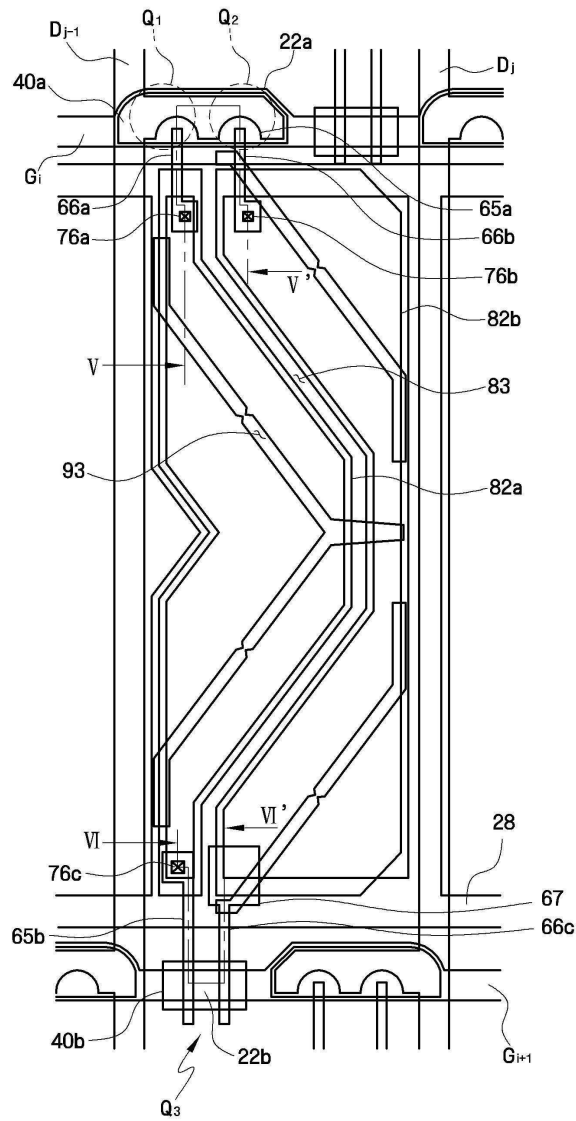


도면3

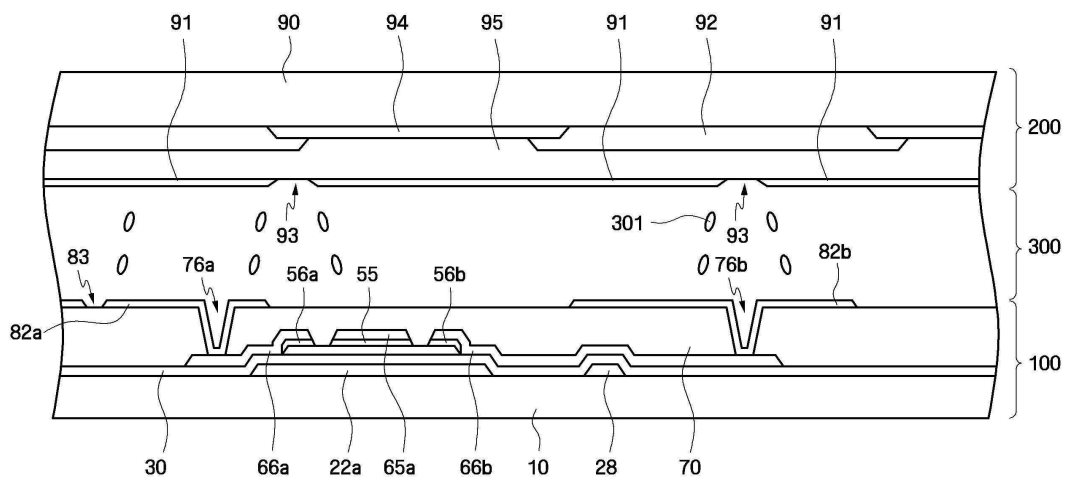


200

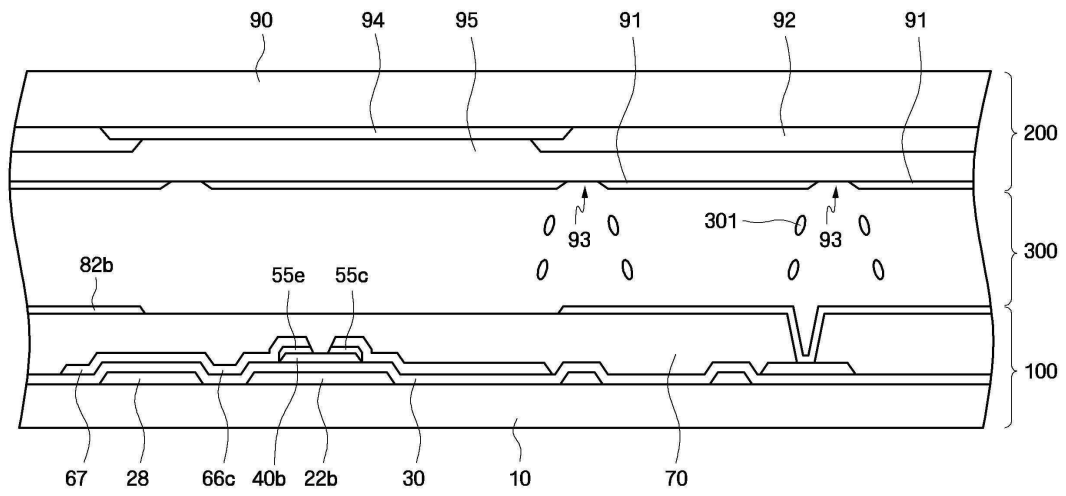
도면4



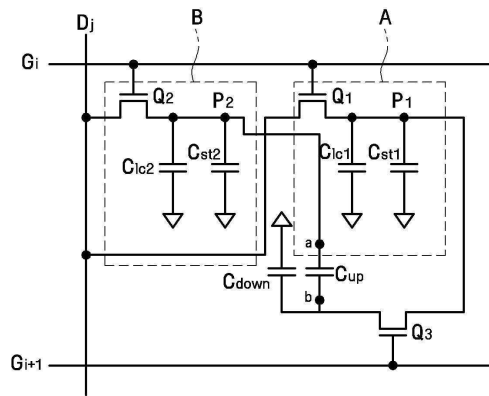
도면5



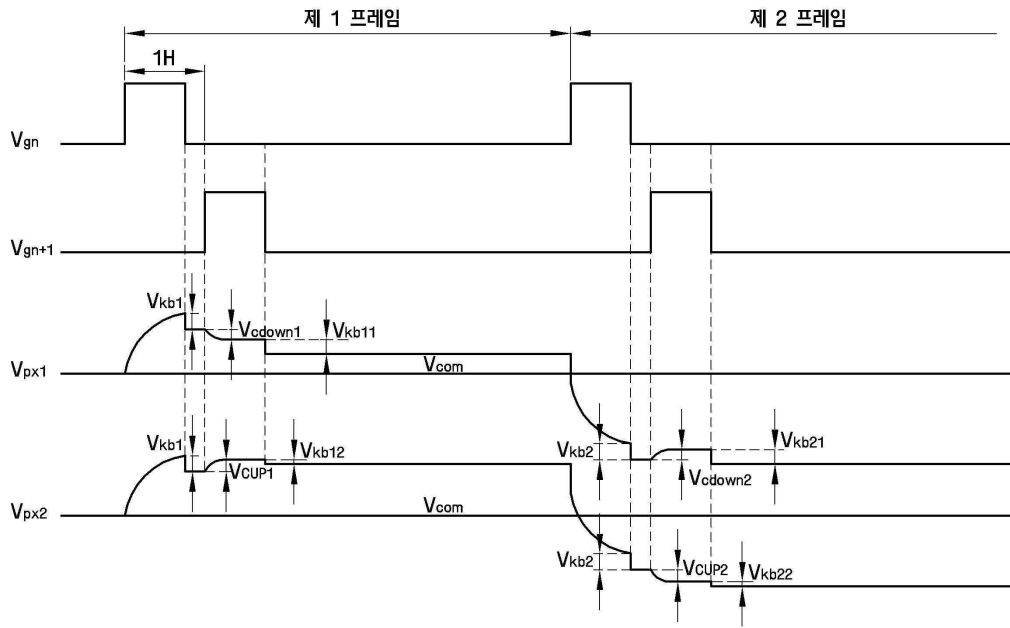
도면6



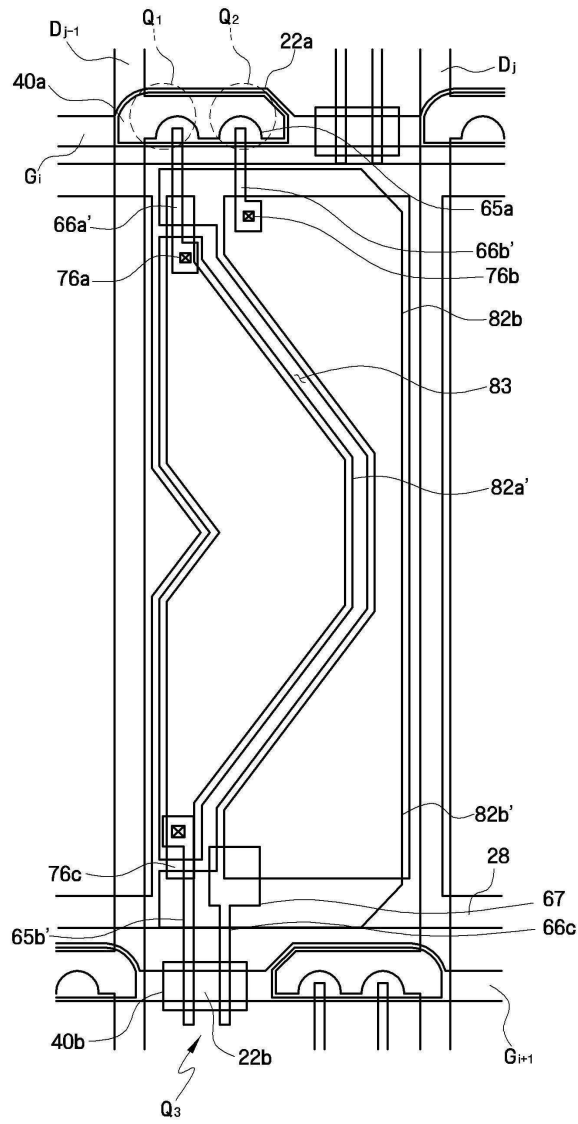
도면7



도면8



도면9



专利名称(译)	液晶显示器		
公开(公告)号	KR1020090088183A	公开(公告)日	2009-08-19
申请号	KR1020080013576	申请日	2008-02-14
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM SEOK WOO		
发明人	KIM, SEOK WOO		
IPC分类号	G02F1/1343		
CPC分类号	G09G2330/08 G09G2300/0443 G02F1/13624 G09G2300/0447 G09G3/3648 G09G2300/0426		
其他公开文献	KR101381348B1		
外部链接	Espacenet		

摘要(译)

提供液晶显示器。液晶显示器具有第一子像素电极，其中单位像素通过第*i*栅极线连接在多条栅极线之间，第一开关器件包括由于绝缘基板而向第一方向延伸的多条栅极线，多条数据线，以及由多条栅极线和多条数据线限定的单位像素以及形成的第二子像素电极与第一子像素电极相连，它通过连接到第二开关元件的第二子像素电极电连接第*i*个栅极线与第一开关器件相邻，漏极电极与第二子像素电极电容耦合，电容耦合，源极连接第一子像素电极。并且在*i* + 1数量栅极线和*i* + 2数量栅极线之间形成的第一和第二子像素电极和位置被改变，并且第一和第二子像素电极形成在第*i*个栅极线与第三开关器件之间连接到第一和第二子像素电极。包含相邻的*i* + 1个数字栅极线，并且*i* + 1个数量的栅极线被布置在多个栅极线之间。多条数据线在多条栅极线中交叉并延伸到第二方向。液晶显示，坏处减少，恢复。

