



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년12월11일
(11) 등록번호 10-1926513
(24) 등록일자 2018년12월03일

(51) 국제특허분류(Int. Cl.)
G02F 1/136 (2006.01) G02F 1/1343 (2006.01)
H01L 29/786 (2006.01)
(21) 출원번호 10-2011-0116634
(22) 출원일자 2011년11월09일
심사청구일자 2016년11월09일
(65) 공개번호 10-2013-0051342
(43) 공개일자 2013년05월20일
(56) 선행기술조사문헌
KR1020090096226 A*
KR1020100114235 A*
KR1020110066738 A*
KR1020110073536 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
이철환
경기도 수원시 팔달구 화산로 57 146동 602호 (화서동, 꽃피버들마을진홍아파트)
(74) 대리인
박영복

전체 청구항 수 : 총 9 항

심사관 : 김우영

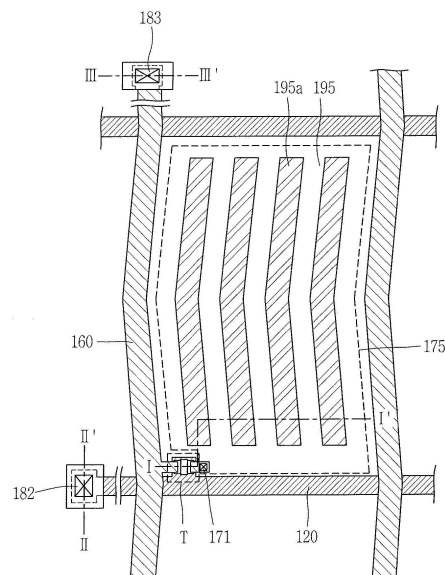
(54) 발명의 명칭 산화물 박막트랜지스터를 포함하는 액정표시장치 및 액정표시장치 제조방법

(57) 요약

본 발명의 일 실시예에 따르는 액정표시장치 제조방법은 소스 및 드레인 전극 형성시 습식 식각 후 건식 식각을 진행하여, 소스 및 드레인 전극이 게이트 전극과 중첩하는 영역을 최소화함으로써, 기생커패시터의 용량을 줄이는 것을 목적으로 한다.

(뒷면에 계속)

대표도 - 도3a



상기 액정표시장치 제조방법은 제 1 기판의 상부에 게이트전극, 게이트 절연막을 형성하는 단계; 상기 게이트 절연막의 상부이며 상기 게이트 전극과 중첩하는 위치에 산화물 반도체층을 형성하는 단계; 상기 산화물 반도체층의 상부에 에치스탑퍼를 형성하는 단계; 상기 에치스탑퍼를 포함하는 상기 제 1 기판의 전면(全面)에 제 1 도전층, 제 2 도전층을 순차적으로 적층하는 단계; 상기 제 2 도전층을 습식 식각하여, 제 1 도전층을 노출시키고, 상기 산화물 반도체층과 중첩하되 서로 이격하는 제 2 소스 전극과 제 2 드레인 전극을 형성하는 단계; 상기 제 1 도전층을 건식 식각하여, 상기 에치스탑퍼와 상기 산화물반도체층을 노출시키고, 상기 제 2 소스 전극 및 제 2 드레인 전극의 하부에 제 1 소스 전극 및 제 1 드레인 전극을 형성하는 단계; 상기 제 1 및 제 2 소스 전극과 제 1 및 제 2 드레인 전극의 상부에 제 1 절연층을 형성하고 상기 제 1 및 제 2 드레인 전극과 콘택홀을 통해 전기적으로 접촉하는 화소전극을 형성하는 단계; 및 상기 제 1 기판과 제 2 기판 사이에 액정층을 개재하고, 상기 제 2 기판을 상기 제 1 기판과 대향하게 합착시키는 단계; 를 포함하는 것을 특징으로 한다.

명세서

청구범위

청구항 1

제 1 기관의 상부에 게이트전극, 게이트 절연막을 형성하는 단계;

상기 게이트 절연막의 상부이며 상기 게이트 전극과 중첩하는 위치에 산화물 반도체층을 형성하는 단계;

상기 산화물 반도체층의 상부에 에치스탑퍼를 형성하는 단계;

상기 에치스탑퍼를 포함하는 상기 제 1 기관의 전면(全面)에 제 1 도전층, 제 2 도전층을 순차적으로 적층하는 단계;

상기 제 2 도전층을 습식 식각하여, 상기 에치스탑퍼 상부의 제 1 도전층을 노출시키고, 상기 산화물 반도체층과 중첩되도록 서로 이격하는 제 2 소스 전극과 제 2 드레인 전극을 형성하는 단계;

상기 제 1 도전층을 건식 식각하여, 상기 에치스탑퍼와 상기 산화물반도체층의 상부 표면 일부분을 노출시키고, 상기 에치스탑퍼로부터 이격되도록 상기 제 2 소스 전극 및 제 2 드레인 전극의 하부에 제 1 소스 전극 및 제 1 드레인 전극을 형성하는 단계;

상기 제 1 및 제 2 소스 전극과 제 1 및 제 2 드레인 전극의 상부에 제 1 절연층을 형성하고 상기 제 1 및 제 2 드레인 전극과 콘택홀을 통해 전기적으로 접촉하는 화소전극을 형성하는 단계; 및

상기 제 1 기관과 제 2 기관 사이에 액정층을 개재하고, 상기 제 2 기관을 상기 제 1 기관과 대향하게 합착시키는 단계;

를 포함하는 것을 특징으로 하는 액정표시장치 제조방법.

청구항 2

제 1 항에 있어서,

상기 제 2 소스 전극과 제 2 드레인 전극은 상기 제 1 소스 전극과 제 1 드레인 전극과 패턴이 동일한 것을 특징으로 하는 액정표시장치 제조방법.

청구항 3

제 1 항에 있어서,

상기 제 1 및 제 2 소스 전극과 제 1 및 제 2 드레인 전극 및 에치스탑퍼는 상기 산화물 반도체의 전면(全面)을 덮지 않는 것을 특징으로 하는 액정표시장치 제조방법.

청구항 4

삭제

청구항 5

제 1 항에 있어서,

상기 제 1 도전층은 Ti, Mo, MoTi, Ti alloy, Al 중 어느 하나로 구성되며, 상기 제 2 도전층은 Cu, Al, Ag, Pt, Au 중 어느 하나로 구성되는 것을 특징으로 하는 액정표시장치 제조방법.

청구항 6

제 1 항에 있어서,

상기 화소 전극의 상부에 제 2 절연층을 형성하는 단계; 및

상기 제 2 절연층의 상부이며 상기 화소 전극과 중첩하는 영역에 공통전극을 형성하는 단계;

를 추가로 포함하는 것을 특징으로 하는 액정표시장치 제조방법.

청구항 7

제 6 항에 있어서,

상기 화소 전극은 단일 패턴으로 형성되며, 상기 공통전극은 복수의 슬릿을 가진 박스(box) 형태인 것을 특징으로 하는 액정표시장치 제조방법.

청구항 8

제 1 항에 있어서,

상기 제 2 기판에 공통전극을 형성하는 단계;

를 추가로 포함하는 것을 특징으로 하는 액정표시장치 제조방법.

청구항 9

제 1 항에 있어서,

상기 제 1 절연층 상부에 공통전극을 형성하는 단계;를 추가로 포함하되,

상기 화소전극과 공통전극을 마주보며 평거링하는 복수의 바(bar) 형태로 형성하는 것을 특징으로 하는 액정표시장치 제조방법.

청구항 10

제 1 기판;

상기 제 1 기판의 상부에 형성되는 게이트 전극;

상기 게이트 전극의 상부에 형성되는 게이트 절연막;

상기 게이트 절연막의 상부이며, 상기 게이트 전극과 중첩되는 영역에 상면의 일부분이 노출되도록 형성되는 산화물 반도체층;

상기 산화물 반도체층의 상부 일면에 형성되는 에치스탑퍼;

상기 에치스탑퍼와 이격하되, 상기 산화물 반도체층과 중첩하고, 제 1 도전층과 제 2 도전층으로 형성된 소스 전극 및 드레인 전극;

상기 소스 전극 및 드레인 전극 상부에 형성되는 제 1 절연층;

상기 제 1 절연층의 상부에서 콘택트홀을 통하여 상기 드레인 전극과 전기적으로 연결되는 화소 전극;

상기 화소 전극 상부에 형성되는 제 2 절연층;

상기 제 2 절연층의 상부에서 상기 화소전극과 중첩하며, 복수의 슬릿을 가지는 형태로 형성된 공통전극;

상기 제 1 기판과 대향하여 합착하는 컬러 필터를 포함한 제 2 기판; 및

상기 제 1 기판과 제 2 기판 사이에 개재되는 액정층;

를 포함하는 것을 특징으로 하는 프린지 필드형 액정표시장치.

발명의 설명

기술 분야

[0001] 본 발명의 실시예들은 액정표시장치 및 액정표시장치 제조방법에 관한 것으로서, 보다 상세하게는 화소영역에서 기생커패시터를 줄이기 위한 액정표시장치 제조방법에 관한 것이다.

배경 기술

[0002] 액정표시장치(Liquid Crystal Display)와 같은 평판표시장치(Flat Panel Display)에서는 각각의 화소에 박막

트랜지스터와 같은 능동소자가 구비되어 표시소자를 구동한다. 이러한 방식의 표시소자의 구동방식을 흔히 액티브 매트릭스(Active Matrix) 구동방식이라 하는데 상기 액티브 매트릭스방식에서는 상기 박막트랜지스터가 각각의 화소에 배치되어 해당 화소를 구동하게 된다.

- [0003] 한편, 일반적인 박막트랜지스터는 반도체층으로 비정질 실리콘을 이용하여 왔으나, 상기 비정질 실리콘은 전자 이동속도가 느려서 초대형 화면에서는 고해상도 및 고속구동 능력을 실현하기가 어려웠다. 그래서 비정질 실리콘보다 전자 이동속도가 10배 이상 빠른 산화물 박막트랜지스터가 등장하였고 이것은 최근 UD(Ultra Definition) 이상의 고해상도 및 240Hz이상의 고속구동에 적합한 소자로 각광받고 있다.
- [0004] 상기 액정표시장치는 포토리소그래피와 같은 공정에 의해 제작되는데, 상기 포토리소그래피 공정은 패턴 대상 물질 및 포토레지스트의 증착, 마스크를 이용한 노광, 상기 포토레지스트의 현상, 에칭 등의 일련의 과정을 통해 진행되는 복잡한 공정이다. 여기서 이러한 과정을 거쳐 형성되는 액정표시장치의 구성을 도 1 및 도 2를 통하여 상세하게 알아본다.
- [0005] 도 1은 종래 산화물 박막트랜지스터를 포함한 액정표시장치의 어레이기판의 단면도이며, 도 2는 종래 액정표시장치의 단위 화소의 평면도이다.
- [0006] 상기 액정표시장치는 화상을 표시하는 액정패널, 빛을 발하는 백라이트 유닛, 상기 액정패널과 백라이트 유닛을 구동하는 구동회로부로 구성된다. 그 중에서도 상기 액정패널은 박막트랜지스터 기판(10)과 컬러필터기판과 액정층으로 구성되는데, 도 1은 박막트랜지스터 기판의 단면도를 나타낸 것이다.
- [0007] 상기 박막트랜지스터 기판(10)은 박막트랜지스터(Thin Film Transistor : TFT)(미도시)와 화소 전극(75) 등으로 구성된다. 상기 박막트랜지스터(미도시)는 게이트 전극(21), 게이트 절연막(30), 산화물 반도체층(40), 에치스탑퍼(50)와 소스 전극(61), 드레인 전극(62)으로 구성된다.
- [0008] 상기 게이트 전극(21)은 도 2의 게이트라인(20) 형성시에 같이 형성되며, 게이트라인(20)에서 일 방향으로 연장된 형상을 가진다.
- [0009] 이어서, 상기 산화물 반도체층(40)과 게이트 전극(21)을 절연시키기 위해 게이트 절연막(30)을 박막트랜지스터 기판(10)의 전면에 형성하며, 상기 게이트 전극(21)과 중첩되는 위치에 산화물 반도체층(40)을 형성한다. 상기 산화물 반도체층(40)은 게이트전극으로부터 전압을 인가받아 전하이동 채널을 도통하는 역할을 하므로 게이트 전극(21)과 중첩되어 형성된다.
- [0010] 그리고 상기 산화물 반도체층(40)의 채널이 형성되는 영역이 소스 및 드레인 전극(62)의 형성을 위한 식각공정시에 손상을 입지 않도록 상기 산화물반도체층(40)의 상부에 에치스탑퍼(50)를 형성한다.
- [0011] 그리고 소스 전극(61), 드레인 전극(62), 데이터라인(60)을 형성한다. 상기 소스 전극(61)과 드레인 전극(62)은 산화물 반도체층(40)과 일부 중첩하여 형성되며, 상기 소스 전극(61)은 데이터라인(60)에서 일 방향으로 연장되어 형성된다.
- [0012] 그리고 상기 소스 전극(61) 및 드레인 전극(62)의 상부로 절연층(70)이 형성되며, 절연층(70)의 콘택트홀(71)을 통하여 화소 전극(75)이 드레인 전극(62)과 전기적으로 접촉하여 형성된다. 상기 화소 전극(75)은 한 개의 단위 화소와 대응하는 액정층에 전압을 인가하기 위하여 단위화소에 해당하는 면적만큼 넓게 단일 패턴으로 형성된다.
- [0013] 한편, 상기 포토레지스트 공정 중 식각 공정은 현상되지 않은 포토레지스트를 막으로 하여 포토레지스트에 의해 가려지지 않은 영역을 선택적으로 깎아내는 과정인데 이것은 건식 식각 또는 습식 식각으로 진행될 수 있다.
- [0014] 습식 식각은 에천트를 이용하여 선택적으로 피식각물을 제거하는 것으로서 장비가격이 저렴하고 생산성이 우수하지만 건식식각에 비해 식각의 정밀도가 떨어지고 에천트(echant)에 의한 다른 구성의 손상이 발생할 수 있다는 단점이 있고, 건식 식각은 습식 식각과 비교하여 반응속도가 빠르고 미세 형상을 식각할 수 있으며 진공 챔버(chamber)내에서 반응이 이루어지므로 안전한 장점을 가진다.
- [0015] 따라서, 에치스탑퍼(50)와 같은 무기물은 건식 식각을 이용하여 형성하고, 에천트에 크게 손상을 받지 않는 소스 전극(61) 및 드레인 전극(62)과 같은 금속은 습식 식각 과정을 이용하여 형성된다.
- [0016] 그런데 상기 습식 식각 과정에서 소스 및 드레인 전극(61, 62) 하부의 산화물 반도체층(40)이 에천트에 의해 손상을 입게 될 염려가 있다. 산화물 반도체층(40)의 채널 형성 영역은 에치스탑퍼(50)에 의하여 보호되나 그 이외의 영역은 노출되어 있기 때문에 에천트의 영향을 받을 수 있는 것이다.

- [0017] 따라서, 도 2의 확대도면과 같이 상기 산화물 반도체층(40)의 상부면은 에치스탑퍼(50)와 소스 및 드레인 전극(61, 62)에 의해 전체가 커버된다.
- [0018] 이때, 소스와 드레인 전극(62)이 하부의 게이트 전극(21)과 중첩되는 영역의 면적이 넓어지게 되는데, 상기 소스 및 드레인 전극(62)이 상부 전극이 되고, 게이트 전극(21)이 하부전극이 되며, 게이트 절연막(30)이 유전체 역할을 하여 상기 박막트랜지스터에는 기생커패시터가 발생할 수 있다.
- [0019] 기생커패시터는 데이터라인(60)과 게이트라인(20)의 부하 증가 요인으로 작용하며, 부하 증가에 따라 더 큰 구동전압을 요하게 되어 소비전력을 더욱 증가시키게 한다.
- [0020] 즉, 기생커패시터를 줄이기 위한 문제는 소스 및 드레인 전극(61, 62)의 오버랩면적의 축소 여부로 귀결되나, 상기 산화물 반도체층의 손실 방지를 위해 상기 소스 및 드레인 전극(61, 62)의 면적을 축소시킬 수 없어 기생 커패시터를 줄이는 데에 큰 어려움이 있었다.
- [0021]

발명의 내용

해결하려는 과제

- [0022] 따라서 위와 같은 문제를 해결하기 위하여 본 발명의 실시예들은 소스 및 드레인 전극의 형성시 건식 식각과 습식 식각을 혼용하여, 산화물 반도체층에 손상이 없도록 함으로써 상기 소스 및 드레인 전극이 게이트 전극과 오버랩되는 면적을 줄이는 데에 목적이 있다.
- [0023] 또한, 본 발명의 다른 목적 및 특징들은 후술되는 발명을 실시하기 위한 구체적 내용 및 특허청구범위에서 설명될 것이다.

과제의 해결 수단

- [0024] 이와 같은 본 발명의 해결 과제를 달성하기 위하여, 본 발명의 일 실시예에 따르는 액정표시장치 제조방법은 제 1 기판의 상부에 게이트전극, 게이트 절연막을 형성하는 단계; 상기 게이트 절연막의 상부이며 상기 게이트 전극과 중첩하는 위치에 산화물 반도체층을 형성하는 단계; 상기 산화물 반도체층의 상부에 에치스탑퍼를 형성하는 단계; 상기 에치스탑퍼를 포함하는 상기 제 1 기판의 전면(全面)에 제 1 도전층, 제 2 도전층을 순차적으로 적층하는 단계; 상기 제 2 도전층을 습식 식각하여, 제 1 도전층을 노출시키고, 상기 산화물 반도체층과 중첩하되 서로 이격하는 제 2 소스 전극과 제 2 드레인 전극을 형성하는 단계; 상기 제 1 도전층을 건식 식각하여, 상기 에치스탑퍼와 상기 산화물반도체층을 노출시키고, 상기 제 2 소스 전극 및 제 2 드레인 전극의 하부에 제 1 소스 전극 및 제 1 드레인 전극을 형성하는 단계; 상기 제 1 및 제 2 소스 전극과 제 1 및 제 2 드레인 전극의 상부에 제 1 절연층을 형성하고 상기 제 1 및 제 2 드레인 전극과 선택홀을 통해 전기적으로 접촉하는 화소전극을 형성하는 단계; 및 상기 제 1 기판과 제 2 기판 사이에 액정층을 개재하고, 상기 제 2 기판을 상기 제 1 기판과 대향하게 합착시키는 단계;를 포함하는 것을 특징으로 한다.
- [0025] 바람직하게는, 상기 제 2 소스 전극과 제 2 드레인 전극은 상기 제 1 소스 전극과 제 1 드레인 전극과 패턴이 동일한 것을 특징으로 한다.
- [0026] 또한, 상기 제 1 및 제 2 소스 전극과 제 1 및 제 2 드레인 전극 및 에치스탑퍼는 상기 산화물 반도체의 전면(全面)을 덮지 않는 것을 특징으로 한다.
- [0027] 또한, 상기 제 1 및 제 2 소스 전극과 제 1 및 제 2 드레인 전극을 형성하는 단계는 상기 제 1 및 제 2 소스 전극과 제 1 및 제 2 드레인 전극을 상기 에치스탑퍼와 이격하여 형성하는 것을 특징으로 한다.
- [0028] 또한, 상기 제 1 도전층은 Ti, Mo, MoTi, Ti alloy, Al 중 어느 하나로 구성되며, 상기 제 2 도전층은 Cu, Al, Ag, Pt, Au 중 어느 하나로 구성되는 것을 특징으로 한다.
- [0029] 또한, 상기 화소 전극의 상부에 제 2 절연층을 형성하는 단계; 및 상기 제 2 절연층의 상부이며 상기 화소 전극과 중첩하는 영역에 공통전극을 형성하는 단계; 를 추가로 포함하는 것을 특징으로 한다.
- [0030] 또한, 상기 화소 전극은 단일 패턴으로 형성되며, 상기 공통전극은 복수의 슬릿을 가진 박스(box) 형태인 것을

특징으로 한다.

- [0031] 또한, 상기 제 2 기판에 공통전극을 형성하는 단계;를 추가로 포함하는 것을 특징으로 한다.
- [0032] 또한, 상기 제 1 절연층 상부에 공통전극을 형성하는 단계;를 추가로 포함하되, 상기 화소전극과 공통전극을 마주보며 평거링하는 복수의 바(bar) 형태로 형성하는 것을 특징으로 한다.
- [0033] 한편, 본 발명의 다른 실시예에 따르는 프린지 필드형 액정표시장치는 제 1 기판; 상기 제 1 기판의 상부에 형성되는 게이트 전극; 상기 게이트 전극의 상부에 형성되는 게이트 절연막; 상기 게이트 절연막의 상부이며, 상기 게이트 전극과 중첩되는 영역에 형성되는 산화물 반도체층; 상기 산화물 반도체층의 상부 일면에 형성되는 에치스탑퍼; 상기 에치스탑퍼와 이격하되, 상기 산화물 반도체층과 중첩하고, 제 1 도전층과 제 2 도전층으로 형성된 소스 전극 및 드레인 전극; 상기 소스 전극 및 드레인 전극 상부에 형성되는 제 1 절연층; 상기 제 1 절연층의 상부에서 콘택트홀을 통하여 상기 드레인 전극과 전기적으로 연결되는 화소 전극; 상기 화소 전극 상부에 형성되는 제 2 절연층; 상기 제 2 절연층의 상부에서 상기 화소전극과 중첩하며, 복수의 슬릿을 가지는 형태로 형성된 공통전극; 상기 제 1 기판과 대향하여 합착하는 컬러 필터를 포함한 제 2 기판; 및 상기 제 1 기판과 제 2 기판 사이에 개재되는 액정층;을 포함하는 것을 특징으로 한다.

발명의 효과

- [0034] 상기와 같이 구성되는 본 발명의 적어도 하나의 실시예에 관련된 액정표시장치 또는 액정표시장치 제조방법은,
- [0035] 습식 식각 후 건식 식각을 진행함으로써 산화물 반도체층이 손상을 입지 않도록 할 수 있다. 그에 따라 산화물 반도체층의 상부를 덮는 소스 및 드레인 전극의 면적을 최소화함으로써 게이트 전극과 오버랩되는 면적을 줄여 기생캐패시터의 용량을 줄일 수 있다.
- [0036] 기생캐패시터의 용량 감소로 데이터라인과 게이트라인의 부하를 줄여, 더 낮은 구동전압을 사용할 수 있게 되어 소비전력을 저감할 수 있다.
- [0037] 부하를 줄일 수 있게 되어 종래기술보다 좁은 라인 폭을 형성할 수 있으며, 소스 및 드레인 전극의 면적을 줄임으로써 박막트랜지스터의 크기를 감소시킬 수 있으므로, 개구율 및 투과율을 증가시킬 수 있다.

도면의 간단한 설명

- [0038] 도 1은 종래 산화물 박막트랜지스터를 포함한 액정표시장치의 어레이기판의 단면도이다.
- 도 2는 종래 액정표시장치의 단위 화소의 평면도이다.
- 도 3a는 본 발명의 일 실시예에 따르는 액정표시장치의 단위 화소의 평면도이다.
- 도 3b는 도 3a의 T영역을 확대한 확대도이다.
- 도 4는 도 3a의 I~I', II~II', III~III'을 절단한 단면도이다.
- 도 5a내지 도 5l은 본 발명의 일 실시예에 따르는 액정표시장치의 제조과정의 단면도이다.
- 도 6은 본 발명의 일 실시예에 따르는 액정표시장치의 제조과정의 순서도이다.
- 도 7a는 종래기술에 따르는 박막트랜지스터의 단면 사진이다.
- 도 7b는 본 발명의 일 실시예에 따르는 박막트랜지스터의 단면 사진이다.

발명을 실시하기 위한 구체적인 내용

- [0039] 이하, 본 발명의 실시예에 따르는 액정표시장치 및 액정표시장치 제조방법에 대하여 도면을 참조하여 보다 상세하게 설명한다.
- [0040] 본 명세서에서 사용되는 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함할 수 있다.
- [0041] 또한, 본 명세서에 첨부된 도면의 구성요소들은 설명의 편의를 위해 확대 또는 축소되어 도시되어 있을수 있음

이 고려되어야 한다.

- [0042] 도 3a는 본 발명의 일 실시예에 따르는 액정표시장치의 단위 화소의 평면도이다. 도 3b는 도 3a의 T영역을 확대한 확대도이며, 도 4는 도 3a의 I~I', II~II', III~III'을 절단한 단면도이다.
- [0043] 본 발명의 일 실시예에 따르는 액정표시장치는, 액정패널, 백라이트 유닛, 구동회로부로 구성된다. 여기서 상기 액정패널은 제 1 기관, 제 2 기관, 액정층으로 구성된다. 이하, 아래 설명에서는 제 1 기관 상에 형성되는 구성에 대해 상세히 살펴본다.
- [0044] 먼저 도 3a를 보면, 데이터라인(160)과 교차되는 게이트라인(120)사이의 공간을 단위 화소로 정의하며, 상기 단위 화소의 일 공간에는 박막트랜지스터(T)가 형성된다. 그리고 상기 게이트라인(120)의 일 끝에는 게이트패드가 형성되며, 데이터라인(160)의 일 끝에는 데이터패드가 형성된다.
- [0045] 상기 데이터라인(160)은 제 1 방향으로 형성된다고 할 때, 상기 게이트라인(120)은 상기 제 1 방향과 수직한 제 2 방향으로 형성된다. 그리고 상기 데이터라인(160)은 각이 진 S자 모양으로 형성될 수 있다.
- [0046] 그리고 게이트 패드(미도시)는 도 4를 참조하면, 게이트 패드 전극(122)과 상부 도전막(192)으로 구성되는 것으로서, 게이트 패드 전극(122)은 게이트 전극(121)과 동시에 형성되며, 제 1 절연층(170)과 제 2 절연층(180)에 형성된 제 2 콘택트홀(182)을 통하여 상부 도전막(192)과 전기적으로 접촉한다. 따라서, 게이트 구동부에서 발생된 신호는 게이트 패드의 상부 도전막을 통해 게이트 패드 전극(122)으로 전달되어 이후, 게이트라인(120)으로 전달 될 수 있다.
- [0047] 데이터 패드(미도시)는 데이터 패드 전극(161c, 162c)과 상부 도전막(193)으로 구성되는 것으로서, 소스 및 드레인 전극(161a, 162a, 161b, 162b)과 동시에 형성된다. 상기 데이터 패드 전극(161c, 162c)은 제 1 데이터 패드 전극(161c)과 제 2 데이터 패드 전극(162c)으로 구성되며, 상부 도전막(193)은 제 1 절연층(170)과 제 2 절연층(180)에 형성된 제 3 콘택트홀(183)을 통하여 데이터 패드 전극(161c, 162c)과 전기적으로 접촉한다. 따라서, 데이터 구동부에서 발생된 데이터 신호는 데이터 패드의 상부 도전막(193)을 통해 데이터 패드 전극(161c, 162c)으로 전달되고 이후, 데이터라인(160)으로 전달 될 수 있다.
- [0048] 상기 박막트랜지스터(T)는 스위칭 소자로서, 게이트 전극(121)과, 게이트 절연막(130)과, 산화물 반도체층(140)과, 에치스탑퍼(150), 소스 전극(161a, 162a), 드레인 전극(161b, 162b)으로 구성될 수 있다.
- [0049] 도 4를 통해 상기 박막트랜지스터(T)의 구조를 살펴보면, 제 1 기관(110)의 상부에 게이트 전극(121)이 형성되며, 그 상부에는 게이트 전극(121)과 산화물 반도체층(140)을 절연하기 위한 게이트 절연막(130)이 형성되어 있다. 그리고 상기 게이트 전극(121)과 중첩하는 영역에 산화물 반도체층(140)이 게이트 절연막(130)의 상부에 형성된다. 상기 산화물 반도체층(140)의 종류에는 제한이 없다. 예를 들어 Zn 산화물계 물질로, Zn 산화물, In-Zn 산화물, Ga-In-Zn 산화물 등과 여기에 유기물 등 다른 물질을 더 포함한 물질로 형성된 것일 수 있다. 상기 산화물 반도체층(140)의 상부 일면에는 에치스탑퍼(150)층이 형성되어 상기 산화물 반도체층(140)의 채널 영역이 식각에 의해 손상되는 것을 방지한다. 상기 에치스탑퍼(150)층은 무기물로 형성될 수 있다. 그리고 상기 산화물 반도체층(140)의 양 끝과 중첩하며, 상기 에치스탑퍼(150)와 이격되어 소스 전극(161a, 162a)과 드레인 전극(161b, 162b)이 형성된다.
- [0050] 상기 소스 전극(161a, 162a)과 드레인 전극(161b, 162b)은 상부에 배치되는 제 2 소스 전극(162a) 및 제 2 드레인 전극(162b)과 하부에 배치되는 제 1 소스 전극(161a) 및 제 2 드레인 전극(162b)으로 구성된다.
- [0051] 상기 제 1 소스 전극(161a) 및 제 1 드레인 전극(161b)은 산화물 반도체층(140)과 오믹접촉이 원활하도록 티타늄(Ti), 티타늄 합금(Ti alloy), 몰리브덴(Mo), 몰리브덴티타늄 합금(MoTi), 알루미늄(Al) 또는 인듐-틴-옥사이드(ITO) 등으로 형성될 수 있으며, 상기 제 2 소스 전극(162a) 및 제 2 드레인 전극(162b)은 저저항 금속인 구리(Cu), 백금(Pt), 금(Au), 은(Ag), 알루미늄(Al) 등으로 형성될 수 있다.
- [0052] 그리고 상기 제 1 소스 전극(161a) 및 제 1 드레인 전극(161b)은 제 2 소스 전극(162a) 및 제 2 드레인 전극(162b)과 동일한 형태로 형성될 수 있다.
- [0053] 여기서 도 3b를 통해 박막트랜지스터(T)의 상부 구조를 상세히 살펴본다.
- [0054] 게이트 전극(121)은 게이트 전압의 원활한 전달과 백라이트 유닛의 입사광에 의해 산화물 반도체 층의 손상(신뢰성, 수명저하)을 방지하기 위해 산화물 반도체층(140)의 면적보다 넓게 형성되어 있으며, 상기 에치스탑퍼(150)는 산화물 반도체층(140)의 상부 일면을 덮고 있다. 상기 일면은 중앙면이 될 수 있다. 그리고 소스 전극

(161a, 162a)과 드레인 전극(161b, 162b)은 산화물 반도체층(140)의 양 끝의 일부를 덮고 있다. 그러므로, 상기 에치스탑퍼(150)는 상기 소스 전극(161a, 162a) 및 드레인 전극(161b, 162b)과 이격되어 형성되며, 상기 산화물 반도체층(140)의 상부 전면(全面)이 에치스탑퍼(150)와 소스 및 드레인 전극(161a, 162a, 161b, 162b)에 의하여 커버되지 않는다.

- [0055] 다르게 말하면, 종래기술과 비교하여 상기 박막트랜지스터(T)는 소스 및 드레인 전극(161a, 162a, 161b, 162b)이 게이트 전극(121)과 중첩되는 면적이 작다. 종래기술과 대비했을 때 본 발명의 일 실시예는 약 1/3 정도 소스 전극과 드레인 전극의 면적을 줄일 수 있다.
- [0056] 그 결과 커패시터의 용량은 상,하부 전극의 단면적과 비례하므로($C=A/d$; C=커패시터 용량, A=상, 하부 전극의 단면적, d=상, 하부 전극 사이의 거리) 소스 및 드레인 전극(161a, 162a, 161b, 162b)과 게이트 전극(121)이 중첩하여 발생하는 기생커패시터의 용량을 약 1/3 정도 줄일 수 있다.
- [0057] 상기 기생커패시터는 데이터신호 및 게이트신호의 딜레이를 유발할 수 있는 요인으로서, 다르게 말하면, 데이터라인(160)과 게이트라인(120)의 저항으로 작용할 수 있다.
- [0058] 따라서, 상기 기생커패시터의 용량 감소로 데이터라인(160)과 게이트라인(120)의 부하를 줄일 수 있으며, 상기 단위화소를 구동하기 위한 구동전압을 낮게 하더라도 왜곡없는 신호 전달이 가능하다. 그 결과 낮은 구동전압 사용으로 소비전력을 저감할 수 있다.
- [0059] 또한, 부하를 줄일 수 있게 되어 종래기술보다 좁은 라인 폭을 형성할 수 있고, 소스 및 드레인 전극(161a, 162a, 161b, 162b)의 면적을 줄임으로써 박막트랜지스터의 크기를 감소시킬 수 있으므로, 액정표시장치의 개구율 및 투과율을 증가시킬 수 있다. 액정표시장치의 개구율 및 투과율 증가는 휘도 증가로 이어지므로 광원을 구동하기 위한 소비전력을 줄일 수 있다.
- [0060] 한편, 상기 박막트랜지스터(T)의 동작은 게이트라인(120)으로부터 전송된 게이트 전압에 의해 액티브층에 채널이 도통되는 경우, 데이터라인(160)으로부터 전송된 데이터 전압이 상기 채널을 통하여 드레인 전극(161b, 162b)으로 전달되어 화소 전극(175)에 인가되는 형식으로 구동된다.
- [0061] 여기서 상기 드레인 전극(161b, 162b)의 일 면은 일 방향으로 연장되어 제 1 콘택트홀(171)을 통해 화소 전극(175)과 연결될 수 있다. 상기 화소 전극(175)은 제 1 절연층(170)의 상부이며 단위 화소와 대응되는 면적에 단일 패턴으로 형성된다. 도 3a에서 점선으로 표시된 영역은 화소 전극(175)이 형성된 영역이다.
- [0062] 그리고 제 2 절연층(180)을 사이에 두고 상기 화소 전극(175)과 프린지 필드 전계(Fringe Field)를 형성하는 공통 전극(195)을 형성할 수 있다. 이때, 상기 공통 전극(195)은 제 1 개구부(195a)와 제 2 개구부(195b)를 오픈(open)한 채로 제 1 기판(110)의 전면에 박스(box) 형태로 형성될 수 있다.
- [0063] 상기 제 1 개구부(195a)는 데이터라인(160)과 평행하게 형성되는 복수의 슬릿이다. 상기 복수의 슬릿은 일정한 간격으로 배치될 수 있다. 그리고 상기 제 2 개구부(195b)는 박막트랜지스터(T) 영역 상부를 오픈(open)하는 것으로서 상기 산화물 반도체층(140)의 채널 영역에서 전자의 이동에 간섭을 일으키지 않기 위해 형성된다.
- [0064] 한편, 상기 공통 전극(195)과 화소 전극(175)은 서로 위치가 바뀌어서 형성될 수도 있다.
- [0065] 본 명세서에서는 프린지 필드형 액정표시장치(FFS LCD : Fringe Field Switching LCD)에 대해서만 설명하였으나, 본 발명의 일 실시예는 이에 한하지 않으며, 상기 산화물 반도체층(140)이 상기 소스 및 드레인 전극(161a, 162a, 161b, 162b)과 최소한으로 중첩하는 것이라면, TN 방식, VA 방식, IPS 방식의 액정표시장치의 경우도 모두 본 발명의 일 실시예로서 포함한다.
- [0066] 이하, 상기 액정표시장치의 제조방법을 다른 도면을 통하여 검토해본다.
- [0067] 도 5a내지 도 5l은 본 발명의 일 실시예에 따르는 액정표시장치의 제조과정의 단면도이다. 도 6은 본 발명의 일 실시예에 따르는 액정표시장치의 제조과정의 순서도이다.
- [0068] 먼저 도 5a를 참조하면, 투명한 절연물질로 이루어진 제 1 기판(110) 상부에는 게이트 전극(121) 및 게이트라인(미도시), 게이트 패드 전극(122)이 형성된다.(S1)
- [0069] 상기 게이트 전극(121)은 도전막(미도시)을 상기 제 1 기판(110) 전면에 증착한 후 포토리소그래피공정을 통해 선택적으로 패터닝하여 형성한다. 상기 포토리소그래피공정은 포토레지스트를 적층한 다음 노광 공정을 거친 뒤 포토레지스트를 현상(develop)하고 남겨진 포토레지스트를 막으로 하여 식각하는 과정을 포함한다.

- [0070] 여기서, 상기 도전막으로 알루미늄(Al), 알루미늄 합금(Al alloy), 텅스텐(W), 구리(Cu), 니켈(Ni), 크롬(Cr), 몰리브덴(Mo), 티타늄(Ti), 백금(Pt), 탄탈(Ta) 등과 같은 저저항 불투명 도전물질을 사용할 수 있다. 또한, 상기 제 1 도전막은 인듐-틴-옥사이드(Indium Tin Oxide; ITO), 인듐-징크-옥사이드(Indium Zinc Oxide; IZO)와 같은 불투명한 도전물질을 사용할 수도 있다.
- [0071] 다음으로, 도 5b에 따라 게이트 절연막(130)을 증착하고 산화물 반도체층(140)을 형성한다.(S2)
- [0072] 먼저 게이트 절연막(130)을 형성하며, 상기 게이트 절연막(130)은 상기 게이트전극이 형성된 제 1 기판(110) 전면에 실리콘질화막(SiNx), 실리콘산화막(SiO₂)과 같은 무기절연막 또는 hafnium(hafnium; Hf) 옥사이드, 알루미늄 옥사이드와 같은 고유전성 산화막 등으로 증착한다. 이때, 상기 게이트 절연막(130)은 화학기상증착(Cheical Vapour Deposition; CVD) 또는 플라즈마 화학기상증착(Plasma Enhanced Chemical Vapour Deposition; PECVD)으로 형성할 수 있다.
- [0073] 그리고 상기 게이트 절연막(130)이 형성된 제 1 기판(110) 전면에 산화물 반도체층(140)을 증착한다. 이때, 상기 산화물 반도체층(140)의 종류에는 제한이 없다. 예를 들어 Zn 산화물계 물질로, Zn 산화물, In-Zn 산화물, Ga-In-Zn 산화물 등과 여기에 유기물 등 다른 물질을 더 포함한 물질로 형성된 것일 수 있다. 그리고 상기 게이트 전극(121)을 형성할 때와 마찬가지로, 노광, 현상, 식각 공정을 거쳐 게이트 전극(121)과 중첩하는 산화물 반도체층(140)을 패터닝한다.
- [0074] 이어서 도 5c와 같이 상기 산화물 반도체층(140)의 상부에 에치스탑퍼(150)를 형성할 수 있다.(S3)
- [0075] 상기 에치스탑퍼(150)는 상기 산화물 반도체층(140)의 채널 형성 영역이 소스 및 드레인 전극(161a, 162a, 161b, 162b)의 식각 공정시에 손상되는 것을 방지하기 위해 형성하는 것으로서, 무기물을 이용하여 형성한다. 상기 에치스탑퍼(150)는 무기물을 증착하고 그 위에 포토레지스트를 증착한뒤, 노광, 현상, 식각 공정을 거쳐 패터닝하여 형성될 수 있다.
- [0076] 다음으로, 도 5d 와 같이, 소스 전극(161a, 162a) 데이터 전극 및 데이터라인을 형성하기 위하여 제 1 도전층(161) 및 제 2 도전층(162)을 증착한다.(S4)
- [0077] 이때, 제 1 도전층(161)을 먼저 적층하고 그 위에 제 2 도전층(162)을 적층한다.
- [0078] 상기 제 1 도전층(161)은 산화물 반도체층(140)과 오믹접촉을 원활히 하기 위하여, 티타늄(titanium; Ti), 티타늄 합금(Ti alloy), 몰리브덴(molybdenum; Mo), 몰리브덴티타늄 합금(molybdenum titanium : MoTi), 알루미늄(Aluminium : Al) 또는 인듐-틴-옥사이드(Indium Tin Oxide; ITO) 을 사용할 수 있다.
- [0079] 상기 제 2 도전층(162)은 저저항 배선재료로 형성될 수 있으며, 구리(Cu) 은(Ag), 백금(Pt), 금(Au), 알루미늄(Al)을 사용할 수 있다.
- [0080] 그리고 상기 제 2 도전층(162)을 패터닝하여 제 2 소스 전극(162a) 및 제 2 드레인 전극(162b)을 형성할 수 있다.(S5)
- [0081] 먼저, 상기 제 2 도전층(162)의 상부에 포토레지스트를 적층한다. 그리고 상기 포토레지스트의 상부에서 마스크를 이용하여 일정한 부분만 빛에 노출되도록 노광공정을 진행한다. 이후에 포토레지스트의 성질에 따라 빛에 노출된 부분 또는 빛에 노출되지 않은 부분을 제거한다. 그리고 남아 있는 포토레지스트를 막으로 하여 습식 식각으로 제 2 데이터 라인, 제 2 소스 전극(162a), 제 2 드레인 전극(162b), 제 2 데이터 패드 전극(162c)을 형성한다.
- [0082] 상기 습식 식각은 포토레지스트 마스크 패턴이 형성된 기판을 에천트(Etchant) 용액에 침전시키거나 또는 분사노즐로 에천트 용액을 기판 상에 분사시켜 식각액과 전극 물질부를 반응시키는 방식으로 진행된다. 상기 에천트는 좋은 선택도를 가지는 용액으로서 제 2 도전층(162)만을 식각할 수 있다.
- [0083] 이때, 상기 제 2 소스 전극(162a) 및 제 2 드레인 전극(162b)은 산화물 반도체층(140)의 양 끝과 일부 중첩하고, 에치스탑퍼(150)와 일정 간격 이격하도록 형성된다.
- [0084] 이어서, 도 5f와 같이 제 1 도전층(161)을 패터닝하여 제 1 소스 전극(161a), 제 1 드레인 전극(161b)을 형성한다.(S6)
- [0085] 이때, 제 1 데이터 라인(미도시), 제 1 데이터 패드 전극(161c), 상기 제 1 소스 전극(161a) 및 제 1 드레인 전극(161b)은 동시에 식각되어 패터닝되는데 이때, 건식 식각을 이용하게 된다. 상기 건식 식각은 플라즈마를 사

용하는 방법이 주로 이용되는데, 이 식각공정을 진행하기 위해서는 먼저 건식 식각 장치내로 반응 가스를 주입하고 외부에서 건식 식각 장치 내의 상부전극과 하부전극에 고주파 전력을 인가하면, 상, 하부 전극 사이에 형성된 고주파 전계에 의해 가속된 전자가 반응 가스 분자와 여러 번의 충돌을 거쳐 고 에너지를 얻고, 다음에 반응 가스 분자와 비탄성 충돌하여 반응 가스 분자를 전리, 여기하여 플라즈마를 발생시킨다. 이렇게 만들어진 플라즈마 가스 중 음(negative)의 성격을 띠고 있는 플라즈마 가스는 상, 하부전극 사이의 전위차에 의해 하부전극 쪽으로 이동하고 하부전극 상부에 로딩되어 있는 피연식각 부재와 반응하여 증기압이 높은 물질 또는 휘발성 물질을 생성함으로써 식각 공정이 진행된다.

- [0086] 따라서, 상기 제 1 소스 전극(161a) 및 드레인 전극(161b, 162b) 역시 상기 에치스탑퍼(150)와 이격되어 형성되므로 산화물 반도체층(140)의 상부 일면을 노출하게 되는데 건식 식각은 습식식각과 달리 에천트를 사용하지 않으므로 산화물 반도체층(140)의 노출면에 손상을 줄 염려가 없다.
- [0087] 그러므로, 상기 소스 전극(161a, 162a)과 드레인 전극(161b, 162b)이 상기 산화물 반도체층(140)과 중첩하는 영역을 줄여도 상기 산화물 반도체층(140)에는 영향이 없다.
- [0088] 상기 제 1 데이터 라인(미도시), 제 1 데이터 패드 전극(161c), 제 1 소스 전극(161a), 제 1 소스 전극(161a)은 제 2 데이터 라인(미도시), 제 2 데이터 패드 전극(162c), 제 2 소스 전극(162a), 제 2 소스 전극(162a)을 막으로 하여 식각되므로 제 2 데이터 라인(미도시), 제 2 데이터 패드 전극(162c), 제 2 소스 전극(162a), 제 2 소스 전극(162a)과 동일한 모양으로 패터닝될 수 있다. 따라서, 제 1 및 제 2 소스 전극(161a, 162a), 제 1 및 제 2 드레인 전극(161b, 162b), 제 1 및 제 2 데이터 패드 전극(161c, 162c), 제 1 및 제 2 데이터라인(미도시)은 하나의 소스 전극과 드레인 전극, 데이터 패드 전극, 데이터라인을 구성한다.
- [0089] 결과적으로 하나의 마스크 공정을 이용하되, 습식 식각과 건식 식각을 선택적으로 적용하여 소스 및 드레인 전극(161a, 161b, 162a, 162b)을 형성할 수 있다.
- [0090] 이어서, 도 5g와 같이 제 1 기판(110)의 전면에 제 1 절연층(170)을 증착하고 도 5h와 같이 제 2 드레인 전극(162b)의 일부를 노출하는 제 1 콘택트홀(171)을 형성한다.(S7)
- [0091] 상기 제 1 절연층(170)은 실리콘 질화막(SiNx) 또는 실리콘 산화막(SiO₂) 등으로 형성될 수 있다. 그리고 상기 제 1 콘택트홀(171)은 포토리소그래피 공정을 통하여 형성될 수 있다.
- [0092] 그 후, 도 5i와 같이 상기 제 1 콘택트홀(171)에 화소 전극(175)을 형성한다.(S8)
- [0093] 상기 화소 전극(175)은 인듐-틴-옥사이드(Indium Tin Oxide; ITO) 또는 인듐-징크-옥사이드(Indium Zinc Oxide; IZO)와 같은 투과율이 뛰어난 도전물질을 제 1 절연층(170)의 상면에 증착한 뒤, 포토리소그래피 공정을 거쳐 패터닝하여 형성한다.
- [0094] 상기 화소 전극(175)은 제 1 콘택트홀(171)을 통하여 드레인 전극(161b, 162b)과 전기적으로 접촉하며, 단위 화소에 대응되는 영역에 보드(board)형태의 단일 패턴으로 형성될 수 있다.
- [0095] 그 다음, 도 5j와 같이 상기 제 1 절연층(170)의 상면에 제 2 절연층(180)을 형성하며, 도 5k와 같이 제 2 콘택트홀(182)과 제 3 콘택트홀(183)을 형성한다.(S9)
- [0096] 상기 제 2 콘택트홀(182)은 게이트 패드 전극(122)을 노출시키기 위해 제 1 절연층(170), 제 2 절연층(180), 게이트 절연막(130)을 관통하여 형성되며, 상기 제 3 콘택트홀(183)은 데이터 패드 전극을 노출시키기 위해 제 1 절연층(170), 제 2 절연층(180)을 관통하여 형성된다.
- [0097] 그리고 마지막으로 공통 전극(195), 게이트 패드, 데이터 패드를 형성한다.(S10)
- [0098] 상기 공통 전극(195), 게이트 패드 및 데이터 패드의 상부 도전막(192, 193)은 인듐-틴-옥사이드(Indium Tin Oxide; ITO) 또는 인듐-징크-옥사이드(Indium Zinc Oxide; IZO)와 같은 도전물질을 제 2 절연층(180)의 상면과 제 2 콘택트홀(182) 및 제 3 콘택트홀(183)에 증착한 뒤, 포토리소그래피 공정을 거쳐 패터닝하여 형성한다.
- [0099] 이때, 공통 전극(195)은 화소 전극(175)과 중첩하여 형성하며, 복수의 슬릿모양의 제 1 개구부(195a)와 박막트랜지스터 상부의 제 2 개구부(195b)를 오픈 시킨채로 형성된다.
- [0100] 그리고 상기 제 1 기판(110)의 상부에 액정층을 개재한 뒤 상기 제 1 기판(110)과 대향하여 제 2 기판을 합착함으로써 액정표시장치를 제조할 수 있다.
- [0101] 이하, 도 7a, 도 7b를 통해 종래기술과 본 발명의 일 실시예를 비교해본다.

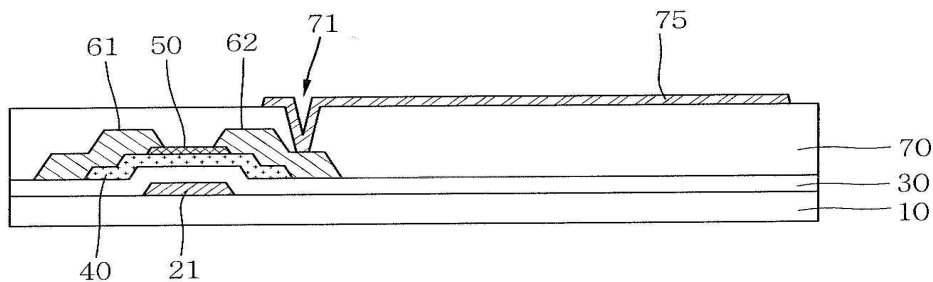
- [0102] 도 7a는 종래기술에 따르는 박막트랜지스터의 단면 사진이며, 도 7b는 본 발명의 일 실시예에 따르는 박막트랜지스터의 단면 사진이다.
- [0103] 상기 도 7a와 도 7b를 비교해보면, 종래기술과 본 발명의 일 실시예는 사진에서 빨간색 점선 박스 안의 산화물 반도체층의 길이가 다르다.
- [0104] 즉, 도 7a의 종래기술의 경우 소스 및 드레인 전극을 습식식각에 의해 형성하기 때문에 산화물 반도체층의 끝부분은 에천트에 의해 식각되어 모두 없어진 형태를 띄고 있다. 그리고 사진 상으로 나타나지는 않았으나 상기 습식 식각이 더욱 오래 진행되는 경우 산화물 반도체층은 소스 및 드레인 전극의 하부로 더욱 패여 들어갈 수 있다.
- [0105] 이와 같이 상기 산화물 반도체층이 식각되어 없어지게 되는 경우 산화물 반도체층의 면적이 줄어들게 되고, 소스 및 드레인 전극과의 전류전달 특성이 나빠지게 된다.
- [0106] 그러나 도 7b를 살펴보면 본 발명의 일 실시예는 습식식각 후 건식식각과정을 거치므로, 건식 식각에 의해 산화물 반도체층이 손상을 받지 않는다. 따라서, 소스 및 드레인 전극을 넘어선 산화물 반도체층 영역도 식각되지 않고 남아있게 된다. 그 결과, 소자의 전류전달 특성을 온전히 보존할 수 있다.
- [0107] 이상에서 본 발명의 바람직한 실시 예들에 대하여 상세하게 설명하였지만, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 수 있을 것이다.
- [0108] 따라서, 본 발명의 권리범위는 이에 한정되는 것이 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

부호의 설명

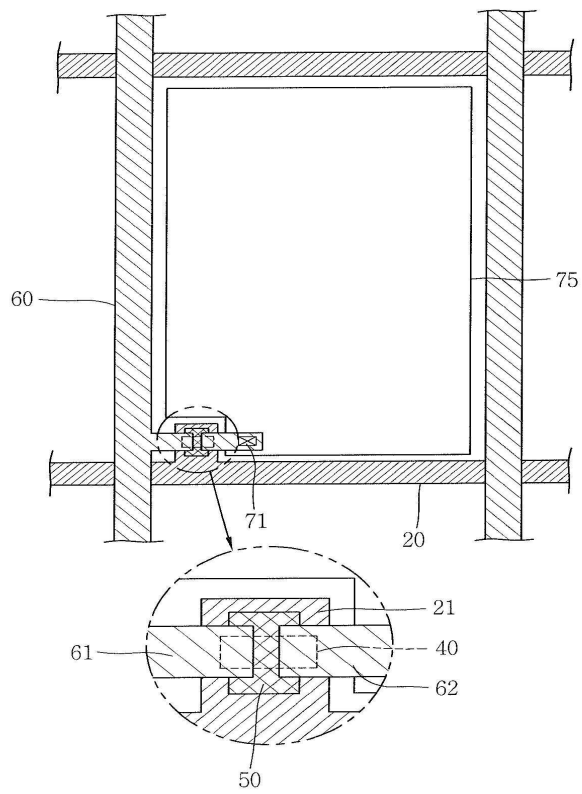
- [0109]
- | | |
|-------------------|-------------------|
| 110 : 제 1 기판 | 121 : 게이트 전극 |
| 130 : 게이트 절연막 | 140 : 산화물 반도체층 |
| 150 : 에치스탑퍼 | 161 : 제 1 도전층 |
| 161a : 제 1 소스 전극 | 161b : 제 1 드레인 전극 |
| 162 : 제 2 도전층 | 162a : 제 2 소스 전극 |
| 162b : 제 2 드레인 전극 | 170 : 제 1 절연층 |
| 175 : 화소 전극 | 195 : 공통 전극 |

도면

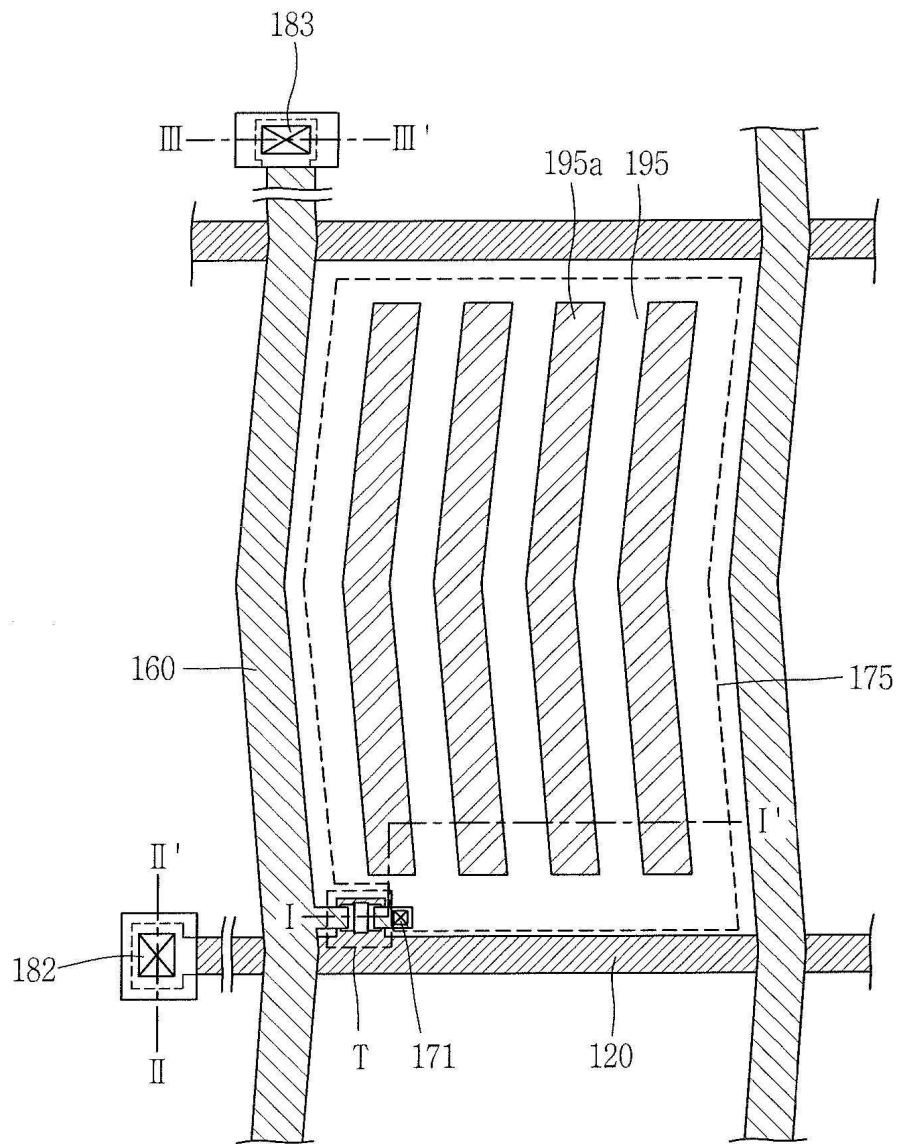
도면1



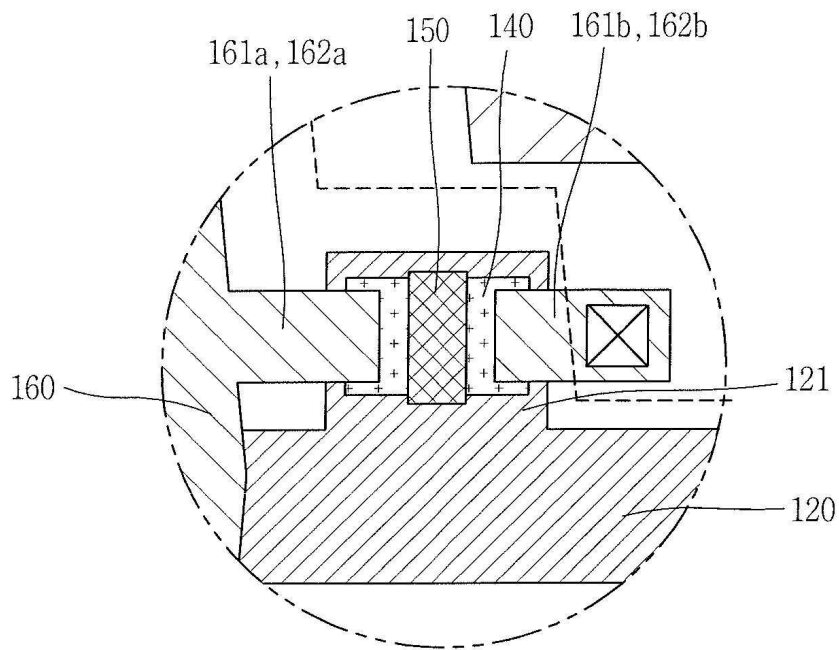
도면2



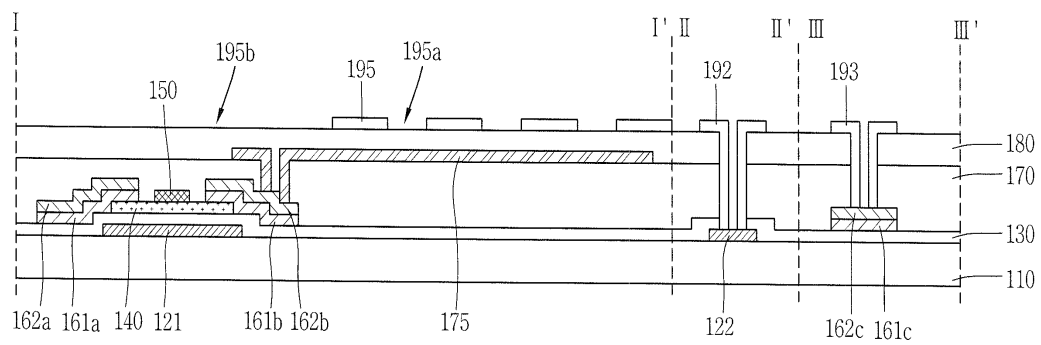
도면3a



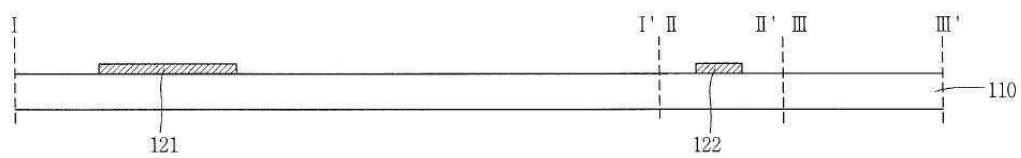
도면3b



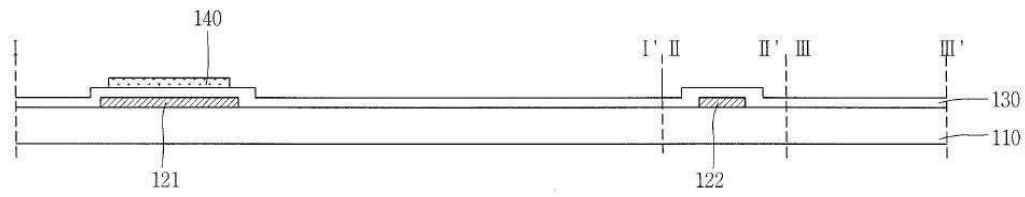
도면4



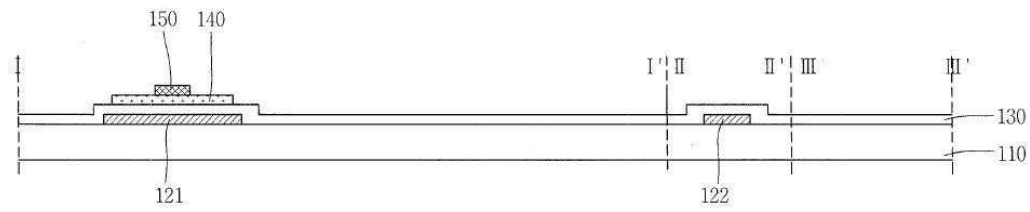
도면5a



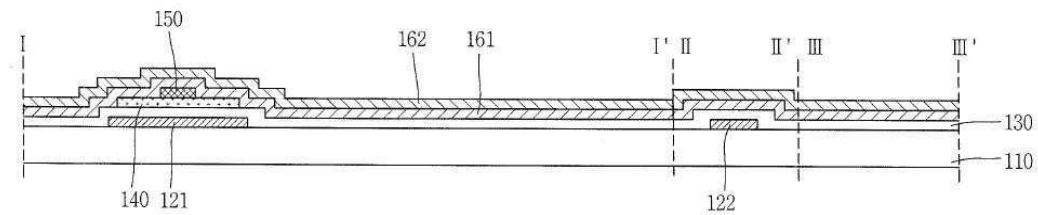
도면5b



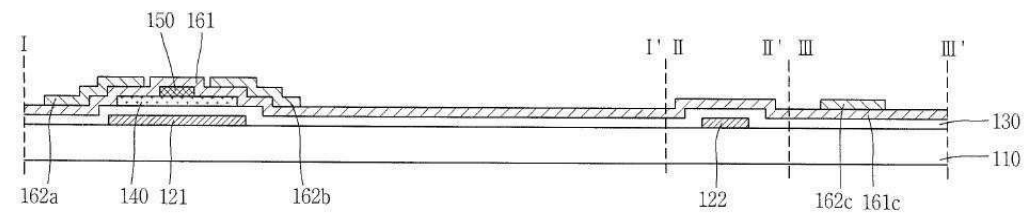
도면5c



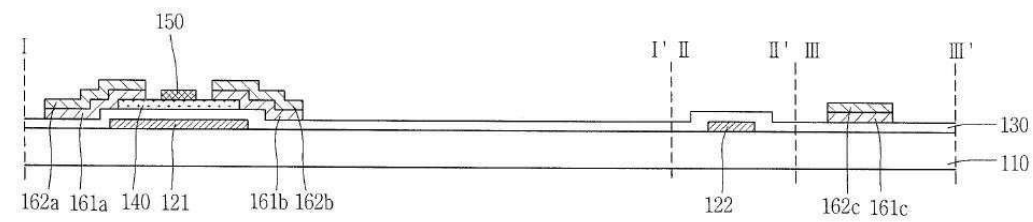
도면5d



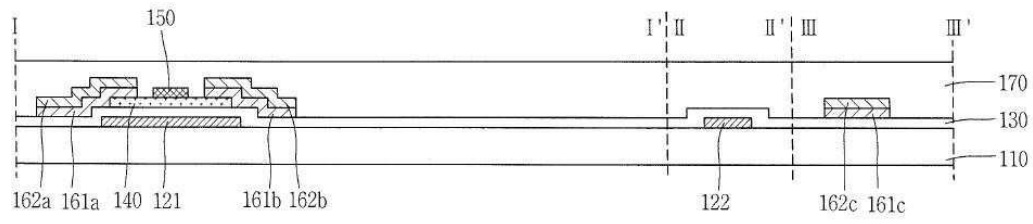
도면5e



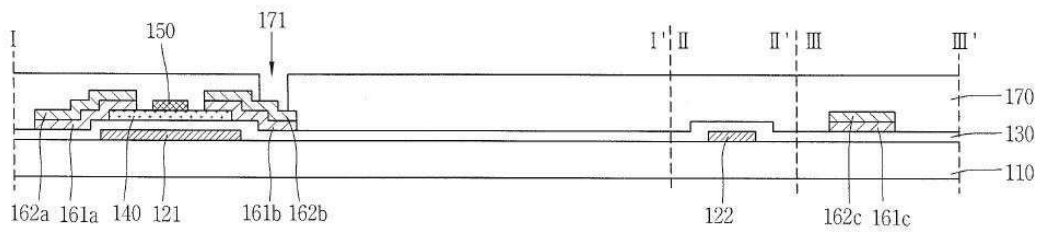
도면5f



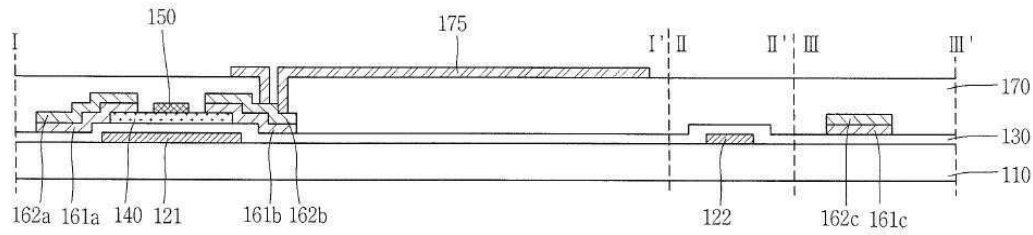
도면5g



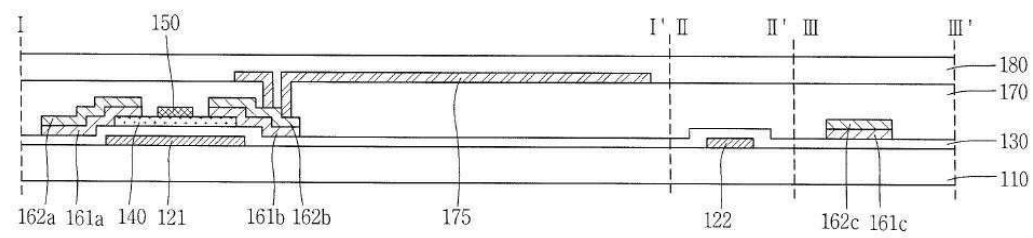
도면5h



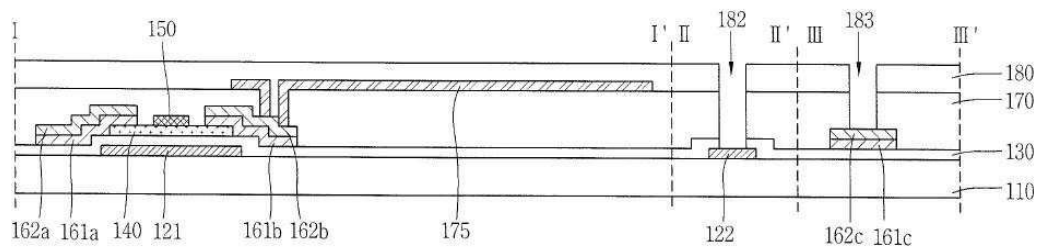
도면5i



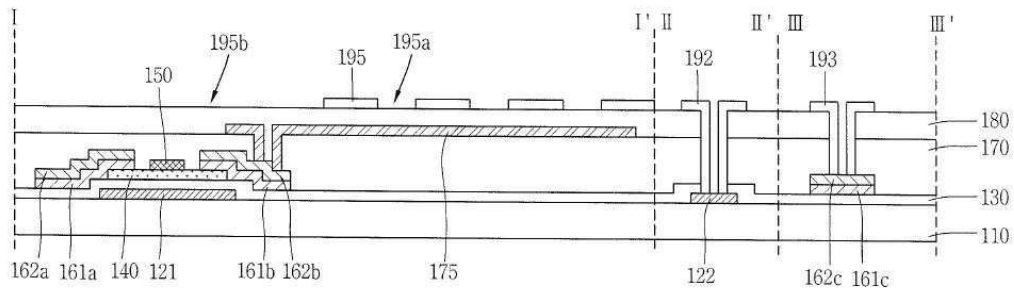
도면5j



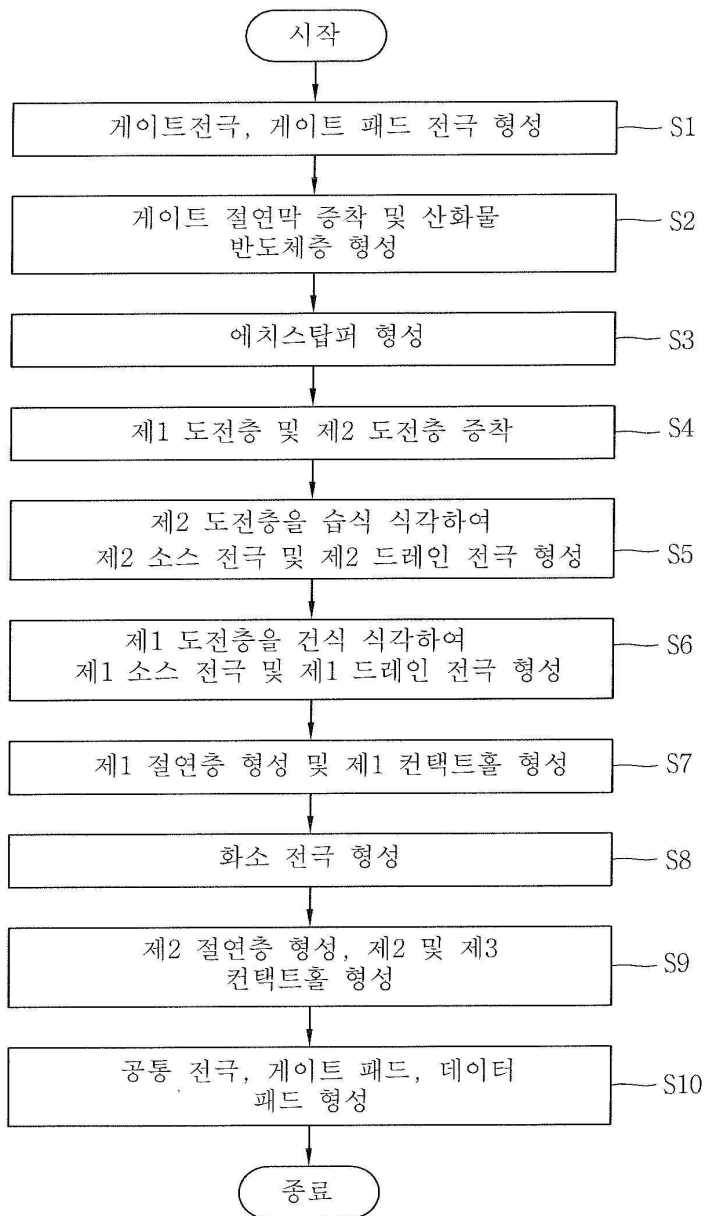
도면5k



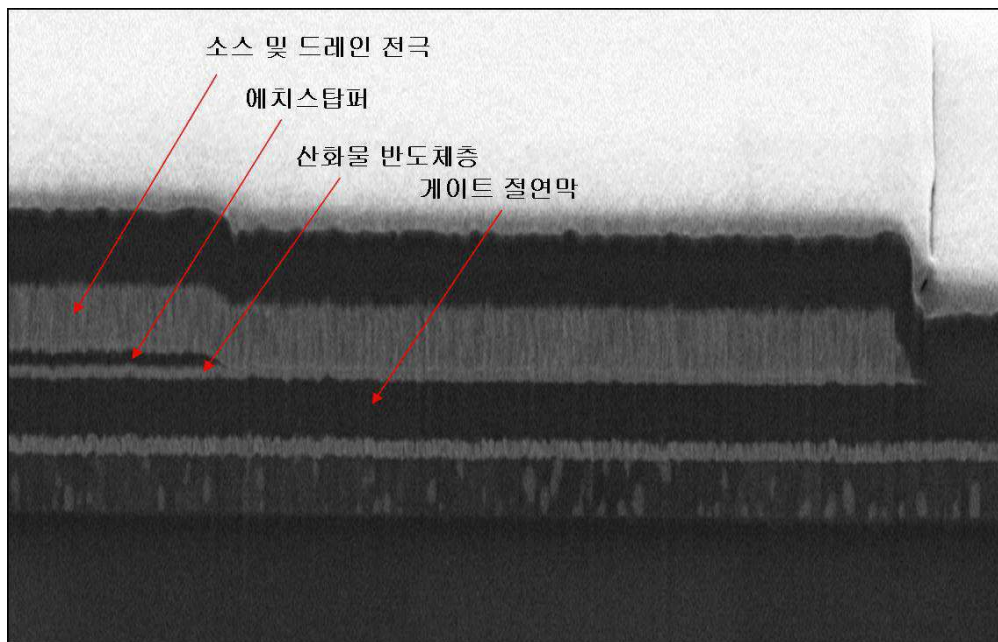
도면51



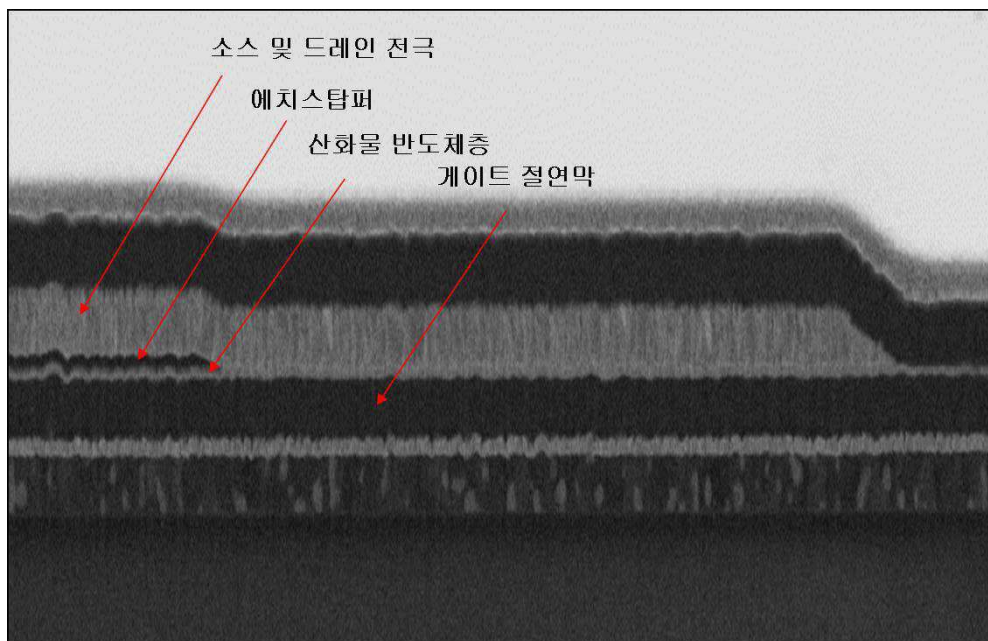
도면6



도면7a



도면7b



专利名称(译)	用于制造液晶显示装置的液晶显示装置和方法		
公开(公告)号	KR101926513B1	公开(公告)日	2018-12-11
申请号	KR1020110116634	申请日	2011-11-09
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE CHEOL HWAN 이철환		
发明人	이철환		
IPC分类号	G02F1/136 G02F1/1343 H01L29/786		
CPC分类号	H01L27/1225 H01L29/45 H01L29/7869 G02F1/1368 G02F1/136286		
代理人(译)	Bakyoungbok		
其他公开文献	KR1020130051342A		
外部链接	Espacenet		

摘要(译)

用于形成源电极和漏电极时，根据本发明的一个实施例的制造液晶显示装置中，湿蚀刻后的方法，该过程前进到干蚀刻，由于源电极和漏电极，以尽量减少与栅电极重叠的面积，降低了寄生电容器的电容而为宗旨。该方法包括：在第一基板上形成栅电极和栅极绝缘膜；在栅极绝缘层上形成氧化物半导体层并与栅极电极重叠；在氧化物半导体层上形成蚀刻阻挡层；在包括蚀刻阻挡层的第一基板的整个表面上顺序堆叠第一导电层和第二导电层；湿法蚀刻第二导电层以暴露第一导电层，并形成与氧化物半导体层重叠并彼此间隔开的第二源电极和第二漏电极；干法蚀刻第一导电层以暴露蚀刻阻挡层和氧化物半导体层，并在第二源电极和第二漏电极下方形成第一源电极和第一漏电极；在第一和第二源电极以及第一和第二漏电极的顶部上形成第一绝缘层，并形成通过接触孔与第一和第二漏电极电接触的像素电极；并且，在第一基板和第二基板之间插入液晶层，并且第二基板面对第一基板；[0015]图

