



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년07월20일
(11) 등록번호 10-1753774
(24) 등록일자 2017년06월28일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) H03K 19/0185 (2006.01)
(21) 출원번호 10-2010-0103671
(22) 출원일자 2010년10월22일
심사청구일자 2015년10월21일
(65) 공개번호 10-2012-0042147
(43) 공개일자 2012년05월03일
(56) 선행기술조사문헌
KR1020020073422 A*
JP2009244830 A*
KR1020050028839 A
KR1020060053199 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
이승규
경기도 용인시 기흥구 삼성2로 95 (농서동)
이동훈
경기도 용인시 기흥구 삼성2로 95 (농서동)
(74) 대리인
리엔목특허법인

전체 청구항 수 : 총 20 항

심사관 : 추장희

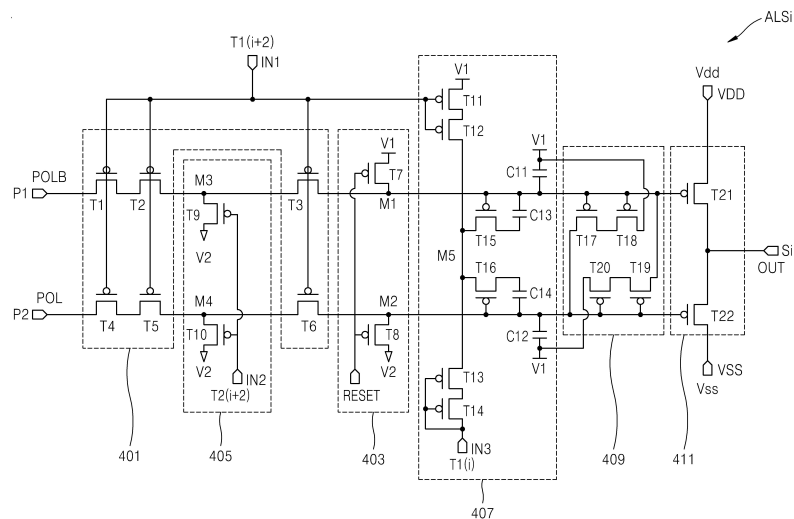
(54) 발명의 명칭 ALS 드라이버 회로 및 이를 포함하는 액정표시장치

(57) 요약

본 발명은 ALS 드라이버 회로 및 이를 포함하는 액정표시장치를 개시한다.

본 발명의 ALS 드라이버는 프레임 간격으로 극성이 바뀌는 두 개의 극성전압에 의해 제1전원전압과 제2전원전압을 교대로 출력하고, 초기화 회로, 전압 보상 회로, 부스팅 회로를 구비한 단일 모스 트랜지스터 구동회로를 다수 포함한다.

대표도 - 도4



(72) 발명자

김철호

경기도 용인시 기흥구 삼성2로 95 (농서동)

김경훈

경기도 용인시 기흥구 삼성2로 95 (농서동)

김세향

경기도 용인시 기흥구 삼성2로 95 (농서동)

명세서

청구범위

청구항 1

다수의 ALS(Active Level Shift) 구동회로를 구비하는 ALS 드라이버에 있어서, 상기 다수의 ALS 구동회로 각각은 제1노드 및 제2노드를 포함하고,

제1입력신호에 의해 동작이 개시되고, 상기 제1노드에 제1극성전압을 인가하고 상기 제2노드에 제2극성전압을 인가하는 입력부;

상기 제1노드와 상기 제2노드에 초기 전압을 인가하는 리셋부;

상기 제1노드와 상기 제2노드의 전압 강하를 보상하는 레벨보상부; 및

상기 제1극성전압과 상기 제2극성전압의 전압레벨에 따라 제1전원전압과 제2전원전압을 교대로 출력하는 출력부;를 포함하고,

동작 개시 전, 상기 리셋부에 의해 상기 출력부는 상기 제1전원전압 또는 상기 제2전원전압을 초기 출력전압으로 출력하는 것을 특징으로 하는 ALS 드라이버.

청구항 2

제1항에 있어서, 상기 레벨보상부는,

상기 제1노드와 상기 제2노드 중 활성레벨의 전압이 인가된 노드의 전압레벨을 보상하는 제1레벨보상부; 및

상기 제1노드와 상기 제2노드 중 비활성레벨의 전압이 인가된 노드의 전압레벨을 보상하는 제2레벨보상부;를 포함하는 것을 특징으로 하는 ALS 드라이버.

청구항 3

제1항에 있어서, 상기 제1극성전압과 상기 제2극성전압은 1프레임 간격으로 서로 반대 극성으로 인가되는 것을 특징으로 하는 ALS 드라이버.

청구항 4

제1항에 있어서, 상기 리셋부는,

홀수번째에 구비되는 홀수 ALS 구동회로에서는 상기 제2전원전압을 출력하도록 상기 제1노드에 제3전원전압을 인가하고 상기 제2노드에 제4전원전압을 인가하고,

짝수번째에 구비되는 짝수 ALS 구동회로에서는 상기 제1전원전압을 출력하도록 상기 제1노드에 제4전원전압을 인가하고 상기 제2노드에 제3전원전압을 인가하는 것을 특징으로 하는 ALS 드라이버.

청구항 5

제1항에 있어서, 상기 제1노드 또는 상기 제2노드 중 활성레벨의 전압이 인가된 노드의 전위를 높여 상기 출력부의 구동 전류를 증가시키는 부스팅부;를 더 포함하는 것을 특징으로 하는 ALS 드라이버.

청구항 6

제1항에 있어서, 상기 제1입력신호는 제1레벨전압 및 상기 제1레벨전압보다 낮은 제2레벨전압의 활성레벨을 갖는 것을 특징으로 하는 ALS 드라이버.

청구항 7

제1항에 있어서, 상기 입력부는,

게이트 전극이 상기 제1입력신호가 인가되는 제1입력단자에 연결되고, 제1전극이 상기 제1극성전압이 인가되는

제1극성단자 또는 상기 제2극성전압이 인가되는 제2극성단자에 연결된 제1트랜지스터;

게이트 전극이 상기 제1입력단자에 연결되고, 제1전극이 상기 제1트랜지스터의 제2전극에 연결되고, 상기 제2전극이 제3노드에 연결된 제2트랜지스터;

게이트 전극이 상기 제1입력단자에 연결되고, 제1전극이 상기 제3노드에 연결되고, 제2전극이 상기 제1노드에 연결된 제3트랜지스터;

게이트 전극이 상기 제1입력신호가 인가되는 제1입력단자에 연결되고, 제1전극이 상기 제2극성단자 또는 상기 제1극성단자에 연결된 제4트랜지스터;

게이트 전극이 상기 제1입력단자에 연결되고, 제1전극이 상기 제4트랜지스터의 제2전극에 연결되고, 상기 제2전극이 제4노드에 연결된 제5트랜지스터; 및

게이트 전극이 상기 제1입력단자에 연결되고, 제1전극이 상기 제4노드에 연결되고, 제2전극이 상기 제2노드에 연결된 제6트랜지스터;를 포함하며,

상기 제1트랜지스터와 상기 제4트랜지스터는 서로 반대 극성의 극성전압이 인가되는 것을 특징으로 하는 ALS 드라이버.

청구항 8

제1항에 있어서, 상기 리셋부는,

게이트 전극이 리셋단자에 연결되고, 제1전극이 제4전원단자에 연결되고, 제2전극이 상기 제1노드에 연결된 제7트랜지스터; 및

게이트 전극이 리셋단자에 연결되고, 제1전극이 제3전원단자에 연결되고, 제2전극이 상기 제2노드에 연결된 제8트랜지스터;를 포함하는 것을 특징으로 하는 ALS 드라이버.

청구항 9

제1항에 있어서, 상기 리셋부는,

게이트 전극이 리셋단자에 연결되고, 제1전극이 제3전원단자에 연결되고, 제2전극이 상기 제1노드에 연결된 제7트랜지스터; 및

게이트 전극이 리셋단자에 연결되고, 제1전극이 제4전원단자에 연결되고, 제2전극이 상기 제2노드에 연결된 제8트랜지스터;를 포함하는 것을 특징으로 하는 ALS 드라이버.

청구항 10

제2항에 있어서, 상기 제1레벨보상부는,

게이트 전극이 제2입력단자에 연결되고, 제1전극이 제4전원단자에 연결되고, 제2전극이 제3노드에 연결된 제9트랜지스터; 및

게이트 전극이 제2입력단자에 연결되고, 제1전극이 제4전원단자에 연결되고, 제2전극이 제4노드에 연결된 제10트랜지스터;를 포함하는 것을 특징으로 하는 ALS 드라이버.

청구항 11

제10항에 있어서, 상기 제2입력단자로 인가되는 제2입력신호는 상기 제1입력신호와 반대 극성을 갖는 것을 특징으로 하는 ALS 드라이버.

청구항 12

제2항에 있어서, 상기 제2레벨보상부는,

게이트 전극이 상기 제1노드에 연결되고, 제1전극이 제3전원단자에 연결된 제18트랜지스터;

게이트 전극이 상기 제1노드에 연결되고, 제1전극이 상기 제18트랜지스터의 제2전극에 연결되고, 제2전극이 상기 제2노드에 연결된 제17트랜지스터;

게이트 전극이 상기 제2노드에 연결되고, 제1전극이 제3전원단자에 연결된 제20트랜지스터; 및

게이트 전극이 상기 제2노드에 연결되고, 제1전극이 상기 제20트랜지스터의 제2전극에 연결되고, 제2전극이 상기 제1노드에 연결된 제19트랜지스터;를 포함하는 것을 특징으로 하는 ALS 드라이버.

청구항 13

제5항에 있어서, 상기 부스팅부는,

게이트 전극이 제1입력단자에 연결되고, 제1전극이 제3전원단자에 연결된 제11트랜지스터;

게이트 전극이 상기 제1입력단자에 연결되고, 제1전극이 상기 제11트랜지스터의 제2전극에 연결되고, 제2전극이 제5노드에 연결된 제12트랜지스터;

게이트 전극과 제1전극이 제3입력단자에 연결된 제14트랜지스터;

게이트 전극이 상기 제3입력단자에 연결되고, 제1전극이 상기 제14트랜지스터의 제2전극에 연결되고, 제2전극이 상기 제5노드에 연결된 제13트랜지스터;

게이트 전극이 상기 제1노드에 연결되고, 제1전극이 상기 제5노드에 연결된 제15트랜지스터;

게이트 전극이 상기 제2노드에 연결되고, 제1전극이 상기 제5노드에 연결된 제16트랜지스터;

제1전극이 제3전원단자에 연결되고, 제2전극이 상기 제1노드에 연결된 제1커패시터;

제1전극이 제3전원단자에 연결되고, 제2전극이 상기 제2노드에 연결된 제2커패시터;

제1전극이 상기 제1노드에 연결되고, 제2전극이 상기 제15트랜지스터의 제2전극에 연결된 제3커패시터; 및

제1전극이 상기 제2노드에 연결되고, 제2전극이 상기 제16트랜지스터의 제2전극에 연결된 제4커패시터;를 포함하는 것을 특징으로 하는 ALS 드라이버.

청구항 14

제13항에 있어서,

상기 제3입력단자에 인가되는 제3입력신호는 제1레벨전압 및 상기 제1레벨전압보다 낮은 제2레벨전압의 활성레벨을 갖는 것을 특징으로 하는 ALS 드라이버.

청구항 15

제1항에 있어서, 상기 제1전원전압은 하이레벨 전압이고, 상기 제2전원전압은 로우레벨 전압인 것을 특징으로 하는 ALS 드라이버.

청구항 16

제4항에 있어서, 상기 제3전원전압은 활성레벨 전압이고, 상기 제4전원전압은 비활성레벨 전압인 것을 특징으로 하는 ALS 드라이버.

청구항 17

제7항 내지 제13항 중 어느 한 항에 있어서, 상기 트랜지스터들은 단일 MOS 트랜지스터인 것을 특징으로 하는 ALS 드라이버.

청구항 18

다수의 데이터 라인과 연결되고, 상기 데이터 라인에 데이터 신호를 인가하는 데이터 드라이버;

다수의 게이트 라인과 연결되고, 상기 게이트 라인에 게이트 신호를 순차적으로 인가하는 게이트 드라이버; 및

상기 게이트 라인과 평행하게 형성된 다수의 ALS 라인과 연결되고, 제1노드 및 제2노드를 포함하고, 상기 제1노드 및 상기 제2노드에 인가된 초기화 전압에 의해 제1전원전압과 제2전원전압 중 하나를 초기 출력 전압으로 설정하고, 입력신호에 의해 상기 제1노드에 인가되는 제1극성전압과 상기 제2노드에 인가되는 제2극성전압의 전압 레벨에 따라 상기 제1전원전압과 상기 제2전원전압을 교대로 출력하고, 상기 제1노드와 상기 제2노드의 전압 강

하를 보상하는 ALS 구동회로를 다수 구비하는 ALS(Active Level Shift) 드라이버;를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 19

제18항에 있어서, 상기 제1극성전압과 상기 제2극성전압은 1프레임 간격으로 서로 반대 극성으로 인가되는 것을 특징으로 하는 액정표시장치.

청구항 20

제18항에 있어서,

상기 ALS 구동회로의 상기 입력신호는 제1레벨전압 및 상기 제1레벨전압보다 낮은 제2레벨전압의 활성레벨을 갖는 것을 특징으로 하는 액정표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 보다 상세하게는, 단일 모스 트랜지스터로 구성된 ALS 드라이버 회로 및 이를 포함하는 액정표시장치에 관한 것이다.

배경 기술

[0002] 액정표시장치(Liquid Crystal Display Device, LCD)는 경량, 박형, 저소비 전력구동 등의 특징으로 인해 노트북 컴퓨터 또는 휴대용 텔레비전 등의 표시장치로서 널리 사용되고 있다.

[0003] 일반적인 액정 표시 장치는 화소 전극 및 공통 전극이 구비된 상하 기판과 그 사이에 들어 있는 액정층을 포함한다. 화소 전극은 행렬의 형태로 배열되어 있고 박막 트랜지스터(TFT) 등 스위칭 소자에 연결되어 한 행씩 차례로 데이터 전압을 인가 받는다. 공통 전극은 표시판의 전면에 걸쳐 형성되어 있으며 공통 전압을 인가 받는다.

[0004] 이러한 액정 표시 장치에서는 게이트 드라이버와 ALS(Active Level Shifter) 드라이버를 구비하고, 상기 게이트 드라이버와 상기 ALS 드라이버로부터 매트릭스 형태로 배열된 다수의 화소로 인가되는 신호에 따라 광의 투과량이 조절되어 화면에 원하는 화상을 표시하게 된다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 단일 모스 트랜지스터로 구성된 ALS 드라이버 회로를 제공함으로써 플리커 및 화질이 개선된 액정 표시 장치를 제공하고자 한다.

과제의 해결 수단

[0006] 본 발명의 바람직한 일 실시예에 따른 ALS 드라이버는, 제1입력신호에 의해 동작이 개시되고, 제1노드에 제1극성전압을 인가하고 제2노드에 제2극성전압을 인가하는 입력부; 상기 제1노드와 상기 제2노드에 초기 전압을 인가하는 리셋부; 상기 제1노드와 상기 제2노드의 전압 강하를 보상하는 레벨보상부; 및 상기 제1극성전압과 상기 제2극성전압의 전압레벨에 따라 제1전원전압과 제2전원전압을 교대로 출력하는 출력부;를 포함하는 다수의 ALS 구동회로를 구비할 수 있다.

[0007] 보다 바람직하게, 상기 레벨보상부는, 상기 제1노드와 상기 제2노드 중 활성레벨의 전압이 인가된 노드의 전압레벨을 보상하는 제1레벨보상부; 및 상기 제1노드와 상기 제2노드 중 비활성레벨의 전압이 인가된 노드의 전압레벨을 보상하는 제2레벨보상부;를 포함할 수 있다.

[0008] 보다 바람직하게, 상기 제1극성전압과 상기 제2극성전압은 1프레임 간격으로 서로 반대 극성으로 인가될 수 있다.

[0009] 보다 바람직하게, 상기 리셋부는, 홀수번째에 구비되는 홀수 ALS 구동회로에서는 상기 제2전원전압을 출력하도록 상기 제1노드에 제3전원전압을 인가하고 상기 제2노드에 제4전원전압을 인가하고, 짝수번째에 구비되는 짝수

ALS 구동회로에서는 상기 제1전원전압을 출력하도록 상기 제1노드에 제4전원전압을 인가하고 상기 제2노드에 제3전원전압을 인가할 수 있다.

[0010] 보다 바람직하게, ALS 구동회로는 상기 제1노드 또는 상기 제2노드 중 활성레벨의 전압이 인가된 노드의 전위를 높여 상기 출력부의 구동 전류를 증가시키는 부스팅부;를 더 포함할 수 있다.

[0011] 보다 바람직하게, 상기 제1입력신호는 i 번째 ALS 구동회로(여기서, i 는 임의의 자연수)에 대해, 게이트 드라이버가 구비하는 다수의 게이트 구동회로에서 $i+2$ 번째 게이트 구동회로의 내부 노드에 인가된 전압 신호일 수 있다. 상기 제1입력신호는 제1레벨전압 및 상기 제1레벨전압보다 낮은 제2레벨전압의 활성레벨을 가질 수 있다.

[0012] 보다 바람직하게, 상기 ALS 구동회로는 PMOS 트랜지스터 또는 NMOS 트랜지스터인 단일 MOS 트랜지스터 회로일 수 있다.

발명의 효과

[0013] 본 발명의 단일 모스 트랜지스터의 ALS 드라이버는 게이트 드라이버의 출력 신호 대신 고전압의 중간 신호를 이용하여 스위칭 소자의 V_{th} 강하를 보상하며, 회로의 초기화를 통해 초기 구동시 출력 전압을 안정화하고, 온 노드 또는 오프 노드의 전압 강하를 보상하고, 커패시터 전압을 안정화시킨다.

[0014] 따라서, 액정 표시 장치의 플리커 및 화질을 개선할 수 있다.

도면의 간단한 설명

[0015] 도 1은 본 발명의 바람직한 일 실시예에 따른 액정표시장치의 구조를 개략적으로 도시한 회로도이다.

도 2A는 본 발명의 일 실시예에 따른 ALS 드라이버의 홀수 ALS 구동회로이고, 도 2B는 도 2A의 회로의 동작을 나타내는 타이밍도이다.

도 3A는 본 발명의 일 실시예에 따른 ALS 드라이버의 짝수 ALS 구동회로이고, 도 3B는 도 3A의 회로의 동작을 나타내는 타이밍도이다.

도 4는 본 발명의 다른 실시예에 따른 ALS 드라이버의 임의의 홀수 ALS 구동회로의 구체적인 회로도이다.

도 5는 도 4의 내부신호들 간의 전압 관계를 나타내는 타이밍도이다.

도 6은 도 4의 홀수 ALS 구동회로의 동작을 나타내는 타이밍도이다.

도 7은 본 발명의 일 실시예에 따른 ALS 드라이버의 임의의 짝수 ALS 구동회로의 구체적인 회로도이다.

도 8은 도 7의 짝수 ALS 구동회로의 동작을 나타내는 타이밍도이다.

발명을 실시하기 위한 구체적인 내용

[0016] 이하 본 발명의 바람직한 실시예가 첨부된 도면들을 참조하여 설명될 것이다. 도면상의 동일한 부호는 동일한 요소를 지칭한다. 하기에서 본 발명을 설명함에 있어, 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다. 또한 본 발명의 실시예를 설명하는 도면에 있어서, 어떤 층이나 영역들은 명세서의 명확성을 위해 확대하여 나타내었다.

[0017] 도 1은 본 발명의 바람직한 일 실시예에 따른 액정표시장치의 구조를 개략적으로 도시한 회로도이다.

[0018] 도 1을 참조하면, 액정표시장치는 액정패널(100), 게이트 드라이버(200), 데이터 드라이버(300), ALS(Active Level Shift) 드라이버(400) 및 타이밍 컨트롤러(500)를 포함한다.

[0019] 상기 액정패널(100)은 두 장의 기판 사이에 액정층을 구비함으로써 형성된다. 상기 액정패널(100)에는 일정하게 이격되어 행으로 배열된 게이트 라인(GL1 내지 GLn)과 일정하게 이격되어 열로 배열된 데이터 라인(DL1 내지 DLm)이 매트릭스 형태로 배열되며, 이때 그 교차부에는 화소(P)가 형성된다.

[0020] 각 화소(P)는 박막 트랜지스터(Thin Film Transistor)(T), 액정 커패시터(Clc) 및 스토리지 커패시터(Cst)를 포함한다.

[0021] 상기 박막 트랜지스터(T)는 게이트 전극이 게이트 라인(GL1 내지 GLn)에 접속되고, 제1전극이 데이터 라인(DL1 내지 DLm)에 접속되며, 제2전극이 화소 전극에 접속된다. 상기 박막 트랜지스터(T)는 게이트 전극에 게이트 온

전압이 인가되면 턴 온 되어 데이터 라인(DL1 내지 DLm)에서 인가되는 데이터 전압을 화소 전극으로 전달한다.

- [0022] 상기 액정 커패시터(C1c)는 박막 트랜지스터(T)에 접속되어 하부 기관의 화소 전극과 상부 기관의 공통전극 사이의 전계에 의해 형성된다. 상기 액정 커패시터(C1c)는 화소 전극에 데이터 전압이 인가되고, 공통전압 라인으로부터 공통전극으로 공통전압(Vcom)이 인가될 때 액정층에서 전계에 의한 액정분자들의 배열이 바뀌면서 투과되는 빛의 광량을 조절하거나 빛을 차단하게 된다. 상기 공통전극은 하부 기관에 구비될 수도 있으며, 이때에는 화소 전극과 공통전극 중 적어도 하나가 선형 또는 막대형으로 만들어질 수 있다.
- [0023] 상기 스토리지 커패시터(Cst)는 상기 화소 전극과, 상기 게이트 라인(GL1 내지 GLn)과 평행하게 형성된 별도의 ALS 라인(SL1 내지 SLn)의 일정 영역을 일 전극으로 하여 형성된다. 상기 스토리지 커패시터(Cst)는 액정 커패시터(C1c)에 충전된 데이터 전압을 다음 데이터 전압이 충전될 때까지 유지시킨다.
- [0024] 상기 게이트 드라이버(200)는 다수의 게이트 라인(GL1 내지 GLn)을 통하여 액정패널(100)에 활성레벨의 게이트 온 전압과 비활성레벨의 게이트 오프 전압의 조합을 갖는 게이트 신호를 생성하여 순차적으로 공급할 수 있다. 게이트 온/오프 전압에 의해 박막 트랜지스터(T)가 온 또는 오프된다. 상기 게이트 드라이버(200)는 다수의 게이트 회로를 포함한다. 상기 다수의 게이트 회로는 홀수 게이트 라인(GL1, GL3, GL5,...)으로 게이트 신호(G1, G3, G5,...)를 출력하는 홀수 게이트 구동회로와, 짝수 게이트 라인(GL2, GL4, GL6,...)으로 게이트 신호(G2, G4, G6,...)을 출력하는 짝수 게이트 구동회로를 포함한다.
- [0025] 상기 데이터 드라이버(300)는 다수의 데이터 라인(DL1 내지 DLm)을 통하여 액정패널(100)에 데이터 신호를 순차적으로 공급할 수 있다. 이러한 데이터 드라이버(300)는 타이밍 컨트롤러(500)로부터 입력되는 계조를 가지는 입력 영상 데이터(Data)를 전압 또는 전류 형태의 데이터 신호로 변환한다.
- [0026] 상기 ALS 드라이버(400)는 다수의 ALS 라인(SL1 내지 SLn)을 통하여 액정패널(100)에 ALS 전압을 순차적으로 공급할 수 있다. 다수의 ALS 라인(SL1 내지 SLn)은 각 게이트 라인(GL1 내지 GLn) 사이에 게이트 라인(GL1 내지 GLn)과 평행하고 일정하게 이격되어 형성된다. 다른 실시예에서 상기 ALS 드라이버(400)는 데이터 라인((DL1 내지 DLm)과 나란한 방향으로 형성되거나, 화소 전극의 외곽으로 형성될 수도 있다.
- [0027] 상기 ALS 드라이버(400)는 게이트 드라이버(200)로부터 출력 신호인 게이트 신호 또는 내부의 중간 신호를 인가받고, 상기 ALS 라인(SL1 내지 SLn)으로 저레벨 또는 고레벨의 ALS 전압을 출력한다. 상기 ALS 전압의 인가 시기는 화소의 충전 동작이 완료된 후, 즉 해당 게이트선(GL1 내지 GLn)에 인가되는 게이트 신호가 게이트 온 전압에서 게이트 오프 전압으로 천이되는 시점이다.
- [0028] 상기 ALS 드라이버(400)는 다수의 ALS 회로(ALS1 내지 ALSn)(미도시)를 포함한다. 상기 다수의 ALS 회로(ALS1 내지 ALSn)는 홀수 ALS 라인(SL1, SL3, SL5,...)으로 ALS 전압(S1, S3, S5,...)을 출력하는 홀수 ALS 구동회로와, 짝수 ALS 라인(SL2, SL4, SL6,...)으로 ALS 전압(S2, S4, S6,...)을 출력하는 짝수 ALS 구동회로를 포함한다. 홀수 ALS 라인에 인가되는 ALS 전압과 짝수 ALS 라인에 인가되는 ALS 전압의 레벨은 반대이다. 즉, 홀수 ALS 라인에 인가되는 ALS 전압이 고레벨의 전압을 가지면 짝수 ALS 라인에 인가되는 ALS 전압은 저레벨의 전압을 갖는다. ALS 회로의 구체적인 구성 및 동작은 추후 설명하겠다.
- [0029] 상기 타이밍 컨트롤러(500)는 외부의 그래픽 제어기(도시하지 않음)로부터 입력 영상 데이터 및 이의 표시를 제어하는 입력 제어 신호를 제공받는다. 입력 제어 신호에는 예를 들어 수평 동기 신호(Hsync), 수직 동기 신호(Vsync) 및 메인 클럭(MCLK)이 있다. 타이밍 컨트롤러(500)는 입력 영상 데이터를 데이터 드라이버(300)로 전달하고, 게이트 제어 신호(CONT1), 데이터 제어 신호(CONT2), 및 ALS 제어 신호(CONT3)를 생성하여 각각 게이트 드라이버(200), 데이터 드라이버(300), 및 ALS 드라이버(400)로 전달한다.
- [0030] 상기 타이밍 컨트롤러(500)는 모든 게이트 라인(GL1 내지 GLn)에 대하여 차례로 게이트 온 전압을 인가하고, 이에 따라 모든 화소에 데이터 신호를 인가하여 상기 액정 패널(100)이 한 프레임(frame)의 영상을 표시하도록 한다.
- [0031] 도 2A 및 도 3A는 본 발명의 일 실시예에 따른 ALS 드라이버의 홀수 ALS 구동회로와 짝수 ALS 구동회로를 각각 도시한 회로도이고, 도 2B 및 도 3B는 도 2A 및 도 3A의 회로의 동작을 각각 나타내는 타이밍도이다.
- [0032] 이하에서는 임의의 i번째 홀수 ALS 구동회로(ALSi)와 임의의 i+1번째 짝수 ALS 회로(ALSi+1)를 예로서 설명하겠다. 여기서, i는 홀수를 나타낸다.
- [0033] 도 2A를 참조하면, i번째 홀수 ALS 구동회로(ALSi)는 제1 내지 제6 스위칭소자(ST1 내지 ST6), 제1커패시터(C1), 및 제2 커패시터(C2)를 포함한다. 제1전원전압(Vdd)은 제1전원으로부터 공급되는 하이레벨 신호이고, 제2

전원전압(Vss)은 제2전원으로부터 공급되는 로우레벨 신호이다. 제1극성전압(P1)과 제2극성전압(P2)은 서로 반대의 극성을 띠며, 제1극성단자(POLB)와 제2극성단자(POL)를 통해 하이레벨과 로우레벨의 전압을 1프레임마다 교대로 출력한다.

- [0034] 제1스위칭소자(ST1)는 게이트 전극이 입력단자(IN)에 전기적으로 연결되고, 제1전극(소스 또는 드레인 전극)이 제1극성단자(POLB)에 전기적으로 연결되고, 제2전극(드레인 또는 소스 전극)이 제2스위칭소자(ST2)의 제1전극에 전기적으로 연결된다.
- [0035] 제2스위칭소자(ST2)는 게이트 전극이 입력단자(IN)에 전기적으로 연결되고, 제1전극이 제1스위칭소자(ST1)의 제2전극에 전기적으로 연결되고, 제2전극이 제1노드(N1)에 전기적으로 연결된다.
- [0036] 제3스위칭소자(ST3)는 게이트 전극이 입력단자(IN)에 전기적으로 연결되고, 제1전극이 제2극성단자(POL)에 전기적으로 연결되고, 제2전극이 제4스위칭소자(ST4)의 제1전극에 전기적으로 연결된다.
- [0037] 제4스위칭소자(ST4)는 게이트 전극이 입력단자(IN)에 전기적으로 연결되고, 제1전극이 제3스위칭소자(ST3)의 제2전극에 전기적으로 연결되고, 제2전극이 제2노드(N2)에 전기적으로 연결된다.
- [0038] 제5스위칭소자(ST5)는 게이트 전극이 제1노드(N1)에 전기적으로 연결되고, 제1전극이 제1전원단자(VDD)에 전기적으로 연결되고, 제2전극이 제6스위칭소자(ST6)의 제2전극과 출력단자(OUT)에 전기적으로 연결된다.
- [0039] 제6스위칭소자(ST6)는 게이트 전극이 제2노드(N2)에 전기적으로 연결되고, 제1전극이 제2전원단자(VSS)에 전기적으로 연결되고, 제2전극이 제5스위칭소자(ST5)의 제2전극과 출력단자(OUT)에 전기적으로 연결된다.
- [0040] 제1커패시터(C1)는 제1전극이 제1노드(N1)에 전기적으로 연결되고, 제2전극이 제1전원단자(VDD)에 전기적으로 연결된다. 제1커패시터(C1)는 제1노드(N1)와 제1전원단자(VDD) 간의 전압 차가 저장된다.
- [0041] 제2커패시터(C2)는 제1전극이 제2노드(N2)에 전기적으로 연결되고, 제2전극이 제2전원단자(VSS)에 전기적으로 연결된다. 제2커패시터(C2)는 제2노드(N2)와 제2전원단자(VSS) 간의 전압 차가 저장된다.
- [0042] 도 2B를 참조하면, 제1극성신호(P1)와 제2극성신호(P2)가 1프레임마다 교대로 고레벨로 설정되어 제1극성단자(POLB)와 제2극성단자(POL)로 인가되고, 다음 단의 게이트 신호, 즉, $i+1$ 번째 게이트 신호(G_{i+1})가 입력단자(IN)로 인가된다. i 번째 게이트 신호(G_i)가 오프되고, $i+1$ 번째 게이트 신호(G_{i+1})가 온 되는 시점에서 ALS 전압(S_i)의 레벨이 바뀌어 출력된다.
- [0043] 입력단자(IN)로 로우레벨의 게이트 신호(G_{i+1})가 인가되면, 제1 내지 제4 스위칭소자(ST1 내지 ST4)는 턴 온되고, 제1극성신호(P1)와 제2극성신호(P2)가 각각 제1노드(N1)와 제2노드(N2)로 전달된다. 이때, 제2극성신호(P2)가 로우레벨인 경우 제6스위칭소자(ST6)가 턴 온되고, 제2전원단자(VSS)로부터 인가되는 제2전원전압(Vss)이 제6스위칭소자(ST6)를 통해 출력단자(OUT)로 출력된다. 따라서, 로우레벨의 ALS 전압(S_i)이 ALS 라인으로 인가된다. 제1극성신호(P1)가 로우레벨인 경우 제5스위칭소자(ST5)가 턴 온되고, 제1전원단자(VDD)로부터 인가되는 제1전원전압(Vdd)이 제5스위칭소자(ST5)를 통해 출력단자(OUT)로 출력된다. 따라서, 하이레벨의 ALS 전압(S_i)이 ALS 라인으로 인가된다.
- [0044] 도 3A를 참조하면, 도 2A의 i 번째 홀수 ALS 구동회로(ALSi)와 비교하여, $i+1$ 번째 짝수 ALS 구동회로(ALSi+1)는 제1스위칭소자(ST1)의 제1전극이 제2극성단자(POL)에 전기적으로 연결되고, 제3스위칭소자(ST3)의 제1전극이 제1극성단자(POLB)에 전기적으로 연결되는 점이 다르고, 그 외 회로 구성 및 동작은 동일하다. 따라서, 회로의 구체적인 설명은 생략하겠다.
- [0045] 도 3B를 참조하면, 제1극성신호(P1)와 제2극성신호(P2)가 1프레임마다 교대로 고레벨로 설정되어 제1극성단자(POLB)와 제2극성단자(POL)로 인가되고, 다음 단의 게이트 신호, 즉, $i+2$ 번째 게이트 신호(G_{i+2})가 입력단자(IN)로 인가된다. $i+1$ 번째 게이트 신호(G_{i+1})가 오프되고, $i+2$ 번째 게이트 신호(G_{i+2})가 온 되는 시점에서 ALS 전압(S_{i+1})의 레벨이 바뀌어 출력된다.
- [0046] 입력단자(IN)로 $i+2$ 번째 로우레벨의 게이트 신호(G_{i+2})가 인가되면, 제1 내지 제4 스위칭소자(ST1 내지 ST4)는 턴 온되고, 제2극성신호(P2)와 제1극성신호(P1)가 각각 제1노드(N1)와 제2노드(N2)로 전달된다. 이때, 제2극성신호(P2)가 로우레벨인 경우 제5스위칭소자(ST5)가 턴 온되고, 제1전원단자(VDD)로부터 인가되는 제1전원전압(Vdd)이 제5스위칭소자(ST5)를 통해 출력단자(OUT)로 출력된다. 따라서, 하이레벨의 ALS 전압(S_{i+1})이 ALS 라인으로 인가된다. 제1극성신호(P1)가 로우레벨인 경우 제6스위칭소자(ST6)가 턴 온되고, 제2전원단자(VSS)로부터 인가되는 제2전원전압(Vss)이 제6스위칭소자(ST6)를 통해 출력단자(OUT)로 출력된다. 따라서, 로우레벨의 ALS

전압(V_{Si+1})이 ALS 라인으로 인가된다.

- [0047] 상기 실시예의 경우, ALS 드라이버는 게이트 라인으로 출력되는 게이트 신호(G)와 제1 및 제2 극성신호(P1, P2)를 인가받아, 커패시터의 상태를 결정하고, 제1전원전압(V_{dd})과 제2전원전압(V_{ss})을 출력하게 된다. 이때, 게이트 신호가 인가되는 제1 내지 제4 스위칭소자(ST1 내지 ST4)는 문턱전압(V_{th})의 강하(drop)가 발생하고, 제1 및 제2 커패시터(C1 및 C2)는 제5 및 제6 스위칭소자(ST5 및 ST6)의 V_{gs} 가 0V가 됨에 따라 누설에 의해 전압 강하가 크다.
- [0048] 도 4는 본 발명의 다른 실시예에 따른 ALS 드라이버의 임의의 홀수 ALS 구동회로의 구체적인 회로도이다. 도 4의 i 번째 홀수 ALS 구동회로(ALSi)는 ALS 드라이버의 모든 홀수 ALS 구동회로에 동일하게 적용된다. 여기서, i 는 홀수를 나타낸다.
- [0049] 도 4를 참조하면, i 번째 홀수 ALS 구동회로(ALSi)는 입력부(401), 리셋부(403), 제1레벨보상부(405), 부스팅부(407), 제2레벨보상부(409) 및 출력부(411)를 포함한다. 도 4에서는 스위칭 소자를 PMOS 트랜지스터로 구성하였으며, 따라서 로우레벨의 전압이 활성전압이 되고, 하이레벨의 전압이 비활성전압이 된다.
- [0050] 제1극성전압(P1)은 제1극성단자(POLB), 제2극성전압(P2)은 제2극성단자(POL)로부터 공급된다. 제1극성전압(P1)과 제2극성전압(P2)은 서로 반대의 극성을 띠며, 하이레벨과 로우레벨의 전압을 1프레임마다 교대로 출력하여 신호 주기가 프레임 단위가 된다.
- [0051] 제1전원전압(V_{dd})은 제1전원단자(VDD)로부터 공급되는 하이레벨 신호이고, 제2전원전압(V_{ss})은 제2전원단자(VSS)로부터 공급되는 로우레벨 신호이다. 상기 제1전원전압(V_{dd})은 하이레벨의 공통전압(V_{comh})일 수 있고, 상기 제2전원전압(V_{ss})은 로우레벨의 공통전압(V_{coml})일 수 있다.
- [0052] 제3전원전압($V1$)은 제3전원단자로 공급되는 하이레벨 신호이고, 제4전원전압($V2$)은 제4전원단자로 공급되는 로우레벨 신호이다. 상기 제3전원전압($V1$)은 게이트 신호의 하이레벨 전압(V_{gh})일 수 있고, 상기 제4전원전압($V2$)은 게이트 신호의 로우레벨 전압(V_{gl})일 수 있다.
- [0053] 내부신호(T1) 및 내부신호(T2)는 게이트 라인으로 인가되는 게이트 드라이버의 출력 신호(즉, 게이트 신호)가 아니라, 게이트 드라이버의 내부 노드로부터 출력되는 중간 신호이다. 상기 내부신호(T1) 및 내부신호(T2)의 전압 관계는 도 5에 도시된 바와 같다.
- [0054] 도 5를 참조하면, 상기 내부신호(T1)와 상기 내부신호(T2)는 극성이 반대이다. 상기 내부신호(T1)의 로우레벨 전압은 제1레벨전압과 상기 제1레벨전압보다 낮은 전압인 제2레벨전압의 조합을 갖는다. 상기 제1레벨전압은 게이트 신호의 로우레벨 전압(V_{gl})일 수 있고, 상기 제2레벨전압은 상기 게이트 신호의 로우레벨 전압(V_{gl})보다 낮은 전압(V_{gl}')일 수 있다.
- [0055] 일 단의 게이트 신호가 로우레벨 전압(V_{gl})으로 출력되는 시점에서, 다음 단의 내부신호(T1)는 제1레벨전압을 출력한다. 이어서, 상기 일 단의 게이트 신호가 다시 하이레벨 전압(V_{gh})을 출력하고 다음 단의 게이트 신호가 로우레벨 전압(V_{gl})을 출력하는 시점에서, 다음 단의 내부신호(T1)는 제2레벨전압을 출력한다. 이때, 내부신호(T2)는 각 단의 내부신호(T1)가 로우레벨 전압을 출력하는 동안 하이레벨 전압(V_{gh})을 출력한다.
- [0056] 예를 들어, 순차적으로 $n-2$ 번째, $n-1$ 번째, n 번째 게이트 신호(G_{n-2} , G_{n-1} , G_n)가 차례로 $n-2$ 번째, $n-1$ 번째, n 번째 게이트 라인으로 인가된다. 이때, $n-2$ 번째 게이트 신호(G_{n-2})가 로우레벨 전압(V_{gl})으로 출력되는 시점에서, $n-1$ 번째 제1내부신호($T1(n-1)$)가 제1레벨전압(V_{gl})으로 출력된다. 이어서, $n-2$ 번째 게이트 신호(G_{n-2})가 하이레벨 전압(V_{gh})으로 출력되고 $n-1$ 번째 게이트 신호(G_{n-1})가 로우레벨 전압(V_{gl})으로 출력되는 시점에서, $n-1$ 번째 제1내부신호($T1(n-1)$)가 제2레벨전압(V_{gl}')으로 출력된다. 이어서, n 번째 게이트 신호(G_n)가 로우레벨 전압(V_{gl})으로 출력되는 시점에서, $n-1$ 번째 제1내부신호($T1(n-1)$)가 하이레벨 전압(V_{gh})으로 출력된다. 이때, $n-2$ 번째, $n-1$ 번째, n 번째 제2내부신호($T2(n-2)$, $T2(n-1)$, $T2(n)$)는 $n-2$ 번째, $n-1$ 번째, n 번째 제1내부신호($T1(n-2)$, $T1(n-1)$, $T1(n)$)가 로우레벨 전압(제1레벨전압 및 제2레벨전압)을 출력하는 2H 기간 동안 하이레벨 전압을 출력한다.
- [0057] 다시 도 4를 참조하면, 상기 입력부(401)는 제1 내지 제6트랜지스터(T1 내지 T6)를 포함한다.
- [0058] 제1트랜지스터(T1)는 게이트 전극이 제1입력단자(IN1)에 전기적으로 연결되고, 제1전극(소스 또는 드레인 전극)이 제1극성단자(POLB)에 전기적으로 연결되고, 제2전극(드레인 또는 소스 전극)이 제2트랜지스터(T2)의 제1전극에 전기적으로 연결된다.

- [0059] 제2트랜지스터(T2)는 게이트 전극이 제1입력단자(IN1)에 전기적으로 연결되고, 제1전극이 제1트랜지스터(T1)의 제2전극에 전기적으로 연결되고, 제2전극이 제3노드(M3)에 전기적으로 연결된다.
- [0060] 제3트랜지스터(T3)는 게이트 전극이 제1입력단자(IN1)에 전기적으로 연결되고, 제1전극이 제4노드(M4)에 전기적으로 연결되고, 제2전극이 제3노드(M3)에 전기적으로 연결된다.
- [0061] 제1트랜지스터(T1), 제2트랜지스터(T2), 및 제3트랜지스터(T3)는 게이트 전극에 로우레벨의 제1내부신호($T1(i+2)$)가 인가되면 턴 온되어 제1극성전압(P1)을 제1노드(M1)로 전달한다.
- [0062] 제4트랜지스터(T4)는 게이트 전극이 제1입력단자(IN1)에 전기적으로 연결되고, 제1전극이 제2극성단자(POL)에 전기적으로 연결되고, 제2전극이 제5트랜지스터(T5)의 제1전극에 전기적으로 연결된다.
- [0063] 제5트랜지스터(T5)는 게이트 전극이 제1입력단자(IN1)에 전기적으로 연결되고, 제1전극이 제4트랜지스터(T4)의 제2전극에 전기적으로 연결되고, 제2전극이 제4노드(M4)에 전기적으로 연결된다.
- [0064] 제6트랜지스터(T6)는 게이트 전극이 제1입력단자(IN1)에 전기적으로 연결되고, 제1전극이 제4노드(M4)에 전기적으로 연결되고, 제2전극이 제2노드(M2)에 전기적으로 연결된다.
- [0065] 제4트랜지스터(T4), 제5트랜지스터(T5), 및 제6트랜지스터(T6)는 게이트 전극에 로우레벨의 제1내부신호($T1(i+2)$)가 인가되면 턴 온되어 제2극성전압(P2)을 제2노드(M2)로 전달한다.
- [0066] 상기 제1내부신호($T1(i+2)$)는 다음 홀수 게이트 회로에서 출력되는 내부신호이다. 단일의 로우레벨 전압을 갖는 게이트 신호 대신 제1레벨전압(V_{g1})과 제1레벨전압(V_{g1})보다 낮은 제2레벨전압(V_{g1}')을 갖는 내부신호($T1$)를 이용함으로써, 입력부(401)의 트랜지스터들의 V_{th} 강하를 극복할 수 있다.
- [0067] 한편, 제1 및 제2 극성전압(P1 및 P2)에 따라 제1노드(M1)와 제2노드(M2)에 로우레벨 전압이 인가되면, 제21트랜지스터(T21)와 제22트랜지스터(T22)가 각각 턴 온된다. 따라서, 이하에서는 로우레벨 전압이 인가된 노드를 온(on) 노드라 하고, 하이레벨 전압이 인가된 노드를 오프(off) 노드라 하겠다.
- [0068] 상기 리셋부(403)는 제7트랜지스터(T7) 및 제8트랜지스터(T8)를 포함한다. 상기 리셋부(403)는 플로팅된 제1노드(M1)와 제2노드(M2)에 극성이 반대인 전압을 각각 인가하여 동작 개시 전에 홀수 ALS 회로의 ALS 전압을 로우레벨로 설정한다. 따라서, 동작 초기에 ALS 전압이 로우레벨에서 하이레벨로 안정적으로 출력된다.
- [0069] 제7트랜지스터(T7)는 게이트 전극이 리셋단자(RESET)에 전기적으로 연결되고, 제1전극이 제3전원단자에 전기적으로 연결되고, 제2전극이 제1노드(M1)에 전기적으로 연결된다.
- [0070] 제8트랜지스터(T8)는 게이트 전극이 리셋단자(RESET)에 전기적으로 연결되고, 제1전극이 제4전원단자에 전기적으로 연결되고, 제2전극이 제2노드(M2)에 전기적으로 연결된다.
- [0071] 동작 개시 전에 리셋신호(R)가 리셋단자(RESET)로 인가되면, 상기 제7트랜지스터(T7)는 턴 온되어 제3전원단자로부터 하이레벨의 제3전원전압($V1$)을 제1노드(M1)로 전달하고, 상기 제8트랜지스터(T8)는 턴 온되어 제4전원단자로부터 로우레벨의 제4전원전압($V2$)을 제2노드(M2)로 전달한다. 이에 따라, 출력부(411)의 제22트랜지스터(T22)는 턴 온되어 제2전원단자(VSS)로부터 제2전원전압(V_{ss})을 출력단자(OUT)로 출력한다. 따라서, 초기에 홀수 ALS 회로의 출력신호는 로우레벨을 유지한다.
- [0072] 상기 제1레벨보상부(405)는 제9트랜지스터(T9) 및 제10트랜지스터(T10)를 포함한다. 상기 제1레벨보상부(405)는 로우레벨 전압을 제3노드(M3) 및 제4노드(M4)로 인가하여, 제1노드(M1) 또는 제2노드(M2) 중 온 노드가 되는 노드에서 1프레임 동안 누설에 의한 전압 강하를 보상한다.
- [0073] 제9트랜지스터(T9)는 게이트 전극이 제2입력단자(IN2)에 전기적으로 연결되고, 제1전극이 제4전원단자에 전기적으로 연결되고, 제2전극이 제3노드(M3)에 전기적으로 연결된다.
- [0074] 제10트랜지스터(T10)는 게이트 전극이 제2입력단자(IN2)에 전기적으로 연결되고, 제1전극이 제4전원단자에 전기적으로 연결되고, 제2전극이 제4노드(M4)에 전기적으로 연결된다.
- [0075] 상기 제2입력단자(IN2)로 인가되는 신호는 제2내부신호($T2(i+2)$)로서, 상기 제2내부신호($T2(i+2)$)는 다음 홀수 게이트 회로에서 출력되는 내부신호이다. 상기 제2내부신호($T2(i+2)$)는 상기 제1내부신호($T1(i+2)$)가 하이레벨로 출력되는 시점에서 로우레벨로 출력된다. 상기 로우레벨의 제2내부신호($T2(i+2)$)가 인가되면, 상기 제9트랜지스터(T9) 및 제10트랜지스터(T10)가 턴 온되어 로우레벨의 제4전원전압($V2$)이 각각 제3노드(M3)와 제4노드(M4)로 인가된다. 따라서, 제1노드(M1)가 온 노드인 경우 제3트랜지스터(T3)의 V_{ds} 를 감소시켜 제3트랜지스터

(T3)가 턴 오프일 때 누설되는 전류를 감소시킨다. 그리고, 제2노드(M2)가 온 노드인 경우 제6트랜지스터(T6)의 V_{ds} 를 감소시켜 제6트랜지스터(T6)가 턴 오프일 때 누설되는 전류(I_{off})를 감소시킨다.

- [0076] 상기 부스팅부(407)는 제11 내지 제16 트랜지스터(T11 내지 T16) 및 제1 내지 제4 커패시터(C11 내지 C14)를 포함한다. 상기 부스팅부(407)는 제1노드(M1) 또는 제2노드(M2) 중 온 노드가 되는 노드의 전위를 높여 출력부(411)의 구동전류를 증가시킨다. 온 노드는 PMOS 회로에서는 전압이 더 낮아지고, NMOS 회로에서는 전압이 더 높아진다.
- [0077] 제11트랜지스터(T11)는 게이트 전극이 제1입력단자(IN1)에 전기적으로 연결되고, 제1전극이 제3전원단자에 전기적으로 연결되고, 제2전극이 제12트랜지스터(T12)의 제1전극에 연결된다.
- [0078] 제12트랜지스터(T12)는 게이트 전극이 제1입력단자(IN1)에 전기적으로 연결되고, 제1전극이 제11트랜지스터(T11)의 제2전극에 전기적으로 연결되고, 제2전극이 제5노드(M5)에 전기적으로 연결된다.
- [0079] 제13트랜지스터(T13)는 게이트 전극이 제3입력단자(IN3)에 전기적으로 연결되고, 제1전극이 제14트랜지스터(T14)의 제2전극에 전기적으로 연결되고, 제2전극이 제5노드(M5)에 전기적으로 연결된다.
- [0080] 제14트랜지스터(T14)는 게이트 전극과 제1전극이 제3입력단자(IN3)에 전기적으로 연결되고, 제2전극이 제13트랜지스터(T13)의 제1전극에 전기적으로 연결된다.
- [0081] 제15트랜지스터(T15)는 게이트 전극이 제1노드(M1)에 전기적으로 연결되고, 제1전극이 제5노드(M5)에 전기적으로 연결되고, 제2전극이 제3커패시터(C13)의 제1전극에 전기적으로 연결된다.
- [0082] 제16트랜지스터(T16)는 게이트 전극이 제2노드(M2)에 전기적으로 연결되고, 제1전극이 제5노드(M5)에 전기적으로 연결되고, 제2전극이 제4커패시터(C14)의 제1전극에 전기적으로 연결된다.
- [0083] 제1커패시터(C11)는 제1전극이 제3전원단자에 전기적으로 연결되고, 제2전극이 제1노드(M1)에 전기적으로 연결된다.
- [0084] 제2커패시터(C12)는 제1전극이 제1전극이 제3전원단자에 전기적으로 연결되고, 제2전극이 제2노드(M2)에 전기적으로 연결된다.
- [0085] 제3커패시터(C13)는 제1전극이 제15트랜지스터(T15)의 제2전극에 전기적으로 연결되고, 제2전극이 제1노드(M1)에 전기적으로 연결된다.
- [0086] 제4커패시터(C14)는 제1전극이 제16트랜지스터(T16)의 제2전극에 전기적으로 연결되고, 제2전극이 제2노드(M2)에 전기적으로 연결된다.
- [0087] 상기 제3입력단자(IN3)로 인가되는 신호는 제3내부신호($T1(i)$)로서, 상기 제3내부신호($T1(i)$)는 동일 홀수 게이트 회로에서 출력되는 내부신호이다. 상기 제3내부신호($T1(i)$)는 상기 제1내부신호($T1(i+2)$)보다 2H 앞서 로우레벨, 즉 제1전압레벨(V_{g1})과 제2전압레벨($V_{g1'}$)로 제3입력단자(IN3)로 인가된다.
- [0088] 로우레벨의 제1내부신호($T1(i+2)$)가 인가되면, 제11트랜지스터(T11)와 제12트랜지스터(T12)가 턴 온되어 하이레벨의 제3전원전압($V1$)이 제5노드(M5)로 인가된다. 로우레벨의 제3내부신호($T1(i)$)가 인가되면, 제13트랜지스터(T13)와 제14트랜지스터(T14)가 턴 온되어 로우레벨의 제3내부신호($T1(i)$)가 제5노드(M5)로 인가된다. 이에 따라, 제5노드(M5)는 하이레벨에서 로우레벨로 변경된다.
- [0089] 이때, 제1노드(M1)가 로우레벨 전압을 유지하고 있는 경우, 즉 제1노드(M1)가 온 노드인 경우, 턴 온된 제15트랜지스터(T15)가 제5노드(M5)의 로우레벨 전압을 제3커패시터(C13)의 제1전극으로 전달한다. 이에 따라, 제1커패시터(C11)와 제3커패시터(C13)의 커패시턴스 비율에 의해 제1노드(M1)의 전압이 더 낮아진다. 따라서, 제21트랜지스터(T21)의 V_{gs} 와 구동전류(I_{on})가 증가한다. 제2노드(M2)가 로우레벨 전압을 유지하고 있는 경우, 즉 제2노드(M2)가 온 노드인 경우, 턴 온된 제16트랜지스터(T16)가 제5노드(M5)의 로우레벨 전압을 제4커패시터(C14)의 제1전극으로 전달한다. 이에 따라, 제2커패시터(C12)와 제4커패시터(C14)의 커패시턴스 비율에 의해 제2노드(M2)의 전압이 더 낮아진다. 따라서, 제22트랜지스터(T22)의 V_{gs} 와 구동전류(I_{on})가 증가한다.
- [0090] 상기 제2레벨보상부(409)는 제17 내지 제20 트랜지스터(T17 내지 T20)를 포함하며, 제1노드(M1) 또는 제2노드(M2) 중 오프 노드가 되는 노드의 전압레벨을 강하없이 하이레벨로 유지시킨다.
- [0091] 제17트랜지스터(T17)는 게이트 전극이 제1노드(M1)에 전기적으로 연결되고, 제1전극이 제18트랜지스터(T18)의 제2전극에 전기적으로 연결되고, 제2전극이 제2노드(M2)에 전기적으로 연결된다.

- [0092] 제18트랜지스터(T18)는 게이트 전극이 제1노드(M1)에 전기적으로 연결되고, 제1전극이 제3전원단자에 전기적으로 연결되고, 제2전극이 제17트랜지스터(T17)의 제1전극에 전기적으로 연결된다.
- [0093] 제19트랜지스터(T19)는 게이트 전극이 제2노드(M2)에 전기적으로 연결되고, 제1전극이 제20트랜지스터(T20)의 제2전극에 전기적으로 연결되고, 제2전극이 제1노드(M1)에 전기적으로 연결된다.
- [0094] 제20트랜지스터(T20)는 게이트 전극이 제2노드(M2)에 전기적으로 연결되고, 제1전극이 제3전원단자에 전기적으로 연결되고, 제2전극이 제19트랜지스터(T19)의 제1전극에 전기적으로 연결된다.
- [0095] 제1노드(M1)가 온 노드이고 제2노드(M2)가 오프 노드인 경우, 제17트랜지스터(T17) 및 제18트랜지스터(T18)가 턴 온되고, 하이레벨의 제3전원전압(V1)이 제2노드(M2)로 전달된다. 따라서, 하이레벨의 제2노드(M2)의 전압 강하가 감소된다.
- [0096] 제2노드(M2)가 온 노드이고 제1노드(M1)가 오프 노드인 경우, 제19트랜지스터(T19) 및 제20트랜지스터(T20)가 턴 온되고, 하이레벨의 제3전원전압(V1)이 제1노드(M1)로 전달된다. 따라서, 하이레벨의 제1노드(M1)의 전압 강하가 감소된다.
- [0097] 상기 출력부(411)는 제21트랜지스터(T21) 및 제22트랜지스터(T22)를 포함하며, 제1전원전압(Vdd) 또는 제2전원전압(Vss)를 출력노드(OUT)로 출력한다.
- [0098] 제21트랜지스터(T21)는 게이트 전극이 제1노드(M1)에 전기적으로 연결되고, 제1전극이 제1전원단자(VDD)에 전기적으로 연결되고, 제2전극이 출력단자(OUT)와 제22트랜지스터(T22)의 제2전극에 전기적으로 연결된다.
- [0099] 제22트랜지스터(T22)는 게이트 전극이 제2노드(M2)에 전기적으로 연결되고, 제1전극이 제2전원단자(VSS)에 전기적으로 연결되고, 제2전극이 출력단자(OUT)와 제21트랜지스터(T21)의 제2전극에 전기적으로 연결된다.
- [0100] 제1노드(M1)가 온 노드이고 제2노드(M2)가 오프 노드인 경우, 제21트랜지스터(T21)가 턴 온되고 제1전원전압(Vdd)이 ALS 전압(Si)으로 출력된다.
- [0101] 제2노드(M2)가 온 노드이고 제1노드(M1)가 오프 노드인 경우, 제22트랜지스터(T22)가 턴 온되고 제2전원전압(Vss)이 ALS 전압(Si)으로 출력된다.
- [0102] 도 6은 본 발명의 바람직한 일 실시예에 따른 도 4의 홀수 ALS 구동회로의 동작을 나타내는 타이밍도이다. 이하, 도 6을 참조하여, 도 4의 i번째 홀수 ALS 구동회로의 전체적인 동작을 살펴보겠다.
- [0103] 먼저, 제1프레임에서 제1극성전압(P1)이 로우레벨이고 제2극성전압(P2)이 하이레벨로 인가되는 경우를 예로서 설명하겠다.
- [0104] 동작 개시 전 제1 내지 제4 노드(M1 내지 M4)는 플로팅 상태이다. 이때, 리셋부(403)를 이용하여 제1노드(M1) 및 제2노드(M2)에 초기 전압을 인가하여 초기 ALS 전압(Si)을 결정한다.
- [0105] 리셋 신호(R)가 제7트랜지스터(T7) 및 제8트랜지스터(T8)의 게이트 전극으로 각각 인가되면, 상기 제7트랜지스터(T7) 및 제8트랜지스터(T8)는 턴 온된다. 이에 따라, 하이레벨의 제3전원전압(V1)이 제1노드(M1)로 인가되고, 로우레벨의 제4전원전압(V2)이 제2노드(M2)로 인가된다. 제2노드(M2)는 온 노드가 되고, 출력부(411)의 제22트랜지스터(T22)는 턴 온되어 제2전원전압(Vss)을 초기 ALS 전압(Si)으로 출력한다. 이후, 홀수 ALS 회로는 로우레벨의 초기 ALS 전압에서, 하이레벨의 ALS 전압과 로우레벨의 ALS 전압을 교대로 출력하게 된다.
- [0106] i번째 게이트 신호(Gi)가 게이트 오프 전압이 되고 i+1번째 게이트 신호(Gi+1)가 게이트 온 전압이 되면, 로우레벨의 제1내부신호(T1(i+2))가 제1입력단자(IN1)로 인가된다.
- [0107] 제1 내지 제6 트랜지스터(T1 내지 T6)는 턴 온되고, 제1극성전압(P1)과 제2극성전압(P2)이 제1노드(M1)와 제2노드(M2)로 인가된다. 따라서, 제1노드(M1)는 온 노드가 되고 제2노드(M2)는 오프 노드가 된다. 이에 따라, 제21트랜지스터(T21)는 턴 온되고 제1전원단자(VDD)로부터 하이레벨의 제1전원전압(Vdd)이 출력단자(OUT)로 1프레임 기간 동안 ALS 전압(Si)으로서 출력된다.
- [0108] 또한, 제11트랜지스터(T11) 및 제12트랜지스터(T12)는 턴 온되고, 하이레벨의 제3전원전압(V1)이 제5노드(M5)로 인가된다. 온 노드인 제1노드(M1)에 게이트 전극이 연결된 제15트랜지스터(T15)는 턴 온되고, 하이레벨의 제3전원전압(V1)을 제3커패시터(C13)의 제1전극에 인가한다. 제1커패시터(C11)와 제3커패시터(C13)에는 제3전원전압(V1)과 제1극성전압(P1)의 전압 차가 충전된다.

- [0109] 그리고, 온 노드인 제1노드(M1)에 게이트 전극이 연결된 제17트랜지스터(T17) 및 제18트랜지스터(T18)는 턴 온되고, 하이레벨의 제3전원전압(V1)을 제2노드(M2)로 인가한다. 따라서, 오프 노드인 제2노드(M2)의 전압 강하를 보상한다.
- [0110] 제1내부신호(T1(i+2))가 하이레벨이 되고, 로우레벨의 제2내부신호(T2(i+2))가 제2입력단자(IN2)로 인가되면, 제1 내지 제6트랜지스터(T1 내지 T6)는 턴 오프되고, 제9트랜지스터(T9) 및 제10트랜지스터(T10)는 턴 온된다. 이에 따라, 로우레벨의 제4전원전압(V2)이 각각 제3노드(M3)와 제4노드(M4)로 인가된다. 따라서, 턴 오프된 제3트랜지스터(T3)의 V_{ds} 및 누설 전류(I_{off})를 감소시킨다.
- [0111] 제1레벨 및 제2레벨의 로우레벨을 갖는 제3내부신호(T1(i))가 제3입력단자(IN3)로 인가되면, 제13트랜지스터(T13) 및 제14트랜지스터(T14)는 턴 온되고, 제3내부신호(T1(i))가 제5노드(M5)로 인가된다. 제5노드(M5)의 전압 상태는 하이레벨에서 로우레벨 상태로 바뀐다. 로우레벨의 전압은 제15트랜지스터(T15)를 통해 제3커패시터(C13)의 제1전극에 인가한다. 이에 따라, 부스팅 커패시터인 제3커패시터(C13)에 의해 제1노드(M1)의 전압은 더 낮아지게 되고, 따라서 제21트랜지스터(T21)의 V_{gs} 및 구동전류(I_{on})가 증가한다.
- [0112] 다음으로, 제2프레임에서 제1극성전압(P1)이 하이레벨이고 제2극성전압(P2)이 로우레벨로 인가되는 경우를 예로서 설명하겠다.
- [0113] i번째 게이트 신호(G_i)가 게이트 오프 전압이 되고 i+1번째 게이트 신호(G_{i+1})가 게이트 온 전압이 되면, 로우레벨의 제1내부신호(T1(i+2))가 제1입력단자(IN1)로 인가된다.
- [0114] 제1 내지 제6 트랜지스터(T1 내지 T6)는 턴 온되고, 제1극성전압(P1)과 제2극성전압(P2)이 제1노드(M1)와 제2노드(M2)로 인가된다. 따라서, 제1노드(M1)는 오프 노드가 되고 제2노드(M2)는 온 노드가 된다. 이에 따라, 제22트랜지스터(T22)는 턴 온되고 로우레벨의 제2전원전압(V_{ss})이 1프레임 기간 동안 ALS 전압(S_i)으로서 출력된다.
- [0115] 또한, 제11트랜지스터(T11) 및 제12트랜지스터(T12)는 턴 온되고, 하이레벨의 제3전원전압(V1)이 제5노드(M5)로 인가된다. 온 노드인 제2노드(M2)에 게이트 전극이 연결된 제16트랜지스터(T16)는 턴 온되고, 하이레벨의 제3전원전압(V1)을 제4커패시터(C14)의 제1전극에 인가한다. 제2커패시터(C12)와 제4커패시터(C14)에는 제3전원전압(V1)과 제2극성전압(P2)의 전압 차가 충전된다.
- [0116] 그리고, 온 노드인 제2노드(M2)에 게이트 전극이 연결된 제19트랜지스터(T19) 및 제20트랜지스터(T20)는 턴 온되고, 하이레벨의 제3전원전압(V1)을 제1노드(M1)로 인가한다. 따라서, 오프 노드인 제1노드(M1)의 전압 강하를 보상한다.
- [0117] 제1내부신호(T1(i+2))가 하이레벨이 되고, 로우레벨의 제2내부신호(T2(i+2))가 제2입력단자(IN2)로 인가되면, 제1 내지 제6트랜지스터(T1 내지 T6)는 턴 오프되고, 제9트랜지스터(T9) 및 제10트랜지스터(T10)는 턴 온된다. 이에 따라, 로우레벨의 제4전원전압(V2)이 각각 제3노드(M3)와 제4노드(M4)로 인가된다. 따라서, 턴 오프된 제6트랜지스터(T6)의 V_{ds} 및 누설 전류(I_{off})를 감소시킨다.
- [0118] 제1레벨 및 제2레벨의 로우레벨을 갖는 제3내부신호(T1(i))가 제3입력단자(IN3)로 인가되면, 제13트랜지스터(T13) 및 제14트랜지스터(T14)는 턴 온되고, 제3내부신호(T1(i))가 제5노드(M5)로 인가된다. 제5노드(M5)의 전압 상태는 하이레벨에서 로우레벨 상태로 바뀐다. 로우레벨의 전압은 제16트랜지스터(T16)를 통해 제4커패시터(C14)의 제1전극에 인가된다. 이에 따라, 부스팅 커패시터인 제4커패시터(C14)에 의해 제2노드(M2)의 전압이 더 낮아진다. 따라서 제22트랜지스터(T22)의 V_{gs} 및 구동전류(I_{on})가 증가한다.
- [0119] 도 7은 본 발명의 일 실시예에 따른 ALS 드라이버의 임의의 짝수 ALS 구동회로의 구체적인 회로도이다. 도 8은 도 7의 짝수 ALS 구동회로의 동작을 나타내는 타이밍도이다. 도 7 및 도 8의 i+1번째 짝수 ALS 구동회로(ALS_{i+1}) 및 동작 타이밍은 ALS 드라이버의 모든 짝수 ALS 회로에 동일하게 적용된다. 여기서 i는 홀수이다.
- [0120] 도 7을 참조하면, i+1번째 짝수 ALS 구동회로(ALS_{i+1})는 입력부(401), 리셋부(403), 제1레벨보상부(405), 부스팅부(407), 제2레벨보상부(409) 및 출력부(411)를 포함한다.
- [0121] 제1극성단자(POLB)는 제1극성전압(P1), 제2극성단자(POL)는 제2극성전압(P2), 제1전원단자(VDD)는 제1전원전압(V_{dd}), 제2전원단자(VSS)는 제2전원전압(V_{ss}), 제3전원단자는 제3전원전압(V1), 제4전원단자는 제4전원전압(V2)을 각각 제공한다. 각 입력단자로 입력되는 입력신호들 간의 관계는 도 5를 참조로 기술한 바와 같다.
- [0122] 짝수 ALS 구동회로(ALS_{i+1})는 도 4의 홀수 ALS 구동회로(ALS_i)에 대해, i) 제1트랜지스터(T1)의 제1전극이 제2극성단자(POL)에 전기적으로 연결되고, 제4트랜지스터(T4)의 제1전극이 제1극성단자(POLB)에 전기적으로 연결되

는 점과, ii) 제7트랜지스터(T7)의 제1전극이 제4전원단자에 전기적으로 연결되고, 제8트랜지스터(T8)의 제1전극이 제3전원단자에 전기적으로 연결되는 점이 상이하고, 그 외 회로 구성은 동일하다. 따라서, 도 4의 홀수 ALS 구동회로(ALSi)와 동일한 구성의 상세한 설명은 생략하겠다.

- [0123] 도 8을 참조하면, 먼저, 제1프레임에서 제1극성전압(P1)이 로우레벨로 제2극성전압(P2)이 하이레벨로 인가되는 경우를 예로서 설명하겠다.
- [0124] 동작 개시 전 제1 내지 제4 노드(M1 내지 M4)는 플로팅 상태이다. 이때, 리셋부(403)를 이용하여 제1노드(M1) 및 제2노드(M2)에 초기 전압을 인가하여 초기 ALS 전압(Si)을 결정한다.
- [0125] 리셋 신호(R)가 제7트랜지스터(T7) 및 제8트랜지스터(T8)의 게이트 전극으로 각각 인가되면, 상기 제7트랜지스터(T7) 및 제8트랜지스터(T8)는 턴 온된다. 이에 따라, 로우레벨의 제4전원전압(V2)이 제1노드(M1)로 인가되고, 하이레벨의 제3전원전압(V1)이 제2노드(M2)로 인가된다. 제1노드(M1)는 온 노드가 되고, 제21트랜지스터(T21)는 턴 온되어 제1전원전압(Vdd)을 초기 ALS 전압(Si+1)으로 출력한다. 이후, 짝수 ALS 회로는 하이레벨의 초기 ALS 전압에서, 로우레벨의 ALS 전압과 하이레벨의 ALS 전압을 교대로 출력하게 된다.
- [0126] i+1번째 게이트 신호(Gi)가 게이트 오프 전압이 되고 i+2번째 게이트 신호(Gi+2)가 게이트 온 전압이 되면, 로우레벨의 제1내부신호(T1(i+3))가 제1입력단자(IN1)로 인가된다.
- [0127] 제1 내지 제6 트랜지스터(T1 내지 T6)는 턴 온되고, 제2극성전압(P2)과 제1극성전압(P1)이 제1노드(M1)와 제2노드(M2)로 인가된다. 따라서, 제1노드(M1)는 오프 노드가 되고 제2노드(M2)는 온 노드가 된다. 이에 따라, 제22트랜지스터(T22)는 턴 온되고 제2전원단자(VSS)로부터 로우레벨의 제2전원전압(Vss)이 1프레임 기간 동안 ALS 전압(Si+1)으로서 출력단자(OUT)로 출력된다.
- [0128] 또한, 제11트랜지스터(T11) 및 제12트랜지스터(T12)는 턴 온되고, 하이레벨의 제3전원전압(V1)이 제5노드(M5)로 인가된다. 온 노드인 제2노드(M2)에 게이트 전극이 연결된 제16트랜지스터(T16)는 턴 온되고, 하이레벨의 제3전원전압(V1)을 제4커패시터(C14)의 제1전극에 인가한다. 제2커패시터(C12)와 제4커패시터(C14)에는 제3전원전압(V1)과 제1극성전압(P1)의 전압 차가 충전된다.
- [0129] 그리고, 온 노드인 제2노드(M2)에 게이트 전극이 연결된 제19트랜지스터(T19) 및 제20트랜지스터(T20)는 턴 온되고, 하이레벨의 제3전원전압(V1)을 제1노드(M1)로 인가한다. 따라서, 오프 노드인 제1노드(M1)의 전압 강하를 보상한다.
- [0130] i+3번째 게이트 회로로부터 하이레벨의 제1내부신호(T1(i+3))가 제1입력단자(IN1)로 인가되고, 로우레벨의 제2내부신호(T2(i+3))가 제2입력단자(IN2)로 인가되면, 제1 내지 제6트랜지스터(T1 내지 T6)는 턴 오프되고, 제9트랜지스터(T9) 및 제10트랜지스터(T10)는 턴 온된다. 이에 따라, 로우레벨의 제4전원전압(V2)이 각각 제3노드(M3)와 제4노드(M4)로 인가된다. 따라서, 턴 오프된 제6트랜지스터(T6)의 Vds 및 누설 전류(Ioff)를 감소시킨다.
- [0131] i+1번째 게이트 회로로부터 제1레벨 및 제2레벨의 로우레벨을 갖는 제3내부신호(T1(i+1))가 제3입력단자(IN3)로 인가되면, 제13트랜지스터(T13) 및 제14트랜지스터(T14)는 턴 온되고, 제3내부신호(T1(i+1))가 제5노드(M5)로 인가된다. 제5노드(M5)의 전압 상태는 하이레벨에서 로우레벨 상태로 바뀐다. 로우레벨의 전압은 제16트랜지스터(T16)를 통해 제4커패시터(C14)의 제1전극에 인가된다. 이에 따라, 부스팅 커패시터인 제4커패시터(C14)에 의해 제2노드(M2)의 전압은 더 낮아지게 되고, 따라서 제22트랜지스터(T22)의 Vgs 및 구동전류(Ion)가 증가한다.
- [0132] 다음으로, 제2프레임에서 제1극성전압(P1)이 하이레벨이고 제2극성전압(P2)이 로우레벨로 인가되는 경우를 예로서 설명하겠다.
- [0133] i+1번째 게이트 신호(Gi+1)가 게이트 오프 전압이 되고 i+2번째 게이트 신호(Gi+2)가 게이트 온 전압이 되면, 로우레벨의 제1내부신호(T1(i+3))가 제1입력단자(IN1)로 인가된다.
- [0134] 제1 내지 제6 트랜지스터(T1 내지 T6)는 턴 온되고, 제2극성전압(P2)과 제1극성전압(P1)이 제1노드(M1)와 제2노드(M2)로 인가된다. 따라서, 제1노드(M1)는 온 노드가 되고 제2노드(M2)는 오프 노드가 된다. 이에 따라, 제21트랜지스터(T21)는 턴 온되고 하이레벨의 제1전원전압(Vdd)이 1프레임 기간 동안 ALS 전압(Si+1)으로서 출력된다.
- [0135] 또한, 제11트랜지스터(T11) 및 제12트랜지스터(T12)는 턴 온되고, 하이레벨의 제3전원전압(V1)이 제5노드(M5)로 인가된다. 온 노드인 제1노드(M1)에 게이트 전극이 연결된 제15트랜지스터(T15)는 턴 온되고, 하이레벨의 제3전

원전압(V1)을 제3커패시터(C13)의 제1전극에 인가한다. 제1커패시터(C11)와 제3커패시터(C13)에는 제3전원전압(V1)과 제2극성전압(P2)의 전압 차가 충전된다.

[0136] 그리고, 온 노드인 제1노드(M1)에 게이트 전극이 연결된 제17트랜지스터(T17) 및 제18트랜지스터(T18)는 턴 온 되고, 하이레벨의 제3전원전압(V1)을 제2노드(M2)로 인가한다. 따라서, 오프 노드인 제2노드(M2)의 전압 강하를 보상한다.

[0137] i+3번째 게이트 회로로부터 하이레벨의 제1내부신호(T1(i+3))가 제1입력단자(IN1)로 인가되고, 로우레벨의 제2 내부신호(T2(i+3))가 제2입력단자(IN2)로 인가되면, 제1 내지 제6트랜지스터(T1 내지 T6)는 턴 오프되고, 제9트랜지스터(T9) 및 제10트랜지스터(T10)는 턴 온된다. 이에 따라, 로우레벨의 제4전원전압(V2)이 각각 제3노드(M3)와 제4노드(M4)로 인가된다. 따라서, 턴 오프된 제3트랜지스터(T3)의 V_{ds} 및 누설 전류(I_{off})를 감소시킨다.

[0138] 제1레벨 및 제2레벨의 로우레벨을 갖는 제3내부신호(T1(i+1))가 제3입력단자(IN3)로 인가되면, 제13트랜지스터(T13) 및 제14트랜지스터(T14)는 턴 온되고, 제5노드(M5)의 전압 상태는 하이레벨에서 로우레벨 상태로 바뀐다. 로우레벨의 전압은 제15트랜지스터(T15)를 통해 제3커패시터(C13)의 제1전극에 인가한다. 이에 따라, 부스팅 커패시터인 제3커패시터(C13)에 의해 제1노드(M1)의 전압은 더 낮아지게 된다. 따라서 제21트랜지스터(T21)의 V_{gs} 및 구동전류(I_{on})가 증가한다.

[0139] 본 발명은 게이트 드라이버의 출력 신호보다 고전압의 신호를 이용하여 스위칭 소자의 V_{th} 강하를 보상하며, 고 전압 신호로서 게이트 드라이버 내부의 신호를 이용하기 때문에 별도의 전압원을 이용할 필요가 없다. 또한, 본 발명은 ALS 회로의 초기화를 통해 초기 구동시 출력 전압을 안정화하고, ALS 회로의 온 노드 또는 오프 노드의 전압 강하를 보상하고, 커패시터 전압을 안정화시킬 수 있다.

[0140] 본 발명의 일 실시예에서 스위칭소자들(트랜지스터)은 모두 PMOS 트랜지스터로 구현되는 예를 설명하였으나, NMOS 트랜지스터로 구현하고 신호를 반전시킴으로써 본 발명의 구동 방법을 적용할 수 있음은 물론이다.

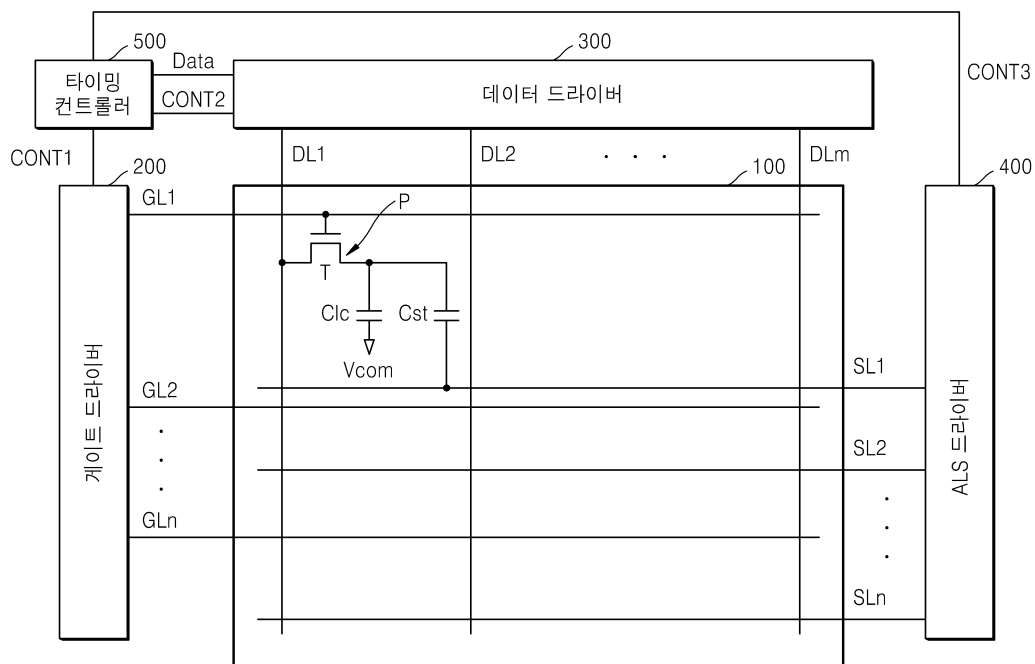
[0141] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

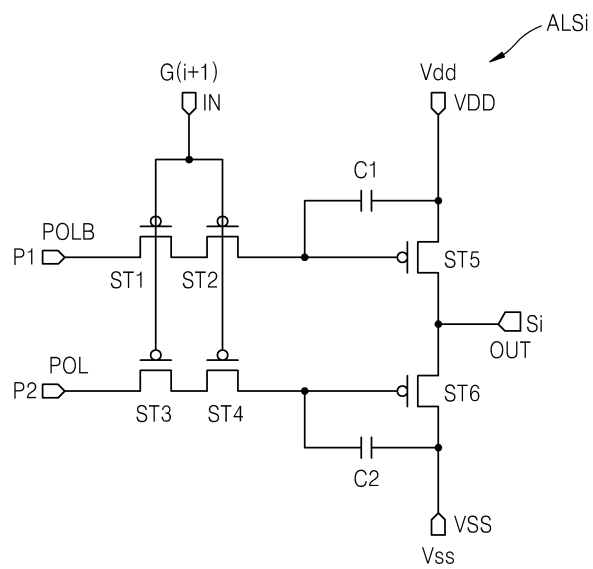
[0142] 100: 액정패널 200: 게이트 드라이버
300: 데이터 드라이버 400: ALS 드라이버
500: 타이밍 컨트롤러

도면

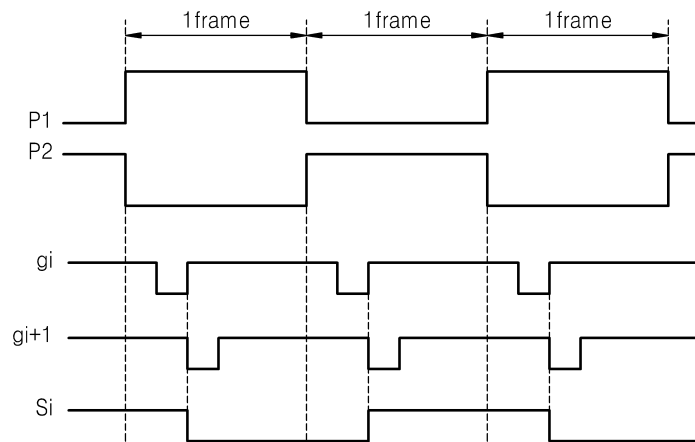
도면1



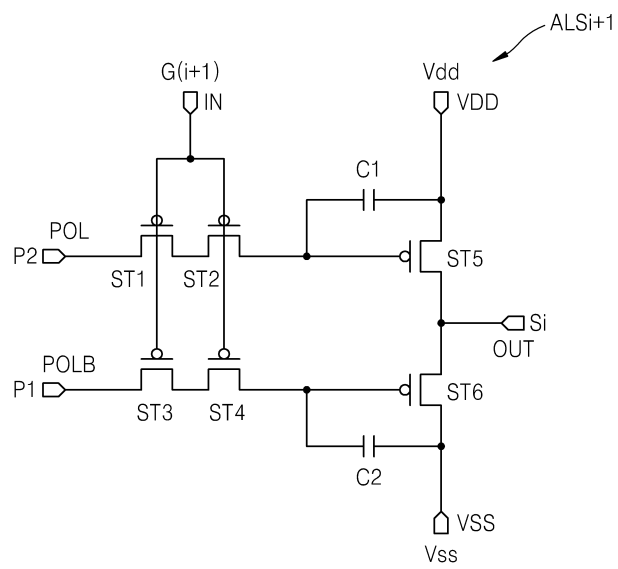
도면2a



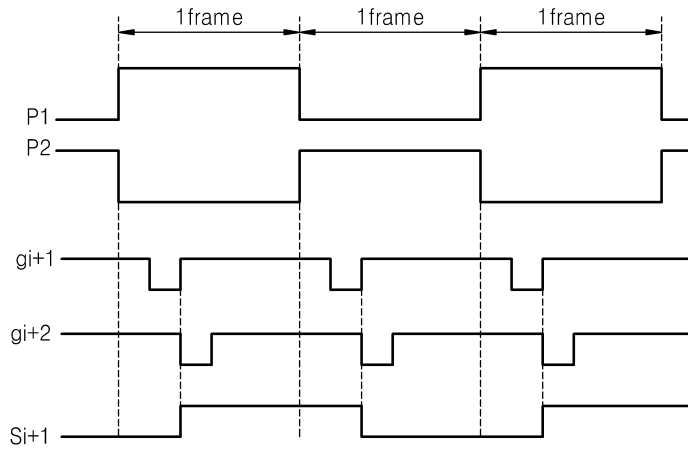
도면2b



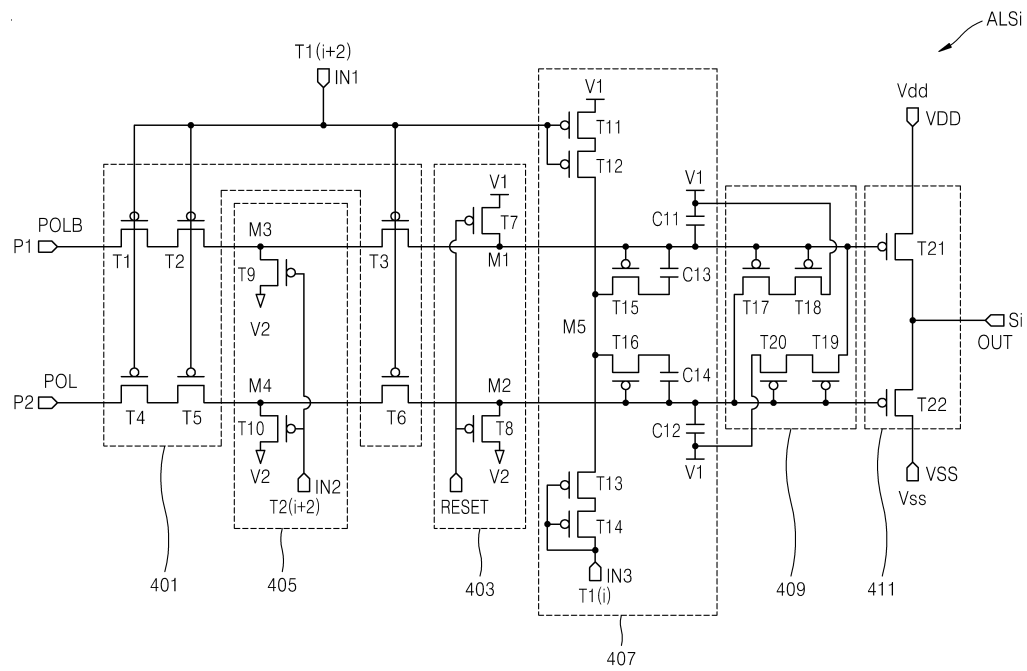
도면3a



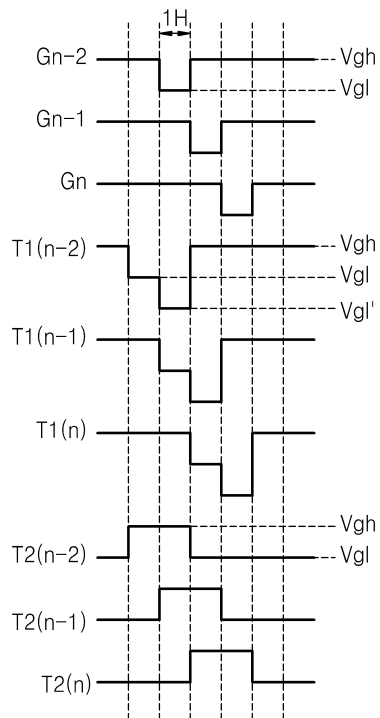
도면3b



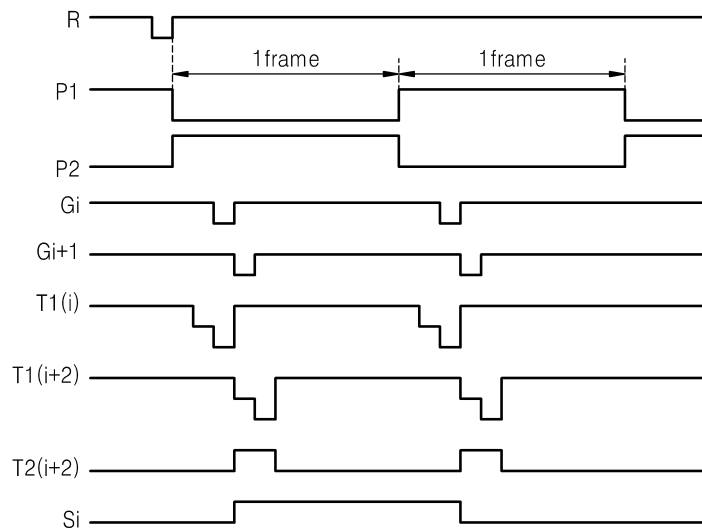
도면4



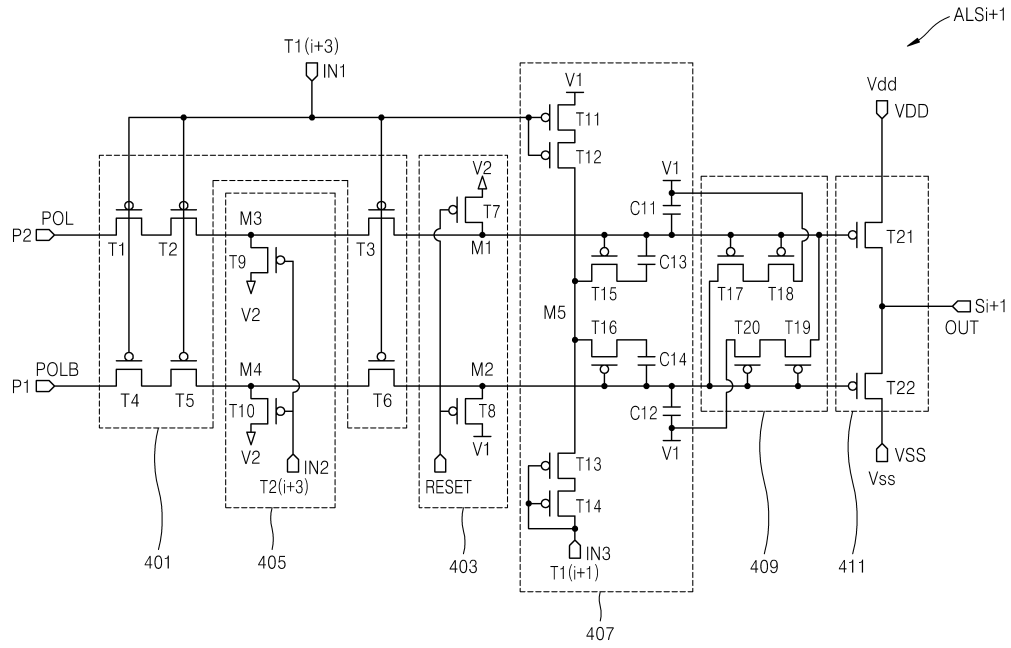
도면5



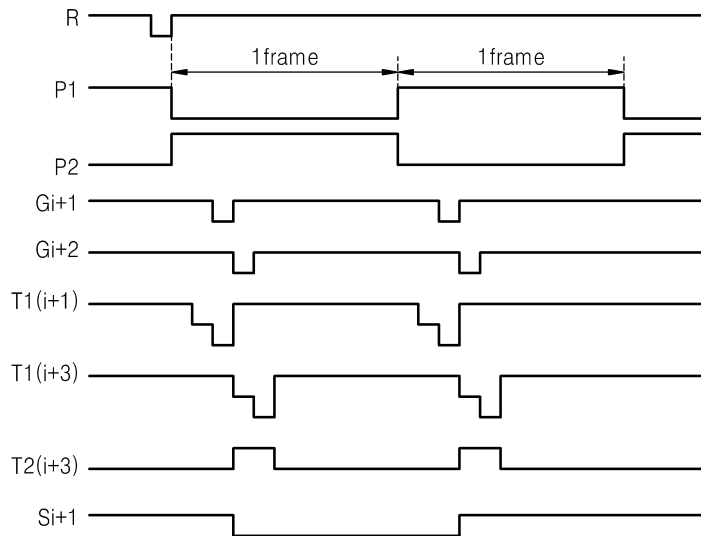
도면6



도면7



도면8



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 [청구항 13] 둘째줄

【변경전】

"상기 제1입력단자에"

【변경후】

"제1입력단자에"

专利名称(译)	标题：ALS驱动电路和包括其的液晶显示装置		
公开(公告)号	KR101753774B1	公开(公告)日	2017-07-20
申请号	KR1020100103671	申请日	2010-10-22
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	LEE SEUNG KYU 이승규 LEE DONG HOON 이동훈 KIM CHUL HO 김철호 KIM KYUNG HOON 김경훈 KIM SE HYANG 김세향		
发明人	이승규 이동훈 김철호 김경훈 김세향		
IPC分类号	G09G3/36 H03K19/0185		
CPC分类号	G09G3/3655 G09G3/3614 H03K19/018507 G09G2300/0876		
其他公开文献	KR1020120042147A		
外部链接	Espacenet		

摘要(译)

用途：提供有源电平移位驱动电路和包括其的液晶显示装置，以稳定电容器电压，从而提高图像质量。组成：输入部分（401）将第一极性电压施加到第一节点。输入部分将第二极性电压施加到第二节点。复位部分（403）将初始电压施加到第一节点和第二节点。输出部分（411）交替地输出第一电源电压和第二电源电压。COPYRIGHT KIPO 2012

