



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년12월02일
(11) 등록번호 10-1681122
(24) 등록일자 2016년11월24일

(51) 국제특허분류(Int. Cl.)
G02F 1/1368 (2006.01) G02F 1/1343 (2006.01)
G02F 1/1362 (2006.01) H01L 27/12 (2006.01)
(21) 출원번호 10-2009-0127389
(22) 출원일자 2009년12월18일
심사청구일자 2014년12월17일
(65) 공개번호 10-2011-0070532
(43) 공개일자 2011년06월24일
(56) 선행기술조사문헌
JP2007114811 A*
KR1020080110382 A*
KR1020020091706 A*
JP2798066 B2
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
조용수
대구광역시 북구 대천로 101, 화성3차아파트 102
동 1005호 (동천동)
김태훈
경기도 파주시 책향기로 420, 신동아아파트 1103
동 702호 (동패동)
(74) 대리인
(뒷면에 계속)
박장원

전체 청구항 수 : 총 5 항

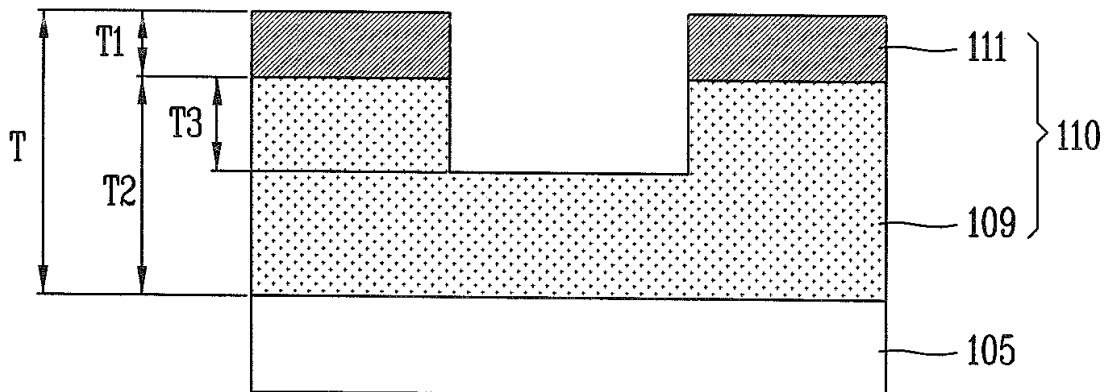
심사관 : 금복희

(54) 발명의 명칭 액정표시장치용 박막트랜지스터 제조방법

(57) 요약

본 발명은 액정표시장치용 박막트랜지스터 제조방법에 관한 것으로, 액정표시장치용 박막트랜지스터 제조방법은 투명 절연기관 상에 게이트전극을 형성하는 단계; 상기 게이트전극을 덮는 영역을 포함한 절연기관 상에 게이트 절연막을 형성하는 단계; 상기 게이트절연막 상부에 형성되고, 도핑되지 않은 순수 비정질실리콘층과, n형 불순 (뒷면에 계속)

대표도 - 도3



물이 고농도로 도핑되어 있는 n형 불순물 비정질실리콘층을 순차적으로 증착한 후, 상기 게이트전극과 대응되는 영역을 제외한 부분을 식각하여 순수 비정질실리콘층과 n형 불순물 비정질실리콘층으로 구성되는 액티브층을 형성하는 단계; 상기 액티브층을 포함한 투명 절연기관 전면에 금속층을 형성하는 단계; 상기 금속층을 식각하여 소스전극과 드레인전극을 서로 이격되도록 형성하는 단계; 및 상기 게이트전극과 대응되는 소정영역의 순수 비정질실리콘층이 노출되도록 상기 n형 불순물 비정질실리콘층을 식각하여 저항성 접촉층을 형성하는 단계;를 포함하여 구성된다.

(72) 발명자

백한규

경기도 고양시 일산동구 강석로 152 710동 601호
(마두동, 강촌마을7단지아파트)

하찬기

인천광역시 남동구 매소홀로 1103 304동 904호 (서창동, 현대모닝사이드아파트)

명세서

청구범위

청구항 1

투명 절연기관 상에 게이트전극을 형성하는 단계;

상기 게이트전극을 덮는 영역을 포함한 절연기관 상에 게이트절연막을 형성하는 단계;

상기 게이트절연막 상부에 형성되고, 도핑되지 않은 순수 비정질실리콘층과, n형 불순물 비정질실리콘층을 순차적으로 증착한 후, 상기 게이트전극과 대응되는 영역을 제외한 부분을 식각하여 순수 비정질실리콘층과 n형 불순물 비정질실리콘층으로 구성되는 액티브층을 형성하는 단계;

상기 액티브층을 포함한 투명 절연기관 전면에 금속층을 형성하는 단계;

상기 금속층을 식각하여 소스전극과 드레인전극을 서로 이격되도록 형성하는 단계; 및

상기 게이트전극과 대응되는 소정영역의 순수 비정질실리콘층이 노출되도록 상기 n형 불순물 비정질실리콘층과 상기 순수 비정질실리콘층을 식각하여 저항성 접촉층을 형성하는 단계;를 포함하여 구성되며,

상기 n형 불순물 비정질실리콘층 형성시에, PH_3/SiH_4 유량은 1.0 내지 2.5 개/ cm^3 로 유지하며, 상기 n형 불순물 비정질실리콘층 내에 인(phosphorus) 농도가 5×10^{20} 내지 5×10^{21} 개/ cm^2 로 도핑되어 있는 액정표시장치용 박막트랜지스터 제조방법.

청구항 2

제1 항에 있어서, 상기 n형 불순물 비정질실리콘층은 $100 \sim 200 \text{ \AA}$ 두께를 갖는 액정표시장치용 박막트랜지스터 제조방법.

청구항 3

삭제

청구항 4

제1 항에 있어서, 상기 순수 비정질실리콘층과 n형 불순물 비정질실리콘층으로 구성된 액티브층은 $1300 \sim 1500 \text{ \AA}$ 두께를 갖는 액정표시장치용 박막트랜지스터 제조방법.

청구항 5

제1 항에 있어서, 상기 게이트전극과 대응되는 소정영역의 순수 비정질실리콘층이 노출되도록 상기 n형 불순물 비정질실리콘층을 식각하여 저항성 접촉층을 형성하는 단계는, 백채널 식각(Back Channel Etching) 공정을 통해 형성되는 액정표시장치용 박막트랜지스터 제조방법.

청구항 6

제5 항에 있어서, 상기 n형 불순물 비정질실리콘층과 순수 비정질실리콘층이 $400 \text{ \AA}$ 이하 두께만큼 식각되는 액정표시장치용 박막트랜지스터 제조방법.

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명은 액정표시장치(Liquid Crystal Display; LCD)용 박막트랜지스터(Thin Film Transistor; TFT)에 관한 것으로서, 보다 상세하게는 액티브층의 두께를 슬림(slim)하게 형성하여 TFT 이동도(mobility) 특성 및 생산성을 증가시킬 수 있는 액정표시장치용 박막트랜지스터 제조방법에 관한 것이다.

배경 기술

- [0002] 일반적으로, 액정표시장치는 투명 절연기관인 어레이기관과 컬러필터기관 사이에 이방성 유전율을 갖는 액정층을 형성한 후, 액정층에 형성되는 전계의 세기를 조정하여 액정물질의 분자배열을 변경시키고, 이를 통하여 표시면인 컬러필터기관에 투과되는 빛의 양을 조절함으로써 원하는 화상을 표현하는 장치이다.
- [0003] 이러한 액정표시장치로는 박막트랜지스터(Thin Film Transistor; TFT)를 스위칭 소자로 이용하는 박막 트랜지스터 액정표시장치(TFT LCD)가 주로 사용되고 있다.
- [0004] 이러한 박막 트랜지스터 액정표시장치의 스위칭 소자로 이용되는 박막트랜지스터 구조에 대해 도 1을 참조하여 설명하면 다음과 같다.
- [0005] 도 1은 종래기술에 따른 액정표시장치용 박막트랜지스터 소자의 단면도이다.
- [0006] 종래기술에 따른 액정표시장치용 박막 트랜지스터 소자는, 도 1에 도시된 바와 같이, 투명 절연기관(11) 상에 형성된 게이트전극(13)과; 상기 게이트전극(13) 상부에 형성된 게이트절연막(15)과; 상기 게이트절연막(15) 상부에 도핑되지 않은 비정질실리콘 물질로 이루어지며 게이트전극(13)과 대응되는 영역이 채널부로 정의된 반도체층(17)과 상기 채널부에서 반도체층(17)을 노출시키며 서로 이격되게 위치하여 형성된 소스전극(21a) 및 드레인전극(21b)과; 상기 소스전극(21a) 및 드레인전극(21b)과 반도체층(17) 간의 계면에 형성되고, n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 실리콘 물질로 이루어진 저항성 접촉층(ohmic contact layer; 19)을 포함하여 구성된다.
- [0007] 여기서, 상기 반도체층(17)과 저항성 접촉층(19)은 액티브층(20)을 구성하는데, 상기 반도체층(17)은 게이트전극(13) 상부를 덮는 게이트절연막(15) 위치에 도핑되지 않은 비정질 실리콘물질로 형성되어 있으며, 게이트전극(13)과 대응되는 영역이 채널부(미도시)로 정의된다.
- [0008] 이때, 도면에는 도시하지 않았지만, 일반적으로 상기 저항성 접촉층(19)의 두께는 약 300Å 정도로 형성되며, 반도체층(17) 두께는 약 1700Å 정도 두께로 형성됨으로써, 상기 액티브층(20)의 전체 두께는 2000 Å 이상으로 형성된다.
- [0009] 또한, 상기 저항성 접촉층(19)의 백채널 식각(BCE; back channel etching)시에, 상기 반도체층(17)은 약 700Å 정도 이상 깊이의 두께만큼 식각된다.
- [0010] 그러나, 상기 종래기술에 따른 액정표시장치용 박막트랜지스터 구조에 의하면 다음과 같은 문제점이 있다.
- [0011] 종래기술에 따른 액정표시장치용 박막트랜지스터는, 일반적인 백채널 식각 (BCE; back channel etching)공정을 적용하여 4 마스크 공정으로 제조할 수 있어, 공정적으로 이점이 있지만, n+ 저항성 접촉층 제거공정과 소스전극/드레인전극 형성공정이 하나의 마스크로 동시에 진행되기 때문에 백채널 식각 깊이 공정마진을 확보하기가 어렵다.
- [0012] 따라서, 기존 공정으로는 액티브층 두께를 2000Å 이상 확보하여 n+ 저항성 접촉층의 식각 깊이를 확보하고, 일정한 두께의 잔여 두께를 유지함으로써, 박막트랜지스터(TFT) 특성 저하를 최소화하고 있다.
- [0013] 그러나, 종래기술에 따른 액정표시장치용 박막트랜지스터 구조는, 동일한 마스크로 n+ 저항성 접촉층 제거공정과 소스전극/드레인전극 형성공정이 이루어지고 있어, n+ 저항성 접촉층 제거시에 건식 식각(dry etch) 산포 때문에 균일성 (uniformity) 문제가 발생할 소지가 있다. 즉, n+ 저항성 접촉층을 깊게 식각하게 되면, 잔여물 두께가 감소되어 박막트랜지스터(TFT)의 온전류(on current; Ion) 특성이 저하되고, 얇게 식각하게 되면 n+ 저항성 접촉층의 잔여막으로 인해 박막트랜지스터(TFT)의 오프전류(off current; Ioff) 특성이 저하된다.

발명의 내용

해결 하고자하는 과제

- [0014] 이에 본 발명은 상기 종래기술의 제반 문제점을 해결하기 위하여 안출한 것으로서, 저항성 접촉층 두께를 얇게 하여 액티브층의 전체 두께를 슬림(slim)하게 형성함으로써 TFT 이동도 (mobility) 특성 및 생산성을 증가시킬 수 있는 액정표시장치용 박막트랜지스터 및 그 제조방법을 제공함에 있다.

과제 해결수단

- [0015] 상기 목적을 달성하기 위한 본 발명에 따른 액정표시장치용 박막트랜지스터 제조방법은, 투명 절연기판 상에 게이트전극을 형성하는 단계; 상기 게이트전극을 덮는 영역을 포함한 절연기판 상에 게이트절연막을 형성하는 단계; 상기 게이트절연막 상부에 형성되고, 도핑되지 않은 순수 비정질실리콘층과, n형 불순물이 고농도로 도핑되어 있는 n형 불순물 비정질실리콘층을 순차적으로 증착한 후, 상기 게이트전극과 대응되는 영역을 제외한 부분을 식각하여 순수 비정질실리콘층과 n형 불순물 비정질실리콘층으로 구성되는 액티브층을 형성하는 단계; 상기 액티브층을 포함한 투명 절연기판 전면에 금속층을 형성하는 단계; 상기 금속층을 식각하여 소스전극과 드레인전극을 서로 이격되도록 형성하는 단계; 및 상기 게이트전극과 대응되는 소정영역의 순수 비정질실리콘층이 노출되도록 상기 n형 불순물 비정질실리콘층을 식각하여 저항성 접촉층을 형성하는 단계;를 포함하여 구성되는 것을 특징으로 한다.

효 과

- [0016] 본 발명에 따른 액정표시장치용 박막트랜지스터 제조방법에 의하면 다음과 같은 효과가 있다.
- [0017] 본 발명에 따른 액정표시장치용 박막트랜지스터 제조방법은, n+ 불순물 비정질실리콘으로 구성된 저항성 접촉층의 두께를 기존보다 얇게 하여 채널영역에 위치하는 순수 비정질실리콘층의 식각 깊이를 감소되도록 함으로써 n+ 저항성 접촉층의 식각공정 시간을 줄여 주고, 산포 범위를 줄여 n+ 저항성 접촉층의 식각 깊이에 대한 공정 마진을 확보하는데 용이하다.
- [0018] 또한, 본 발명에 따른 액정표시장치용 박막트랜지스터 제조방법은, n+ 저항성 접촉층의 두께를 감소시키는 경우에 소스전극/드레인전극 용 금속층과 반도체층 간의 오믹(ohmic) 특성 및 박막트랜지스터(TFT)의 온 전류(On current; Ion) 특성 저하를 초래할 수 있지만, 저항성 접촉층 형성시에 인산(phosphorus; PH_3) 유량을 늘려 줌으로써 이러한 문제를 보상할 수 있으며, 액티브층의 전체 두께를 슬림(slim)하게 유지시킴으로써 박막트랜지스터의 이동도(mobility) 특성 및 생산성을 증대시킬 수 있게 된다.

발명의 실시를 위한 구체적인 내용

- [0019] 이하, 본 발명의 바람직한 실시예에 따른 액정표시장치용 박막트랜지스터 제조방법에 대해 첨부된 도면을 참조하여 상세히 설명한다.
- [0020] 도 2는 본 발명에 따른 액정표시장치용 박막 트랜지스터 소자의 단면도이다.
- [0021] 도 3은 도 2의 "A"부의 확대 단면도로서, 본 발명에 따른 액정표시장치용 박막트랜지스터의 반도체층과 저항성 접촉층으로 구성된 액티브층의 두께를 확대 도시한 단면도이다.
- [0022] 본 발명에 따른 액정표시장치용 박막 트랜지스터 소자는, 도 2에 도시된 바와 같이, 투명 절연기판(101) 상에 형성된 게이트전극(103)과; 상기 게이트전극(103) 상부에 형성된 게이트절연막(107)과; 상기 게이트절연막(107) 상부에 도핑되지 않은 순수 비정질실리콘 물질로 이루어지며 게이트전극(103)과 대응되는 영역이 채널부로 정의된 반도체층(109)과 상기 채널부에서 반도체층(109)을 노출시키며 서로 이격되게 위치하여 형성된 소스전극(115a) 및 드레인전극(115b)과; 상기 소스전극(115a) 및 드레인전극(115b)과 반도체층(109) 간의 계면에 형성되고, n형 불순물이 고농도로 도핑되어 있는 n+ 불순물 비정질실리콘의 물질로 이루어진 저항성 접촉층(ohmic contact layer; 111)을 포함하여 구성된다.
- [0023] 여기서, 상기 게이트전극(103)은 투명 절연기판(101) 상에 알루미늄(Al) 등 비저항값이 낮은 금속물질에서 선택된 금속물질로 형성되며, 상기 게이트절연막(107)은 게이트전극(103)을 덮는 영역에 실리콘질화막(SiNx), 실리콘산화막(SiOx) 등의 절연물질로 형성된다.
- [0024] 그리고, 상기 반도체층(109)과 저항성 접촉층(111)은 액티브층(110)을 구성하는데, 상기 반도체층(109)은 게이트절연막(107) 상부의 게이트전극(103)을 덮는 위치에 도핑되지 않은 순수 비정질 실리콘물질로 형성되어 있으며, 게이트전극(103)과 대응되는 영역이 채널부(미도시)로 정의된다. 이때, 도 3에 도시된 바와 같이, 상기 저항성 접촉층(111)의 두께(T_1)는 약 100~200Å 정도로 형성하는 것이 바람직하며, 상기 액티브층(110) 두께(T)는 1500 Å 이하로 형성하는 것이 바람직하다. 특히, 상기 n+ 불순물 비정질 실리콘의 물질로 이루어진 저항성 접촉층(ohmic contact layer; 111)의 두께(T_1)는 n+ 저항성 접촉층의 제거 공정시간을 줄여 주며, 산포 영역을 줄여 공정 마진을 확보하는데 용이하기 때문에, 전술한 바와 같이, 기존보다 얇은 약 100~200Å 두

개로 형성하는 것이 바람직하다. 하지만, n+ 저항성 접촉층(111)의 두께(T1)를 줄이게 되면 소스전극/드레인전극 용 금속물질층과 반도체층(109) 간의 오믹(ohmic) 특성 및 박막트랜지스터의 온 전류(on current; Ion) 특성이 저하될 수 있기 때문에, n+ 저항성 접촉층(111) 형성시에 PH_3 유량을 늘려 온 전류 특성이 저하되는 것을 보상하고, 액티브층(110)의 전체 두께 (T)를 슬림(slim)하게 형성함으로써 박막트랜지스터(TFT)의 이동도(mobility) 특성 및 생산성을 개선시킬 수 있다.

[0025] 또한, 상기 소스전극(115a) 및 드레인전극(115b)은 상기 채널부(미도시)에서 반도체층(109)이 노출시키며, 서로 이격되게 위치하여 형성되어 있다. 여기서, 상기 소스전극(115a) 및 드레인전극(115b)으로는 몰리브덴(Mo), 티타늄(Ta), 몰리브덴합금(Mo alloy), 알루미늄과 크롬 등을 포함하는 금속 물질이 사용된다.

[0026] 또한, 도면에는 도시하지 않았지만, 상기 박막트랜지스터 소자의 상부에는 실리콘질화막(SiN_x) 등의 무기 절연 물질이나 유기 절연물질로 이루어진 보호막(미도시)이 형성되며, 상기 보호막에는 상기 드레인전극(115b)을 노출시키는 콘택홀(미도시)이 형성된다. 그리고, 상기 콘택홀을 통해 상기 드레인전극(115b)에 연결되며, ITO (indium tin oxide) 또는 IZO (indium zinc oxide) 등의 투명 도전물질로 이루어진 화소전극(미도시)이 형성된다.

[0027] 한편, 상기 구성으로 이루어지는 본 발명에 따른 액정표시장치용 박막트랜지스터 제조방법에 대해 첨부된 도면을 참조하여 설명하면 다음과 같다.

[0028] 도 4a 내지 도 4j는 본 발명에 따른 액정표시장치용 박막트랜지스터 제조공정 단면도이다.

[0029] 도 5는 본 발명에 따른 액정표시장치용 박막트랜지스터 제조방법에 있어서, n+ 저항성 접촉층의 두께(T1)에 따른 온전류(Ion)의 변화를 나타낸 그래프이다.

[0030] 도 6은 본 발명에 따른 액정표시장치용 박막트랜지스터 제조방법에 있어서, n+ 저항성 접촉층 형성시에 PH_3 유량에 따른 온전류(Ion)의 변화를 나타낸 그래프이다.

[0031] 도 7은 본 발명에 따른 액정표시장치용 박막트랜지스터 제조방법에 있어서, 액티브층의 두께(T)에 따른 온전류(Ion)의 변화를 나타낸 그래프이다.

[0032] 도 4a에 도시된 바와 같이, 먼저 투명 절연기판(101) 상에 제1 금속층으로 게이트전극층(103)을 증착하고, 상기 게이트전극층(103) 상부에 포토레지스트막(미도시)을 도포한 다음, 제1 마스크를 이용한 사진 공정 및 현상 공정을 통해 상기 포토레지스트막(미도시)을 선택적으로 제거하여 제1 포토레지스트막패턴(105)을 형성한다. 이때, 상기 제1 금속층은 크롬(Cr), 몰리브덴(Mo), 알루미늄(Al) 계 금속 등을 단일층 또는 이중 층 구조로 하여 형성할 수 있다.

[0033] 그 다음, 상기 제1 포토레지스트막패턴(105)을 차단막으로 하여 상기 게이트전극층(103)을 선택적으로 패터닝하여, 도 4b에서와 같이, 게이트전극(103a)을 형성한다.

[0034] 이어서, 도 4c에 도시된 바와 같이, 상기 잔류하는 제1 포토레지스트막패턴 (105)을 제거한 후 상기 게이트전극(103a)을 덮는 절연기판(101) 전면에 게이트절연막(107)을 형성한다. 이때, 상기 게이트절연막(107)은 유기 절연물질 또는 무기 절연물질 중 어느 하나에서 선택되며, 바람직하게는 무기 절연물질에서 선택되는 것이며, 더욱 바람직하게는 실리콘 절연물질에서 선택되는 것이다. 이러한 실리콘 절연물질로는, 예를 들면 실리콘질화막(SiN_x), 실리콘산화막(SiO_x) 등을 이용할 수 있다.

[0035] 그 다음, 도 4d에 도시된 바와 같이, 상기 게이트절연막(107)의 상부에 도핑되지 않은 순수 비정질 실리콘으로 구성된 반도체층(109)과 n형 불순물이 고농도로 도핑되어 있는 n+ 불순물 비정질 실리콘으로 구성된 저항성 접촉층(111)을 순차적으로 증착한다. 이때, 상기 반도체층(109)과 저항성 접촉층(111)은 액티브층(110)을 구성한다. 여기서, 상기 저항성 접촉층(111)의 두께(T1)은 약 100~200Å 정도로 형성하는 것이 바람직하다. 또한, 상기 액티브층(110)의 전체 두께(T)는, 도 7에 도시된 바와 같이, 약 1500 Å 이하로 형성하는 것이 바람직하며, 더욱 바람직하게는 1300 내지 1500 Å 두께로 형성하는 것이다.

[0036] 특히, 상기 n+ 불순물 비정질 실리콘으로 이루어진 저항성 접촉층(ohmic contact layer; 111)의 두께(T1)는 저항성 접촉층의 제거 공정시간을 줄여 주며, 산포 영역을 줄여 공정 마진을 확보하는데 용이하기 때문에, 기존보다 얇은 두께인 약 100~200Å 두께로 형성하는 것이 바람직하다.

[0037] 하지만, n+ 저항성 접촉층(111)의 두께(T1)를 줄이게 되면 소스전극/드레인전극 용 금속물질층과 반도체층(109) 간의 오믹 특성 및 박막트랜지스터의 온 전류(on current; Ion) 특성이 저하될 수 있기 때문에,

저항성 접촉층(111) 증착시에, 도 6에 도시된 바와 같이, PH_3 유량을 늘려 줌으로써, 온 전류 특성이 저하되는 것을 보상하고, 액티브층(110)의 전체 두께(T)를 슬림(slim)하게 형성함으로써 박막트랜지스터 (TFT)의 이동도(mobility) 특성 및 생산성을 개선시킬 수 있게 된다. 특히, 상기 저항성 접촉층(111) 증착시에 PH_3/SiH_4 유량은, 도 5에 도시된 바와 같이, 약 1.0 내지 2.5 개/ cm^3 정도로 유지시켜 주는 것이 바람직하며, 상기 저항성 접촉층(111) 내에 인(phosphorus) 농도가 약 5×10^{20} 내지 5×10^{21} 개/ cm^2 정도로 도핑되어 있는 것이 바람직하다.

- [0038] 이어서, 도 4e에 도시된 바와 같이, 상기 저항성 접촉층(111) 상부에 포토레지스트막(미도시)을 도포한 다음, 제2 마스크를 이용한 노광 공정 및 현상공정을 통해 상기 포토레지스트막(미도시)을 선택적으로 제거하여 제2 포토레지스트막패턴 (113)을 형성한다.
- [0039] 그 다음, 상기 제2 포토레지스트막패턴(113)을 차단막으로 하여 상기 도핑되지 않은 순수 비정질 실리콘으로 구성된 반도체층(109)과 n형 불순물인 인 (phosphorus; PH_3)이 고농도로 도핑되어 있는 n+ 불순물 비정질실리콘으로 구성된 저항성 접촉층(111)을 선택적으로 패터닝하여, 도 4f에서와 같이, 상기 반도체층 (109)과 저항성 접촉층(111)으로 구성된 액티브층(110)을 형성한다.
- [0040] 이어서, 도 4g에 도시된 바와 같이, 상기 잔류하는 제2 포토레지스트막패턴 (113)을 제거한 후, 상기 액티브층(110)을 포함한 투명 절연기관(101) 전면에 제2 금속층(115)을 증착한다. 이때, 상기 제2 금속층(115)으로는 알루미늄(Al), 크롬 (Cr), 몰리브덴(Mo), 티타늄(Ti), 탄탈늄(Ta), 몰리브덴합금(Mo alloy) 등이 이용된다.
- [0041] 그 다음, 도 4h에 도시된 바와 같이, 상기 제2 금속층(115) 상부에 포토레지스트막(미도시)을 도포한 후, 제3 마스크를 이용한 노광공정 및 현상공정을 통해 선택적으로 제거하여 제3 포토레지스트막패턴(117)을 형성한다.
- [0042] 이어서, 도 4i에 도시된 바와 같이, 상기 제3 포토레지스트막패턴(117)을 차단막으로 하여 상기 제2 금속층(115)을 선택적으로 패터닝하여, 소스전극(115a)과 드레인전극(115b)을 서로 이격되게 형성한다.
- [0043] 이때, 상기 제2 금속층(115) 식각시에, 건식 습각(Dry Etching)과 습식 식각(Wet Etching) 방법을 사용할 수 있다. 즉, 상기 제2 금속층(115)을 습식 식각한 후 잔존물을 건식 식각으로 제거하여 소스전극(115a)과 드레인전극(115b)을 형성한다.
- [0044] 또한, 상기 습식 식각은 기관을 식각액에 침전시키거나 또는 분사 노즐로 식각액을 기관 상에 분사시킴으로써, 식각액과 금속층(115)을 반응시켜 식각작업을 행하는 방식으로 이루어진다. 이때, 습식 식각액은 불산(HF)이나 인산(PH_3) 등의 혼합액을 포함하도록 조성되는 것이 바람직하다.
- [0045] 그 다음, 잔류하는 제3 포토레지스트막패턴(117)을 제거한 후, 상기 소스전극 (115a)과 드레인전극(115b)을 차단막으로 하여 백채널 에칭(Back Channel Etching; BCE) 공정으로 게이트전극(103)과 대응되는 영역의 반도체층(109)이 노출되도록 n+ 불순물 비정질실리콘으로 구성된 저항성 접촉층(111)을 식각(etching) 함으로써, 도 4i에 도시된 바와 같이, 반도체층(109)의 채널부(119)를 정의하고, 저항성 접촉층(111)을 서로 이격시킨다. 이때, 상기 백채널 에칭(BCE) 공정을 통해 상기 채널영역에 위치하는 저항성 접촉층(111) 부분과 반도체층(109)이 일정 두께, 예를 들어 약 400Å 이하 두께만큼 식각된다.
- [0046] 이어서, 도 4j에 도시된 바와 같이, 백채널 식각형 박막트랜지스터를 완성한 후, 상기 기관 전면에 보호막(119)을 형성한다. 이때, 상기 보호막(119)으로 이용되는 절연물질은 유기 절연물질 또는 무기 절연물질 중 어느 하나에서 선택되며, 바람직하게는 무기 절연물질에서 선택되는 것이며, 더욱 바람직하게는 실리콘 절연물질에서 선택되는 것이다. 이러한 실리콘 절연물질로는 예를 들면, 질화 실리콘 (SiNx)막, 산화 실리콘(SiOx)막 등을 이용할 수 있다.
- [0047] 그 다음, 도면에는 도시하지 않았지만, 상기 보호막(119) 상부에 제4 포토레지스트막(미도시)을 도포하고, 제4 마스크를 이용한 노광 공정 및 현상 공정에 의해 상기 제4 포토레지스트막(미도시)을 선택적으로 제거하여 제4 포토레지스트막패턴(미도시)을 형성한다.
- [0048] 이어서, 상기 제4 포토레지스트막패턴을 차단막으로 하여, 상기 보호막(119)을 선택적으로 패터닝하여, 상기 드레인전극(115b)을 노출시키는 콘택홀(121)을 형성한다.
- [0049] 그 다음, 상기 잔류하는 제4 포토레지스트막패턴(미도시)을 제거한 후, 보호막(119) 상부에 ITO(indium tin

oxide) 또는 IZO(indium zinc oxide) 등의 투명 도전물질을 증착한다.

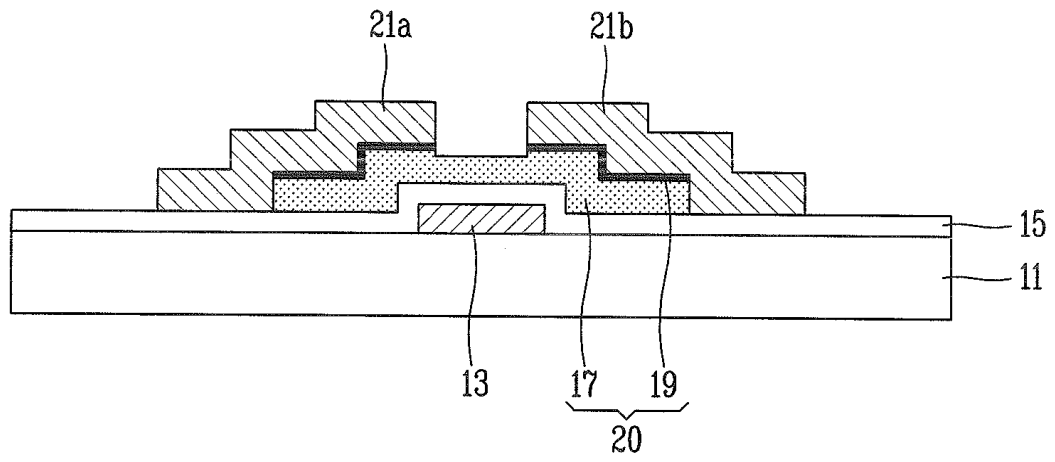
- [0050] 이어서, 상기 투명 도전물질층(미도시) 상부에 포토레지스트막(미도시)을 도포하고, 제5 마스크를 이용한 노광 공정 및 현상 공정을 통해 선택적으로 제거하여 제5 포토레지스트막패턴(미도시)을 형성한다.
- [0051] 그 다음, 상기 제5 포토레지스트막패턴(미도시)을 차단막으로 하여, 상기 투명 도전물질층을 선택적으로 패터닝하여, 상기 콘택홀(121)을 통해 상기 드레인전극(115b)에 연결되는 화소전극(123)을 형성한다.
- [0052] 이상에서와 같이, 본 발명에 따른 액정표시장치용 박막트랜지스터 제조방법은, n+ 불순물이 도핑된 비정질실리콘으로 구성된 저항성 접촉층의 두께를 얇게 하여 채널영역에 위치하는 순수 비정질실리콘층의 식각 깊이를 기존보다 얇게 함으로써 n+ 저항성 접촉층의 식각공정 시간을 줄여 주고, 산포 범위를 줄여 n+ 저항성 접촉층의 식각 깊이에 대한 공정 마진을 확보하는데 용이하다. 특히, 저항성 접촉층의 증착공정 시간과 함께 식각공정 시간을 기존에 비해 약 절반 이하로 줄일 수 있어 전체적인 박막트랜지스터 공정시간을 크게 줄일 수 있다.
- [0053] 또한, 본 발명에 따른 박막트랜지스터 및 그 제조방법은, n+ 저항성 접촉층의 두께를 감소시키는 경우에 소스전극/드레인전극 용 금속층과 반도체층 간의 오믹(ohmic) 특성 및 박막트랜지스터(TFT)의 온 전류 (On current; Ion) 특성 저하를 초래할 수 있지만, 이러한 문제를 개선하기 위해 저항성 접촉층 형성시에 인산(phosphorus; PH₃) 유량을 늘려 줌으로써 이러한 문제를 보상하고 액티브층의 전체 두께를 슬림(slim)하게 유지함으로써 박막트랜지스터의 이동도(mobility) 특성 및 생산성을 증대시킬 수 있게 된다.
- [0054] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다.
- [0055] 따라서, 이상에서 기술한 실시예들은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려 주기 위해 제공되는 것이므로, 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로 이해해야만 하며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

도면의 간단한 설명

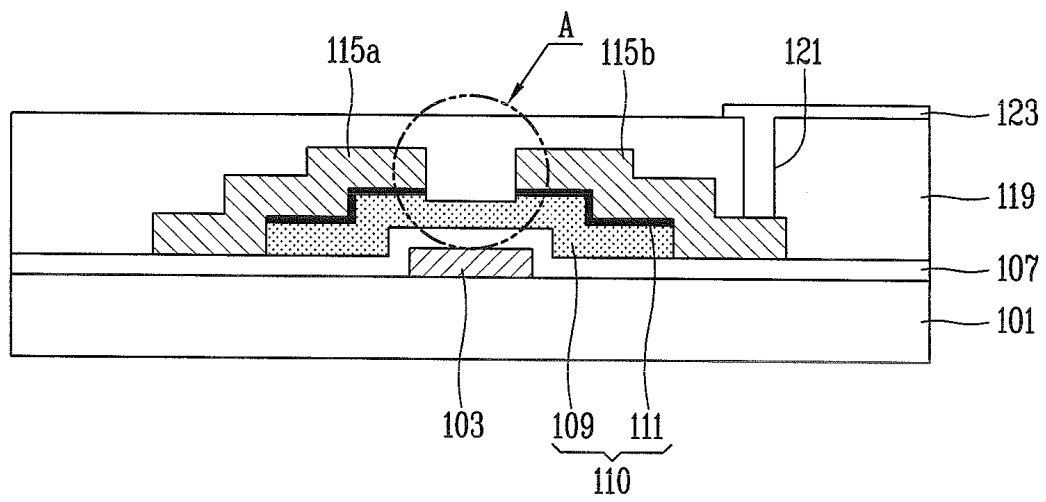
- [0056] 도 1은 종래기술에 따른 액정표시장치용 박막트랜지스터 소자의 단면도이다.
- [0057] 도 2는 본 발명에 따른 액정표시장치용 박막 트랜지스터 소자의 단면도이다.
- [0058] 도 3은 도 2의 "A"부의 확대 단면도로서, 본 발명에 따른 액정표시장치용 박막트랜지스터의 반도체층과 저항성 접촉층으로 구성된 액티브층의 두께를 확대 도시한 단면도이다.
- [0059] 도 4a 내지 도 4j는 본 발명에 따른 액정표시장치용 박막트랜지스터 제조공정 단면도이다.
- [0060] 도 5는 본 발명에 따른 액정표시장치용 박막트랜지스터 제조방법에 있어서, n+ 저항성 접촉층의 두께(T1)에 따른 온전류(Ion)의 변화를 나타낸 그래프이다.
- [0061] 도 6은 본 발명에 따른 액정표시장치용 박막트랜지스터 제조방법에 있어서, n+ 저항성 접촉층 형성시에 PH₃유량에 따른 온전류(Ion) 변화를 나타낸 그래프이다.
- [0062] 도 7은 본 발명에 따른 액정표시장치용 박막트랜지스터 제조방법에 있어서,
- [0063] 액티브층의 두께(T)에 따른 온전류(Ion)의 변화를 나타낸 그래프이다.
- [0064] * 도면의 주요 부분에 대한 부호 설명 *
- | | |
|---------------------|---------------|
| [0065] 101 : 절연기관 | 103a : 게이트전극 |
| [0066] 107 : 게이트절연막 | 109 : 반도체층 |
| [0067] 110 : 액티브층 | 111 : 저항성 접촉층 |
| [0068] 115a : 소스전극 | 115b : 드레인전극 |
| [0069] 119 : 보호막 | 121 : 콘택홀 |

도면

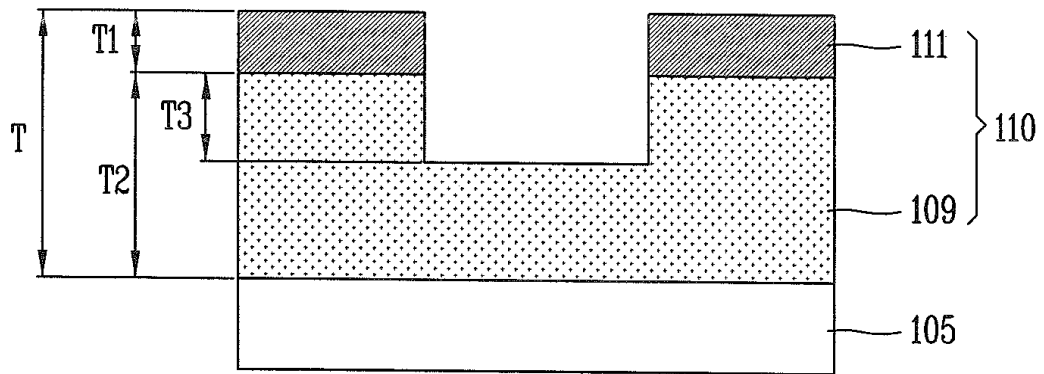
도면1



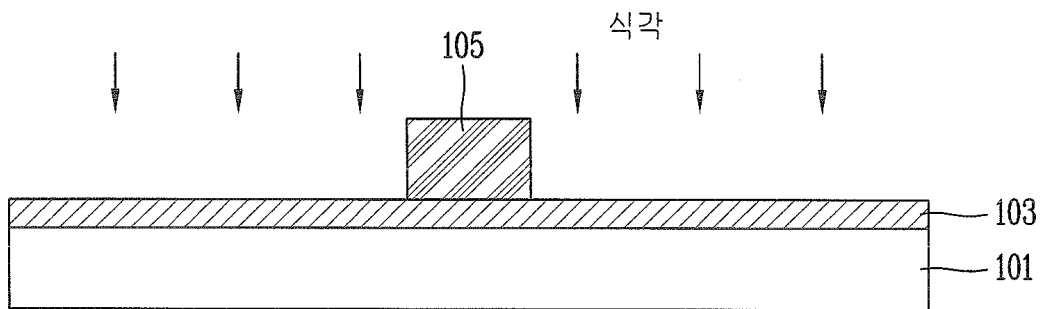
도면2



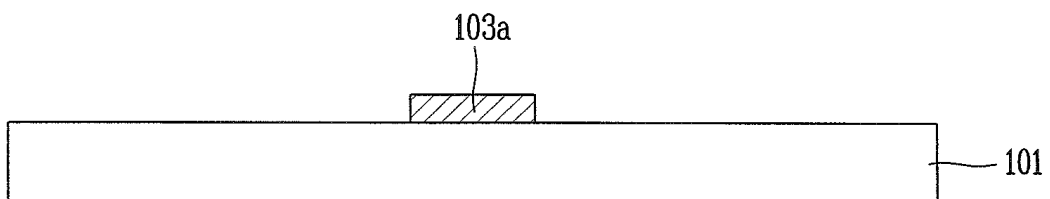
도면3



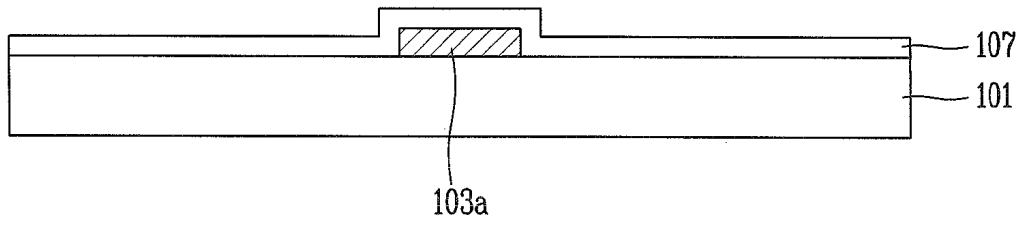
도면4a



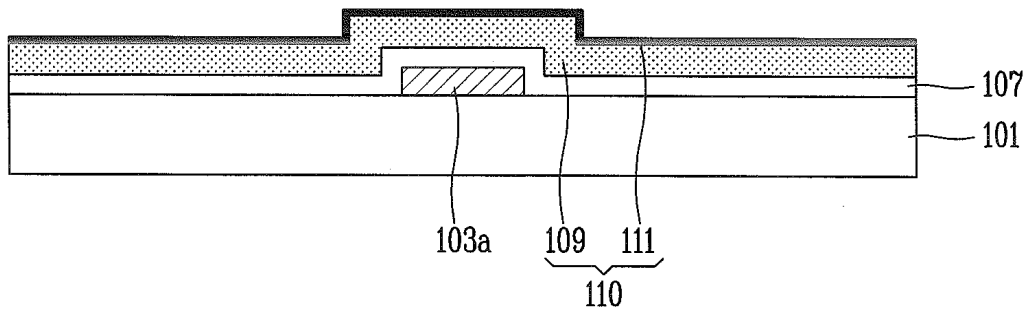
도면4b



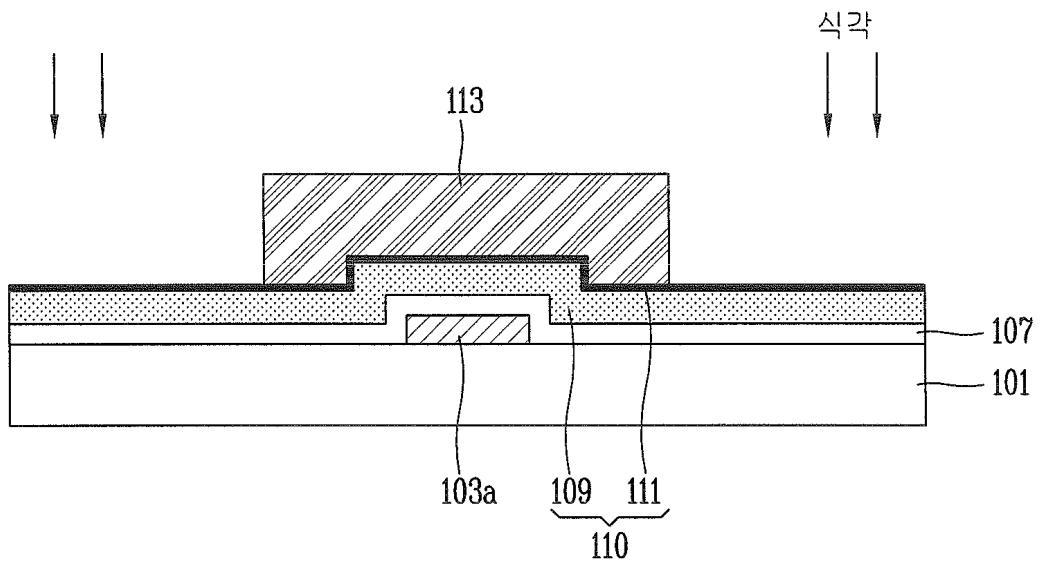
도면4c



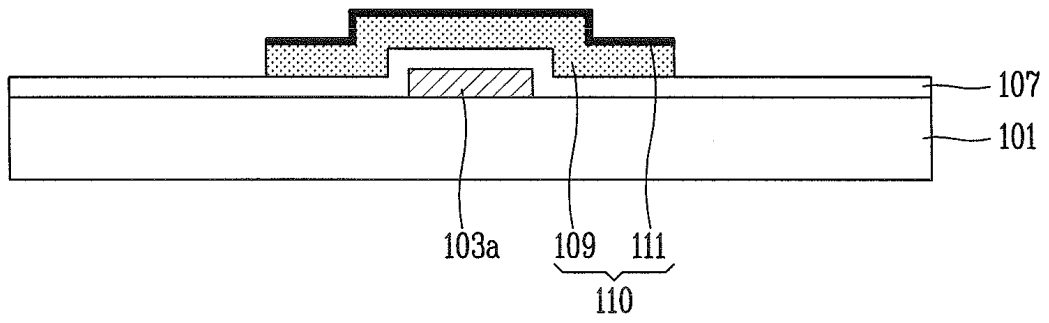
도면4d



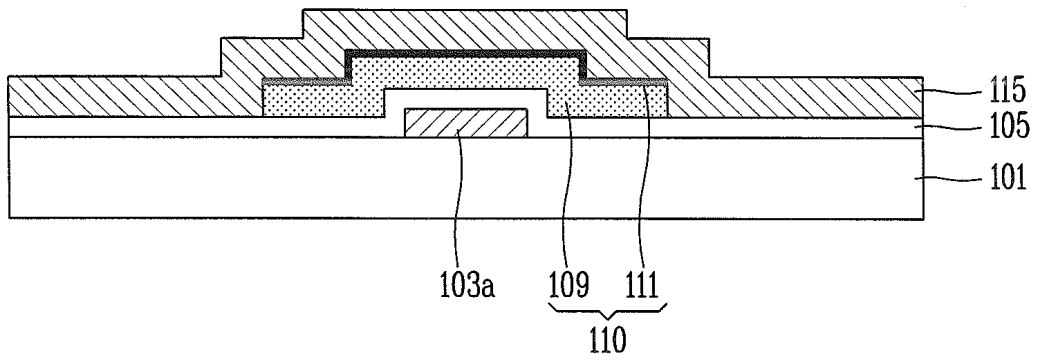
도면4e



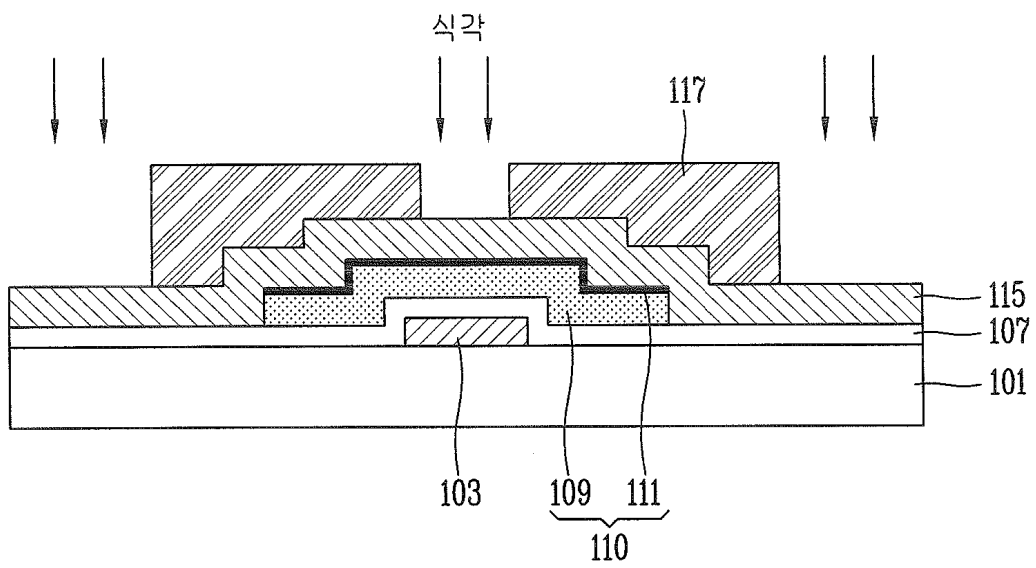
도면4f



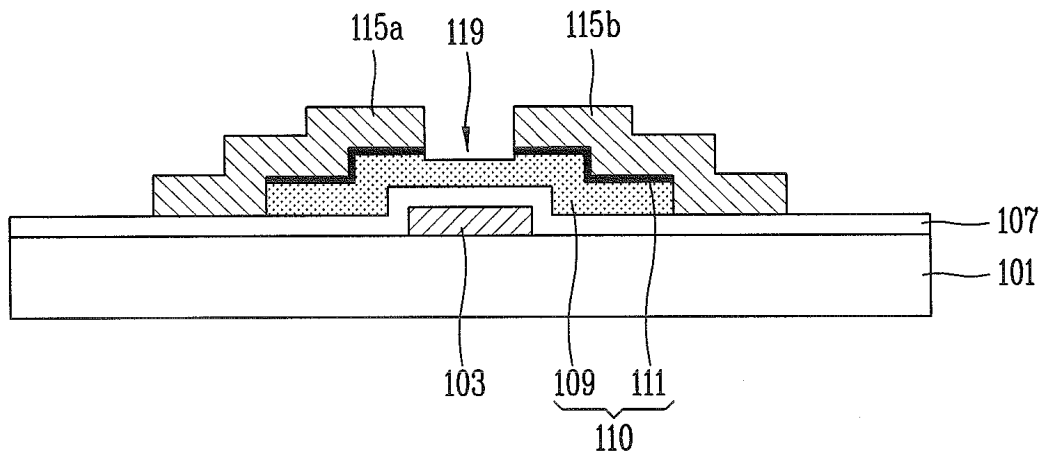
도면4g



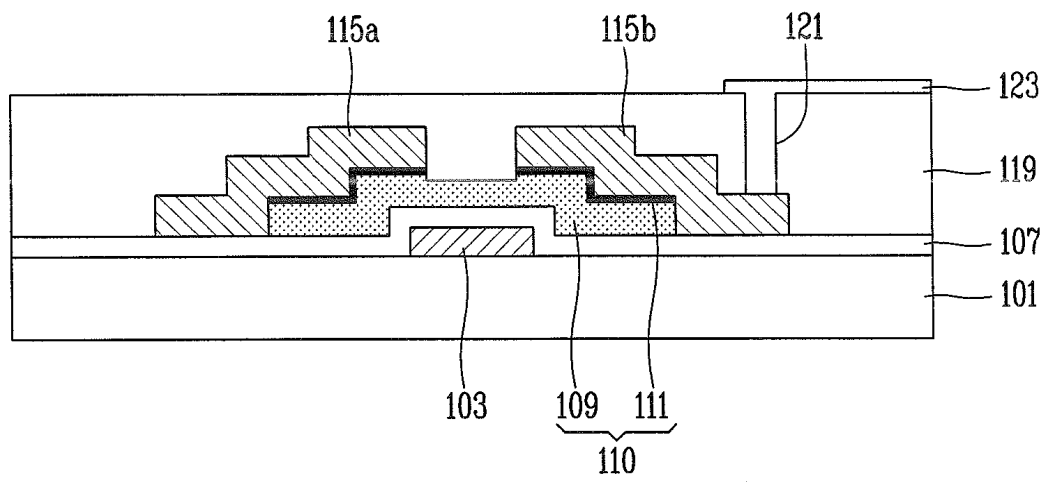
도면4h



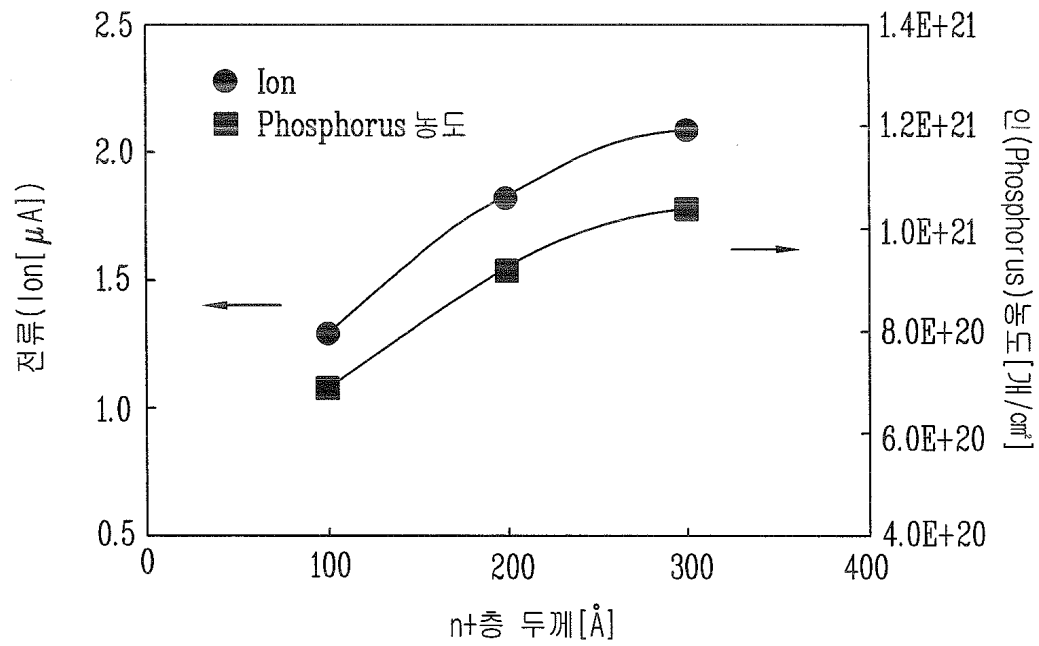
도면4i



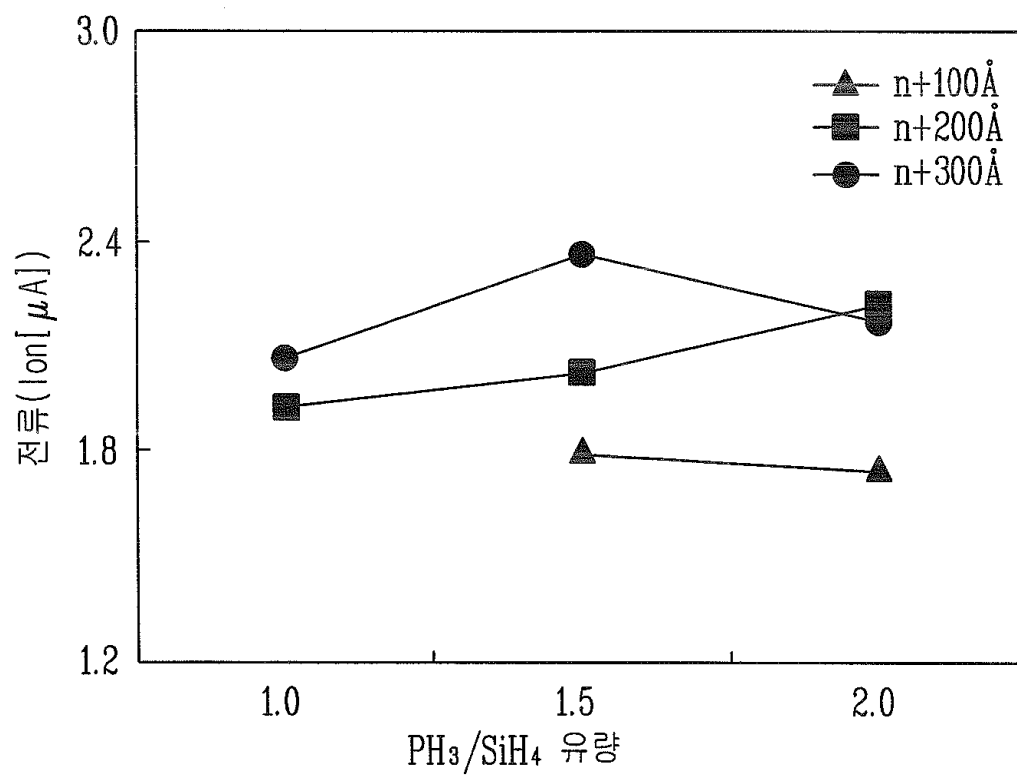
도면4j



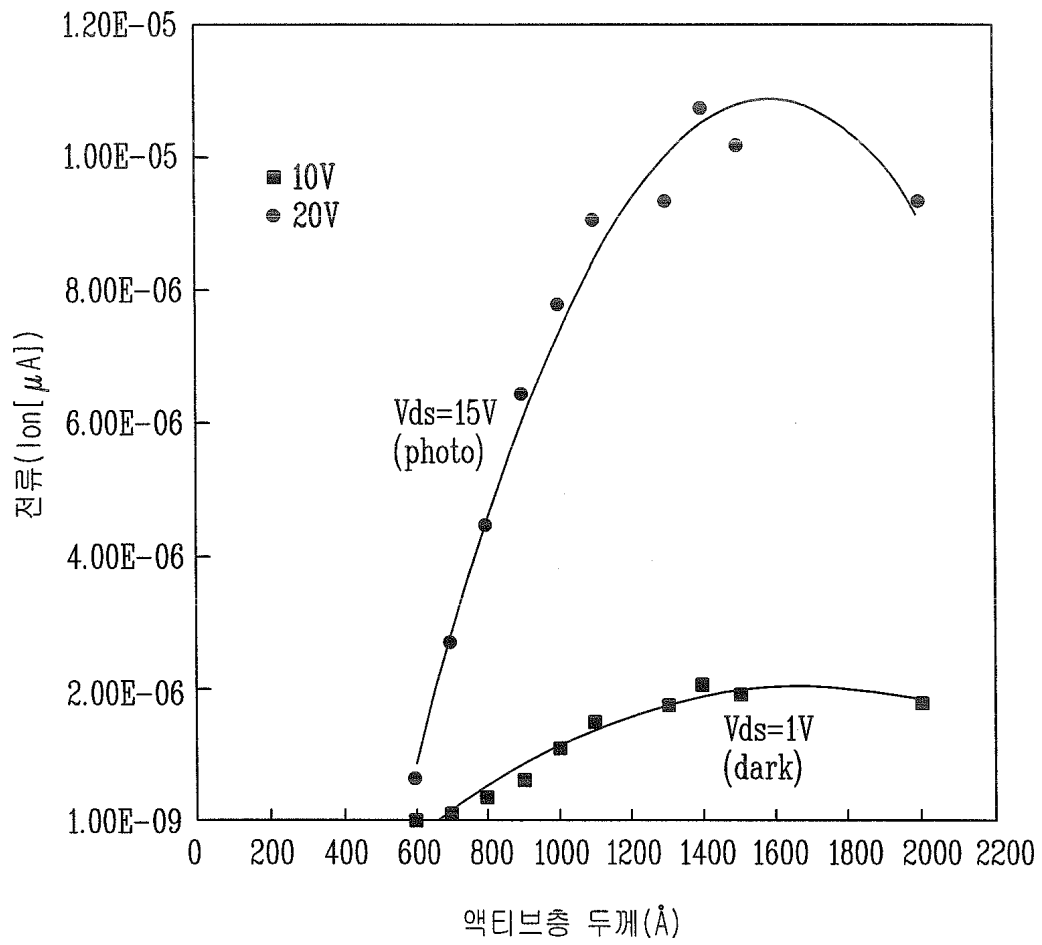
도면5



도면6



도면7



专利名称(译)	标题：液晶显示装置的薄膜晶体管制造方法		
公开(公告)号	KR101681122B1	公开(公告)日	2016-12-02
申请号	KR1020090127389	申请日	2009-12-18
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHO YONG SOO 조용수 KIM TAE HOON 김태훈 BAEK HAN KYU 백한규 HA CHAN KI 하찬기		
发明人	조용수 김태훈 백한규 하찬기		
IPC分类号	G02F1/1368 G02F1/1362 H01L27/12 G02F1/1343		
CPC分类号	G02F1/1368 G02F1/136286 H01L27/1274 G02F1/13439		
代理人(译)	박장원		
其他公开文献	KR1020110070532A		
外部链接	Espacenet		

摘要(译)

用途：提供一种用于液晶显示装置的薄膜晶体管制造方法，通过形成有源层的整个厚度来提高制造效率和TFT迁移率。组成：栅电极形成在透明绝缘基板中。栅电极形成在包括栅电极的绝缘基板中。在包括有源层的透明绝缘基板的正面中形成金属层。通过分离源电极和漏电极来蚀刻金属层。形成欧姆接触层（111）以暴露于n型杂质非晶硅层。

COPYRIGHT KIPO 2011

