



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년01월08일

(11) 등록번호 10-1479996

(24) 등록일자 2014년12월31일

(51) 국제특허분류(Int. Cl.)

G02F 1/1343 (2006.01)

(21) 출원번호 10-2008-0015963

(22) 출원일자 2008년02월21일

심사청구일자 2013년01월31일

(65) 공개번호 10-2009-0090630

(43) 공개일자 2009년08월26일

(56) 선행기술조사문헌

JP2005227760 A*

US06277510 B1*

US20020113920 A1*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

윤성재

경기도 용인시 기흥구 청명산로 63-2 (하갈동)

윤해영

경기도 수원시 영통구 영통로290번길 26, 벽적골

8단지 주공아파트 833동 1603호 (영통동)

(뒷면에 계속)

(74) 대리인

팬코리아특허법인

전체 청구항 수 : 총 9 항

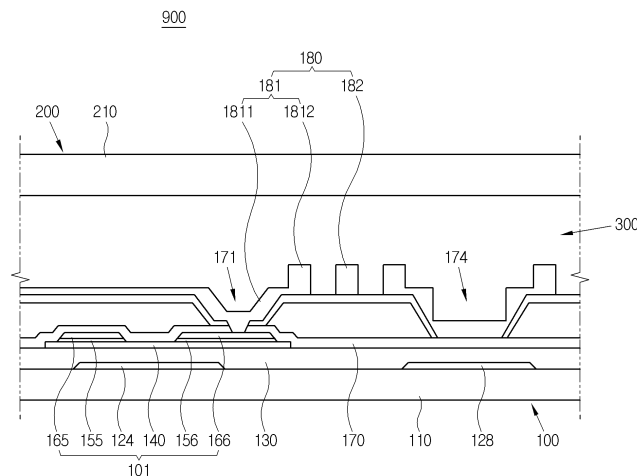
심사관 : 정구용

(54) 발명의 명칭 표시 장치 제조 방법

(57) 요약

본 발명은 표시 장치 및 그 제조 방법에 관한 것으로서, 본 발명에 따른 표시 장치는 돌기 전극 패턴을 포함하는 제1 기판과, 상기 제1 기판과 대향 배치된 제2 기판과, 상기 제1 기판과 상기 제2 기판 사이에 배치된 액정층을 포함하며, 상기 돌기 전극 패턴은 도전성 고분자 물질을 소재로 만들어지고, 상기 액정층은 전계 부재시 등방성 상태에서 전계가 인가되면 이방성 상태로 변한다.

대표도 - 도2



(72) 발명자

이혁진

경기 성남시 분당구 미금일로 58, 415동 1002호 (구미동, 까치마을아파트)

박홍조

경기도 수원시 영통구 청명북로 81, 청명마을4단지 아파트 402동 1504호 (영통동)

특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

제1 기관 상에 박막 트랜지스터를 형성하는 단계와,

상기 제1 기관 및 상기 박막 트랜지스터 상에 도전성 고분자층을 코팅(coating)하는 단계와,

상기 도전성 고분자층을 임프린팅(imprinting)하여 상기 박막 트랜지스터와 전기적으로 연결된 돌기 전극 패턴을 형성하는 단계와,

제2 기관을 상기 제1 기관과 합착하는 단계와,

상기 제1 기관과 상기 제2 기관 사이에 액정층을 형성하는 단계를 포함하고,

상기 액정층은 전계 부재시 등방성 상태에서 전계가 인가되면 이방성 상태로 변하는

표시 장치 제조 방법.

청구항 10

제9항에서,

상기 임프린팅은 상기 돌기 전극 패턴과 대응하는 함몰 패턴이 형성된 몰드가 사용되는 것을 특징으로 하는 표시 장치 제조 방법.

청구항 11

제9항에서,

상기 돌기 전극 패턴을 형성하는 단계는 상기 임프린팅 후 잔막을 제거하는 식각 공정을 포함하는 것을 특징으로 하는 표시 장치 제조 방법.

청구항 12

제9항에서,

상기 도전성 고분자층은 절연성 또는 반도체성 고분자에 도전성 입자를 혼합하여 만들어진 물질로 형성되는 것을 특징으로 하는 표시 장치 제조 방법.

청구항 13

제9항에서,

상기 도전성 고분자층은 절연성 또는 반도체성 고분자를 화학 처리하여 만들어진 물질로 형성되는 것을 특징으로 하는 표시 장치 제조 방법.

청구항 14

제9항에서,

상기 박막 트랜지스터는 제1 박막 트랜지스터와 제2 박막 트랜지스터를 포함하고,

상기 돌기 전극 패턴은 상기 제1 박막 트랜지스터와 연결된 제1 돌기 전극과 상기 제2 박막 트랜지스터와 연결되며 상기 제1 돌기 전극과 이격된 제2 돌기 전극을 포함하며,

상기 제1 돌기 전극 및 상기 제2 돌기 전극은 교호적으로 서로 맞물린 슬릿 패턴으로 형성되는 것을 특징으로 하는 표시 장치 제조 방법.

청구항 15

제14항에서,

상기 제1 돌기 전극 및 상기 제2 돌기 전극은 각각 $1\mu\text{m}$ 내지 $10\mu\text{m}$ 범위 내의 폭을 가지며,

상기 제1 돌기 전극 및 상기 제2 돌기 전극은 서로 $1\mu\text{m}$ 내지 $10\mu\text{m}$ 범위 내의 이격 거리를 두고 배치된 것을 특징으로 하는 표시 장치 제조 방법.

청구항 16

제9항에서,

상기 돌기 전극 패턴은 $1\mu\text{m}$ 내지 $6\mu\text{m}$ 범위 내의 높이를 갖는 것을 특징으로 하는 표시 장치 제조 방법.

청구항 17

제9항에서,

상기 제1 기판과 상기 돌기 전극 패턴 사이에 위치하는 컬러 필터를 형성하는 단계를 더 포함하는 것을 특징으로 하는 표시 장치 제조 방법.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 표시 장치에 관한 것으로, 보다 상세하게는, 청색상 액정을 이용한 표시 장치에 관한 것이다.

배경 기술

[0002] 표시 장치에는 여러 종류가 있다. 그 중에서 급속하게 발전하고 있는 반도체 기술로 인해 성능이 향상되고 소형화 및 경량화된 액정 표시(liquid crystal display, LCD) 장치가 대표적인 표시 장치로 자리 잡고 있다.

[0003] 액정 표시 장치에서 빛의 투과율은 액정층의 정렬 상태에 의해 결정된다. 광투과율은 액정층의 물리적인 움직임으로 제어되기 때문에 액정 표시 장치는 응답 속도의 문제가 발생한다.

- [0004] 근래에, 응답 속도가 약 $3\mu\text{m}$ 정도로 상대적으로 매우 빠른 청색상(blue phase) 액정이 개발되고 있다. 청색상 액정은 작동 온도 범위가 매우 좁아, 모노머를 첨가하고 중합하여 청색상 액정의 결정 구조를 안정화시켜 사용한다.
- [0005] 청색상 액정은 전계 부재시 광학적 등방성을 가지고 청색상을 발현하며 복굴절성을 갖지 않는다. 여기에, 전계를 인가하면 청색상 액정은 광학적 이방성을 가지고 복굴절성을 가지게 된다. 이때, 청색상 액정에 인가되는 전계는 실질적으로 수평 방향으로 인가된다. 여기서, 수평 방향이라 함은 청색상 액정을 사이에 두고 대향 배치된 한 쌍의 기관과 평행한 방향을 말한다. 그리고 기관에 형성된 전극을 통해 청색상 액정에 전계를 인가한다.
- [0006] 하지만 상기와 같은 청색상 액정을 이용한 표시 장치는 상대적으로 구동 전압이 높고, 빛의 투과율이 떨어지는 문제점이 있었다.
- [0007] 이에, 전극을 기관에 교차하는 방향으로 돌출시켜 청색상 액정에 인가되는 수평 전계를 강하게 형성함으로써, 구동 전압이 낮출 수 있게 되었다.
- [0008] 그러나 전극을 안정적으로 돌출시키기 어려운 문제점이 있다. 즉, 돌출된 전극을 형성하는 과정에서 전극을 정밀하게 정렬하기 어렵다. 이와 같이, 전극의 정렬이 불량해지면 수평 전계가 강하게 형성되지 못하므로, 돌출된 전극을 사용함에도 구동 전압 감소 효과를 기대하기 어려워진다.

발명의 내용

해결 하고자하는 과제

- [0009] 본 발명은 전술한 배경기술의 문제점을 해결하기 위한 것으로서, 간소한 구조를 가지면서도 정밀하게 형성된 돌기 전극을 구비하여 안정적이고 효과적으로 구동 전압을 감소시킬 수 있는 표시 장치를 제공하고자 한다.
- [0010] 또한, 상기한 돌기 전극을 용이하게 형성할 수 있는 표시 장치의 제조 방법을 제공하고자 한다.

과제 해결수단

- [0011] 본 발명에 따른 표시 장치는 돌기 전극 패턴을 포함하는 제1 기관과, 상기 제1 기관과 대향 배치된 제2 기관과, 상기 제1 기관과 상기 제2 기관 사이에 배치된 액정층을 포함하며, 상기 돌기 전극 패턴은 도전성 고분자 물질을 소재로 만들어지고, 상기 액정층은 전계 부재시 등방성 상태에서 전계가 인가되면 이방성 상태로 변한다.
- [0012] 상기 도전성 고분자 물질은 절연성 또는 반도체성 고분자에 도전성 입자를 혼합하여 만들어질 수 있다.
- [0013] 상기 도전성 고분자 물질은 절연성 또는 반도체성 고분자를 화학 처리하여 만들어질 수 있다.
- [0014] 상기 돌기 전극 패턴은 서로 이격 배치된 제1 돌기 전극과 제2 돌기 전극을 포함하며, 상기 제1 돌기 전극 및 상기 제2 돌기 전극은 교호적으로 서로 맞물린 슬릿 패턴으로 형성될 수 있다.
- [0015] 상기 제1 기관은 상기 제1 돌기 전극과 연결된 제1 박막 트랜지스터와, 상기 제2 돌기 전극과 연결된 제2 박막 트랜지스터와, 게이트 라인과, 데이터 라인을 더 포함하며, 상기 제1 박막 트랜지스터 및 상기 제2 박막 트랜지스터는 각각 동일한 상기 게이트 라인과 연결되고 서로 다른 상기 데이터 라인과 연결될 수 있다.
- [0016] 상기 제1 돌기 전극과 상기 제2 돌기 전극 사이에서 발생하는 전계에 의해 상기 액정층의 액정이 거동하며, 상기 전계는 상기 제1 기관 및 상기 제2 기관과 실질적으로 평행한 수평 전계일 수 있다.
- [0017] 상기 제1 돌기 전극 및 상기 제2 돌기 전극은 각각 $1\mu\text{m}$ 내지 $10\mu\text{m}$ 범위 내의 폭을 가지며, 상기 제1 돌기 전극 및 상기 제2 돌기 전극은 서로 $1\mu\text{m}$ 내지 $10\mu\text{m}$ 범위 내의 이격 거리를 두고 배치될 수 있다.
- [0018] 상기 돌기 전극 패턴은 $1\mu\text{m}$ 내지 $6\mu\text{m}$ 범위 내의 높이를 가질 수 있다.
- [0019] 또한, 본 발명에 따른 표시 장치 제조 방법은 기관 부재 상에 박막 트랜지스터를 형성하는 단계와, 상기 기관 부재 및 상기 박막 트랜지스터 상에 도전성 고분자층을 코팅(coating)하는 단계와, 상기 도전성 고분자층을 임프린팅(imprinting)하여 상기 박막 트랜지스터와 전기적으로 연결된 돌기 전극 패턴을 형성하는 단계를 포함한다.
- [0020] 상기 임프린팅은 상기 돌기 전극 패턴과 대응하는 함몰 패턴이 형성된 몰드가 사용될 수 있다.
- [0021] 상기 돌기 전극 패턴을 형성하는 단계는 상기 임프린팅 후 잔막을 제거하는 식각 공정을 포함할 수 있다.

- [0022] 상기 도전성 고분자층은 절연성 또는 반도체성 고분자에 도전성 입자를 혼합하여 만들어진 물질로 형성될 수 있다.
- [0023] 상기 도전성 고분자층은 절연성 또는 반도체성 고분자를 화학 처리하여 만들어진 물질로 형성될 수 있다.
- [0024] 상기 박막 트랜지스터는 제1 박막 트랜지스터와 제2 박막 트랜지스터를 포함하고, 상기 돌기 전극 패턴은 상기 제1 박막 트랜지스터와 연결된 제1 돌기 전극과 상기 제2 박막 트랜지스터와 연결되며 상기 제1 돌기 전극과 이격된 제2 돌기 전극을 포함하며, 상기 제1 돌기 전극 및 상기 제2 돌기 전극은 교호적으로 서로 맞물린 슬릿 패턴으로 형성될 수 있다.
- [0025] 상기 제1 돌기 전극 및 상기 제2 돌기 전극은 각각 1 μ m 내지 10 μ m 범위 내의 폭을 가지며, 상기 제1 돌기 전극 및 상기 제2 돌기 전극은 서로 1 μ m 내지 10 μ m 범위 내의 이격 거리를 두고 배치될 수 있다.
- [0026] 상기 돌기 전극 패턴은 1 μ m 내지 6 μ m 범위 내의 높이를 가질 수 있다.
- [0027] 상기 기판 부재와 상기 돌기 전극 패턴 사이에 위치하는 컬러 필터를 형성하는 단계를 더 포함할 수 있다.

효 과

- [0028] 본 발명에 따르면, 표시 장치는 간소한 구조를 가지면서도 정밀하게 형성된 돌기 전극을 구비하여 안정적으로 구동 전압이 감소될 수 있다.
- [0029] 또한, 상기한 돌기 전극을 용이하게 형성할 수 있는 표시 장치의 제조 방법을 제공할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0030] 이하, 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- [0031] 또한, 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- [0032] 첨부 도면에서는, 실시예로 5매 마스크 공정으로 형성된 비정질 실리콘(a-Si) 박막 트랜지스터(thin film transistor, TFT)가 사용된 표시 장치가 개략적으로 도시되어 있다. 또한, 첨부 도면에서는 하나의 화소에 두 개의 박막 트랜지스터가 사용되었다. 화소는 화상을 표시하는 최소 단위를 말한다. 그러나 본 발명은 박막 트랜지스터가 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- [0033] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.
- [0034] 도 1 및 도 2를 참조하여 본 발명의 실시예를 설명한다. 도 1은 본 발명의 실시예에 따른 표시 장치(900)의 배치 상태를 나타내며, 도 2는 도 1의 II-II선에 따른 단면을 나타낸다.
- [0035] 도 1 및 도 2에 도시한 바와 같이, 표시 장치(900)는 제1 기판(100), 제2 기판(200), 및 액정층(300)을 포함한다.
- [0036] 제1 기판(100)은 제1 기판 부재(110)와, 제1 기판 부재(110) 상에 형성된 돌기 전극 패턴(180)을 포함한다.
- [0037] 돌기 전극 패턴(180)은 서로 이격 배치된 제1 돌기 전극(181)과 제2 돌기 전극(182)을 포함한다. 제1 돌기 전극(181)과 제2 돌기 전극(182)은 교호적으로 서로 맞물린 슬릿 패턴으로 형성된다.
- [0038] 제1 돌기 전극(181)과 제2 돌기 전극(182)은 제1 기판 부재(110)에 교차하는 방향으로 액정층(300)을 향해 돌출 형성된다. 따라서 제1 돌기 전극(181)과 제2 돌기 전극(182) 사이에 수평 전계가 효과적으로 형성될 수 있다. 여기서, 수평 전계라 함은 액정층(300)을 사이에 두고 대향 배치된 제1 기판(100) 및 제2 기판(200)과 실질적으로 평행한 방향을 말한다. 이는 제1 전극(181) 및 제2 전극(182)이 평면적이 아닌 높이를 갖는 형상으로 돌출 형성되기 때문이다.
- [0039] 돌기 전극 패턴(180), 즉 제1 돌기 전극(181)과 제2 돌기 전극(182)은 각각 그 폭과 돌기 전극들(181, 182) 간

의 이격 거리가 가까울수록 표시 장치(900)의 성능이 좋아진다. 또한, 돌기 전극 패턴(180)의 높이가 높아질수록 구동 전압 감소 효과가 커지지만, 적절한 빛의 투과율을 얻기 위해서 필요한 제1 기관(100)과 제2 기관(200) 간의 최소 간격이 커지게 된다.

[0040] 이상에서 기술한 조건과 실제 제조 공정상의 마진을 고려하였을 때, 돌기 전극 패턴(180)의 제1 돌기 전극(181)과 제2 돌기 전극(182)은 각각 $1\mu\text{m}$ 내지 $10\mu\text{m}$ 범위 내의 폭을 가지고, 각각 $1\mu\text{m}$ 내지 $10\mu\text{m}$ 범위 내의 이격 거리를 두고 배치되는 것이 바람직하다. 또한, 돌기 전극 패턴(180)은 $1\mu\text{m}$ 내지 $6\mu\text{m}$ 범위 내의 높이를 갖는 것이 바람직하다.

[0041] 또한, 제1 돌기 전극(181) 및 제2 돌기 전극(182) 간의 간격과 제1 돌기 전극(181) 및 제2 돌기 전극(182)의 폭과의 관계에 있어서, 제1 돌기 전극(181) 및 제2 돌기 전극(182) 간의 간격이 제1 돌기 전극(181) 및 제2 돌기 전극(182)의 폭보다 크면 빛의 투과율 측면에서 유리하고, 제1 돌기 전극(181) 및 제2 돌기 전극(182) 간의 간격이 제1 돌기 전극(181) 및 제2 돌기 전극(182)의 폭보다 작으면 구동 전압 감소에 유리하다. 청색상 액정을 이용한 표시 장치(901)는 상대적으로 높은 구동 전압을 요구하므로 구동 전압을 감소시키는 것이 보다 유리하다. 따라서 제1 전극(191) 및 제2 전극(192)의 폭을 제1 전극(181) 및 제2 전극(182) 간의 간격보다 작거나 같게 하는 것이 바람직하다. 그러나 본 발명이 반드시 이에 한정되는 것은 아니다. 따라서 구동 전압 감소보다 빛의 투과율을 높이고 싶을 때에는 제1 돌기 전극(181) 및 제2 돌기 전극(182)의 폭을 제1 돌기 전극(181) 및 제2 돌기 전극(182) 간의 간격보다 크게 할 수도 있다.

[0042] 또한, 도 2에서는 제1 돌기 전극(181)과 제2 돌기 전극(182)의 단면을 사각형으로 나타내었지만, 본 발명이 이에 한정되는 것은 아니다. 따라서 제1 돌기 전극(181)과 제2 돌기 전극(182)의 단면은 사각형 이외의 다각형이나, 반원형 또는 반타원형으로 형성될 수도 있다.

[0043] 또한, 돌기 전극 패턴(180)은 도전성 고분자 물질을 소재로 만들어진다. 도전성 고분자 물질은 절연성 또는 반도체성 고분자에 도전성 입자를 혼합하여 만들거나, 절연성 또는 반도체성 고분자를 화학 처리하여 만들 수 있다.

[0044] 이하, 절연성 또는 반도체성 고분자에 도전성 입자를 혼합하여 만들어진 도전성 고분자 물질을 혼합 도전성 고분자 물질이라 한다.

[0045] 혼합 도전성 고분자 물질은 절연성 또는 반도체성 고분자에 혼합된 도전성 입자로 인하여 도전성을 갖게 된 고분자 물질을 말한다.

[0046] 혼합 도전성 고분자 물질은 열가소성 고분자 물질에 전도성 입자를 넣은 혼합물로 만들어진다. 이때, 전도성 입자로는 금속 분말 입자나, 카본 나노 튜브(carbon nano tube, CNT) 및 카본 나노 파이버(carbon nano fiber, CNF) 등과 같은 입자가 사용될 수 있다.

[0047] 혼합 도전성 고분자 물질은 일예로, 고전도성 폴리에틸렌 다이옥시티오펜(polyethylene-dioxithiophene, PEDOT)이 있다.

[0048] 이하, 절연성 또는 반도체성 고분자를 화학 처리하여 만들어진 도전성 고분자 물질을 순수 도전성 고분자 물질이라 한다.

[0049] 순수 도전성 고분자 물질은 절연성 또는 반도체성 고분자를 화학적으로 처리하여 도전성을 갖게 된 고분자 물질을 말한다.

[0050] 순수 도전성 고분자 물질의 일예로, 요오드로 처리된 폴리아세틸렌이 있다. 반도체성을 갖는 폴리아세틸렌을 요오드로 처리하면 금속에 버금가는 전기 전도성을 갖게 된다.

[0051] 그 밖에도, 폴리아닐린(polyaniline), 폴리피롤(polypyrrole), 폴리티오펜(polythiophene), Poly(p-phenylene), Poly(p-phenylene vinylene), Poly(3,4-ethylenedioxy thiophene, PEDOT), 및 Poly(thienylene vinylene) 등과 같은 순수 도전성 고분자 물질이 있다.

[0052] 이러한 도전성 고분자 물질들은 10^{-16} 내지 10^5 S/cm 범위 내의 전기 전도도를 갖는다.

[0053] 또한, 제1 기관(100)은 제1 기관 부재(110) 상에 형성된 박막 트랜지스터(101, 102), 게이트 라인(121) 및 데이터 라인(161a, 161b)을 더 포함한다.

[0054] 박막 트랜지스터는 제1 박막 트랜지스터(101) 및 제2 박막 트랜지스터(102)를 포함한다. 제1 박막 트랜지스터

(101)는 제1 돌기 전극(181)과 전기적으로 연결되며, 제2 박막 트랜지스터(102)는 제2 돌기 전극(182)과 전기적으로 연결된다. 제1 박막 트랜지스터(101) 및 제2 박막 트랜지스터(102)는 동일한 게이트 라인(121)과 연결되고, 서로 다른 데이터 라인(161a, 161b)과 각각 연결된다. 이에, 제1 돌기 전극(181)과 제2 돌기 전극(182)에는 서로 다른 전압이 인가되며, 제1 전극(181)과 제2 전극(182) 사이에 수평 전계가 발생된다. 여기서, 수평 전계는 기관(100, 200)과 실질적으로 평행한 방향으로 발생하는 전계를 말한다. 그리고 액정층(300)의 액정은 제1 돌기 전극(181)과 제2 돌기 전극(182) 사이에서 발생하는 수평 전계에 의해 거동된다.

[0055] 또한, 제1 기관(100)은 컬러 필터(175)를 더 포함한다. 컬러 필터(175)는 제1 기관 부재(110)와 돌기 전극 패턴(180) 사이에 배치된다. 컬러 필터(175)는 액정층(300)을 통과하는 빛에 색을 부여하는 역할을 한다.

[0056] 제2 기관(200)은 제2 기관 부재(210)를 포함하며, 제1 기관(100)에 대향 배치된다.

[0057] 액정층(300)은 가교된 청색상(blue phase) 액정을 포함하며 제1 기관(100)과 제2 기관(200) 사이에 배치된다. 액정층의 청색상 액정은 제1 돌기 전극(181)과 제2 돌기 전극(182) 사이에서 발생하는 수평 전계에 의해 거동된다. 청색상 액정은 동작 온도 범위가 넓지 않기 때문에, 청색상을 발현할 수 있는 저분자 액정에 비액정성의 모노머를 첨가하고, 모노머의 자외선을 가하여 중합한다. 중합하게 되면 결정구조가 안정화된 가교된 청색상 액정이 제조된다. 가교된 청색상 액정은 저분자 액정 중에 고분자의 망상구조가 형성되어 있는 형태이다. 즉, 청색상 액정은 카이랄 네마틱 액정에 첨가된 모노머(monomer)를 경화시켜 폴리머화됨으로써 넓은 온도 범위에서 안정화된다. 청색상은 콜레스테릭 상과 등방상 사이의 수 K 의 온도범위에서 나타나는 액정상의 하나이다.

[0058] 청색상 액정을 포함하는 액정층(300)을 사용할 경우, 제1 기관(100) 및 제2 기관(200) 상에 배향막을 형성할 필요가 없다. 청색상 액정은 전계 부재시 광학적 등방성(isotropic)을 가지고 청색상을 발현하며 복굴절성을 갖지 않는다. 여기에, 전계를 인가하면 청색상 액정은 광학적 이방성을 가지고 복굴절성을 가지게 된다. 전계의 세기가 증가할수록 전계 방향으로 배열하는 방향자(director)가 많아져 굴절을 이방성을 갖게 되어 입력된 편광 상태를 변화시킨다. 즉, 액정층(300)의 청색상 액정은 제1 돌기 전극(181)과 제2 돌기 전극(182) 사이에서 형성되는 수평 전계(횡전계)에 따라 배향이 바뀌면서 투과율을 조정한다.

[0059] 또한, 청색상 액정은 전계 부재시 광학적 등방성을 가지므로, 표시 장치(900)는 노말리 블랙 모드(normally black mode)가 된다. 즉, 표시 장치(900)는 전극(181, 182)에 전압이 인가되지 않은 상태에서 블랙을 표시하게 된다.

[0060] 비액정성의 모노머로는 열 또는 자외선에 의해 중합이 이루어지는 물질로, 이에 한정되지 않으나 아크릴레이트 계열 모노머를 사용할 수 있다. 이 밖에 비액정성의 모노머로는 비닐기, 아크릴로일(acryloyl)기, 푸마레이트(fumarate)기 등 중합성기를 포함하는 것들이 사용될 수 있다. 한편 필요에 따라 가교제와 모노머의 중합을 개시할 수 있는 개시제가 사용될 수도 있다. 개시제로는 아세토페논, 벤조페논 등이 사용될 수 있다. 또한 액정층(300)에 카이랄 네마틱상을 발현시키기 위한 카이랄 불순물(chiral dopant)을 첨가하는 것도 가능하다.

[0061] 저분자 액정으로는 콜레스테릭상(카이랄 네마틱 상)과 등방상의 사이로 청색상을 발현할 수 있는 물질을 사용한다. 이와 같은 저분자 액정은 비페닐, 시클로 헥실 등의 분자 구조를 포함하며, 그자신이 키라리티를 가지거나, 카이랄 불순물의 첨가에 의해 콜레스테릭 상을 발현할 수 있는 물질을 사용할 수 있다.

[0062] 도 3 및 도 4를 참조하여 본 발명에 따른 표시 장치(900)에 사용된 청색상 액정에 대해 보충 설명하면 다음과 같다.

[0063] 도 3에 도시한 바와 같이, 청색상 액정은 파지티브(positive) 액정에 카이랄 상을 유도하고 약 1K 영역에서 청색상을 형성할 때, 광경화성 폴리머를 형성시켜 상온 영역까지 청색상을 안정화시켜 만들어진다.

[0064] 폴리머에 의해 더욱 넓은 범위의 온도에서 안정화된 청색상은 매우 큰 K 상수를 가지고 있으므로, 전계 인가에 의해 계조 표현이 가능하며, 전압 부재시 광학적으로 등방성을 갖는다는 특징이 있다.

[0065] 도 4에 도시한 바와 같이, 청색상 액정은 전계 부재시 광학적 등방성을 가지고 청색상을 발현하며 복굴절성을 갖지 않는다. 여기에, 전계를 인가하면 청색상 액정은 광학적 이방성을 가지고 복굴절성을 가지게 된다. 이때, 청색상 액정에 인가되는 전계는 수평 방향, 즉 액정층(300)을 통과하는 빛의 방향에 교차하는 방향으로 인가된다.

[0066] 또한, 본 발명에 따른 표시 장치에 사용된 청색상 액정은 카이랄 피치(chiral pitch)가 300nm 이하, 바람직하게는 200nm 정도의 카이랄 피치를 갖는 것이 좋다. 청색상 액정이 갖는 카이랄 피치는 가시광선의 파장 영역과 겹치지 않는 것이 좋기 때문이다. 가시광선의 파장 영역이 대략 350nm ~ 650nm 정도이므로, 청색상 액정은

300nm 이하의 카이럴 피치를 갖는 것이 좋다.

- [0067] 또한, 청색상 액정은 유전율과 굴절율이 매우 크며, 네마틱(nematic) 상태를 갖는다.
- [0068] 이하, 도 2를 참조하여, 표시 장치(900)의 구조를 적층 순서와 돌기 전극 패턴(180)을 중심으로 구체적으로 설명한다. 도 2는 제1 박막 트랜지스터(101)를 중심으로 도시하고 있다. 이하에서 박막 트랜지스터라 함은 실제로 제1 박막 트랜지스터(101)를 말하지만, 제2 박막 트랜지스터(102)도 제1 박막 트랜지스터(101)와 실질적으로 동일한 구조를 갖는다.
- [0069] 먼저, 제1 기판(100)의 구조에 대해 설명한다.
- [0070] 제1 기판 부재(110)는 유리, 석영, 세라믹 또는 플라스틱 등의 소재를 포함하여 투명하게 형성된다.
- [0071] 제1 기판 부재(110) 위에는 다수의 게이트 라인들(121)(도 1에 도시)과, 게이트 라인(121)에서 분기된 다수의 게이트 전극들(124), 그리고 다수의 유지 전극 라인들(128)을 포함한다.
- [0072] 게이트 배선(121, 124, 128)은 Al, Ag, Cr, Ti, Ta, Mo, Cu 등의 금속 또는 이들을 포함하는 합금 따위로 만들어진다. 도 2에서 게이트 배선(121, 124, 128)은 단일층으로 도시되었지만, 게이트 배선(121, 124, 128)은 물리·화학적 특성이 우수한 Cr, Mo, Ti, Ta 또는 이들을 포함하는 합금의 금속층과 비저항이 작은 Al 계열 또는 Ag 계열의 금속층을 포함하는 다중층으로 형성될 수도 있다. 이외에도 여러 다양한 금속 또는 도전체로 게이트 배선(121, 124, 128)을 만들 수 있으며, 동일한 식각 조건에 패터닝이 가능한 다층막이면 바람직하다.
- [0073] 게이트 배선(121, 124, 128) 위에는 질화규소(SiNx) 등으로 만들어진 게이트 절연막(130)이 형성된다.
- [0074] 게이트 절연막(130) 위에는 게이트 라인(121)과 교차하는 다수의 데이터 라인들(161a, 161b)(도 1에 도시)과, 데이터 라인(161a, 161b)에서 분기된 다수의 소스 전극들(165)과, 소스 전극(165)과 이격된 다수의 드레인 전극들(166)을 포함하는 데이터 배선이 형성된다.
- [0075] 데이터 배선(161a, 161b, 165, 166)도 게이트 배선(121, 124, 128)과 마찬가지로 크롬, 몰리브덴, 알루미늄, 구리 또는 이들을 포함하는 합금 등의 도전 물질로 만들어지며, 단일층 또는 다중층으로 형성될 수 있다.
- [0076] 그리고 게이트 전극(124) 상의 게이트 절연막(130) 위와 소스 전극(165) 및 드레인 전극(166) 아래를 아우르는 일영역에는 반도체층(140)이 형성된다. 구체적으로, 반도체층(140)은 적어도 일부가 게이트 전극(124), 소스 전극(165) 및 드레인 전극(166)과 중첩된다. 여기서, 게이트 전극(124), 소스 전극(165), 및 드레인 전극(166)은 박막 트랜지스터(101)의 3전극이 된다. 소스 전극(165) 및 드레인 전극(166) 사이의 반도체층(140)이 박막 트랜지스터(101)의 채널 영역이 된다.
- [0077] 또한, 반도체층(140)과 소스 전극(165) 및 드레인 전극(166) 사이에는 둘 사이의 접촉 저항을 각각 감소시키기 위한 저항성 접촉 부재(ohmic contact)(155, 156)가 형성된다. 저항성 접촉 부재(155, 156)는 실리사이드나 n형 불순물이 고농도로 도핑된 비정질 규소 따위로 만들어진다.
- [0078] 데이터 배선(161a, 161b, 165, 166) 위에는 플라즈마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등의 저유전율 절연 물질, 질화 규소 또는 산화 규소 등의 무기 절연 물질, 또는 유기 절연 물질 등으로 이루어진 보호막(passivation layer)(170)이 형성된다.
- [0079] 보호막(170) 위에는 3원색을 갖는 컬러 필터(175)가 각각 순차적으로 배치된다. 이때, 컬러 필터(175)의 색은 반드시 3원색에 한정되는 것은 아니며, 하나 이상의 색으로 다양하게 구성될 수 있다. 컬러 필터(175)는 표시 장치(901)를 통과하는 빛에 색을 부여하는 역할을 한다.
- [0080] 그리고 컬러 필터(175)가 보호막(170) 위에 형성되었으나, 본 발명이 반드시 이에 한정되는 것은 아니다. 따라서 컬러 필터(175)는 보호막(170)과 데이터 배선(161a, 161b, 165, 166) 사이에 형성될 수도 있다. 또한, 컬러 필터(175)는 제1 기판(100)이 아닌 제2 기판(200)에 형성될 수도 있다.
- [0081] 또한, 컬러 필터(175)가 형성되지 않은 박막 트랜지스터(101) 상의 보호막(170) 위에는 차광 부재(176)가 형성된다. 차광 부재(176)는 박막 트랜지스터(101)의 채널 영역에 빛이 유입되어 광 누설 전류의 발생 등으로 인해 박막 트랜지스터(101)의 동작이 불량해지는 것을 억제한다. 차광 부재(176)는 반드시 필요한 구성은 아니며, 필요에 따라 생략될 수도 있다.
- [0082] 컬러 필터(175) 및 차광 부재(176) 위에는 캡핑 레이어(capping layer)(179)가 형성된다. 캡핑 레이어(179)는 컬러 필터(175)를 포함한 유기막들을 보호한다. 캡핑 레이어(179)는 반드시 필요한 구성은 아니며, 필요에 따라

생략될 수도 있다. 캡핑 레이어(179)는 보호막(170)과 유사한 물질을 포함한 무기막 등의 다양한 물질들로 만들어질 수 있다.

[0083] 캡핑 레이어(179) 위에는 돌기 전극 패턴(180)이 형성된다. 돌기 전극 패턴(180)은 임프린팅 공정을 통해 도전성 고분자 물질을 소재로 만들 수 있다.

[0084] 돌기 전극 패턴(180)은 제1 돌기 전극(181)과 제2 돌기 전극(182)을 포함한다. 제1 돌기 전극(181)은 제1 박막 트랜지스터(101)와 연결되고, 제2 돌기 전극(182)은 제2 박막 트랜지스터(102)(도 1에 도시)와 연결된다. 구체적으로 제1 돌기 전극(181) 및 제2 돌기 전극(182)은 상대적으로 돌출 형성된 전극부(1812)와, 전극부(1812)와 박막 트랜지스터(101)를 연결하는 연결부(1811)를 포함한다.

[0085] 또한, 돌기 전극 패턴(180)의 일부(1815)는 게이트 배선의 제1 유지 전극 라인(128)과 중첩되어 유지 전기 용량을 형성한다.

[0086] 또한, 보호막(170) 및 캡핑 레이어(179)는 드레인 전극(166)의 일부를 드러내는 다수의 접촉 구멍들(171, 172)을 갖는다. 경우에 따라, 컬러 필터(175)도 보호막(170) 및 캡핑 레이어(179)와 함께 접촉 구멍(171, 172)을 가질 수 있다. 제1 돌기 전극(181)과 제2 돌기 전극(182)은 각각 접촉 구멍들(171, 172)을 통해 제1 박막 트랜지스터(101) 및 제2 박막 트랜지스터(102)의 드레인 전극(166)과 전기적으로 연결된다. 또한, 컬러 필터(175)는 제1 유지 전극 라인(128) 상에 형성된 개구부(174)를 더 포함한다.

[0087] 액정층(300)의 청색상 액정은 제1 돌기 전극(181)과 제2 돌기 전극(182) 사이에 발생하는 수평 전계에 따라 배열 상태가 달라지고, 이에 의해 빛의 투과율이 조절된다.

[0088] 다음, 제2 기판(200)은 제2 기판 부재(210)를 포함한다.

[0089] 제2 기판 부재(210)는, 제1 기판 부재(110)와 마찬가지로, 유리, 석영, 세라믹 또는 플라스틱 등의 소재를 포함하여 투명하게 형성된다.

[0090] 그러나 제2 기판 부재(210)는 무게와 두께를 줄이기 위해 플라스틱으로 이루어질 수도 있다. 플라스틱은 이에 한정되지는 않으나, 폴리카보네이트(polycarbonate), 폴리 이미드(polyimide), 폴리에테르술폰(PES), 폴리아릴레이트(PAR), 폴리에틸렌나프탈레이트(PEN), 폴리에틸렌테레프탈레이트(PET) 등 일 수 있다.

[0091] 이와 같은 구성에 의하여, 본 발명의 실시예에 따른 표시 장치(900)는 간소한 구조를 가지면서도 정밀하게 형성된 돌기 전극을 구비하여 안정적으로 구동 전압이 감소될 수 있다.

[0092] 이하, 도 5 내지 도 11을 참조하여 본 발명의 실시예에 따른 표시 장치(900)의 제조 방법을 설명한다.

[0093] 먼저, 도 5에 도시한 바와 같이, 게이트 전극(124), 반도체층(140), 저항성 접촉 부재(155, 156), 드레인 전극(166) 및 소스 전극(165)을 포함하는 박막 트랜지스터(101)와 박막 트랜지스터(101)를 덮는 보호막(170)을 형성한다. 여기서, 박막 트랜지스터(101)의 구조는 첨부 도면에 도시한 구조에 한정되지 않으며, 당해 기술 분야의 전문가가 용이하게 변경할 수 있는 범위 내에서 공지된 다양한 구조를 가질 수 있다. 또한, 유지 전극 라인(128)도 게이트 전극(124)과 동일한 층에 동일한 소재로 함께 형성된다.

[0094] 다음, 도 6에 도시한 바와 같이, 보호막(170) 위에 컬러 필터(175)를 형성한다. 여기서, 컬러 필터(175)는 유지 전극 라인(128)에 대응하는 개구부(174)를 갖는다.

[0095] 다음, 도 7에 도시한 바와 같이, 차광 부재(176)를 형성하여 박막 트랜지스터(101)를 커버한다.

[0096] 다음, 도 8에 도시한 바와 같이, 컬러 필터(175)와 차광 부재(176)를 덮는 캡핑 레이어(179)를 형성한 후, 사진식각 공정을 통해 박막 트랜지스터(101)의 드레인 전극(166)을 드러내는 접촉 구멍(171)을 형성한다.

[0097] 다음, 도 9에 도시한 바와 같이, 캡핑 레이어(179) 위에 도전성 고분자층(800)을 코팅(coating)한다. 도전성 고분자층(800)은 절연성 또는 반도체성 고분자에 도전성 입자를 혼합하여 만들거나, 절연성 또는 반도체성 고분자를 화학 처리하여 만들 수 있다. 구체적으로 예를 들면, 도전성 고분자층은 고전도성 폴리에틸렌 다이옥시티오펜(polyethylene-dioxithiophene, PEDOT)을 소재로 만들거나, 폴리아세틸렌, 폴리아닐린(polyaniline), 폴리피롤(polypyrrole), 폴리티오펜(polythiophene), Poly(p-phenylene), Poly(p-phenylene vinylene), Poly(3,4-ethylenedioxy thiophene, PEDOT), 및 Poly(thienylene vinylene) 중 하나 이상의 고분자를 화학 처리하여 만들 수 있다.

[0098] 다음, 도 10에 도시한 바와 같이, 함몰 패턴(851)이 형성된 몰드(851)를 사용하여 도전성 고분자층(800)을 임프

린팅(imprinting)한다. 여기서, 함몰 패턴(851)은 도전성 고분자층(800)으로 형성하고자 하는 돌기 전극 패턴(180)과 대응하는 형상을 갖는다. 따라서 임프린팅한 후 몰드(850)를 분리하면, 돌기 전극 패턴(180)이 형성된다.

[0099] 돌기 전극 패턴(180)은 제1 돌기 전극(181)과 제2 돌기 전극(182)을 포함한다. 제1 돌기 전극(181)과 제2 돌기 전극(182)은 각각 접촉 구멍(171, 172)을 통해 제1 박막 트랜지스터(101) 및 제2 박막 트랜지스터(102)와 연결된다.

[0100] 제1 돌기 전극(181)과 제2 돌기 전극(182)은 각각 1 μ m 내지 10 μ m 범위 내의 폭을 가지고, 각각 1 μ m 내지 10 μ m 범위 내의 이격 거리를 두고 형성된다. 또한, 돌기 전극 패턴(180)은 1 μ m 내지 6 μ m 범위 내의 높이를 갖도록 형성된다.

[0101] 또한, 도시하지는 않았으나, 임프린팅 후 잔막을 제거하는 식각 공정을 더 포함할 수 있다. 식각 공정을 통해 잔막을 제거하여, 잔막에 의해 제1 돌기 전극(181)과 제2 돌기 전극(182)이 전기적으로 연결되는 것을 방지하고, 불필요한 부분에 남아 있는 도전성 고분자층(800)을 제거한다.

[0102] 이와 같은 제조 방법에 의해, 도전성 고분자 물질을 소재로 만들어진 돌기 전극 패턴을 용이하고 정밀하게 형성할 수 있다.

[0103] 본 발명을 앞서 기재한 바에 따라 실시예를 통해 설명하였지만, 다음에 기재하는 특허청구범위의 개념과 범위를 벗어나지 않는 한, 다양한 수정 및 변형이 가능하다는 것을 본 발명이 속하는 기술 분야에 종사하는 자들은 쉽게 이해할 것이다.

도면의 간단한 설명

[0104] 도 1은 본 발명의 실시예에 따른 표시 장치의 배치도이다.

[0105] 도 2는 도 1의 II-II선에 따른 단면도이다.

[0106] 도 3은 도 1의 표시 장치에 사용된 청색상 액정을 안정화시키는 과정을 나타낸 도면이다.

[0107] 도 4는 도 1의 표시 장치에 사용된 청색상 액정에 대한 전계 인가 여부에 따라 변화되는 특성을 나타낸 도면이다.

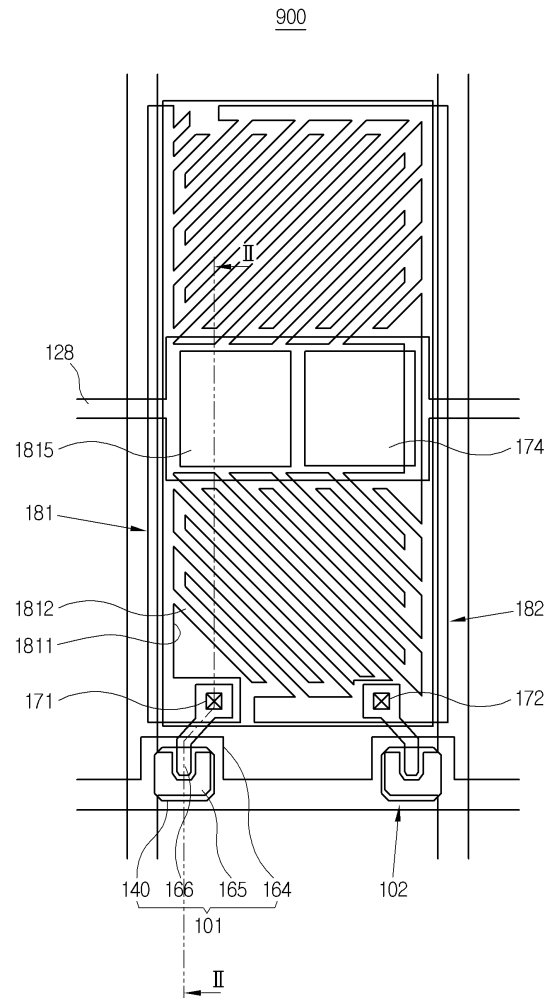
[0108] 도 5 내지 도 10은 도 1의 표시 장치 제조 과정을 순차적으로 나타낸 단면도들이다.

[0109] * 도면의 주요 부분에 대한 부호의 설명 *

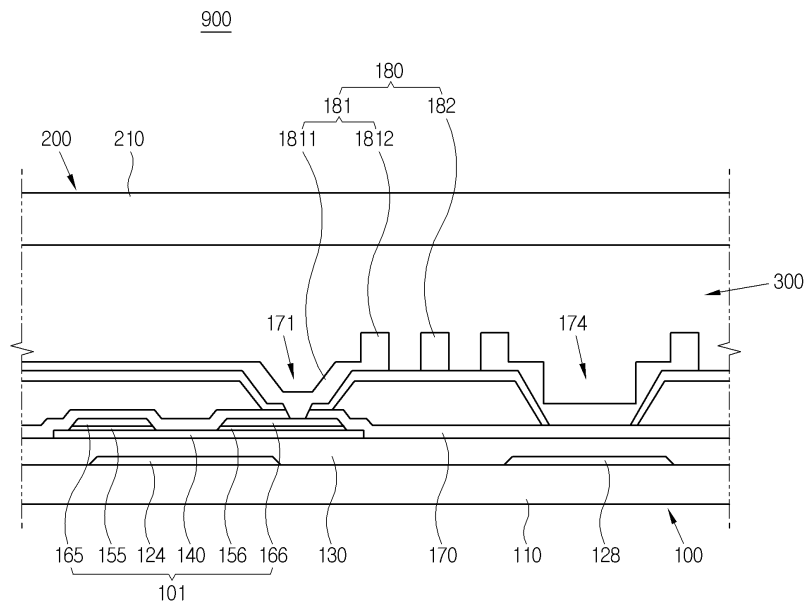
[0110]	100 : 제1 기관	101 : 제1 박막 트랜지스터
[0111]	102 : 제2 박막 트랜지스터	110 : 제1 기관 부재
[0112]	121 : 게이트 라인	124 : 게이트 전극
[0113]	128 : 유지 전극 라인	130 : 게이트 절연막
[0114]	140 : 반도체층	165 : 소스 전극
[0115]	166 : 드레인 전극	170 : 보호막
[0116]	175 : 컬러 필터	176 : 차광 부재
[0117]	179 : 캡핑 레이어	180 : 돌기 전극 패턴
[0118]	181 : 제1 돌기 전극	182 : 제2 돌기 전극
[0119]	200 : 제2 기관	210 : 제2 기관 부재
[0120]	300 : 액정층	

도면

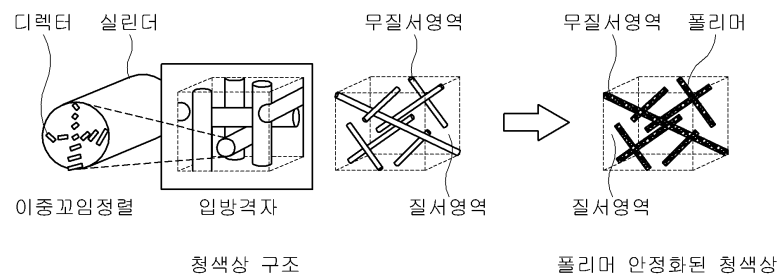
도면1



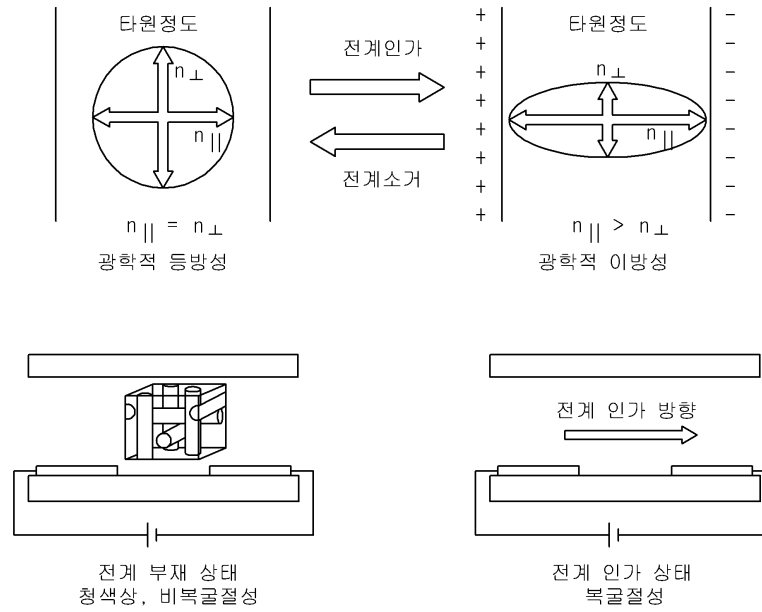
도면2



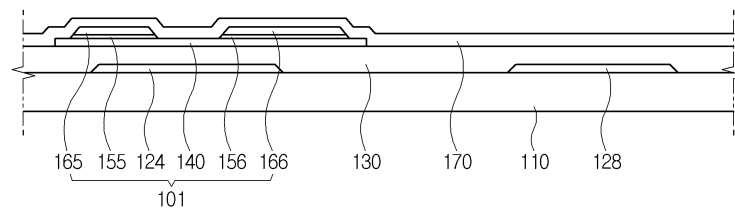
도면3



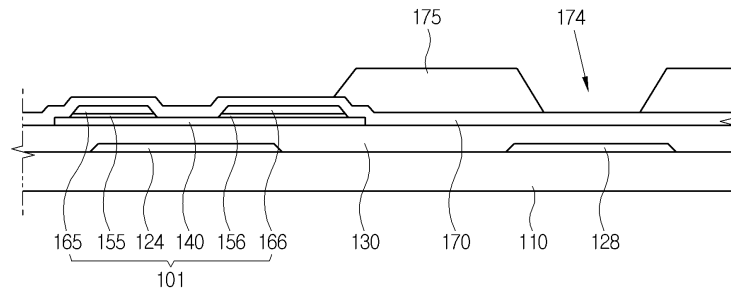
도면4



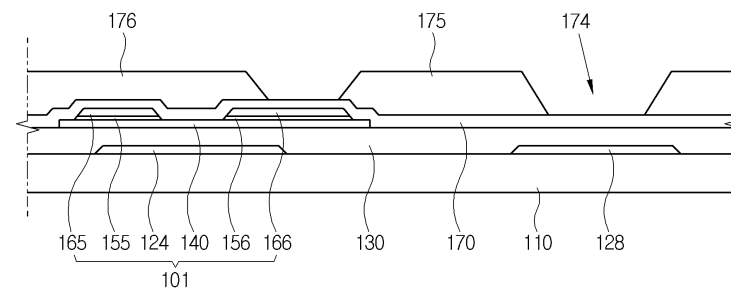
도면5



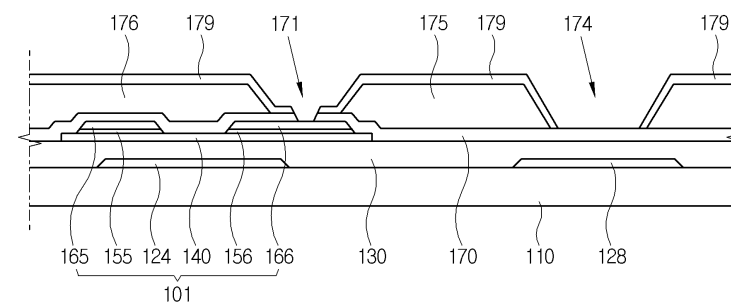
도면6



도면7



도면8



专利名称(译)	发明名称装置制造方法		
公开(公告)号	KR101479996B1	公开(公告)日	2015-01-08
申请号	KR1020080015963	申请日	2008-02-21
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	YUN SUNG JAE 윤성재 YUN HAE YOUNG 윤해영 LEE HYEOK JIN 이혁진 PARK HONG JO 박홍조		
发明人	윤성재 윤해영 이혁진 박홍조		
IPC分类号	G02F1/1343		
CPC分类号	G02F1/133707 H01L27/1259 G02F1/1368 G02F2001/13793		
其他公开文献	KR1020090090630A		
外部链接	Espacenet		

摘要(译)

显示装置及其制造方法技术领域本发明涉及显示装置及其制造方法，其中根据本发明的显示装置包括：第一基板，包括突出电极图案;第二基板，与第一基板相对，其中，突出电极图案由导电聚合物材料制成，并且当施加电场时，液晶层从各向同性状态变为各向异性状态。

