



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2014년09월03일  
(11) 등록번호 10-1437292  
(24) 등록일자 2014년08월27일

(51) 국제특허분류(Int. Cl.)  
G09G 3/36 (2006.01) G11C 19/00 (2006.01)  
(21) 출원번호 10-2013-0108523  
(22) 출원일자 2013년09월10일  
심사청구일자 2013년09월10일  
(65) 공개번호 10-2014-0035263  
(43) 공개일자 2014년03월21일  
(30) 우선권주장  
201220467195.7 2012년09월13일 중국(CN)  
(56) 선행기술조사문헌  
KR100745406 B1  
US20120105397 A1  
JP2008287753 A  
JP2008276849 A

(73) 특허권자  
베이징 비오이 옵토일렉트로닉스 테크놀로지 컴퍼니 리미티드  
중국 베이징 100176 비디에이 시환중로 8호  
(72) 발명자  
왕, 스쥔  
중국 100176 베이징 비디에이 디저 로드 9호  
(74) 대리인  
백만기, 김성운, 장수길

전체 청구항 수 : 총 7 항

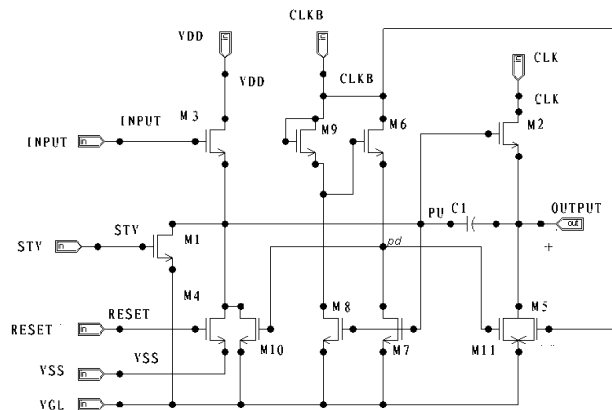
심사관 : 김민수

(54) 발명의 명칭 시프트 레지스터 유닛 회로, 시프트 레지스터, 어레이 기판 및 표시 장치

(57) 요약

본 공개의 실시 예들은 액정 표시 기술에 관한 것이며 시프트 레지스터 유닛 회로, 시프트 레지스터, 어레이 기판 및 표시 장치를 제공한다. 제1 TFT가 시프트 레지스터 유닛 회로 내에 추가되어 프레임 시작 신호가 하이 레벨에 있고 포워드 클럭 신호가 로우 레벨에서 하이 레벨로 바뀔 때 노드 PU의 레벨을 풀 다운시키는데 이용되어, 커플링 회로의 커플링 효과에 의해 야기된 출력 신호에서 발생하는 H-라인 결함이 방지될 수 있고, 이는 제품의 생산성 및 수율 증가에 유익하다.

대표도 - 도2a



## 특허청구의 범위

### 청구항 1

시프트 레지스터 유닛 회로로서,

프레임 시작 신호 입력 단자에 연결된 게이트, 및 스위칭-오프 전압 신호 입력 단자, 동작 전압 입력 단자 또는 접지 전압 입력 단자에 연결된 제1 전극을 갖는 제1 박막 트랜지스터(TFT);

상기 제1 TFT의 제2 전극에 연결된 게이트, 신호 출력 단자에 연결된 제1 전극 및 포워드 클럭 신호(forward clock signal) 입력 단자에 연결된 제2 전극을 갖는 제2 TFT;

신호 입력 단자에 연결된 게이트, 상기 제1 TFT의 제2 전극에 연결된 제1 전극 및 상기 동작 전압 입력 단자에 연결된 제2 전극을 갖는 제3 TFT;

신호 리셋(signal reset) 단자에 연결된 게이트, 상기 접지 전압 입력 단자에 연결된 제1 전극 및 상기 제3 TFT의 제1 전극에 연결된 제2 전극을 갖는 제4 TFT;

리버스 클럭 신호(reverse clock signal) 입력 단자에 연결된 게이트, 상기 스위칭-오프 전압 신호 입력 단자에 연결된 제1 전극 및 상기 신호 출력 단자에 연결된 제2 전극을 갖는 제5 TFT; 및

상기 제1 TFT의 제2 전극에 연결된 제1 전극 및 상기 신호 출력 단자에 연결된 제2 전극을 갖는 캐패시터를 포함하는, 시프트 레지스터 유닛 회로.

### 청구항 2

제1항에 있어서,

상기 리버스 클럭 신호 입력 단자에 연결된 제2 전극을 갖는 제6 TFT;

상기 캐패시터의 제1 전극에 연결된 게이트, 상기 스위칭-오프 전압 신호 입력 단자에 연결된 제1 전극 및 상기 제6 TFT의 제1 전극에 연결된 제2 전극을 갖는 제7 TFT;

상기 캐패시터의 제1 전극에 연결된 게이트 및 상기 스위칭-오프 전압 신호 입력 단자에 연결된 제1 전극을 갖는 제8 TFT;

상기 리버스 클럭 신호 입력 단자에 각각 연결된 게이트 및 제2 전극, 및 상기 제8 TFT의 제2 전극과 상기 제6 TFT의 게이트에 연결된 제1 전극을 갖는 제9 TFT;

상기 제7 TFT의 제2 전극에 연결된 게이트, 상기 스위칭-오프 전압 신호 입력 단자에 연결된 제1 전극 및 상기 제1 TFT의 제2 전극에 연결된 제2 전극을 갖는 제10 TFT; 및

상기 제7 TFT의 제2 전극에 연결된 게이트, 상기 스위칭-오프 전압 신호 입력 단자에 연결된 제1 전극 및 상기 신호 출력 단자에 연결된 제2 전극을 갖는 제11 TFT를 더 포함하는, 시프트 레지스터 유닛 회로.

### 청구항 3

제1항에 있어서,

상기 TFT들의 제1 전극은 소스이고 상기 TFT들의 제2 전극은 드레인이며, 상기 캐패시터의 제1 전극은 포지티브 전극이고 상기 캐패시터의 제2 전극은 네거티브 전극인, 시프트 레지스터 유닛 회로.

### 청구항 4

적어도 3개의 제1항 또는 제2항에 기재된 시프트 레지스터 유닛 회로를 포함하는 시프트 레지스터로서,

제1행의 시프트 레지스터 유닛 회로에서, 상기 제1 TFT의 제1 전극은 상기 동작 전압 입력 단자에 연결되고; 중간 행의 시프트 레지스터 유닛 회로에서, 상기 제1 TFT의 제1 전극은 상기 스위칭-오프 전압 신호 입력 단자에 연결되며; 마지막 행의 시프트 레지스터 유닛 회로에서, 상기 제1 TFT의 제1 전극은 상기 접지 전압 입력 단자에 연결되는, 시프트 레지스터.

## 청구항 5

제4항에 있어서,

상기 시프트 레지스터가 포워드 주사를 실행할 때는, 상기 동작 전압 입력 단자는 전원의 포지티브 전극에 연결되고 상기 접지 전압 입력 단자는 상기 전원의 네거티브 전극에 연결되며; 상기 시프트 레지스터가 리버스 주사를 실행할 때는, 상기 동작 전압 입력 단자는 상기 전원의 네거티브 전극에 연결되고 상기 접지 전압 입력 단자는 상기 전원의 포지티브 전극에 연결되는, 시프트 레지스터.

## 청구항 6

제4항의 시프트 레지스터를 포함하는 어레이 기판.

## 청구항 7

제4항의 시프트 레지스터를 포함하는 표시 장치.

## 명세서

### 기술분야

[0001] 본 공개는 액정 표시의 기술 분야에 관한 것이고, 특히는 시프트 레지스터 유닛 회로, 시프트 레지스터, 어레이 기판 및 표시 장치에 관한 것이다.

### 배경기술

[0002] 현재, 모바일 제품의 액정 패널의 디자인에 있어서, 게이트 구동 회로로서 양방향 주사를 성취할 수 있는 시프트 레지스터 회로가 널리 이용되어 왔고, 어레이 기판에 집적되어 패널의 주사 및 구동이 이루어짐으로써, 비용을 절감할 수 있고 양측이 대칭되는 디자인의 패널을 성취할 수 있다. 또한, 게이트 회로 제어 칩에 대한 접합 영역과 부채-형상의 와이어링 공간을 생략할 수 있어, 좁은 프레임 디자인을 성취할 수 있는 한편 게이트 방향으로의 접합 공정을 생략할 수 있어, 이는 생산성과 수율을 높이는데 유리하다.

[0003] 양방향 주사 시프트 레지스터 회로는 제1 행 내의 시프트 레지스터 유닛 회로, 마지막 행 내의 시프트 레지스터 유닛 회로 및 중간 행 내의 적어도 하나의 시프트 레지스터 유닛 회로를 포함하고 있다. 제1 행 내의 실행가능한 시프트 레지스터 유닛 회로는 도 1a에 도시되어 있고 10개의 박막 트랜지스터와 하나의 캐패시터를 포함하고 있으며, 여기서 프레임 시작 신호(STV) 입력 단자는 신호 입력 단자(INPUT)에 연결되어 있다. 마지막 행 내의 시프트 레지스터 유닛 회로는 도 1b에 도시되어 있고, 이는 도 1a에 도시된 제1 행 내의 시프트 레지스터 유닛 회로와 매칭(match)되고 10개의 박막 트랜지스터와 하나의 캐패시터를 포함하며 프레임 시작 신호 입력 단자는 신호 리셋 단자(RESET)에 연결된다. 중간 행 내의 시프트 레지스터 유닛 회로는 도 1c에 도시되어 있고, 이는 도 1a에 도시된 제1 행 내의 시프트 레지스터 유닛 회로 및 도 1b에 도시된 마지막 행 내의 시프트 레지스터 유닛 회로와 매칭되고 10개의 박막 트랜지스터와 하나의 캐패시터를 포함한다.

[0004] 포워드 주사(forward scanning)가 실행될 때, 도 1d에 도시된 바와 같이, 현재 행 내의 시프트 레지스터 유닛의 출력 신호는 다음 행에 있는 시프트 레지스터 유닛의 입력 신호로 이용되고, 다음 행 내의 시프트 레지스터 유닛의 출력 신호는 현재 행 내의 시프트 레지스터 유닛을 리셋하기 위한 현재 행 내의 시프트 레지스터 유닛의 리셋 신호로 이용된다. 리버스 주사(reverse scanning)가 실행될 때는, 도 1e에 도시된 바와 같이, 다음 행 내의 시프트 레지스터 유닛의 출력 신호는 현재 행 내의 시프트 레지스터 유닛의 입력 신호로 이용되고 현재 행 내의 시프트 레지스터 유닛의 출력 신호는 다음 행 내의 시프트 레지스터 유닛을 리셋하기 위한 다음 행 내의 시프트 레지스터 유닛의 리셋 신호로서 이용된다. 포워드 주사에 대한 타이밍 파형은 도 1f에 도시된 바와 같으며, 포워드 주사에서, 프레임 시작 신호가 하이 레벨일 때, 포워드 클럭 신호(CLK)는 로우 레벨에서 하이 레벨로 바뀌고, 출력 단자는 포워드 클럭 신호의 펄스를 출력한다. 리버스 주사에 대한 타이밍 파형은 도 1g에 도시된 바와 같으며, 리버스 주사에서, 프레임 시작 신호가 하이 레벨일 때, 리버스 클럭 신호(CLKB)는 로우 레벨에서 하이 레벨로 바뀌고, 출력 단자는 리버스 클럭 신호의 펄스를 출력한다.

[0005] 그러나, 포워드 클럭 신호나 리버스 클럭 신호가 로우 레벨에서 하이 레벨로 바뀔 때, 또한 프레임 시작 신호가 하이 레벨에 있으면, 도 1a, 도 1b 및 도 1c의 노드 PU(풀 업 노드)에서의 레벨이 풀 업(pull up)되는 경향이 있다. 도 1h에 도시된 바와 같이, 박막 트랜지스터 TFT M01의 크기가 크기 때문에, 큰 기생 용량 C02가

있으며, 따라서 포워드 클럭 신호가 하이 레벨이 되기 전에, 노드 PU는 도 1i에 도시된 바와 같이 로우 레벨을 유지하고; 프레임 시작 신호가 하이 레벨에 있을 때, 포워드 클럭 신호는 로우 레벨에서 하이 레벨로 바뀌고, 노드 PU도 TFT M01의 기생 용량 때문에 하이 레벨이 되어서, 노드 PU의 파형에 작은 너울(little swell)이 생기고, 작은 너울은 또한 캐패시터 C01의 커플링 효과에 기인해서 출력 신호에 나타나며, 그에 따라 표시 스크린에 H-라인 결함이 생긴다.

## 발명의 내용

### 해결하려는 과제

[0006] 본 공개의 실시 예들은 TFTs의 H-라인 결함을 제거하기 위한 시프트 레지스터 유닛 회로, 시프트 레지스터, 어레이 기판 및 표시 장치를 제공한다.

### 과제의 해결 수단

[0007] 시프트 레지스터 유닛 회로는: 프레임 시작 신호 입력 단자에 연결된 게이트, 및 스위칭-오프 전압 신호(switching-off voltage signal; VGL) 입력 단자, 동작 전압(VDD) 입력 단자 또는 접지 전압(VSS) 입력 단자에 연결된 제1 전극을 갖고 있는 제1 박막 트랜지스터(TFT); 상기 제1 TFT의 제2 전극에 연결된 게이트, 포워드 클럭 신호(forward clock signal) 입력 단자에 연결된 제2 전극 및 신호 출력 단자에 연결된 제1 전극을 갖고 있는 제2 TFT; 신호 입력 단자에 연결된 게이트, 동작 전압 입력 단자에 연결된 제2 전극, 및 상기 제1 TFT의 제2 전극에 연결된 제1 전극을 갖고 있는 제3 TFT; 신호 리셋(signal reset) 단자에 연결된 게이트, 상기 제3 TFT의 제1 전극에 연결된 제2 전극 및 상기 접지 전압 입력 단자에 연결된 제1 전극을 갖고 있는 제4 TFT; 리버스 클럭 신호(reverse clock signal) 입력 단자에 연결된 게이트, 신호 출력 단자에 연결된 제2 전극 및 상기 스위칭-오프 전압 신호 입력 단자에 연결된 제1 전극을 갖고 있는 제5 TFT; 및 상기 제1 TFT의 제2 전극에 연결된 제1 전극 및 상기 출력 단자(OUTPUT)에 연결된 제2 전극을 갖고 있는 캐패시터를 포함한다.

[0008] 양호하게는, 상기 시프트 레지스터 유닛 회로에서, 상기 TFT의 제1 전극은 소스이고 상기 TFT의 제2 전극은 드레인이며 상기 캐패시터의 제1 전극은 포지티브 전극이고 상기 캐패시터의 제2 전극은 네거티브 전극이다.

[0009] 시프트 레지스터는 본 공개의 실시 예들에 제공된 적어도 3개의 시프트 레지스터 유닛 회로를 포함하고, 여기서 제1행의 상기 시프트 레지스터 유닛 회로에서, 상기 제1 TFT의 제1 전극은 상기 동작 전압 입력 단자에 연결되어 있고; 중간 행의 상기 시프트 레지스터 유닛 회로에서, 상기 제1 TFT의 제1 전극은 상기 스위칭-오프 전압 신호 입력 단자에 연결되어 있고; 마지막 행의 상기 시프트 레지스터 유닛 회로에서, 상기 제1 TFT의 제1 전극은 상기 접지 전압 입력 단자에 연결되어 있다.

[0010] 어레이 기판은 본 공개의 실시 예들에 제공된 시프트 레지스터를 포함한다.

[0011] 표시 장치는 본 공개의 실시 예들에 제공된 시프트 레지스터를 포함한다.

## 발명의 효과

[0012] 본 공개의 실시 예들은 시프트 레지스터 유닛 회로, 시프트 레지스터, 어레이 기판 및 표시 장치를 제공하며, 액정 표시의 기술에 관한 것이다. 제1 TFT는 시프트 레지스터 유닛 회로에 통합되어 프레임 시작 신호가 하이 레벨에 있고 포워드 클럭 신호가 로우 레벨에서 하이 레벨로 바뀔 때 노드 PU의 레벨을 풀 다운시키는데 이용되며, 그 결과 커플링 회로의 커플링 효과에 의해 야기된 출력 신호에서 발생하는 H-라인 결함이 방지될 수 있다. 본 공개의 실시 예들에 제공된 시프트 레지스터 유닛 회로, 시프트 레지스터, 어레이 기판 및 표시 장치에서, 제품의 생산성 및 수율의 증가에 유리한 양방향 주사가 실행되는 경우에 하이 레벨이 출력될 때 푸어(poor) 출력 신호가 생성되는 것이 방지된다.

## 도면의 간단한 설명

[0013] 본 공개의 실시 예들에서 또는 좀더 구체적으로 종래 기술에서의 기술적인 해법을 설명하기 위해서, 본 공개의 실시 예들 또는 종래 기술을 설명하는데 필요한 첨부 도면이 소개된다. 명백하게, 첨부 도면은 이하 본 공개의 몇몇 실시 예들만을 보여주고 있으며, 본 기술 분야에 숙련된 자들은 첨부 도면을 기반으로 창의적인 노력을 기울이지 않고도 다른 첨부 도면을 도출할 수 있다.

도 1a는 종래 기술의 제1 행 내의 시프트 레지스터 유닛 회로도이다.

도 1b는 종래 기술의 마지막 행 내의 시프트 레지스터 유닛 회로도이다.

도 1c는 종래 기술의 중간 행 내의 시프트 레지스터 유닛 회로도이다.

도 1d는 종래 기술의 포워드 주사 로직 회로도이다.

도 1e는 종래 기술의 리버스 주사 로직 회로도이다.

도 1f는 종래 기술의 포워드 주사의 타이밍 시퀀스 도면이다.

도 1g는 종래 기술의 리버스 주사의 타이밍 시퀀스 도면이다.

도 1h는 종래 기술의 기생 용량이 존재하는 커플링 회로의 도면이다.

도 1i는 종래 기술의 시프트 레지스터 내의 노드 PU의 파형도이다.

도 2a는 본 공개의 실시 예들에 제공된 시프트 레지스터 유닛 회로도이다.

도 2b는 본 공개의 실시 예들에 제공된 시프트 레지스터 내의 노드 PU의 파형도이다.

도 2c는 본 공개의 실시 예들에 제공된 중간 행의 시프트 레지스터 유닛 회로도이다.

도 2d는 본 공개의 실시 예들에 제공된 제1 행의 시프트 레지스터 유닛 회로도이다.

도 2e는 본 공개의 실시 예들에 제공된 마지막 행의 바람직한 시프트 레지스터 유닛 회로도이다.

### 발명을 실시하기 위한 구체적인 내용

[0014] 이하 본 공개의 실시 예들에 대한 첨부 도면을 참조하여 본 공개의 실시 예들에 있어서의 기술적이 해법들을 명료하고 철저하게 설명하기로 한다. 명백하게, 설명된 실시 예들은 본 공개의 실시 예들 전부가 아니라 일부일 뿐이다. 본 기술 분야에 숙련된 자들이 창의적인 노력을 하지 않고도 설명된 실시 예들을 기반으로 얻을 수 있는 다른 실시 예들은 본 공개의 보호를 위해 강구된 범위에 속한다.

[0015] 본 공개의 실시 예들은 액정 표시의 기술에 관한 것이며 시프트 레지스터 유닛 회로, 시프트 레지스터, 어레이 기판 및 표시 장치를 제공한다. 시프트 레지스터 유닛 회로에 포함된 제1 TFT를 이용하여, 프레임 시작 신호가 하이 레벨에 있고 포워드 클럭 신호가 로우 레벨에서 하이 레벨로 바뀔 때, 노드 PU의 레벨을 풀 다운(pull down)하도록 함으로써, 커플링 회로의 커플링 효과 때문에 출력 신호에서 생성되는 H-라인 결함을 방지할 수 있다. 본 공개의 실시 예에서 제공되는 시프트 레지스터 유닛 회로, 시프트 레지스터, 어레이 기판 및 표시 장치에서, 양방향 주사가 진행되는 경우 하이 레벨이 출력될 때 푸어(poor) 출력 신호가 생성되는 것을 방지하고, 이는 제품의 생산성 및 수율의 증가에 유리하다.

[0016] 도 2a에 도시된 바와 같이, 본 공개의 실시 예들에 제공된 시프트 레지스터 유닛 회로는: 프레임 시작 신호 입력 단자에 연결된 게이트, 및 스위칭-오프 전압 신호 입력 단자, 동작 전압 입력 단자 또는 접지 전압 입력 단자에 연결된 제1 전극을 갖고 있는 제1 박막 트랜지스터(TFT) M1(도 2a에서는 제1 전극이 예로서 스위칭-오프 전압 신호 입력 단자에 연결되어 있다); 제1 TFT M1의 제2 전극에 연결된 게이트, 포워드 클럭 신호 입력 단자에 연결된 제2 전극 및 신호 출력 단자에 연결된 제1 전극을 갖고 있는 제2 TFT M2; 신호 입력 단자에 연결된 게이트, 동작 전압 입력 단자에 연결된 제2 전극 및 제1 TFT M1의 제2 전극에 연결된 제1 전극을 갖고 있는 제3 TFT M3; 신호 리셋 단자에 연결된 게이트, 제3 TFT M3의 제1 전극에 연결된 제2 전극 및 접지 전압 입력 단자에 연결된 제1 전극을 갖고 있는 제4 TFT M4; 리버스 클럭 신호 입력 단자에 연결된 게이트, 신호 출력 단자에 연결된 제2 전극 및 스위칭-오프 전압 신호 입력 단자에 연결된 제1 전극을 갖고 있는 제5 TFT M5; 제1 TFT M1의 제2 전극에 연결된 제1 전극 및 신호 출력 단자에 연결된 제2 전극을 갖고 있는 캐패시터 C1을 포함하고 있다.

[0017] 제1 TFT M1은 프레임 시작 신호가 하이 레벨에 있고 포워드 클럭 신호가 로우 레벨에서 하이 레벨로 바뀔 때 노드 PU의 레벨을 풀 다운하는 기능을 실행하여, 커플링 회로의 커플링 효과 때문에 출력 신호에서 발생하는 H-라인 결함을 방지하는 것이다. 본 공개의 실시 예들에서 노드 PU의 파형은 도 2b에 도시되어 있고, 프레임 시작 신호가 하이 레벨에 있을 때 노드 PU의 레벨은 제1 TFT M1에 의해서 풀 다운되어, 노드 PU의 레벨에서의 너울과 출력 신호 내의 H-라인 결함이 억제된다.

[0018] 양호하게는, 도 2a에 도시된 바와 같이, 본 공개의 실시 예들에 제공된 시프트 레지스터 유닛 회로는: 리버스 클럭 신호 입력 단자에 연결된 제2 전극을 갖고 있는 제6 TFT M6; 캐패시터 C1의 제1 전극에 연결된 게이트, 제6 TFT M6의 제1 전극에 연결된 제2 전극 및 스위칭-오프 전압 신호 입력 단자에 연결된 제1 전극을 갖고 있는

제7 TFT M7; 캐패시터 C1의 제1 전극에 연결된 게이트 및 스위칭-오프 전압 신호 입력 단자에 연결된 제1 전극을 갖고 있는 제8 TFT M8; 리버스 클럭 신호 입력 단자에 연결된 게이트, 리버스 클럭 신호 입력 단자에 연결된 제2 전극 및 제8 TFT M8의 제2 전극 및 제6 TFT M6의 게이트에 연결된 제1 전극을 갖고 있는 제9 TFT M9; 제7 TFT M7의 제2 전극에 연결된 게이트, 제1 TFT M1의 제2 전극에 연결된 제2 전극 및 스위칭-오프 전압 신호 입력 단자에 연결된 제1 전극을 갖고 있는 제10 TFT M10; 제7 TFT M7의 제2 전극에 연결된 게이트, 신호 출력 단자에 연결된 제2 전극 및 스위칭-오프 전압 신호 입력 단자에 연결된 제1 전극을 갖고 있는 제11 TFT M11을 더 포함하고 있다.

[0019] 본 공개의 실시 예들에 제공된 TFT 시프트 레지스터는 본 공개의 실시 예들에 제공된 적어도 3개의 시프트 레지스터 유닛 회로를 포함하고 있다. 제1 행에 있는 시프트 레지스터 유닛 회로에서, 제1 TFT M1의 제1 전극은 동작 전압 입력 단자에 연결되어 있고; 중간 행에 있는 시프트 레지스터 유닛 회로에서, 제1 TFT M1의 제1 전극은 스위칭-오프 전압 신호 입력 단자에 연결되어 있으며; 마지막 행에 있는 시프트 레지스터 유닛 회로에서, 제1 TFT M1의 제1 전극은 접지 전압 입력 단자에 연결되어 있다.

[0020] 양호하게는, 도 2c에 도시된 바와 같이, 중간 행에 있는 시프트 레지스터 유닛 회로(이하 중간-행 시프트 레지스터 유닛 회로라 칭한다)는 특히: 프레임 시작 신호 입력 단자에 연결된 게이트 및 스위칭-오프 전압 신호 입력 단자, 동작 전압 입력 단자 또는 접지 전압 입력 단자에 연결된 제1 전극을 갖고 있는 중간-행 제1 TFT M101; 중간-행 제1 TFT M101의 제2 전극에 연결된 게이트, 포워드 클럭 신호 입력 단자에 연결된 제2 전극 및 신호 출력 단자에 연결된 제1 전극을 갖고 있는 중간-행 제2 TFT M102; 신호 입력 단자에 연결된 게이트, 동작 전압 입력 단자에 연결된 제2 전극 및 중간-행 제1 TFT M101의 제2 전극에 연결된 제1 전극을 갖고 있는 중간-행 제3 TFT M103; 신호 리셋 단자에 연결된 게이트, 중간-행 제3 TFT M103의 제1 전극에 연결된 제2 전극 및 접지 전압 입력 단자에 연결된 제1 전극을 갖고 있는 중간-행 제4 TFT M104; 리버스 클럭 신호 입력 단자에 연결된 게이트, 신호 출력 단자에 연결된 제2 전극 및 스위칭-오프 전압 신호 입력 단자에 연결된 제1 전극을 갖고 있는 중간-행 제5 TFT M105; 및 중간-행 제1 TFT M101의 제2 전극에 연결된 제1 전극 및 신호 출력 단자에 연결된 제2 전극을 갖고 있는 중간-행 캐패시터 C101을 포함하고 있다.

[0021] 도 2d에 도시된 바와 같이, 제1 행에 있는 시프트 레지스터 유닛 회로(이하 제1-행 시프트 레지스터 유닛 회로라 칭한다)는 특히: 프레임 시작 신호 입력 단자에 연결된 게이트 및 동작 전압 입력 단자에 연결된 제1 전극을 갖고 있는 제1-행 제1 TFT M201; 제1-행 제1 TFT M201의 제2 전극에 연결된 게이트, 포워드 클럭 신호 입력 단자에 연결된 제2 전극 및 신호 출력 단자에 연결된 제1 전극을 갖고 있는 제1-행 제2 TFT M202; 신호 입력 단자에 연결된 게이트, 동작 전압 입력 단자에 연결된 제2 전극 및 제1-행 제1 TFT M201의 제2 전극에 연결된 제1 전극을 갖고 있는 제1-행 제3 TFT M203; 신호 리셋 단자에 연결된 게이트, 제1-행 제3 TFT M203의 제1 전극에 연결된 제2 전극 및 접지 전압 입력 단자에 연결된 제1 전극을 갖고 있는 제1-행 제4 TFT M204; 리버스 클럭 신호 입력 단자에 연결된 게이트, 신호 출력 단자에 연결된 제2 전극 및 스위칭-오프 전압 신호 입력 단자에 연결된 제1 전극을 갖고 있는 제1-행 제5 TFT M205; 및 제1-행 제1 TFT M201의 제2 전극에 연결된 제1 전극 및 신호 출력 단자에 연결된 제2 전극을 갖고 있는 제1-행 캐패시터 C201을 포함하고 있다.

[0022] 도 2e에 도시된 바와 같이, 마지막 행에 있는 시프트 레지스터 유닛 회로(이하 마지막-행 시프트 레지스터 유닛 회로라 칭한다)는 특히: 프레임 시작 신호 입력 단자에 연결된 게이트 및 접지 전압 입력 단자에 연결된 제1 전극을 갖고 있는 마지막-행 제1 TFT M301; 마지막-행 제1 TFT M301의 제2 전극에 연결된 게이트, 포워드 클럭 신호 입력 단자에 연결된 제2 전극 및 신호 출력 단자에 연결된 제1 전극을 갖고 있는 마지막-행 제2 TFT M302; 신호 입력 단자에 연결된 게이트, 동작 전압 입력 단자에 연결된 제2 전극 및 마지막-행 제1 TFT M301의 제2 전극에 연결된 제1 전극을 갖고 있는 마지막-행 제3 TFT M303; 신호 리셋 단자에 연결된 게이트, 마지막-행 제3 TFT M303의 제1 전극에 연결된 제2 전극 및 접지 전압 입력 단자에 연결된 제1 전극을 갖고 있는 마지막-행 제4 TFT M304; 리버스 클럭 신호 입력 단자에 연결된 게이트, 신호 출력 단자에 연결된 제2 전극 및 스위칭-오프 전압 신호 입력 단자에 연결된 제1 전극을 갖고 있는 마지막-행 제5 TFT M305; 및 마지막-행 제1 TFT M301의 제2 전극에 연결된 제1 전극 및 신호 출력 단자에 연결된 제2 전극을 갖고 있는 마지막-행 캐패시터 C301을 포함하고 있다.

[0023] 본 공개의 실시 예들에 제공된 제1-행 시프트 레지스터 유닛 회로 및 마지막-행 시프트 레지스터 유닛 회로에서, 제1-행 제1 TFT M201의 제1 전극은 동작 전압 입력 단자에 연결되어 있고, 마지막-행 제1 TFT M301의 제1 전극은 접지 전압 입력 단자에 연결되어 있어서, 전체 TFT 시프트 레지스터가 정상적으로 동작할 것을 보장할 수 있다.

- [0024] 제1-행 시프트 레지스터 유닛 회로 및 마지막-행 시프트 레지스터 유닛 회로 내의 노드 PU에는 어떤 너울도 없기 때문에, 다음과 같은 배열이 채택될 수 있다: 제1-행 시프트 레지스터 유닛 회로는 제1-행 제1 TFT M201 없이 통합되고, 마지막-행 시프트 레지스터 유닛 회로는 마지막-행 제1 TFT M301 없이 통합되고; 제1-행 시프트 레지스터 유닛 회로는 제1-행 제1 TFT M201과 함께 통합되고, 마지막-행 시프트 레지스터 유닛 회로는 마지막-행 제1 TFT M301 없이 통합되고; 제1-행 시프트 레지스터 유닛 회로는 제1-행 제1 TFT M201 없이 통합되고 마지막-행 시프트 레지스터 유닛 회로는 마지막-행 제1 TFT M301과 함께 통합되고; 또는 제1-행 시프트 레지스터 유닛 회로는 제1-행 제1 TFT M201과 함께 통합되고 마지막-행 시프트 레지스터 유닛 회로는 마지막-행 제1 TFT M301과 함께 통합된다.
- [0025] 물론, 이 기술 분야에 숙련된 자들은 다른 실질적인 방식을 채택하여 제1 -행 시프트 레지스터 유닛 회로와 마지막-행 시프트 레지스터 유닛 회로를 설정할 수 있다.
- [0026] 도 2c에 도시된 바와 같이, 본 공개의 실시 예들에 제공된 양호한 중간-행 시프트 레지스터 유닛 회로는: 프레임 시작 신호 입력 단자에 연결된 게이트 및 스위칭-오프 전압 신호 입력 단자에 연결된 제1 전극을 갖고 있는 중간-행 제1 TFT M101; 중간-행 제1 TFT M101의 제2 전극에 연결된 게이트, 포워드 클럭 신호 입력 단자에 연결된 제2 전극 및 신호 출력 단자에 연결된 제1 전극을 갖고 있는 중간-행 제2 TFT M102; 신호 입력 단자에 연결된 게이트, 동작 전압 입력 단자에 연결된 제2 전극 및 중간-행 제1 TFT M101의 제2 전극에 연결된 제1 전극을 갖고 있는 중간-행 제3 TFT M103; 신호 리셋 단자에 연결된 게이트, 중간-행 제3 TFT M103의 제1 전극에 연결된 제2 전극 및 접지 전압 입력 단자에 연결된 제1 전극을 갖고 있는 중간-행 제4 TFT M104; 리버스 클럭 신호 입력 단자에 연결된 게이트, 신호 출력 단자에 연결된 제2 전극 및 스위칭-오프 전압 신호 입력 단자에 연결된 제1 전극을 갖고 있는 중간-행 제5 TFT M105; 및 중간-행 제1 TFT M101의 제2 전극에 연결된 제1 전극 및 신호 출력 단자에 연결된 제2 전극을 갖고 있는 중간-행 캐패시터 C101을 포함하고 있다.
- [0027] 중간-행 제3 TFT M103, 중간-행 제4 TFT M104, 중간-행 제5 TFT M105 및 중간-행 제2 TFT M102는 물론이고 중간-행 캐패시터 C101은 특히 다음과 같은 방식으로 함께 기반 시프트 레지스터 기능(a basis shift register function)을 성취한다: 입력 신호가 하이 레벨에 있을 때, 중간-행 제3 TFT M103은 턴온되어 노드 PU를 충전하고; 포워드 클럭 신호가 하이 레벨에 있을 때, 중간-행 제2 TFT M102는 턴온되고, 신호 출력 단자는 포워드 클럭 신호의 펄스를 출력하는 한편 중간-행 캐패시터 C101의 부트스트랩 효과(bootstrapping effect)는 노드 PU의 레벨을 더 올 업하고; 그리고 나서 중간-행 제4 TFT M104와 중간-행 제5 TFT M105는 리셋 신호에 의해서 턴온되어 노드 PU와 신호 출력 단자를 방전시키므로, 기반 시프트 레지스터 기능이 실현된다. 물론, 이 기술 분야에 숙련된 자들은 기반 레지스터 기능을 실현하기 위해 다른 실질적인 방식을 채택할 수 있다.
- [0028] 양호하게는, 중간-행 시프트 레지스터 유닛 회로는: 리버스 클럭 신호 입력 단자에 연결된 제2 전극을 갖고 있는 중간-행 제6 TFT M106; 중간 행 캐패시터 C101의 제1 전극에 연결된 게이트, 중간-행 제6 TFT M106의 제1 전극에 연결된 제2 전극 및 스위칭-오프 전압 신호 입력 단자에 연결된 제1 전극을 갖고 있는 중간-행 제7 TFT M107; 중간-행 캐패시터 C101의 제1 전극에 연결된 게이트와 스위칭-오프 전압 신호 입력 단자에 연결된 제1 전극을 갖고 있는 중간-행 제8 TFT M108; 리버스 클럭 신호 입력 단자에 연결된 게이트, 리버스 클럭 신호 입력 단자에 연결된 제2 전극 및 중간-행 제8 TFT M108의 제2 전극 및 중간-행 제6 TFT M106의 게이트에 연결된 제1 전극을 갖고 있는 중간-행 제9 TFT M109; 중간-행 제7 TFT M107의 제2 전극에 연결된 게이트, 중간-행 제1 TFT M101의 제2 전극에 연결된 제2 전극 및 스위칭-오프 전압 신호 입력 단자에 연결된 제1 전극을 갖고 있는 중간-행 제10 TFT M110; 중간-행 제7 TFT M107의 제2 전극에 연결된 게이트, 신호 출력 단자에 연결된 제2 전극 및 스위칭-오프 전압 신호 입력 단자에 연결된 제1 전극을 갖고 있는 중간-행 제11 TFT M111을 더 포함하고 있다.
- [0029] 도 2d에 도시된 바와 같이, 본 공개의 실시 예들에 제공된 제1-행 시프트 레지스터 유닛 회로는: 프레임 시작 신호 입력 단자에 연결된 게이트 및 동작 전압 입력 단자에 연결된 제1 전극을 갖고 있는 제1-행 제1 TFT M201; 제1-행 제1 TFT M201의 제2 전극에 연결된 게이트, 포워드 클럭 신호 입력 단자에 연결된 제2 전극 및 신호 출력 단자에 연결된 제1 전극을 갖고 있는 제1-행 제2 TFT M202; 신호 입력 단자에 연결된 게이트, 동작 전압 입력 단자에 연결된 제2 전극 및 제1-행 제1 TFT M201의 제2 전극에 연결된 제1 전극을 갖고 있는 제1-행 제3 TFT M203; 신호 리셋 단자에 연결된 게이트, 제1-행 제3 TFT M203의 제1 전극에 연결된 제2 전극 및 접지 전압 입력 단자에 연결된 제1 전극을 갖고 있는 제1-행 제4 TFT M204; 리버스 클럭 신호 입력 단자에 연결된 게이트, 신호 출력 단자에 연결된 제2 전극 및 스위칭-오프 전압 신호 입력 단자에 연결된 제1 전극을 갖고 있는 제1-행 제5 TFT M205; 및 제1-행 제1 TFT M201의 제2 전극에 연결된 제1 전극 및 신호 출력 단자에 연결된 제2 전극을 갖고 있는 제1-행 캐패시터 C201을 포함하고 있다.

- [0030] 제1-행 제3 TFT M203, 제1-행 제4 TFT M204, 제1-행 제5 TFT M205 및 제1-행 제2 TFT M202는 물론이고 제1-행 캐패시터 C201은 특히 다음과 같은 방식으로 함께 기반 시프트 레지스터 기능을 성취한다: 입력 신호가 하이 레벨에 있을 때, 제1-행 제3 TFT M203은 턴온되어 노드 PU를 충전하고; 포워드 클럭 신호가 하이 레벨에 있을 때, 제1-행 제2 TFT M202는 턴온되고, 신호 출력 단자는 포워드 클럭 신호의 펄스를 출력하는 한편 제1-행 캐패시터 C201의 부트스트랩 효과는 노드 PU의 레벨을 더 풀 업(pull up)하고; 그리고 나서 제1-행 제4 TFT M204와 제1-행 제5 TFT M205는 리셋 신호에 의해서 턴온되어 노드 PU와 신호 출력 단자를 방전시키므로, 기반 시프트 레지스터 기능이 실현된다. 물론, 이 기술 분야에 숙련된 자들은 기반 레지스터 기능을 실현하기 위해 다른 실질적인 방식을 채택할 수 있다.
- [0031] 양호하게는, 제1-행 시프트 레지스터 유닛 회로는: 리버스 클럭 신호 입력 단자에 연결된 제2 전극을 갖고 있는 제1-행 제6 TFT M206; 제1 행 캐패시터 C201의 제1 전극에 연결된 게이트, 제1-행 제6 TFT M206의 제1 전극에 연결된 제2 전극 및 스위칭-오프 전압 신호 입력 단자에 연결된 제1 전극을 갖고 있는 제1-행 제7 TFT M207; 제1-행 캐패시터 C201의 제1 전극에 연결된 게이트와 스위칭-오프 전압 신호 입력 단자에 연결된 제1 전극을 갖고 있는 제1-행 제8 TFT M208; 리버스 클럭 신호 입력 단자에 연결된 게이트, 리버스 클럭 신호 입력 단자에 연결된 제2 전극 및 제1-행 제8 TFT M208의 제2 전극 및 제1-행 제6 TFT M206의 게이트에 연결된 제1 전극을 갖고 있는 제1-행 제9 TFT M209; 제1-행 제7 TFT M207의 제2 전극에 연결된 게이트, 제1-행 제1 TFT M201의 제2 전극에 연결된 제2 전극 및 스위칭-오프 전압 신호 입력 단자에 연결된 제1 전극을 갖고 있는 제1-행 제10 TFT M210; 및 제1-행 제7 TFT M207의 제2 전극에 연결된 게이트, 신호 출력 단자에 연결된 제2 전극 및 스위칭-오프 전압 신호 입력 단자에 연결된 제1 전극을 갖고 있는 제1-행 제11 TFT M211을 더 포함하고 있다.
- [0032] 도 2e에 도시된 바와 같이, 본 공개의 실시 예들에 제공된 마지막-행 시프트 레지스터 유닛 회로는: 프레임 시작 신호 입력 단자에 연결된 게이트 및 접지 전압 입력 단자에 연결된 제1 전극을 갖고 있는 마지막-행 제1 TFT M301; 마지막-행 제1 TFT M301의 제2 전극에 연결된 게이트, 포워드 클럭 신호 입력 단자에 연결된 제2 전극 및 신호 출력 단자에 연결된 제1 전극을 갖고 있는 마지막-행 제2 TFT M302; 신호 입력 단자에 연결된 게이트, 동작 전압 입력 단자에 연결된 제2 전극 및 마지막-행 제1 TFT M301의 제2 전극에 연결된 제1 전극을 갖고 있는 마지막-행 제3 TFT M303; 신호 리셋 단자에 연결된 게이트, 마지막-행 제3 TFT M303의 제1 전극에 연결된 제2 전극 및 접지 전압 입력 단자에 연결된 제1 전극을 갖고 있는 마지막-행 제4 TFT M304; 리버스 클럭 신호 입력 단자에 연결된 게이트, 신호 출력 단자에 연결된 제2 전극 및 스위칭-오프 전압 신호 입력 단자에 연결된 제1 전극을 갖고 있는 마지막-행 제5 TFT M305; 및 마지막-행 제1 TFT M301의 제2 전극에 연결된 제1 전극 및 신호 출력 단자에 연결된 제2 전극을 갖고 있는 마지막-행 캐패시터 C301을 포함하고 있다.
- [0033] 마지막-행 제3 TFT M303, 마지막-행 제4 TFT M304, 마지막-행 제5 TFT M305 및 마지막-행 제2 TFT M302는 물론이고 마지막-행 캐패시터 C301은 특히 다음과 같은 방식으로 함께 기반 시프트 레지스터 기능을 성취한다: 입력 신호가 하이 레벨에 있을 때, 마지막-행 제3 TFT M303은 턴온되어 노드 PU를 충전하고; 포워드 클럭 신호가 하이 레벨에 있을 때, 마지막-행 제2 TFT M302는 턴온되고, 신호 출력 단자는 포워드 클럭 신호의 펄스를 출력하는 한편 마지막-행 캐패시터 C301의 부트스트랩 효과는 노드 PU의 레벨을 더 풀 업(pull up)하고; 그리고 나서 마지막-행 제4 TFT M304와 마지막-행 제5 TFT M305는 리셋 신호에 의해서 턴온되어 노드 PU와 신호 출력 단자를 방전시키므로, 기반 시프트 레지스터 기능이 실현된다. 물론, 이 기술 분야에 숙련된 자들은 기반 레지스터 기능을 실현하기 위해 다른 실질적인 방식을 채택할 수 있다.
- [0034] 양호하게는, 마지막-행 시프트 레지스터 유닛 회로는: 리버스 클럭 신호 입력 단자에 연결된 제2 전극을 갖고 있는 마지막-행 제6 TFT M306; 마지막-행 캐패시터 C301의 제1 전극에 연결된 게이트, 마지막-행 제6 TFT M306의 제1 전극에 연결된 제2 전극 및 스위칭-오프 전압 신호 입력 단자에 연결된 제1 전극을 갖고 있는 마지막-행 제7 TFT M307; 마지막-행 캐패시터 C301의 제1 전극에 연결된 게이트와 스위칭-오프 전압 신호 입력 단자에 연결된 제1 전극을 갖고 있는 마지막-행 제8 TFT M308; 리버스 클럭 신호 입력 단자에 연결된 게이트, 리버스 클럭 신호 입력 단자에 연결된 제2 전극 및 마지막-행 제8 TFT M308의 제2 전극 및 마지막-행 제6 TFT M306의 게이트에 연결된 제1 전극을 갖고 있는 마지막-행 제9 TFT M309; 마지막-행 제7 TFT M307의 제2 전극에 연결된 게이트, 마지막-행 제1 TFT M301의 제2 전극에 연결된 제2 전극 및 스위칭-오프 전압 신호 입력 단자에 연결된 제1 전극을 갖고 있는 마지막-행 제10 TFT M310; 및 마지막-행 제7 TFT M307의 제2 전극에 연결된 게이트, 신호 출력 단자에 연결된 제2 전극 및 스위칭-오프 전압 신호 입력 단자에 연결된 제1 전극을 갖고 있는 마지막-행 제11 TFT M311을 더 포함하고 있다.
- [0035] 본 공개의 실시 예들에 제공된 TFT 시프트 레지스터가 포워드 주사를 실행할 때, 동작 전압 입력 단자는 전원의 포지티브 전극에 연결되고, 접지 전압 입력 단자는 전원의 네거티브 전극에 연결되며; 본 공개의 실시 예들에

제공된 TFT 시프트 레지스터가 리버스 주사를 실행할 때, 동작 전압 입력 단자는 전원의 네거티브 전극에 연결되고, 접지 전압 입력 단자는 전원의 포지티브 전극에 연결된다. 다른 말로, 본 공개의 실시 예들에 제공된 시프트 레지스터는 동작 전압 입력 단자와 접지 전압 입력 단자에 각각 연결된 전원의 극성을 교환하여 양방향 구동을 실행할 수 있다.

[0036] 본 공개의 실시 예들에 제공된 어레이 기판은 본 공개의 실시 예들에 제공된 TFT 시프트 레지스터를 포함한다.

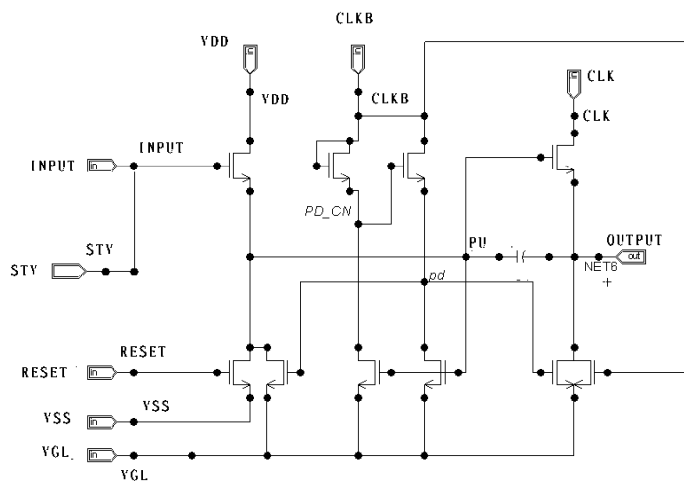
[0037] 본 공개의 실시 예들에 제공된 표시 장치는 본 공개의 실시 예들에 제공된 TFT 시프트 레지스터를 포함한다.

[0038] 본 공개의 실시 예들은 액정 표시 기술에 관한 것이며, 시프트 레지스터 유닛 회로, 시프트 레지스터, 어레이 기판 및 표시 장치를 제공한다. 제1 TFT는 시프트 레지스터 유닛 회로에 통합되어, 프레임 시작 신호가 하이 레벨에 있고 포워드 클럭 신호가 로우 레벨에서 하이 레벨로 바뀔 때 노드 PU의 레벨을 풀 다운시키는데 이용되어, 커플링 회로의 커플링 효과에 의해 야기된 출력 신호에서 발생하는 H-라인 결함이 방지될 수 있다. 본 공개의 실시 예들에 제공된 시프트 레지스터 유닛 회로, 시프트 레지스터, 어레이 기판 및 표시 장치에서, 양방향 주사가 실행되는 경우에 하이 레벨이 출력될 때 푸어(poor) 출력 신호가 생성되는 것이 방지되고, 이는 제품의 생산성 및 수율의 증가에 유리하다.

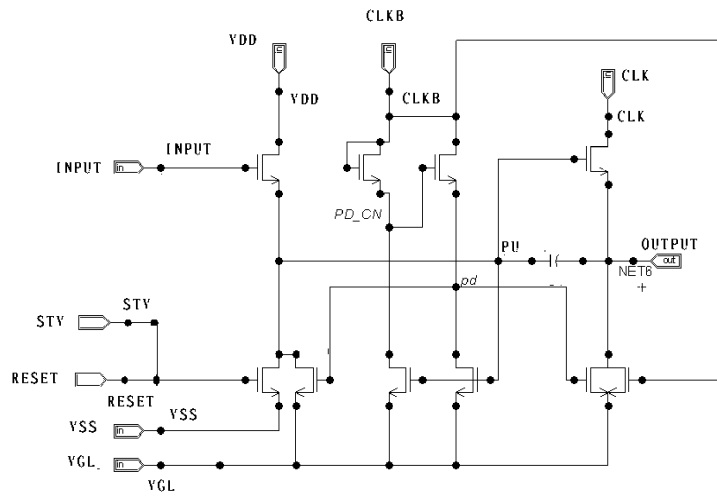
[0039] 위의 설명은 단지 본 공개의 실시 예들을 보여주기 위한 것이지 본 공개의 범위를 한정하는 것이 결코 아니다. 이 기술 분야에 숙련된 자이면 다음의 청구항들에 의해 규정되는 바와 같은 본 공개의 정신 및 범위를 벗어남이 없이 위의 실시 예들에 수정, 변형 및 이와 균등한 것을 가할 수 있음은 자명하다. 그러한 변형 및 수정은 본 공개의 정신 및 범위 내에 속한다.

## 도면

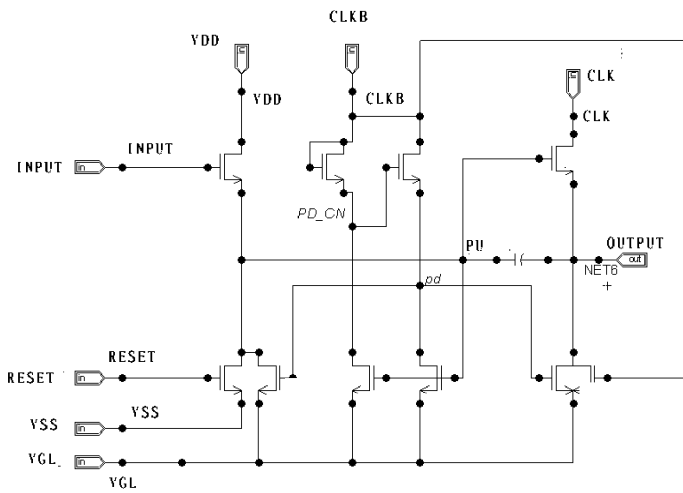
### 도면1a



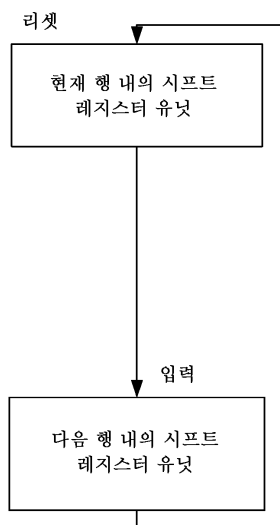
도면1b



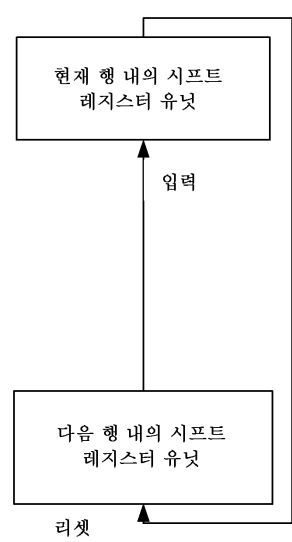
도면1c



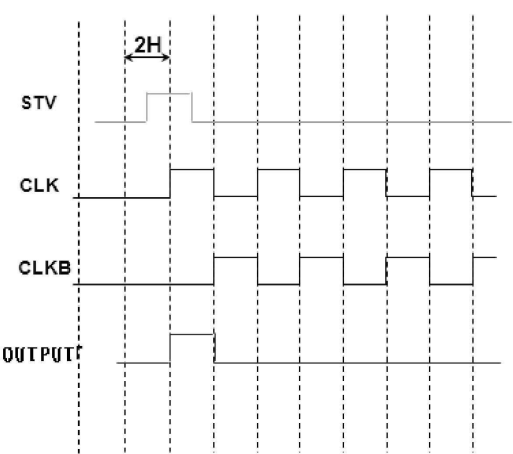
도면1d



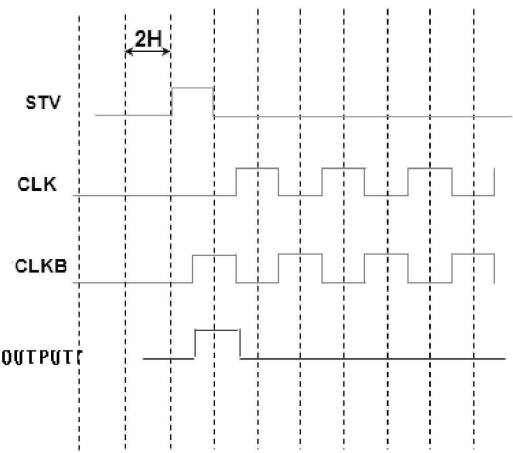
도면1e



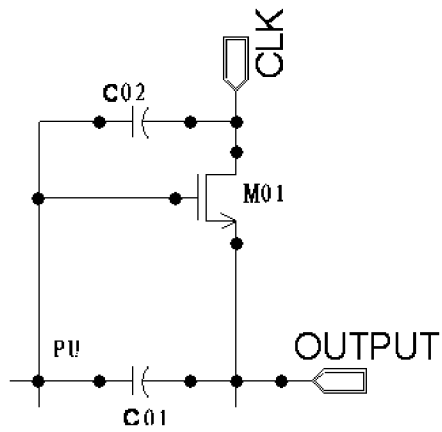
도면1f



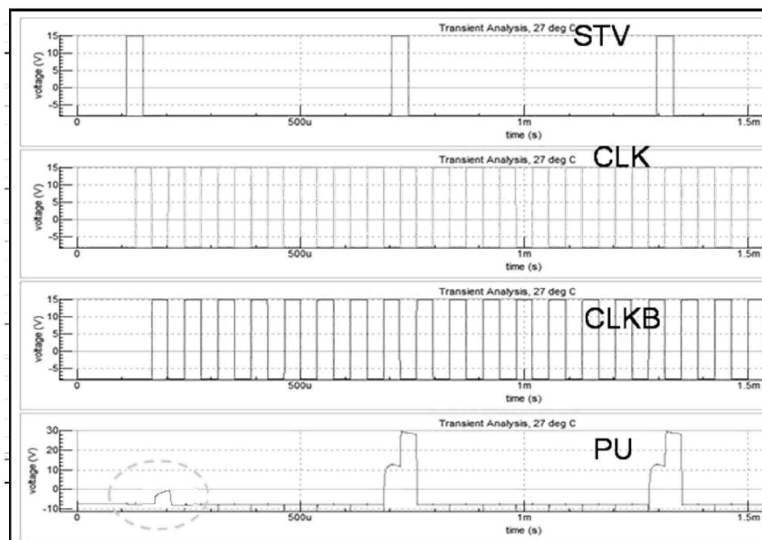
도면1g



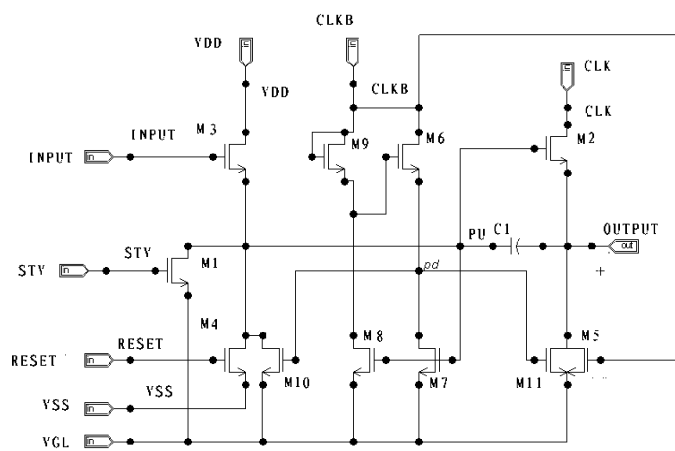
도면1h



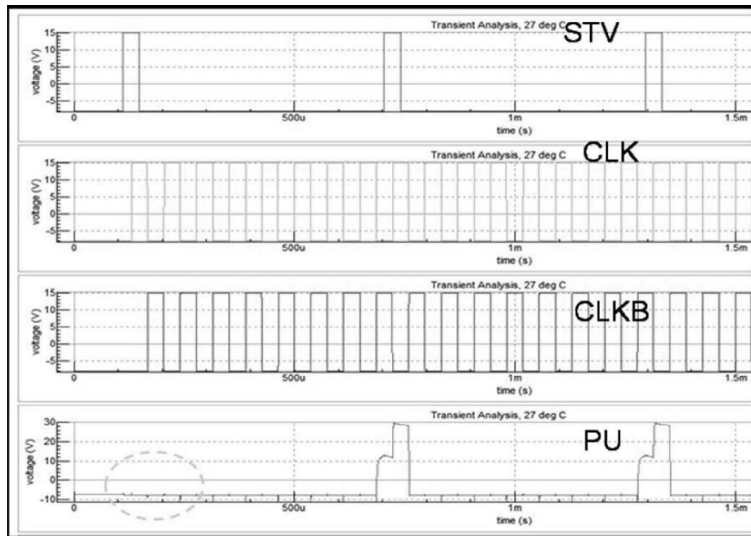
도면1i



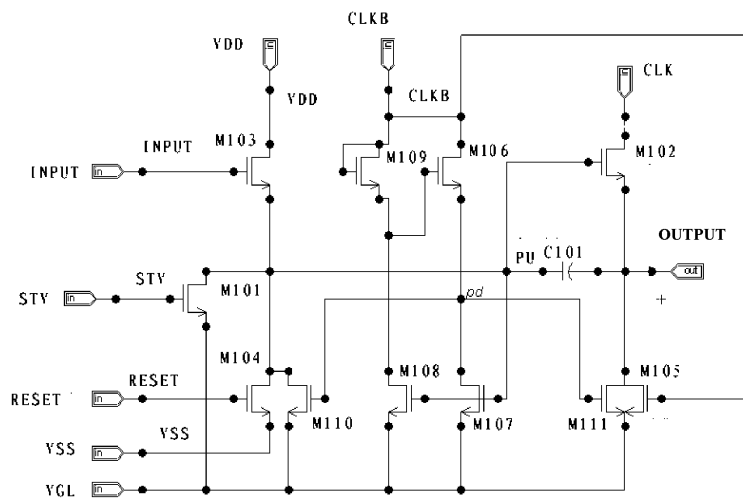
도면2a



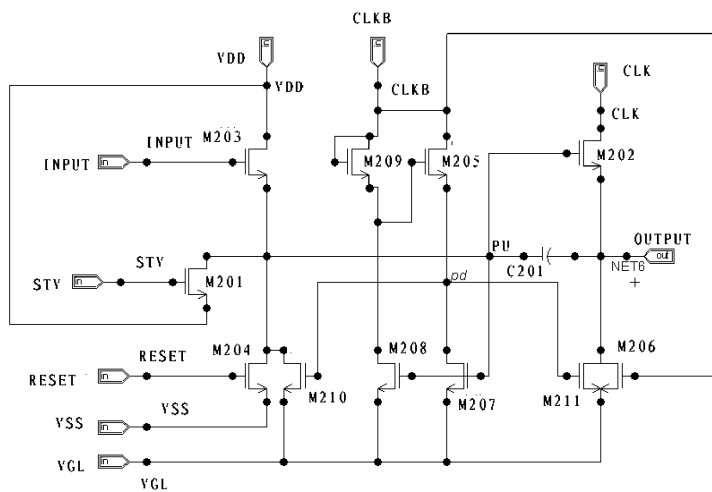
도면2b



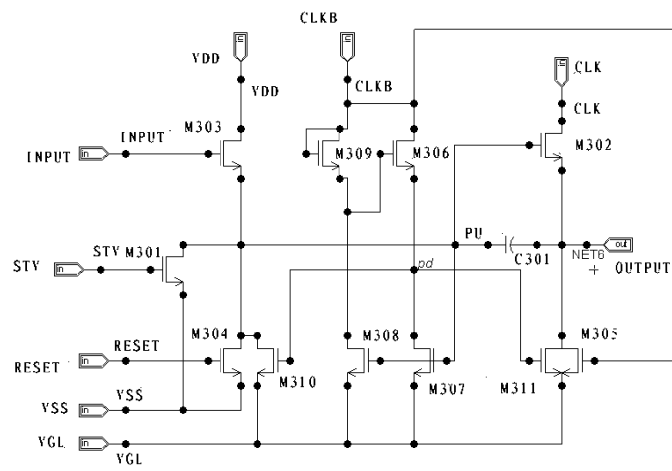
도면2c



도면2d



도면2e



|                |                                                             |         |            |
|----------------|-------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 标题：移位寄存器单元电路，移位寄存器，阵列基板和显示器件                                |         |            |
| 公开(公告)号        | <a href="#">KR101437292B1</a>                               | 公开(公告)日 | 2014-09-03 |
| 申请号            | KR1020130108523                                             | 申请日     | 2013-09-10 |
| [标]申请(专利权)人(译) | 北京京东方光电科技有限公司                                               |         |            |
| 申请(专利权)人(译)    | 北京京东方光电科技有限公司                                               |         |            |
| 当前申请(专利权)人(译)  | 北京京东方光电科技有限公司                                               |         |            |
| [标]发明人         | WANG SHIJUN                                                 |         |            |
| 发明人            | WANG, SHIJUN                                                |         |            |
| IPC分类号         | G09G3/36 G11C19/00                                          |         |            |
| CPC分类号         | G11C19/28 G09G3/3677 G09G2310/0283 G09G3/3611 G09G2310/0286 |         |            |
| 代理人(译)         | CHANG, SOO KIL<br>金诚WOON                                    |         |            |
| 优先权            | 201220467195.7 2012-09-13 CN                                |         |            |
| 其他公开文献         | KR1020140035263A                                            |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                   |         |            |

#### 摘要(译)

本发明实施例涉及一种液晶显示技术，提供一种移位寄存器单元电路，移位寄存器，阵列基板和显示装置。在移位寄存器单元电路中增加第一TFT，以在帧起始信号处于高电平并且正向时钟信号从低电平变为高电平时下拉节点PU的电平，可以防止由H线缺陷引起的输出信号中产生的H线缺陷，这有利于提高产品的生产率和产量。

