



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2013년11월13일

(11) 등록번호 10-1329970

(24) 등록일자 2013년11월05일

(51) 국제특허분류(Int. Cl.)

G02F 1/133 (2006.01) G09G 3/36 (2006.01)

(21) 출원번호 10-2010-0126927

(22) 출원일자 2010년12월13일

심사청구일자 2011년11월07일

(65) 공개번호 10-2012-0065673

(43) 공개일자 2012년06월21일

(56) 선행기술조사문헌

KR100706742 B1*

KR1020070036409 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김민규

경기도 파주시 월롱면 덕은리 파주LCD산업단지 정다운마을 101동 110호

김영호

경기도 파주시 쇠재로 133, 쇠재마을아파트 503동 603호 (금촌동)

구성조

경기도 파주시 황골로 40, 105동 1004호 (금촌동, 두보아파트)

(74) 대리인

김용인, 박영복

전체 청구항 수 : 총 2 항

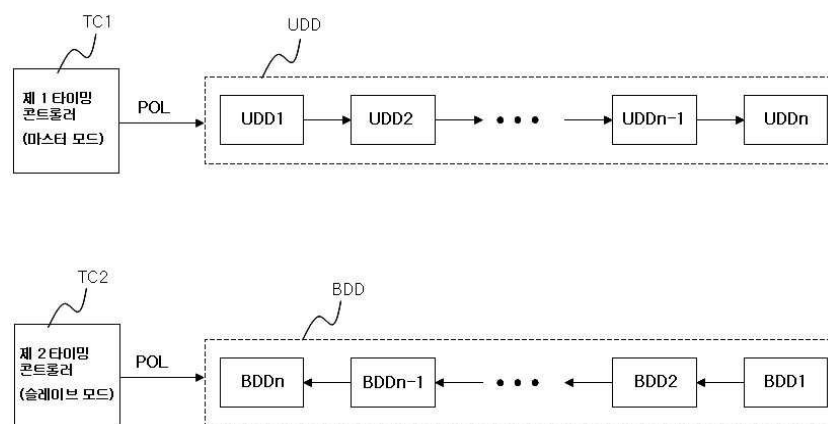
심사관 : 황철규

(54) 발명의 명칭 액정표시장치

(57) 요약

화소의 충전속도를 향상시킬 수 있으며, 극성반전제어신호들간의 위상을 제어하여 화질을 향상시킬 수 있는 액정표시장치에 관한 것으로, 화상을 표시하기 위한 표시패널; 상기 표시패널의 데이터 라인들의 각 일측에 화소 전압들을 공급하는 다수의 상부 데이터 드라이브 집적회로들; 상기 데이터 라인들의 각 타측에 화소 전압들을 공급하는 다수의 하부 데이터 드라이브 집적회로들; 상기 상부 데이터 드라이브 집적회로들의 동작을 제어하기 위한 상부 데이터 제어신호를 생성하여 상기 상부 데이터 드라이브 집적회로들로 공급하는 제 1 타이밍 컨트롤러; 및, 상기 하부 데이터 드라이브 집적회로들의 동작을 제어하기 위한 하부 데이터 제어신호를 생성하여 상기 하부 데이터 드라이브 집적회로들로 공급하는 제 2 타이밍 컨트롤러를 포함하며; 상기 제 1 및 제 2 타이밍 컨트롤러들 중 적어도 하나가 자신에게 공급되는 화상 데이터들을 분석하여 상기 상부 데이터 드라이브 집적회로들 및 하부 데이터 드라이브 집적회로들로부터 출력될 화소 전압들의 극성을 제어함을 특징으로 한다.

대표도 - 도10



특허청구의 범위

청구항 1

화상을 표시하기 위한 표시패널;

상기 표시패널의 데이터 라인들의 각 일측에 화소 전압들을 공급하는 다수의 상부 데이터 드라이브 집적회로들;

상기 데이터 라인들의 각 타측에 화소 전압들을 공급하는 다수의 하부 데이터 드라이브 집적회로들;

상기 상부 데이터 드라이브 집적회로들의 동작을 제어하기 위한 상부 데이터 제어신호를 생성하여 상기 상부 데이터 드라이브 집적회로들로 공급하는 제 1 타이밍 컨트롤러; 및,

상기 하부 데이터 드라이브 집적회로들의 동작을 제어하기 위한 하부 데이터 제어신호를 생성하여 상기 하부 데이터 드라이브 집적회로들로 공급하는 제 2 타이밍 컨트롤러를 포함하며;

상기 제 1 및 제 2 타이밍 컨트롤러들 중 적어도 하나가 자신에게 공급되는 화상 데이터들을 분석하여 상기 상부 데이터 드라이브 집적회로들 및 하부 데이터 드라이브 집적회로들로부터 출력될 화소 전압들의 극성을 제어하며;

상기 제 1 타이밍 컨트롤러는 상부 데이터 드라이브 집적회로들로부터 출력될 화소 전압들의 극성을 제어하는 극성반전제어신호를 출력하여 상부 데이터 드라이브 집적회로들로 공급함과 아울러, 하부 데이터 드라이브 집적회로들로부터 출력될 화소 전압들의 극성을 제어하는 극성반전제어신호를 출력하여 상기 하부 데이터 드라이브 집적회로들로 공급하며;

상기 제 1 타이밍 컨트롤러 및 제 2 타이밍 컨트롤러들 중 어느 하나는 마스터 모드로 구동되고, 나머지 다른 하나는 슬레이브 모드로 구동되며;

마스터 모드인 타이밍 컨트롤러는 자신에게 공급된 한 프레임의 화상 데이터들의 특성을 분석하고, 이 분석된 결과에 근거하여 상부 데이터 드라이브 집적회로들로 공급될 극성반전제어신호와 하부 데이터 드라이브 집적회로들로 공급될 극성반전제어신호를 함께 출력함을 특징으로 하는 액정표시장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

화상을 표시하기 위한 표시패널;

상기 표시패널의 데이터 라인들의 각 일측에 화소 전압들을 공급하는 다수의 상부 데이터 드라이브 집적회로들;

상기 데이터 라인들의 각 타측에 화소 전압들을 공급하는 다수의 하부 데이터 드라이브 집적회로들;

상기 상부 데이터 드라이브 집적회로들의 동작을 제어하기 위한 상부 데이터 제어신호를 생성하여 상기 상부 데이터 드라이브 집적회로들로 공급하는 제 1 타이밍 컨트롤러; 및,

상기 하부 데이터 드라이브 집적회로들의 동작을 제어하기 위한 하부 데이터 제어신호를 생성하여 상기 하부 데이터 드라이브 집적회로들로 공급하는 제 2 타이밍 컨트롤러를 포함하며;

상기 제 1 및 제 2 타이밍 컨트롤러들 중 적어도 하나가 자신에게 공급되는 화상 데이터들을 분석하여 상기 상부 데이터 드라이브 집적회로들 및 하부 데이터 드라이브 집적회로들로부터 출력될 화소 전압들의 극성을 제어

하며;

상기 제 1 타이밍 컨트롤러는 상부 데이터 드라이브 집적회로들로부터 출력될 화소 전압들의 극성을 제어하는 극성반전제어신호를 출력하여 상기 상부 데이터 드라이브 집적회로들로 공급하며;

상기 제 2 타이밍 컨트롤러는 하부 데이터 드라이브 집적회로들로부터 출력될 화소 전압들의 극성을 제어하는 극성반전제어신호를 출력하여 상기 하부 데이터 드라이브 집적회로들로 공급하며;

상기 제 1 타이밍 컨트롤러 및 제 2 타이밍 컨트롤러들 중 어느 하나는 마스터 모드로 구동되고, 나머지 다른 하나는 슬레이브 모드로 구동되며;

마스터 모드인 타이밍 컨트롤러는 자신에게 공급된 한 프레임의 화상 데이터들의 특성을 분석하고, 이 분석된 결과에 따라 극성반전제어신호를 생성하고, 이를 상부 데이터 드라이브 집적회로들 및 슬레이브 모드인 타이밍 컨트롤러로 공급하며;

슬레이브 모드인 타이밍 컨트롤러는 마스터 모드인 타이밍 컨트롤러로부터 극성반전제어신호를 공급받고, 이 마스터 모드인 타이밍 컨트롤러의 제어에 따라 이 극성반전제어신호를 그대로 출력하거나 또는 이의 위상을 반전시켜 출력함을 특징으로 하는 액정표시장치.

명세서

기술분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 특히 화소의 충전속도를 향상시킬 수 있으며, 극성반전제어신호들간의 위상을 제어하여 화질을 향상시킬 수 있는 액정표시장치에 대한 것이다.

배경기술

[0002] 표시장치가 대형화됨에 따라 이 표시장치의 게이트 라인들 및 데이터 라인들의 길이도 상대적으로 증가하게 된다. 데이터 라인의 길이가 길어질 수록 이 데이터 라인의 저항 및 커패시터의 용량이 증가하기 때문에 데이터 드라이버의 출력단자로부터 멀리 위치한 데이터 라인 부분은 다른 부분에 비하여 상대적으로 왜곡이 큰 화소 전압을 공급받기 때문에 이 데이터 라인 부분에 접속된 화소의 충전율이 떨어질 수밖에 없다. 이로 인해 화질이 저하되는 문제점이 발생하였다.

발명의 내용

해결하려는 과제

[0003] 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출한 것으로, 데이터 라인들의 일측에 상부 데이터 드라이브 집적회로들로부터의 화소 전압들을 공급하고, 이 데이터 라인들의 타측에 하부 데이터 드라이브 집적회로들로부터의 화소 전압들을 공급함으로써 데이터 라인 및 화소의 충전속도를 높이고, 아울러 화상 데이터들의 특성에 따라 상부 데이터 드라이브 집적회로들로 공급되는 극성반전제어신호와 하부 데이터 드라이브 집적회로들로 공급되는 극성반전제어신호간의 위상을 조절함으로써 화질을 향상시킬 수 있는 액정표시장치를 제공하는데 그 목적이 있다.

과제의 해결 수단

[0004] 상술된 목적을 달성하기 위한 본 발명에 따른 액정표시장치는, 화상을 표시하기 위한 표시패널; 상기 표시패널의 데이터 라인들의 각 일측에 화소 전압들을 공급하는 다수의 상부 데이터 드라이브 집적회로들; 상기 데이터 라인들의 각 타측에 화소 전압들을 공급하는 다수의 하부 데이터 드라이브 집적회로들; 상기 상부 데이터 드라이브 집적회로들의 동작을 제어하기 위한 상부 데이터 제어신호를 생성하여 상기 상부 데이터 드라이브 집적회로들로 공급하는 제 1 타이밍 컨트롤러; 및, 상기 하부 데이터 드라이브 집적회로들의 동작을 제어하기 위한 하부 데이터 제어신호를 생성하여 상기 하부 데이터 드라이브 집적회로들로 공급하는 제 2 타이밍 컨트롤러를 포함하며; 상기 제 1 및 제 2 타이밍 컨트롤러들 중 적어도 하나가 자신에게 공급되는 화상 데이터들을 분석하여 상기 상부 데이터 드라이브 집적회로들 및 하부 데이터 드라이브 집적회로들로부터 출력될 화소 전압들의 극성을 제어함을 특징으로 한다.

[0005] 상기 제 1 타이밍 컨트롤러는 상부 데이터 드라이브 집적회로들로부터 출력될 화소 전압들의 극성을 제어하는

극성반전제어신호를 출력하여 상기 상부 데이터 드라이브 집적회로들로 공급하며; 상기 제 2 타이밍 콘트롤러는 하부 데이터 드라이브 집적회로들로부터 출력될 화소 전압들의 극성을 제어하는 극성반전제어신호를 출력하여 상기 하부 데이터 드라이브 집적회로들로 공급하며; 상기 제 1 타이밍 콘트롤러 및 제 2 타이밍 콘트롤러들 중 어느 하나는 마스터 모드로 구동되고, 나머지 다른 하나는 슬레이브 모드로 구동되며; 마스터 모드인 타이밍 콘트롤러는 자신에게 공급된 한 프레임의 화상 데이터들을 분석하고, 이 분석된 결과에 근거하여 자신으로부터 출력될 극성반전제어신호와 슬레이브 모드인 타이밍 콘트롤러로부터 출력될 극성반전제어신호를 선택함을 특징으로 한다.

[0006] 마스터 모드인 타이밍 콘트롤러는 슬레이브 모드인 타이밍 콘트롤러를 제어하여, 이 슬레이브 모드인 타이밍 콘트롤러가 마스터 모드인 타이밍 콘트롤러와 동일한 위상의 극성반전제어신호를 선택하도록 하거나 또는 반대의 위상의 극성반전제어신호를 선택하도록 하는 것을 특징으로 한다.

[0007] 상기 제 1 타이밍 콘트롤러는 상부 데이터 드라이브 집적회로들로부터 출력될 화소 전압들의 극성을 제어하는 극성반전제어신호를 출력하여 상부 데이터 드라이브 집적회로들로 공급함과 아울러, 하부 데이터 드라이브 집적회로들로부터 출력될 화소 전압들의 극성을 제어하는 극성반전제어신호를 출력하여 상기 하부 데이터 드라이브 집적회로들로 공급하며; 상기 제 1 타이밍 콘트롤러 및 제 2 타이밍 콘트롤러들 중 어느 하나는 마스터 모드로 구동되고, 나머지 다른 하나는 슬레이브 모드로 구동되며; 마스터 모드인 타이밍 콘트롤러는 자신에게 공급된 한 프레임의 화상 데이터들의 특성을 분석하고, 이 분석된 결과에 근거하여 상부 데이터 드라이브 집적회로들로 공급될 극성반전제어신호와 하부 데이터 드라이브 집적회로들로 공급될 극성반전제어신호를 함께 출력함을 특징으로 한다.

[0008] 상기 제 1 타이밍 콘트롤러는 상부 데이터 드라이브 집적회로들로부터 출력될 화소 전압들의 극성을 제어하는 극성반전제어신호를 출력하여 상기 상부 데이터 드라이브 집적회로들로 공급하며; 상기 제 2 타이밍 콘트롤러는 하부 데이터 드라이브 집적회로들로부터 출력될 화소 전압들의 극성을 제어하는 극성반전제어신호를 출력하여 상기 하부 데이터 드라이브 집적회로들로 공급하며; 상기 제 1 타이밍 콘트롤러 및 제 2 타이밍 콘트롤러들 중 어느 하나는 마스터 모드로 구동되고, 나머지 다른 하나는 슬레이브 모드로 구동되며; 마스터 모드인 타이밍 콘트롤러는 자신에게 공급된 한 프레임의 화상 데이터들의 특성을 분석하고, 이 분석된 결과에 따라 극성반전제어신호를 생성하고, 이를 상부 데이터 드라이브 집적회로들 및 슬레이브 모드인 타이밍 콘트롤러로 공급하며; 슬레이브 모드인 타이밍 콘트롤러는 마스터 모드인 타이밍 콘트롤러로부터 극성반전제어신호를 공급받고, 이 마스터 모드인 타이밍 콘트롤러의 제어에 따라 이 극성반전제어신호를 그대로 출력하거나 또는 이의 위상을 반전시켜 출력함을 특징으로 한다.

발명의 효과

[0009] 본 발명에 따른 액정표시장치는 다음과 같은 효과를 갖는다.

[0010] 첫째, 데이터 라인들의 양측에 동일한 화소 전압들을 공급함으로써 데이터 라인들 및 이에 접속된 화소들의 충전속도를 향상시킬 수 있다.

[0011] 둘째, 화상 데이터들의 특성에 따라 제 1 타이밍 콘트롤러와 제 2 타이밍 콘트롤러로부터 출력되는 극성반전제어신호들의 위상을 조절함으로써 화질을 향상시킬 수 있다.

도면의 간단한 설명

[0012] 도 1은 본 발명의 실시예에 따른 액정표시장치를 나타낸 도면

도 2는 상부 데이터 드라이버를 이용하여 하부 데이터 드라이버를 형성하는 과정을 나타낸 도면

도 3은 도 1의 상부 데이터 드라이브 집적회로들로 구성된 상부 데이터 드라이버의 상세 구성도

도 4는 타이밍 콘트롤러에 공급되는 읽기제어신호의 타이밍도를 나타낸 도면

도 5는 1도트 반전 방식의 화상을 나타낸 도면

도 6은 변종 수평 2도트 반전 방식의 화상을 나타낸 도면

도 7은 극성반전제어신호의 파형을 나타낸 도면

도 8은 도 5에 도시된 1도트 반전 방식의 화상을 표시하기 위한 극성반전제어신호들의 파형을 나타낸 도면

도 9는 도 6에 도시된 변종 2도트 반전 방식의 화상을 표시할 때 기수번째 수평기간에서 극성반전제어신호들의 파형을 나타낸 도면

도 10은 본 발명의 제 1 실시예에 따른 극성반전제어신호의 출력 방식을 나타낸 도면

도 11은 본 발명의 제 2 실시예에 따른 극성반전제어신호의 출력 방식을 나타낸 도면

도 12는 본 발명의 제 3 실시예에 따른 극성반전제어신호의 출력 방식을 나타낸 도면

발명을 실시하기 위한 구체적인 내용

- [0013] 도 1은 본 발명의 실시예에 따른 액정표시장치를 나타낸 도면이다.
- [0014] 본 발명의 실시예에 따른 액정표시장치는, 도 1에 도시된 바와 같이, 서로 교차하는 다수의 게이트 라인(GL)들 및 다수의 데이터 라인(DL)들에 의해 정의된 다수의 화소들을 갖는 표시패널(PN)과, 게이트 라인(GL)들을 순차적으로 구동하기 위한 스캔펄스들을 차례로 출력하는 다수의 게이트 드라이브 집적회로들(GD1 내지 GD_m)과, 표시패널(PN)의 데이터 라인(DL)들의 각 일측에 화소 전압들을 공급하는 다수의 상부 데이터 드라이브 집적회로들(UDD1 내지 UDD_n)과, 데이터 라인(DL)들의 각 타측에 화소 전압들을 공급하는 다수의 하부 데이터 드라이브 집적회로들(BDD1 내지 BDD_n)과, 상부 데이터 드라이브 집적회로들(UDD1 내지 UDD_n)의 동작을 제어하기 위한 상부 데이터 제어신호를 생성하여 상기 상부 데이터 드라이브 집적회로들(UDD1 내지 UDD_n)로 공급하는 제 1 타이밍 콘트롤러(TC1)와, 그리고 상기 하부 데이터 드라이브 집적회로들(BDD1 내지 BDD_n)의 동작을 제어하기 위한 하부 데이터 제어신호를 생성하여 상기 하부 데이터 드라이브 집적회로들(BDD1 내지 BDD_n)로 공급하는 제 2 타이밍 콘트롤러(TC2)를 포함한다.
- [0015] 여기서, 하부 데이터 드라이브 집적회로들(BDD1 내지 BDD_n)을 포함하는 하부 데이터 드라이버(BDD)는 상부 데이터 드라이브 집적회로들(UDD1 내지 UDD_n)을 이용하여 구성할 수 있다.
- [0016] 즉, 도 2는 상부 데이터 드라이버(UDD)를 이용하여 하부 데이터 드라이버(BDD1 내지 BDD_n)를 형성하는 과정을 나타낸 도면으로서, 상부 데이터 드라이버(UDD)를 180도 회전시키고 이를 표시패널(PN)의 하측에 부착함으로써 하부 데이터 드라이버(BDD)를 형성할 수 있다. 다시 말하여, 같은 종류의 두 개의 데이터 드라이버를 준비하고, 하나의 데이터 드라이버는 표시패널(PN)의 상측에 부착하여 상부 데이터 드라이버(UDD)를 형성하고, 나머지 하나의 데이터 드라이버를 180도 회전시켜 표시패널(PN)의 하측에 부착하여 하부 데이터 드라이버(BDD)를 형성할 수 있다.
- [0017] 도 3은 도 1의 상부 데이터 드라이브 집적회로들(UDD1 내지 UDD_n)로 구성된 상부 데이터 드라이버(DD)의 상세 구성도로서, 이 데이터 드라이버(DD)는 쉬프트 레지스터 어레이(101), 래치 어레이(102), MUX 어레이(103), 디지털/아날로그 변환기 어레이(104; 이하, DAC 어레이) 및 버퍼 어레이(105)를 포함한다.
- [0018] 쉬프트 레지스터 어레이(101)는 제 1 타이밍 콘트롤러(TC1)로부터의 소스스타트펄스를 소스쉬프트클럭에 따라 순차적으로 쉬프트시켜 샘플링 클럭을 발생한다.
- [0019] 래치 어레이(102)는 쉬프트 레지스터 어레이(101)로부터의 샘플링클럭에 응답하여 제 1 타이밍 콘트롤러(TC1)로부터 입력되는 화상 데이터들을 샘플링한 후에 샘플링된 1 수평라인분의 화상 데이터들을 래치한다. 그리고 래치 어레이(102)는 제 1 타이밍 콘트롤러(TC1)로부터의 소스출력인에이블신호(SOE)에 응답하여 래치된 1 수평라인분의 화상 데이터들을 동시에 출력한다.
- [0020] MUX 어레이(103)는 래치 어레이(102)로부터 공급되는 화상 데이터들을 수평기간 단위로 그대로 출력하거나 출력 라인을 하나씩 오른쪽으로 쉬프트시켜 출력하게 된다. 래치 어레이(102)로부터의 화상 데이터들이 기수 수평기간의 데이터인 경우에, MUX 어레이(103)는 래치 어레이(102)로부터 입력되는 1 수평라인분의 화상 데이터들을 그대로 출력하게 된다. 이와 달리, 래치 어레이(102)로부터의 화상 데이터들이 우수 수평기간의 데이터이면, MUX 어레이(103)는 래치 어레이(102)로부터 입력되는 1 수평라인분의 화상 데이터들을 우측의 출력라인으로 하나씩 쉬프트시켜 출력하게 된다.
- [0021] DAC 어레이(104)는 MUX 어레이(103)로부터 입력되는 화상 데이터들을 아날로그 값으로 디코딩하고, 디코딩된 아날로그값을 제 1 타이밍 콘트롤러(TC1)로부터의 극성반전제어신호(POL)에 응답하여 정극성 감마보상전압(GH)이나 부극성 감마보상전압(GL)을 선택하게 된다. 다시 말하여, DAC 어레이(104)는 MUX 어레이(103)로부터의 디지털 데이터를 정극성 감마보상전압(GH)이나 부극성 감마보상전압(GL)으로 변환한 다음, MUX 어레이(103)에 의해 출력라인이 쉬프트된 디지털 데이터를 부극성 감마보상전압(GL)이나 정극성 감마보상전압(GH)으로 변환하게 된

다.

- [0022] MUX 어레이(103)와 DAC 어레이(104)에 의해 매 수평기간마다 출력라인이 쉬프트되고 극성이 반전되는 데이터는 버퍼 어레이(105)를 통하여 각 데이터라인들(DL1 내지DLi)에 공급된다.
- [0023] 한편, 하부 데이터 드라이브 집적회로들(BDD1 내지 BDDn)로 구성된 하부 데이터 드라이버(DD) 역시 상술된 상부 데이터 드라이버(DD)와 동일한 구성을 갖는다. 단, 이 하부 데이터 드라이버(DD)는 제 1 타이밍 콘트롤러(TC1) 대신에 제 2 타이밍 콘트롤러(TC2)로부터의 제어를 받는다.
- [0024] 다수의 게이트 드라이브 집적회로들(GD1 내지 GDn)로 구성된 게이트 드라이버(GD)는 타이밍 콘트롤러로부터의 게이트스타트펄스(GSP), 게이트쉬프트클럭(GSC) 및 게이트출력인에이블(GOE)을 이용하여 게이트 라인(GL)들에 순차적으로 스캔펄스를 공급한다.
- [0025] 제 1 타이밍 콘트롤러(TC1)는 시스템(SYS)으로부터의 화상 데이터들을 재정렬하고 이들을 타이밍에 맞추어 상기 상부 데이터 드라이브 집적회로들(UDD1 내지 UDDn)로 공급하며, 상기 상부 데이터 드라이브 집적회로들(UDD1 내지 UDDn)은 상기 제 1 타이밍 콘트롤러(TC1)로부터의 화상 데이터들에 근거하여 상기 화소 전압들을 생성한다. 또한, 제 1 타이밍 콘트롤러(TC1)는 각각 시스템(SYS)으로부터 자신에게 입력되는 수평동기신호(Hsync), 수직동기신호(Vsync), 및 클럭신호(CLK)를 이용하여 상부 데이터 제어신호와 게이트 제어신호를 생성한다.
- [0026] 상부 데이터 제어신호는 도트클럭, 소스스타트펄스, 소스쉬프트클럭, 소스인에이블 및 극성반전제어신호(POL) 등을 포함한다. 그리고, 게이트 제어신호는 게이트 스타트 펄스(GSP), 게이트쉬프트클럭(GSC), 게이트출력인에이블(GOE) 등을 포함한다.
- [0027] 제 2 타이밍 콘트롤러(TC2)는 상기 시스템(SYS)으로부터의 화상 데이터들을 재정렬하고 이들을 타이밍에 맞추어 상기 하부 데이터 드라이브 집적회로들(BDD1 내지 BDDn)로 공급하며, 상기 하부 데이터 드라이브 집적회로들(BDD1 내지 BDDn)은 상기 제 2 타이밍 콘트롤러(TC2)로부터의 화상 데이터들에 근거하여 상기 화소 전압들을 생성한다. 또한, 제 2 타이밍 콘트롤러(TC2)는 각각 시스템(SYS)으로부터 자신에게 입력되는 수평동기신호(Hsync), 수직동기신호(Vsync), 및 클럭신호(CLK)를 이용하여 하부 데이터 제어신호와 게이트 제어신호를 생성한다.
- [0028] 하부 데이터 제어신호는 도트클럭, 소스스타트펄스, 소스쉬프트클럭, 소스인에이블 및 극성반전제어신호(POL) 등을 포함한다. 그리고, 게이트 제어신호는 게이트 스타트 펄스(GSP), 게이트쉬프트클럭(GSC), 게이트출력인에이블(GOE) 등을 포함한다.
- [0029] 제 1 타이밍 콘트롤러(TC1)는 상기 표시패널(PN)의 일측 가장자리에 위치한 상부 데이터 드라이브 집적회로부터 상기 표시패널(PN)의 타측 가장자리에 위치한 상부 데이터 드라이브 집적회로까지 순차적으로 화상 데이터들을 공급한다. 반면, 제 2 타이밍 콘트롤러(TC2)는 상기 표시패널(PN)의 타측 가장자리에 위치한 하부 데이터 드라이브 집적회로부터 상기 표시패널(PN)의 일측 가장자리에 위치한 하부 데이터 드라이브 집적회로까지 순차적으로 화상 데이터들을 공급한다. 예를 들어, 제 1 타이밍 콘트롤러(TC1)는 제 1 상부 데이터 드라이브 집적회로부터 제 n 상부 데이터 드라이브 집적회로까지 순차적으로 화상 데이터들을 공급하며, 제 2 타이밍 콘트롤러(TC2)는 제 1 하부 데이터 드라이브 집적회로부터 제 n 하부 데이터 드라이브 집적회로까지 순차적으로 화상 데이터들을 공급한다. 이때, 제 1 타이밍 콘트롤러(TC1)와 제 2 타이밍 콘트롤러(TC2)는 서로 반대의 순서로 화상 데이터들을 출력한다. 즉, 제 1 타이밍 콘트롤러(TC1)는 제 1 상부 데이터 드라이브 집적회로(UDD1)에 해당하는 화상 데이터들부터 제 n 상부 데이터 드라이브 집적회로(UDDn)에 해당하는 화상 데이터들까지 순차적으로 출력하며, 제 2 타이밍 콘트롤러(TC2)는 제 1 하부 데이터 드라이브 집적회로(BDD1)에 해당하는 화상 데이터들부터 제 n 하부 데이터 드라이브 집적회로(BDDn)에 해당하는 화상 데이터들까지 순차적으로 출력한다. 다른 실시예로서, 제 2 타이밍 콘트롤러(TC2)가 제 n 하부 데이터 드라이브 집적회로(BDDn)부터 제 1 하부 데이터 드라이브 집적회로(BDD1)까지 역순으로 구동하도록 하고, 이 제 2 타이밍 콘트롤러(TC2)가 제 1 타이밍 콘트롤러(TC1)와 동일한 순서로 화상 데이터들을 출력하도록 변경할 수도 있다
- [0030] 이때, 하나의 데이터 라인의 일측에 공급되는 화상 데이터와 이 하나의 데이터 라인의 타측에 공급되는 화상 데이터는 동일하다.
- [0031] 제 1 및 제 2 타이밍 콘트롤러(TC1, TC2)는 외부로부터의 모드제어신호에 따라 각각 마스터 모드(master mode) 및 슬레이브 모드(slave mode) 중 어느 하나의 모드로 동작한다.
- [0032] 구체적으로, 제 1 타이밍 콘트롤러(TC1)는 마스터 모드로 구동시, 상기 화상 데이터들 및 상부 데이터 제어신호

외에 상기 게이트 드라이브 집적회로들(GD1 내지 GDm)의 동작을 제어하기 위한 게이트 제어신호를 더 생성하여 상기 게이트 드라이브 집적회로들(GD1 내지 GDm)로 출력한다. 반면, 제 1 타이밍 콘트롤러(TC1)는 슬레이브 모드로 구동시, 상기 화상 데이터 및 상부 데이터 제어신호를 상기 상부 데이터 드라이브 집적회로들(UDD1 내지 UDDn)로 출력한다.

[0033] 마찬가지로 제 2 타이밍 콘트롤러(TC2)는 마스터 모드로 구동시, 상기 화상 데이터들 및 하부 데이터 제어신호 외에 상기 게이트 드라이브 집적회로들(GD1 내지 GDm)의 동작을 제어하기 위한 게이트 제어신호를 더 생성하여 상기 게이트 드라이브 집적회로들(GD1 내지 GDm)로 출력한다. 반면, 제 2 타이밍 콘트롤러(TC2)는 슬레이브 모드로 구동시, 상기 화상 데이터 및 하부 데이터 제어신호를 상기 하부 데이터 드라이브 집적회로들(BDD1 내지 BDDn)로 출력한다.

[0034] 다시 말하여, 제 1 및 제 2 타이밍 콘트롤러(TC1, TC2)는 마스터 모드로 구동시, 화상 데이터들, 데이터 제어신호 및 게이트 제어신호를 출력한다. 그러나, 슬레이브 모드로 구동시, 게이트 제어신호를 제외한 나머지 신호들, 즉 화상 데이터들 및 데이터 제어신호들을 출력한다.

[0035] 이때, 제 1 및 제 2 타이밍 콘트롤러(TC1, TC2)는 서로 상반된 모드로 구동된다. 즉, 제 1 타이밍 콘트롤러(TC1)가 마스터 모드로 구동시, 제 2 타이밍 콘트롤러(TC2)는 슬레이브 모드로 구동되며, 반대로 제 1 타이밍 콘트롤러(TC1)가 슬레이브 모드로 구동시 제 2 타이밍 콘트롤러(TC2)는 마스터 모드로 구동된다.

[0036] 제 1 타이밍 콘트롤러(TC1)와 제 2 타이밍 콘트롤러(TC2) 사이에는 적어도 하나의 통신 라인(CML)이 접속되어 있다. 이 통신 라인(CML)을 통해 제 1 타이밍 콘트롤러(TC1)와 제 2 타이밍 콘트롤러(TC2)가 서로 통신함으로써 제 1 및 제 2 타이밍 콘트롤러(TC1, TC2)간의 출력이 동기될 수 있다.

[0037] 즉, 마스터 모드의 타이밍 콘트롤러는 통신 라인(CML)을 통해 슬레이브 모드의 타이밍 콘트롤러의 일부 동작을 제어할 수 있다. 예를 들어, 마스터 모드의 타이밍 콘트롤러는 자신의 화소 전압들을 데이터 라인(DL)들로 출력하는 출력 타이밍을 제어함과 아울러, 상기 통신 라인(CML)을 통해 슬레이브 모드의 타이밍 콘트롤러의 화소 전압들을 상기 데이터 라인(DL)들로 출력하는 출력 타이밍을 제어한다. 이를 위해, 마스터 모드의 타이밍 콘트롤러는 슬레이브 모드의 타이밍 콘트롤러를 제어하여 이 두 타이밍 콘트롤러가 동시에 소스아웃풋인에이블을 상부 및 하부 데이터 드라이브 집적회로들(BDD1 내지 BDDn)로 공급하도록 한다.

[0038] 도 1은 제 1 타이밍 콘트롤러(TC1)가 마스터 모드로 구동되고, 제 2 타이밍 콘트롤러(TC2)가 슬레이브 모드로 구동되는 하나의 예를 나타낸 것으로, 반대로 제 1 타이밍 콘트롤러(TC1)가 슬레이브 모드로 구동되고, 제 2 타이밍 콘트롤러(TC2)가 마스터 모드로 구동될 수도 있다.

[0039] 또한, 본 발명의 실시예에 따른 액정표시장치는 제 1 및 제 2 타이밍 콘트롤러(TC1, TC2)로부터의 화상 데이터들을 보정하기 위한 각종 보정 데이터들이 저장된 메모리(MR)를 더 포함할 수 있다. 이때, 마스터 모드의 타이밍 콘트롤러가 상기 메모리(MR)로부터의 보정 데이터를 읽어들이는 읽기 시간과 슬레이브 모드의 타이밍 콘트롤러가 상기 메모리(MR)로부터의 보정 데이터를 읽어들이는 읽기 시간이 서로 다르다.

[0040] 메모리(MR)는 EEPROM(Electrically Erasable Programmable Read-Only Memory)이 사용될 수 있다.

[0041] 도 4는 타이밍 콘트롤러에 공급되는 읽기제어신호의 타이밍도를 나타낸 도면이다.

[0042] 도 4에 도시된 바와 같이, 타이밍 콘트롤러가 마스터 모드로 구동시, t1 기간 이후에 활성화되는 제 1 읽기제어신호(RS1)에 응답하여 t1 기간 이후부터 메모리(MR)로부터 보정 데이터를 읽어들인다. 반면, 이 타이밍 콘트롤러가 슬레이브 모드로 구성시, t2 기간 이후에 활성화되는 제 2 읽기제어신호(RS2)에 응답하여 t2 기간 이후부터 메모리(MR)로부터 보정 데이터를 읽어들인다. 예를 들어, 제 1 타이밍 콘트롤러(TC1)가 마스터 모드로 구동되고, 제 2 타이밍 콘트롤러(TC2)가 슬레이브 모드로 구동시 제 1 타이밍 콘트롤러(TC1)는 외부로부터 공급되는 제 1 읽기제어신호(RS1)에 응답하여 t1 기간 이후의 읽기기간동안 I^{2C} 통신 방식으로 메모리(MR)와 통신한다. 반면, 제 2 타이밍 콘트롤러(TC2)는 외부로부터 공급되는 제 2 읽기제어신호(RS2)에 응답하여 t2 기간 이후의 읽기기간동안 I^{2C} 통신 방식으로 메모리(MR)와 통신한다. 이때, 제 1 타이밍 콘트롤러(TC1)의 읽기기간과 제 2 타이밍 콘트롤러(TC2)의 읽기기간은 중첩되지 않는다. SCL은 소스클럭신호이고 SDA는 소스데이터신호이다. 제 1 및 제 2 타이밍 콘트롤러(TC1, TC2)는 소스클럭신호에 따라 메모리(MR)로부터 보정 데이터에 해당하는 소스데이터신호를 읽어들인다.

[0043] 다른 방식으로, 마스터 모드의 타이밍 콘트롤러가 자신이 상기 메모리(MR)로부터의 보정 데이터를 읽어들이는

읽기 시간을 제어함과 아울러, 상기 통신 라인(CML)을 통해 상기 슬레이브 모드의 타이밍 컨트롤러의 읽기 시간을 제어할 수도 있다.

- [0044] 한편, 도 4의 도면 reset은 리셋 신호로서, 이 리셋 신호(reset)가 로우에서 하이로 그 논리가 변화하는 순간 제 1 및 제 2 타이밍 컨트롤러(TC1, TC2)가 메모리(MR)를 읽기 위한 준비 상태가 된다.
- [0045] 한편, 한 프레임의 화상 데이터들의 특성에 따라 표시패널(PN)의 화면에 표시되는 화소들의 극성패턴이 다르게 나타난다. 여기서, 상술된 화상 데이터들의 특성이란 한 프레임의 화상 데이터들의 극성패턴을 의미한다. 즉, 한 화면의 전체 화소들에 공급된 화소 전압들의 극성패턴을 의미한다. 이 화소 전압들의 극성패턴에 따라 1도트 반전 방식으로 화상이 표시될 수 있으며, 또는 2도트 반전 방식으로 화상이 표시될 수 있다.
- [0046] 도 5는 1도트 반전 방식의 화상을 나타낸 도면으로서, 도 5에 도시된 바와 같이, 수평방향(X축 방향)으로 배열된 화소(PXL)들에 공급되는 화소 전압들은 1개 화소(PXL)단위로 극성이 반전됨과 아울러, 수직방향(Y축 방향)으로 배열된 화소(PXL)들에 공급되는 화소 전압들은 1개 화소(PXL)단위로 극성이 반전된다.
- [0047] 도 6은 변종 수평 2도트 반전 방식의 화상을 나타낸 도면으로서, 도 6에 도시된 바와 같이, 수평방향(X축 방향)으로 배열된 화소(PXL)들에 공급되는 화소 전압들은 2개 화소(PXL)단위로 극성이 반전된다. 이때, 기수번째 수평라인의 화소(PXL)들 중 양쪽 가장 좌외각에 위치한 두 개의 화소(PXL)들은 서로 동일한 극성의 화소 전압을 공급받는다. 반면, 수직방향(Y축 방향)으로 배열된 화소(PXL)들에 공급되는 화소 전압들은 1개 화소(PXL)단위로 극성이 반전되거나 또는 모두 동일한 극성을 갖는다. 예를 들어, 기수번째 수직라인의 화소(PXL)들에 공급되는 화소 전압들은 1개 화소(PXL)단위로 극성이 반전되며, 우수번째 수직라인의 화소(PXL)들에 공급되는 화소 전압들은 모두 동일한 극성을 갖는다.
- [0048] 도 5 및 도 6에 도시된 바와 같은 극성패턴을 화면에 정상적으로 표시하기 위해서는 제 1 및 제 2 타이밍 컨트롤러(TC1, TC2)로부터 출력되는 극성반전제어신호(POL)들이 동일한 위상을 갖거나 또는 반전된 위상을 가져야 한다.
- [0049] 도 7은 극성반전제어신호(POL)의 파형을 나타낸 도면이다.
- [0050] 제 1 및 제 2 타이밍 컨트롤러(TC1, TC2)로부터 출력되는 극성반전제어신호(POL)들은 도 7의 (a) 및 (b)에 도시된 파형들 중 어느 하나가 될 수 있다. 또는 제 1 타이밍 컨트롤러(TC1)로부터 출력된 극성반전제어신호(POL)와 제 2 타이밍 컨트롤러(TC2)로부터 출력된 극성반전제어신호(POL)가 서로 반대의 위상을 가질 수 있다. 예를 들어, 제 1 타이밍 컨트롤러(TC1)로부터 출력된 극성반전제어신호(POL)는 도 4의 (a)에 도시된 파형을 가질 수 있으며, 제 2 타이밍 컨트롤러(TC2)로부터 출력된 극성반전제어신호(POL)는 도 4의 (b)에 도시된 파형을 가질 수 있다.
- [0051] 도 5에 도시된 1도트 반전 방식의 화상을 표시하기 위해서는, 상부 데이터 드라이버(UDD)에 공급되는 극성반전제어신호(POL)와 하부 데이터 드라이버(BDD)에 공급되는 극성반전제어신호(POL)가 서로 반전된 위상을 가져야 한다. 이러한 이유를 구체적으로 설명하면 다음과 같다.
- [0052] 즉, 데이터 라인(DL)들은 항상 짝수로 설정되므로, 상부 데이터 드라이버(UDD)에 구비된 상부 데이터 드라이브 집적회로들(UDD1 내지 UDDn)의 총 출력핀들의 수 및 하부 데이터 드라이버(BDD)에 구비된 하부 데이터 드라이브 집적회로들(BDD1 내지 BDDn)의 총 출력핀들의 수 역시 모두 짝수로 설정된다. 따라서, 1도트 반전 방식으로 화상을 표시할 때 첫 번째 출력핀으로부터 출력된 화소 전압의 극성과 마지막 번째 출력핀으로부터 출력된 화소 전압의 극성은 항상 반대의 극성을 나타낸다. 이때, 도 2에 도시된 바와 같이, 하부 데이터 드라이버(BDD)는 상부 데이터 드라이버(UDD)를 180도 회전시킨 것이 사용되므로, 만약 상부 데이터 드라이버(UDD)와 하부 데이터 드라이버(BDD)에 모두 동일 위상을 갖는 극성반전제어신호(POL)들을 공급할 경우 상부 데이터 드라이버(UDD)로부터 출력되는 화소 전압들의 극성패턴과 하부 데이터 드라이버(BDD)로부터 출력되는 화소 전압들의 극성패턴이 일치하지 않게 되어 각 데이터 라인의 양측에 서로 다른 극성의 화소 전압이 인가되는 문제점이 발생할 수 있다. 예를 들어, 상부 데이터 드라이버(UDD)의 첫 번째 출력핀(도 1에서의 가장 좌측에 위치한 출력핀)과 하부 데이터 드라이버(BDD)의 마지막 번째 출력핀(도 1에서의 가장 좌측에 위치한 출력핀)은 첫 번째 데이터 라인의 양측에 접속되는 바, 상부 데이터 드라이버(UDD)의 첫 번째 출력핀으로부터 정극성의 화소 전압이 출력된다면 하부 데이터 드라이버(BDD)의 마지막 번째 출력핀으로부터는 부극성의 화소 전압이 출력된다. 이는 하부 데이터 드라이버(BDD)의 마지막 번째 출력핀의 출력이 상부 데이터 드라이버(UDD)의 마지막 번째 출력핀의 출력과 동일하기 때문이다.
- [0053] 이러한 이유로, 도 5에 도시된 1도트 반전 방식의 화상을 표시하기 위해서는, 상부 데이터 드라이버(UDD)에 공

급되는 극성반전제어신호(POL)와 하부 데이터 드라이버(BDD)에 공급되는 극성반전제어신호(POL)가 서로 반전된 위상을 가져야 한다.

[0054] 즉, 도 8은 도 5에 도시된 1도트 반전 방식의 화상을 표시하기 위한 극성반전제어신호(POL)들의 파형을 나타낸 것으로, 상부 데이터 드라이버(UDD)에는 도 7의 (a)에 도시된 극성반전제어신호(POL)가 인가되는 반면, 하부 데이터 드라이버(BDD)에는 도 7의 (b)에 도시된 극성반전제어신호(POL)가 인가됨을 알 수 있다. 이에 따라 상부 데이터 드라이버(UDD)로부터 출력되는 화소 전압들의 극성패턴과 하부 데이터 드라이버(BDD)로부터 출력되는 화소 전압들의 극성패턴이 일치함을 알 수 있다.

[0055] 한편, 도 6에 도시된 변종 2도트 반전 방식의 화상을 표시하기 위해서는, 상부 데이터 드라이버(UDD)에 공급되는 극성반전제어신호(POL)와 하부 데이터 드라이버(BDD)에 공급되는 극성반전제어신호(POL)가 기수번째 수평기간에는 동일한 위상으로 유지되고, 우수번째 수평기간에는 상반된 위상으로 유지되어야 한다.

[0056] 즉, 상술된 바와 같이, 데이터 라인들은 항상 짝수로 설정되므로, 상부 데이터 드라이버(UDD)에 구비된 상부 데이터 드라이브 집적회로들(UDD1 내지 UDDn)의 총 출력핀들의 수 및 하부 데이터 드라이버(BDD)에 구비된 하부 데이터 드라이브 집적회로들(BDD1 내지 BDDn)의 총 출력핀들의 수 역시 모두 짝수로 설정된다. 따라서, 변종 2도트 반전 방식으로 화상을 표시할 때, 기수번째 수평기간에서의 첫 번째 출력핀으로부터 출력된 화소 전압의 극성과 마지막 번째 출력핀으로부터 출력된 화소 전압의 극성은 항상 동일한 극성을 갖는 반면, 우수번째 수평기간에서의 첫 번째 출력핀으로부터 출력된 화소 전압의 극성과 마지막 번째 출력핀으로부터 출력된 화소 전압의 극성은 항상 반대의 극성을 나타낸다.

[0057] 즉, 도 9는 도 6에 도시된 변종 2도트 반전 방식의 화상을 표시할 때 기수번째 수평기간에서 극성반전제어신호(POL)들의 파형을 나타낸 것으로, 상부 데이터 드라이버(UDD) 및 하부 데이터 드라이버(BDD) 모두 도 7의 (a)에 도시된 극성반전제어신호(POL)가 인가됨을 알 수 있다. 한편, 도시하지 않았지만, 도 6에 도시된 변종 2도트 반전 방식의 화상을 표시할 때 우수번째 수평기간에서의 상부 데이터 드라이버(UDD)에 공급되는 극성반전제어신호(POL)와 하부 데이터 드라이버(BDD)에 공급되는 극성반전제어신호(POL)는 상반된 위상을 갖는다.

[0058] 한편, 도 6의 2도트 반전 방식에 사용되는 극성반전제어신호(POL)의 하이구간 및 로우구간은, 도 5의 1도트 반전 방식에 사용되는 극성반전제어신호(POL)의 하이구간 및 로우구간보다 더 긴 길이를 갖도록 설정될 수 있다.

[0059] 상술된 바와 같이 본 발명에서는 화상 데이터들의 특성에 따라 극성반전제어신호(POL)의 형태를 제어하는 바, 이를 위해 본 발명에서의 제 1 및 제 2 타이밍 컨트롤러(TC1, TC2)들 중 적어도 하나는 자신에게 공급되는 화상 데이터들(예를 들어 한 프레임의 화상 데이터들)을 분석하여 상부 데이터 드라이브 집적회로들(UDD1 내지 UDDn) 및 하부 데이터 드라이브 집적회로들(BDD1 내지 BDDn)로부터 출력될 화소 전압들의 극성을 제어한다. 이를 위해, 적어도 하나의 타이밍 컨트롤러가 자신에게 공급되는 화상 데이터들을 분석하고, 이 분석된 결과에 따라 상부 데이터 드라이브 집적회로들(UDD1 내지 UDDn)로부터 출력될 화소 전압들의 극성을 제어하는 극성반전제어신호(POL) 및 하부 데이터 드라이브 집적회로들(BDD1 내지 BDDn)로부터 출력될 화소 전압들의 극성을 제어하는 극성반전제어신호(POL)를 출력한다. 이 극성반전제어신호(POL)들 상부 데이터 드라이브 집적회로들(UDD1 내지 UDDn) 및 하부 데이터 드라이브 집적회로들(BDD1 내지 BDDn)로 공급된다.

[0060] 이를 좀 더 구체적으로 설명하면 다음과 같다.

[0061] 도 10은 본 발명의 제 1 실시예에 따른 극성반전제어신호(POL)의 출력 방식을 나타낸 도면이다.

[0062] 본 발명의 제 1 실시예에 따르면, 두 개의 타이밍 컨트롤러들은 개별적으로 극성반전제어신호(POL)를 출력한다. 구체적으로, 제 1 타이밍 컨트롤러(TC1)는 자신에게 공급된 화상 데이터들(예를 들어 한 프레임의 화상 데이터들)의 특성을 분석하고, 이 분석된 결과에 근거하여 극성반전제어신호(POL)를 생성한다. 이 제 1 타이밍 컨트롤러(TC1)로부터 출력된 극성반전제어신호(POL)는 상부 데이터 드라이브 집적회로들(UDD1 내지 UDDn)로 공급된다.

[0063] 제 2 타이밍 컨트롤러(TC2) 역시 자신에게 공급된 화상 데이터들(예를 들어 한 프레임의 화상 데이터들)의 특성을 분석하고, 이 분석된 결과에 근거하여 극성반전제어신호(POL)를 생성한다. 이 제 2 타이밍 컨트롤러(TC2)로부터 출력된 극성반전제어신호(POL)는 하부 데이터 드라이브 집적회로들(BDD1 내지 BDDn)로 공급된다.

[0064] 여기서, 이 제 1 및 제 2 타이밍 컨트롤러(TC1, TC2)에 공급되는 화상 데이터들은 동일한 화상 데이터들이다.

[0065] 이때, 제 1 및 제 2 타이밍 컨트롤러(TC1, TC2)는 이들의 모드에 따라 아래와 같이 서로 다르게 동작한다.

[0066] 예를 들어, 도 10에 도시된 바와 같이, 제 1 타이밍 컨트롤러(TC1)가 마스터 모드로 구동되고 제 2 타이밍 콘

롤러(TC2)가 슬레이브 모드로 구동될 때, 제 2 타이밍 콘트롤러(TC2)로부터 출력될 극성반전제어신호(POL)의 형태는 마스터 모드인 제 1 타이밍 콘트롤러(TC1)에 의해 제어될 수 있다. 이와 같은 경우, 마스터 모드인 제 1 타이밍 콘트롤러(TC1)는 자신에게 공급된 화상 데이터들을 분석하고, 이 분석된 결과에 근거하여 자신으로부터 출력될 극성반전제어신호(POL)와 제 2 타이밍 콘트롤러(TC2)로부터 출력될 극성반전제어신호(POL)를 선택한다. 즉, 마스터 모드인 제 1 타이밍 콘트롤러(TC1)는 제 2 타이밍 콘트롤러(TC2)가 자신으로부터 출력될 극성반전제어신호(POL)와 동일한 극성반전제어신호(POL)를 선택하도록 제 2 타이밍 콘트롤러(TC2)를 제어하거나 또는 자신으로부터 출력될 극성반전제어신호(POL)와 반전된 위상을 갖는 극성반전제어신호(POL)를 선택하도록 제 2 타이밍 콘트롤러(TC2)를 제어할 수 있다. 이때, 제 2 타이밍 콘트롤러(TC2)는 자신에게 공급된 화상 데이터들의 특성을 분석하지 않는다.

[0067] 한편, 제 2 타이밍 콘트롤러(TC2)가 마스터 모드이고, 제 1 타이밍 콘트롤러(TC1)가 슬레이브 모드인 경우에, 마스터 모드인 제 2 타이밍 콘트롤러(TC2)는 자신에게 공급된 화상 데이터들을 분석하고, 이 분석된 결과에 근거하여 자신으로부터 출력될 극성반전제어신호(POL)와 제 1 타이밍 콘트롤러(TC1)로부터 출력될 극성반전제어신호(POL)를 선택한다. 이때, 제 1 타이밍 콘트롤러(TC1)는 자신에게 공급된 화상 데이터들의 특성을 분석하지 않는다.

[0068] 도 11은 본 발명의 제 2 실시예에 따른 극성반전제어신호(POL)의 출력 방식을 나타낸 도면이다.

[0069] 본 발명의 제 2 실시예에 따르면, 두 개의 타이밍 콘트롤러들 중 어느 하나가 두 개의 극성반전제어신호(POL)들을 출력하고, 나머지 하나의 타이밍 콘트롤러는 극성반전제어신호(POL)를 출력하지 않는다. 하나의 타이밍 콘트롤러로부터 출력된 극성반전제어신호(POL)들 중 하나는 상부 데이터 드라이브 집적회로들(UDD1 내지 UDDn)로 공급되며, 나머지 하나의 극성반전제어신호(POL)는 하부 데이터 드라이브 집적회로들(BDD1 내지 BDDn)로 공급된다.

[0070] 예를 들어, 도 11에 도시된 바와 같이, 제 1 타이밍 콘트롤러(TC1)가 마스터 모드로 구동되고 제 2 타이밍 콘트롤러(TC2)가 슬레이브 모드로 구동될 때, 마스터 모드인 제 1 타이밍 콘트롤러(TC1)는 자신에게 공급된 화상 데이터들(예를 들어 한 프레임의 화상 데이터들)의 특성을 분석하고, 이 분석된 결과에 근거하여 상부 데이터 드라이브 집적회로들(UDD1 내지 UDDn)로 공급될 극성반전제어신호(POL)와 하부 데이터 드라이브 집적회로들(BDD1 내지 BDDn)로 공급될 극성반전제어신호(POL)를 함께 출력한다.

[0071] 반면, 제 2 타이밍 콘트롤러(TC2)가 마스터 모드로 구동되고 제 1 타이밍 콘트롤러(TC1)가 슬레이브 모드로 구동될 때, 마스터 모드인 제 2 타이밍 콘트롤러(TC2)는 자신에게 공급된 화상 데이터들(예를 들어 한 프레임의 화상 데이터들)의 특성을 분석하고, 이 분석된 결과에 근거하여 하부 데이터 드라이브 집적회로들(BDD1 내지 BDDn)로 공급될 극성반전제어신호(POL)와 상부 데이터 드라이브 집적회로들(UDD1 내지 UDDn)로 공급될 극성반전제어신호(POL)를 함께 출력한다. 이때, 제 1 타이밍 콘트롤러(TC1)는 자신에게 공급된 화상 데이터들의 특성을 분석하지 않는다.

[0072] 도 12는 본 발명의 제 3 실시예에 따른 극성반전제어신호(POL)의 출력 방식을 나타낸 도면이다.

[0073] 본 발명의 제 3 실시예에 따르면, 두 개의 타이밍 콘트롤러들 중 어느 하나는 개별적으로 극성반전제어신호(POL)를 생성하여 출력하는 반면, 나머지 하나의 타이밍 콘트롤러는 상술된 어느 하나의 타이밍 콘트롤러로부터 출력된 극성반전제어신호(POL)를 공급받아 이를 그대로 출력하거나 또는 이의 위상을 반전시켜 출력한다.

[0074] 예를 들어, 도 12에 도시된 바와 같이, 제 1 타이밍 콘트롤러(TC1)가 마스터 모드로 구동되고 제 2 타이밍 콘트롤러(TC2)가 슬레이브 모드로 구동될 때, 마스터 모드인 제 1 타이밍 콘트롤러(TC1)는 자신에게 공급된 화상 데이터들(예를 들어 한 프레임의 화상 데이터들)의 특성을 분석하고, 이 분석된 결과에 따라 극성반전제어신호(POL)를 생성하고, 이를 상부 데이터 드라이브 집적회로들(UDD1 내지 UDDn) 및 제 2 타이밍 콘트롤러(TC2)로 공급한다. 제 2 타이밍 콘트롤러(TC2)는 제 1 타이밍 콘트롤러(TC1)로부터 극성반전제어신호(POL)를 공급받고, 이 제 1 타이밍 콘트롤러(TC1)의 제어에 따라 이 극성반전제어신호(POL)를 그대로 출력하거나 또는 이의 위상을 반전시켜 출력한다. 이 제 2 타이밍 콘트롤러(TC2)로부터 출력된 극성반전제어신호(POL)는 하부 데이터 드라이브 집적회로들(BDD1 내지 BDDn)로 공급된다. 이때, 제 2 타이밍 콘트롤러(TC2)는 자신에게 공급된 화상 데이터들의 특성을 분석하지 않는다.

[0075] 반면, 제 2 타이밍 콘트롤러(TC2)가 마스터 모드로 구동되고 제 1 타이밍 콘트롤러(TC1)가 슬레이브 모드로 구동될 때, 마스터 모드인 제 2 타이밍 콘트롤러(TC2)는 자신에게 공급된 화상 데이터들(예를 들어 한 프레임의 화상 데이터들)의 특성을 분석하고, 이 분석된 결과에 따라 극성반전제어신호(POL)를 생성하고, 이를 하부 데이

터 드라이브 집적회로들(BDD1 내지 BDDn) 및 제 1 타이밍 콘트롤러(TC1)로 공급한다. 제 1 타이밍 콘트롤러(TC1)는 제 2 타이밍 콘트롤러(TC2)로부터 극성반전제어신호(POL)를 공급받고, 이 제 2 타이밍 콘트롤러(TC2)의 제어에 따라 이 극성반전제어신호(POL)를 그대로 출력하거나 또는 이의 위상을 반전시켜 출력한다. 이 제 1 타이밍 콘트롤러(TC1)로부터 출력된 극성반전제어신호(POL)는 상부 데이터 드라이브 집적회로들(UDD1 내지 UDDn)로 공급된다. 이때, 제 1 타이밍 콘트롤러(TC1)는 자신에게 공급된 화상 데이터들의 특성을 분석하지 않는다.

[0076] 제 3 실시예에 따르면, 두 개의 타이밍 콘트롤러가 독립적으로 극성반전제어신호를 생성하지 않고, 하나의 타이밍 콘트롤러로부터 출력된 극성반전제어신호(POL)를 이용하여 나머지 하나의 타이밍 콘트롤러로부터 출력될 극성반전제어신호(POL)를 생성하므로 독립적으로 극성반전제어신호(POL)들을 생성할 때 발생될 수 있는 극성반전제어신호(POL)들간의 동기화 문제를 해결할 수 있다.

[0077] 도 10 내지 도 12에서 설명된 극성반전제어신호(POL)의 출력 방식은 도 5에 도시된 1도트 반전 방식 및 도 6에 도시된 변종 2도트 반전 방식의 화상을 표시할 때 적용될 수 있다.

[0078] 한편, 상술된 도 10 내지 도 12에서 설명된 극성반전제어신호(POL)의 출력 방식은 극성반전제어신호가 화상 데이터에 내재되어 함께 전송되는 인터페이스방식에도 적용될 수 있다.

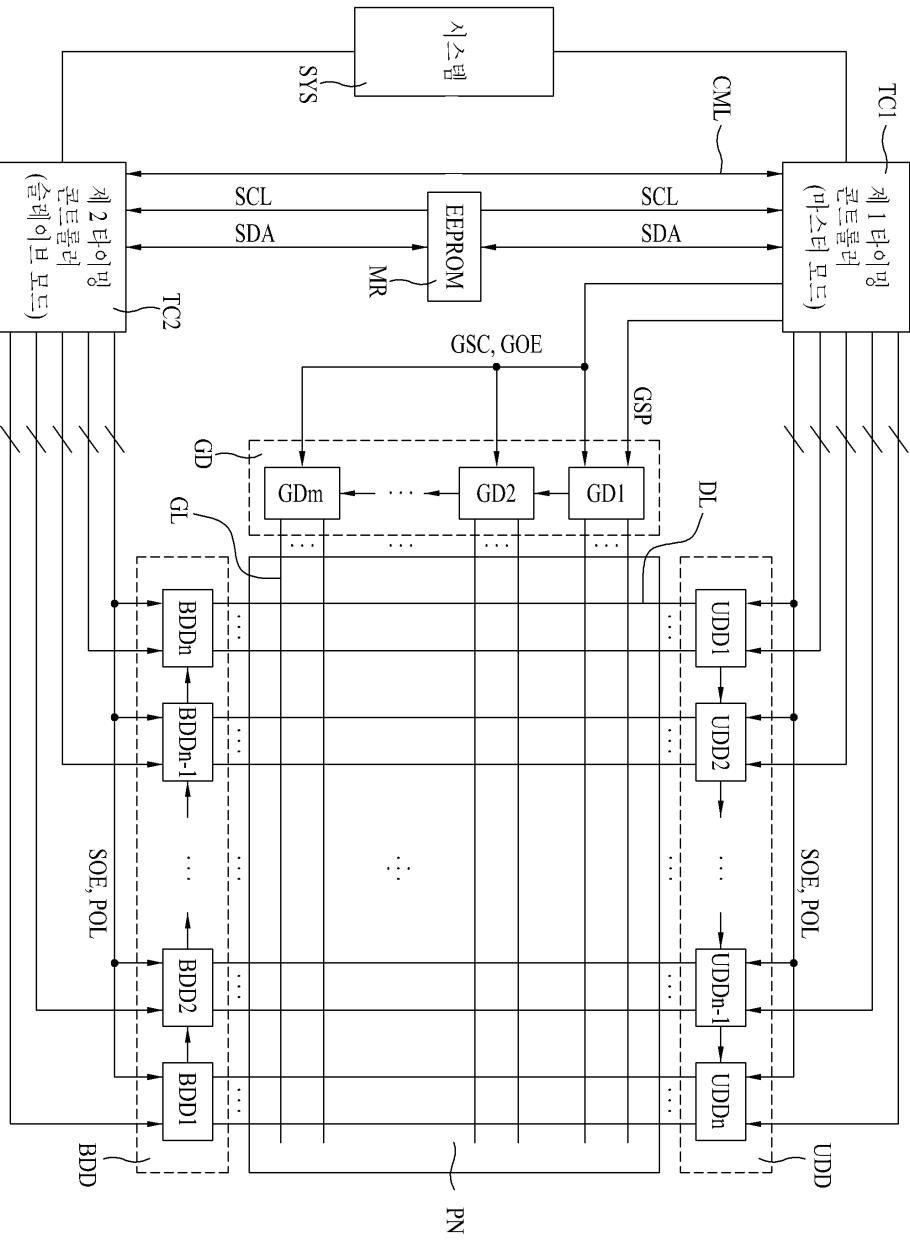
[0079] 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

부호의 설명

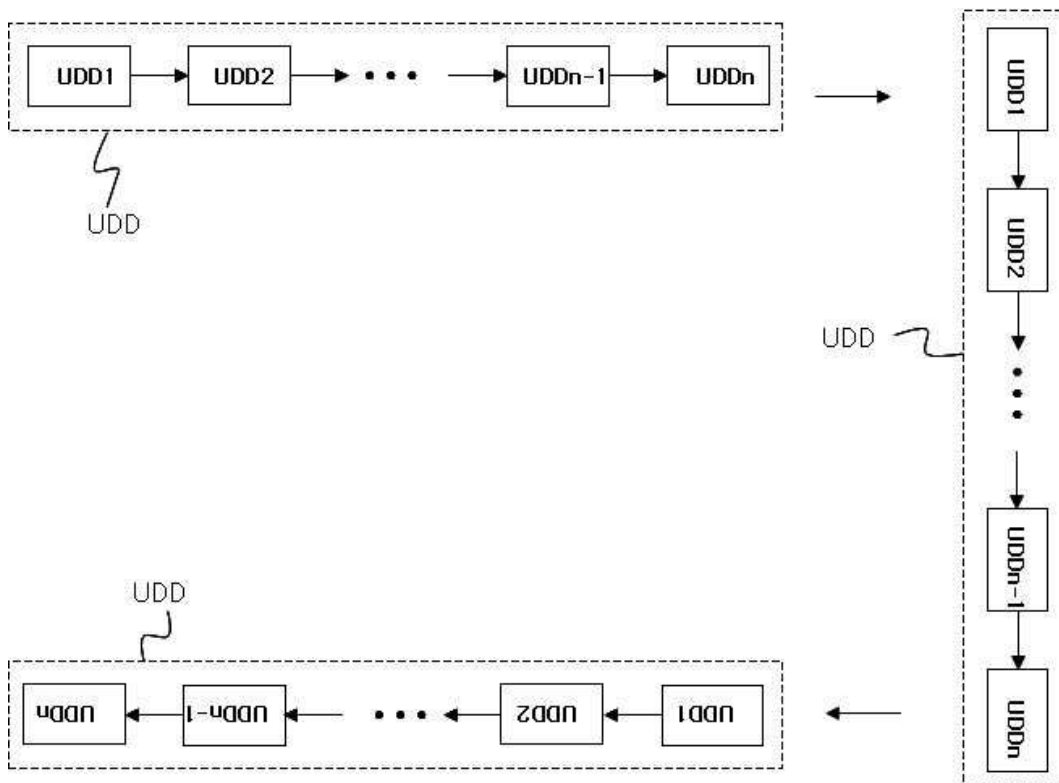
[0080] TC1: 제 1 타이밍 콘트롤러
TC2: 제 2 타이밍 콘트롤러
UDD: 상부 데이터 드라이버
BDD: 하부 데이터 드라이버
UDD1 내지 UDDn: 상부 데이터 드라이브 집적회로들
BDD1 내지 BDDn: 하부 데이터 드라이브 집적회로들

도면

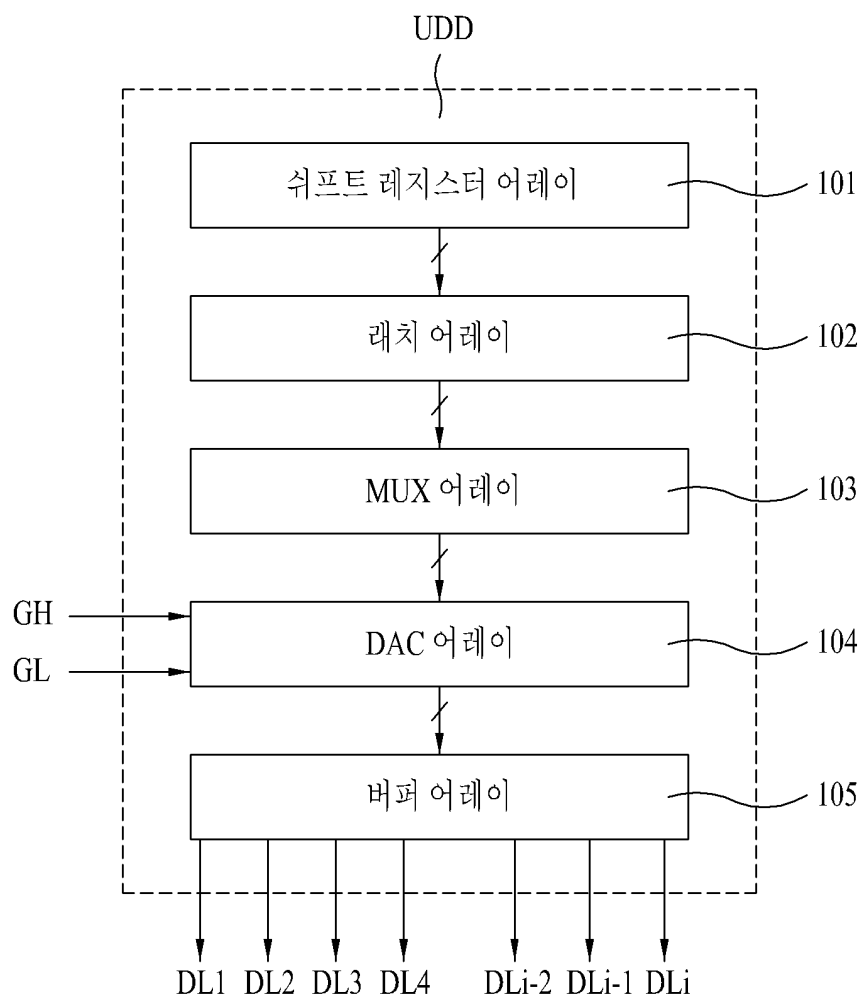
도면1



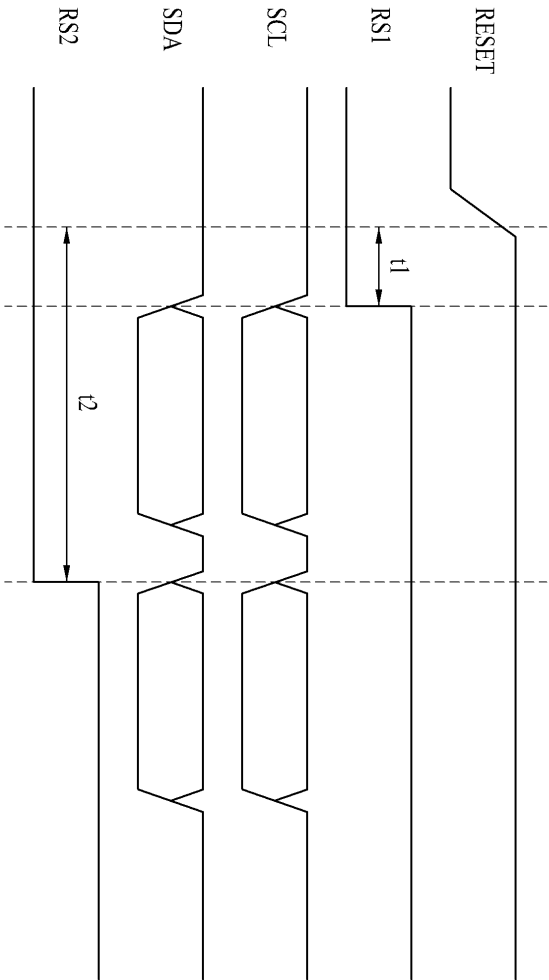
도면2



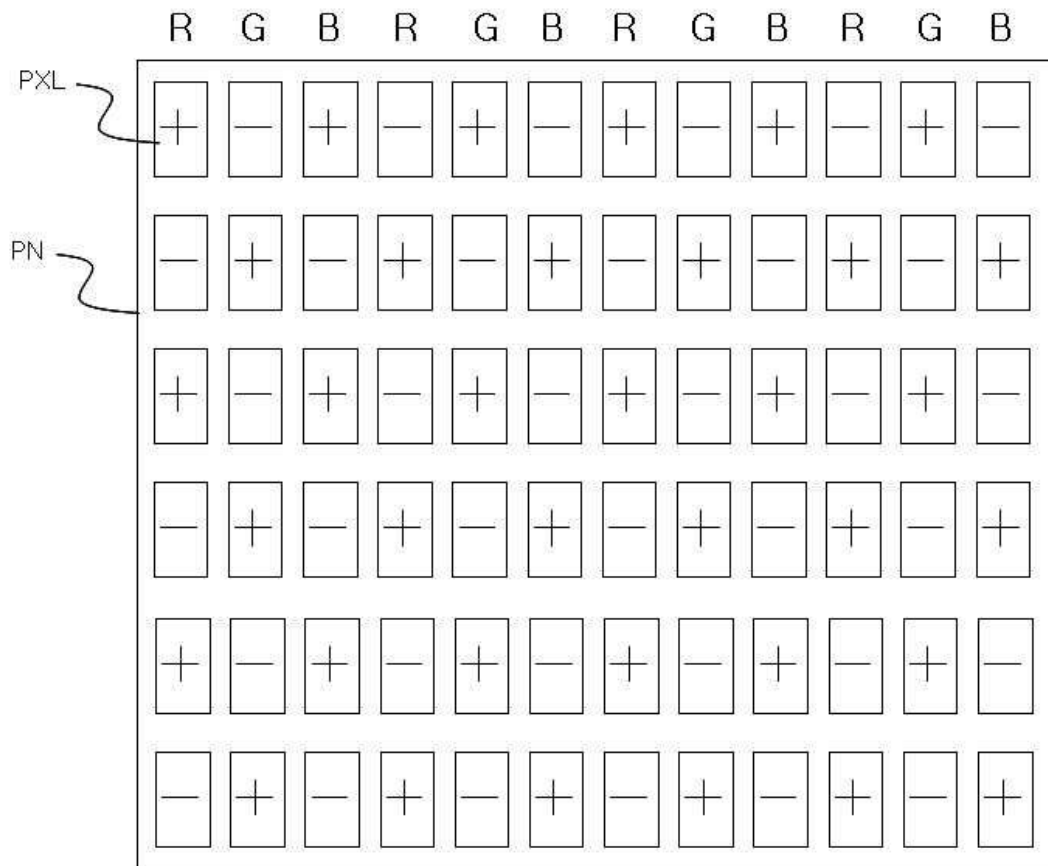
도면3



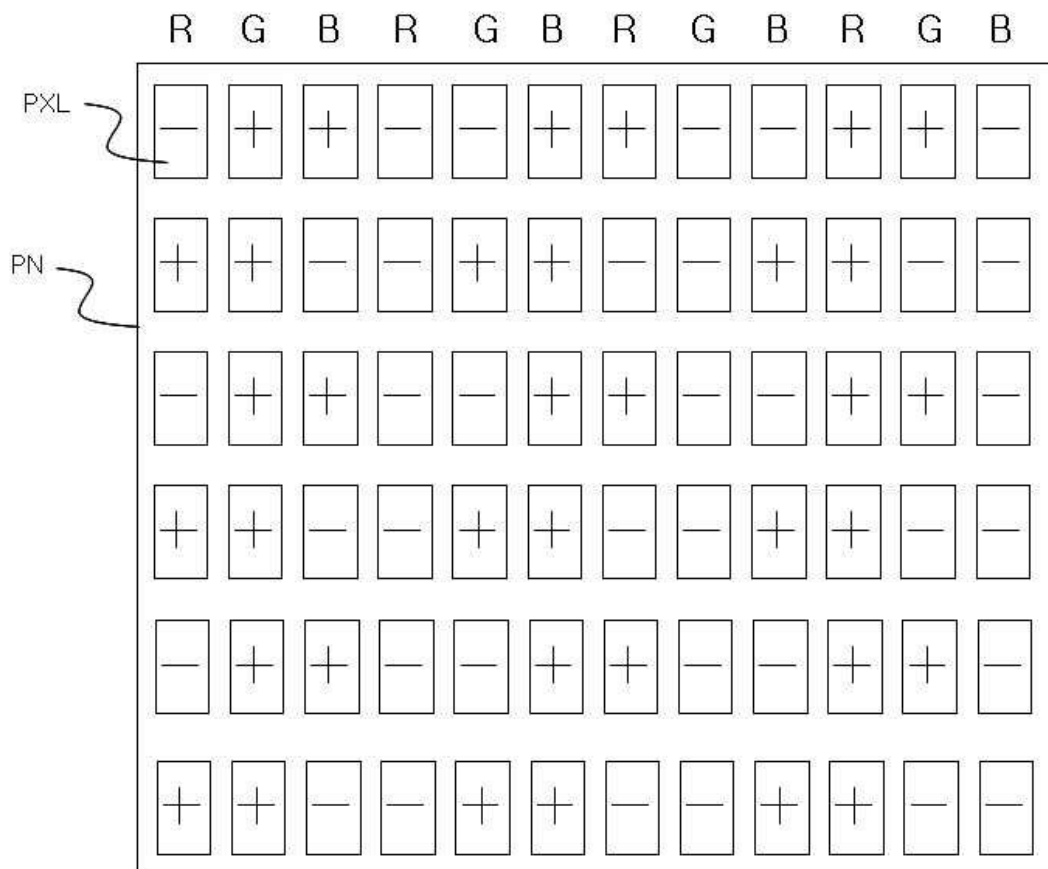
도면4



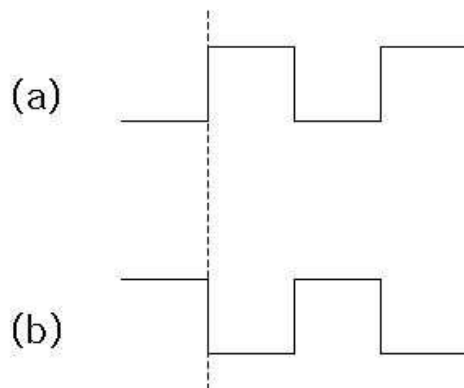
도면5



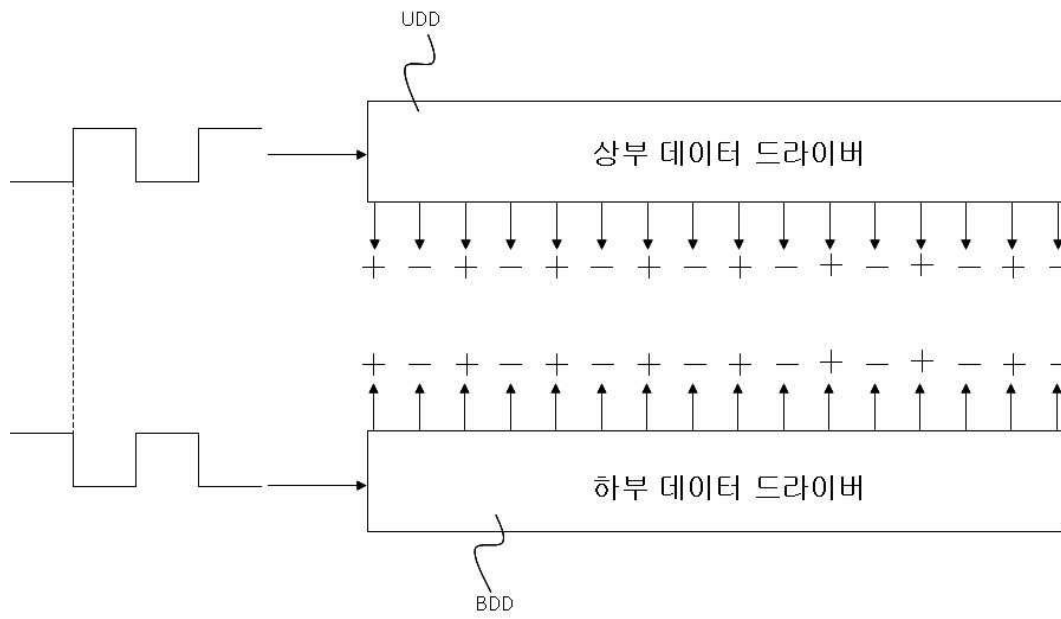
도면6



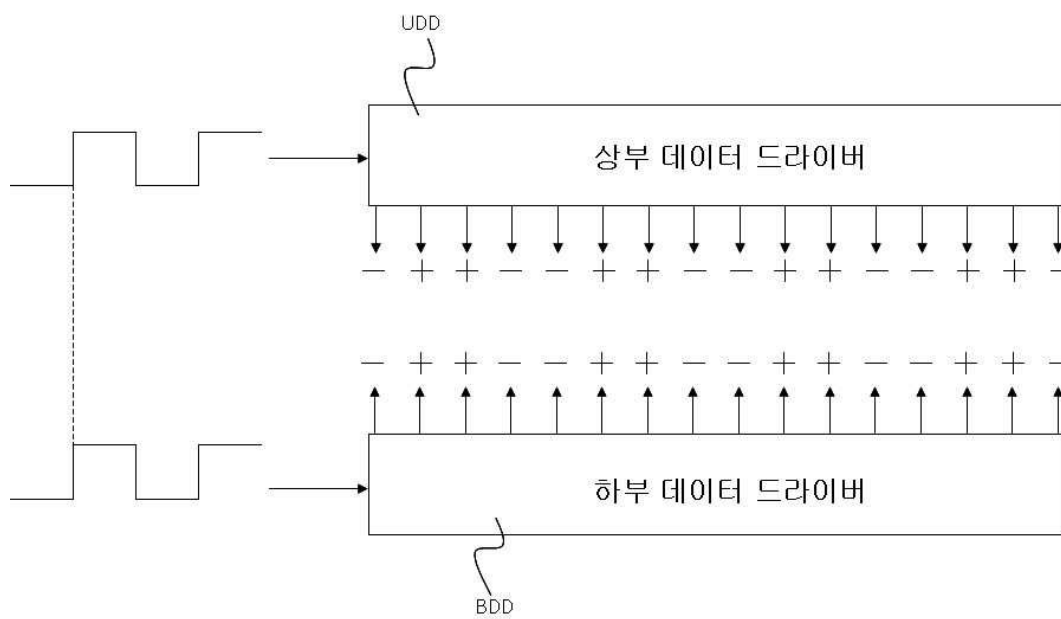
도면7



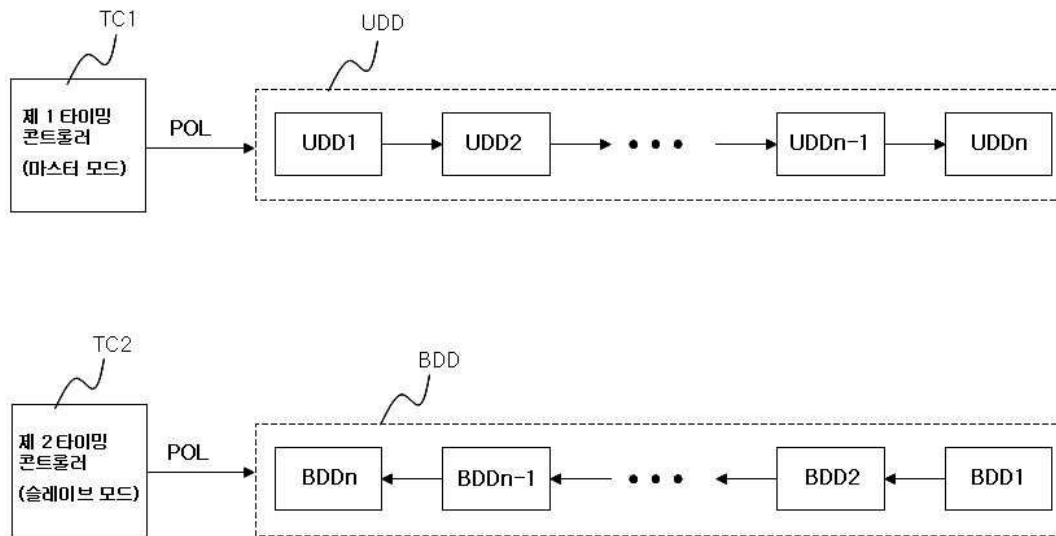
도면8



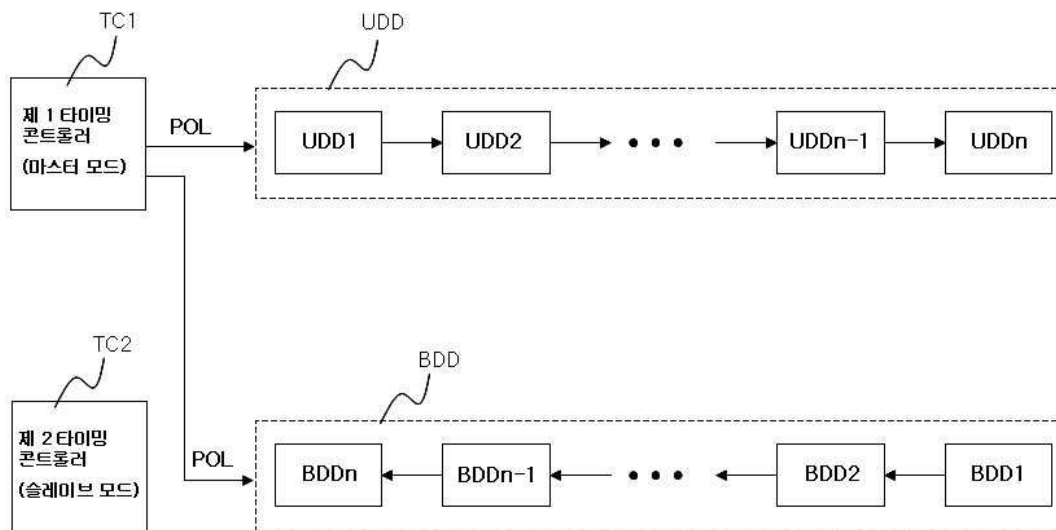
도면9



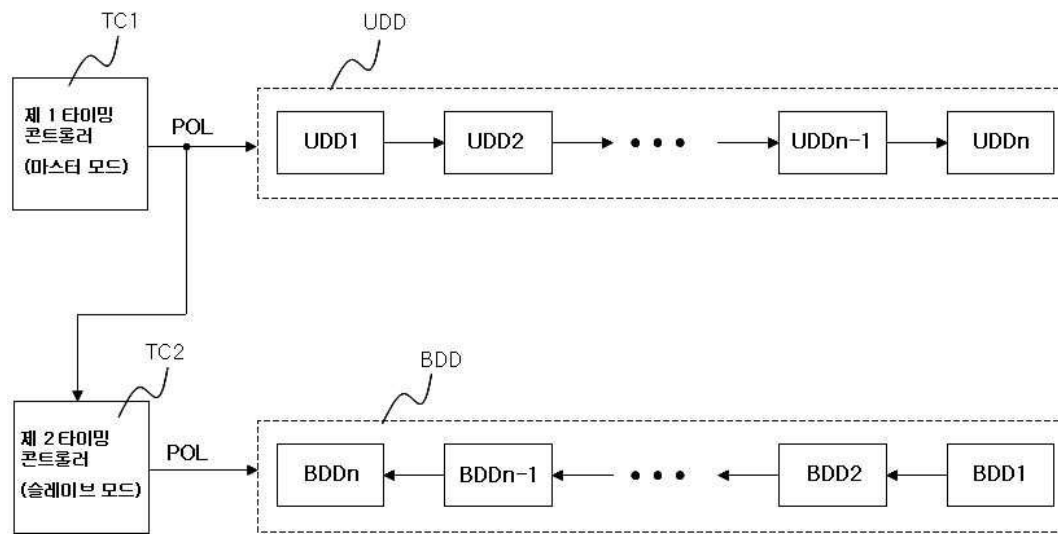
도면10



도면11



도면12



专利名称(译)	液晶显示器		
公开(公告)号	KR101329970B1	公开(公告)日	2013-11-13
申请号	KR1020100126927	申请日	2010-12-13
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM MIN KYU 김민규 KIM YOUNG HO 김영호 KOO SUNG JO 구성조		
发明人	김민규 김영호 구성조		
IPC分类号	G02F1/133 G09G3/36		
CPC分类号	G09G3/3614 G09G3/3688 G09G2310/0283 G09G2310/0286		
代理人(译)	Gimyongin Bakyounbok		
其他公开文献	KR1020120065673A		
外部链接	Espacenet		

摘要(译)

液晶显示装置技术领域本发明涉及一种液晶显示装置，其能够提高像素的充电速度并控制极性反转控制信号之间的相位以改善图像质量。多个上数据驱动IC，向显示面板的数据线的每一侧提供像素电压；多个下数据驱动IC，用于向各数据线提供像素电压；第一时序控制器，用于产生上数据控制信号，用于控制上数据驱动IC的操作并将上数据控制信号提供给上数据驱动IC；第二定时控制器，用于产生较低数据控制信号，用于控制较低数据驱动IC的操作，并将较低数据控制信号提供给较低数据驱动IC；第一和第二定时控制器中的至少一个分析向其提供的图像数据，并控制从上部数据驱动IC和下部数据驱动IC输出的像素电压的极性。。 专利 10-1329970

