



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0082774

(43) 공개일자 2015년07월16일

(51) 국제특허분류(Int. Cl.)

G09G 3/36 (2006.01) G02F 1/133 (2006.01)

(21) 출원번호 10-2014-0002148

(22) 출원일자 2014년01월08일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

박수형

경기도 용인시 기흥구 삼성2로 95 (농서동)

서지명

경기도 용인시 기흥구 삼성2로 95 (농서동)

(뒷면에 계속)

(74) 대리인

강신섭, 문용호, 이용우

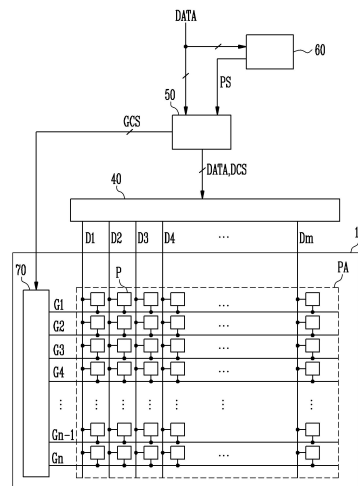
전체 청구항 수 : 총 24 항

(54) 발명의 명칭 액정표시장치와 그 구동방법

(57) 요약

본 발명의 실시 예는 액정표시장치와 그 구동방법에 관한 것이다. 본 발명의 실시 예에 따른 게이트 구동부는 데이터 라인들과 게이트 라인들의 교차 영역에 매트릭스 형태로 배치된 화소들을 포함하는 표시패널; 게이트 라인들에 게이트 펄스들을 공급하는 게이트 구동부; 상기 데이터 라인들에 데이터 전압들을 공급하는 데이터 구동부; 및 상기 게이트 구동부와 상기 데이터 구동부의 동작 타이밍을 제어하는 타이밍 제어부를 구비하고, 상기 타이밍 제어부는 상기 게이트 구동부에 복수의 게이트 출력 인에이블 신호를 출력하며, 상기 게이트 구동부는 상기 복수의 게이트 출력 인에이블 신호 중 제1 게이트 출력 인에이블 신호에 따라 기수 게이트 라인들에 게이트 펄스를 출력하고, 상기 복수의 게이트 출력 인에이블 신호 중 제2 게이트 출력 인에이블 신호에 따라 우수 게이트 라인들에 게이트 펄스를 출력하는 것을 특징으로 한다.

대표도 - 도13



(72) 발명자

정호용

경기도 용인시 기흥구 삼성2로 95 (농서동)

이은호

경기도 용인시 기흥구 삼성2로 95 (농서동)

박철우

경기도 용인시 기흥구 삼성2로 95 (농서동)

명세서

청구범위

청구항 1

데이터 라인들과 게이트 라인들의 교차 영역에 매트릭스 형태로 배치된 화소들을 포함하는 표시패널;
 게이트 라인들에 게이트 펄스들을 공급하는 게이트 구동부;
 상기 데이터 라인들에 데이터 전압들을 공급하는 데이터 구동부; 및
 상기 게이트 구동부와 상기 데이터 구동부의 동작 타이밍을 제어하는 타이밍 제어부를 구비하고,
 상기 타이밍 제어부는 상기 게이트 구동부에 복수의 게이트 출력 인에이블 신호를 출력하며,
 상기 게이트 구동부는 상기 복수의 게이트 출력 인에이블 신호 중 제1 게이트 출력 인에이블 신호에 따라 기수 게이트 라인들에 기수 게이트 펄스들을 출력하고, 상기 복수의 게이트 출력 인에이블 신호 중 제2 게이트 출력 인에이블 신호에 따라 우수 게이트 라인들에 우수 게이트 펄스들을 출력하는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,
 상기 제1 게이트 출력 인에이블 신호의 위상과 상기 제2 게이트 출력 인에이블 신호의 위상은 서로 다르거나,
 또는
 상기 제2 게이트 출력 인에이블 신호는 상기 제1 게이트 출력 인에이블 신호에 비해 위상이 지연된 것을 특징으로 하는 액정표시장치.

청구항 3

제 1 항에 있어서,
 상기 게이트 구동부는,
 순차 어드레싱 방식에서 상기 게이트 라인들에 상기 게이트 펄스들을 순차적으로 출력하고, 트랜지션 최소화 어드레싱(TMA) 방식에서 상기 게이트 라인들에 상기 게이트 펄스들을 미리 정해진 순서대로 출력하는 것을 특징으로 하는 액정표시장치.

청구항 4

제 3 항에 있어서,
 상기 타이밍 제어부는,
 상기 게이트 구동부에 하나의 게이트 스타트 신호 및 하나의 게이트 클럭 신호를 출력하는 것을 특징으로 하는 액정표시장치.

청구항 5

제 4 항에 있어서,
 상기 타이밍 제어부는,
 상기 순차 어드레싱 방식에서 상기 제1 및 제2 게이트 출력 인에이블 신호들 각각의 위상과 상기 TMA 방식에서 상기 제1 및 제2 게이트 출력 인에이블 신호들 각각의 위상을 다르게 제어하는 것을 특징으로 하는 액정표시장치.

청구항 6

제 5 항에 있어서,

상기 게이트 구동부는,

상기 게이트 스타트 신호에 응답하여 상기 게이트 클럭 신호에 따라 펄스를 순차적으로 출력하는 D-플립플롭 회로;

기수 게이트 라인들에 접속되어 상기 제1 게이트 출력 인에이블 신호의 반전 신호와 상기 D-플립플롭 회로의 출력 신호를 논리곱 연산하는 기수 논리곱 게이트들; 및

우수 게이트 라인들에 접속되어 상기 제2 게이트 출력 인에이블 신호의 반전 신호와 상기 D-플립플롭 회로의 출력 신호를 논리곱 연산하는 우수 논리곱 게이트들을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 7

제 4 항에 있어서,

상기 게이트 구동부는,

상기 제1 게이트 출력 인에이블 신호에 따라 제 $4u-3$ (u 는 $1 \leq u \leq t$ 을 만족하는 자연수, t 는 $t \leq 4n$ 을 만족하는 자연수, n 은 상기 게이트 라인들의 개수) 게이트 라인들에 게이트 펄스들을 출력하고, 상기 제2 게이트 출력 인에이블 신호에 따라 제 $4u-2$ 게이트 라인들에 게이트 펄스들을 출력하며, 상기 복수의 게이트 출력 인에이블 신호 중 제3 게이트 출력 인에이블 신호에 따라 제 $4u-1$ 게이트 라인들에 게이트 펄스들을 출력하고, 상기 복수의 출력 인에이블 신호 중 제4 게이트 출력 인에이블 신호에 따라 제 $4u$ 게이트 라인들에 게이트 펄스들을 출력하는 것을 특징으로 하는 액정표시장치.

청구항 8

제 7 항에 있어서,

상기 제1 내지 제4 게이트 출력 인에이블 신호의 위상은 서로 다르거나, 또는

상기 제1 내지 제4 게이트 출력 인에이블 신호의 위상은 순차적으로 위상이 지연된 것을 특징으로 하는 액정표시장치.

청구항 9

제 7 항에 있어서,

상기 타이밍 제어부는,

상기 순차 어드레싱 방식에서 상기 제1 내지 제4 게이트 출력 인에이블 신호들 각각의 위상과 상기 TMA 방식에서 상기 제1 내지 제4 게이트 출력 인에이블 신호들 각각의 위상을 다르게 제어하는 것을 특징으로 하는 액정표시장치.

청구항 10

제 9 항에 있어서,

상기 게이트 구동부는,

상기 게이트 스타트 신호에 응답하여 상기 게이트 클럭 신호에 따라 펄스를 순차적으로 출력하는 D-플립플롭 회로;

상기 제 $4u-3$ 게이트 라인들에 접속되어 상기 제1 게이트 출력 인에이블 신호의 반전 신호와 상기 D-플립플롭 회로의 출력 신호를 논리곱 연산하는 제 $4u-3$ 논리곱 게이트;

상기 제 $4u-2$ 게이트 라인들에 접속되어 상기 제2 게이트 출력 인에이블 신호의 반전 신호와 상기 D-플립플롭 회로의 출력 신호를 논리곱 연산하는 제 $4u-2$ 논리곱 게이트;

상기 제 $4u-1$ 게이트 라인들에 접속되어 상기 제3 게이트 출력 인에이블 신호의 반전 신호와 상기 D-플립플롭 회로의 출력 신호를 논리곱 연산하는 제 $4u-1$ 논리곱 게이트; 및

상기 제 $4u$ 게이트 라인들에 접속되어 상기 제4 게이트 출력 인에이블 신호의 반전 신호와 상기 D-플립플롭 회로의 출력 신호를 논리곱 연산하는 제 $4u$ 논리곱 게이트를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 11

제 5 항에 있어서,

상기 게이트 구동부는,

상기 게이트 스타트 신호, 상기 게이트 클럭 신호, 및 상기 제1 게이트 출력 인에이블 신호를 입력받는 제1 게이트 구동부; 및

상기 게이트 스타트 신호, 상기 게이트 클럭 신호, 및 상기 제2 게이트 출력 인에이블 신호를 입력받는 제2 게이트 구동부를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 12

제 11 항에 있어서,

상기 제1 게이트 구동부는,

상기 게이트 스타트 신호에 응답하여 상기 게이트 클럭 신호에 따라 펄스를 순차적으로 출력하는 제1 D-플립플롭 회로; 및

기수 게이트 라인들에 접속되어 상기 제1 게이트 출력 인에이블 신호의 반전 신호와 상기 제1 D-플립플롭 회로의 출력 신호를 논리곱 연산하는 제1 논리곱 게이트 회로를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 13

제 12 항에 있어서,

상기 제2 게이트 구동부는,

상기 게이트 스타트 신호에 응답하여 상기 게이트 클럭 신호에 따라 펄스를 순차적으로 출력하는 제2 D-플립플롭 회로; 및

우수 게이트 라인들에 접속되어 상기 제2 게이트 출력 인에이블 신호의 반전 신호와 상기 제2 D-플립플롭 회로의 출력 신호를 논리곱 연산하는 제2 논리곱 게이트 회로를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 14

제 9 항에 있어서,

상기 게이트 구동부는,

상기 게이트 스타트 신호, 상기 게이트 클럭 신호, 및 상기 제1 및 제3 게이트 출력 인에이블 신호들을 입력받는 제1 게이트 구동부; 및

상기 게이트 스타트 신호, 상기 게이트 클럭 신호, 및 상기 제2 및 제4 게이트 출력 인에이블 신호들을 입력받는 제2 게이트 구동부를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 15

제 14 항에 있어서,

상기 제1 게이트 구동부는,

상기 게이트 스타트 신호에 응답하여 상기 게이트 클럭 신호에 따라 펄스를 순차적으로 출력하는 제1 D-플립플롭 회로;

상기 제4u-3 게이트 라인들에 접속되어 상기 제1 게이트 출력 인에이블 신호의 반전 신호와 상기 제1 D-플립플롭 회로의 출력 신호를 논리곱 연산하는 제1 논리곱 게이트 회로의 기수 논리곱 게이트들; 및

상기 제4u-1 게이트 라인들에 접속되어 상기 제3 게이트 출력 인에이블 신호의 반전 신호와 상기 제1 D-플립플롭 회로의 출력 신호를 논리곱 연산하는 상기 제1 논리곱 게이트 회로의 우수 논리곱 게이트들을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 16

제 15 항에 있어서,

상기 제2 게이트 구동부는,

상기 게이트 스타트 신호에 응답하여 상기 게이트 클럭 신호에 따라 펄스를 순차적으로 출력하는 제2 D-플립플롭 회로;

상기 제4u-2 게이트 라인들에 접속되어 상기 제2 게이트 출력 인에이블 신호의 반전 신호와 상기 제2 D-플립플롭 회로의 출력 신호를 논리곱 연산하는 제2 논리곱 게이트 회로의 기수 논리곱 게이트들; 및

상기 제4u 게이트 라인들에 접속되어 상기 제4 게이트 출력 인에이블 신호의 반전 신호와 상기 제2 D-플립플롭 회로의 출력 신호를 논리곱 연산하는 상기 제2 논리곱 게이트 회로의 우수 논리곱 게이트들을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 17

데이터 라인들과 게이트 라인들의 교차 영역에 매트릭스 형태로 배치된 화소들을 포함하는 표시패널; 상기 표시패널을 구동하기 위한 게이트 구동부와 데이터 구동부; 및 상기 게이트 구동부와 상기 데이터 구동부의 동작 타이밍을 제어하는 타이밍 제어부를 구비하는 액정표시장치의 구동방법에 있어서,

상기 타이밍 제어부가 상기 게이트 구동부에 복수의 게이트 출력 인에이블 신호를 출력하는 단계;

상기 게이트 구동부가 게이트 라인들에 게이트 펄스들을 출력하는 단계; 및

상기 데이터 구동부가 상기 데이터 라인들에 데이터 전압들을 출력하는 단계를 포함하고,

상기 게이트 구동부가 게이트 라인들에 게이트 펄스들을 출력하는 단계는,

상기 게이트 구동부가 상기 복수의 게이트 출력 인에이블 신호 중 제1 게이트 출력 인에이블 신호에 따라 기수 게이트 라인들에 기수 게이트 펄스들을 출력하고, 상기 복수의 게이트 출력 인에이블 신호 중 제2 게이트 출력 인에이블 신호에 따라 우수 게이트 라인들에 우수 게이트 펄스들을 출력하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 18

데이터 라인들과 게이트 라인들의 교차 영역에 매트릭스 형태로 배치된 화소들을 포함하는 표시패널;

게이트 라인들에 게이트 펄스들을 공급하는 게이트 구동부;

상기 데이터 라인들에 데이터 전압들을 공급하는 데이터 구동부; 및

상기 게이트 구동부와 상기 데이터 구동부의 동작 타이밍을 제어하는 타이밍 제어부를 구비하고,

상기 타이밍 제어부는 상기 게이트 구동부에 게이트 출력 인에이블 신호와 복수의 어드레스 신호를 출력하며,

상기 게이트 구동부는 상기 복수의 어드레스 신호에 따라 상기 게이트 출력 인에이블 신호를 제어하여 상기 게이트 라인들에 상기 게이트 펄스들을 출력하는 것을 특징으로 하는 액정표시장치.

청구항 19

제 18 항에 있어서,

상기 복수의 어드레스 신호 각각의 위상은 서로 다르거나, 또는

상기 복수의 어드레스 신호 각각은 순차적으로 위상이 지연된 것을 특징으로 하는 액정표시장치.

청구항 20

제 18 항에 있어서,

상기 게이트 구동부는,

순차 어드레싱 방식에서 상기 게이트 라인들에 상기 게이트 펄스들을 순차적으로 출력하고, 트랜지션 최소화 어

트레싱(TMA) 방식에서 상기 게이트 라인들에 상기 게이트 펄스들을 미리 정해진 순서대로 출력하는 것을 특징으로 하는 액정표시장치.

청구항 21

제 20 항에 있어서,

상기 타이밍 제어부는,

상기 게이트 구동부에 하나의 게이트 스타트 신호 및 하나의 게이트 클럭 신호를 출력하는 것을 특징으로 하는 액정표시장치.

청구항 22

제 21 항에 있어서,

상기 타이밍 제어부는,

상기 순차 어드레싱 방식에서 상기 복수의 어드레스 신호 각각의 위상과 상기 TMA 방식에서 상기 복수의 어드레스 신호 각각의 위상을 다르게 제어하는 것을 특징으로 하는 액정표시장치.

청구항 23

제 22 항에 있어서,

상기 게이트 구동부는,

상기 게이트 스타트 신호에 응답하여 상기 게이트 클럭 신호에 따라 펄스를 순차적으로 출력하는 D-플립플롭 회로;

상기 복수의 어드레스 신호에 따라 상기 게이트 출력 인에이블 신호를 반전 또는 비반전하여 제1 내지 제4 출력 라인들에 출력하는 출력 제어부;

제4u-3(u는 $1 \leq u \leq t$ 을 만족하는 자연수, t는 $t \leq 4n$ 을 만족하는 자연수, n은 상기 게이트 라인들의 개수) 게이트 라인들에 접속되어 상기 제1 출력 라인의 신호와 상기 D-플립플롭 회로의 출력 신호를 논리곱 연산하는 제4u-3 논리곱 게이트들;

제4u-2 게이트 라인들에 접속되어 상기 제2 출력 라인의 신호와 상기 D-플립플롭 회로의 출력 신호를 논리곱 연산하는 제4u-2 논리곱 게이트들;

제4u-1 게이트 라인들에 접속되어 상기 제3 출력 라인의 신호와 상기 D-플립플롭 회로의 출력 신호를 논리곱 연산하는 제4u-1 논리곱 게이트들; 및

제4u 게이트 라인들에 접속되어 상기 제4 출력 라인의 신호와 상기 D-플립플롭 회로의 출력 신호를 논리곱 연산하는 제4u 논리곱 게이트들을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 24

데이터 라인들과 게이트 라인들의 교차 영역에 매트릭스 형태로 배치된 화소들을 포함하는 표시패널; 상기 표시패널을 구동하기 위한 게이트 구동부와 데이터 구동부; 및 상기 게이트 구동부와 상기 데이터 구동부의 동작 타이밍을 제어하는 타이밍 제어부를 구비하는 액정표시장치의 구동방법에 있어서,

상기 타이밍 제어부가 상기 게이트 구동부에 게이트 출력 인에이블 신호와 복수의 어드레스 신호를 출력하는 단계;

상기 게이트 구동부가 게이트 라인들에 게이트 펄스들을 출력하는 단계; 및

상기 데이터 구동부가 상기 데이터 라인들에 데이터 전압들을 출력하는 단계를 포함하고,

상기 게이트 구동부가 게이트 라인들에 게이트 펄스들을 출력하는 단계는,

상기 게이트 구동부가 상기 복수의 어드레스 신호에 따라 상기 게이트 출력 인에이블 신호를 제어하여 상기 게이트 라인들에 상기 게이트 펄스들을 출력하는 것을 특징으로 하는 액정표시장치의 구동방법.

발명의 설명

기술 분야

[0001] 본 발명의 실시 예는 액정표시장치와 그 구동방법에 관한 것이다.

배경 기술

[0002] 액정표시장치는 경량, 박형, 저소비 전력구동 등의 특징으로 인해 그 응용범위가 점차 넓어지고 있는 추세에 있다. 액정표시장치는 노트북 PC와 같은 휴대용 컴퓨터, 사무 자동화 기기, 오디오/비디오 기기, 옥내외 광고 표시장치 등으로 광범위하게 이용되고 있다.

[0003] 액정표시장치는 액정층에 인가되는 전계를 제어하여 백라이트 유닛으로부터 입사되는 빛을 변조함으로써 화상을 표시한다. 구체적으로, 액정표시장치는 데이터 라인들과 게이트 라인들의 교차 구조에 의해 매트릭스 형태로 배치되는 화소들, 게이트 라인들에 게이트 펄스를 공급하는 게이트 구동부, 및 표시패널의 데이터 라인들에 데이터 전압들을 공급하는 데이터 구동부를 포함한다. 화소들 각각은 화소 전극, 스토리지 캐패시터 등을 포함하고, 박막 트랜지스터를 통해 게이트 라인과 데이터 라인에 접속된다. 박막 트랜지스터는 게이트 라인의 게이트 펄스에 응답하여 데이터 라인의 데이터 전압을 화소 전극에 공급한다. 화소들 각각은 화소 전극의 데이터 전압과 공통전극의 공통 전압 간의 전계에 의해 액정층의 액정을 구동함으로써 백라이트 유닛으로부터 입사되는 빛을 변조한다.

[0004] 일반적으로 게이트 구동부는 게이트 라인들에 게이트 펄스를 순차적으로 공급하는 순차 어드레싱(sequential addressing) 방식으로 구동된다. 또한, 데이터 구동부는 플리커 및 액정의 직류화 잔상을 방지하기 위해 소정의 기간마다 정극성의 데이터 전압과 부극성의 데이터 전압을 교대로 공급한다. 표시장치의 소비전력은 데이터 전압의 스윙 주기가 짧을수록 커지므로, 데이터 구동부는 소비전력을 절감하기 위해 프레임 인버전 방식으로 데이터 전압을 공급한다. 프레임 인버전 방식은 소정의 프레임 기간을 주기로 데이터 전압들의 극성을 반전하는 방식을 의미한다.

[0005] 도 1은 수평 스트라이프 패턴의 일 예를 보여주는 도면이다. 도 1을 참조하면, 수평 스트라이프 패턴(horizontal stripe pattern)은 기수 라인들에 피크 화이트 계조(peak white gray level)를 표시하고 우수 라인들에 피크 블랙 계조(peak black gray level)를 표시하는 영상을 의미한다. 수평 스트라이프 패턴의 경우 데이터 라인들 각각에 공급되는 데이터 전압이 1 수평 기간마다 피크 화이트 계조 전압과 피크 블랙 계조 전압으로 교대로 공급되어야 한다. 따라서, 수평 스트라이프 패턴의 경우에는 데이터 구동부가 프레임 인버전 방식으로 데이터 전압들을 공급한다고 하더라도, 표시장치의 소비전력은 커지게 된다. 도 1에서는 설명의 편의를 위해 수평 스트라이프 패턴을 예시하였지만, 이러한 수평 스트라이프 패턴뿐만 아니라 다른 특정 패턴에서도 표시장치의 소비전력은 커질 수 있다. 또한, 게이트 구동부가 순차 어드레싱 방식으로 구동되는 경우 데이터 전압의 공급 순서 변경이 어려우므로, 표시장치의 소비전력을 절감하기는 더 어렵다.

발명의 내용

해결하려는 과제

[0006] 본 발명의 실시 예는 소비전력을 절감할 수 있는 게이트 구동부와 이를 이용한 표시장치를 제공한다.

과제의 해결 수단

[0007] 본 발명의 실시 예에 따른 액정표시장치는 데이터 라인들과 게이트 라인들의 교차 영역에 매트릭스 형태로 배치된 화소들을 포함하는 표시패널; 게이트 라인들에 게이트 펄스들을 공급하는 게이트 구동부; 상기 데이터 라인들에 데이터 전압들을 공급하는 데이터 구동부; 및 상기 게이트 구동부와 상기 데이터 구동부의 동작 타이밍을 제어하는 타이밍 제어부를 구비하고, 상기 타이밍 제어부는 상기 게이트 구동부에 복수의 게이트 출력 인에이بل

신호를 출력하며, 상기 게이트 구동부는 상기 복수의 게이트 출력 인에이블 신호 중 제1 게이트 출력 인에이블 신호에 따라 기수 게이트 라인들에 게이트 펄스를 출력하고, 상기 복수의 게이트 출력 인에이블 신호 중 제2 게이트 출력 인에이블 신호에 따라 우수 게이트 라인들에 게이트 펄스를 출력하는 것을 특징으로 한다.

[0008]

본 발명의 실시 예에 따른 액정표시장치의 구동방법은 데이터 라인들과 게이트 라인들의 교차 영역에 매트릭스 형태로 배치된 화소들을 포함하는 표시패널; 상기 표시패널을 구동하기 위한 게이트 구동부와 데이터 구동부; 및 상기 게이트 구동부와 상기 데이터 구동부의 동작 타이밍을 제어하는 타이밍 제어부를 구비하는 액정표시장치의 구동방법에 있어서, 상기 타이밍 제어부가 상기 게이트 구동부에 복수의 게이트 출력 인에이블 신호를 출력하는 단계; 상기 게이트 구동부가 게이트 라인들에 게이트 펄스들을 출력하는 단계; 및 상기 데이터 구동부가 상기 데이터 라인들에 데이터 전압들을 출력하는 단계를 포함하고, 상기 게이트 구동부가 게이트 라인들에 게이트 펄스들을 출력하는 단계는, 상기 게이트 구동부가 상기 복수의 게이트 출력 인에이블 신호 중 제1 게이트 출력 인에이블 신호에 따라 기수 게이트 라인들에 기수 게이트 펄스들을 출력하고, 상기 복수의 게이트 출력 인에이블 신호 중 제2 게이트 출력 인에이블 신호에 따라 우수 게이트 라인들에 우수 게이트 펄스들을 출력하는 것을 특징으로 한다.

[0009]

본 발명의 또 다른 실시 예에 따른 액정표시장치는 데이터 라인들과 게이트 라인들의 교차 영역에 매트릭스 형태로 배치된 화소들을 포함하는 표시패널; 게이트 라인들에 게이트 펄스들을 공급하는 게이트 구동부; 상기 데이터 라인들에 데이터 전압들을 공급하는 데이터 구동부; 및 상기 게이트 구동부와 상기 데이터 구동부의 동작 타이밍을 제어하는 타이밍 제어부를 구비하고, 상기 타이밍 제어부는 상기 게이트 구동부에 게이트 출력 인에이블 신호와 복수의 어드레스 신호를 출력하며, 상기 게이트 구동부는 상기 복수의 어드레스 신호에 따라 상기 게이트 출력 인에이블 신호를 제어하여 상기 게이트 라인들에 상기 게이트 펄스들을 출력하는 것을 특징으로 한다.

[0010]

본 발명의 또 다른 실시 예에 따른 액정표시장치의 구동방법은 데이터 라인들과 게이트 라인들의 교차 영역에 매트릭스 형태로 배치된 화소들을 포함하는 표시패널; 상기 표시패널을 구동하기 위한 게이트 구동부와 데이터 구동부; 및 상기 게이트 구동부와 상기 데이터 구동부의 동작 타이밍을 제어하는 타이밍 제어부를 구비하는 액정표시장치의 구동방법에 있어서, 상기 타이밍 제어부가 상기 게이트 구동부에 게이트 출력 인에이블 신호와 복수의 어드레스 신호를 출력하는 단계; 상기 게이트 구동부가 게이트 라인들에 게이트 펄스들을 출력하는 단계; 및 상기 데이터 구동부가 상기 데이터 라인들에 데이터 전압들을 출력하는 단계를 포함하고, 상기 게이트 구동부가 게이트 라인들에 게이트 펄스들을 출력하는 단계는, 상기 게이트 구동부가 상기 복수의 어드레스 신호에 따라 상기 게이트 출력 인에이블 신호를 제어하여 상기 게이트 라인들에 상기 게이트 펄스들을 출력하는 것을 특징으로 한다.

발명의 효과

[0011]

본 발명의 실시 예는 순차 어드레싱 방식과 TMA 방식에서 게이트 구동부에 동일한 게이트 스타트 신호와 게이트 클럭 신호를 공급한다. 또한, 본 발명의 실시 예는 순차 어드레싱 방식에서 게이트 구동부에 공급되는 게이트 출력 인에이블 신호들 각각의 위상과 TMA 방식에서 게이트 구동부에 공급되는 게이트 출력 인에이블 신호들 각각의 위상을 다르게 제어한다. 이로 인해, 본 발명의 실시 예는 순차 어드레싱 방식에서 게이트 라인들에 게이트 펄스들을 순차적으로 출력하고, TMA 방식에서 게이트 라인들에 미리 정해진 순서대로 게이트 펄스들을 출력할 수 있다. 그 결과, 본 발명의 실시 예는 수평 스트라이프 패턴과 같이 특정한 패턴의 화상이 입력되는 경우, TMA 방식으로 구동하여 데이터 전압들의 스윙 주기를 줄일 수 있으므로, 소비전력을 절감할 수 있다.

도면의 간단한 설명

[0012]

도 1은 수평 스트라이프 패턴의 일 예를 보여주는 도면.

도 2는 본 발명의 제1 실시 예에 따른 액정표시장치를 보여주는 블록도.

도 3은 도 2의 화소 어레이의 화소들 일부를 상세히 보여주는 예시도면.

도 4a 및 도 4b는 도 2의 제1 및 제2 게이트 구동부의 일 예를 보여주는 블록도.

도 5는 순차 어드레싱 방식에서 도 4a 및 도 4b의 제1 및 제2 게이트 구동부의 입출력 신호를 보여주는 파형도.

도 6은 TMA 방식에서 도 4a 및 도 4b의 제1 및 제2 게이트 구동부의 입출력 신호를 보여주는 파형도.

도 7은 수평 스트라이프 패턴의 경우 도 5의 순차 어드레싱 방식에서 제1 내지 제8 게이트 펄스들과 제1 내지 제4 데이터 전압들을 보여주는 일 예시도면.

도 8은 수평 스트라이프 패턴의 경우 도 6의 TMA 방식에서 제1 내지 제8 게이트 펄스들과 제1 내지 제4 데이터 전압들을 보여주는 일 예시도면.

도 9a 및 도 9b는 도 2의 제1 및 제2 게이트 구동부의 또 다른 예를 보여주는 블록도.

도 10은 순차 어드레싱 방식에서 도 9a 및 도 9b의 제1 및 제2 게이트 구동부의 입출력 신호를 보여주는 파형도.

도 11은 TMA 방식에서 도 9a 및 도 9b의 제1 및 제2 게이트 구동부의 입출력 신호를 보여주는 파형도.

도 12는 수평 스트라이프 패턴의 경우 도 11의 TMA 방식에서 제1 내지 제8 게이트 펄스들과 제1 내지 제4 데이터 전압들을 보여주는 일 예시도면.

도 13은 본 발명의 제2 실시 예에 따른 액정표시장치를 보여주는 블록도.

도 14는 도 13의 게이트 구동부의 일 예를 보여주는 블록도.

도 15는 도 13의 게이트 구동부의 또 다른 예를 보여주는 블록도.

도 16은 도 13의 게이트 구동부의 또 다른 예를 보여주는 블록도.

도 17은 순차 어드레싱 방식에서 도 16의 게이트 구동부의 입출력 신호를 보여주는 파형도.

도 18은 TMA 방식에서 도 16의 게이트 구동부의 입출력 신호를 보여주는 파형도.

발명을 실시하기 위한 구체적인 내용

[0013] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것일 수 있는 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다.

[0014] 도 2는 본 발명의 제1 실시 예에 따른 액정표시장치를 보여주는 블록도이다. 도 2를 참조하면, 본 발명의 제1 실시 예에 따른 액정표시장치는 화소 어레이(PA)가 형성된 액정표시패널(10), 게이트 구동부, 데이터 구동부(40), 타이밍 제어부(50), 화상 패턴 인식부(60) 등을 구비한다.

[0015] 액정표시패널(10)은 상부 기관, 하부 기관, 및 그들 사이에 형성된 액정층을 포함한다. 액정표시패널(10)의 하부 기관에는 화소 어레이(PA)가 형성된다. 화소 어레이(PA)는 데이터 라인들(D1~Dm, m은 2 이상의 자연수)과 게이트 라인들(G1~Gn, n은 8 이상의 자연수)의 교차 구조에 의해 형성된 영역에 매트릭스 형태로 배열되는 화소(P)들을 이용하여 화상을 표시한다. 구체적으로, 화소 어레이(PA)에는 데이터 라인들(D1~Dm), 게이트 라인들(G1~Gn), TFT(Thin Film Transistor)들, TFT에 접속된 화소(P)의 화소 전극, 화소 전극에 접속된 스토리지 커패시터(Storage Capacitor) 등이 형성된다. 화소(P)들 각각은 TFT를 통해 데이터 전압이 충전되는 화소 전극과 공통전압이 인가되는 공통전극 사이의 전계에 의해 액정층의 액정을 구동시켜 빛의 투과량을 조정함으로써 화상을 표시한다. 화소 어레이(PA)의 구체적인 구조에 대하여는 도 3을 결부하여 상세히 설명하기로 한다.

[0016] 액정표시패널의 상부 기관상에는 블랙 매트릭스(black matrix)와 컬러 필터들(color filters)이 형성된다. 공통 전극은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식의 경우에 상부 기관상에 형성되며, IPS(In-Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식의 경우에 화소전극과 함께 하부 기관상에 형성된다. 본 발명의 액정표시장치는 TN 모드, VA 모드, IPS 모드, FFS 모드뿐 아니라 어떠한 액정모드로도 구현될 수 있다. 액정표시패널의 상부 기관과 하부 기관 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.

- [0017] 액정표시패널(10)의 아래에는 액정표시패널(10)에 빛을 균일하게 조사하기 위한 백라이트 유닛(미도시)이 배치될 수 있다. 백라이트 유닛(미도시)은 직하형(direct type) 또는 에지형(edge type)으로 구현될 수 있다.
- [0018] 데이터 구동부(40)는 다수의 소스 드라이브 직접회로(Integrated Circuit, 이하 'IC'라 칭함)들을 포함한다. 소스 드라이브 IC들은 TCP(Tape Carrier Package) 상에 실장되고, TAB(Tape Automated Bonding) 공정에 의해 액정표시패널(10)의 하부 유리기관에 접합되며, 소스 PCB(Printed Circuit Board)에 접속될 수 있다. 또는, 소스 드라이브 IC들은 COG(Chip On Glass) 공정에 의해 액정표시패널(10)의 하부 유리기관상에 접착될 수도 있다. 소스 드라이브 IC들 각각은 타이밍 제어부(50)로부터 디지털 비디오 데이터(DATA)와 소스 타이밍 제어신호(DCS)를 입력받는다. 소스 드라이브 IC들은 소스 타이밍 제어신호(DCS)에 응답하여 디지털 비디오 데이터(DATA)를 정극성/부극성 데이터 전압들로 변환하여 화소 어레이(PA)의 데이터 라인들(D1~Dm)에 공급한다.
- [0019] 게이트 구동부는 제1 게이트 구동부(20)와 제2 게이트 구동부(30)를 포함한다. 제1 게이트 구동부(20)는 화소 어레이(PA)의 일 측 바깥쪽에 형성되고, 제2 게이트 구동부(30)는 화소 어레이(PA)의 타 측 바깥쪽에 형성될 수 있다. 제1 및 제2 게이트 구동부(20, 30) 각각은 TCP 상에 실장되고, TAB 공정에 의해 액정표시패널(10)의 하부 유리기관에 접합되거나, GIP(Gate In Panel) 공정에 의해 화소 어레이(PA)와 동시에 하부 유리기관상에 직접 형성될 수 있다.
- [0020] 제1 및 제2 게이트 구동부(20, 30)는 타이밍 제어부(50)로부터 게이트 타이밍 제어신호(GCS)를 입력받는다. 제1 게이트 구동부(20)는 게이트 타이밍 제어신호(GCS)에 응답하여 기수 게이트 라인들(G1, G3, ..., Gn-1)에 게이트 펄스들을 공급한다. 제2 게이트 구동부(30)는 게이트 타이밍 제어신호(GCS)에 응답하여 우수 게이트 라인들(G2, G4, ..., Gn)에 게이트 펄스들을 공급한다.
- [0021] 타이밍 제어부(50)는 콘트롤 PCB 상에 실장된다. 콘트롤 PCB와 소스 PCB는 FFC(flexible flat cable)나 FPC(flexible printed circuit)와 같은 연성회로기관을 통해 연결될 수 있다.
- [0022] 타이밍 제어부(50)는 외부의 시스템 보드(미도시)로부터 디지털 비디오 데이터(DATA)와 타이밍 신호를 입력받는다. 타이밍 신호는 수직동기신호(vertical sync signal), 수평동기신호(horizontal sync signal), 데이터 인에이블 신호(data enable signal), 및 도트 클럭(dot clock)을 포함한다. 타이밍 제어부(50)는 타이밍 신호에 기초하여 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GCS)와 데이터 구동부(40)의 동작 타이밍을 제어하기 위한 소스 타이밍 제어신호(DCS)를 발생한다. 타이밍 제어부(50)는 디지털 비디오 데이터(DATA)와 소스 타이밍 제어 신호(DCS)를 데이터 구동부(40)에 공급한다. 타이밍 제어부(50)는 게이트 타이밍 제어신호(GCS)를 제1 및 제2 게이트 구동부(20, 30)에 공급한다.
- [0023] 게이트 타이밍 제어신호(GCS)는 게이트 스타트 신호(gate start signal, GST), 게이트 클럭 신호(gate clock signal, GCLK), 게이트 출력 인에이블 신호(gate output enable signal, GOE) 등을 포함한다. 게이트 스타트 신호(GST)는 1 프레임 기간의 첫 번째 게이트 펄스의 출력 타이밍을 제어하기 위한 신호이다. 게이트 클럭 신호(GCLK)는 게이트 스타트 신호(GST)를 쉬프트시키기 위한 클럭 신호이다. 게이트 출력 인에이블 신호(GOE)는 게이트 펄스들의 출력 타이밍을 제어하기 위한 신호이다.
- [0024] 소스 타이밍 제어신호(DCS)는 소스 스타트 신호(source start signal), 소스 샘플링 클럭(source sampling clock), 소스 출력 인에이블 신호(source output enable signal), 극성제어신호(polarity control signal) 등을 포함한다. 소스 스타트 신호는 데이터 구동부(40)의 데이터 샘플링 시작 시점을 제어하기 위한 신호이다. 소스 샘플링 클럭은 라이징 또는 폴링 에지에 기준하여 데이터 구동부(40)의 샘플링 동작을 제어하는 클럭 신호이다. 데이터 구동부(40)에 입력될 디지털 비디오 데이터(DATA)가 mini LVDS(Low Voltage Differential Signaling) 인터페이스 규격으로 전송된다면, 소스 스타트 펄스와 소스 샘플링 클럭은 생략될 수 있다. 극성제어신호는 데이터 구동부(40)로부터 출력되는 데이터 전압들의 극성을 L(L은 자연수) 수평기간 주기로 반전시킨다. 소스 출력 인에이블신호는 데이터 구동부(40)의 출력 타이밍을 제어한다.
- [0025] 타이밍 제어부(50)는 순차 어드레싱 방식 또는 트랜지션 최소화 어드레싱(transition minimized addressing, 이하 "TMA"라 칭함)으로 제1 및 제2 게이트 구동부(20, 30)와 데이터 구동부(40)의 동작 타이밍을 제어한다. 순차 어드레싱 방식은 제1 및 제2 게이트 구동부(20, 30) 각각이 게이트 펄스들을 순차적으로 출력하는 방식을 의미한다. TMA 방식은 액정표시패널(10)에 공급되는 데이터 전압들의 스윙 주기를 최소화하기 위해 제1 및 제2 게이트 구동부(20, 30) 각각이 게이트 펄스들을 미리 정해진 소정의 순서대로 출력하는 방식을 의미한다. TMA 방식은 액정표시패널(10)이 특정한 패턴의 화상을 표시하는 경우, 순차 어드레싱 방식에 비하여 데이터 전압의 스윙 주기를 줄임으로써 소비전력을 크게 절감할 수 있는 장점이 있다. 타이밍 제어부(50)는 화상 패턴 인식부

(60)로부터 입력되는 화상 패턴 신호(PS)에 따라 순차 어드레싱 방식 또는 TMA 방식으로 제1 및 제2 게이트 구동부(20, 30)와 데이터 구동부(40)의 동작 타이밍을 제어할 수 있다.

[0026]

화상 패턴 인식부(60)는 외부의 시스템 보드(미도시)로부터 디지털 비디오 데이터(DATA)를 입력받는다. 화상 패턴 인식부(60)는 디지털 영상 데이터(DATA)를 분석하여 액정표시패널(10)에 표시되는 화상의 패턴을 산출한다. 그 다음, 화상 패턴 인식부(60)는 분석된 화상 패턴을 메모리에 저장된 화상 패턴들과 비교한다. 메모리에 저장된 화상 패턴들은 순차 어드레싱 방식으로 구동시 소비전력이 급격하게 증가하는 화상 패턴들일 수 있다. 예를 들어, 메모리에 저장된 화상 패턴들 중 어느 하나는 도 1과 같은 수평 스트라이프 패턴일 수 있다.

[0027]

화상 패턴 인식부(60)는 분석된 화상 패턴이 메모리에 저장된 화상 패턴들 중 어느 하나와 실질적으로 동일하다고 판단되는 경우, 제1 및 제2 게이트 구동부(20, 30)와 데이터 구동부(40)의 동작 타이밍을 TMA 방식으로 제어하기 위한 화상 패턴 신호(PS)를 타이밍 제어부(50)로 출력한다. 예를 들어, 화상 패턴 인식부(60)는 분석된 화상 패턴이 메모리에 저장된 수평 스트라이프 패턴과 실질적으로 동일하다고 판단되는 경우, 수평 스트라이프 패턴을 지시하는 화상 패턴 신호(PS)를 타이밍 제어부(50)로 출력할 수 있다. 이때, 타이밍 제어부(50)는 수평 스트라이프 패턴을 지시하는 화상 패턴 신호(PS)에 따라 수평 스트라이프 패턴에서 소비전력을 최소화할 수 있도록 제1 및 제2 게이트 구동부(20, 30)와 데이터 구동부(40)의 동작 타이밍을 제어할 수 있다. 타이밍 제어부(50)는 게이트 타이밍 제어신호(GCS)와 데이터 타이밍 제어신호(DCS)를 이용하여 제1 및 제2 게이트 구동부(20, 30)와 데이터 구동부(40)의 동작 타이밍을 제어할 수 있다. 또한, 화상 패턴 인식부(60)는 분석된 화상의 패턴이 메모리에 저장된 화상의 패턴들 각각과 실질적으로 동일하지 않은 경우, 제1 및 제2 게이트 구동부(20, 30)와 데이터 구동부(40)의 동작 타이밍을 순차 어드레싱 방식으로 제어하기 위한 화상 패턴 신호(PS)를 타이밍 제어부(50)로 출력한다.

[0028]

이상에서 살펴본 바와 같이, 본 발명의 제1 실시 예에 따른 액정표시장치는 입력되는 디지털 영상 데이터를 분석하여 산출된 화상 패턴에 따라 게이트 펄스의 출력 타이밍을 순차 어드레싱 방식 또는 TMA 방식으로 제어한다. 순차 어드레싱 방식과 TMA 방식에 대하여는 도 5 내지 도 8, 도 10 내지 도 12를 결부하여 상세히 설명한다.

[0029]

도 3은 도 2의 화소 어레이의 화소들 일부를 상세히 보여주는 예시도면이다. 도 3에서는 설명의 편의를 위해 제j(j는 자연수) 내지 제j+4 데이터 라인들(Dj, Dj+1, Dj+2, Dj+3, Dj+4), 제k(k는 자연수) 내지 제k+3 게이트 라인들(Gk, Gk+1, Gk+2, Gk+3), 및 그들에 둘러싸인 화소들의 화소 전극(PE)들을 예시하였다. 화소 전극(PE)들 각각은 TFT(T)를 통해 게이트 라인 및 데이터 라인에 접속된다.

[0030]

도 3을 참조하면, 어느 한 데이터 라인은 그 데이터 라인과 교차되는 어느 한 게이트 라인에서 그 데이터 라인의 양측에 배치된 화소 전극(PE)들 중 어느 하나에 접속된다. 특히, 어느 한 데이터 라인은 수직 방향(y축 방향)으로 화소 전극(PE)들이 지그재그로 접속된다. 예를 들어, 제j+1 데이터 라인(Dj+1)은 제k 게이트 라인(Gk)에서 제j+1 데이터 라인(Dj+1)의 우측에 배치된 화소 전극(PE)에 접속되고, 제k+1 게이트 라인(Gk+1)에서 제j+1 데이터 라인(Dj+1)의 좌측에 배치된 화소 전극(PE)에 접속된다. 또한, 제j+1 데이터 라인(Dj+1)은 제k+2 게이트 라인(Gk+2)에서 제j+1 데이터 라인(Dj+1)의 우측에 배치된 화소 전극(PE)에 접속되고, 제k+3 게이트 라인(Gk+3)에서 제j+1 데이터 라인(Dj+1)의 좌측에 배치된 화소 전극(PE)에 접속된다.

[0031]

이 경우, 서로 이웃하는 데이터 라인들에 상반된 극성의 데이터 전압들을 인가하면, 서로 이웃하는 화소 전극(PE)들에 공급되는 데이터 전압들의 극성은 서로 상반된다. 예를 들어, 제j+1 데이터 라인(Dj+1)에 부극성(-)의 데이터 전압들을 공급하고, 제j+2 데이터 라인(Dj+2)에 정극성(+)의 데이터 전압들을 공급하는 경우, 제j+1 데이터 라인(Dj+1)에 접속된 화소 전극(PE)에 공급된 데이터 전압의 극성과 제j+2 데이터 라인(Dj+2)에 접속된 화소 전극(PE)에 공급된 데이터 전압의 극성은 서로 상반된다. 그 결과, 본 발명의 실시 예는 데이터 구동부가 서로 이웃하는 데이터 라인들에 상반된 극성의 데이터 전압들을 공급하고, 소정의 프레임 기간을 주기로 데이터 전압들의 극성을 반전시키는 컬럼 인버전 방식으로 구동을 하더라도, 화소들은 도트 인버전으로 구동된다. 따라서, 본 발명의 실시 예는 데이터 전압들을 컬럼 인버전 방식으로 공급하여 소비전력을 현저히 감소시킬 수 있음과 동시에, 화소들을 도트 인버전 방식으로 구동하여 액정의 직류화 잔상, 플리커(flicker) 등을 억제할 수 있는 장점이 있다.

- [0032] 도 4a는 도 2의 제1 게이트 구동부의 일 예를 보여주는 블록도이다. 도 4a를 참조하면, 제1 게이트 구동부(20)는 제1 쉬프트 레지스터(21), 제1 레벨 쉬프터(level shifter), 제1 출력 버퍼(output buffer) 등을 구비한다. 제1 쉬프트 레지스터(21)는 게이트 스타트 신호(GST)를 게이트 클럭 신호(GCLK)에 따라 순차적으로 쉬프트시키고, 제1 게이트 출력 인에이블 신호(GOE1)에 따라 기수 게이트 펄스들을 출력한다. 제1 레벨 쉬프터는 제1 쉬프트 레지스터(21)로부터 출력된 기수 게이트 펄스들의 전압 스윙 폭을 화소 어레이(PA)에 형성된 TFT의 동작이 가능한 스윙 폭으로 쉬프트시킨다. 도 4a에서는 설명의 편의를 위해 제1 쉬프트 레지스터(21)만을 도시하였음에 주의하여야 한다.
- [0033] 도 4a를 참조하면, 제1 쉬프트 레지스터(21)는 제1 D-플립플롭 회로(210), 제1 인버터(211), 및 제1 AND 게이트 회로(212)를 포함한다. 제1 D-플립플롭 회로(210)는 종속적으로 접속된 제1 내지 제q($q \leq n$)을 만족하는 자연수) D-플립플롭들(DFF1~DFFq)을 포함하고, 제1 AND 게이트 회로(212)는 제1 내지 제q 논리곱 게이트(AG1~AGq)들을 포함한다. 이하에서는, 설명의 편의를 위해 논리곱 게이트를 AND 게이트로 칭한다.
- [0034] 제1 D-플립플롭 회로(210)의 제1 내지 제q D-플립플롭들(DFF1~DFFq) 각각의 입력 단자(D)는 게이트 스타트 신호(GST)가 입력되는 게이트 스타트 신호 라인(GSTL) 또는 전단 D-플립플롭의 출력 단자(Q)에 접속되고, 클럭 단자(CLK)는 게이트 클럭 신호(GCLK)가 입력되는 게이트 클럭 신호 라인(GCLKL)에 접속되며, 출력 단자(Q)는 후단 D-플립플롭의 입력 단자(D)에 접속된다. 제p($1 \leq p \leq q$)를 만족하는 자연수) D-플립플롭의 전단 D-플립플롭은 제1 내지 p-1 D-플립플롭 중 어느 하나를 지시하고, 제p D-플립플롭의 후단 D-플립플롭은 제p+1 내지 제2p D-플립플롭 중 어느 하나를 지시한다. 또한, 제1 D-플립플롭 회로(210)의 제p D-플립플롭(DFFp)의 출력 단자(Q)는 제p AND 게이트(AGp)에 접속된다. 예를 들어, 제1 D-플립플롭 회로(210)의 제1 D-플립플롭(DFF1)의 출력 단자(Q)는 제1 AND 게이트(AG1)에 접속된다.
- [0035] 제1 인버터(211)는 제1 게이트 출력 인에이블 신호(GOE1)를 반전시켜 제1 AND 게이트 회로(212)에 공급한다. 제1 AND 게이트 회로(212)의 제p AND 게이트(AGp)는 제p D-플립플롭(DFFp)의 출력 신호와 제1 게이트 출력 인에이블 신호(GOE1)의 반전신호를 논리곱 연산하여 제2p-1 게이트 라인에 제2p-1 게이트 펄스를 출력한다. 제2p-1 게이트 라인에 기수 게이트 라인을 지시한다.
- [0036] 도 4b는 도 2의 제2 게이트 구동부의 일 예를 보여주는 블록도이다. 제2 게이트 구동부(30)는 제2 쉬프트 레지스터(31), 제2 레벨 쉬프터, 제2 출력 버퍼 등을 구비한다. 제2 쉬프트 레지스터(31)는 게이트 스타트 신호(GST)를 게이트 클럭 신호(GCLK)에 따라 순차적으로 쉬프트시키고, 제2 게이트 출력 인에이블 신호(GOE2)에 따라 우수 게이트 펄스들을 출력한다. 제2 레벨 쉬프터는 제2 쉬프트 레지스터(31)로부터 출력된 우수 게이트 펄스들의 전압 스윙 폭을 화소 어레이(PA)에 형성된 TFT의 동작이 가능한 스윙 폭으로 쉬프트시킨다. 도 4b에서는 설명의 편의를 위해 제2 쉬프트 레지스터(31)만을 도시하였음에 주의하여야 한다.
- [0037] 도 4b를 참조하면, 제2 쉬프트 레지스터(31)는 제2 D-플립플롭 회로(310), 제2 인버터(311), 및 제2 AND 게이트 회로(312)를 포함한다. 제2 D-플립플롭 회로(310)는 종속적으로 접속된 제1 내지 제q D-플립플롭들(DFF1~DFFq)을 포함하고, 제2 AND 게이트 회로(312)는 제1 내지 제q AND 게이트(AG1~AGq)들을 포함한다.
- [0038] 제2 D-플립플롭 회로(310)의 제1 내지 제q D-플립플롭들(DFF1~DFFq) 각각의 입력 단자(D)는 게이트 스타트 신호(GST)가 입력되는 게이트 스타트 신호 라인(GSTL) 또는 전단 D-플립플롭의 출력 단자(Q)에 접속되고, 클럭 단자(CLK)는 게이트 클럭 신호(GCLK)가 입력되는 게이트 클럭 신호 라인(GCLKL)에 접속되며, 출력 단자(Q)는 후단 D-플립플롭의 입력 단자(D)에 접속된다. 또한, 제2 D-플립플롭 회로(310)의 제p D-플립플롭(DFFp)의 출력 단자(Q)는 제p AND 게이트(AGp)에 접속된다. 예를 들어, 제2 D-플립플롭 회로(310)의 제1 D-플립플롭(DFF1)의 출력 단자(Q)는 제1 AND 게이트(AG1)에 접속된다.
- [0039] 제2 인버터(311)는 제2 게이트 출력 인에이블 신호(GOE2)를 반전시켜 제2 AND 게이트 회로(312)에 공급한다. 제2 AND 게이트 회로(312)의 제p AND 게이트(AGp)는 제p D-플립플롭(DFFp)의 출력 신호와 제2 게이트 출력 인에이블 신호(GOE2)의 반전신호를 논리곱 연산하여 제2p 게이트 라인에 제2p 게이트 펄스를 출력한다. 제2p 게이트 라인에 우수 게이트 라인을 지시한다.
- [0040] 도 5는 순차 어드레싱 방식에서 도 4a 및 도 4b의 제1 및 제2 게이트 구동부의 입출력 신호를 보여주는 파형도이다. 도 5에는 타이밍 제어부(50)로부터 공급되는 게이트 클럭 신호(GCLK), 게이트 스타트 신호(GST), 제1 및

제2 게이트 출력 인에이블 신호(GOE1, GOE2), 데이터 전압들(DATA), 제1 내지 제6 게이트 펄스들(GP1~GP6), 및 제n-3 내지 제n 게이트 펄스들(GPn-3~GPn)이 나타나 있다.

[0041] 도 5를 참조하면, 게이트 스타트 신호(GST)의 펄스는 1 프레임 기간의 시작 시점에 발생된다. 게이트 스타트 신호(GST)의 펄스 주기는 1 프레임 기간이다. 게이트 클럭 신호(GCLK)의 펄스, 제1 게이트 출력 인에이블 신호(GOE1)의 펄스, 및 제2 게이트 출력 인에이블 신호(GOE2)의 펄스 각각은 소정의 주기로 발생된다. 도 5에서는 게이트 클럭 신호(GCLK)의 펄스 주기, 제1 게이트 출력 인에이블 신호(GOE1)의 펄스 주기, 및 제2 게이트 출력 인에이블 신호(GOE2)의 펄스 주기가 2 수평 기간(2H)으로 구현된 것을 예시하였으나, 이에 한정되지 않음에 주의하여야 한다.

[0042] 또한, 게이트 클럭 신호(GCLK)의 펄스는 버티컬 블랭크 기간(vertical blank period) 동안 발생하나, 제1 게이트 출력 인에이블 신호(GOE1)의 펄스, 및 제2 게이트 출력 인에이블 신호(GOE2)의 펄스는 버티컬 블랭크 기간 동안 발생하지 않을 수 있다. 또한, 도 5에서는 제2 게이트 출력 인에이블 신호(GOE2)가 제1 게이트 출력 인에이블 신호(GOE1)에 비해 위상이 1 수평 기간(1H)만큼 지연된 신호인 것을 중심으로 설명하였으나, 이에 한정되지 않음에 주의하여야 한다.

[0043] 도 5에 도시된 데이터 전압들(DATA)은 어느 한 데이터 라인에 공급되는 데이터 전압들을 보여준다. 데이터 전압들(DATA)은 도 5와 같이 1 수평 기간(1H)마다 공급될 수 있다. 1 수평 기간(1H)은 액정표시패널(10)의 어느 한 게이트 라인에 접속된 화소들에 데이터 전압들이 공급되는 1 게이트 라인 스캐닝 기간을 의미한다.

[0044] 이하에서는 도 4a, 도 4b, 및 도 5를 결부하여 순차 어드레싱 방식에서 제1 및 제2 게이트 구동부(20, 30)와 데이터 구동부(40)의 동작을 상세히 살펴본다.

[0045] 제1 게이트 구동부(20)는 타이밍 제어부(50)로부터 게이트 스타트 신호(GST), 게이트 클럭 신호(GCLK) 및 제1 게이트 출력 인에이블 신호(GOE1)를 입력받는다. 제2 게이트 구동부(30)는 타이밍 제어부(50)로부터 게이트 스타트 신호(GST), 게이트 클럭 신호(GCLK) 및 제2 게이트 출력 인에이블 신호(GOE2)를 입력받는다.

[0046] 제1 및 제2 게이트 구동부(20, 30)의 제1 및 제2 D-플립플롭 회로(210, 310)는 게이트 스타트 신호(GST)에 응답하여 게이트 클럭 신호(GCLK)에 따라 펄스를 순차적으로 출력한다. 제1 및 제2 게이트 구동부(20, 30)가 동일한 게이트 스타트 신호(GST)와 게이트 클럭 신호(GCLK)를 입력받으므로, 제1 게이트 구동부(20)의 제1 D-플립플롭 회로(210)로부터 출력되는 펄스와 제2 게이트 구동부(30)의 제2 D-플립플롭 회로(310)로부터 출력되는 펄스는 실질적으로 동일하다. 구체적으로, D-플립플롭 회로(410)의 제1 D-플립플롭(DFF1)으로부터 출력되는 펄스는 게이트 스타트 신호(GST)와 중첩되는 게이트 클럭 신호(GCLK)의 라이징 에지(rising edge, r1)부터 그 다음 라이징 에지(r2)까지 발생한다. 또한, D-플립플롭 회로(410)의 제2 D-플립플롭(DFF2)으로부터 출력되는 펄스는 제1 D-플립플롭(DFF1)으로부터 출력되는 펄스와 중첩되는 게이트 클럭 신호(GCLK)의 라이징 에지(r2)부터 그 다음 라이징 에지(r3)까지 발생한다. 라이징 에지는 게이트 클럭 신호(GCLK)가 로우 로직 레벨(L)에서 하이 로직 레벨(H)로 라이징되는 시점을 지시한다. 즉, 제1 및 제2 D-플립플롭 회로(210, 310)는 게이트 스타트 신호(GST) 또는 전단 D-플립플롭으로부터 출력되는 신호와 중첩되는 게이트 클럭 신호(GCLK)의 라이징 에지를 기준으로 순차적으로 펄스를 발생한다.

[0047] 제1 게이트 구동부(20)는 제1 게이트 출력 인에이블 신호(GOE1)를 입력받고, 제2 게이트 구동부(30)는 제2 게이트 출력 인에이블 신호(GOE2)를 입력받는다. 이때, 제1 및 제2 게이트 출력 인에이블 신호(GOE1, GOE2) 각각은 2 수평 기간(2H)의 주기를 가지므로, 제2p-1 및 제2p 수평 기간으로 구분될 수 있다. 예를 들어, 제2p-1 수평 기간은 제1, 제3 게이트 펄스(GP1, GP3)가 출력되는 기간에 해당한다.

[0048] 제1 게이트 출력 인에이블 신호(GOE1)는 도 5와 같이 제2p-1 수평 기간 동안 로우 로직 레벨(L)로 발생하고, 제2p 수평 기간 동안 하이 로직 레벨(H)로 발생할 수 있다. 또한, 제2 게이트 출력 인에이블 신호(GOE2)는 도 5와 같이 제2p-1 수평 기간 동안 하이 로직 레벨(H)로 발생하고, 제2p 수평 기간 동안 로우 로직 레벨(L)로 발생할 수 있다. 그 결과, 제1 및 제2 게이트 구동부(20, 30)는 도 5와 같이 제1 내지 제n 게이트 라인들(G1~Gn)에 게이트 펄스들(GP1~GPn)을 순차적으로 출력할 수 있다.

[0049] 데이터 구동부(50)는 게이트 펄스들(GP1~GPn) 각각에 동기화하는 데이터 전압들을 데이터 라인에 공급한다. 특히, 데이터 구동부(50)는 어느 한 데이터 라인에 제1 내지 제n 데이터 전압들(VD1~VDn)을 순차적으로 공급한다.

[0050] 도 6은 TMA 방식에서 도 4a 및 도 4b의 제1 및 제2 게이트 구동부의 입출력 신호를 보여주는 파형도이다. 도 6

에는 타이밍 제어부(50)로부터 공급되는 게이트 클럭 신호(GCLK), 게이트 스타트 신호(GST), 제1 및 제2 게이트 출력 인에이블 신호(GOE1, GOE2), 데이터 전압들(DATA), 제1 내지 제6 게이트 펄스들(GP1~GP6), 및 제n-3 내지 제n 게이트 펄스들(GPn-3~GPn)이 나타나 있다.

[0051] 도 6을 참조하면, 게이트 스타트 신호(GST)의 펄스는 1 프레임 기간의 시작 시점에 발생된다. 게이트 스타트 신호(GST)의 펄스 주기는 1 프레임 기간이다. 게이트 클럭 신호(GCLK)의 펄스, 제1 게이트 출력 인에이블 신호(GOE1)의 펄스, 및 제2 게이트 출력 인에이블 신호(GOE2)의 펄스 각각은 소정의 주기로 발생된다. 도 6에서는 게이트 클럭 신호(GCLK)의 펄스 주기가 제1 게이트 출력 인에이블 신호(GOE1)의 펄스 주기 또는 제2 게이트 출력 인에이블 신호(GOE2)의 펄스 주기보다 짧게 구현된 것을 예시하였으나, 이에 한정되지 않음에 주의하여야 한다. 즉, 도 6에서는 게이트 클럭 신호(GCLK)의 펄스 주기가 2 수평 기간(2H)이고, 제1 게이트 출력 인에이블 신호(GOE1)의 펄스 주기와 제2 게이트 출력 인에이블 신호(GOE2)의 펄스 주기가 4 수평 기간(4H)인 것을 중심으로 설명하였으나, 이에 한정되지 않음에 주의하여야 한다.

[0052] 또한, 게이트 클럭 신호(GCLK)의 펄스는 버티컬 블랭크 기간 동안 발생하나, 제1 게이트 출력 인에이블 신호(GOE1)의 펄스, 및 제2 게이트 출력 인에이블 신호(GOE2)의 펄스는 버티컬 블랭크 기간 동안 발생하지 않을 수 있다. 또한, 도 6에서는 제2 게이트 출력 인에이블 신호(GOE2)가 제1 게이트 출력 인에이블 신호(GOE1)에 비해 위상이 2 수평 기간(2H)만큼 지연된 신호인 것을 중심으로 설명하였으나, 이에 한정되지 않음에 주의하여야 한다.

[0053] 도 6에 도시된 데이터 전압들(DATA)은 어느 한 데이터 라인에 공급되는 데이터 전압들을 보여준다. 데이터 전압들(DATA)은 도 6과 같이 1 수평 기간(1H)마다 공급될 수 있다.

[0054] 이하에서는 도 4a, 도 4b, 및 도 6을 결부하여 TMA 방식에서 제1 및 제2 게이트 구동부(20, 30)와 데이터 구동부(40)의 동작을 상세히 살펴본다.

[0055] 제1 게이트 구동부(20)는 타이밍 제어부(50)로부터 게이트 스타트 신호(GST), 게이트 클럭 신호(GCLK) 및 제1 게이트 출력 인에이블 신호(GOE1)를 입력받는다. 제2 게이트 구동부(30)는 타이밍 제어부(50)로부터 게이트 스타트 신호(GST), 게이트 클럭 신호(GCLK) 및 제2 게이트 출력 인에이블 신호(GOE2)를 입력받는다.

[0056] 제1 및 제2 게이트 구동부(20, 30)의 제1 및 제2 D-플립플롭 회로(210, 310)는 게이트 스타트 신호(GST)에 응답하여 게이트 클럭 신호(GCLK)에 따라 펄스를 순차적으로 출력한다. 제1 및 제2 게이트 구동부(20, 30)가 동일한 게이트 스타트 신호(GST)와 게이트 클럭 신호(GCLK)를 입력받으므로, 제1 게이트 구동부(20)의 제1 D-플립플롭 회로(210)로부터 출력되는 펄스와 제2 게이트 구동부(30)의 제2 D-플립플롭 회로(310)로부터 출력되는 펄스는 실질적으로 동일하다.

[0057] 다만, 제1 게이트 구동부(20)는 제1 게이트 출력 인에이블 신호(GOE1)를 입력받고, 제2 게이트 구동부(30)는 제2 게이트 출력 인에이블 신호(GOE2)를 입력받는다. 이때, 제1 게이트 출력 인에이블 신호(GOE1)와 제2 게이트 출력 인에이블 신호(GOE2)는 4 수평 기간(4H)을 주기로 가지므로, 제4r-3, 제4r-2, 제4r-1 및 제4r 수평 기간으로 구분될 수 있다. 예를 들어, 제4r-3 수평 기간은 제1, 제5 게이트 펄스(GP1, GP5)가 출력되는 기간에 해당한다.

[0058] 제1 게이트 출력 인에이블 신호(GOE1)는 도 6과 같이 제4r-3(r은 자연수) 및 제4r 수평 기간 동안 로우 로직 레벨(L)로 발생하고, 제4r-2 및 제4r-1 수평 기간 동안 하이 로직 레벨(H)로 발생한다. 또한, 제2 게이트 출력 인에이블 신호(GOE2)는 도 6과 같이 제4r-2 및 제4r-1 수평 기간 동안 로우 로직 레벨(L)로 발생하고, 제4r-3 및 제4r 수평 기간 동안 하이 로직 레벨(H)로 발생한다. 그 결과, 제1 및 제2 게이트 구동부(20, 30)는 제4r-3, 제4r-2, 제4r, 제4r-1 게이트 펄스들의 순서로 게이트 펄스들을 출력할 수 있다. 예를 들어, 도 6과 같이 제1, 제2, 제4, 및 제3 게이트 펄스들의 순서로 제1 내지 제4 게이트 펄스들을 출력할 수 있다. 즉, 제1 및 제2 게이트 구동부(20, 30)는 제1 및 제2 게이트 출력 인에이블 신호(GOE1, GOE2)를 이용하여 미리 정해진 순서대로 게이트 펄스들을 출력할 수 있다.

[0059] 데이터 구동부(50)는 게이트 펄스들(GP1~GPn) 각각에 동기화하는 데이터 전압들을 데이터 라인에 공급한다. 특히, 데이터 구동부(50)는 어느 한 데이터 라인에 게이트 펄스들이 공급되는 순서대로 데이터 전압들을 공급한다. 구체적으로, 제1 및 제2 게이트 구동부(20, 30)가 제4r-3, 제4r-2, 제4r, 및 제4r-1 게이트 펄스들의 순서로 게이트 펄스들을 출력하는 경우, 데이터 구동부(50)는 제4r-3, 제4r-2, 제4r, 및 제4r-1 데이터 전압들의 순서로 데이터 전압들을 출력한다. 예를 들어, 제1 및 제2 게이트 구동부(20, 30)가 도 6과 같이 제1, 제2, 제4, 및 제3 게이트 펄스들의 순서로 제1 내지 제4 게이트 펄스들을 출력하는 경우, 데이터 구동부(50)는 제

1, 제2, 제4, 및 제3 데이터 전압들(VD1, VD2, VD4, VD3)의 순서로 데이터 전압들을 출력한다.

[0060] 결국, 본 발명의 실시 예는 순차 어드레싱 방식과 TMA 방식에서 제1 및 제2 게이트 구동부(20, 30)에 동일한 게이트 스타트 신호(GST)와 게이트 클럭 신호(GCLK)를 공급한다. 또한, 본 발명의 실시 예는 순차 어드레싱 방식에서 제1 및 제2 게이트 구동부(20, 30)에 공급되는 제1 및 제2 출력 인에이블 신호(GOE1, GOE2) 각각의 위상과 TMA 방식에서 제1 및 제2 게이트 구동부(20, 30)에 공급되는 제1 및 제2 출력 인에이블 신호(GOE1, GOE2) 각각의 위상을 서로 다르게 제어한다. 이로 인해, 본 발명의 실시 예는 순차 어드레싱 방식에서 게이트 라인들에 게이트 펄스들을 순차적으로 출력하고, TMA 방식에서 게이트 라인들에 미리 정해진 순서대로 게이트 펄스들을 출력할 수 있다. 그 결과, 본 발명의 실시 예는 수평 스트라이프 패턴과 같이 특정한 화상 패턴에서 데이터 전압들의 스윙 주기를 줄임으로써 소비전력을 절감할 수 있다.

[0061] 또한, 본 발명의 실시 예는 게이트 스타트 신호(GST), 게이트 클럭 신호(GCLK), 제1 및 제2 게이트 출력 인에이블 신호(GOE1, GOE2)의 4 개의 신호들만을 이용하여 제1 및 제2 게이트 구동부(20, 30)를 순차 어드레싱 방식과 TMA 방식으로 제어할 수 있다. 그 결과, 본 발명의 실시 예는 타이밍 제어부(50)와 제1 및 제2 게이트 구동부(20, 30)를 연결하기 위한 신호 라인들의 개수를 최소화할 수 있다.

[0062] 도 7은 수평 스트라이프 패턴의 경우 도 5의 순차 어드레싱 방식에서 제1 내지 제8 게이트 펄스들과 제1 내지 제4 데이터 전압들을 보여주는 일 예시도면이다.

[0063] 도 7을 참조하면, 데이터 구동부(40)는 도 3을 결부하여 설명한 바와 같이 컬럼 인버전 방식으로 데이터 전압들을 데이터 라인들에 공급한다. 즉, 데이터 구동부(40)는 서로 이웃하는 데이터 라인들에는 상반된 극성의 데이터 전압들을 공급하므로, 제j 데이터 라인(Dj)에 공급되는 제j 데이터 전압들(DVj)의 극성과 제j+1 데이터 라인(Dj+1)에 공급되는 제j+1 데이터 전압들(DVj+1)의 극성은 서로 상반된다.

[0064] 또한, 수평 스트라이프 패턴의 화상이 표시될 때, 도 5의 순차 어드레싱 방식으로 게이트 라인들에 게이트 펄스들이 순차적으로 공급되는 경우, 데이터 라인들에 공급되는 데이터 전압들은 2 수평 기간(2H) 주기로 피크 화이트 계조 전압과 피크 블랙 계조 전압 사이를 스윙하게 된다. 예를 들어, 도 7과 같이 제1 데이터 라인(D1)에 공급되는 데이터 전압은 2 수평 기간(2H) 주기로 정극성의 피크 화이트 계조 전압(PWGV+)과 정극성의 피크 블랙 계조 전압(PBGV+) 사이를 스윙하며, 제2 데이터 라인(D2)에 공급되는 데이터 전압은 2 수평 기간(2H) 주기로 부극성의 피크 화이트 계조 전압(PWGV-)과 부극성의 피크 블랙 계조 전압(PBGV-) 사이를 스윙할 수 있다. 수평 스트라이프 패턴은 도 1과 같이 기수 게이트 라인들에 접속된 화소들이 피크 화이트 계조를 표시하고, 우수 게이트 라인들에 접속된 화소들이 피크 블랙 계조를 표시하는 패턴의 화상을 의미한다.

[0065] 결국, 순차 어드레싱 방식의 경우 수평 스트라이프 패턴의 화상을 표시할 때, 데이터 전압들의 스윙 폭은 가장 크고 스윙 주기는 가장 짧기 때문에, 소비전력이 커지는 문제가 있다.

[0066] 도 8은 수평 스트라이프 패턴의 경우 도 6의 TMA 방식에서 제1 내지 제8 게이트 펄스들과 제1 내지 제4 데이터 전압들을 보여주는 일 예시도면이다.

[0067] 도 8을 참조하면, 데이터 구동부(40)는 도 3을 결부하여 설명한 바와 같이 컬럼 인버전 방식으로 데이터 전압들을 데이터 라인들에 공급한다. 즉, 데이터 구동부(40)는 서로 이웃하는 데이터 라인들에는 상반된 극성의 데이터 전압들을 공급하므로, 제j 데이터 라인(Dj)에 공급되는 제j 데이터 전압들(DVj)의 극성과 제j+1 데이터 라인(Dj+1)에 공급되는 제j+1 데이터 전압들(DVj+1)의 극성은 도 8과 같이 서로 상반된다.

[0068] 또한, 수평 스트라이프 패턴의 화상이 표시될 때, 도 6의 TMA 방식으로 게이트 라인들에 게이트 펄스들이 미리 정해진 순서대로 공급되는 경우, 데이터 라인들에 공급되는 데이터 전압들은 4 수평 기간(4H) 주기로 피크 화이트 계조 전압과 피크 블랙 계조 전압 사이를 스윙하게 된다. 예를 들어, 도 8과 같이 제1 데이터 라인(D1)에 공급되는 데이터 전압은 4 수평 기간(4H) 주기로 정극성의 피크 화이트 계조 전압(PWGV+)과 정극성의 피크 블랙 계조 전압(PBGV+) 사이를 스윙하며, 제2 데이터 라인(D2)에 공급되는 데이터 전압은 4 수평 기간(4H) 주기로 부극성의 피크 화이트 계조 전압(PWGV-)과 부극성의 피크 블랙 계조 전압(PBGV-) 사이를 스윙할 수 있다.

[0069] 도 8에서는 제4r-3, 제4r-2, 제4r, 제4r-1 게이트 펄스들의 순서로 게이트 펄스들이 공급되는 것을 예시하였다. 이로 인해, 수평 스트라이프 패턴의 화상을 표시할 때, TMA 방식의 경우 순차 어드레싱 방식에 비해 데이터 전

압들의 스윙 주기를 늘릴 수 있으므로, 소비전력을 줄일 수 있다.

[0070] 한편, 도 7 및 도 8에서는 설명의 편의를 위해 수평 스트라이프 패턴을 중심으로 설명하였으나, 본 발명의 실시예에 따른 TMA 방식은 수평 스트라이프 패턴뿐만 아니라 순차 어드레싱 방식에서 소비전력이 커지는 다른 특정한 패턴에서 소비전력을 줄일 수 있도록 설계될 수 있음에 주의하여야 한다.

[0071] 도 9a는 도 2의 제1 게이트 구동부의 또 다른 예를 보여주는 블록도이다. 도 9a를 참조하면, 제1 게이트 구동부(20)는 제1 쉬프트 레지스터(21), 제1 레벨 쉬프터, 제1 출력 버퍼 등을 구비한다. 제1 쉬프트 레지스터(21)는 게이트 스타트 신호(GST)를 게이트 클럭 신호(GCLK)에 따라 순차적으로 쉬프트시키고, 제1 및 제3 게이트 출력 인에이블 신호(GOE1, GOE3)에 따라 기수 게이트 펄스들을 출력한다. 제1 레벨 쉬프터는 제1 쉬프트 레지스터(21)로부터 출력된 기수 게이트 펄스들의 전압 스윙 폭을 화소 어레이(PA)에 형성된 TFT의 동작이 가능한 스윙 폭으로 쉬프트시킨다. 도 9a에서는 설명의 편의를 위해 제1 쉬프트 레지스터(21)만을 도시하였음에 주의하여야 한다.

[0072] 도 9a를 참조하면, 제1 쉬프트 레지스터(21)는 제1 D-플립플롭 회로(210), 제1 인버터(211), 제3 인버터(213), 및 제1 AND 게이트 회로(212)를 포함한다. 제1 D-플립플롭 회로(210)는 종속적으로 접속된 제1 내지 제t($t \leq 4n$)을 만족하는 자연수) D-플립플롭들(DFF1~DFFt)을 포함하고, 제1 AND 게이트 회로(212)는 제1 내지 제2t AND 게이트들(AG1~AG2t)을 포함한다.

[0073] 제1 D-플립플롭 회로(210)의 제1 내지 제t D-플립플롭들(DFF1~DFFq) 각각의 입력 단자(D)는 게이트 스타트 신호(GST)가 입력되는 게이트 스타트 신호 라인(GSTL) 또는 전단 D-플립플롭(DFF)의 출력 단자(Q)에 접속되고, 클럭 단자(CLK)는 게이트 클럭 신호(GCLK)가 입력되는 게이트 클럭 신호 라인(GCLKL)에 접속되며, 출력 단자(Q)는 후단 D-플립플롭(DFF)의 입력 단자(D)에 접속된다. 또한, 제1 D-플립플롭 회로(210)의 제u($1 \leq u \leq t$)를 만족하는 자연수) D-플립플롭(DFFp)의 출력 단자(Q)는 제2u-1 및 제2u AND 게이트들(AG2u-1, AG2u)에 접속된다. 예를 들어, 제1 D-플립플롭 회로(310)의 제1 D-플립플롭(DFF1)의 출력 단자(Q)는 제1 및 제2 AND 게이트들(AG1, AG2)에 접속된다.

[0074] 제1 인버터(211)는 제1 게이트 출력 인에이블 신호(GOE1)를 반전시켜 제1 AND 게이트 회로(212)에 공급한다. 제3 인버터(213)는 제3 게이트 출력 인에이블 신호(GOE3)를 반전시켜 제1 AND 게이트 회로(212)에 공급한다.

[0075] 제1 AND 게이트 회로(212)의 제2u-1 AND 게이트(AG2u-1)는 제u D-플립플롭(DFFu)의 출력 신호와 제1 게이트 출력 인에이블 신호(GOE1)의 반전신호를 논리곱 연산하여 제4u-3 게이트 라인에 게이트 펄스를 출력한다. 예를 들어, 도 9a와 같이 제1 AND 게이트 회로(212)의 제1 AND 게이트(AG1)는 제1 플립플롭(DFF1)의 출력 신호와 제1 게이트 출력 인에이블 신호(GOE1)의 반전신호를 논리곱 연산하여 제1 게이트 라인(G1)에 게이트 펄스를 출력한다. 또한, 제1 AND 게이트 회로(212)의 제2u AND 게이트(AG2u)는 제u D-플립플롭(DFFu)의 출력 신호와 제3 게이트 출력 인에이블 신호(GOE3)의 반전신호를 논리곱 연산하여 제4u-1 게이트 라인에 게이트 펄스를 출력한다. 예를 들어, 도 9a와 같이 제1 AND 게이트 회로(212)의 제2 AND 게이트(AG2)는 제1 D-플립플롭(DFF1)의 출력 신호와 제3 게이트 출력 인에이블 신호(GOE3)의 반전신호를 논리곱 연산하여 제3 게이트 라인(G3)에 게이트 펄스를 출력한다. 제2u-1 AND 게이트(AG2u-1)는 기수 AND 게이트를 지시하고, 제2u AND 게이트(AG2u)는 우수 AND 게이트를 지시한다.

[0076] 도 9b는 도 2의 제2 게이트 구동부의 또 다른 예를 보여주는 블록도이다. 도 9b를 참조하면, 제2 게이트 구동부(30)는 제2 쉬프트 레지스터(31), 제2 레벨 쉬프터, 제2 출력 버퍼 등을 구비한다. 제2 쉬프트 레지스터(31)는 게이트 스타트 신호(GST)를 게이트 클럭 신호(GCLK)에 따라 순차적으로 쉬프트시키고, 제2 및 제4 게이트 출력 인에이블 신호(GOE2, GOE4)에 따라 우수 게이트 펄스들을 출력한다. 제2 레벨 쉬프터는 제2 쉬프트 레지스터(31)로부터 출력된 우수 게이트 펄스들의 전압 스윙 폭을 화소 어레이(PA)에 형성된 TFT의 동작이 가능한 스윙 폭으로 쉬프트시킨다. 도 9b에서는 설명의 편의를 위해 제2 쉬프트 레지스터(31)만을 도시하였음에 주의하여야 한다.

[0077] 도 9b를 참조하면, 제2 쉬프트 레지스터(31)는 제2 D-플립플롭 회로(310), 제2 인버터(311), 제4 인버터(313), 및 제2 AND 게이트 회로(312)를 포함한다. 제2 D-플립플롭 회로(310)는 종속적으로 접속된 제1 내지 제t D-플립플롭들(DFF1~DFFt)을 포함하고, 제2 AND 게이트 회로(312)는 제1 내지 제2t AND 게이트들(AG1~AG2t)을 포함

한다.

[0078] 제2 D-플립플롭 회로(310)의 제1 내지 제t D-플립플롭들(DFF1~DFFt) 각각의 입력 단자(D)는 게이트 스타트 신호(GST)가 입력되는 게이트 스타트 신호 라인(GSTL) 또는 전단 D-플립플롭(DFF)의 출력 단자(Q)에 접속되고, 클럭 단자(CLK)는 게이트 클럭 신호(GCLK)가 입력되는 게이트 클럭 신호 라인(GCLKL)에 접속되며, 출력 단자(Q)는 후단 D-플립플롭(DFF)의 입력 단자(D)에 접속된다. 또한, 제2 D-플립플롭 회로(310)의 제u D-플립플롭(DFFp)의 출력 단자(Q)는 제2u-1 및 제2u AND 게이트들(AG2u-1, AG2u)에 접속된다. 예를 들어, 제2 D-플립플롭 회로(310)의 제1 D-플립플롭(DFF1)의 출력 단자(Q)는 제1 및 제2 AND 게이트들(AG1, AG2)에 접속된다.

[0079] 제2 인버터(311)는 제2 게이트 출력 인에이블 신호(GOE2)를 반전시켜 제2 AND 게이트 회로(312)에 공급한다. 제4 인버터(313)는 제4 게이트 출력 인에이블 신호(GOE4)를 반전시켜 제2 AND 게이트 회로(312)에 공급한다.

[0080] 제2 AND 게이트 회로(312)의 제2u-1 AND 게이트(AG2u-1)는 제u D-플립플롭(DFFu)의 출력 신호와 제3 게이트 출력 인에이블 신호(GOE3)의 반전신호를 논리곱 연산하여 제4u-2 게이트 라인에 게이트 펄스를 출력한다. 또한, 제2 AND 게이트 회로(312)의 제2u AND 게이트(AG2u)는 제u D-플립플롭(DFFp)의 출력 신호와 제4 게이트 출력 인에이블 신호(GOE4)의 반전신호를 논리곱 연산하여 제4u 게이트 라인에 게이트 펄스를 출력한다. 제2u-1 AND 게이트(AG2u-1)는 기수 AND 게이트를 지시하고, 제2u AND 게이트(AG2u)는 우수 AND 게이트를 지시한다.

[0081] 도 10은 순차 어드레싱 방식에서 도 9a 및 도 9b의 제1 및 제2 게이트 구동부의 입출력 신호를 보여주는 파형도이다. 도 10에는 타이밍 제어부(50)로부터 공급되는 게이트 클럭 신호(GCLK), 게이트 스타트 신호(GST), 제1 내지 제4 게이트 출력 인에이블 신호(GOE1, GOE2, GOE3, GOE4), 데이터 전압들(DATA), 제1 내지 제6 게이트 펄스들(GP1~GP6), 및 제n-3 내지 제n 게이트 펄스들(GPn-3~GPn)이 나타나 있다.

[0082] 도 10을 참조하면, 게이트 스타트 신호(GST)의 펄스는 1 프레임 기간의 시작 시점에 발생된다. 게이트 스타트 신호(GST)의 펄스 주기는 1 프레임 기간이다. 게이트 클럭 신호(GCLK)의 펄스, 제1 게이트 출력 인에이블 신호(GOE1)의 펄스, 제2 게이트 출력 인에이블 신호(GOE2), 제3 게이트 출력 인에이블 신호(GOE3)의 펄스, 및 제4 게이트 출력 인에이블 신호(GOE4)의 펄스 각각은 소정의 주기로 발생된다. 도 10에서는 게이트 클럭 신호(GCLK)의 펄스 주기, 제1 게이트 출력 인에이블 신호(GOE1)의 펄스 주기, 및 제2 게이트 출력 인에이블 신호(GOE2)의 펄스 주기가 4 수평 기간(4H)으로 구현된 것을 예시하였으나, 이에 한정되지 않음에 주의하여야 한다.

[0083] 또한, 게이트 클럭 신호(GCLK)의 펄스는 버티컬 블랭크 기간(vertical blank period) 동안 발생하나, 제1 게이트 출력 인에이블 신호(GOE1)의 펄스, 제2 게이트 출력 인에이블 신호(GOE2)의 펄스, 제3 게이트 출력 인에이블 신호(GOE3)의 펄스, 및 제4 게이트 출력 인에이블 신호(GOE4)의 펄스는 버티컬 블랭크 기간 동안 발생하지 않을 수 있다. 또한, 도 10에서는 제2 게이트 출력 인에이블 신호(GOE2)가 제1 게이트 출력 인에이블 신호(GOE1)에 비해 위상이 1 수평 기간(1H)만큼 지연되고, 제3 게이트 출력 인에이블 신호(GOE3)가 제2 게이트 출력 인에이블 신호(GOE2)에 비해 위상이 1 수평 기간(1H)만큼 지연되며, 제4 게이트 출력 인에이블 신호(GOE4)가 제3 게이트 출력 인에이블 신호(GOE3)에 비해 위상이 1 수평 기간(1H)만큼 지연된 신호인 것을 중심으로 설명하였으나, 이에 한정되지 않음에 주의하여야 한다.

[0084] 도 10에 도시된 데이터 전압들(DATA)은 어느 한 데이터 라인에 공급되는 데이터 전압들을 보여준다. 데이터 전압들(DATA)은 도 10과 같이 1 수평 기간(1H)마다 공급될 수 있다.

[0085] 이하에서는 도 9a, 도 9b, 및 도 10을 결부하여 순차 어드레싱 방식에서 제1 및 제2 게이트 구동부(20, 30)와 데이터 구동부(40)의 동작을 상세히 살펴본다.

[0086] 제1 게이트 구동부(20)는 타이밍 제어부(50)로부터 게이트 스타트 신호(GST), 게이트 클럭 신호(GCLK), 제1 및 제3 게이트 출력 인에이블 신호(GOE1, GOE3)를 입력받는다. 제2 게이트 구동부(30)는 타이밍 제어부(50)로부터 게이트 스타트 신호(GST), 게이트 클럭 신호(GCLK), 제2 및 제4 게이트 출력 인에이블 신호(GOE2, GOE4)를 입력받는다.

[0087] 제1 및 제2 게이트 구동부(20, 30)의 제1 및 제2 D-플립플롭 회로(210, 310)는 게이트 스타트 신호(GST)에 응답하여 게이트 클럭 신호(GCLK)에 따라 펄스를 순차적으로 출력한다. 제1 및 제2 게이트 구동부(20, 30)가 동일한 게이트 스타트 신호(GST)와 게이트 클럭 신호(GCLK)를 입력받으므로, 제1 게이트 구동부(20)의 제1 D-플립플롭 회로(210)로부터 출력되는 펄스와 제2 게이트 구동부(30)의 제2 D-플립플롭 회로(310)로부터 출력되는 펄스는 실질적으로 동일하다.

- [0088] 다만, 제1 게이트 구동부(20)는 제1 및 제3 게이트 출력 인에이블 신호(GOE1, GOE3)를 입력받고, 제2 게이트 구동부(30)는 제2 및 제4 게이트 출력 인에이블 신호(GOE2, GOE4)를 입력받는다. 이때, 제1 내지 제4 게이트 출력 인에이블 신호(GOE1, GOE2, GOE3, GOE4) 각각은 4 수평 기간(4H)의 주기를 가지므로, 제4r-3, 제4r-2, 제4r-1 및 제4r 수평 기간으로 구분될 수 있다. 예를 들어, 제4r-3 수평 기간은 제1, 제5 게이트 펄스(GP1, GP5)가 출력되는 기간에 해당한다.
- [0089] 제1 게이트 출력 인에이블 신호(GOE1)는 도 10과 같이 제4r-3 수평 기간 동안 로우 로직 레벨(L)로 발생하고, 제4r-2 내지 제4r 수평 기간 동안 하이 로직 레벨(H)로 발생할 수 있다. 제2 게이트 출력 인에이블 신호(GOE2)는 도 10과 같이 제4r-2 수평 기간 동안 로우 로직 레벨(L)로 발생하고, 제4r-3, 제4r-1, 및 제4r 수평 기간 동안 하이 로직 레벨(H)로 발생할 수 있다. 제3 게이트 출력 인에이블 신호(GOE3)는 도 10과 같이 제4r-1 수평 기간 동안 로우 로직 레벨(L)로 발생하고, 제4r-3, 제4r-2, 및 제4r 수평 기간 동안 하이 로직 레벨(H)로 발생할 수 있다. 제4 게이트 출력 인에이블 신호(GOE4)는 도 10과 같이 제4r 수평 기간 동안 로우 로직 레벨(L)로 발생하고, 제4r-3 내지 제4r-1 수평 기간 동안 하이 로직 레벨(H)로 발생할 수 있다. 이 경우, 제1 및 제2 게이트 구동부(20, 30)는 제1 내지 제n 게이트 라인들(G1~Gn)에는 게이트 펄스들(GP1~GPn)을 도 10과 같이 순차적으로 출력할 수 있다.
- [0090] 데이터 구동부(50)는 게이트 펄스들(GP1~GPn) 각각에 동기화하는 데이터 전압들을 데이터 라인에 공급한다. 특히, 데이터 구동부(50)는 어느 한 데이터 라인에 제1 내지 제n 데이터 전압들(VD1~VDn)을 순차적으로 공급한다.
- [0091] 도 11은 TMA 방식에서 도 9a 및 도 9b의 제1 및 제2 게이트 구동부의 입출력 신호를 보여주는 파형도이다. 도 11에는 타이밍 제어부(50)로부터 공급되는 게이트 클럭 신호(GCLK), 게이트 스타트 신호(GST), 제1 내지 제4 게이트 출력 인에이블 신호(GOE1, GOE2, GOE3, GOE4), 데이터 전압들(DATA), 제1 내지 제6 게이트 펄스들(GP1~GP6), 및 제n-3 내지 제n 게이트 펄스들(GPn-3~GPn)이 나타나 있다.
- [0092] 도 11을 참조하면, 게이트 스타트 신호(GST)의 펄스는 1 프레임 기간의 시작 시점에 발생된다. 게이트 스타트 신호(GST)의 펄스 주기는 1 프레임 기간이다. 게이트 클럭 신호(GCLK)의 펄스, 제1 게이트 출력 인에이블 신호(GOE1)의 펄스, 제2 게이트 출력 인에이블 신호(GOE2)의 펄스, 제3 게이트 출력 인에이블 신호(GOE3)의 펄스, 및 제4 게이트 출력 인에이블 신호(GOE4)의 펄스 각각은 소정의 주기로 발생된다. 도 11에서는 게이트 클럭 신호(GCLK)의 펄스 주기가 제1 게이트 출력 인에이블 신호(GOE1)의 펄스 주기 또는 제2 게이트 출력 인에이블 신호(GOE2)의 펄스 주기보다 짧게 구현된 것을 예시하였으나, 이에 한정되지 않음에 주의하여야 한다. 즉, 도 11에서는 게이트 클럭 신호(GCLK)의 펄스 주기가 4 수평 기간(4H)이고, 제1 내지 제4 게이트 출력 인에이블 신호(GOE1, GOE2, GOE3, GOE4) 각각의 펄스 주기가 8 수평 기간(8H)인 것을 중심으로 설명하였으나, 이에 한정되지 않음에 주의하여야 한다.
- [0093] 또한, 게이트 클럭 신호(GCLK)의 펄스는 버티컬 블랭크 기간 동안 발생하나, 제1 게이트 출력 인에이블 신호(GOE1)의 펄스, 및 제2 게이트 출력 인에이블 신호(GOE2)의 펄스는 버티컬 블랭크 기간 동안 발생하지 않을 수 있다.
- [0094] 도 11에 도시된 데이터 전압들(DATA)은 어느 한 데이터 라인에 공급되는 데이터 전압들을 보여준다. 데이터 전압들(DATA)은 도 11과 같이 1 수평 기간(1H)마다 공급될 수 있다.
- [0095] 이하에서는 도 9a, 도 9b, 및 도 11을 결부하여 TMA 방식에서 제1 및 제2 게이트 구동부(20, 30)와 데이터 구동부(40)의 동작을 상세히 살펴본다.
- [0096] 제1 게이트 구동부(20)는 타이밍 제어부(50)로부터 게이트 스타트 신호(GST), 게이트 클럭 신호(GCLK), 제1 게이트 출력 인에이블 신호(GOE1), 및 제3 게이트 출력 인에이블 신호(GOE3)를 입력받는다. 제2 게이트 구동부(30)는 타이밍 제어부(50)로부터 게이트 스타트 신호(GST), 게이트 클럭 신호(GCLK), 제2 게이트 출력 인에이블 신호(GOE2), 및 제4 게이트 출력 인에이블 신호(GOE4)를 입력받는다.
- [0097] 제1 및 제2 게이트 구동부(20, 30)의 제1 및 제2 D-플립플롭 회로(210, 310)는 게이트 스타트 신호(GST)에 응답하여 게이트 클럭 신호(GCLK)에 따라 펄스를 순차적으로 출력한다. 제1 및 제2 게이트 구동부(20, 30)가 동일한 게이트 스타트 신호(GST)와 게이트 클럭 신호(GCLK)를 입력받으므로, 제1 게이트 구동부(20)의 제1 D-플립플롭 회로(210)로부터 출력되는 펄스와 제2 게이트 구동부(30)의 제2 D-플립플롭 회로(310)로부터 출력되는 펄스는 실질적으로 동일하다.

- [0098] 다만, 제1 게이트 구동부(20)는 제1 및 제3 게이트 출력 인에이블 신호(GOE1, GOE3)를 입력받고, 제2 게이트 구동부(30)는 제2 및 제4 게이트 출력 인에이블 신호(GOE2, GOE4)를 입력받는다. 이때, 제1 내지 제4 게이트 출력 인에이블 신호(GOE1, GOE2, GOE3, GOE4) 각각은 8 수평 기간(8H)의 주기를 가지므로, 제8s-7(s는 자연수) 내지 제8s 수평 기간으로 구분될 수 있다. 예를 들어, 제8s-7 수평 기간은 제1, 제9 게이트 펄스(GP1, GP9)가 출력되는 기간에 해당한다.
- [0099] 제1 게이트 출력 인에이블 신호(GOE1)는 도 11과 같이 제8s-7 및 제8s 수평 기간 동안 로우 로직 레벨(L)로 발생하고, 제8s-6 내지 제8s-1 수평 기간 동안 하이 로직 레벨(H)로 발생할 수 있다. 제2 게이트 출력 인에이블 신호(GOE2)는 도 11과 같이 제8s-5 및 제8s-3 수평 기간 동안 로우 로직 레벨(L)로 발생하고, 제8s-7, 제8s-6, 제8s-4, 제8s-2 내지 제8s 수평 기간 동안 하이 로직 레벨(H)로 발생할 수 있다. 제3 게이트 출력 인에이블 신호(GOE3)는 도 11과 같이 제8s-6 및 제8s-1 수평 기간 동안 로우 로직 레벨(L)로 발생하고, 제8s-7, 제8s-4 내지 제8s-2, 및 제8s 수평 기간 동안 하이 로직 레벨(H)로 발생할 수 있다. 제4 게이트 출력 인에이블 신호(GOE4)는 도 11과 같이 제8s-4 및 제8s-2 수평 기간 동안 로우 로직 레벨(L)로 발생하고, 제8s-7 내지 제8s-5, 제8s-3, 제8s-1, 및 제8s 수평 기간 동안 하이 로직 레벨(H)로 발생할 수 있다. 이 경우, 제1 및 제2 게이트 구동부(20, 30)는 제8s-7, 제8s-5, 제8s-6, 제8s-4, 제8s-2, 제8s, 제8s-1, 및 제8s 게이트 펄스들의 순서로 게이트 펄스들을 출력할 수 있다. 예를 들어, 제1 및 제2 게이트 구동부(20, 30)는 도 11과 같이 제1, 제3, 제2, 제4, 제6, 제8, 제7 및 제5 게이트 펄스들의 순서로 제1 내지 제8 게이트 펄스들을 출력할 수 있다. 즉, 제1 및 제2 게이트 구동부(20, 30)는 제1 및 제2 게이트 출력 인에이블 신호(GOE1, GOE2)를 이용하여 미리 정해진 순서대로 게이트 펄스들을 출력할 수 있다.
- [0100] 데이터 구동부(50)는 게이트 펄스들(GP1~GPn) 각각에 동기화하는 데이터 전압들을 데이터 라인에 공급한다. 특히, 데이터 구동부(50)는 어느 한 데이터 라인에 게이트 펄스들이 공급되는 순서대로 데이터 전압들을 공급한다. 구체적으로, 제1 및 제2 게이트 구동부(20, 30)가 제8s-7, 제8s-5, 제8s-6, 제8s-4, 제8s-2, 제8s, 제8s-1, 및 제8s 게이트 펄스들의 순서로 게이트 펄스들을 출력하는 경우, 데이터 구동부(50)는 제8s-7, 제8s-5, 제8s-6, 제8s-4, 제8s-2, 제8s, 제8s-1, 및 제8s 데이터 전압들의 순서로 데이터 전압들을 출력한다. 예를 들어, 제1 및 제2 게이트 구동부(20, 30)가 도 11과 같이 제1, 제3, 제2, 제4, 제6, 제8, 제7 및 제5 게이트 펄스들의 순서로 제1 내지 제8 게이트 펄스들을 출력하는 경우, 데이터 구동부(50)는 제1, 제3, 제2, 제4, 제6, 제8, 제7 및 제5 데이터 전압들(VD1, VD3, VD2, VD4, VD6, VD8, VD7, VD5)의 순서로 데이터 전압들을 출력한다.
- [0101] 결국, 본 발명의 실시 예는 순차 어드레싱 방식과 TMA 방식에서 제1 및 제2 게이트 구동부(20, 30)에 동일한 게이트 스타트 신호(GST)와 게이트 클럭 신호(GCLK)를 공급한다. 또한, 본 발명의 실시 예는 순차 어드레싱 방식에서 제1 및 제2 게이트 구동부(20, 30)에 공급되는 제1 내지 제4 게이트 출력 인에이블 신호(GOE1, GOE2, GOE3, GOE4) 각각의 위상과 TMA 방식에서 제1 및 제2 게이트 구동부(20, 30)에 공급되는 제1 내지 제4 게이트 출력 인에이블 신호(GOE1, GOE2, GOE3, GOE4) 각각의 위상을 다르게 제어한다. 이로 인해, 본 발명의 실시 예는 순차 어드레싱 방식에서 게이트 라인들에 게이트 펄스들을 순차적으로 출력하고, TMA 방식에서 게이트 라인들에 미리 정해진 순서대로 게이트 펄스들을 출력할 수 있다. 그 결과, 본 발명의 실시 예는 수평 스트라이프 패턴과 같이 특정한 패턴의 화상이 입력되는 경우, TMA 방식으로 구동하여 데이터 전압들의 스윙 주기를 줄일 수 있으므로, 소비전력을 절감할 수 있다.
- [0102] 도 12는 수평 스트라이프 패턴의 경우 도 11의 TMA 방식에서 제1 내지 제12 게이트 펄스들과 제1 내지 제4 데이터 전압들을 보여주는 일 예시도면이다. 한편, 수평 스트라이프 패턴의 경우 도 10의 순차 어드레싱 방식에서 공급되는 게이트 펄스들과 데이터 전압들은 도 7과 실질적으로 동일하므로, 이에 대한 자세한 설명은 생략하였다.
- [0103] 도 12를 참조하면, 데이터 구동부(40)는 도 3을 결부하여 설명한 바와 같이 컬럼 인버전 방식으로 데이터 전압들을 데이터 라인들에 공급한다. 즉, 데이터 구동부(40)는 서로 이웃하는 데이터 라인들에는 상반된 극성의 데이터 전압들을 공급하므로, 제j 데이터 라인(Dj)에 공급되는 제j 데이터 전압들(DVj)의 극성과 제j+1 데이터 라인(Dj+1)에 공급되는 제j+1 데이터 전압들(DVj+1)의 극성은 도 12와 같이 서로 상반된다.
- [0104] 또한, 수평 스트라이프 패턴의 화상이 표시될 때, 도 11의 TMA 방식으로 게이트 라인들에 게이트 펄스들이 미리 정해진 순서대로 공급되는 경우, 데이터 라인들에 공급되는 데이터 전압들은 8 수평 기간(8H) 주기로 피크 화이트 계조 전압과 피크 블랙 계조 전압 사이를 스윙하게 된다. 예를 들어, 도 11과 같이 제1 데이터 라인(D1)에

공급되는 데이터 전압은 8 수평 기간(8H) 주기로 정극성의 피크 화이트 게조 전압(PWGV+)과 정극성의 피크 블랙 게조 전압(PBGV+) 사이를 스윙하며, 제2 데이터 라인(D2)에 공급되는 데이터 전압은 8 수평 기간(8H) 주기로 부극성의 피크 화이트 게조 전압(PWGV-)과 부극성의 피크 블랙 게조 전압(PBGV-) 사이를 스윙할 수 있다. 도 11에서는 제8s-7, 제8s-5, 제8s-6, 제8s-4, 제8s-2, 제8s, 제8s-1, 및 제8s 게이트 펄스들의 순서로 게이트 펄스들이 공급되는 것을 예시하였다. 이로 인해, 수평 스트라이프 패턴의 화상을 표시할 때, TMA 방식의 경우 순차 어드레싱 방식에 비해 데이터 전압들의 스윙 주기를 늘릴 수 있으므로, 소비전력을 줄일 수 있다.

[0105] 한편, 도 12에서는 설명의 편의를 위해 수평 스트라이프 패턴을 중심으로 설명하였으나, 본 발명의 실시 예에 따른 TMA 방식은 수평 스트라이프 패턴뿐만 아니라 순차 어드레싱 방식에서 소비전력이 커지는 다른 특정한 패턴에서 소비전력을 줄일 수 있도록 설계될 수 있음에 주의하여야 한다.

[0106] 도 13은 본 발명의 제2 실시 예에 따른 액정표시장치를 보여주는 블록도이다. 도 13을 참조하면, 본 발명의 제2 실시 예에 따른 액정표시장치는 화소 어레이(PA)가 형성된 액정표시패널(10), 게이트 구동부(70), 데이터 구동부(40), 타이밍 제어부(50), 화상 패턴 인식부(60) 등을 구비한다.

[0107] 본 발명의 제2 실시 예에 따른 액정표시장치의 액정표시패널(10), 데이터 구동부(40), 타이밍 제어부(50), 및 화상 패턴 인식부(60)는 도 2를 결부하여 설명한 바와 실질적으로 동일하므로, 이에 대한 자세한 설명은 생략하기로 한다.

[0108] 본 발명의 제2 실시 예에 따른 액정표시장치의 게이트 구동부(70)는 화소 어레이(PA)의 일 측 바깥쪽에 형성된다. 도 13에서는 게이트 구동부(70)가 화소 어레이(PA)의 좌측 바깥쪽에 형성되는 것을 예시하였으나, 이에 한정되지 않음에 주의하여야 한다. 즉, 게이트 구동부(70)는 화소 어레이(PA)의 우측 바깥쪽에 형성될 수 있다. 게이트 구동부(70)는 TCP 상에 실장되고, TAB 공정에 의해 액정표시패널(10)의 하부 유리기관에 접합되거나, GIP(Gate In Panel) 공정에 의해 화소 어레이(PA)와 동시에 하부 유리기관상에 직접 형성될 수 있다.

[0109] 게이트 구동부(70)는 타이밍 제어부(50)로부터 게이트 타이밍 제어신호(GCS)를 입력받는다. 제1 게이트 구동부(20)는 게이트 타이밍 제어신호(GCS)에 응답하여 게이트 라인들(G1, G2, ..., Gn)에 게이트 펄스들을 공급한다.

[0110] 이상에서 살펴본 바와 같이, 본 발명의 제1 실시 예는 복수의 게이트 구동부를 이용하여 순차 어드레싱 방식과 TMA 방식으로 구동하는 액정표시장치에 관한 것인 반면에, 본 발명의 제2 실시 예는 하나의 게이트 구동부를 이용하여 순차 어드레싱 방식과 TMA 방식으로 구동하는 액정표시장치에 관한 것이다. 이하에서는 도 14 내지 도 16을 결부하여 본 발명의 제2 실시 예에 따른 액정표시장치의 게이트 구동부(70)에 대하여 상세히 살펴본다.

[0111] 도 14는 도 13의 게이트 구동부의 일 예를 보여주는 블록도이다. 도 14를 참조하면, 게이트 구동부(70)는 쉬프트 레지스터(41), 레벨 쉬프터, 출력 버퍼 등을 구비한다. 쉬프트 레지스터(41)는 게이트 스타트 신호(GST)를 게이트 클럭 신호(GCLK)에 따라 순차적으로 쉬프트시키고, 제1 및 제2 게이트 출력 인에이블 신호(GOE1, GOE2)에 따라 게이트 펄스들을 출력한다. 레벨 쉬프터는 쉬프트 레지스터(41)로부터 출력된 게이트 펄스들의 전압 스윙 폭을 화소 어레이(PA)에 형성된 TFT의 동작이 가능한 스윙 폭으로 쉬프트시킨다. 도 14에서는 설명의 편의를 위해 쉬프트 레지스터(41)만을 도시하였음에 주의하여야 한다.

[0112] 도 14를 참조하면, 쉬프트 레지스터(41)는 D-플립플롭 회로(410), 제1 인버터(411), 제2 인버터(412), 및 AND 게이트 회로(413)를 포함한다. D-플립플롭 회로(410)는 종속적으로 접속된 제1 내지 제q D-플립플롭들(DFF1~DFFq)을 포함하고, AND 게이트 회로(412)는 제1 내지 제2q AND 게이트들(AG1~AG2q)을 포함한다.

[0113] D-플립플롭 회로(410)의 제1 내지 제q D-플립플롭들(DFF1~DFFq) 각각의 입력 단자(D)는 게이트 스타트 신호(GST)가 입력되는 게이트 스타트 신호 라인(GSTL) 또는 전단 D-플립플롭(DFF)의 출력 단자(Q)에 접속되고, 클럭 단자(CLK)는 게이트 클럭 신호(GCLK)가 입력되는 게이트 클럭 신호 라인(GCLKL)에 접속되며, 출력 단자(Q)는 후단 D-플립플롭(DFF)의 입력 단자(D)에 접속된다. 또한, D-플립플롭 회로(410)의 제p D-플립플롭(DFFp)의 출력 단자는 제2p-1 및 제2p AND 게이트들(AG2p-1, AG2p)에 접속된다. 예를 들어, D-플립플롭 회로(410)의 제1 D-플립플롭(DFF1)의 출력 단자(Q)는 제1 및 제2 AND 게이트들(AG1, AG2)에 접속된다.

[0114] 제1 인버터(411)는 제1 게이트 출력 인에이블 신호(GOE1)를 반전시켜 AND 게이트 회로(413)에 공급한다. 제2 인버터(412)는 제2 게이트 출력 인에이블 신호(GOE2)를 반전시켜 AND 게이트 회로(413)에 공급한다.

- [0115] AND 게이트 회로(413)의 제2p-1 AND 게이트(AG2p-1)는 제p D-플립플롭(DFFp)의 출력 신호와 제1 게이트 출력 인에이블 신호(GOE1)의 반전신호를 논리곱 연산하여 제2p-1 게이트 라인에 게이트 펄스를 출력한다. 또한, AND 게이트 회로(413)의 제2p AND 게이트(AG2p)는 제p D-플립플롭(DFFp)의 출력 신호와 제2 게이트 출력 인에이블 신호(GOE2)의 반전신호를 논리곱 연산하여 제2p 게이트 라인에 게이트 펄스를 출력한다. 제2p-1 AND 게이트(AG2p-1)는 기수 AND 게이트들을 지시하고, 제2p AND 게이트(AG2p)는 우수 AND 게이트들을 지시한다. 또한, 제2p-1 게이트 라인은 기수 게이트 라인을 지시하고, 제2p 게이트 라인은 우수 게이트 라인을 지시한다.
- [0116] 한편, 순차 어드레싱 방식에서 게이트 구동부(70)에 공급되는 입출력 신호는 도 5와 실질적으로 동일하다. 이하에서는 도 5 및 도 14를 결부하여 순차 어드레싱 방식에서 게이트 구동부(70)와 데이터 구동부(40)의 동작을 상세히 살펴본다.
- [0117] 게이트 구동부(70)는 타이밍 제어부(50)로부터 게이트 스타트 신호(GST), 게이트 클럭 신호(GCLK), 제1 게이트 출력 인에이블 신호(GOE1), 및 제2 게이트 출력 인에이블 신호(GOE2)를 입력받는다. 게이트 구동부(70)의 D-플립플롭 회로(410)는 게이트 스타트 신호(GST)에 응답하여 게이트 클럭 신호(GCLK)에 따라 펄스를 순차적으로 출력한다.
- [0118] 다만, 게이트 구동부(70)는 제1 및 제2 게이트 출력 인에이블 신호(GOE1, GOE2)를 입력받는다. 이때, 제1 및 제2 게이트 출력 인에이블 신호(GOE1, GOE2) 각각은 2 수평 기간(2H)의 주기를 가지므로, 제2p-1 및 제2p 수평 기간으로 구분될 수 있다. 예를 들어, 제2p-1 수평 기간은 제1, 제3 게이트 펄스(GP1, GP3)가 출력되는 기간에 해당한다.
- [0119] 제1 게이트 출력 인에이블 신호(GOE1)는 도 5와 같이 제2p-1 수평 기간 동안 로우 로직 레벨(L)로 발생하고, 제2p 수평 기간 동안 하이 로직 레벨(H)로 발생할 수 있다. 또한, 제2 게이트 출력 인에이블 신호(GOE2)는 도 5와 같이 제2p 수평 기간 동안 로우 로직 레벨(L)로 발생하고, 제2p-1 수평 기간 동안 하이 로직 레벨(H)로 발생할 수 있다. 그 결과, 게이트 구동부(70)는 도 5와 같이 제1 내지 제n 게이트 라인들(G1~Gn)에 게이트 펄스들(GP1~GPn)을 순차적으로 출력할 수 있다.
- [0120] 데이터 구동부(50)는 게이트 펄스들(GP1~GPn) 각각에 동기화하는 데이터 전압들을 데이터 라인에 공급한다. 특히, 데이터 구동부(50)는 어느 한 데이터 라인에 제1 내지 제n 데이터 전압들(VD1~VDn)을 순차적으로 공급한다.
- [0121] 한편, TMA 방식에서 도 14에 도시된 게이트 구동부(70)에 공급되는 입출력 신호는 도 6과 실질적으로 동일하다. 이하에서는 도 6 및 도 14를 결부하여 TMA 방식에서 도 14에 도시된 게이트 구동부(70)와 데이터 구동부(40)의 동작을 상세히 살펴본다.
- [0122] 게이트 구동부(70)는 타이밍 제어부(50)로부터 게이트 스타트 신호(GST), 게이트 클럭 신호(GCLK), 제1 게이트 출력 인에이블 신호(GOE1), 및 제2 게이트 출력 인에이블 신호(GOE2)를 입력받는다. 게이트 구동부(70)의 D-플립플롭 회로(410)는 게이트 스타트 신호(GST)에 응답하여 게이트 클럭 신호(GCLK)에 따라 펄스를 순차적으로 출력한다.
- [0123] 다만, 게이트 구동부(70)는 제1 및 제2 게이트 출력 인에이블 신호(GOE1, GOE2)를 입력받는다. 이때, 제1 및 제2 게이트 출력 인에이블 신호(GOE1, GOE2) 각각은 4 수평 기간(4H)의 주기를 가지므로, 제4r-3 내지 제4r 수평 기간으로 구분될 수 있다. 예를 들어, 제4r-1 수평 기간은 제1, 제5 게이트 펄스(GP1, GP5)가 출력되는 기간에 해당한다.
- [0124] 제1 게이트 출력 인에이블 신호(GOE1)는 도 6과 같이 제4r-3 및 제4r 수평 기간 동안 로우 로직 레벨(L)로 발생하고, 제4r-2 및 제4r-1 수평 기간 동안 하이 로직 레벨(H)로 발생할 수 있다. 또한, 제2 게이트 출력 인에이블 신호(GOE2)는 도 6과 같이 제4r-2 및 제4r-1 수평 기간 동안 로우 로직 레벨(L)로 발생하고, 제4r-3 및 제4r 수평 기간 동안 하이 로직 레벨(H)로 발생할 수 있다. 이 경우, 게이트 구동부(70)는 제4r-3, 제4r-2, 제4r, 제4r-1 게이트 펄스들의 순서로 게이트 펄스들을 출력할 수 있다. 예를 들어, 도 6과 같이 제1, 제2, 제4, 및 제3 게이트 펄스들의 순서로 제1 내지 제4 게이트 펄스들을 출력할 수 있다. 즉, 게이트 구동부(70)는 제1 및 제2 게이트 출력 인에이블 신호(GOE1, GOE2)를 이용하여 미리 정해진 순서대로 게이트 펄스들을 출력할 수 있다.
- [0125] 데이터 구동부(50)는 게이트 펄스들(GP1~GPn) 각각에 동기화하는 데이터 전압들을 데이터 라인에 공급한다. 특히, 데이터 구동부(50)는 어느 한 데이터 라인에 게이트 펄스들이 공급되는 순서대로 데이터 전압들을 공급한다. 구체적으로, 게이트 구동부(70)가 제4r-3, 제4r-2, 제4r, 및 제4r-1 게이트 펄스들의 순서로 게이트

펄스들을 출력하는 경우, 데이터 구동부(50)는 제4r-3, 제4r-2, 제4r, 및 제4r-1 데이터 전압들의 순서로 데이터 전압들을 출력한다. 예를 들어, 게이트 구동부(70)가 도 6과 같이 제1, 제2, 제4, 및 제3 게이트 펄스들의 순서로 제1 내지 제4 게이트 펄스들을 출력하는 경우, 데이터 구동부(50)는 제1, 제2, 제4, 및 제3 데이터 전압들(VD1, VD2, VD4, VD3)의 순서로 데이터 전압들을 출력한다.

[0126] 결국, 본 발명의 실시 예는 순차 어드레싱 방식과 TMA 방식에서 게이트 구동부(70)에 동일한 게이트 스타트 신호(GST)와 게이트 클럭 신호(GCLK)를 공급한다. 또한, 본 발명의 실시 예는 순차 어드레싱 방식에서 게이트 구동부(70)에 공급되는 제1 및 제2 출력 인에이블 신호(GOE1, GOE2) 각각의 위상과 TMA 방식에서 게이트 구동부(70)에 공급되는 제1 및 제2 출력 인에이블 신호(GOE1, GOE2) 각각의 위상을 서로 다르게 제어한다. 이로 인해, 본 발명의 실시 예는 순차 어드레싱 방식에서 게이트 라인들에 게이트 펄스들을 순차적으로 출력하고, TMA 방식에서 게이트 라인들에 미리 정해진 순서대로 게이트 펄스들을 출력할 수 있다. 그 결과, 본 발명의 실시 예는 수평 스트라이프 패턴과 같이 특정한 화상 패턴에서 데이터 전압들의 스윙 주기를 줄임으로써 소비전력을 절감할 수 있다.

[0127] 또한, 본 발명의 실시 예는 게이트 스타트 신호(GST), 게이트 클럭 신호(GCLK), 제1 및 제2 게이트 출력 인에이블 신호(GOE1, GOE2)의 4 개의 신호들만을 이용하여 게이트 구동부(70)를 순차 어드레싱 방식과 TMA 방식으로 제어할 수 있다. 그 결과, 본 발명의 실시 예는 타이밍 제어부(50)와 제1 및 제2 게이트 구동부(20, 30)를 연결하기 위한 신호 라인들의 개수를 최소화할 수 있다.

[0128] 도 15는 도 13의 게이트 구동부의 또 다른 예를 보여주는 블록도이다. 도 15를 참조하면, 게이트 구동부(70)는 쉬프트 레지스터(41), 레벨 쉬프터, 출력 버퍼 등을 구비한다. 쉬프트 레지스터(41)는 게이트 스타트 신호(GST)를 게이트 클럭 신호(GCLK)에 따라 순차적으로 쉬프트시키고, 제1 내지 제4 게이트 출력 인에이블 신호(GOE1~GOE4)에 따라 게이트 펄스들을 출력한다. 레벨 쉬프터는 쉬프트 레지스터(41)로부터 출력된 게이트 펄스들의 전압 스윙 폭을 화소 어레이(PA)에 형성된 TFT의 동작이 가능한 스윙 폭으로 쉬프트시킨다. 도 15에서는 설명의 편의를 위해 쉬프트 레지스터(41)만을 도시하였음에 주의하여야 한다.

[0129] 도 15를 참조하면, 쉬프트 레지스터(41)는 D-플립플롭 회로(410), 제1 인버터(411), 제2 인버터(412), 제3 인버터(414), 제4 인버터(415), 및 AND 게이트 회로(413)를 포함한다. D-플립플롭 회로(410)는 종속적으로 접속된 제1 내지 제t D-플립플롭들(DFF1~DFFt)을 포함하고, AND 게이트 회로(412)는 제1 내지 제4t AND 게이트들(AG1~AG4t)을 포함한다.

[0130] D-플립플롭 회로(410)의 제1 내지 제t D-플립플롭들(DFF1~DFFt) 각각의 입력 단자(D)는 게이트 스타트 신호(GST)가 입력되는 게이트 스타트 신호 라인(GSTL) 또는 전단 D-플립플롭(DFF)의 출력 단자(Q)에 접속되고, 클럭 단자(CLK)는 게이트 클럭 신호(GCLK)가 입력되는 게이트 클럭 신호 라인(GCLKL)에 접속되며, 출력 단자(Q)는 후단 D-플립플롭(DFF)의 입력 단자(D)에 접속된다. 또한, D-플립플롭 회로(410)의 제u D-플립플롭(DFFu)의 출력 단자는 제4u-3, 제4u-2, 제4u-1, 및 제4u AND 게이트들(AG4u-3, AG4u-2, AG4u-1, AG4u)에 접속된다. 예를 들어, D-플립플롭 회로(410)의 제1 D-플립플롭(DFF1)의 출력 단자(Q)는 도 15와 같이 제1 내지 제4 AND 게이트들(AG1, AG2, AG3, AG4)에 접속된다.

[0131] 제1 인버터(411)는 제1 게이트 출력 인에이블 신호(GOE1)를 반전시켜 AND 게이트 회로(413)에 공급한다. 제2 인버터(412)는 제2 게이트 출력 인에이블 신호(GOE2)를 반전시켜 AND 게이트 회로(413)에 공급한다. 제3 인버터(414)는 제3 게이트 출력 인에이블 신호(GOE3)를 반전시켜 AND 게이트 회로(413)에 공급한다. 제4 인버터(415)는 제4 게이트 출력 인에이블 신호(GOE4)를 반전시켜 AND 게이트 회로(413)에 공급한다.

[0132] AND 게이트 회로(413)의 제4u-3 AND 게이트(AG4u-3)는 제p D-플립플롭(DFFp)의 출력 신호와 제1 게이트 출력 인에이블 신호(GOE1)의 반전신호를 논리곱 연산하여 제4u-1 게이트 라인에 게이트 펄스를 출력한다. 또한, AND 게이트 회로(413)의 제4u-2 AND 게이트(AG4u-2)는 제p D-플립플롭(DFFp)의 출력 신호와 제2 게이트 출력 인에이블 신호(GOE2)의 반전신호를 논리곱 연산하여 제4u-2 게이트 라인에 게이트 펄스를 출력한다. 또한, AND 게이트 회로(413)의 제4u-1 AND 게이트(AG4u-1)는 제p D-플립플롭(DFFp)의 출력 신호와 제3 게이트 출력 인에이블 신호(GOE3)의 반전신호를 논리곱 연산하여 제4u-1 게이트 라인에 게이트 펄스를 출력한다. 또한, AND 게이트 회로(413)의 제4u AND 게이트(AG4u)는 제u D-플립플롭(DFFu)의 출력 신호와 제4 게이트 출력 인에이블 신호(GOE4)의 반전신호를 논리곱 연산하여 제4u 게이트 라인에 게이트 펄스를 출력한다.

[0133] 한편, 순차 어드레싱 방식에서 도 15에 도시된 게이트 구동부(70)에 공급되는 입출력 신호는 도 10과 실질적으

로 동일하다. 이하에서는 도 10 및 도 15를 결부하여 순차 어드레싱 방식에서 도 15에 도시된 게이트 구동부(70)와 데이터 구동부(40)의 동작을 상세히 살펴본다.

[0134] 게이트 구동부(70)는 타이밍 제어부(50)로부터 게이트 스타트 신호(GST), 게이트 클럭 신호(GCLK), 제1 내지 제4 게이트 출력 인에이블 신호(GOE1, GOE2, GOE3, GOE4)를 입력받는다. 게이트 구동부(70)의 D-플립플롭 회로(410)는 게이트 스타트 신호(GST)에 응답하여 게이트 클럭 신호(GCLK)에 따라 펄스를 순차적으로 출력한다.

[0135] 다만, 게이트 구동부(70)는 제1 내지 제4 게이트 출력 인에이블 신호(GOE1, GOE2, GOE3, GOE4)를 입력받는다. 이때, 제1 및 제2 게이트 출력 인에이블 신호(GOE1, GOE2) 각각은 4 수평 기간(4H)의 주기를 가지므로, 제4r-3 내지 제4r 수평 기간으로 구분될 수 있다. 예를 들어, 제4r-1 수평 기간은 제1, 제5 게이트 펄스(GP1, GP5)가 출력되는 기간에 해당한다.

[0136] 제1 게이트 출력 인에이블 신호(GOE1)는 도 10과 같이 제4r-3 수평 기간 동안 로우 로직 레벨(L)로 발생하고, 제4r-2 내지 제4r 수평 기간 동안 하이 로직 레벨(H)로 발생할 수 있다. 제2 게이트 출력 인에이블 신호(GOE2)는 도 10과 같이 제4r-2 수평 기간 동안 로우 로직 레벨(L)로 발생하고, 제4r-3, 제4r-1, 및 제4r 수평 기간 동안 하이 로직 레벨(H)로 발생할 수 있다. 제3 게이트 출력 인에이블 신호(GOE3)는 도 10과 같이 제4r-1 수평 기간 동안 로우 로직 레벨(L)로 발생하고, 제4r-3, 제4r-2, 및 제4r 수평 기간 동안 하이 로직 레벨(H)로 발생할 수 있다. 제4 게이트 출력 인에이블 신호(GOE4)는 도 10과 같이 제4r 수평 기간 동안 로우 로직 레벨(L)로 발생하고, 제4r-3 내지 제4r-1 수평 기간 동안 하이 로직 레벨(H)로 발생할 수 있다. 이 경우, 제1 및 제2 게이트 구동부(20, 30)는 제1 내지 제n 게이트 라인들(G1~Gn)에는 게이트 펄스들(GP1~GPn)을 도 10과 같이 순차적으로 출력할 수 있다.

[0137] 데이터 구동부(50)는 게이트 펄스들(GP1~GPn) 각각에 동기화하는 데이터 전압들을 데이터 라인에 공급한다. 특히, 데이터 구동부(50)는 어느 한 데이터 라인에 제1 내지 제n 데이터 전압들(VD1~VDn)을 순차적으로 공급한다.

[0138] 한편, TMA 방식에서 도 15에 도시된 게이트 구동부(70)에 공급되는 입출력 신호는 도 11과 실질적으로 동일하다. 이하에서는 도 11 및 도 15를 결부하여 순차 어드레싱 방식에서 도 15에 도시된 게이트 구동부(70)와 데이터 구동부(40)의 동작을 상세히 살펴본다.

[0139] 게이트 구동부(70)는 타이밍 제어부(50)로부터 게이트 스타트 신호(GST), 게이트 클럭 신호(GCLK), 제1 내지 제4 게이트 출력 인에이블 신호(GOE1, GOE2, GOE3, GOE4)를 입력받는다. 게이트 구동부(70)의 D-플립플롭 회로(410)는 게이트 스타트 신호(GST)에 응답하여 게이트 클럭 신호(GCLK)에 따라 펄스를 순차적으로 출력한다.

[0140] 다만, 제1 게이트 구동부(20)는 제1 내지 제4 게이트 출력 인에이블 신호(GOE1, GOE2, GOE3, GOE4)를 입력받는다. 이때, 제1 내지 제4 게이트 출력 인에이블 신호(GOE1, GOE2, GOE3, GOE4) 각각은 8 수평 기간(8H)의 주기를 가지므로, 제8s-7(s는 자연수) 내지 제8s 수평 기간으로 구분될 수 있다. 예를 들어, 제8s-7 수평 기간은 제1, 제9 게이트 펄스(GP1, GP9)가 출력되는 기간에 해당한다.

[0141] 제1 게이트 출력 인에이블 신호(GOE1)는 도 11과 같이 제8s-7 및 제8s 수평 기간 동안 로우 로직 레벨(L)로 발생하고, 제8s-6 내지 제8s-1 수평 기간 동안 하이 로직 레벨(H)로 발생할 수 있다. 제2 게이트 출력 인에이블 신호(GOE2)는 도 11과 같이 제8s-5 및 제8s-3 수평 기간 동안 로우 로직 레벨(L)로 발생하고, 제8s-7, 제8s-6, 제8s-4, 제8s-2 내지 제8s 수평 기간 동안 하이 로직 레벨(H)로 발생할 수 있다. 제3 게이트 출력 인에이블 신호(GOE3)는 도 11과 같이 제8s-6 및 제8s-1 수평 기간 동안 로우 로직 레벨(L)로 발생하고, 제8s-7, 제8s-4 내지 제8s-2, 및 제8s 수평 기간 동안 하이 로직 레벨(H)로 발생할 수 있다. 제4 게이트 출력 인에이블 신호(GOE4)는 도 11과 같이 제8s-4 및 제8s-2 수평 기간 동안 로우 로직 레벨(L)로 발생하고, 제8s-7 내지 제8s-5, 제8s-3, 제8s-1, 및 제8s 수평 기간 동안 하이 로직 레벨(H)로 발생할 수 있다. 이 경우, 제1 및 제2 게이트 구동부(20, 30)는 제8s-7, 제8s-5, 제8s-6, 제8s-4, 제8s-2, 제8s, 제8s-1, 및 제8s 게이트 펄스들의 순서로 게이트 펄스들을 출력할 수 있다. 예를 들어, 제1 및 제2 게이트 구동부(20, 30)는 도 11과 같이 제1, 제3, 제2, 제4, 제6, 제8, 제7 및 제5 게이트 펄스들의 순서로 제1 내지 제8 게이트 펄스들을 출력할 수 있다. 즉, 제1 및 제2 게이트 구동부(20, 30)는 제1 및 제2 게이트 출력 인에이블 신호(GOE1, GOE2)를 이용하여 미리 정해진 순서대로 게이트 펄스들을 출력할 수 있다.

[0142] 데이터 구동부(50)는 게이트 펄스들(GP1~GPn) 각각에 동기화하는 데이터 전압들을 데이터 라인에 공급한다. 특히, 데이터 구동부(50)는 어느 한 데이터 라인에 게이트 펄스들이 공급되는 순서대로 데이터 전압들을 공급한다. 구체적으로, 제1 및 제2 게이트 구동부(20, 30)가 제8s-7, 제8s-5, 제8s-6, 제8s-4, 제8s-2, 제8s, 제8s-1, 및 제8s 게이트 펄스들의 순서로 게이트 펄스들을 출력하는 경우, 데이터 구동부(50)는 제8s-7, 제8s-

5, 제8s-6, 제8s-4, 제8s-2, 제8s, 제8s-1, 및 제8s 데이터 전압들의 순서로 데이터 전압들을 출력한다. 예를 들어, 제1 및 제2 게이트 구동부(20, 30)가 도 11과 같이 제1, 제3, 제2, 제4, 제6, 제8, 제7 및 제5 게이트 펄스들의 순서로 제1 내지 제8 게이트 펄스들을 출력하는 경우, 데이터 구동부(50)는 제1, 제3, 제2, 제4, 제6, 제8, 제7 및 제5 데이터 전압들(VD1, VD3, VD2, VD4, VD6, VD8, VD7, VD5)의 순서로 데이터 전압들을 출력한다.

[0143]

결국, 본 발명의 실시 예는 순차 어드레싱 방식과 TMA 방식에서 게이트 구동부(70)에 동일한 게이트 스타트 신호(GST)와 게이트 클럭 신호(GCLK)를 공급한다. 또한, 본 발명의 실시 예는 순차 어드레싱 방식에서 제1 및 제2 게이트 구동부(20, 30)에 공급되는 제1 내지 제4 게이트 출력 인에이블 신호(GOE1, GOE2, GOE3, GOE4) 각각의 위상과 TMA 방식에서 제1 및 제2 게이트 구동부(20, 30)에 공급되는 제1 내지 제4 게이트 출력 인에이블 신호(GOE1, GOE2, GOE3, GOE4) 각각의 위상을 다르게 제어한다. 그 결과, 본 발명의 실시 예는 수평 스트라이프 패턴과 같이 특정한 패턴의 화상이 입력되는 경우, TMA 방식으로 구동하여 데이터 전압들의 스윙 주기를 줄일 수 있으므로, 소비전력을 절감할 수 있다.

[0144]

도 16은 도 13의 게이트 구동부의 또 다른 예를 보여주는 블록도이다. 도 16을 참조하면, 게이트 구동부(70)는 쉬프트 레지스터(41), 레벨 쉬프터, 출력 버퍼 등을 구비한다. 쉬프트 레지스터(41)는 게이트 스타트 신호(GST)를 게이트 클럭 신호(GCLK)에 따라 순차적으로 쉬프트시키고, 제1 내지 제4 게이트 출력 인에이블 신호(GOE1~GOE4)에 따라 게이트 펄스들을 출력한다. 레벨 쉬프터는 쉬프트 레지스터(41)로부터 출력된 게이트 펄스들의 전압 스윙 폭을 화소 어레이(PA)에 형성된 TFT의 동작이 가능한 스윙 폭으로 쉬프트시킨다. 도 16에서는 설명의 편의를 위해 쉬프트 레지스터(41)만을 도시하였음에 주의하여야 한다.

[0145]

도 16을 참조하면, 쉬프트 레지스터(41)는 D-플립플롭 회로(410), AND 게이트 회로(413), 및 출력 제어부(416)를 포함한다. D-플립플롭 회로(410)는 종속적으로 접속된 제1 내지 제t D-플립플롭들(DFF1~DFFt)을 포함하고, AND 게이트 회로(412)는 제1 내지 제4t AND 게이트들(AG1~AG4t)을 포함한다.

[0146]

D-플립플롭 회로(410)의 제1 내지 제t D-플립플롭들(DFF1~DFFt) 각각의 입력 단자(D)는 게이트 스타트 신호(GST)가 입력되는 게이트 스타트 신호 라인(GSTL) 또는 전단 D-플립플롭(DFF)의 출력 단자(Q)에 접속되고, 클럭 단자(CLK)는 게이트 클럭 신호(GCLK)가 입력되는 게이트 클럭 신호 라인(GCLKL)에 접속되며, 출력 단자(Q)는 후단 D-플립플롭(DFF)의 입력 단자(D)에 접속된다. 또한, D-플립플롭 회로(410)의 제u D-플립플롭(DFFu)의 출력 단자는 제4u-3, 제4u-2, 제4u-1, 및 제4u AND 게이트들(AG4u-3, AG4u-2, AG4u-1, AG4u)에 접속된다. 예를 들어, D-플립플롭 회로(410)의 제1 D-플립플롭(DFF1)의 출력 단자(Q)는 도 15와 같이 제1 내지 제4 AND 게이트들(AG1, AG2, AG3, AG4)에 접속된다.

[0147]

출력 제어부(416)는 어드레스 신호 라인들(ARLs)을 통해 어드레스 신호들을 입력받고, 게이트 출력 인에이블 신호 라인(GOEL)을 통해 게이트 출력 인에이블 신호를 입력받는다. 출력 제어부(416)는 어드레스 신호들에 따라 제1 내지 제4 출력 라인들(O1~O4)에 게이트 출력 인에이블 신호(GOE) 또는 게이트 출력 인에이블 신호(GOE)의 반전신호를 공급한다.

[0148]

예를 들어, 출력 제어부(416)는 도 16 및 도 17과 같이 제1 및 제2 어드레스 신호(ADDR1, ADDR2)를 입력받고, 제1 어드레스 신호(ADDR1)가 로우 로직 레벨(L)이고, 제2 어드레스 신호(ADDR2)가 로우 로직 레벨인 경우 제1 출력 라인(O1)에 게이트 출력 인에이블 신호(GOE)의 반전 신호를 공급하고, 나머지 출력 라인들(O2~O4)에 게이트 출력 인에이블 신호(GOE)를 공급할 수 있다. 또한, 출력 제어부(416)는 제1 어드레스 신호(ADDR1)가 로우 로직 레벨(L)이고, 제2 어드레스 신호(ADDR2)가 하이 로직 레벨(H)인 경우 제2 출력 라인(O2)에 게이트 출력 인에이블 신호(GOE)의 반전 신호를 공급하고, 나머지 출력 라인들(O1, O3, O4)에 게이트 출력 인에이블 신호(GOE)를 공급할 수 있다. 또한, 출력 제어부(416)는 제1 어드레스 신호(ADDR1)가 하이 로직 레벨(H)이고, 제2 어드레스 신호(ADDR2)가 로우 로직 레벨(L)인 경우 제3 출력 라인(O3)에 게이트 출력 인에이블 신호(GOE)의 반전 신호를 공급하고, 나머지 출력 라인들(O1, O2, O4)에 게이트 출력 인에이블 신호(GOE)를 공급할 수 있다. 나아가, 출력 제어부(416)는 제1 어드레스 신호(ADDR1)가 하이 로직 레벨(H)이고, 제2 어드레스 신호(ADDR2)가 하이 로직 레벨(H)인 경우 제4 출력 라인(O4)에 게이트 출력 인에이블 신호(GOE)의 반전 신호를 공급하고, 나머지 출력 라인들(O1~O3)에 게이트 출력 인에이블 신호(GOE)를 공급할 수 있다.

[0149]

AND 게이트 회로(413)의 제4u-3 AND 게이트(AG4u-3)는 제u D-플립플롭(DFFp)의 출력 신호와 제1 출력 라인(O1)의 신호를 논리곱 연산하여 제4u-1 게이트 라인에 게이트 펄스를 출력한다. 또한, AND 게이트 회로(413)의

제4u-2 AND 게이트(AG4u-2)는 제u D-플립플롭(DFFu)의 출력 신호와 제2 출력 라인(O2)의 신호를 논리곱 연산하여 제4u-2 게이트 라인에 게이트 펄스를 출력한다. 또한, AND 게이트 회로(413)의 제4u-1 AND 게이트(AG4u-1)는 제u D-플립플롭(DFFu)의 출력 신호와 제1 출력 라인(O3)의 신호를 논리곱 연산하여 제4u-1 게이트 라인에 게이트 펄스를 출력한다. 또한, AND 게이트 회로(413)의 제4u AND 게이트(AG4u)는 제u D-플립플롭(DFFu)의 출력 신호와 제4 출력 라인(O4)의 신호를 논리곱 연산하여 제4u 게이트 라인에 게이트 펄스를 출력한다.

- [0150] 도 17은 순차 어드레싱 모드에서 도 16의 게이트 구동부의 입출력 신호를 보여주는 파형도이다. 도 17에는 타이밍 제어부(50)로부터 공급되는 게이트 클럭 신호(GCLK), 게이트 스타트 신호(GST), 게이트 출력 인에이블 신호(GOE), 제1 및 제2 어드레스 신호들(ADDR1, ADDR2), 데이터 전압들(DATA), 제1 내지 제6 게이트 펄스들(GP1~GP6), 및 제n-3 내지 제n 게이트 펄스들(GPn-3~GPn)이 나타나 있다.
- [0151] 도 17을 참조하면, 게이트 스타트 신호(GST)의 펄스는 1 프레임 기간의 시작 시점에 발생된다. 게이트 스타트 신호(GST)의 펄스 주기는 1 프레임 기간이다. 게이트 클럭 신호(GCLK)의 펄스와 게이트 출력 인에이블 신호(GOE)의 펄스, 제1 어드레스 신호(ADDR1)의 펄스, 및 제2 어드레스 신호(ADDR2)의 펄스는 소정의 주기로 발생된다. 도 17에서는 게이트 클럭 신호(GCLK)의 펄스 주기와 제1 어드레스 신호(ADDR1)의 펄스 주기는 4 수평 기간(4H)이고, 제2 어드레스 신호(ADDR2)의 펄스 주기는 2 수평 기간(2H)이며, 게이트 출력 인에이블 신호(GOE)의 펄스 주기가 1 수평 기간(1H)으로 구현된 것을 예시하였으나, 이에 한정되지 않음에 주의하여야 한다.
- [0152] 또한, 게이트 클럭 신호(GCLK)의 펄스는 버티컬 블랭크 기간(vertical blank period) 동안 발생하나, 게이트 출력 인에이블 신호(GOE)의 펄스, 제1 어드레스 신호(ADDR1)의 펄스, 및 제2 어드레스 신호(ADDR2)의 펄스는 버티컬 블랭크 기간 동안 발생하지 않을 수 있다.
- [0153] 도 17에 도시된 데이터 전압들(DATA)은 어느 한 데이터 라인에 공급되는 데이터 전압들을 보여준다. 데이터 전압들(DATA)은 도 17과 같이 1 수평 기간(1H)마다 공급될 수 있다.
- [0154] 이하에서는 도 16 및 도 17을 결부하여 순차 어드레싱 방식에서 도 16에 도시된 게이트 구동부(70)와 데이터 구동부(40)의 동작을 상세히 살펴본다.
- [0155] 게이트 구동부(70)는 타이밍 제어부(50)로부터 게이트 스타트 신호(GST), 게이트 클럭 신호(GCLK), 게이트 출력 인에이블 신호(GOE), 제1 및 제2 어드레스 신호(ADDR1, ADDR2)를 입력받는다. 게이트 구동부(70)의 D-플립플롭 회로(410)는 게이트 스타트 신호(GST)에 응답하여 게이트 클럭 신호(GCLK)에 따라 펄스를 순차적으로 출력한다.
- [0156] 다만, 출력 제어부(416)는 제1 및 제2 어드레스 신호(ADDR1, ADDR2)에 따라 출력 제어부(416)의 출력 라인들(O1~O4)에 게이트 출력 인에이블 신호(GOE) 또는 게이트 출력 인에이블 신호(GOE)의 반전신호를 공급한다. 제1 어드레스 신호(ADDR1)가 4 수평 기간(4H)의 주기를 가지므로, 출력 제어부(416)의 동작은 제4r-3 내지 제4r 수평 기간으로 구분될 수 있다. 제4r-3 수평 기간은 제1, 제5 게이트 펄스(GP1, GP5)가 출력되는 기간이다.
- [0157] 출력 제어부(416)는 도 17과 같이 제4r-3 수평 기간 동안 제1 어드레스 신호(ADDR1)가 로우 로직 레벨(L)로 공급되고 제2 어드레스 신호(ADDR2)가 로우 로직 레벨(L)로 공급되므로, 제1 출력 라인(O1)에 게이트 출력 인에이블 신호(GOE)의 반전 신호를 공급하고, 나머지 출력 라인들(O2~O4)에 게이트 출력 인에이블 신호(GOE)를 공급할 수 있다. 또한, 출력 제어부(416)는 도 17과 같이 제4r-2 수평 기간 동안 제1 어드레스 신호(ADDR1)가 로우 로직 레벨(L)로 공급되고 제2 어드레스 신호(ADDR2)가 하이 로직 레벨(H)로 공급되므로, 제2 출력 라인(O2)에 게이트 출력 인에이블 신호(GOE)의 반전 신호를 공급하고, 나머지 출력 라인들(O1, O3, O4)에 게이트 출력 인에이블 신호(GOE)를 공급할 수 있다. 또한, 출력 제어부(416)는 도 17과 같이 제4r-1 수평 기간 동안 제1 어드레스 신호(ADDR1)가 하이 로직 레벨(H)로 공급되고 제2 어드레스 신호(ADDR2)가 로우 로직 레벨(L)로 공급되므로, 제3 출력 라인(O3)에 게이트 출력 인에이블 신호(GOE)의 반전 신호를 공급하고, 나머지 출력 라인들(O1, O2, O4)에 게이트 출력 인에이블 신호(GOE)를 공급할 수 있다. 나아가, 출력 제어부(416)는 도 17과 같이 제4r 수평 기간 동안 제1 어드레스 신호(ADDR1)가 하이 로직 레벨(H)로 공급되고, 제2 어드레스 신호(ADDR2)가 하이 로직 레벨(H)로 공급되므로, 제4 출력 라인(O4)에 게이트 출력 인에이블 신호(GOE)의 반전 신호를 공급하고, 나머지 출력 라인들(O1~O3)에 게이트 출력 인에이블 신호(GOE)를 공급할 수 있다. 그 결과, 게이트 구동부(70)는 제1 내지 제n 게이트 라인들(G1~Gn)에는 게이트 펄스들(GP1~GPn)을 도 17과 같이 순차적으로 출력할 수 있다.
- [0158] 데이터 구동부(50)는 게이트 펄스들(GP1~GPn) 각각에 동기화하는 데이터 전압들을 데이터 라인에 공급한다. 특히, 데이터 구동부(50)는 어느 한 데이터 라인에 제1 내지 제n 데이터 전압들(VD1~VDn)을 순차적으로 공급한다.

- [0159] 도 18은 TMA 방식에서 도 16의 게이트 구동부의 입출력 신호를 보여주는 파형도이다. 타이밍 제어부(50)로부터 공급되는 게이트 클럭 신호(GCLK), 게이트 스타트 신호(GST), 게이트 출력 인에이블 신호(GOE), 제1 및 제2 어드레스 신호들(ADDR1, ADDR2), 데이터 전압들(DATA), 제1 내지 제6 게이트 펄스들(GP1~GP6), 및 제n-3 내지 제n 게이트 펄스들(GPn-3~GPn)이 나타나 있다.
- [0160] 도 18을 참조하면, 게이트 스타트 신호(GST)의 펄스는 1 프레임 기간의 시작 시점에 발생된다. 게이트 스타트 신호(GST)의 펄스 주기는 1 프레임 기간이다. 게이트 클럭 신호(GCLK)의 펄스와 게이트 출력 인에이블 신호(GOE)의 펄스, 제1 어드레스 신호(ADDR1)의 펄스, 및 제2 어드레스 신호(ADDR2)의 펄스는 소정의 주기로 발생된다. 도 18에서는 게이트 클럭 신호(GCLK)의 펄스 주기는 4 수평 기간(4H)이고, 제1 어드레스 신호(ADDR1)의 펄스 주기와 제2 어드레스 신호(ADDR2)의 펄스 주기는 8 수평 기간(8H)이며, 게이트 출력 인에이블 신호(GOE)의 펄스 주기가 1 수평 기간(1H)으로 구현된 것을 예시하였으나, 이에 한정되지 않음에 주의하여야 한다.
- [0161] 또한, 게이트 클럭 신호(GCLK)의 펄스는 버티컬 블랭크 기간(vertical blank period) 동안 발생하나, 게이트 출력 인에이블 신호(GOE)의 펄스, 제1 어드레스 신호(ADDR1)의 펄스, 및 제2 어드레스 신호(ADDR2)의 펄스는 버티컬 블랭크 기간 동안 발생하지 않을 수 있다.
- [0162] 도 18에 도시된 데이터 전압들(DATA)은 어느 한 데이터 라인에 공급되는 데이터 전압들을 보여준다. 데이터 전압들(DATA)은 도 18과 같이 1 수평 기간(1H)마다 공급될 수 있다.
- [0163] 이하에서는 도 16 및 도 18을 결부하여 TMA 방식에서 도 16에 도시된 게이트 구동부(70)와 데이터 구동부(40)의 동작을 상세히 살펴본다.
- [0164] 이하에서는 도 16 및 도 17을 결부하여 순차 어드레싱 방식에서 도 16에 도시된 게이트 구동부(70)와 데이터 구동부(40)의 동작을 상세히 살펴본다.
- [0165] 게이트 구동부(70)는 타이밍 제어부(50)로부터 게이트 스타트 신호(GST), 게이트 클럭 신호(GCLK), 게이트 출력 인에이블 신호(GOE), 제1 및 제2 어드레스 신호(ADDR1, ADDR2)를 입력받는다. 게이트 구동부(70)의 D-플립플롭 회로(410)는 게이트 스타트 신호(GST)에 응답하여 게이트 클럭 신호(GCLK)에 따라 펄스를 순차적으로 출력한다.
- [0166] 다만, 출력 제어부(416)는 제1 및 제2 어드레스 신호(ADDR1, ADDR2)에 따라 출력 제어부(416)의 출력 라인들(01~04)에 게이트 출력 인에이블 신호(GOE) 또는 게이트 출력 인에이블 신호(GOE)의 반전신호를 공급한다. 제1 및 제2 어드레스 신호(ADDR1, ADDR2)가 8 수평 기간(8H)의 주기를 가지므로, 출력 제어부(416)의 동작은 제8s-7 내지 제8s 수평 기간으로 구분될 수 있다. 제8s-7 수평 기간은 제1, 제9 게이트 펄스(GP1, GP9)가 출력되는 기간이다.
- [0167] 출력 제어부(416)는 도 18과 같이 제8s-7 수평 기간 동안 제1 어드레스 신호(ADDR1)가 로우 로직 레벨(L)로 공급되고 제2 어드레스 신호(ADDR2)가 로우 로직 레벨(L)로 공급되므로, 제1 출력 라인(01)에 게이트 출력 인에이블 신호(GOE)의 반전 신호를 공급하고, 나머지 출력 라인들(02~04)에 게이트 출력 인에이블 신호(GOE)를 공급할 수 있다. 또한, 출력 제어부(416)는 도 17과 같이 제8s-6 수평 기간 동안 제1 어드레스 신호(ADDR1)가 하이 로직 레벨(H)로 공급되고 제2 어드레스 신호(ADDR2)가 로우 로직 레벨(L)로 공급되므로, 제3 출력 라인(03)에 게이트 출력 인에이블 신호(GOE)의 반전 신호를 공급하고, 나머지 출력 라인들(01, 02, 04)에 게이트 출력 인에이블 신호(GOE)를 공급할 수 있다. 또한, 출력 제어부(416)는 도 17과 같이 제8s-5 수평 기간 동안 제1 어드레스 신호(ADDR1)가 로우 로직 레벨(L)로 공급되고 제2 어드레스 신호(ADDR2)가 하이 로직 레벨(H)로 공급되므로, 제2 출력 라인(02)에 게이트 출력 인에이블 신호(GOE)의 반전 신호를 공급하고, 나머지 출력 라인들(01, 03, 04)에 게이트 출력 인에이블 신호(GOE)를 공급할 수 있다. 또한, 출력 제어부(416)는 도 17과 같이 제8s-4 수평 기간 동안 제1 어드레스 신호(ADDR1)가 하이 로직 레벨(H)로 공급되고, 제2 어드레스 신호(ADDR2)가 하이 로직 레벨(H)로 공급되므로, 제4 출력 라인(04)에 게이트 출력 인에이블 신호(GOE)의 반전 신호를 공급하고, 나머지 출력 라인들(01~03)에 게이트 출력 인에이블 신호(GOE)를 공급할 수 있다.
- [0168] 출력 제어부(416)는 도 18과 같이 제8s-3 수평 기간 동안 제1 어드레스 신호(ADDR1)가 로우 로직 레벨(L)로 공급되고 제2 어드레스 신호(ADDR2)가 하이 로직 레벨(H)로 공급되므로, 제2 출력 라인(02)에 게이트 출력 인에이블 신호(GOE)의 반전 신호를 공급하고, 나머지 출력 라인들(01, 03, 04)에 게이트 출력 인에이블 신호(GOE)를 공급할 수 있다. 또한, 출력 제어부(416)는 도 18과 같이 제8s-2 수평 기간 동안 제1 어드레스 신호(ADDR1)가 하이 로직 레벨(H)로 공급되고 제2 어드레스 신호(ADDR2)가 하이 로직 레벨(H)로 공급되므로, 제4 출력 라인

(04)에 게이트 출력 인에이블 신호(GOE)의 반전 신호를 공급하고, 나머지 출력 라인들(01~03)에 게이트 출력 인에이블 신호(GOE)를 공급할 수 있다. 또한, 출력 제어부(416)는 도 18과 같이 제8s-1 수평 기간 동안 제1 어드레스 신호(ADDR1)가 하이 로직 레벨(H)로 공급되고 제2 어드레스 신호(ADDR2)가 로우 로직 레벨(L)로 공급되므로, 제3 출력 라인(03)에 게이트 출력 인에이블 신호(GOE)의 반전 신호를 공급하고, 나머지 출력 라인들(01, 02, 04)에 게이트 출력 인에이블 신호(GOE)를 공급할 수 있다. 또한, 출력 제어부(416)는 도 18과 같이 제8s 수평 기간 동안 제1 어드레스 신호(ADDR1)가 로우 로직 레벨(L)로 공급되고, 제2 어드레스 신호(ADDR2)가 로우 로직 레벨(L)로 공급되므로, 제1 출력 라인(01)에 게이트 출력 인에이블 신호(GOE)의 반전 신호를 공급하고, 나머지 출력 라인들(02~04)에 게이트 출력 인에이블 신호(GOE)를 공급할 수 있다.

[0169] 그 결과, 게이트 구동부(70)는 제8s-7, 제8s-5, 제8s-6, 제8s-4, 제8s-2, 제8s, 제8s-1, 및 제8s 게이트 펄스들의 순서로 게이트 펄스들을 출력할 수 있다. 예를 들어, 게이트 구동부(70)는 도 18과 같이 제1, 제3, 제2, 제4, 제6, 제8, 제7 및 제5 게이트 펄스들의 순서로 제1 내지 제8 게이트 펄스들을 출력할 수 있다. 즉, 게이트 구동부(70)는 제1 및 제2 어드레스 신호(ADDR1, ADDR2)를 이용하여 미리 정해진 순서대로 게이트 펄스들을 출력할 수 있다.

[0170] 데이터 구동부(50)는 게이트 펄스들(GP1~GPn) 각각에 동기화하는 데이터 전압들을 데이터 라인에 공급한다. 특히, 데이터 구동부(50)는 어느 한 데이터 라인에 게이트 펄스들이 공급되는 순서대로 데이터 전압들을 공급한다. 구체적으로, 게이트 구동부(20, 30)가 제8s-7, 제8s-5, 제8s-6, 제8s-4, 제8s-2, 제8s, 제8s-1, 및 제8s 게이트 펄스들의 순서로 게이트 펄스들을 출력하는 경우, 데이터 구동부(50)는 제8s-7, 제8s-5, 제8s-6, 제8s-4, 제8s-2, 제8s, 제8s-1, 및 제8s 데이터 전압들의 순서로 데이터 전압들을 출력한다. 예를 들어, 게이트 구동부(20, 30)가 도 18과 같이 제1, 제3, 제2, 제4, 제6, 제8, 제7 및 제5 게이트 펄스들의 순서로 제1 내지 제8 게이트 펄스들을 출력하는 경우, 데이터 구동부(50)는 제1, 제3, 제2, 제4, 제6, 제8, 제7 및 제5 데이터 전압들(VD1, VD3, VD2, VD4, VD6, VD8, VD7, VD5)의 순서로 데이터 전압들을 출력한다.

[0171] 결국, 본 발명의 실시 예는 순차 어드레싱 방식과 TMA 방식에서 게이트 구동부(70)에 동일한 게이트 스타트 신호(GST)와 게이트 클럭 신호(GCLK)를 공급한다. 또한, 본 발명의 실시 예는 순차 어드레싱 방식에서 게이트 구동부(70)에 공급되는 제1 및 제2 어드레스 신호(ADDR1, ADDR2) 각각의 위상과 TMA 방식에서 게이트 구동부(70)에 공급되는 제1 및 제2 어드레스 신호(ADDR1, ADDR2) 각각의 위상을 다르게 제어한다. 이로 인해, 본 발명의 실시 예는 순차 어드레싱 방식에서 게이트 라인들에 게이트 펄스들을 순차적으로 출력하고, TMA 방식에서 게이트 라인들에 미리 정해진 순서대로 게이트 펄스들을 출력할 수 있다. 그 결과, 본 발명의 실시 예는 수평 스트라이프 패턴과 같이 특정한 패턴의 화상이 입력되는 경우, TMA 방식으로 구동하여 데이터 전압들의 스윙 주기를 줄일 수 있으므로, 소비전력을 절감할 수 있다.

[0172] 또한, 본 발명의 실시 예는 하나의 게이트 출력 인에이블 신호와 복수의 어드레스 신호를 이용함으로써, 도 9a 내지 도 12 및 도 15를 결부하여 설명한 실시 예보다 신호 라인의 개수를 줄일 수 있다.

[0173] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

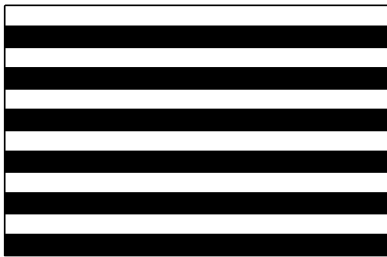
부호의 설명

[0174] 10: 액정표시패널 20: 제1 게이트 구동부
30: 제2 게이트 구동부 40: 데이터 구동부
50: 타이밍 제어부 60: 화상 패턴 인식부
70: 게이트 구동부 21: 제1 쉬프트 레지스터
31: 제2 쉬프트 레지스터 41: 쉬프트 레지스터
210: 제1 D-플립플롭 회로 211: 제1 인버터
212: 제1 AND 게이트 213: 제3 인버터

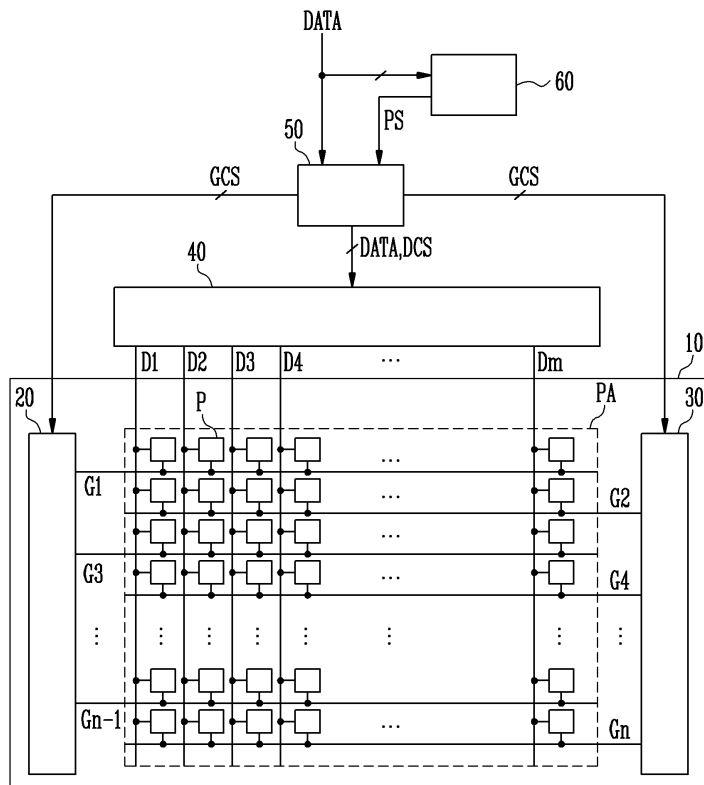
310: 제2 D-플립플롭 회로 311: 제2 인버터
 312: 제2 AND 게이트 313: 제4 인버터
 410: D-플립플롭 회로 411: 제1 인버터
 412: 제2 인버터 413: 제1 AND 게이트
 414: 제3 인버터 415: 제2 인버터
 416: 출력 제어부

도면

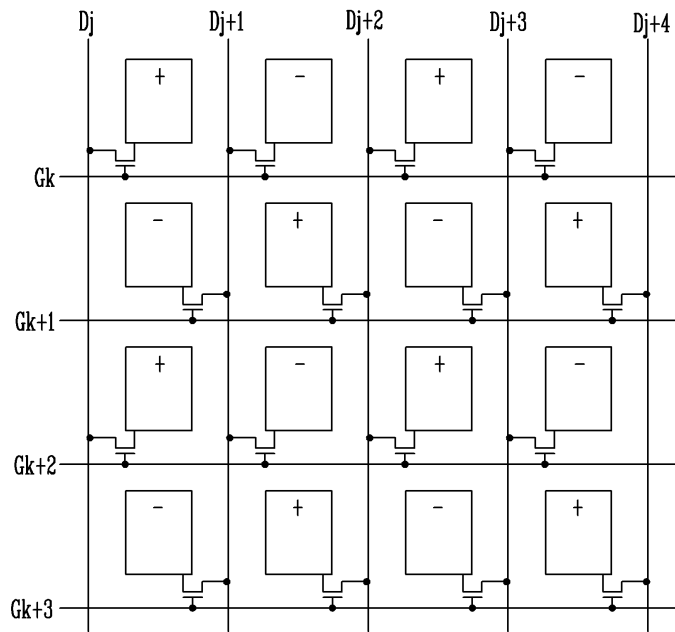
도면1



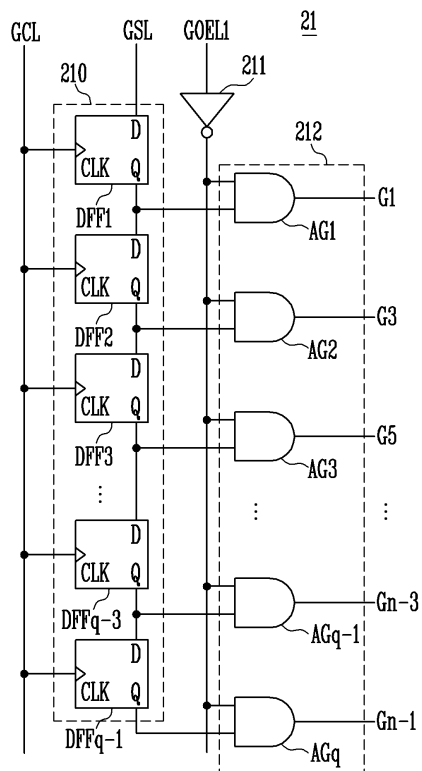
도면2



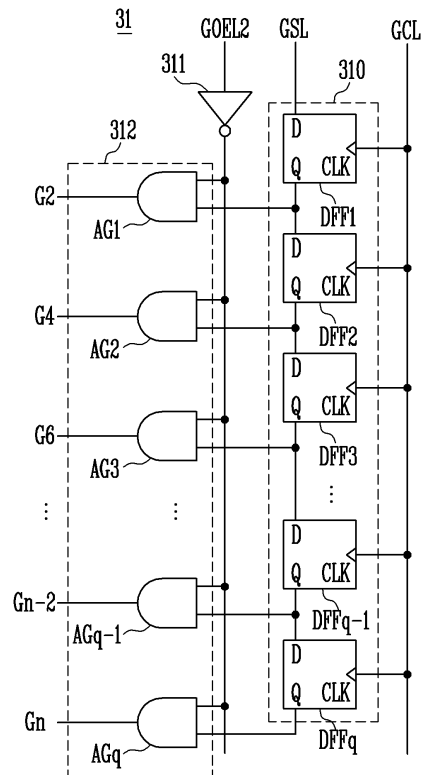
도면3



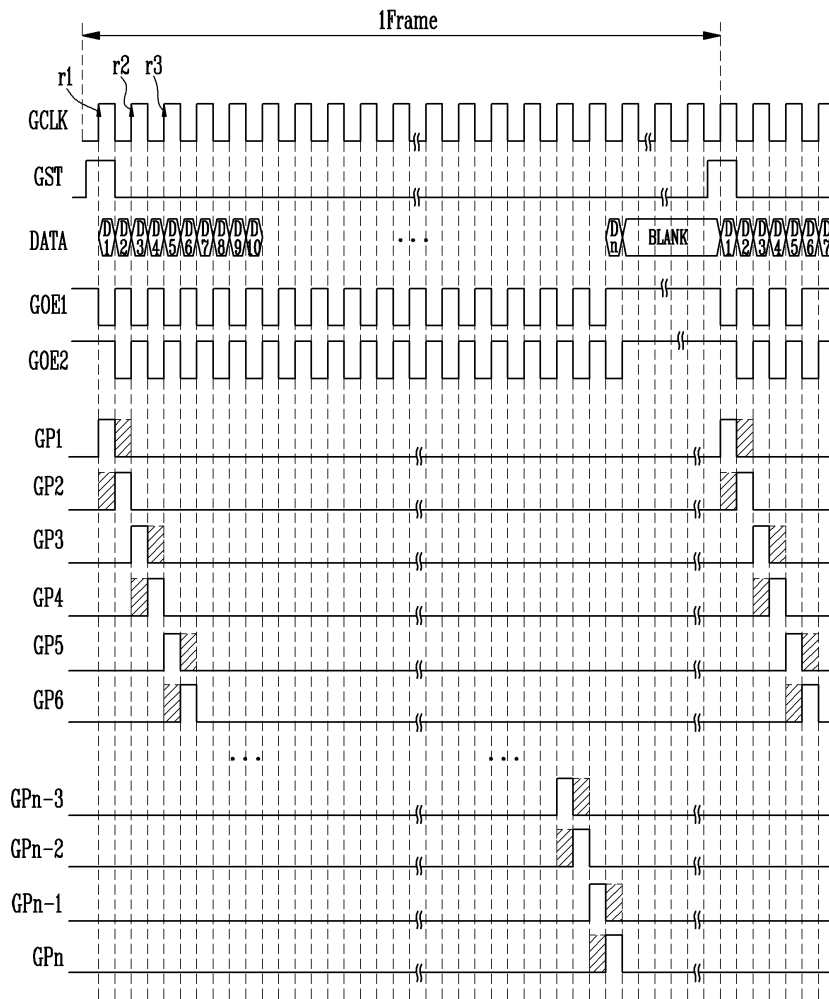
도면4a



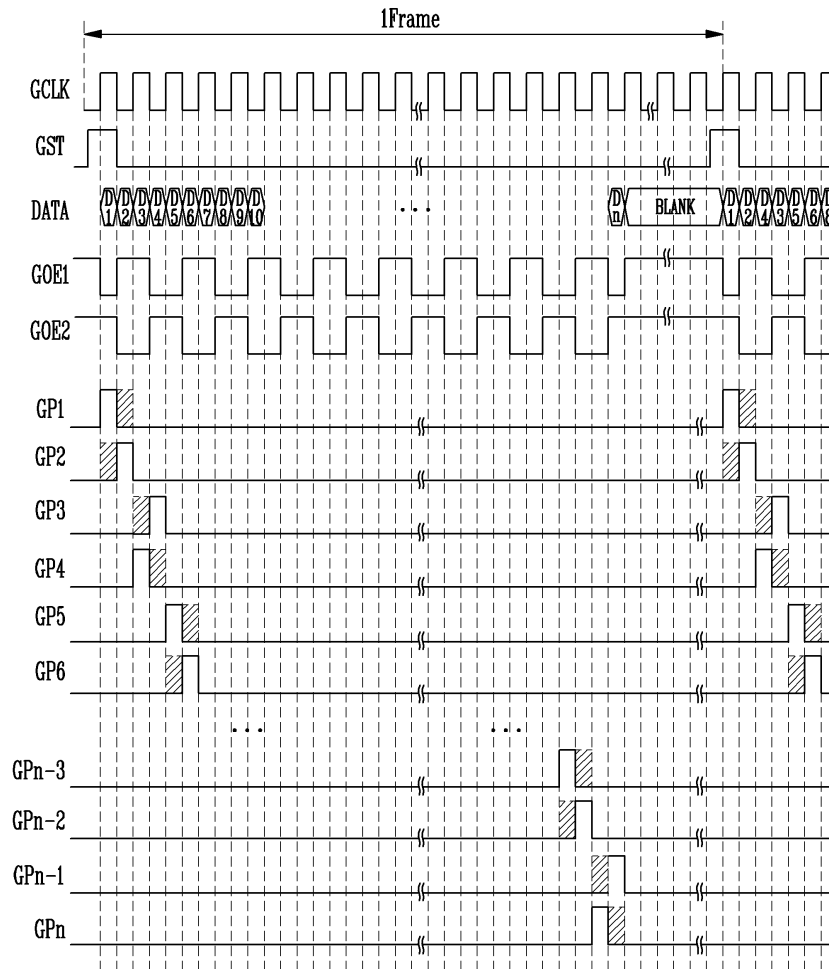
도면4b



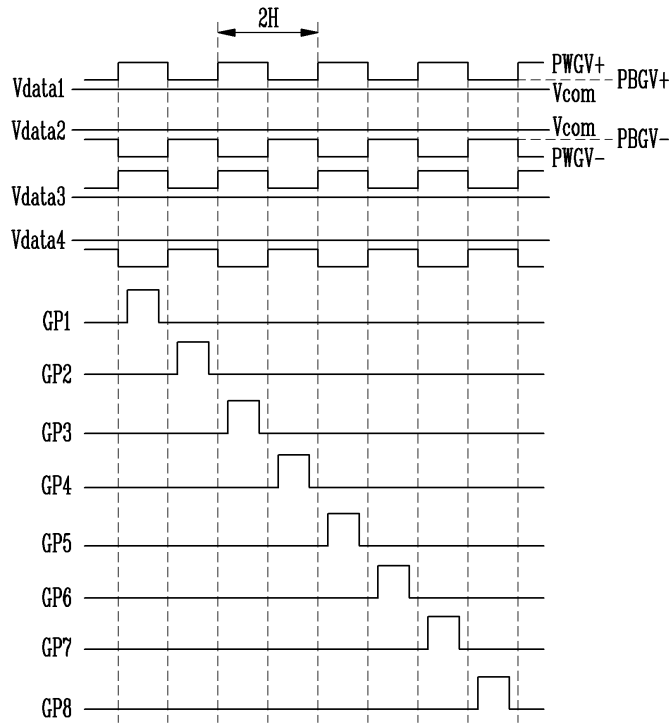
도면5



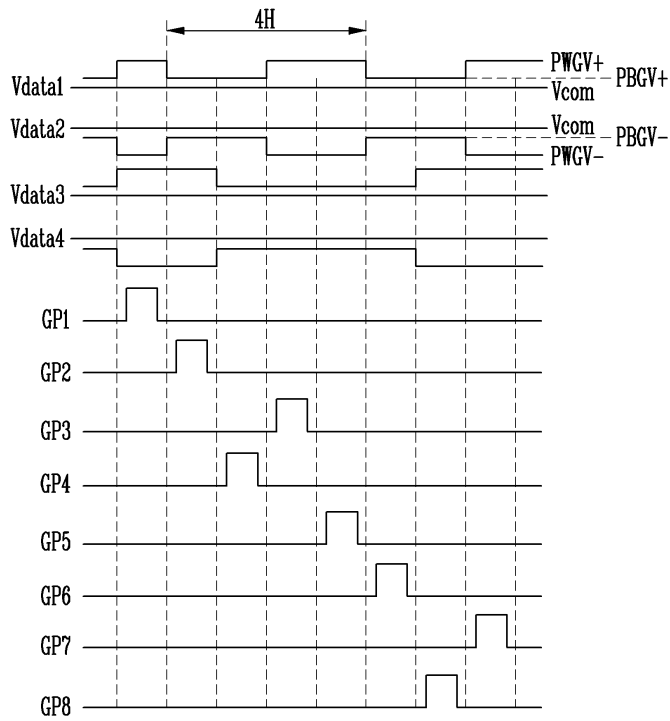
도면6



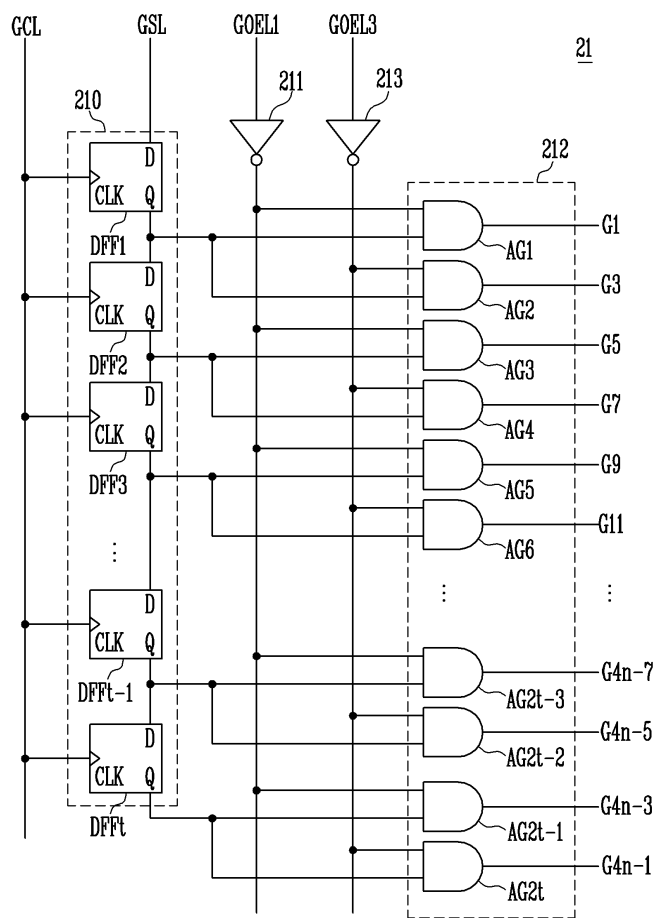
도면7



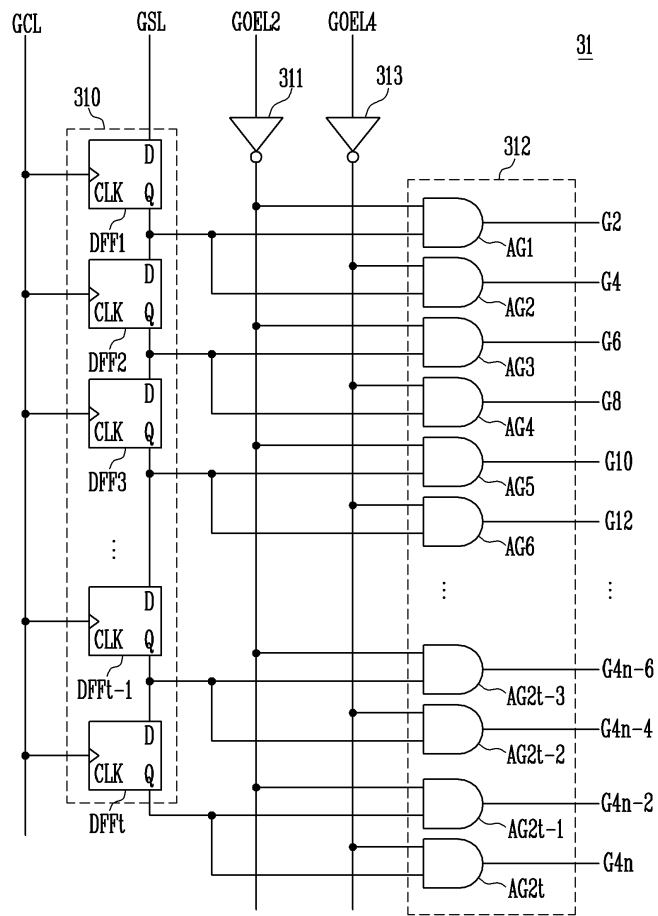
도면8



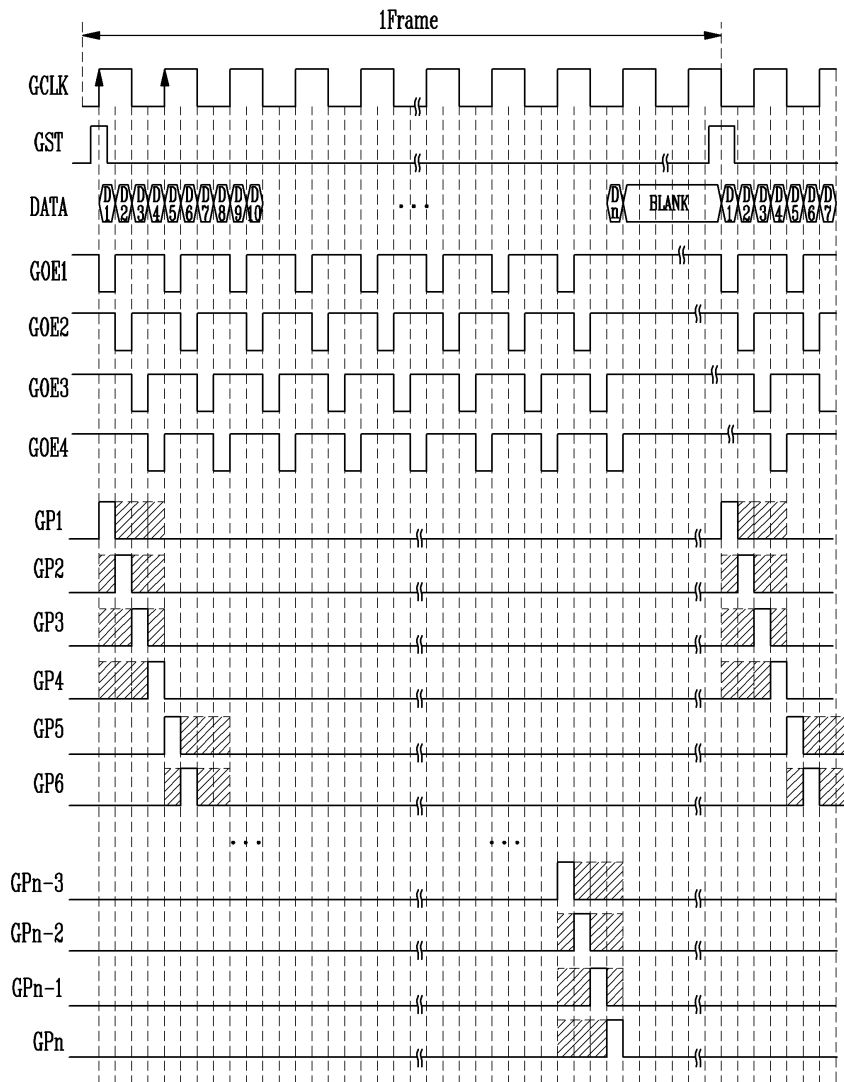
도면9a



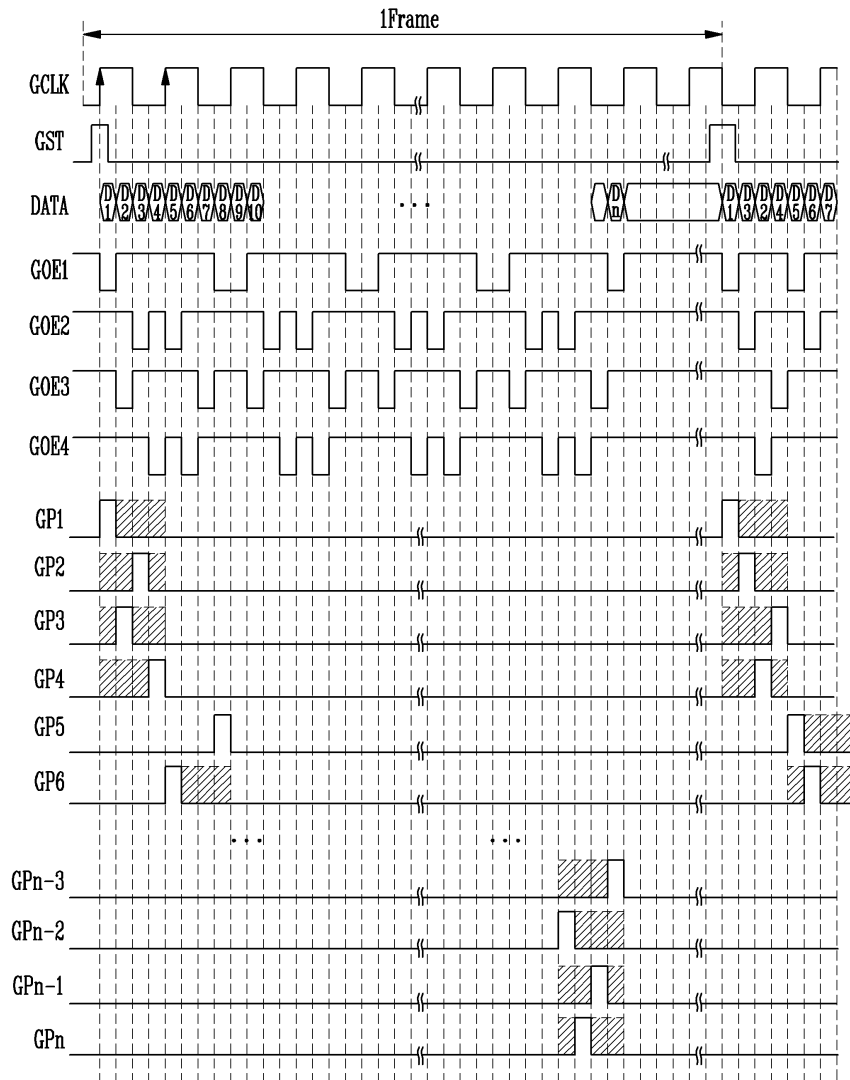
도면9b



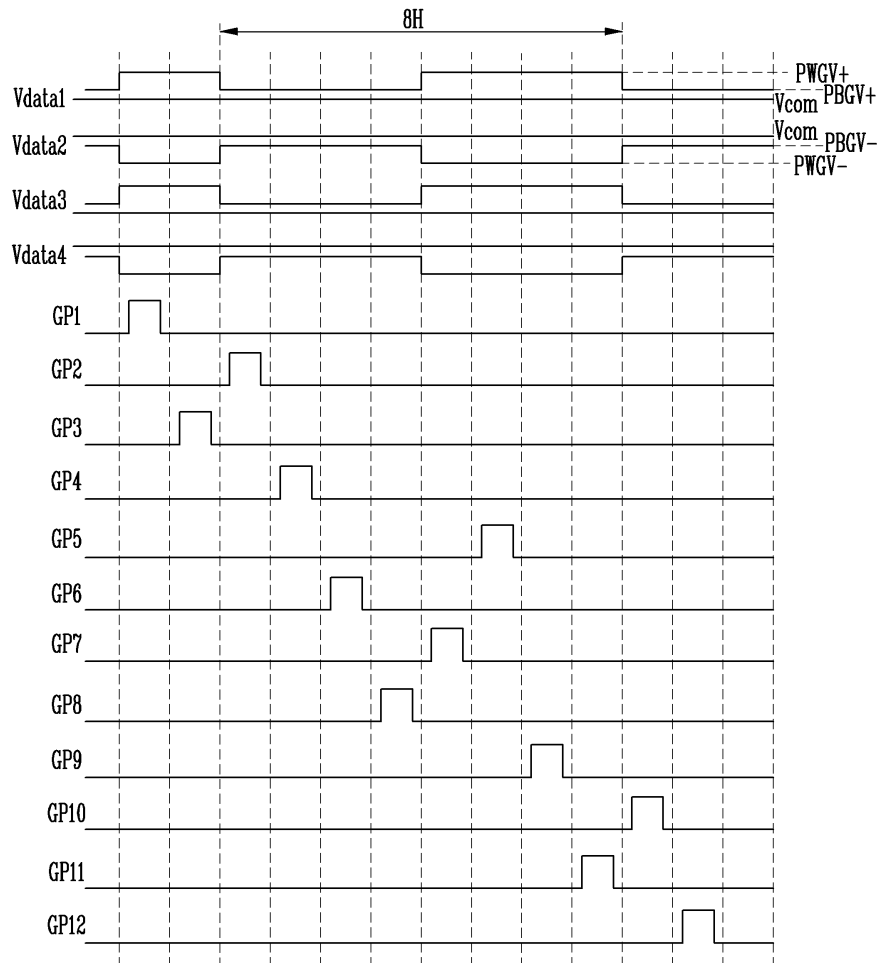
도면10



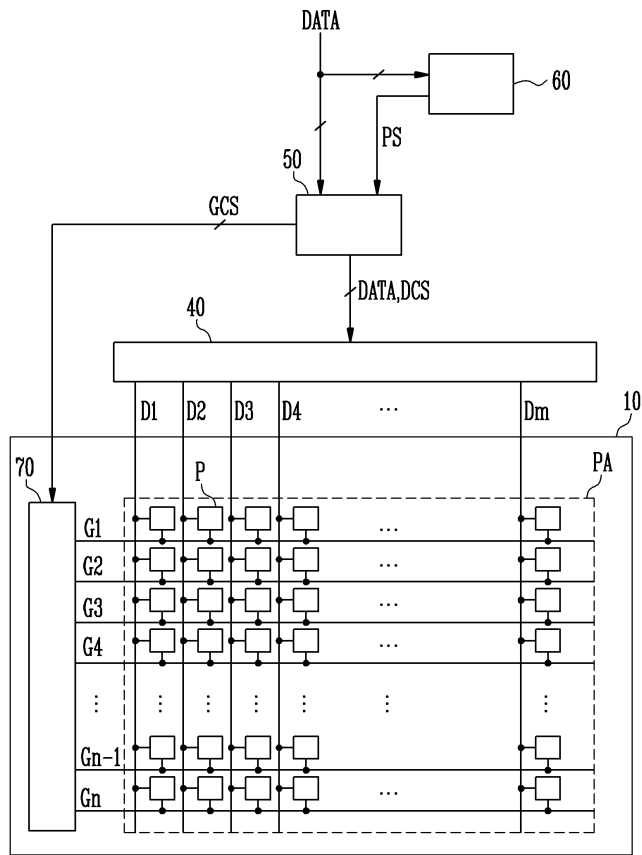
도면11



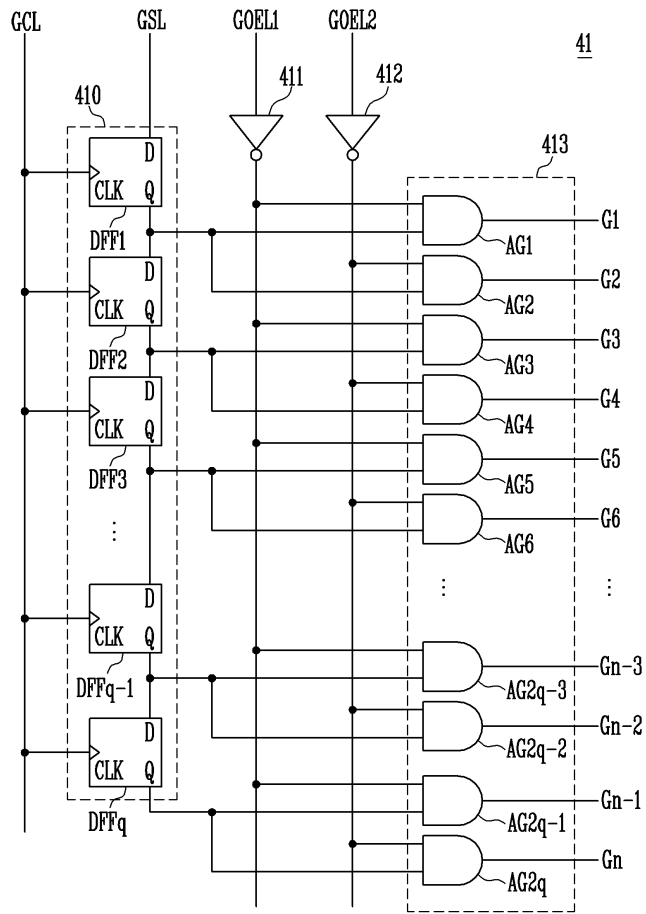
도면12



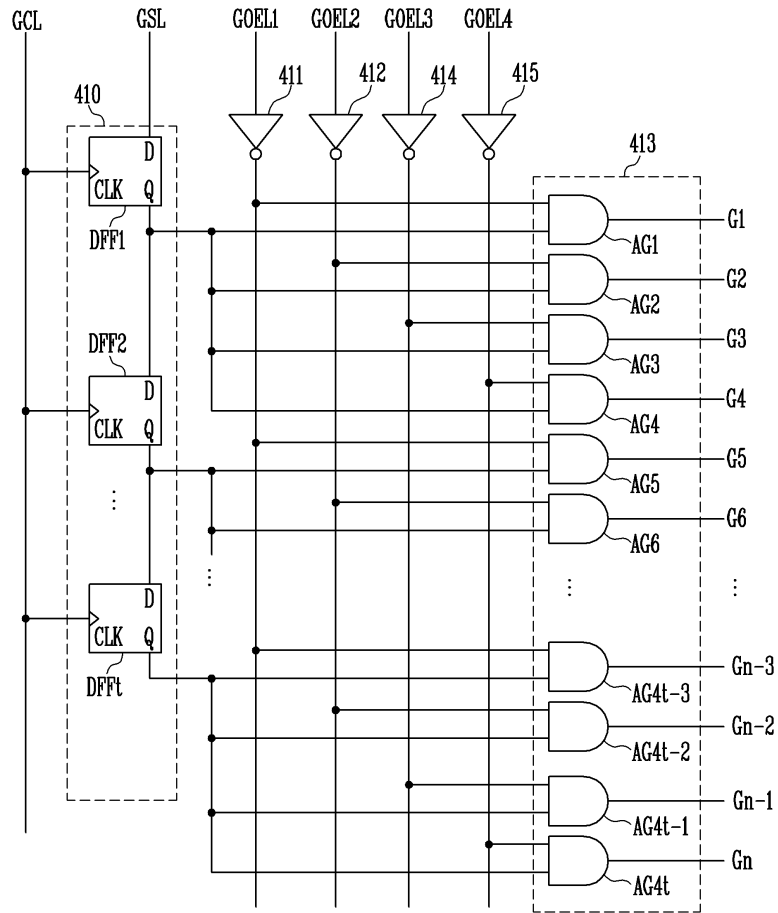
도면13



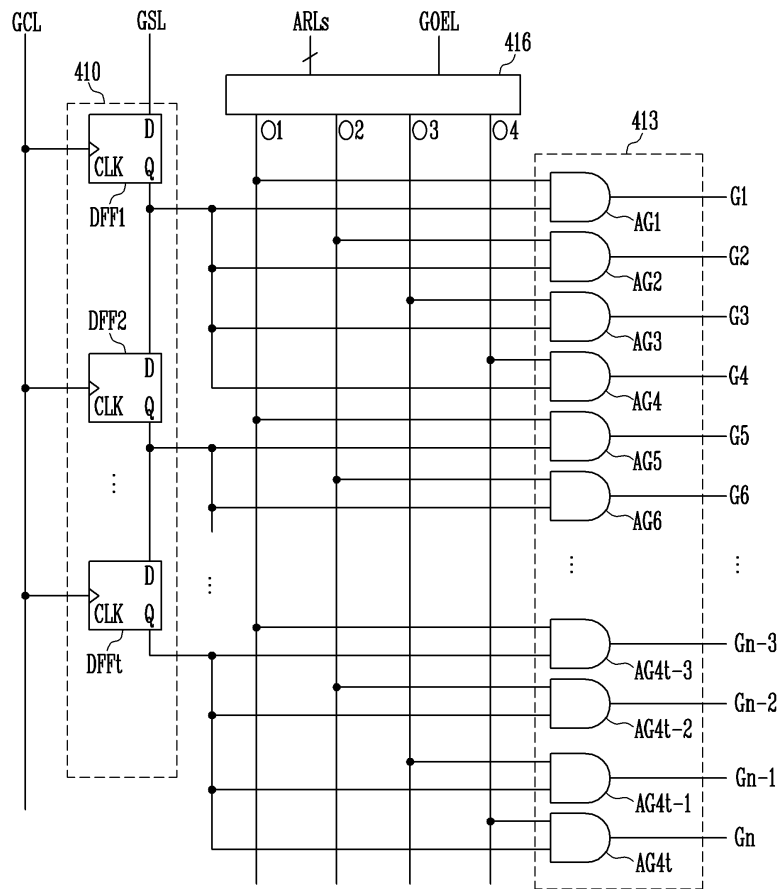
도면14



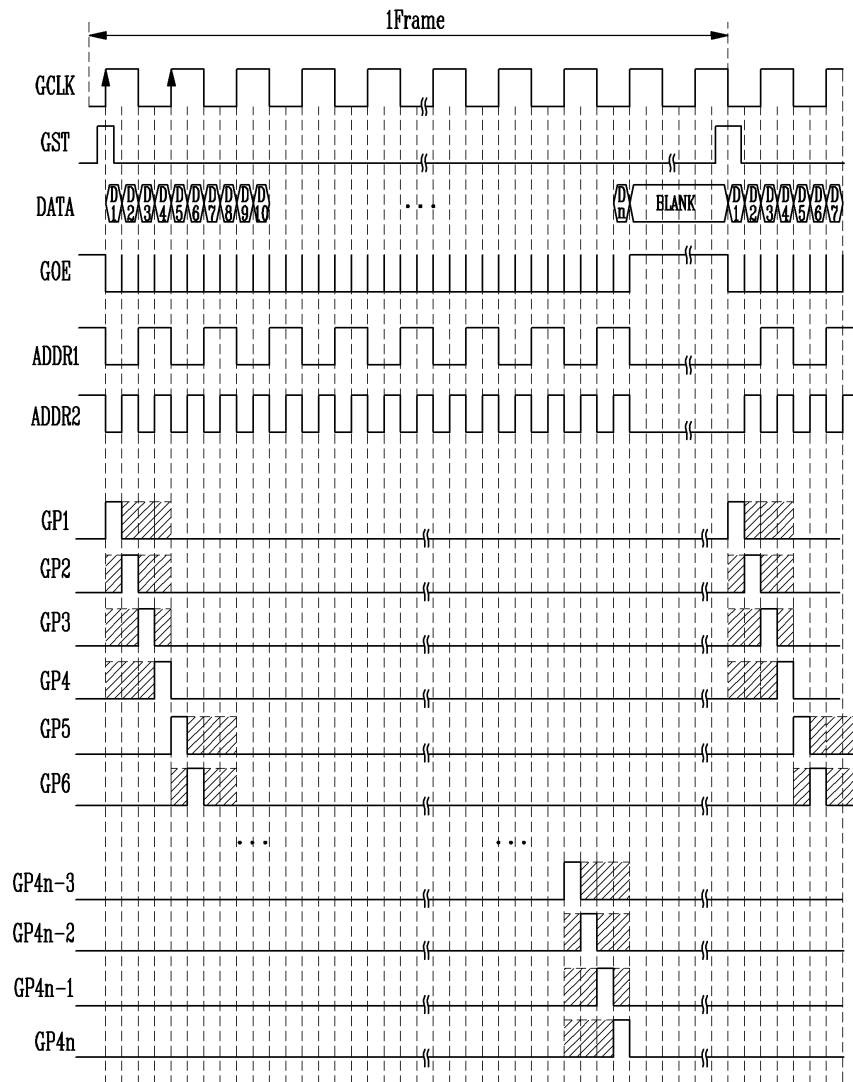
도면15



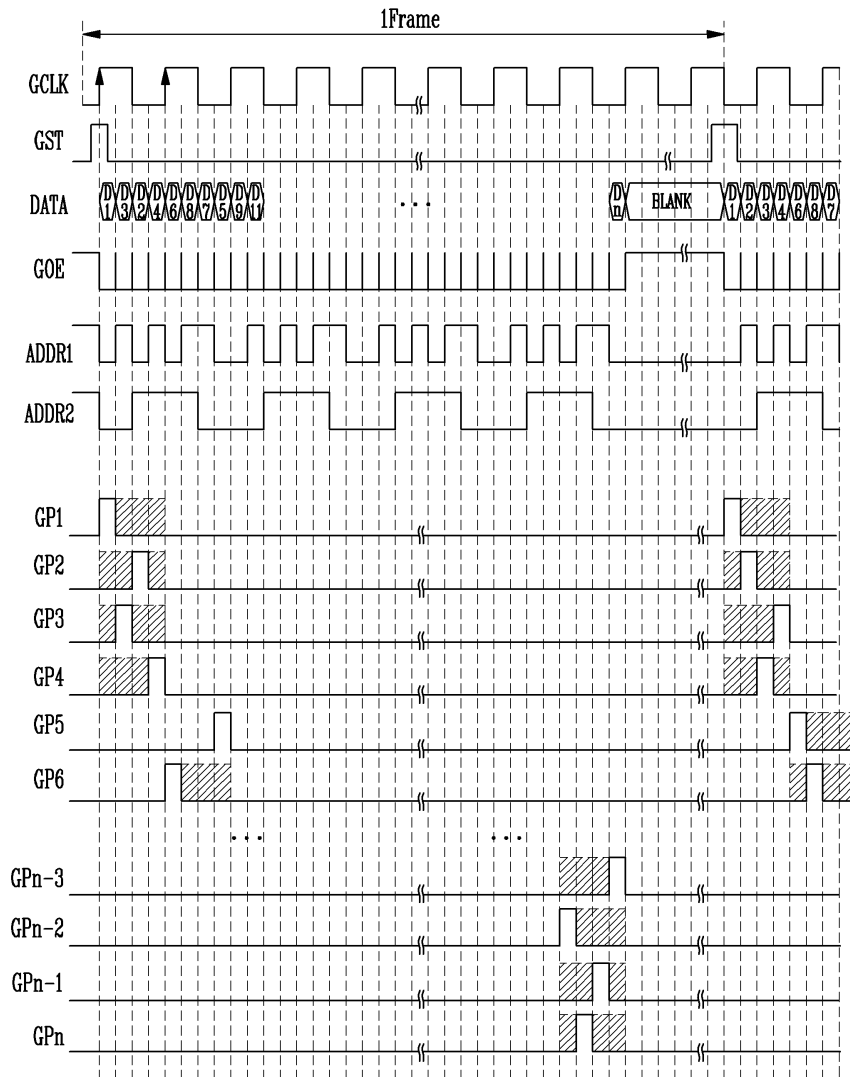
도면16



도면17



도면18



专利名称(译)	标题：液晶显示装置及其驱动方法		
公开(公告)号	KR1020150082774A	公开(公告)日	2015-07-16
申请号	KR1020140002148	申请日	2014-01-08
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	SUHYEONG PARK 박수형 JIMYOUNG SEO 서지명 HOYONG JUNG 정호용 EUNHO LEE 이은호 CHEOLWOO PARK 박철우		
发明人	박수형 서지명 정호용 이은호 박철우		
IPC分类号	G09G3/36 G02F1/133		
CPC分类号	G09G2310/0224 G09G3/3688 G09G3/3677 G09G2310/08 G09G2310/0264 G09G3/3648 G09G3/3607 G09G2310/0286 G09G3/3614 A47G9/1036 A47G9/1045 A47G9/1063 A47G2009/006 A47G2200/14		
代理人(译)	康SIN SEOB 永和的月亮 LEE , YONGWOO		
外部链接	Espacenet		

摘要(译)

一种液晶显示器，包括：显示面板，包括数据线，扫描线和连接到数据线和扫描线的多个像素;扫描驱动器，配置为向扫描线提供扫描信号;数据驱动器，配置为向数据线提供数据电压;定时控制器，用于控制扫描驱动器和数据驱动器的操作时序，定时控制器用于向扫描驱动器输出多个扫描输出使能信号，扫描驱动器用于提供奇数扫描信号至奇数扫描线基于扫描输出的第一扫描输出使能信号使能信号，并基于扫描输出使能信号的第二扫描输出使能信号将偶数扫描信号提供给偶数扫描线。

