



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0139846
(43) 공개일자 2014년12월08일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G02F 1/133 (2006.01)
(21) 출원번호 10-2013-0060471
(22) 출원일자 2013년05월28일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 95 (농서동)
(72) 발명자
신용진
충남 아산시 탕정면 탕정면로 37, 304동 3601호
(탕정삼성트라팰리스아파트)
(74) 대리인
권혁수, 오세준, 송윤호

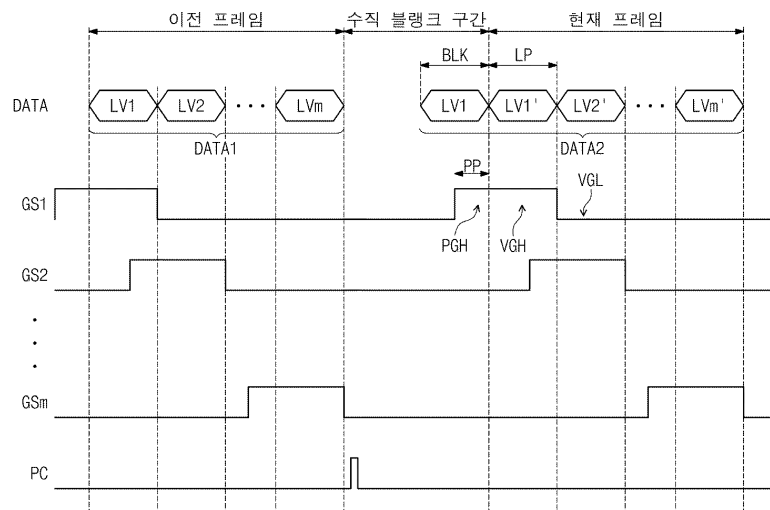
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 액정표시장치 및 그 구동방법

(57) 요약

액정표시장치는 표시패널, 타이밍 컨트롤러, 데이터 드라이버, 및 게이트 드라이버를 포함한다. 상기 표시패널은 다수의 게이트 라인들 및 다수의 데이터 라인들을 포함한다. 상기 타이밍 컨트롤러는 현재 프레임 데이터를 수신하고, 이전 프레임 데이터의 첫번째 라인 데이터를 출력한다. 상기 데이터 드라이버는 상기 이전 프레임 데이터의 첫번째 라인 데이터를 제1 이전 라인 데이터 전압으로 변환하여 현재 프레임과 이전 프레임 사이의 수직 블랭크 구간의 일부 동안 상기 데이터 라인들에 출력한다. 상기 게이트 드라이버는 프리차지 전압, 게이트 하이 전압, 및 게이트 로우 전압으로 이루어진 제1 게이트 신호를 상기 게이트 라인들 중 첫번째 게이트 라인에 제공한다. 상기 프리차지 전압은 상기 수직 블랭크 구간의 상기 일부와 오버랩되는 프리차지 구간동안 제공된다.

대표도



특허청구의 범위

청구항 1

다수의 게이트 라인들, 다수의 데이터 라인들, 및 상기 다수의 게이트 라인들 및 상기 다수의 데이터 라인들에 의해 정의된 다수의 화소들을 포함하는 표시패널;

현재 프레임 데이터를 수신하고, 상기 현재 프레임 데이터로부터 이전 프레임 데이터를 생성하고, 상기 이전 프레임 데이터의 첫번째 라인 데이터를 출력하는 타이밍 컨트롤러;

상기 이전 프레임 데이터의 첫번째 라인 데이터를 제1 이전 라인 데이터 전압으로 변환하여 현재 프레임과 이전 프레임 사이의 수직 블랭크 구간의 일부 동안 상기 데이터 라인들에 출력하는 데이터 드라이버; 및

프리차지 전압, 게이트 하이 전압, 및 게이트 로우 전압으로 이루어진 제1 게이트 신호를 상기 게이트 라인들 중 첫번째 게이트 라인에 제공하고, 상기 프리차지 전압은 상기 수직 블랭크 구간의 상기 일부와 오버랩되는 프리차지 구간동안 제공되는 게이트 드라이버를 포함하는 액정표시장치.

청구항 2

제1항에 있어서,

상기 게이트 하이 전압은 라인 구간 동안 제공되고, 상기 프리차지 구간은 상기 라인 구간 이전의 구간인 것을 특징으로 하는 액정표시장치.

청구항 3

제2항에 있어서,

상기 프리차지 구간은 상기 블랭크 구간의 상기 일부 보다 작은 것을 특징으로 하는 액정표시장치.

청구항 4

제2항에 있어서,

상기 게이트 하이 전압 및 상기 프리차지 전압은 하이 상태를 유지하고, 상기 게이트 로우 전압은 상기 라인 구간 및 상기 프리차지 구간을 제외한 나머지 구간 동안 로우 상태를 유지하는 것을 특징으로 하는 액정표시장치.

청구항 5

제2항에 있어서,

상기 게이트 하이 전압 및 상기 프리차지 전압은 동일한 전압 값을 갖는 것을 특징으로 하는 액정표시장치.

청구항 6

제1항에 있어서,

상기 타이밍 컨트롤러는,

상기 현재 프레임 데이터를 저장하는 프레임 메모리;

상기 이전 프레임 데이터의 첫번째 라인 데이터의 출력 시기를 결정하는 프리차지 신호를 생성하는 프리차지 신호 생성부; 및

상기 프리차지 신호를 수신하고, 상기 프레임 메모리로부터 상기 이전 프레임 데이터의 첫번째 라인 데이터를 독출하여 출력하는 프리차지 데이터 출력부를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 7

제6항에 있어서,

상기 타이밍 컨트롤러는 상기 현재 프레임 데이터와 상기 프레임 메모리로부터 독출된 상기 이전 프레임 데이터

를 기초로 보상 데이터를 생성하여 출력하는 데이터 보상부를 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 8

제7항에 있어서,

상기 보상 데이터는 프레임 단위의 이전 보상 데이터와 현재 보상 데이터를 포함하고,

상기 프리차지 데이터 출력부는 상기 이전 보상 데이터가 출력된 후, 상기 현재 보상 데이터가 출력되기 전에 상기 이전 프레임 데이터의 첫번째 라인 데이터를 출력하는 것을 특징으로 하는 액정표시장치.

청구항 9

제1항에 있어서,

상기 첫번째 게이트 라인에 연결된 화소들에는 상기 프리차지 전압에 따라 상기 제1 이전 라인 데이터 전압이 프리차지되는 것을 특징으로 하는 액정표시장치.

청구항 10

다수의 게이트 라인들, 다수의 데이터 라인들을 포함하는 표시 패널, 타이밍 컨트롤러, 데이터 드라이버, 및 게이트 드라이버를 포함하는 액정표시장치의 구동방법에 있어서,

상기 타이밍 컨트롤러에서 현재 프레임 데이터를 수신하는 단계;

상기 타이밍 컨트롤러에서 상기 현재 프레임 데이터로부터 이전 프레임 데이터를 생성하는 단계;

상기 타이밍 컨트롤러에서 상기 이전 프레임 데이터의 첫번째 라인 데이터를 출력하는 단계;

상기 데이터 드라이버에서 상기 이전 프레임 데이터의 첫번째 라인 데이터를 제1 이전 라인 데이터 전압으로 변환하는 단계;

상기 데이터 드라이버에서 상기 제1 이전 라인 데이터 전압을 현재 프레임과 이전 프레임 사이의 수직 블랭크 구간의 일부 동안 상기 데이터 라인들에 출력하는 단계; 및

상기 게이트 드라이버에서 프리차지 전압, 게이트 하이 전압, 및 게이트 로우 전압으로 이루어진 제1 게이트 신호를 상기 게이트 라인들 중 첫번째 게이트 라인에 제공하고, 상기 프리차지 전압은 상기 수직 블랭크 구간의 상기 일부와 오버랩되는 프리차지 구간동안 제공되는 단계를 포함하는 액정표시장치의 구동방법.

청구항 11

제10항에 있어서,

상기 게이트 하이 전압은 라인 구간 동안 제공되고, 상기 프리차지 구간은 상기 라인 구간 이전의 구간인 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 12

제11항에 있어서,

상기 프리차지 구간은 상기 블랭크 구간의 상기 일부 보다 작은 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 13

제11항에 있어서,

상기 게이트 하이 전압 및 상기 프리차지 전압은 하이 상태를 유지하고, 상기 게이트 로우 전압은 상기 라인 구간 및 상기 프리차지 구간을 제외한 나머지 구간 동안 로우 상태를 유지하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 14

제11항에 있어서,

상기 게이트 하이 전압 및 상기 프리차지 전압은 동일한 전압 값을 갖는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 15

제10항에 있어서,

상기 첫번째 게이트 라인에 연결된 화소들에는 상기 프리차지 전압에 따라 상기 제1 이전 라인 데이터 전압이 프리차지되는 것을 특징으로 하는 액정표시장치의 구동방법.

명세서

기술 분야

[0001] 본 발명은 액정표시장치 및 그 구동방법에 관한 것으로서, 더욱 상세하게는 첫번째 게이트라인들에 연결된 화소들을 프리차지하기 위한 액정표시장치 및 그 구동방법에 관한 것이다.

배경 기술

[0002] 일반적으로, 액정표시장치는 하부기관, 하부기관과 대향하여 구비되는 상부기관 및 하부기관과 상부기관과의 사이에 형성된 액정층으로 이루어져 영상을 표시하는 액정표시패널을 구비한다.

[0003] 액정표시패널에는 다수의 게이트 라인들, 다수의 데이터 라인들, 다수의 게이트 라인들과 다수의 데이터 라인들에 연결된 다수의 화소들이 구비된다. 액정표시패널에는 다수의 게이트라인에 게이트 신호를 순차적으로 출력하기 위한 게이트 드라이버가 박막 공정을 통해 직접적으로 형성될 수 있다.

[0004] 한편, 상기 게이트 라인들은 액정패널 전면에 걸쳐 형성되는데 상기 액정패널이 대형화됨에 따라 상기 게이트 라인들로 공급되는 게이트 하이 전압이 라인저항 등으로 인해 신호왜곡이 발생하게 된다. 상기 게이트 라인들로 공급된 게이트 하이 전압에 신호왜곡이 발생함에 따라 상기 게이트 라인들과 전기적으로 접속된 박막트랜지스터의 턴-온 시간에 영향을 주어 상기 박막트랜지스터의 충전 시간이 감소된다. 상기 박막트랜지스터의 충전 시간이 감소됨에 따라 상기 데이터 라인들로부터 공급되는 데이터 전압이 상기 박막트랜지스터와 접속된 화소전극으로 충분히 공급되지 않아서 상기 액정표시패널 상에 원하지 않는 화상이 표시될 수 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 목적은 첫번째 게이트 라인에 연결된 화소들을 프리차지시킬 수 있는 액정표시장치를 제공하는 것이다.

[0006] 또한, 본 발명의 또 다른 목적은 상기 액정표시장치의 구동방법을 제공하는 것이다.

과제의 해결 수단

[0007] 본 발명의 실시예에 따른 액정표시장치는 표시패널, 타이밍 컨트롤러, 데이터 드라이버, 및 게이트 드라이버를 포함한다.

[0008] 상기 표시패널은 다수의 게이트 라인들, 다수의 데이터 라인들, 및 상기 다수의 게이트 라인들 및 상기 다수의 데이터 라인들에 의해 정의된 다수의 화소들을 포함한다.

[0009] 상기 타이밍 컨트롤러는 현재 프레임 데이터를 수신한다. 상기 타이밍 컨트롤러는 상기 현재의 프레임 데이터로부터 이전 프레임 데이터를 생성한다. 상기 타이밍 컨트롤러는 상기 이전 프레임 데이터의 첫번째 라인 데이터를 출력한다.

[0010] 상기 데이터 드라이버는 상기 이전 프레임 데이터의 첫번째 라인 데이터를 제1 이전 라인 데이터 전압으로 변환하여 현재 프레임과 이전 프레임 사이의 수직 블랭크 구간의 일부 동안 상기 데이터 라인들에 출력한다.

[0011] 상기 게이트 드라이버는 프리차지 전압, 게이트 하이 전압, 및 게이트 로우 전압으로 이루어진 제1 게이트 신호를 상기 게이트 라인들 중 첫번째 게이트 라인에 제공한다. 상기 프리차지 전압은 상기 수직 블랭크 구간의 상

기 일부와 오버랩되는 프리차지 구간동안 제공된다.

[0012] 상기 게이트 하이 전압은 라인 구간 동안 제공되고, 상기 프리차지 구간은 상기 라인 구간 이전의 구간일 수 있다. 상기 프리차지 구간은 상기 블랭크 구간의 상기 일부 보다 작을 수 있다. 상기 게이트 하이 전압 및 상기 프리차지 전압은 하이 상태를 유지하고, 상기 게이트 로우 전압은 상기 라인 구간 및 상기 프리차지 구간을 제외한 나머지 구간 동안 로우 상태를 유지할 수 있다. 상기 게이트 하이 전압 및 상기 프리차지 전압은 동일한 전압 값을 가질 수 있다.

[0013] 상기 타이밍 컨트롤러는, 프레임 메모리, 프리차지 신호 생성부, 및 프리차지 데이터 출력부를 포함할 수 있다. 상기 프레임 메모리는 상기 현재 프레임 데이터를 저장한다. 상기 프리차지 신호 생성부는 상기 이전 프레임 데이터의 첫번째 라인 데이터의 출력 시기를 결정할 수 있다. 상기 프리차지 데이터 출력부는 상기 프리차지 신호를 수신하고, 상기 프레임 메모리로부터 상기 이전 프레임 데이터의 첫번째 라인 데이터를 독출하여 출력할 수 있다.

[0014] 상기 타이밍 컨트롤러는 상기 현재 프레임 데이터와 상기 프레임 메모리로부터 독출된 상기 이전 프레임 데이터를 기초로 보상 데이터를 생성하여 출력하는 데이터 보상부를 더 포함할 수 있다.

[0015] 본 발명의 일 실시예에 따른 액정표시장치의 구동방법은 상기 타이밍 컨트롤러에서 현재 프레임 데이터를 수신하는 단계; 상기 타이밍 컨트롤러에서 상기 현재 프레임 데이터로부터 이전 프레임 데이터를 생성하는 단계; 상기 타이밍 컨트롤러에서 상기 이전 프레임 데이터의 첫번째 라인 데이터를 출력하는 단계; 상기 데이터 드라이버에서 상기 이전 프레임 데이터의 첫번째 라인 데이터를 제1 이전 라인 데이터 전압으로 변환하는 단계; 상기 데이터 드라이버에서 상기 제1 이전 라인 데이터 전압을 현재 프레임과 이전 프레임 사이의 수직 블랭크 구간의 일부 동안 상기 데이터 라인들에 출력하는 단계; 및 상기 게이트 드라이버에서 프리차지 전압, 게이트 하이 전압, 및 게이트 로우 전압으로 이루어진 제1 게이트 신호를 상기 게이트 라인들 중 첫번째 게이트 라인에 제공하고, 상기 프리차지 전압은 상기 수직 블랭크 구간의 상기 일부와 오버랩되는 프리차지 구간동안 제공되는 단계를 포함한다.

발명의 효과

[0016] 본 발명의 액정표시장치 및 그 구동방법에 의하면, 첫번째 게이트 라인에 연결된 화소들은 게이트 신호의 프리차지 전압에 따라 이전 프레임의 첫번째 라인 데이터 전압으로 프리차지될 수 있다.

도면의 간단한 설명

[0017] 이하에 설명된 도면들은 단지 예시의 목적을 위한 것이고, 본 발명의 범위를 제한하기 위한 것이 아니다.

도 1은 본 발명의 일 실시예에 따른 액정표시장치의 블록도이다.

도 2는 도 1의 타이밍 컨트롤러를 도시한 블록도이다.

도 3은 이전 프레임, 수직 블랭크 구간, 및 현재 프레임 동안 데이터 라인들에 인가되는 데이터 전압, 게이트 라인들에 인가되는 게이트 신호를 도시한 타이밍도이다.

발명을 실시하기 위한 구체적인 내용

[0018] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는바, 특정 실시 예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

[0019] 도 1은 본 발명의 일 실시예에 따른 액정표시장치의 블록도이다.

[0020] 도 1을 참조하면, 상기 액정표시장치(1000)는 영상을 표시하는 표시패널(100), 상기 표시패널(100)을 구동하는 게이트 드라이버(200) 및 데이터 드라이버(300), 상기 게이트 드라이버(200) 및 상기 데이터 드라이버(300)의 구동을 제어하는 타이밍 컨트롤러(400)를 포함한다.

[0021] 상기 표시패널(100)에는 다수의 게이트 라인들(G1~Gm) 및 다수의 데이터 라인들(D1~Dk)이 구비된다. 상기 게이트 라인들(G1~Gm)에는 게이트 신호가 제공되고, 상기 데이터 라인들(D1~Dk)에는 데이터 전압이 제공된다. 상기 다수의 게이트 라인들(G1~Gm) 및 상기 다수의 데이터 라인들(D1~Dk)에 의해 상기 표시패널(100)에는 다수의 화소 영역이 정의되고, 각 화소 영역에는 화소(PX)가 구비된다. 상기 화소(PX)는 박막트랜지스터(TR), 액정 커패

시터(CLC), 및 스토리지 커패시터(CST)를 포함한다.

- [0022] 상기 박막트랜지스터(TR)의 게이트 전극은 제1 게이트 라인(G1)에 연결되고, 소스 전극은 제1 데이터 라인(D1)에 연결되며, 상기 액정 커패시터(CLC)와 상기 스토리지 커패시터(CST)는 상기 박막트랜지스터(TR)의 드레인 전극에 병렬 연결된다.
- [0023] 본 발명의 일 예로, 상기 표시패널(100)은 하부기판, 상기 하부기판과 마주하는 상부기판, 및 상기 하부기판과 상기 상부기판과의 사이에 배치된 액정층을 포함한다.
- [0024] 상기 하부기판에는 상기 다수의 게이트 라인들(G1~Gm), 상기 다수의 데이터 라인들(D1~Dk), 상기 박막트랜지스터(TR) 및 상기 액정 커패시터(CLC)의 제1 전극인 화소 전극이 형성된다. 상기 박막트랜지스터(TR)는 상기 게이트 전압에 응답하여 상기 데이터 전압을 상기 화소 전극에 인가한다.
- [0025] 상기 상부기판에는 상기 액정 커패시터(CLC)의 제2 전극인 공통전극이 형성되고, 상기 공통전극에는 공통전압이 인가된다. 상기 액정층은 상기 화소전극과 상기 공통전극 사이에서 유전체 역할을 수행한다. 따라서, 상기 액정 커패시터(CLC)에는 상기 데이터 전압과 상기 공통전압의 전위차에 대응하는 전압이 충전된다. 한편, 상기 화소 전극과 상기 공통전극의 위치는 이에 제한되는 것은 아니고, 표시패널의 구동 모드에 따라 변경될 수 있다. 예를 들어, 상기 화소 전극과 상기 공통전극은 모두 상기 하부기판에 형성될 수 있다.
- [0026] 상기 게이트 드라이버(200)는 상기 다수의 게이트 라인들(G1~Gm)에 전기적으로 연결되어, 상기 다수의 게이트 라인들(G1~Gm)에 상기 게이트 신호를 제공한다. 상기 데이터 드라이버(300)는 상기 다수의 데이터 라인들(D1~Dk)에 전기적으로 연결되어, 상기 다수의 데이터 라인들(D1~Dk)에 상기 데이터 전압을 제공한다.
- [0027] 상기 타이밍 컨트롤러(400)는 제1 제어신호(CONT1)를 수신한다. 상기 제1 제어신호(CONT1)는 수직동기신호, 수평동기신호, 메인클럭, 및 데이터 인에이블신호 등을 포함할 수 있다. 상기 타이밍 컨트롤러(400)는 상기 제1 제어신호(CONT1)를 기초로하여 게이트 제어신호(CONT2)와 데이터 제어신호(CONT3)를 출력한다. 한편, 상기 타이밍 컨트롤러(400)는 프레임 단위의 영상 정보를 갖는 현재 프레임 데이터(fd)를 수신한다.
- [0028] 상기 게이트 제어신호(CONT2)는 상기 게이트 드라이버(200)의 동작을 제어하기 위한 신호로써 상기 게이트 드라이버(200)로 제공된다. 상기 게이트 제어신호(CONT2)는 상기 게이트 드라이버(200)의 동작을 개시하는 수직개시신호, 상기 게이트 신호의 출력 시기를 결정하는 게이트 클럭신호 및 게이트 신호의 하이 구간 펄스폭을 결정하는 출력 인에이블 신호등을 포함할 수 있다.
- [0029] 상기 게이트 드라이버(200)는 상기 게이트 제어신호(CONT2)에 응답하여 프리차지 전압, 게이트 하이 전압, 및 게이트 로우 전압으로 이루어진 상기 게이트 신호를 출력한다. 구체적인 설명은 후술된다.
- [0030] 상기 데이터 제어신호(CONT3)는 상기 데이터 드라이버(300)의 동작을 제어하는 신호로써 상기 데이터 드라이버(300)로 제공된다. 상기 데이터 제어신호(CONT3)는 상기 데이터 드라이버(300)의 동작을 개시하는 수평개시신호, 상기 데이터 전압의 극성을 반전시키는 반전신호 및 상기 데이터 전압이 출력되는 시기를 결정하는 출력지시신호 등을 포함한다.
- [0031] 도 2는 도 1의 타이밍 컨트롤러를 도시한 블록도이다.
- [0032] 도 1 및 도 2를 참조하면, 상기 타이밍 컨트롤러(400)는 프레임 메모리(410), 데이터 보상부(420), 프리차지 신호 생성부(430), 및 프리차지 데이터 출력부(440)를 포함한다.
- [0033] 상기 프레임 메모리(410)는 현재 프레임 데이터(fd)를 수신하여 저장한다. 상기 현재 프레임 데이터(fd)는 특정 프레임 동안의 영상 데이터를 의미한다. 상기 프레임 메모리(410)에 저장된 현재 프레임 데이터(fd)는 한 프레임 후 이전 프레임 데이터가 된다.
- [0034] 상기 데이터 보상부(420)는 현재 프레임 데이터(fd)를 수신하고, 상기 프레임 메모리(410)로부터 이전 프레임 데이터(fd-1)를 수신한다. 상기 데이터 보상부(320)는 상기 현재 프레임 데이터(fd)와 상기 이전 프레임 데이터(fd-1)를 기초로 보상 데이터(fd', fd' -1)를 생성하여 상기 데이터 드라이버(300)에 제공한다. 이때, 상기 보상 데이터(fd', fd' -1)는 오버 드라이브 데이터와 노말 데이터를 포함할 수 있다. 상기 오버 드라이브 데이터는 데이터 전압의 프리차지를 위해 보상된 데이터로 상기 현재 프레임 데이터(fd)와 상기 이전 프레임 데이터(fd-1)의 계조차에 해당하는 보상값을 상기 현재 프레임 데이터(fd)에 더하여 생성할 수 있다. 상기 노말 데이터는 상기 현재 프레임 데이터(fd)와 동일한 데이터일 수 있다.
- [0035] 이하, 상기 이전 프레임 데이터(fd-1)와 그 이전 프레임 데이터를 기초로 상기 데이터 보상부(420)에서 보상된

데이터를 이전 보상 데이터($fd' - 1$)라 정의하고, 상기 현재 프레임 데이터(fd)와 상기 이전 프레임 데이터($fd-1$)를 기초로 상기 데이터 보상부(420)에서 보상된 데이터를 현재 보상 데이터(fd')라 정의한다. 상기 이전 보상 데이터($fd' - 1$) 및 상기 현재 보상 데이터(fd') 각각은 한 프레임에 대응하는 데이터이다.

- [0036] 상기 데이터 보상부(420)는 상기 이전 보상 데이터($fd' - 1$)를 출력한 후, 상기 현재 보상 데이터(fd')를 출력한다.
- [0037] 상기 프리차지 신호 생성부(430)는 프리차지 신호(PC)를 생성한다. 상기 프리차지 신호(PC)는 상기 이전 프레임 데이터($fd-1$)의 첫번째 라인 데이터($ld1$)의 출력 시기를 결정하는 신호이다. 도 3을 참조하면, 상기 프리차지 신호(PC)는 상기 이전 보상 데이터($fd' - 1$)가 출력된 후, 상기 현재 보상 데이터(fd')가 출력되기 전 상기 프리차지 데이터 출력부(440)에 제공될 수 있다.
- [0038] 상기 프리차지 데이터 출력부(440)는 상기 프리차지 신호(PC)를 수신하면, 상기 프레임 메모리(410)로부터 상기 이전 프레임 데이터($fd-1$)의 첫번째 라인 데이터($ld1$)를 독출하고, 상기 이전 프레임 데이터($fd-1$)의 첫번째 라인 데이터($ld1$)를 상기 데이터 드라이버(300)에 출력한다. 이때, 상기 프리차지 데이터 출력부(440)는 상기 이전 보상 데이터($fd' - 1$)가 출력된 후, 상기 현재 보상 데이터(fd')가 출력되기 전에 상기 이전 프레임 데이터($fd-1$)의 첫번째 라인 데이터($ld1$)를 출력한다.
- [0039] 도 3은 이전 프레임, 수직 블랭크 구간, 및 현재 프레임 동안 데이터 라인들에 인가되는 데이터 전압, 게이트 라인들에 인가되는 게이트 신호를 도시한 타이밍도이다.
- [0040] 도 1 내지 도 3을 참조하면, 상기 데이터 전압(DATA)은 이전 데이터 전압(DATA1) 및 현재 데이터 전압(DATA2)을 포함한다. 구체적으로, 상기 이전 보상 데이터($fd' - 1$)는 상기 데이터 드라이버(300)에서 이전 데이터 전압(DATA1)으로 변환되어 이전 프레임 구간 동안 상기 데이터 라인들($D1 \sim Dk$)에 출력되고, 상기 현재 보상 데이터(fd')는 상기 데이터 드라이버(300)에서 현재 데이터 전압(DATA2)으로 변환되어 현재 프레임 구간 동안 상기 데이터 라인들($D1 \sim Dk$)에 출력된다.
- [0041] 상기 게이트 라인들($G1 \sim Gm$)에는 상기 이전 프레임 및 상기 현재 프레임 각각 동안 제1 내지 제 m 게이트 신호들($GS1 \sim GS_m$)이 순차적으로 제공된다. 상기 이전 프레임 동안 상기 제1 내지 제 m 게이트 신호들($GS1 \sim GS_m$) 및 상기 이전 데이터 전압(DATA1)이 인가됨에 따라 상기 표시패널(100)에는 한 화면 분의 영상이 표시된다. 마찬가지로, 상기 현재 프레임 동안 상기 제1 내지 제 m 게이트 신호들($GS1 \sim GS_m$) 및 상기 현재 데이터 전압(DATA2)이 인가됨에 따라 상기 표시패널(100)에는 한 화면 분의 영상이 표시된다.
- [0042] 상기 이전 데이터 전압(DATA1)은 순차적으로 배열된 복수의 이전 라인 데이터 전압($LV1 \sim LV_m$)으로 이루어진다. 또한, 상기 현재 데이터 전압(DATA2)은 순차적으로 배열된 복수의 현재 라인 데이터 전압($LV1' \sim LV_m'$)으로 이루어진다. 상기 이전 프레임 및 상기 현재 프레임 각각은 복수의 라인 구간(LP)을 포함할 수 있다. 각 이전 라인 데이터 전압($LV1 \sim LV_m$) 및 각 현재 라인 데이터 전압($LV1' \sim LV_m'$)은 상기 라인 구간(LP) 동안 상기 데이터 라인들($D1 \sim Dk$)에 인가된다.
- [0043] 일반적으로, 상기 이전 프레임과 상기 현재 프레임 사이에는 수직 블랭크 구간이 존재한다. 상기 수직 블랭크 구간은 상기 이전 프레임 동안 한 화면 분의 영상을 표시한 후 상기 현재 프레임이 시작하기 전 딜레이되는 구간이다. 본 발명에서는 상기 수직 블랭크 구간에도 프리차지를 위한 라인 데이터 전압($LV1$)이 상기 데이터 라인들($D1 \sim Dk$)로 인가될 수 있다.
- [0044] 상기 데이터 드라이버(300)는 제1 이전 라인 데이터 전압($LV1$)을 상기 수직 블랭크 구간의 일부(BLK) 동안 상기 데이터 라인들($D1 \sim Dk$)에 출력한다. 상기 제1 이전 라인 데이터 전압($LV1$)은 도 2의 상기 프리차지 데이터 출력부(440)로부터 수신한 상기 이전 프레임 데이터($fd-1$)의 첫번째 라인 데이터($ld1$)를 변환한 데이터 전압이다. 상기 수직 블랭크 구간의 상기 일부(BLK)는 상기 현재 프레임의 첫번째 라인 구간(LP)에 인접한 구간이다.
- [0045] 상기 게이트 신호들($GS1 \sim GS_m$) 각각은 프리차지 전압(PGH), 게이트 하이 전압(VGH), 및 게이트 로우 전압(VGL)으로 이루어진다. 상기 게이트 하이 전압(VGH)은 상기 라인 구간(LP) 동안 하이 상태를 유지한다. 상기 프리차지 전압(PGH)은 상기 게이트 하이 전압(VGH) 이전의 프리차지 구간(PP) 동안 하이 상태를 유지한다. 이때, 상기 프리차지 구간(PP)은 상기 라인 구간(LP) 보다 작게 설정될 수 있다. 상기 프리차지 구간(PP)은 상기 게이트 하이 전압(VGH)이 인가되는 구간에 인접한 구간이다. 상기 제1 게이트 신호($GS1$)의 프리차지 구간(PP)은 상기 수직 블랭크 구간의 상기 일부(BLK)와 오버랩될 수 있다. 상기 게이트 로우 전압(VGL)은 한 프레임 내에서 상기 프리차지 전압(PGH) 및 상기 게이트 하이 전압(VGH)을 제외한 나머지 구간 동안 로우 상태를 유지한다. 상기 현재 프레임 동안 인가되는 상기 제1 게이트 신호($GS1$)를 일 예로 설명하면, 상기 게이트 하이 전압(VGH)은 상기 제1

현재 라인 데이터 전압(LV' 1)이 인가되는 라인 구간(LP) 동안 하이 상태를 유지하고, 상기 프리차지 전압(PGH)은 상기 제1 현재 라인 데이터 전압(LV' 1)이 인가되는 라인 구간(LP) 이전의 프리차지 구간(PP) 동안 하이 상태를 유지하고, 상기 게이트 로우 전압(VGL)은 나머지 구간 동안 로우 상태를 유지한다.

[0046] 상기 게이트 하이 전압(VGH) 및 상기 프리차지 전압(PGH)은 동일한 전압 값을 가질 수 있다.

[0047] 상기 게이트 신호들(GS1~GSk)은 순차적으로 상기 라인 구간(LP)만큼 딜레이된 파형을 갖는다. 예를 들어, 상기 제2 게이트 신호(GS2)는 상기 제1 게이트 신호(GS1)에 비해 상기 라인 구간(LP)만큼 딜레이된 신호일 수 있다.

[0048] 상기 게이트 신호들(GS1~GSk)은 서로 상기 프리차지 구간(PP)만큼 하이 상태가 오버랩된다. 예를 들어, 상기 제1 게이트 신호(GS1) 및 상기 제2 게이트 신호(GS2)는 상기 프리차지 구간(PP)만큼 하이 상태가 서로 오버랩된다.

[0049] 상기 프리차지 전압(PGH)은 화소를 프리차지 시키기 위한 전압으로서, 화소는 상기 게이트 하이 전압(VGH)에 의해 화소에 충전되는 라인 데이터 전압 직전에 인가된 라인 데이터 전압으로 프리차지된다. 예를 들어, 제2 게이트 신호(GS2)의 게이트 하이 전압(VGH)에 의해 상기 제2 게이트 라인(G2)에 연결된 화소에는 제2 현재 라인 데이터 전압(LV2')이 인가되고, 상기 제2 게이트 신호(GS2)의 상기 프리차지 전압(PGH)에 의해 상기 화소에는 제1 현재 라인 데이터 전압(LV1')이 프리차지된다. 유사한 설명이 상기 제3 내지 제m 게이트 라인들(G3~Gm)에 연결된 화소들에 적용될 수 있다.

[0050] 상기 제1 게이트 라인(G1)에 연결된 화소에는 상기 제1 이전 라인 데이터 전압(LV1)이 프리차지된다. 상기 제2 내지 제m 게이트 라인들(G2~Gm)에 연결된 화소들과 달리 상기 제1 게이트 라인(G1)에 연결된 화소는 상기 제1 게이트 신호(GS1)의 프리차지 전압(PGH)이 상기 수직 블랭크 구간에 인가되므로, 상기 현재 라인 데이터 전압(DATA 2)을 이루는 현재 라인 데이터 전압(LV' 1~LV' m)으로 프리차지될 수 없다. 상기 이전 프레임의 상기 제1 이전 라인 데이터 전압(LV1)이 상기 제1 현재 라인 데이터 전압(LV1')과 가장 유사한 정보를 가지므로, 상기 제1 게이트 라인(G1)에 연결된 화소는 상기 제1 이전 라인 데이터 전압(LV1)으로 프리차지 된다.

[0051] 종래의 액정표시장치의 경우, 첫번째 게이트 라인에 연결된 화소들을 프리차지시킬 수 없거나, 고정된 데이터 전압으로 프리차지시킬 수 밖에 없었다. 이는 첫번째 게이트 라인에 연결된 화소들에서 표시된 영상의 휘도 불량 등의 문제로 나타난다. 본 발명의 액정표시장치에 의하면, 첫번째 게이트 라인에 연결된 화소들은 게이트 신호의 프리차지 전압에 따라 이전 프레임의 첫번째 라인 데이터 전압으로 프리차지될 수 있어 종래의 문제점을 극복할 수 있다.

[0052] 이상, 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징으로 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예에는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

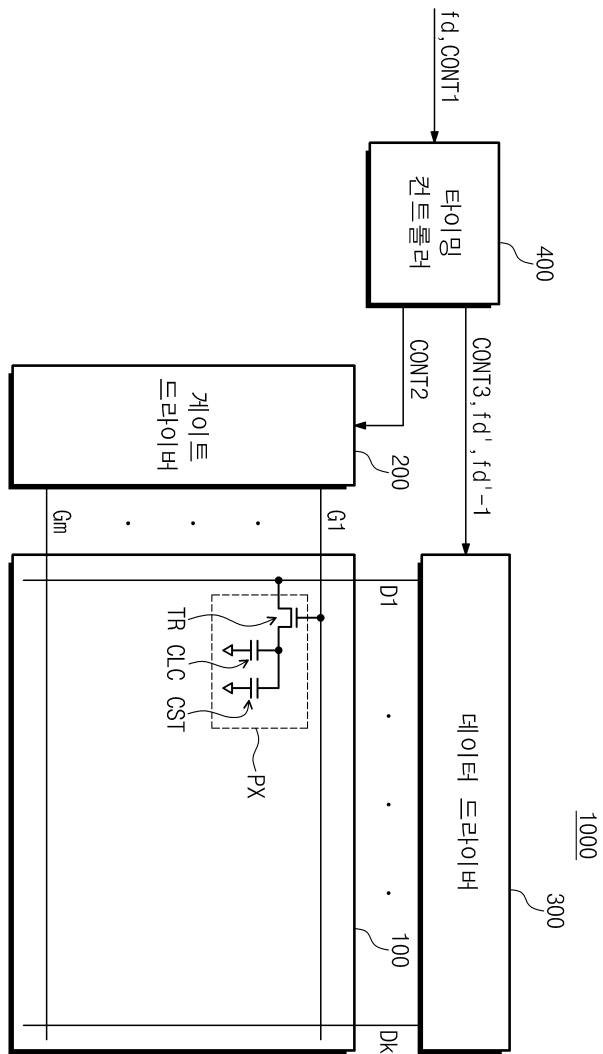
부호의 설명

[0053]

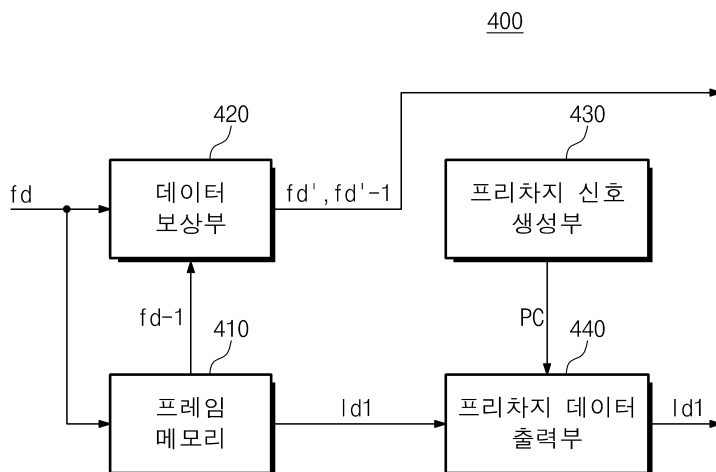
100: 표시패널	200: 게이트 드라이버
300: 데이터 드라이버	400: 타이밍 컨트롤러
410: 프레임 메모리	420: 데이터 보상부
430: 프리차지 신호 생성부	440: 프리차지 데이터 출력부

도면

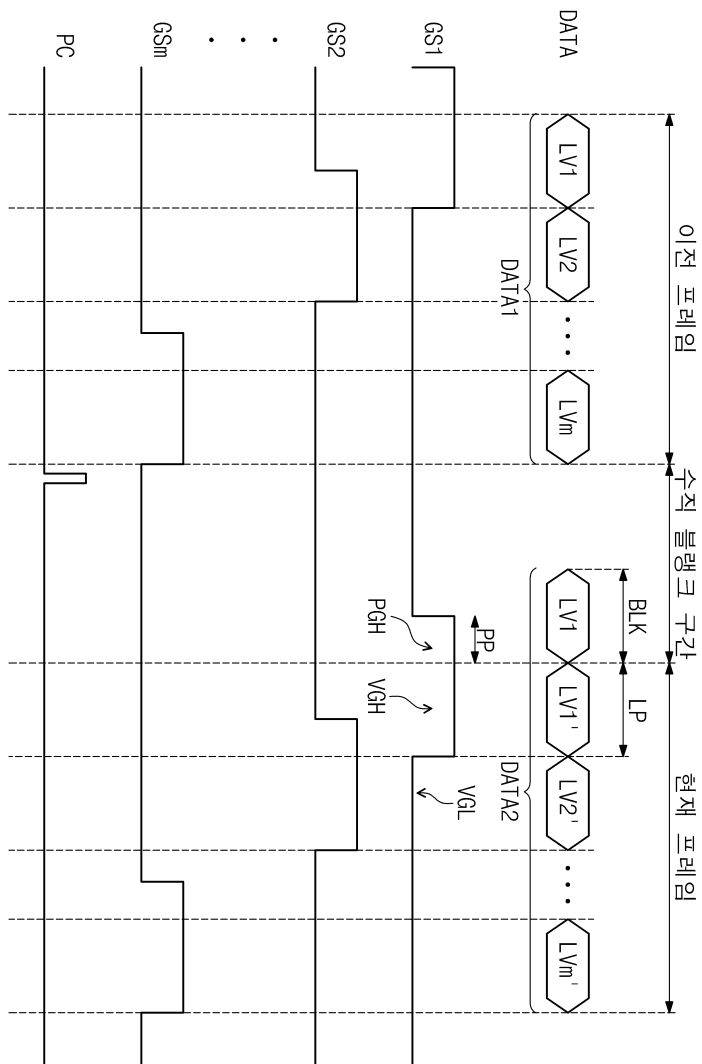
도면1



도면2



도면3



专利名称(译)	标题：液晶显示装置及其驱动方法		
公开(公告)号	KR1020140139846A	公开(公告)日	2014-12-08
申请号	KR1020130060471	申请日	2013-05-28
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	SHIN YONG JIN 신용진		
发明人	신용진		
IPC分类号	G09G3/36 G02F1/133		
CPC分类号	G09G3/3648 G09G3/3688 G09G2310/0251		
其他公开文献	KR102061595B1		
外部链接	Espacenet		

摘要(译)

液晶显示装置包括显示面板，定时控制器，数据驱动器和栅极驱动器。显示面板包括多条栅极线和多条数据线。定时控制器接收当前帧数据并输出先前帧数据的第一行数据。数据驱动器将前一帧数据的第一行数据转换为第一前一行数据电压，并在当前帧和前一帧之间的垂直消隐时段的一部分期间将第一前一行数据电压输出到数据线。栅极驱动器将第一栅极信号提供给栅极线中的第一栅极线，其中第一栅极信号包括预充电电压，栅极高电压和栅极低电压。在与垂直消隐期的部分重叠的预充电期间提供预充电电压。COPYRIGHT KIPO 2015

