



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0049617  
(43) 공개일자 2013년05월14일

(51) 국제특허분류(Int. Cl.)

G09G 3/36 (2006.01) G02F 1/1345 (2006.01)

(21) 출원번호 10-2011-0114746

(22) 출원일자 2011년11월04일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

강신택

경기 용인시 수지구 상현1동 상현마을쌍용2차C단지 218동 1801호

김경희

서울 중랑구 신내동 벽산아파트 103동 1102호

(뒷면에 계속)

(74) 대리인

팬코리아특허법인

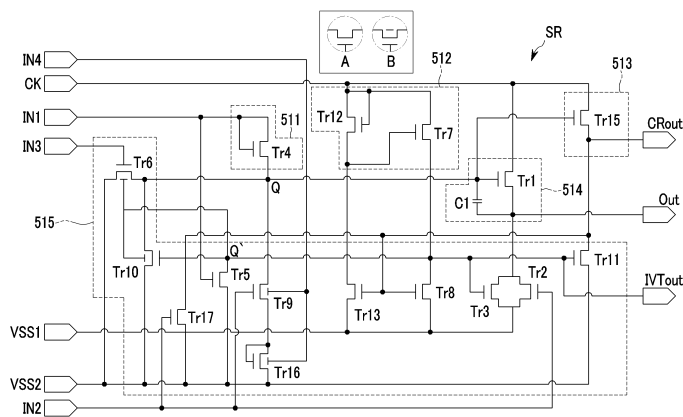
전체 청구항 수 : 총 17 항

(54) 발명의 명칭 표시 패널

(57) 요약

본 발명은 표시 패널에 집적되어 있는 게이트 구동부를 가지는 표시 장치에서 게이트 구동부의 스테이지에는 듀얼 게이트 박막 트랜지스터가 형성되어 있고, 이를 전단 스테이지의 인버터 신호 또는 본단 스테이지의 인버터 신호로 제어하여 게이트 온 전압의 레벨이 저하되거나 게이트 온 전압이 지연되는 것을 막아 표시 품질을 향상시킬 수 있다.

대표도 - 도3



(72) 발명자

**김범준**

서울특별시 서초구 논현로27길 58 (양재동)

**김성만**

서울특별시 송파구 신천동 장미아파트 25동 1001호

**이종환**

경기도 안양시 동안구 달안로 63, 602동 1705호 (비산동, 셋별아파트)

**이홍우**

충남 아산시 탕정면 명암리 삼성트라팰리스  
102-2305

**한혜리**

경기도 수원시 영통구 매탄4동 매탄성일아파트 20  
5동 202호

**허지혜**

충청남도 천안시 동남구 다가9길 22-1 (다가동)

---

## 특허청구의 범위

### 청구항 1

게이트선을 포함하는 표시 영역, 및

게이트선의 일단에 연결되고, 다수의 스테이지를 포함하며, 기판 위에 집적된 게이트 구동부를 포함하며,

상기 스테이지는 두 개의 제어 단자를 포함하는 듀얼 게이트 박막 트랜지스터를 포함하며,

상기 스테이지에는 클럭신호, 저전압, 전단 스테이지들 중 적어도 하나의 전달 신호, 다음 단 스테이지들 중 적어도 두 개의 전달 신호 및 다른 스테이지 중 하나로부터 출력 제어 신호를 인가 받아 게이트 전압을 출력하는 표시 패널.

### 청구항 2

제1항에서,

상기 출력 제어 신호는 상기 스테이지가 게이트 온 전압을 출력하는 구간에서는 저전압을 가지는 표시 패널.

### 청구항 3

제2항에서,

상기 출력 제어 신호는 상기 스테이지가 게이트 온 전압을 출력하는 전 1H 구간에서도 저전압을 가지는 표시 패널.

### 청구항 4

제1항에서,

상기 스테이지는 입력부, 풀업 구동부, 풀다운 구동부, 출력부, 전달 신호 생성부를 포함하며,

상기 스테이지는 클럭신호, 제1 저전압 및 상기 제1 저전압보다 낮은 제2 저전압, 전단 스테이지들 중 적어도 하나의 전달 신호, 다음 단 스테이지들 중 적어도 두 개의 전달 신호를 인가 받아 제1 저전압을 게이트 오프 전압으로 하며,

상기 입력부, 상기 풀다운 구동부, 상기 출력부, 상기 전달 신호 생성부는 Q접점에 연결되어 있으며,

상기 풀업 구동부 및 상기 풀다운 구동부는 인버터 신호를 생성하는 Q' 접점에 연결되어 있는 표시 패널.

### 청구항 5

제4항에서,

상기 듀얼 게이트 박막 트랜지스터는 상기 게이트 온 전압을 출력하는 상기 출력부에 포함된 제1 박막 트랜지스터의 제어 단자인 상기 Q 접점과 연결되어 있는 표시 패널.

### 청구항 6

제5항에서,

상기 출력 제어 신호는 전단 스테이지의 인버터 신호인 표시 패널.

### 청구항 7

제6항에서,

상기 듀얼 게이트 박막 트랜지스터로 형성되어 있으며, 상기 전단 스테이지의 인버터 신호를 제2 제어 단자로 전달받는 트랜지스터는 제9 트랜지스터이며,

상기 제9 트랜지스터는 제1 제어 단자가 다음 단 스테이지의 캐리 신호를 인가 받고, 제2 제어 단자는 상기 전

단 스테이지의 인버터 신호를 인가 받으며, 입력 단자는 상기 Q 접점과 연결되어 있는 표시 패널.

#### 청구항 8

제7항에서,

상기 듀얼 게이트 박막 트랜지스터로 형성되어 있으며, 상기 전단 스테이지의 인버터 신호를 제2 제어 단자로 전달받는 트랜지스터는 제16 트랜지스터이며,

상기 제16 트랜지스터는 제1 제어 단자 및 입력 단자가 상기 제9 트랜지스터의 출력 단자와 연결되어 있으며, 제2 제어 단자는 상기 전단 스테이지의 인버터 신호를 인가 받으며, 출력 단자는 제2 저전압을 인가 받는 표시 패널.

#### 청구항 9

제5항에서,

상기 출력 제어 신호는 본단 스테이지의 인버터 신호인 표시 패널.

#### 청구항 10

제9항에서,

상기 듀얼 게이트 박막 트랜지스터로 형성되어 있으며, 상기 본단 스테이지의 인버터 신호를 제2 제어 단자로 전달받는 트랜지스터는 제10 트랜지스터이며,

상기 제10 트랜지스터는 입력 단자가 상기 Q 접점과 연결되고, 출력 단자는 상기 제2 저전압을 인가 받으며, 제1 제어 단자 및 제2 제어 단자는 상기 본단 스테이지의 인버터 신호를 인가 받는 표시 패널.

#### 청구항 11

제10항에서,

상기 듀얼 게이트 박막 트랜지스터로 형성되어 있으며, 상기 본단 스테이지의 인버터 신호를 제2 제어 단자로 전달받는 트랜지스터는 제6 트랜지스터이며,

상기 제6 트랜지스터는 제1 제어 단자가 다다음단 스테이지의 전달 신호를 인가 받으며, 제2 제어 단자는 상기 본단 스테이지의 인버터 신호를 인가 받으며, Q출력 단자는 상기 제2 저전압을 인가 받으며, 입력 단자는 상기 Q 접점과 연결되어 있는 표시 패널.

#### 청구항 12

제1항에서,

상기 스테이지는 제1 내지 제4 입력 단자, 하나의 클럭 입력 단자, 제1 저전압을 입력 받는 제1 전압 입력 단자, 상기 제1 저전압보다 낮은 제2 저전압을 입력 받는 제2 전압 입력 단자, 게이트 전압을 출력하는 게이트 전압 출력 단자, 전달 신호 출력 단자 및 인버터 신호 출력 단자를 포함하며,

상기 인버터 신호 출력 단자는 다음 단 스테이지의 제4 입력 단자와 연결되어 있는 표시 패널.

#### 청구항 13

제12항에서,

상기 스테이지는 게이트 온 전압을 출력하는 박막 트랜지스터의 제어 단자인 Q 접점 및 인버터 신호를 생성하는 Q' 접점을 포함하는 표시 패널.

#### 청구항 14

제13항에서,

상기 듀얼 게이트 박막 트랜지스터로 형성되어 있으며, 전단 스테이지의 인버터 신호를 전달받는 트랜지스터는 제9 트랜지스터이며,

상기 제9 트랜지스터는 제1 제어 단자가 다음 단 스테이지의 캐리 신호를 인가 받고, 제2 제어 단자는 상기 전 단 스테이지의 인버터 신호를 인가 받으며, 입력 단자는 상기 Q 접점과 연결되어 있는 표시 패널.

#### 청구항 15

제14항에서,

상기 듀얼 게이트 박막 트랜지스터로 형성되어 있으며, 전 단 스테이지의 인버터 신호를 전달받는 트랜지스터는 제16 트랜지스터이며,

상기 제16 트랜지스터는 제1 제어 단자 및 입력 단자가 상기 제9 트랜지스터의 출력 단자와 연결되어 있으며, 제2 제어 단자는 상기 전 단 스테이지의 인버터 신호를 인가 받으며, 출력 단자는 제2 저전압을 인가 받는 표시 패널.

#### 청구항 16

제13항에서,

상기 듀얼 게이트 박막 트랜지스터로 형성되어 있으며, 입력 단자가 상기 Q 접점과 연결되고, 출력 단자는 상기 제2 저전압을 인가 받으며, 제1 제어 단자 및 제2 제어 단자는 상기 본 단 스테이지의 인버터 신호를 인가 받는 제10 트랜지스터를 더 포함하는 표시 패널.

#### 청구항 17

제16항에서,

상기 듀얼 게이트 박막 트랜지스터로 형성되어 있으며, 제1 제어 단자가 다다음단 스테이지의 전달 신호를 인가 받으며, 제2 제어 단자는 상기 본 단 스테이지의 인버터 신호를 인가 받으며, Q출력 단자는 상기 제2 저전압을 인가 받으며, 입력 단자는 상기 Q 접점과 연결되어 있는 제6 트랜지스터를 더 포함하는 표시 패널.

### 명세서

#### 기술분야

[0001] 본 발명은 표시 패널에 관한 것으로, 표시 패널에 집적된 게이트 구동부를 가지는 표시 패널에 대한 것이다.

#### 배경기술

[0002] 표시 패널 중에서 액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 화소 전극과 공통 전극 등 전기장 생성 전극(field generating electrode)이 형성되어 있는 두 장의 표시판과 그 사이에 들어 있는 액정층을 포함한다. 액정 표시 장치는 전기장 생성 전극에 전압을 인가하여 액정층에 전기장을 생성하고 이를 통하여 액정층의 액정 분자들의 방향을 결정하고 입사광의 편광을 제어함으로써 영상을 표시한다. 표시 패널은 액정 표시 장치 외에도 유기 발광 표시 장치, 플라즈마 표시 장치, 전기 영동 표시 장치 등이 있다.

[0003] 이러한 표시 장치에는 게이트 구동부 및 데이터 구동부가 포함되어 있다. 이 중 게이트 구동부는 게이트선, 데이터선, 박막 트랜지스터 등과 함께 패터닝되어 패널 위에 집적될 수 있다. 이와 같이 집적된 게이트 구동부는 별도의 게이트 구동용 칩을 형성할 필요가 없어 제조 원가가 절감되는 장점이 있다. 그렇지만, 이와 같이 집적된 게이트 구동부의 내부에 형성된 박막 트랜지스터는 게이트 오프 신호를 내보내는 동안 일정 수준의 누설 전류가 발생되어 출력이 저하되어 게이트 전압의 레벨이 저하되는 문제가 발생한다. 이와 같은 현상은 고온 또는 저온의 환경에서 발생할 가능성이 높다. 또한, 게이트 온 전압은 표시 패널의 게이트선이 가지고 있는 커패시턴스와 저항 값에 의하여 게이트 온 전압이 지연되면서 오프 전압으로 변하는 문제점도 가지고 있다. 이러한 지연으로 인해서는 표시 화면에서 가로줄 불량 발생한다.

#### 발명의 내용

#### 해결하려는 과제

[0004] 본 발명이 이루고자 하는 기술적 과제는 표시 패널에 실장된 게이트 구동부가 출력하는 게이트 온 전압의 레벨

이 낮아지지 않거나 게이트 오프 전압으로 변경되는 타이밍이 지연되지 않도록 하기 위한 것이다.

### 과제의 해결 수단

- [0005] 이러한 과제를 해결하기 위하여 본 발명의 실시예에 따른 표시 패널은 게이트선을 포함하는 표시 영역, 및 게이트선의 일단에 연결되고, 다수의 스테이지를 포함하며, 기판 위에 집적된 게이트 구동부를 포함하며, 상기 스테이지는 두 개의 제어 단자를 포함하는 듀얼 게이트 박막 트랜지스터를 포함하며, 상기 스테이지에는 클럭신호, 저전압, 전단 스테이지들 중 적어도 하나의 전달 신호, 다음 단 스테이지들 중 적어도 두 개의 전달 신호 및 다른 스테이지 중 하나로부터 출력 제어 신호를 인가 받아 게이트 전압을 출력한다.
- [0006] 상기 출력 제어 신호는 상기 스테이지가 게이트 온 전압을 출력하는 구간에서는 저전압을 가질 수 있다.
- [0007] 상기 출력 제어 신호는 상기 스테이지가 게이트 온 전압을 출력하는 전 IH 구간에서도 저전압을 가질 수 있다.
- [0008] 상기 스테이지는 입력부, 풀업 구동부, 풀다운 구동부, 출력부, 전달 신호 생성부를 포함하며, 상기 스테이지는 클럭신호, 제1 저전압 및 상기 제1 저전압보다 낮은 제2 저전압, 전단 스테이지들 중 적어도 하나의 전달 신호, 다음 단 스테이지들 중 적어도 두 개의 전달 신호를 인가 받아 제1 저전압을 게이트 오프 전압으로 하며, 상기 입력부, 상기 풀다운 구동부, 상기 출력부, 상기 전달 신호 생성부는 Q점점에 연결되어 있으며, 상기 풀업 구동부 및 상기 풀다운 구동부는 인버터 신호를 생성하는 Q' 점점에 연결되어 있을 수 있다.
- [0009] 상기 듀얼 게이트 박막 트랜지스터는 상기 게이트 온 전압을 출력하는 상기 출력부에 포함된 제1 박막 트랜지스터의 제어 단자인 상기 Q 점점과 연결되어 있을 수 있다.
- [0010] 상기 출력 제어 신호는 전단 스테이지의 인버터 신호일 수 있다.
- [0011] 상기 듀얼 게이트 박막 트랜지스터로 형성되어 있으며, 상기 전단 스테이지의 인버터 신호를 제2 제어 단자로 전달받는 트랜지스터는 제9 트랜지스터이며, 상기 제9 트랜지스터는 제1 제어 단자가 다음 단 스테이지의 캐리 신호를 인가 받고, 제2 제어 단자는 상기 전단 스테이지의 인버터 신호를 인가 받으며, 입력 단자는 상기 Q 점점과 연결되어 있을 수 있다.
- [0012] 상기 듀얼 게이트 박막 트랜지스터로 형성되어 있으며, 상기 전단 스테이지의 인버터 신호를 제2 제어 단자로 전달받는 트랜지스터는 제16 트랜지스터이며, 상기 제16 트랜지스터는 제1 제어 단자 및 입력 단자가 상기 제9 트랜지스터의 출력 단자와 연결되어 있으며, 제2 제어 단자는 상기 전단 스테이지의 인버터 신호를 인가 받으며, 출력 단자는 제2 저전압을 인가 받을 수 있다.
- [0013] 상기 출력 제어 신호는 본단 스테이지의 인버터 신호일 수 있다.
- [0014] 상기 듀얼 게이트 박막 트랜지스터로 형성되어 있으며, 상기 본단 스테이지의 인버터 신호를 제2 제어 단자로 전달받는 트랜지스터는 제10 트랜지스터이며, 상기 제10 트랜지스터는 입력 단자가 상기 Q 점점과 연결되고, 출력 단자는 상기 제2 저전압을 인가 받으며, 제1 제어 단자 및 제2 제어 단자는 상기 본단 스테이지의 인버터 신호를 인가 받을 수 있다.
- [0015] 상기 듀얼 게이트 박막 트랜지스터로 형성되어 있으며, 상기 본단 스테이지의 인버터 신호를 제2 제어 단자로 전달받는 트랜지스터는 제6 트랜지스터이며, 상기 제6 트랜지스터는 제1 제어 단자가 다다음단 스테이지의 전달 신호를 인가 받으며, 제2 제어 단자는 상기 본단 스테이지의 인버터 신호를 인가 받으며, Q출력 단자는 상기 제2 저전압을 인가 받으며, 입력 단자는 상기 Q 점점과 연결되어 있을 수 있다.
- [0016] 상기 스테이지는 제1 내지 제4 입력 단자, 하나의 클럭 입력 단자, 제1 저전압을 입력 받는 제1 전압 입력 단자, 상기 제1 저전압보다 낮은 제2 저전압을 입력 받는 제2 전압 입력 단자, 게이트 전압을 출력하는 게이트 전압 출력 단자, 전달 신호 출력 단자 및 인버터 신호 출력 단자를 포함하며, 상기 인버터 신호 출력 단자는 다음 단 스테이지의 제4 입력 단자와 연결되어 있을 수 있다.
- [0017] 상기 스테이지는 게이트 온 전압을 출력하는 박막 트랜지스터의 제어 단자인 Q 점점 및 인버터 신호를 생성하는 Q' 점점을 포함할 수 있다.
- [0018] 상기 듀얼 게이트 박막 트랜지스터로 형성되어 있으며, 전단 스테이지의 인버터 신호를 전달받는 트랜지스터는 제9 트랜지스터이며, 상기 제9 트랜지스터는 제1 제어 단자가 다음 단 스테이지의 캐리 신호를 인가 받고, 제2 제어 단자는 상기 전단 스테이지의 인버터 신호를 인가 받으며, 입력 단자는 상기 Q 점점과 연결되어 있을 수 있다.

- [0019] 상기 듀얼 게이트 박막 트랜지스터로 형성되어 있으며, 전단 스테이지의 인버터 신호를 전달받는 트랜지스터는 제16 트랜지스터이며, 상기 제16 트랜지스터는 제1 제어 단자 및 입력 단자가 상기 제9 트랜지스터의 출력 단자와 연결되어 있으며, 제2 제어 단자는 상기 전단 스테이지의 인버터 신호를 인가 받으며, 출력 단자는 제2 저전압을 인가 받을 수 있다.
- [0020] 상기 듀얼 게이트 박막 트랜지스터로 형성되어 있으며, 입력 단자가 상기 Q 접점과 연결되고, 출력 단자는 상기 제2 저전압을 인가 받으며, 제1 제어 단자 및 제2 제어 단자는 상기 본단 스테이지의 인버터 신호를 인가 받는 제10 트랜지스터를 더 포함할 수 있다.
- [0021] 상기 듀얼 게이트 박막 트랜지스터로 형성되어 있으며, 제1 제어 단자가 다다음단 스테이지의 전달 신호를 인가 받으며, 제2 제어 단자는 상기 본단 스테이지의 인버터 신호를 인가 받으며, Q출력 단자는 상기 제2 저전압을 인가 받으며, 입력 단자는 상기 Q 접점과 연결되어 있는 제6 트랜지스터를 더 포함할 수 있다.

### 발명의 효과

- [0022] 이상과 같이 표시 패널에 실장된 게이트 구동부의 트랜지스터 중 일부 트랜지스터를 듀얼 게이트 트랜지스터로 바꾸고 전단 스테이지의 인버터 출력으로도 제어되도록 하여 게이트 구동부가 출력하는 게이트 온 전압의 레벨이 낮아지지 않거나 게이트 오프 전압으로 변경되는 타이밍이 지연되지 않도록 한다. 또한, 실장된 게이트 구동부의 트랜지스터 중 일부 듀얼 게이트 트랜지스터를 본단 스테이지의 인버터 출력으로도 제어되도록 하여 게이트 구동부가 출력하는 게이트 온 전압의 레벨이 낮아지지 않거나 게이트 오프 전압으로 변경되는 타이밍이 지연되지 않도록 한다.

### 도면의 간단한 설명

- [0023] 도 1은 본 발명의 실시예에 따른 표시 패널의 평면도이다.
- 도 2는 도 1의 게이트 구동부 및 게이트선을 구체화하여 도시한 블록도이다.
- 도 3은 본 발명의 실시예에 따른 게이트 구동부 중 하나의 스테이지를 확대하여 도시한 회로도이다.
- 도 4는 본 발명의 실시예에 따른 게이트 구동부의 스테이지에서 사용되는 박막 트랜지스터의 단면도이다.
- 도 5는 도 4의 박막 트랜지스터의 특성을 나타내는 그래프이다.
- 도 6은 본 발명의 실시예에 따른 게이트 구동부의 스테이지에서 사용되는 주요 신호의 파형도이다.
- 도 7은 본 발명의 실시예에 따른 게이트 구동부의 스테이지에서 구간에 따른 주요 신호에 따른 동작 특성을 상세하게 설명한 표이다.
- 도 8은 본 발명의 또 다른 실시예에 따른 게이트 구동부 중 하나의 스테이지를 확대하여 도시한 회로도이다.
- 도 9 내지 도 12는 본 발명의 일실시예를 기준으로 시뮬레이션한 결과를 도시한 도면이다.

### 발명을 실시하기 위한 구체적인 내용

- [0024] 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- [0025] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- [0026] 이제 본 발명의 실시예에 따른 표시 장치에 대하여 도 1을 참고로 하여 상세하게 설명한다.
- [0027] 도 1은 본 발명의 실시예에 따른 표시 장치의 평면도이다.
- [0028] 도 1을 참고하면, 본 발명의 한 실시예에 따른 표시 패널(100)은 화상을 표시하는 표시 영역(300), 표시 영역(300)의 게이트선에 게이트 전압을 인가하는 게이트 구동부(500)를 포함한다. 한편, 표시 영역(300)의 데이터선은 표시 패널(100)에 부착된 가요성 인쇄 회로막(FPC; flexible printed circuit film; 450) 따위의 필름의

위에 형성된 데이터 드라이버 IC(460)로부터 데이터 전압을 인가 받는다. 한편, 게이트 구동부(500) 및 데이터 드라이버 IC(460)는 신호 제어부(600)에 의하여 제어된다. 가요성 인쇄 회로막(450) 따위의 필름 외측에는 인쇄 회로 기판(PCB; printed circuit board)이 형성되어 신호 제어부(600)로부터의 신호를 데이터 드라이버 IC(460) 및 게이트 구동부(500)로 전달한다. 신호 제어부(600)에서 제공되는 신호로는 제1 클록 신호(CKV), 제2 클록 신호(CKVB), 스캔 개시 신호(STVP) 등의 신호와 특정 레벨의 저 전압( $V_{ss1}$ ,  $V_{ss2}$ )을 제공하는 신호를 포함한다. 실시예에 따라서는 저전압을 한 종류만 가질 수도 있다.

[0029] 표시 영역(300)은 액정 표시 패널인 경우에는 박막 트랜지스터(Trsw), 액정 커패시터(Clc), 유지 커패시터(Cst) 등을 포함하며, 도 1에서는 액정 표시 패널을 예로 들어 도시하고 있다. 한편, 유기 발광 표시 패널에서는 박막 트랜지스터, 유기 발광 다이오드를 포함하며 기타 다른 표시 패널에서는 박막 트랜지스터 등의 소자를 포함하여 표시 영역(300)을 형성한다. 본 발명은 액정 표시 패널로 한정되지 않지만, 명확하게 설명하기 위하여 이하에서는 액정 표시 패널을 예로 들어 설명한다.

[0030] 표시 영역(300)에는 다수의 게이트선(G1-Gn) 및 다수의 데이터선(D1-Dm)을 포함하며, 다수의 게이트선(G1-Gn) 및 다수의 데이터선(D1-Dm)은 절연되어 교차되어 있다.

[0031] 각 화소(PX)에는 박막 트랜지스터(Trsw), 액정 커패시터(Clc) 및 유지 커패시터(Cst)를 포함한다. 박막 트랜지스터(Trsw)의 제어 단자는 하나의 게이트선에 연결되며, 박막 트랜지스터(Trsw)의 입력 단자는 하나의 데이터선에 연결되며, 박막 트랜지스터(Trsw)의 출력 단자는 액정 커패시터(Clc)의 일측 단자 및 유지 커패시터(Cst)의 일측 단자에 연결된다. 액정 커패시터(Clc)의 타측 단자는 공통 전극에 연결되며, 유지 커패시터(Cst)의 타측 단자는 신호 제어부(600)로부터 인가되는 유지 전압( $V_{cst}$ )을 인가 받는다. 액정 표시 패널의 화소(PX)구조도 다양한 실시예가 존재하며, 도 1에서 도시한 화소(PX) 기본 구조로부터 추가 구성을 가지는 화소(PX)도 본 발명을 적용할 수 있다.

[0032] 다수의 데이터선(D1-Dm)은 데이터 드라이버 IC(460)로부터 데이터 전압을 인가 받으며, 다수의 게이트선(G1-Gn)은 게이트 구동부(500)로부터 게이트 전압을 인가 받는다.

[0033] 데이터 드라이버 IC(460)는 표시 패널(100)의 상측 또는 하측에 형성되어 세로 방향으로 연장된 데이터선(D1-Dm)과 연결되어 있는데, 도 1의 실시예에서는 데이터 드라이버 IC(460)가 표시 패널(100)의 상측에 위치하는 실시예를 도시하고 있다.

[0034] 게이트 구동부(500)는 클록 신호(CKV, CKVB), 스캔 개시 신호(STVP) 및 게이트 오프 전압에 준하는 제1 저전압( $V_{ss1}$ )과 게이트 오프 전압보다 낮은 제2 저전압( $V_{ss2}$ )을 인가 받아서 게이트 전압(게이트 온 전압 및 게이트 오프 전압)을 생성하여 게이트선(G1-Gn)에 순차적으로 게이트 온 전압을 인가한다.

[0035] 게이트 구동부(500)로 인가되는 클록 신호(CKV, CKVB), 스캔 개시 신호(STVP), 제1 저전압( $V_{ss1}$ ) 및 제2 저전압( $V_{ss2}$ )은 도 1에서와 같이 최 외각측이며, 게이트 구동부(500)측에 위치하는 가요성 인쇄 회로막(450) 따위의 필름을 통하여 게이트 구동부(500)로 인가된다. 이러한 신호는 외부 또는 신호 제어부(600)로부터 인쇄 회로 기판(400)을 통하여 가요성 인쇄 회로막(450) 따위의 필름으로 전달된다.

[0036] 이상에서는 표시 장치의 전체적인 구조에 대하여 살펴보았다.

[0037] 이하에서는 본 발명과 관련된 게이트 구동부(500) 및 게이트선(G1-Gn)을 중심으로 살펴본다.

[0038] 도 2는 도 1의 게이트 구동부 및 게이트선을 구체화하여 도시한 블록도이다.

[0039] 도 2에서는 게이트 구동부(500)를 블록화하여 상세하게 도시하고 있다.

[0040] 도 2에서 표시 영역(300)을 저항( $R_p$ )과 커패시터( $C_p$ )로 나타내었다. 이는 게이트선(G1-Gn), 액정 커패시터(Clc) 및 유지 커패시터(Cst)는 각각 저항값 및 커패시턴스를 가지며, 이들을 모두 합하여 하나의 저항( $R_p$ ) 및 하나의 커패시터( $C_p$ )로 나타낸 것이다. 즉, 게이트선은 도 2에서 도시하고 있는 바와 같이 회로적으로는 저항( $R_p$ )과 커패시턴스( $C_p$ )를 가지는 것으로 표시할 수 있다. 이들 값은 하나의 게이트선이 전체적으로 가지는 값이며, 표시 영역(300)의 구조 및 특성에 따라서 다른 값을 가질 수 있다. 스테이지(SR)에서 출력된 게이트 전압은 게이트선으로 전달된다.

[0041] 이하 게이트 구동부(500)를 살펴본다.

[0042] 게이트 구동부(500)는 서로 종속적으로 연결된 다수의 스테이지(SR1, SR2, SR3, SR4...)를 포함한다. 각 스테이지(SR1, SR2, SR3, SR4...)는 네 개의 입력 단자(IN1, IN2, IN3, IN4), 하나의 클럭 입력 단자(CK), 두 개의 전

압 입력 단자(Vin1, Vin2), 게이트 전압을 출력하는 게이트 전압 출력 단자(OUT), 전달 신호 출력 단자(CRout) 및 인버터 신호 출력 단자(IVTout)를 포함한다.

[0043] 우선 제1 입력 단자(IN1)는 전단 스테이지의 전달 신호 출력 단자(CRout)에 연결되어 이전 단의 전달 신호(CR)를 인가 받는데, 첫번째 스테이지는 이전 단 스테이지가 존재하지 않으므로 제1 입력 단자(IN1)로 스캔 개시 신호(STVP)를 인가 받는다.

[0044] 제2 입력 단자(IN2)는 다음 단 스테이지의 전달 신호 출력 단자(CRout)에 연결되어 다음 단의 전달 신호(CR)를 인가 받는다. 또한, 제3 입력 단자(IN3)는 다다음단 스테이지의 전달 신호 출력 단자(CRout)에 연결되어 다다음단의 전달 신호(CR)를 인가 받는다.

[0045] n-1번째 게이트선(Gn-1)에 연결된 스테이지(SRn-1; 도시하지 않음) 및 n번째 게이트선(Gn)에 연결된 스테이지(SRn; 도시하지 않음)는 다음 단 및 다다음단의 스테이지로부터 전달 신호(CR)를 입력 받기 위하여 더미 스테이지를 두 개 형성할 수 있다. 더미 스테이지(SRn+1, SRn+2; 도시하지 않음)는 다른 스테이지(SR1-SRn)과 달리 더미 게이트 전압을 생성하여 출력하는 스테이지이다. 즉, 다른 스테이지(SR1-SRn)에서 출력된 게이트 전압은 게이트선을 통하여 전달되면서 화소에 데이터 전압이 인가되어 화상을 표시하도록 하지만, 더미 스테이지(SRn+1, SRn+2)는 게이트선에 연결되어 있지 않을 수도 있으며, 게이트선과 연결되더라도 화상을 표시하지 않는 더미 화소(도시하지 않음)의 게이트선과 연결되어 있어 화상을 표시하는데 사용되지 않을 수 있다.

[0046] 한편, 제4 입력 단자(IN4)는 전단 스테이지의 인버터 신호 출력 단자(IVTout)에 연결되어 이전 단의 인버터 신호(IVT)를 인가 받는데, 첫번째 스테이지는 이전 단 스테이지가 존재하지 않으므로 이에 대응하는 신호를 별도로 생성하여 입력시키거나 더미 스테이지(SRn+1, SRn+2; 도시하지 않음)에서 이와 타이밍이 적합한 신호를 생성하도록 하여 이를 전달받을 수도 있다. 여기서, 첫번째 스테이지의 제4 입력 단자(IN4)로 입력되는 신호는 첫번째 게이트선(G1)에 게이트 온 전압이 인가되는 1H 구간에는 제2 저전압(Vss2)이 인가되며, 그 다음 1H 구간에서는 전달 신호(CR)의 고 전압(실시예에 따라서 다양할 수 있으나 본 실시예에서는 20V의 전압)이 인가될 필요가 있다. 이 때, 실시예에 따라서는 제2 저전압(Vss2) 대신 제1 저전압(Vss1)이 인가될 수도 있으며, 전달 신호(CR)의 고전압 대신 게이트 온 전압이 인가될 수도 있다. 이상과 같이 해당 스테이지에서 게이트 온 전압이 인가되는 1H 구간에서는 저전압(Vss1 또는 Vss2)이 인가되는 타이밍을 가지는 신호를 이하에서는 출력 제어 신호(OCS)라하며, 출력 제어 신호(OCS)는 실시예에 따라서 게이트 온 전압이 인가된 다음의 1H에서 고 전압(전달 신호(CR)의 고전압 또는 게이트 온 전압)이 인가되는 타이밍을 가질 수 있다. 이하에서는 출력 제어 신호(OCS)의 특성을 가지는 신호로 전단 스테이지 또는 본단 스테이지의 인버터 신호(IVT)를 사용하는 실시예를 중심으로 설명되어 있다. 하지만, 반드시 이에 한정되는 것은 아니다.

[0047] 클럭 단자(CK)에는 클럭 신호가 인가되는데, 다수의 스테이지 중 홀수번째 스테이지의 클럭 단자(CK)에는 제1 클럭 신호(CKV)이 인가되고, 짝수번째 스테이지의 클럭 단자(CK)에는 제2 클럭 신호(CKVB)이 인가된다. 제1 클럭 신호(CKV)와 제2 클럭 신호(CKVB)는 서로 위상이 반대되는 클럭 신호이다.

[0048] 제1 전압 입력 단자(Vin1)에는 게이트 오프 전압에 해당하는 제1 저전압(Vss1)이 인가되며, 제2 전압 입력 단자(Vin2)에는 제1 저전압(Vss1)보다 낮은 제2 저전압(Vss2)이 인가된다. 제1 저전압(Vss1) 및 제2 저전압(Vss2)의 전압값은 실시예에 따라 다양할 수 있는데, 본 실시예에서는 제1 저전압(Vss1)값으로 -6V를 사용하며, 제2 저전압(Vss2)값으로 -10V를 사용한다. 즉, 제2 저전압(Vss2)이 제1 저전압(Vss1)보다 더 낮은 전압을 사용한다.

[0049] 게이트 구동부(500)의 동작을 살펴보면 아래와 같다.

[0050] 먼저, 제1 스테이지(SR1)는 클럭 입력 단자(CK)를 통해 외부로부터 제공되는 제1 클럭 신호(CKV)를, 제1 입력 단자(IN1)를 통해 스캔 개시 신호(STVP)를, 제1 및 제2 전압 입력 단자(Vin1, Vin2)에는 제1 및 제2 저전압(Vss1, Vss2)을, 제2 및 제3 입력 단자(IN2, IN3)를 통해 제2 스테이지(SR2) 및 제3 스테이지(SR3)로부터 각각 제공되는 전달 신호(CR), 그리고 제4 입력 단자(IN4)를 통해 출력 제어 신호를 입력 받아 첫 번째 게이트 라인으로 게이트 전압 출력 단자(OUT)를 통하여 게이트 온 전압을 출력한다. 또한, 전달 신호 출력 단자(CRout)에서는 전달 신호(CR)를 출력하여 제2 스테이지(SR2)의 제1 입력 단자(IN1)로 전달하며, 인버터 신호 출력 단자(IVTout)에서는 인버터 신호(IVT)를 제2 스테이지(SR2)의 제4 입력 단자(IN4)로 전달한다.

[0051] 제2 스테이지(SR2)는 클럭 입력 단자(CK)를 통해 외부로부터 제공되는 제2 클럭 신호(CKVB)를, 제1 입력 단자(IN1)를 통해 제1 스테이지(SR1)의 전달 신호(CR)를, 제1 및 제2 전압 입력 단자(Vin1, Vin2)에는 제1 및 제2 저전압(Vss1, Vss2)을, 제2 및 제3 입력 단자(IN2, IN3)를 통해 제3 스테이지(SR3) 및 제4 스테이지(SR4)로부

터 각각 제공되는 전달 신호(CR)를, 그리고 제4 입력 단자(IN4)를 통해 제1 스테이지(SR1)로부터 제공되는 인버터 신호(IVT)를 입력 받아 두 번째 게이트 라인으로 게이트 전압 출력 단자(OUT)를 통하여 게이트 온 전압을 출력한다. 또한, 전달 신호 출력 단자(CRout)에서는 전달 신호(CR)를 출력하여 제3 스테이지(SR3)의 제1 입력 단자(IN1) 및 제1 스테이지(SR1)의 제2 입력 단자(IN2)로 전달하며, 인버터 신호 출력 단자(IVTout)에서는 인버터 신호(IVT)를 제3 스테이지(SR3)의 제4 입력 단자(IN4)로 전달한다.

[0052] 한편, 제3 스테이지(SR3)는 클록 입력 단자(CK)를 통해 외부로부터 제공되는 제1 클록 신호(CKV)를 입력 받고, 제1 입력 단자(IN1)를 통해 제2 스테이지(SR2)의 전달 신호(CR)를, 제1 및 제2 전압 입력 단자(Vin1, Vin2)에는 제1 및 제2 저전압(Vss1, Vss2)을, 제2 및 제3 입력 단자(IN2, IN3)를 통해 제4 스테이지(SR4) 및 제5 스테이지(SR5)로부터 각각 제공되는 전달 신호(CR)를, 그리고 제4 입력 단자(IN4)를 통해 제2 스테이지(SR2)로부터 제공되는 인버터 신호(IVT)를 입력 받아 세 번째 게이트 라인으로 게이트 전압 출력 단자(OUT)를 통하여 게이트 온 전압을 출력한다. 또한, 전달 신호 출력 단자(CRout)에서는 전달 신호(CR)를 출력하여 제4 스테이지(SR4)의 제1 입력 단자(IN1), 제1 스테이지(SR1)의 제3 입력 단자(IN3) 및 제2 스테이지(SR2)의 제2 입력 단자(IN2)로 전달하며, 인버터 신호 출력 단자(IVTout)에서는 인버터 신호(IVT)를 제4 스테이지(SR4)의 제4 입력 단자(IN4)로 전달한다.

[0053] 상기와 같은 동일 방법으로, n번째 스테이지(SRn)는 클록 입력 단자(CK)를 통해 외부로부터 제공되는 제2 클록 신호(CKVB)를 입력 받고, 제1 입력 단자(IN1)를 통해 제n-1 스테이지(SR2)의 전달 신호(CR)를, 제1 및 제2 전압 입력 단자(Vin1, Vin2)에는 제1 및 제2 저전압(Vss1, Vss2)을, 제2 및 제3 입력 단자(IN2, IN3)를 통해 제n+1 스테이지(SRn+1; 더미 스테이지) 및 제n+2 스테이지(SRn+2; 더미 스테이지)로부터 각각 제공되는 전달 신호(CR)를, 그리고 제4 입력 단자(IN4)를 통해 제n-1 스테이지(SRn-1)로부터 제공되는 인버터 신호(IVT)를 입력 받아 n번째 게이트 라인으로 게이트 전압 출력 단자(OUT)를 통하여 게이트 온 전압을 출력한다. 또한, 전달 신호 출력 단자(CRout)에서는 전달 신호(CR)를 출력하여 제n+1 스테이지(SRn+1; 더미 스테이지)의 제1 입력 단자(IN1), 제n-2 스테이지(SRn-2)의 제3 입력 단자(IN3) 및 제n-1 스테이지(SRn-1)의 제2 입력 단자(IN2)로 전달하며, 인버터 신호 출력 단자(IVTout)에서는 인버터 신호(IVT)를 제n+1 스테이지(SRn+1; 더미 스테이지)로 전달 한다.

[0054] 도 2를 통하여 전체적인 게이트 구동부(500)의 스테이지(SR) 연결 구조에 대하여 살펴보았다. 이하에서는 도 3을 통하여 하나의 게이트선에 연결된 게이트 구동부의 스테이지(SR)의 구조를 좀 더 상세하게 살펴본다.

[0055] 도 3은 본 발명의 실시예에 따른 게이트 구동부 중 하나의 스테이지를 확대하여 도시한 회로도이며, 도 4는 본 발명의 실시예에 따른 게이트 구동부의 스테이지에서 사용되는 박막 트랜지스터의 단면도이며, 도 5는 도 4의 박막 트랜지스터의 특성을 나타내는 그래프이다.

[0056] 먼저, 도 3의 스테이지에서는 두 개의 박막 트랜지스터를 함께 포함하고 있다. 즉, 도 3의 상부에 도시된 A 박막 트랜지스터와 B 박막 트랜지스터가 함께 사용되고 있다. 먼저 A 박막 트랜지스터는 일반적인 박막 트랜지스터로 제어 단자(게이트), 입력 단자(소스), 출력 단자(드레인)을 포함한다. 한편, B 박막 트랜지스터는 일반적인 박막 트랜지스터와 달리 제어 단자인 게이트가 두 개 형성된 듀얼 게이트 박막 트랜지스터이다. 즉, 도 4에서 단면을 도시하고 있는 바와 같이 입력 단자(소스)와 출력 단자(드레인)는 각각 하나이지만, 제어 단자인 게이트만 상하에 각각 하나씩 존재하여 총 2개가 형성된 구조이다. 도 3의 실시예에서는 듀얼 게이트 박막 트랜지스터(B 박막 트랜지스터)로 형성된 트랜지스터는 제6, 제9, 제10 및 제16 박막 트랜지스터(Tr6, Tr9, Tr10, Tr16)이다.

[0057] 먼저, 도 4를 참고하면, 듀얼 게이트 박막 트랜지스터가 하부 게이트(이하에서는 제1 제어 단자라고도 함)에서의 전압( $V_{BG}$ ) 및 상부 게이트(이하에서는 제2 제어 단자라고도 함)에서의 전압( $V_{TG}$ )에 따라 소스/드레인 간의 전류( $I_{DS}$ )를 나타낸 그래프이다. 도 4에서는 듀얼 게이트 박막 트랜지스터가 하부 게이트(제1 제어 단자)의 전압의 변화에 따라서도 온/오프되지만, 상부 게이트(제2 제어 단자)의 전압의 변화에 따라서도 온/오프되는 것이 도시되어 있다.

[0058] 도 3을 참조하면, 본 실시예에 따른 게이트 구동부(500)의 각 스테이지(SR)는 입력부(511), 풀업 구동부(512), 전달 신호 생성부(513), 출력부(514) 및 풀다운 구동부(515)를 포함한다. 듀얼 게이트 박막 트랜지스터(B 박막 트랜지스터)는 풀다운 구동부(515) 중 일부 트랜지스터에만 적용되어 있다.

[0059] 먼저, 입력부(511)는 하나의 트랜지스터(제4 트랜지스터(Tr4))를 포함하며, 제4 트랜지스터(Tr4)의 입력 단자 및 제어 단자는 제1 입력 단자(IN1)에 공통 연결(다이오드 연결)되어 있으며, 출력 단자는 Q 점점(이하 제1 노드라고도 함)과 연결되어 있다. 입력부(511)는 제1 입력 단자(IN1)로 하이 전압이 인가되는 경우 이를 Q 점점

으로 전달하는 역할을 수행한다.

[0060] 풀업 구동부(512)는 두 개의 트랜지스터(제7 트랜지스터(Tr7), 제12 트랜지스터(Tr12))를 포함한다. 먼저 제12 트랜지스터(Tr12)의 제어 단자와 입력 단자는 공통 연결되어 클럭 단자(CK)를 통하여 제1 클럭 신호(CKV) 또는 제2 클럭 신호(CKVB)를 입력 받고, 출력 단자가 제7 트랜지스터(Tr7)의 제어 단자 및 풀다운 구동부(515)에 연결되어 있다. 한편, 제7 트랜지스터(Tr7)의 입력 단자도 클럭 단자(CK)에 연결되어 있으며, 출력 단자가 Q' 접점(이하 제2 노드라고도 함)에 연결되어 있으며, Q' 접점을 지나 풀다운 구동부(515)에 연결되어 있다. 제7 트랜지스터(Tr7)의 제어 단자는 제12 트랜지스터(Tr12)의 출력 단자 및 풀다운 구동부(515)에 연결되어 있다. 여기서, 상기 제7 트랜지스터(Tr7)의 입력 단자와 제어 단자의 사이 및 제어 단자와 출력 단자 사이에는 각각 기생 커패시터(도시하지 않음)가 형성되어 있을 수 있다. 이와 같은 풀업 구동부(512)는 클럭 단자(CK)에서 하이(high) 신호가 인가되면, 하이(high) 신호가 제12 트랜지스터(Tr12)를 통하여 제7 트랜지스터(Tr7)의 제어 단자 및 풀다운 구동부(515)로 전달된다. 제7 트랜지스터(Tr7)로 전달된 하이(high) 신호는 제7 트랜지스터(Tr7)를 턴 온 시키며, 그 결과 클럭 단자(CK)에서 인가된 하이(high) 신호를 Q' 접점으로 인가한다. Q' 접점의 신호는 인버터 신호(IVT)이며, 인버터 신호 출력 단자(IVTout)를 통하여 다음 스테이지로 전달된다. 한편, 전달 스테이지의 인버터 신호(IVT)는 출력 제어 신호(OCS)의 요건을 가진다.

[0061] 전달 신호 생성부(513)는 하나의 트랜지스터(제15 트랜지스터(Tr15))를 포함한다. 제15 트랜지스터(Tr15)의 입력 단자에는 클럭 단자(CK)가 연결되어 제1 클럭 신호(CKV) 또는 제2 클럭 신호(CKVB)가 입력되고, 제어 단자는 상기 입력부(511)의 출력, 즉 Q 접점에 연결되고, 출력 단자는 전달 신호(CR)를 출력하는 전달 신호 출력 단자(CRout)와 연결되어 있다. 여기서 제어 단자와 출력 단자 사이에는 기생 커패시터(도시하지 않음)가 형성되어 있을 수 있다. 제15 트랜지스터(Tr15)의 출력 단자는 전달 신호 출력 단자(CRout), 뿐만 아니라 풀다운 구동부(515)와 연결되어 제2 저전압(Vss2)을 인가 받는다. 그 결과 전달 신호(CR)의 로우(low)일 때의 전압값은 제2 저전압(Vss2)값을 가진다.

[0062] 출력부(514)는 하나의 트랜지스터(제1 트랜지스터(Tr1)) 및 하나의 커패시터(제1 커패시터(C1))를 포함한다. 제1 트랜지스터(Tr1)의 제어 단자는 Q 접점에 연결되고, 입력 단자는 클럭 단자(CK)를 통하여 제1 클럭 신호(CKV) 또는 제2 클럭 신호(CKVB)를 입력 받으며, 제어 단자와 출력 단자 사이에는 제1 커패시터(C1)가 형성되며, 출력 단자는 게이트 전압 출력 단자(OUT)와 연결되어 있다. 또한, 출력 단자는 풀다운 구동부(515)와 연결되어 제1 저전압(Vss1)을 인가 받는다. 그 결과 게이트 오프 전압의 전압값은 제1 저전압(Vss1)값을 가진다. 이와 같은 출력부(514)는 Q 접점에서의 전압 및 상기 제1 클럭 신호(CKV)에 따라 게이트 전압을 출력한다.

[0063] 풀다운 구동부(515)는 듀얼 게이트 박막 트랜지스터(B 박막 트랜지스터)로 형성된 트랜지스터를 포함하며, 스테이지(SR) 상에 존재하는 전하를 제거하여 게이트 오프 전압 및 전달 신호(CR)의 로우(low) 전압이 원활하게 출력되도록 하기 위한 부분으로 Q 접점의 전위를 낮추는 역할, Q' 접점(인버터 신호)의 전위를 낮추는 역할, 전달 신호(CR)로 출력되는 전압을 낮추는 역할 및 게이트선으로 출력되는 전압을 낮추는 역할을 수행한다. 풀다운 구동부(515)는 10개의 트랜지스터(제2 트랜지스터(Tr2), 제3 트랜지스터(Tr3), 제5 트랜지스터(Tr5), 제6 트랜지스터(Tr6), 제8 트랜지스터(Tr8) 내지 제11 트랜지스터(Tr11), 제13 트랜지스터(Tr13), 제16 트랜지스터(Tr16)) 및 제17 트랜지스터(Tr17))를 포함한다.

[0064] 먼저, Q 접점을 풀다운시키는 트랜지스터를 살펴본다. Q 접점을 풀다운 시키는 트랜지스터는 제6 트랜지스터(Tr6), 제9 트랜지스터(Tr9), 제10 트랜지스터(Tr10) 및 제16 트랜지스터(Tr16)이며, 모두 듀얼 게이트 박막 트랜지스터(B 박막 트랜지스터)로 형성되어 있다. 다만, 실시예에 따라서는 이 중 일부 트랜지스터만 듀얼 게이트 박막 트랜지스터로 형성될 수 있으며, 일 예로는 제16 트랜지스터(Tr16)가 있다. 제16 트랜지스터(Tr16)는 다이오드 연결되어 있기 때문이다.

[0065] 각 트랜지스터를 살펴보면, 제6 트랜지스터(Tr6)는 제3 입력 단자(IN3)와 제1 제어 단자가 연결되어 제1 제어 단자로는 다다음단 스테이지의 전달 신호(CR)가 인가되고, 제2 제어 단자는 Q' 접점과 연결되어 상기 본단 스테이지의 인버터 신호를 인가 받으며, 출력 단자는 제2 전압 입력 단자(Vin2)와 연결되어 제2 저전압(Vss2)을 인가 받으며, 입력 단자는 Q 접점과 연결되어 있다. 그러므로 제6 트랜지스터(Tr6)는 다다음단 스테이지에서 인가되는 전달 신호(CR) 또는 Q' 접점의 신호(즉, 인버터 신호)에 따라서 턴 온되어 Q 접점의 전압을 제2 저전압(Vss2)으로 낮춰주는 역할을 한다.

[0066] 제9 트랜지스터(Tr9) 및 제16 트랜지스터(Tr16)는 함께 동작하여 Q 접점을 풀다운시키며, 제9 트랜지스터(Tr9)의 제1 제어 단자는 제2 입력 단자(IN2)와 연결되어 다음 단 스테이지의 캐리 신호를 인가 받고, 제2 제어 단자는 제4 입력 단자(IN4)와 연결되어 전달 스테이지의 인버터 신호(IVT)를 인가 받으며, 입력 단자는 Q 접점과 연

결되며, 출력 단자는 제16 트랜지스터(Tr16)의 입력 단자 및 제어 단자와 연결되어 있다. 제16 트랜지스터(Tr16)는 제1 제어 단자 및 입력 단자가 제9 트랜지스터(Tr9)의 출력 단자와 연결(다이오드 연결)되어 있으며, 제2 제어 단자는 제4 입력 단자(IN4)와 연결되어 있으며, 출력 단자는 제2 전압 입력 단자(Vin2)와 연결되어 제2 저전압(Vss2)을 인가받는다. 그러므로 제9 트랜지스터(Tr9) 및 제16 트랜지스터(Tr16)는 다음 단 스테이지에서 인가되는 전달 신호(CR) 또는 전달 스테이지의 인버터 신호(IVT)에 따라서 턴 온 되어 Q 점점의 전압을 제2 저전압(Vss2)으로 낮춰주는 역할을 한다.

[0067] 제10 트랜지스터(Tr10)의 입력 단자는 Q 점점과 연결되고, 출력 단자는 제2 전압 입력 단자(Vin2)와 연결되어 제2 저전압(Vss2)을 인가 받으며, 제1 제어 단자 및 제2 제어 단자는 Q' 점점(인버터 신호)과 연결되어 본단 스테이지의 인버터 신호를 인가 받는다. 그러므로 제10 트랜지스터(Tr10)는 Q' 점점의 인버터 신호(IVT)가 하이 전압을 가지는 일반적인 구간에서는 계속 Q 점점의 전압을 제2 저전압(Vss2)으로 낮추고 있다가 Q' 점점의 전압이 로우(low)인 때에만 Q 점점의 전압을 낮추지 않는 역할을 한다. Q 점점의 전압이 낮추어 지지 않는 때 해당 스테이지는 게이트 온 전압 및 전달 신호(CR)를 출력한다.

[0068] 즉, Q 점점을 풀다운시키는 트랜지스터는 듀얼 게이트 박막 트랜지스터로 형성되며, 전달 스테이지의 인버터 신호(IVT)를 제2 제어 단자로 전달받는 트랜지스터(Tr9, Tr16)와 본단 스테이지의 Q' 점점과 연결되어 본단 스테이지의 인버터 신호(IVT)를 제2 제어 단자로 전달받는 트랜지스터(Tr6, Tr10)로 구분된다. 인버터 신호(IVT)가 도 6에서 도시되고 있으므로 신호와 동작에 대해서는 도 6에서 상세하게 살펴본다.

[0069] 풀다운 구동부(515)에서 Q' 점점(인버터 신호)을 풀다운시키는 트랜지스터를 살펴본다. Q' 점점을 풀다운시키는 트랜지스터는 제5 트랜지스터(Tr5), 제8 트랜지스터(Tr8) 및 제13 트랜지스터(Tr13)이다.

[0070] 제5 트랜지스터(Tr5)의 제어 단자는 제1 입력 단자(IN1)와 연결되어 있고, 입력 단자는 Q' 점점과 연결되어 있으며, 출력 단자는 제2 전압 입력 단자(Vin2)와 연결되어 있다. 그 결과 전달 스테이지의 전달 신호(CR)에 따라서 Q' 점점의 전압을 제2 저전압(Vss2)으로 낮추는 역할을 한다.

[0071] 한편, 제8 트랜지스터(Tr8)는 본단 스테이지의 전달 신호 출력 단자(CRout)와 연결된 제어 단자, Q' 점점에 연결된 입력 단자 및 제1 전압 입력 단자(Vin1)와 연결된 출력 단자를 가진다. 그 결과 본단 스테이지의 전달 신호(CR)에 따라서 Q' 점점의 전압을 제1 저전압(Vss1)으로 낮추는 역할을 한다.

[0072] 제13 트랜지스터(Tr13)는 본단 스테이지의 전달 신호 출력 단자(CRout)와 연결된 제어 단자, 풀업 구동부(512)의 제12 트랜지스터(Tr12)의 출력 단자와 연결된 입력 단자 및 제1 전압 입력 단자(Vin1)와 연결된 출력 단자를 가진다. 그 결과 본단 스테이지의 전달 신호(CR)에 따라서 풀업 구동부(512) 내부의 전위를 제1 저전압(Vss1)으로 낮추고, 풀업 구동부(512)와 연결된 Q' 점점의 전압도 제1 저전압(Vss1)으로 낮추는 역할을 한다. 즉, 제13 트랜지스터(Tr13)는 엄밀하게는 풀업 구동부(512)의 내부 전하를 제1 저전압(Vss1)측으로 배출시키는 역할을 하지만, 풀업 구동부(512)가 Q' 점점과도 연결되어 있으므로 Q' 점점의 전압이 풀업되지 않도록 하여 간접적으로 Q' 점점의 전압을 제1 저전압(Vss1)로 낮추는데 도움을 준다.

[0073] 한편, 풀다운 구동부(515)에서 전달 신호(CR)로 출력되는 전압을 낮추는 역할을 하는 트랜지스터를 살펴본다. 전달 신호(CR)로 출력되는 전압을 낮추는 역할을 하는 트랜지스터는 제11 트랜지스터(Tr11) 및 제17 트랜지스터(Tr17)이다.

[0074] 제11 트랜지스터(Tr11)는 Q' 점점과 연결된 제어 단자, 전달 신호 출력 단자(CRout)와 연결된 입력 단자 및 제2 전압 입력 단자(Vin2)와 연결된 출력 단자를 가진다. 그 결과 Q' 점점의 전압이 하이(high)인 경우 전달 신호 출력 단자(CRout)의 전압을 제2 저전압(Vss2)으로 낮추며, 그 결과 전달 신호(CR)가 로우(low) 레벨로 바뀌게 된다.

[0075] 제17 트랜지스터(Tr17)는 도 3의 실시예에서는 포함되어 있지 않던 트랜지스터로, 제2 입력 단자(IN2)에 연결된 제어 단자, 전달 신호 출력 단자(CRout)와 연결된 입력 단자 및 제2 전압 입력 단자(Vin2)와 연결된 출력 단자를 가진다. 그 결과 다음 단 스테이지의 전달 신호(CR)에 따라서 전달 신호 출력 단자(CRout)의 전압을 제2 저전압(Vss2)으로 낮추는 역할을 한다. 제17 트랜지스터(Tr17)는 제11 트랜지스터(Tr11)의 동작을 보조하는 역할을 수행하기 위하여 다음단의 전달 신호(CR)에 기초하여 동작하도록 구성되어 있다.

[0076] 한편, 풀다운 구동부(515)에서 게이트선으로 출력되는 전압을 낮추는 역할을 하는 트랜지스터를 살펴본다. 게이트선으로 출력되는 전압을 낮추는 역할을 하는 트랜지스터는 제2 트랜지스터(Tr2) 및 제3 트랜지스터(Tr3)이다.

- [0077] 제2 트랜지스터( $Tr_2$ )는 제2 입력 단자( $IN_2$ )에 연결된 제어 단자, 게이트 전압 출력 단자( $OUT$ )와 연결되어 있는 입력 단자 및 제1 전압 입력 단자( $Vin_1$ )와 연결되어 있는 출력 단자를 가진다. 그 결과 다음 단 스테이지의 전달 신호( $CR$ )가 출력되면 출력 되는 게이트 전압을 제1 저전압( $V_{ss1}$ )으로 바꾸어준다.
- [0078] 제3 트랜지스터( $Tr_3$ )는  $Q'$  접점에 연결되어 있는 제어 단자, 게이트 전압 출력 단자( $OUT$ )와 연결되어 있는 입력 단자 및 제1 전압 입력 단자( $Vin_1$ )와 연결되어 있는 출력 단자를 가진다. 그 결과  $Q'$  접점의 전압이 하이(high)인 경우 출력 되는 게이트 전압을 제1 저전압( $V_{ss1}$ )으로 바꾸어준다.
- [0079] 풀다운 구동부(515)에서는 게이트 전압 출력 단자( $OUT$ )만 제1 저전압( $V_{ss1}$ )으로 낮추며,  $Q$  접점,  $Q'$  접점 및 전달 신호 출력 단자( $CR_{out}$ )은 제1 저전압( $V_{ss1}$ )보다 낮은 제2 저전압( $V_{ss2}$ )으로 낮춘다. 그 결과 게이트 온 전압과 전달 신호( $CR$ )의 하이(high)에서의 전압은 동일한 전압을 가질 수 있더라도 게이트 오프 전압과 전달 신호( $CR$ )의 로우(low)에서의 전압은 서로 다른 전압 값을 가진다. 즉, 게이트 오프 전압은 제1 저전압( $V_{ss1}$ )값을 가지며, 전달 신호( $CR$ )의 로우(low) 전압값은 제2 저전압( $V_{ss2}$ )값을 가진다.
- [0080] 게이트 전압 및 전달 신호( $CR$ )는 다양한 전압 값을 가질 수 있지만, 본 실시예에서는 게이트 온 전압은 25V, 게이트 오프 전압 및 제1 저전압( $V_{ss1}$ )은 -5V를 가지며, 전달 신호( $CR$ )의 하이(high) 전압은 25V, 로우(low) 전압 및 제2 저전압( $V_{ss2}$ )은 -10V를 가진다.
- [0081] 종합하면, 하나의 스테이지( $SR$ )는  $Q$  접점에서의 전압에 의하여 전달 신호 생성부(513), 출력부(514)가 동작하여 전달 신호( $CR$ )의 하이(high) 전압 및 게이트 온 전압을 출력하며, 전달, 다음 단 및 다다음단의 전달 신호( $CR$ )에 의하여 전달 신호( $CR$ )는 하이(high) 전압에서 제2 저전압( $V_{ss2}$ )으로 낮아지며, 게이트 온 전압은 제1 저전압( $V_{ss1}$ )으로 낮아져 게이트 오프 전압이 된다. 여기서, 하나의 스테이지( $SR$ )는 저 소비전력으로 구동되기 위하여 다음 단뿐만 아니라 다다음단의 전달 신호( $CR$ )에 의해서도  $Q$  접점의 전압을 제2 저전압( $V_{ss2}$ )으로 낮춰주고, 제2 저전압( $V_{ss2}$ )이 게이트 오프 전압인 제1 저전압( $V_{ss1}$ )보다 낮아 다른 스테이지에서 인가된 전달 신호( $CR$ )가 리플(ripple) 또는 노이즈를 포함하여 전압이 변하더라도 제2 저전압( $V_{ss2}$ )값이 충분히 낮아서 스테이지에 포함된 트랜지스터들이 누설 전류를 흘리거나 하지 않아서 전력 소모량이 줄어드는 장점이 있다.
- [0082] 이하에서는 도 3과 같은 스테이지에서 주요 지점에서의 신호의 파형에 대하여 1H를 간격으로 살펴본다.
- [0083] 도 6은 본 발명의 실시예에 따른 게이트 구동부의 스테이지에서 사용되는 주요 신호의 파형도이다.
- [0084] 도 6에서 가로 방향은 시간 축으로 0H는 본단 스테이지에서 게이트 온 전압이 출력되는 구간이며, 이를 기준으로 우측으로 갈수록 1H씩 시간이 증가하는 것을 도시하고 있다. 그러므로 -1H에서는 전달 스테이지에서 게이트 온 전압이 출력되고 있으며, 1H에서는 다음 단 스테이지에서 게이트 온 전압이 출력되고 있다.
- [0085] 한편, 도 6에서  $Q$ ,  $G_{-}OT$ ,  $CR$ 은 각각 본단 스테이지에서의  $Q$  접점에서의 전압, 게이트 출력 전압 및 전달 신호( $CR$ )를 나타내며,  $IVT(n)$ 은 본단 스테이지에서의  $Q'$  접점에서의 신호로 본단 인버터 신호이며,  $IVT(n-1)$ 은 전달 스테이지의 인버터 신호이고,  $IVT(n+1)$ 은 다음 단 스테이지의 인버터 신호이다.
- [0086] 먼저 본단 스테이지에서의  $Q$  접점에서의 전압 변화를 살펴본다. 본단 게이트 온 전압이 출력되기 전(-1H)에서는  $Q$  접점에서의 전압이 1차 상승한다. 그 후, 본단 스테이지에서 게이트 온 전압이 출력될 때(0H)에는 2차 상승하여 높은 게이트 온 전압이 생성된다.
- [0087]  $Q$  접점에서의 전압에 의하여 게이트 출력 전압 및 전달 신호( $CR$ )가 모두 하이값으로 출력된다.
- [0088] 한편,  $IVT(n)$ 의 신호를 살펴본다. 본단 스테이지에서  $Q'$  접점에서의 전압은 클록 신호에 기초하여 주기적으로 변동되다가 게이트 온 전압이 출력되는 0H에서 하이 전압이 출력되지 않고 로우 상태를 유지하며, 이와 같이  $Q$  접점이 하이일 때 로우 값을 가져 인버터 신호라고 한다. 즉, 본단의 인버터 신호( $IVT(n)$ )는 0H를 전후하는 총 3H의 기간 동안 로우 레벨을 가지며, 그 전 후에는 하이 레벨이 출력되는 구조를 가진다.
- [0089] 한편, 전달 인버터 신호( $IVT(n-1)$ ) 및 다음 단 인버터 신호( $IVT(n+1)$ )는 본단 인버터 신호( $IVT(n)$ )에 대하여 각각 1H씩 좌측 및 우측으로 이동된 신호이다.
- [0090] 도 3의 실시예에 따른 스테이지에서는 본 단의  $Q'$  접점과 제어 단자가 연결되어 본단의 인버터 신호( $IVT(n)$ )에 따라서 제어되는 트랜지스터와 전달의 인버터 신호( $IVT(n-1)$ )에 따라서 제어되는 트랜지스터가 있다.
- [0091] 먼저, 본단의 인버터 신호( $IVT(n)$ )에 따라서 제어되는 트랜지스터는 제3 트랜지스터( $Tr_3$ ), 제6 트랜지스터( $Tr_6$ ) 및 제10 트랜지스터( $Tr_{10}$ )가 있으며, 이 중 제6 및 제10 트랜지스터는  $Q$  접점의 전압을 제2 저전압( $V_{ss2}$ )으로

변경시키기 위하여 더블 게이트 박막 트랜지스터로 형성되어 있다.

[0092] 제6 트랜지스터(Tr6)는 제3 입력 단자(IN3)를 통하여 다다음단 스테이지의 전달 신호(CR) 및 본단 인버터 신호(IVT(n))를 인가 받는데, 다다음단 스테이지의 전달 신호(CR)는 도 6에서 2H 구간에 하이값을 가지는 전달 신호(CR)이므로 본단 인버터 신호(IVT(n))와 2H 구간에서는 동일하게 하이값을 가진다. 그 결과 제6 트랜지스터(Tr6)는 2H 구간만을 기준으로 판단하는 경우에는 동일한 전압이 두 제어 단자로 인가되므로 듀얼 게이트 구조가 아닌 단일 게이트 구조로 형성될 수도 있다. (도 8 참고)

[0093] 또한, 제10 트랜지스터(Tr10)는 두 제어 단자 모두에 본단 인버터 신호(IVT(n))가 인가된다. 그 결과 제10 트랜지스터(Tr10)도 듀얼 게이트 구조가 아닌 단일 게이트 구조로 형성될 수도 있다. (도 8 참고)

[0094] 한편, 전단의 인버터 신호(IVT(n-1))에 따라서 제어되는 트랜지스터는 제9 트랜지스터(Tr9) 및 제16 트랜지스터(Tr16)이다. 제9 트랜지스터(Tr9)는 다음 단 스테이지의 전달 신호(CR) 및 전단 인버터 신호(IVT(n-1))를 각각의 제어 단자로 전달받는다. 다음 단 스테이지의 전달 신호(CR)는 도 6의 1H 구간에서 하이값을 가지는 전달 신호(CR)이므로 전단 인버터 신호(IVT(n-1))와 1H 구간에서는 동일하게 하이값을 가진다. 그러므로 1H 구간만을 기준으로 판단하는 경우에는 동일한 전압이 두 제어 단자로 인가되므로 듀얼 게이트 구조가 아닌 단일 게이트 구조로 형성될 수도 있다. 하지만, 본 발명의 실시예에서는 제9 트랜지스터(Tr9)를 듀얼 게이트 구조가 아닌 단일 게이트 구조로 형성한 경우는 도시하고 있지 않으며, 이는 듀얼 게이트 구조로 형성된 4개의 트랜지스터 중 제9 트랜지스터(Tr9)가 1H의 구간에서 게이트 온 전압이 지연되는 것을 막아 저전압으로 빠르게 변경시켜 게이트 구동부가 오동작하지 않도록 하기 때문이다.

[0095] 한편, 제16 트랜지스터(Tr16)도 제2 제어 단자로 전단 인버터 신호(IVT(n-1))가 인가되며, 제1 제어 단자는 입력 단자와 함께 연결되어 다이오드 연결 구조를 가진다. 즉, 제16 트랜지스터(Tr16)는 제9 트랜지스터(Tr9)의 동작에 부수적인 동작을 수행하는 트랜지스터이므로 생략될 수도 있고, 듀얼 게이트 박막 트랜지스터가 아닌 단일 게이트 박막 트랜지스터로 형성될 수도 있다. (도시하지 않음)

[0096] 도 6을 참고하면, 도 3의 실시예에 따른 스테이지에서 Q 점점의 전압을 낮추는 트랜지스터(Tr6, Tr9, Tr10, Tr16)는 Q' 점점에서의 전압인 본단 인버터 신호(IVT(n))와 전단 인버터 신호(IVT(n-1))에 의하여 제어된다. 그런데, 도 6에서 본단 인버터 신호(IVT(n))와 전단 인버터 신호(IVT(n-1))를 합하면, 본단에서 게이트 전압을 발생시키는 0H 구간 및 그 전의 -1H 구간을 제외한 모든 영역에서 하이 값을 가지는 것을 확인할 수 있다. 그 결과 본 단에서 Q 점점의 전압이 변하면서 게이트 전압을 생성하는 -1H 및 0H의 구간에만 Q 점점의 전압을 낮추지 않아 게이트 온 전압의 레벨이 떨어지지 않도록 한다. 또한, 0H 및 -1H 외의 구간에는 Q 점점의 전압을 저전압( $V_{ss2}$ )으로 낮추어 게이트 온 전압이 출력된 0H를 지나자마자 게이트 온 전압을 저전압으로 낮추므로, 게이트 온 전압이 지연되어 1H의 구간에서도 하이 레벨을 가지지 못하도록 한다.

[0097] 이상과 같은 동작으로 인하여 본 발명의 실시예에 따른 스테이지의 게이트 온 전압은 출력 레벨이 저하되거나 지연으로 인한 문제가 제거된다.

[0098] 한편, 도 3의 제4 입력 단자(IN4)로 다음단의 인버터 신호(IVT(n+1))가 입력되도록 구성할 수도 있다. 이 경우에는 다음단의 인버터 신호(IVT(n+1))가 -1H에서 하이값을 가져 Q 점점의 전압이 2단 상승하는 것을 방해하는 면이 있어 최선의 효과를 나타내는 실시예는 아닐 수 있지만, 0H에서 게이트 온 전압이 출력되는데 문제가 없으며, 본단의 인버터 신호(IVT(n))와 합해지면 일정 구간 동안 계속 하이 레벨을 가져 게이트 온 전압이 발생되지 않도록 하므로 적용될 수도 있다.

[0099] 이상에서 설명한 스테이지의 동작에 대하여 도 7에서는 각 전압 값을 명확하게 표시하면서 상세하게 표로 나타내었다.

[0100] 도 7은 본 발명의 실시예에 따른 게이트 구동부의 스테이지에서 구간에 따른 주요 신호에 따른 동작 특성을 상세하게 설명한 표이다

[0101] 도 7에서 가로 방향으로 1H씩 증가하는 시간을 나타내며, 이에 따라 본단 스테이지에서 Q 노드의 전압 레벨(Q node level), 게이트 오프 전압의 출력 여부(gate off 출력), 전달 신호(CR)의 출력 여부(carry 출력) 및 인버터 신호(IVT(n))의 출력(inverter 출력)에 대하여 상세하게 기술하고 있다.

[0102] 도 7에서는 이상의 설명을 동일한 내용을 보다 구체적으로 설명하며, 해당 구간에서 해당 출력과 관련된 트랜지스터를 기술하고, 그에 따른 특성을 기술하고 있다. 또한, 도 7에서, G는 트랜지스터의 제어 단자를 의미하고, S는 트랜지스터의 출력 단자를 나타내며, Carry는 전달 신호(CR)를 나타내며, CK는 클럭 신호를 나타

내며,  $V_{ss}$  또는  $V_{ss1}$ 은 제1 저전압( $V_{ss1}$ )을 나타내며,  $V_{ss2}$ 는 제2 저전압( $V_{ss2}$ )를 나타낸다.

- [0103] 한편, 도 7에서는  $Tr_{14}$ 를 기술하고 있는데, 본 제14 트랜지스터( $Tr_{14}$ ; 도시하지 않음)는 실시예에 따라서 포함되거나 포함되지 않을 수 있으며, 게이트선의 타단끝에 형성되어 있는 트랜지스터로 후단 스테이지의 게이트 온 전압 또는 전달 신호(CR)를 제어 단자로 입력 받아 게이트선에 인가된 게이트 온 전압을 저전압( $V_{ss1}$ )으로 낮추는 역할을 하는 트랜지스터이다.
- [0104] 이하에서는 도 3에 대응하는 또 다른 실시예에 대하여 도 8을 참고하여 살펴본다.
- [0105] 도 8은 본 발명의 또 다른 실시예에 따른 게이트 구동부 중 하나의 스테이지를 확대하여 도시한 회로도이다.
- [0106] 도 8의 실시예는 도 3의 실시예와 많은 부분이 유사하지만, 차이점으로는 제6 트랜지스터( $Tr_6$ ) 및 제10 트랜지스터( $Tr_{10}$ )가 듀얼 게이트 박막 트랜지스터로 형성되지 않았으며, 제9 트랜지스터( $Tr_9$ ) 및 제16 트랜지스터( $Tr_{16}$ )만 듀얼 게이트 박막 트랜지스터로 형성된 구조이다.
- [0107] 도 8의 실시예에도 도 6과 동일한 신호가 생성되며, 도 6과 달리 제6 트랜지스터( $Tr_6$ ) 및 제10 트랜지스터( $Tr_{10}$ )가 듀얼 게이트 박막 트랜지스터로 형성되지 않아서 차이가 발생할 여지가 있으나 도 8의 실시예에 따른 제6 트랜지스터( $Tr_6$ ) 및 제10 트랜지스터( $Tr_{10}$ )의 동작상 실질적으로 차이가 크지 않음을 확인할 수 있다.
- [0108] 즉, 제6 트랜지스터( $Tr_6$ )는 제3 입력 단자(IN3)을 통하여 다다음단의 전달 신호(CR)를 인가 받는데, 이는 도 6의 2H에서 하이 값을 가지므로 2H에서는 도 3의 실시예와 동일한 동작을 한다. 뿐만 아니라 제10 트랜지스터( $Tr_{10}$ )는 제1 제어 단자가 Q' 접점에 연결되어 본단 인버터 신호(IVT(n))를 인가 받으므로 제3 실시예와 동일하게 동작한다. 두 트랜지스터 모두 Q 접점의 전압을 제2 저전압( $V_{ss2}$ )으로 낮추는 것이므로 도 3의 실시예와 도 8의 실시예는 그 동작이 실질적으로 동일하다는 것을 알 수 있다.
- [0109] 도 3의 실시예와 도 8의 실시예의 동작 및 효과 면에서 차이가 적어, 회로가 단순한 도 8의 실시예가 도 3의 실시예보다 실제 제작이 용이할 것으로 판단된다.
- [0110] 한편, 도 9 내지 도 12를 통하여 본 발명의 실시예에 따른 게이트 온 전압과 종래의 스테이지(듀얼 게이트를 사용하지 않은 구조)에 따른 게이트 온 전압의 차이를 살펴본다.
- [0111] 도 9 내지 도 12는 본 발명의 일실시예를 기준으로 시뮬레이션한 결과를 도시한 도면이다.
- [0112] 먼저 도 9는 이하의 시뮬레이션에서 사용된 구조로, 각 트랜지스터의 크기(W, L)가 일정한 값으로 설정되어 있다. 또한, 도 9의 우측에는 표시 패널(100)의 화소(PX)를 등가 회로로 나타내었으며, 해당 수치의 등가 회로로 파악하고 시뮬레이션 하였다. 도 9의 구조를 이용하여 종래의 스테이지와 본 발명의 실시예에 따른 스테이지를 각각 시뮬레이션하기 위하여 본 발명의 도 3에서 듀얼 게이트 박막 트랜지스터로 형성된 제6, 제9, 제10 및 제16 박막 트랜지스터( $Tr_6$ ,  $Tr_9$ ,  $Tr_{10}$ ,  $Tr_{16}$ )의 문턱 전압값( $V_{th}$ )을 변경하여 시뮬레이션하였다.
- [0113] 즉, 종래의 스테이지인 경우에는 제6, 제9, 제10 및 제16 박막 트랜지스터( $Tr_6$ ,  $Tr_9$ ,  $Tr_{10}$ ,  $Tr_{16}$ )의 문턱 전압값( $V_{th}$ )을 3.66V로 설정하였으며, 본 발명의 실시예에 따른 스테이지인 경우에는 제6, 제9, 제10 및 제16 박막 트랜지스터( $Tr_6$ ,  $Tr_9$ ,  $Tr_{10}$ ,  $Tr_{16}$ )의 문턱 전압값( $V_{th}$ )을 상승할 때에는 5.66V로, 하강할 때에는 1.66V로 가변 되도록 하였다.
- [0114] 이에 대하여 각 스테이지의 Q 접점에서의 전압 및 게이트 온 전압의 출력은 도 10 내지 도 12에서 도시되어 있다.
- [0115] 도 10에서 최고 레벨의 전압이 높은 파형은 Q 접점에서의 전압이며, 최고 레벨의 전압이 낮은 파형은 게이트 온 전압을 나타낸다.
- [0116] 도 10에서는 전체적으로 파형을 도시하고 있어 종래의 스테이지에 대한 파형과 본 발명의 실시예에 따른 파형의 구분이 잘 보이지 않아 이를 확대하여 도 11 및 도 12에서 살펴보고자 한다.
- [0117] 먼저 도 11은 도 10의 P부분을 확대 도시한 것으로 Q 접점에서의 전압 및 게이트 온 전압의 최고 레벨 부근에서의 전압을 비교하고 있다.
- [0118] 도 11에서 X 파형은 본 발명의 실시예에 따른 전압 파형이며, X'는 종래의 스테이지에 따른 전압 파형을 나타낸다. 도 11에서 도시하고 있는 바와 같이 본 발명의 실시예에 따른 전압 파형은 종래의 파형에 비하여 높은 레벨을 가지는 것을 확인할 수 있다. 즉, 본 발명의 실시예에 따른 스테이지는 종래 스테이지에서 발생하는 누설을 막아 보다 높은 전압의 출력이 가능하다.

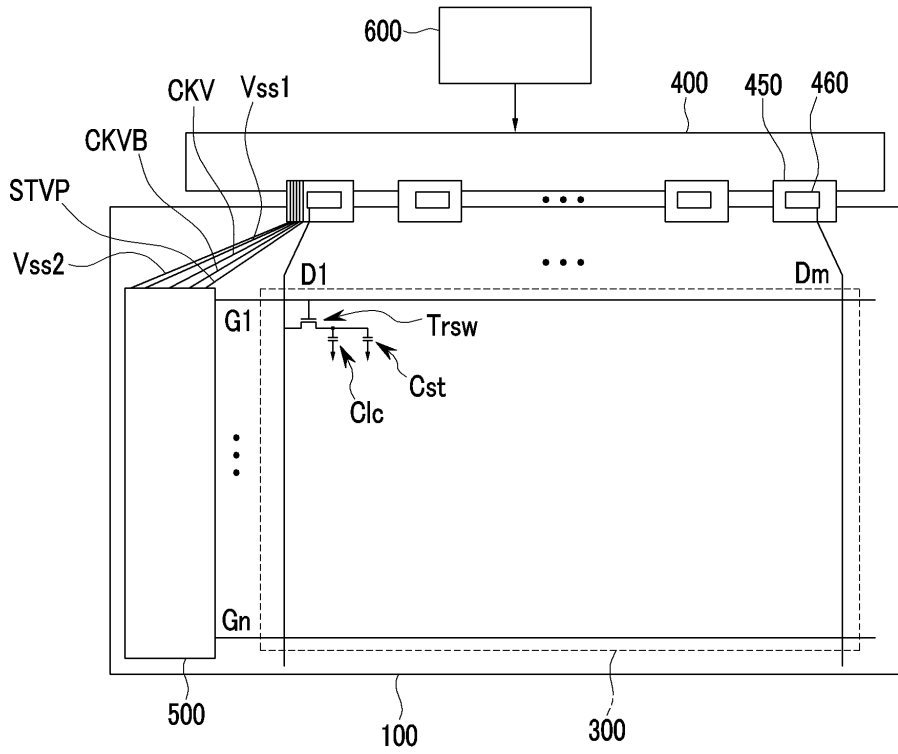
- [0119] 한편, 도 12에서는 도 10의 P' 부분을 확대 도시한 것으로 Q 접점에서의 전압 및 게이트 온 전압이 급격하게 떨어지는지 아니면 지연되면서 떨어지는지를 확인할 수 있는 도면이다.
- [0120] 도 12에서도 X 파형은 본 발명의 실시예에 따른 전압 파형이며, X'는 종래의 스테이지에 따른 전압 파형을 나타낸다. 도 12에서 X 파형이 보다 빠르게 전압 레벨이 떨어지는 것을 확인할 수 있으며, 종래의 스테이지에서는 전압 레벨이 떨어지는데 있어서 보다 많은 지연이 발생하는 것을 확인할 수 있다. 이와 같은 종래의 스테이지를 장시간 사용하는 경우 게이트 온 전압이 게이트 오프 전압이 출력되어야 하는 구간에서도 일부 인가되는 문제가 발생할 여지가 있다. 그러므로, 본 발명의 실시예에 따른 스테이지는 게이트 온 전압의 지연을 막는데 향상된 성능을 가짐을 알 수 있다.
- [0121] 이상에서는 출력 제어 신호(OCS)의 예로 전단 스테이지의 인버터 신호(IVT)를 기준으로 살펴보았다. 하지만, 출력 제어 신호(OCS)로는 다양한 신호가 있을 수 있으며, 적어도 도 6의 0H 구간(게이트 온 전압이 출력되는 구간)에서는 저전압을 가져야 하며, -1H 구간에서도 저전압을 가질 수 있다.
- [0122] 또한, 본 발명에서는 게이트 구동부의 스테이지에 듀얼 게이트 박막 트랜지스터를 형성하여 두 개의 제어 신호로 제어되도록 하여 게이트 온 전압의 출력이 일정하도록 하는 것으로 도 3 및 도 8에서 듀얼 게이트 박막 트랜지스터로 표시된 제6, 제9, 제10 및 제16 박막 트랜지스터와의 트랜지스터도 듀얼 게이트 박막 트랜지스터로 형성할 수 있으며, 또한, 제6, 제9, 제10 및 제16 박막 트랜지스터 중 어느 하나만을 듀얼 게이트 박막 트랜지스터로 형성할 수도 있다.
- [0123] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

### 부호의 설명

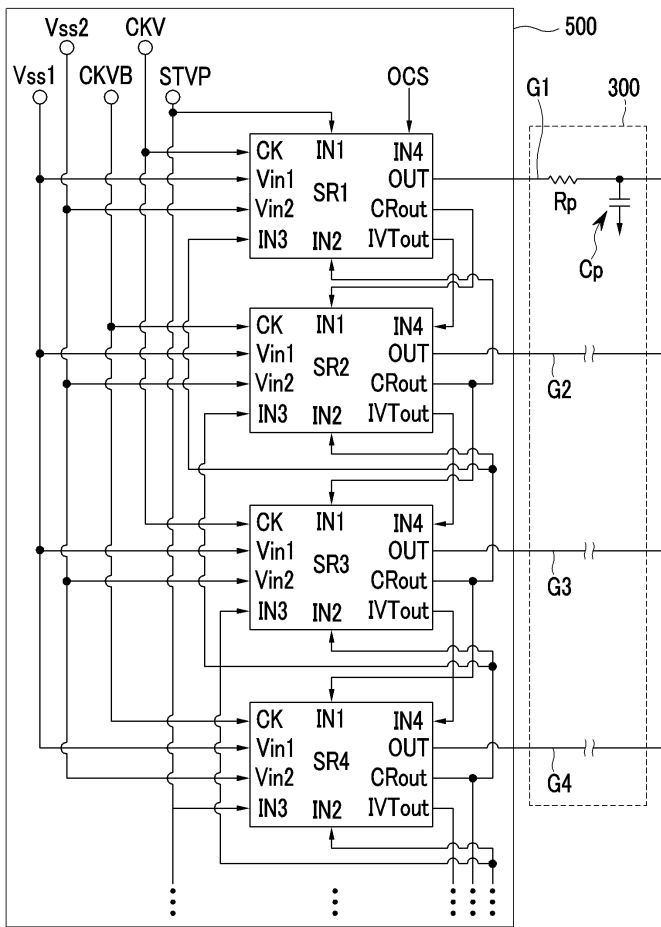
- [0124]
- |                  |                 |
|------------------|-----------------|
| 100: 표시 패널       | 300: 표시 영역      |
| 400: 인쇄 회로 기판    | 450: 가요성 인쇄 회로막 |
| 460: 데이터 드라이버 IC | 500: 게이트 구동부    |
| 511: 입력부         | 512: 풀업 구동부     |
| 513: 전달 신호 생성부   | 514: 출력부        |
| 515: 풀다운 구동부     | 600: 신호 제어부     |

도면

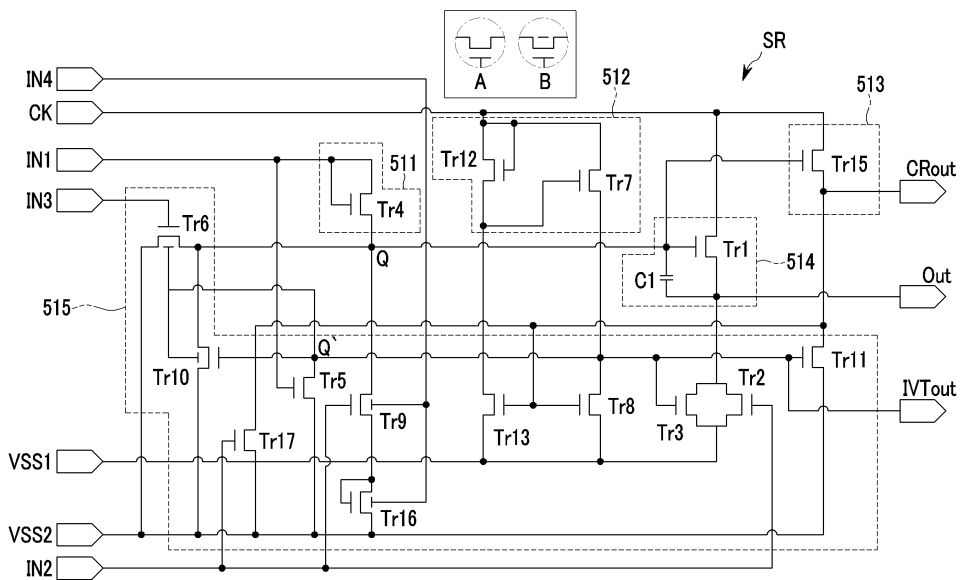
도면1



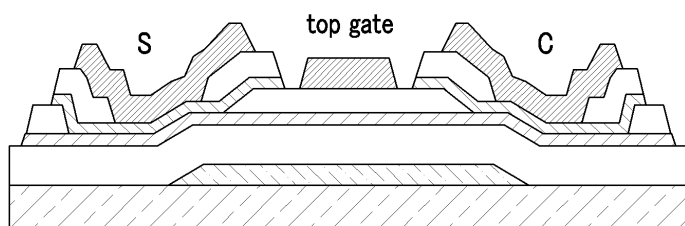
도면2



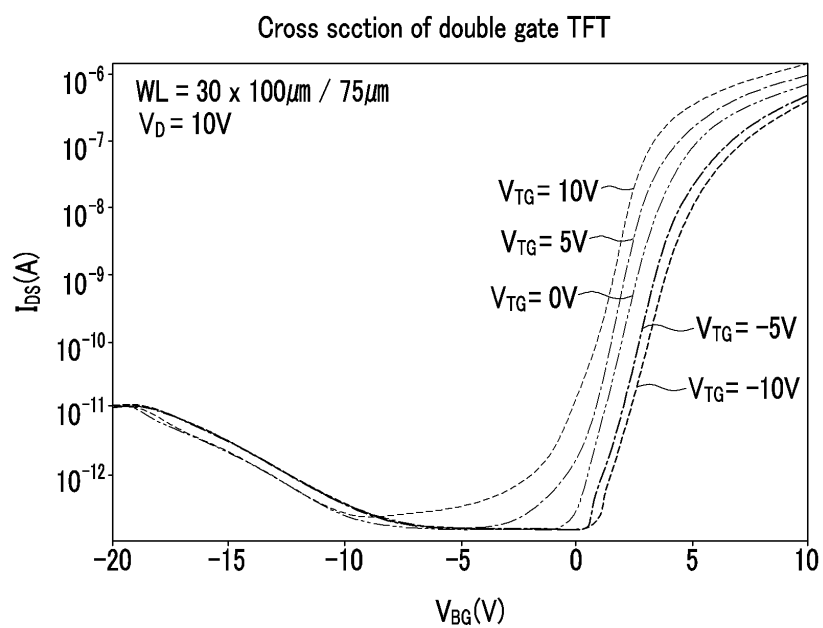
도면3



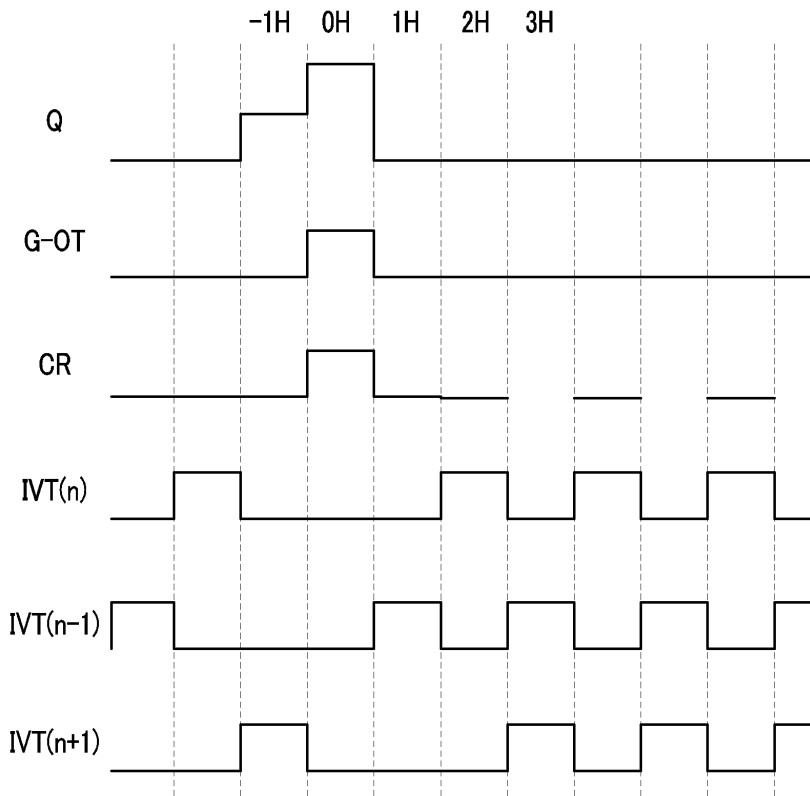
도면4



도면5



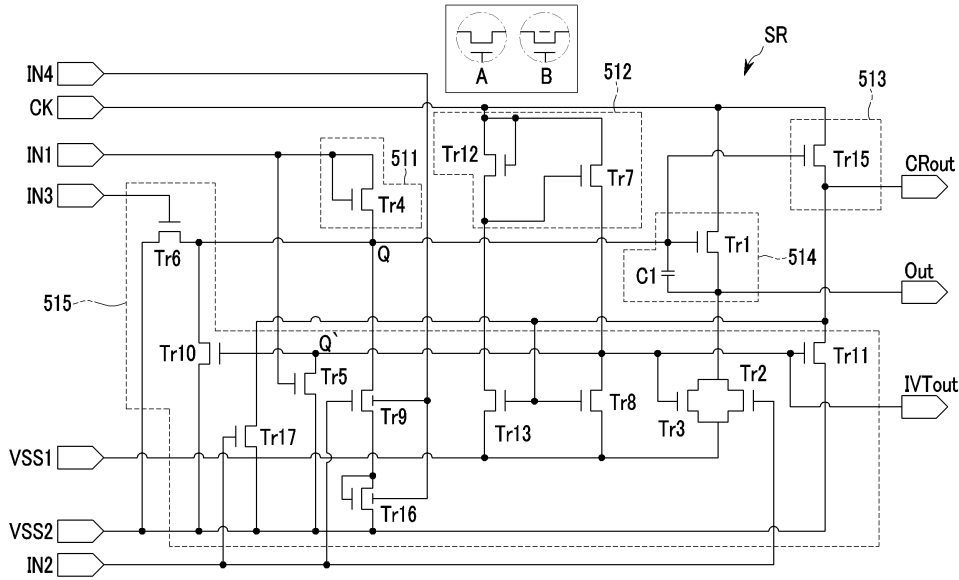
도면6



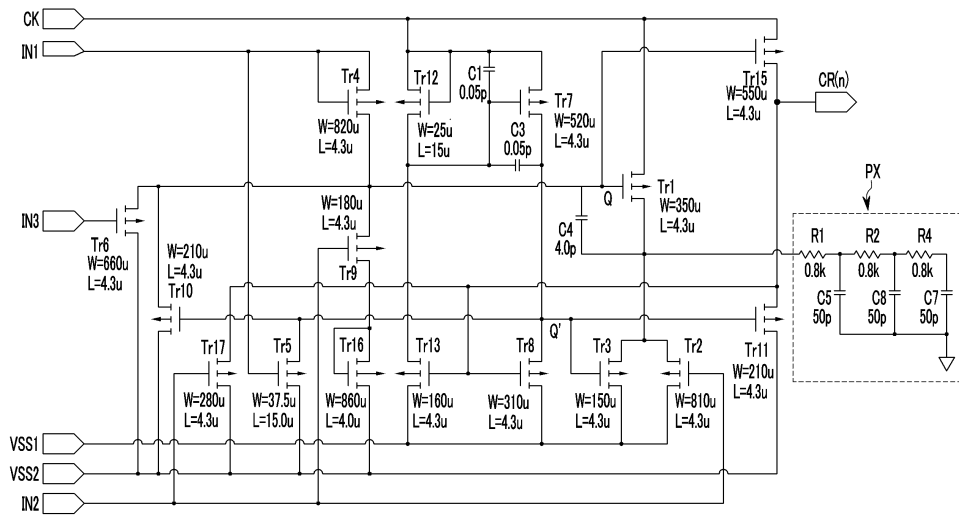
도면7

|              | -1H                                                                                                                                                                              | 0H (gate충전H)                                                                                                                                                                                        | 1H                                                                                        | 2H (4H,6H...)                                                                                        | 3H (5H,7H...)                                                                            |
|--------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------------------------------------------------------------------------------------------|------------------------------------------------------------------------------------------------------|------------------------------------------------------------------------------------------|
| Q node level | charge<br>TR4<br>(n-1)TR15                                                                                                                                                       | Leakage<br>①TR10<br>(V <sub>gs</sub> =4V, V <sub>ds</sub> =56(50+6)V)<br>②TR9,6<br>(V <sub>gs</sub> =4V, V <sub>ds</sub> =63(50+13)V)<br>③TR4<br>(V <sub>gs</sub> =0V, V <sub>ds</sub> =63(50+13)V) | Reset<br>TR9 (+TR16)<br>G : g (n+1)<br>S : Vss2                                           | Hold<br>①TR10<br>G : IVT_high(CK)<br>S : Vss2<br>②TR6<br>G : g(n+2)<br>S : Vss2                      | -                                                                                        |
| Gate off 출력  | TR1<br>G : TR4,11<br>S : CK 의 Low                                                                                                                                                | -                                                                                                                                                                                                   | TR2, TR14, *TR1<br>G : g(n+1)<br>S : Vss<br>*TR1 자체 역할도 중요.                               | TR3<br>G : inverter(≡CK)<br>S : Vss                                                                  | -                                                                                        |
| Carry 출력     | TR15<br>G : Qnode<br>Out : CK_low                                                                                                                                                | TR15<br>G : Qnode<br>Out : CK_high                                                                                                                                                                  | TR17<br>G : g(n+1)<br>Out : Vss2                                                          | TR11<br>G : IVT_high<br>Out : Vss2                                                                   | Low                                                                                      |
| Inverter 출력  | 출력선택1 : CK<br>출력선택2 : Vss1<br>(IN 에 따라서<br>출력선택1,2결정됨)<br>(IN off時 1선택)<br>(IN off時 2선택)<br>IN1 : TR15 CK_low<br>IN2 : TR17 Vss2<br>Carry : CK_low<br>IN합 : Vss2<br>Out : CK_low | IN1 : TR15 CK_high<br>IN2 : TR17 leakage Vss2<br>Carry : CK_high<br>IN합 : CK_high<br>Out : Vss1                                                                                                     | IN1 : TR15-(off)<br>IN2 : TR17 leakage Vss2<br>Carry : Vss2<br>IN합 : Vss2<br>Out : CK_low | IN1 : TR15-(off) TR11_Vss2<br>IN2 : TR17 leakage Vss2<br>Carry : Vss2<br>IN합 : Vss2<br>Out : CK_high | IN1 : TR15 leakage<br>IN2 : TR17 leakage Vss2<br>Carry : ?<br>IN합 : low?<br>Out : CK_low |

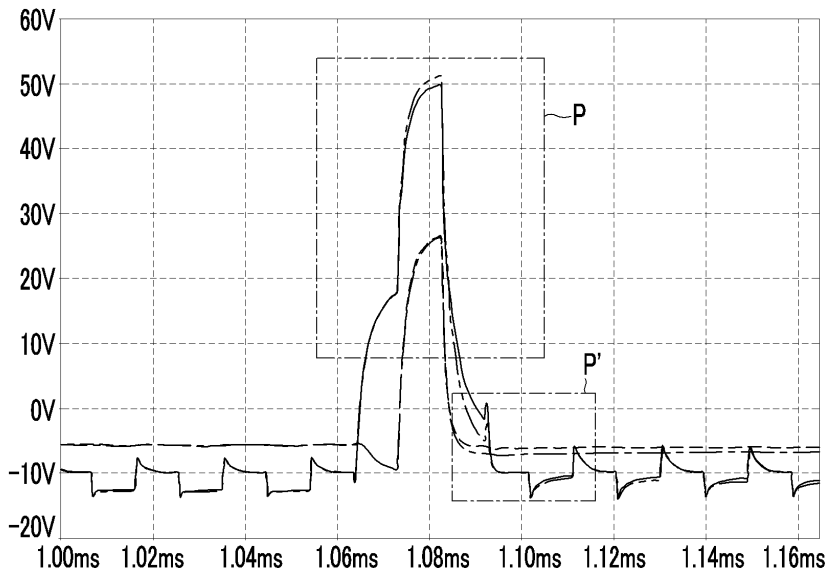
도면8



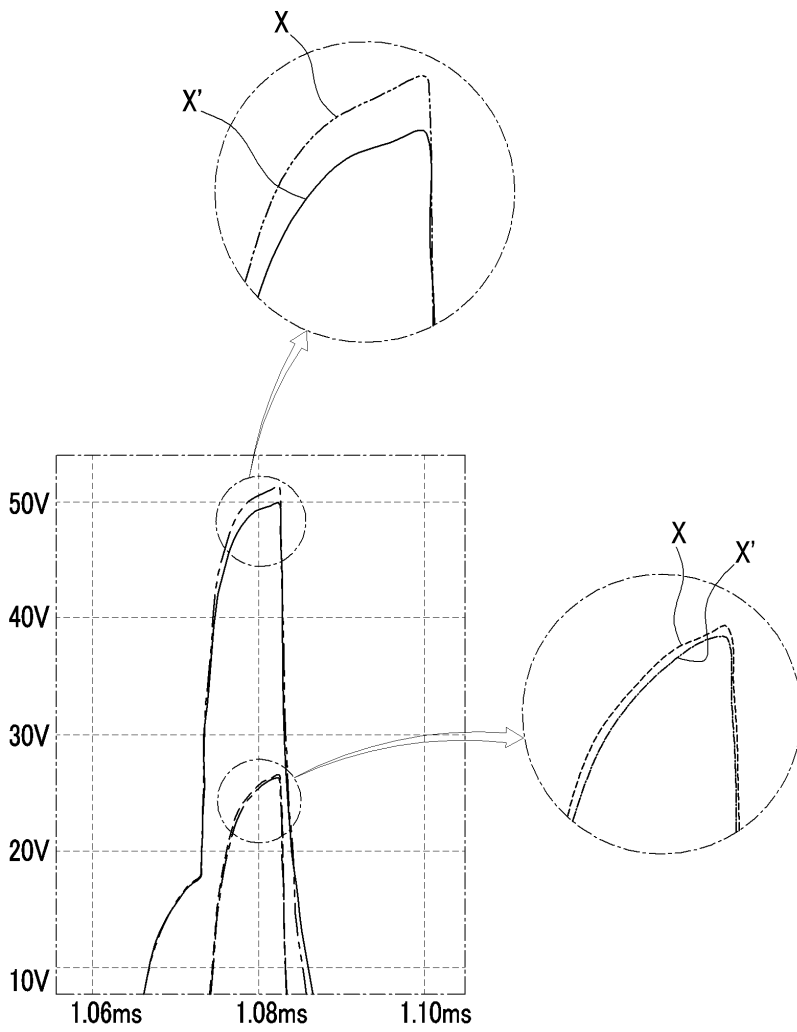
도면9



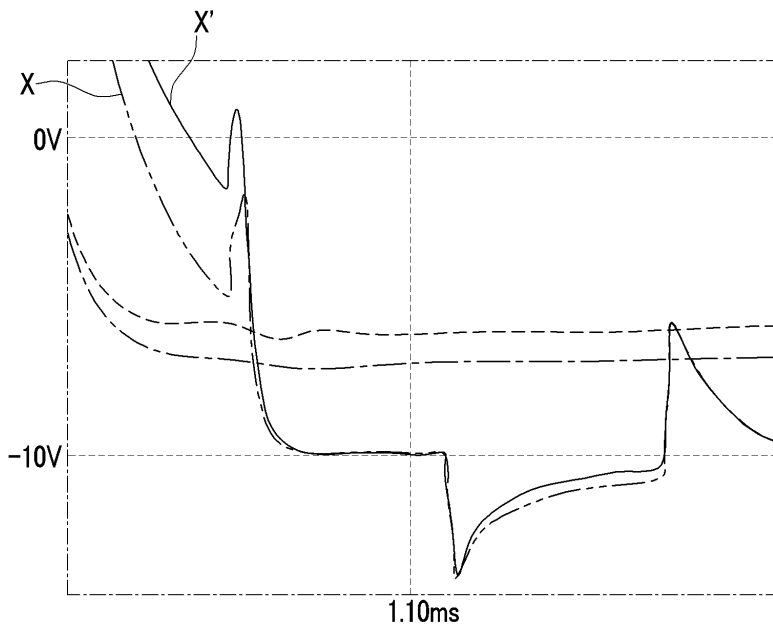
도면10



도면11



도면12



|                |                                                                                                                                                                                       |         |            |
|----------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 显示面板                                                                                                                                                                                  |         |            |
| 公开(公告)号        | <a href="#">KR1020130049617A</a>                                                                                                                                                      | 公开(公告)日 | 2013-05-14 |
| 申请号            | KR1020110114746                                                                                                                                                                       | 申请日     | 2011-11-04 |
| [标]申请(专利权)人(译) | 三星显示有限公司                                                                                                                                                                              |         |            |
| 申请(专利权)人(译)    | 三星显示器有限公司                                                                                                                                                                             |         |            |
| [标]发明人         | KANG SHIN TACK<br>강신택<br>KIM KYUNG HEE<br>김경희<br>KIM BEOM JUN<br>김범준<br>KIM SUNG MAN<br>김성만<br>LEE JONG HWAN<br>이종환<br>LEE HONG WOO<br>이홍우<br>HAN HYE RHEE<br>한혜리<br>HEO JIHYE<br>허지혜 |         |            |
| 发明人            | 강신택<br>김경희<br>김범준<br>김성만<br>이종환<br>이홍우<br>한혜리<br>허지혜                                                                                                                                  |         |            |
| IPC分类号         | G09G3/36 G02F1/1345                                                                                                                                                                   |         |            |
| CPC分类号         | G09G3/3674 G09G3/20 G09G2300/0408 G09G2310/0267 G09G2310/0286 G09G2310/0289<br>G09G2310/0291 G09G2320/045                                                                             |         |            |
| 其他公开文献         | KR102005485B1                                                                                                                                                                         |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                                                                             |         |            |

#### 摘要(译)

根据本发明，双栅极薄膜晶体管形成在具有集成在显示面板中的栅极驱动器的显示装置中的栅极驱动器的级中，并且由前级的反相器信号或主级的反相器信号控制，以控制栅极导通电压的电平。通过防止栅极导通电压的劣化或延迟，可以提高显示质量。

