



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0018709
(43) 공개일자 2012년03월05일

(51) 국제특허분류(Int. Cl.)

G09G 3/36 (2006.01)

(21) 출원번호 10-2011-0063830

(22) 출원일자 2011년06월29일

심사청구일자 없음

(30) 우선권주장

JP-P-2010-163938 2010년07월21일 일본(JP)

(71) 출원인

르네사스 일렉트로닉스 가부시키가이샤

일본국 카나가와켄 카와사키시 나카하라쿠 시모누
마베 1753번지

(72) 발명자

카와고시 히로카즈

일본국 카나가와켄 카와사키시 나카하라쿠 시모누
마베 1753번지 르네사스 일렉트로닉스 가부시키가
이샤 나이

(74) 대리인

특허법인 원전

전체 청구항 수 : 총 9 항

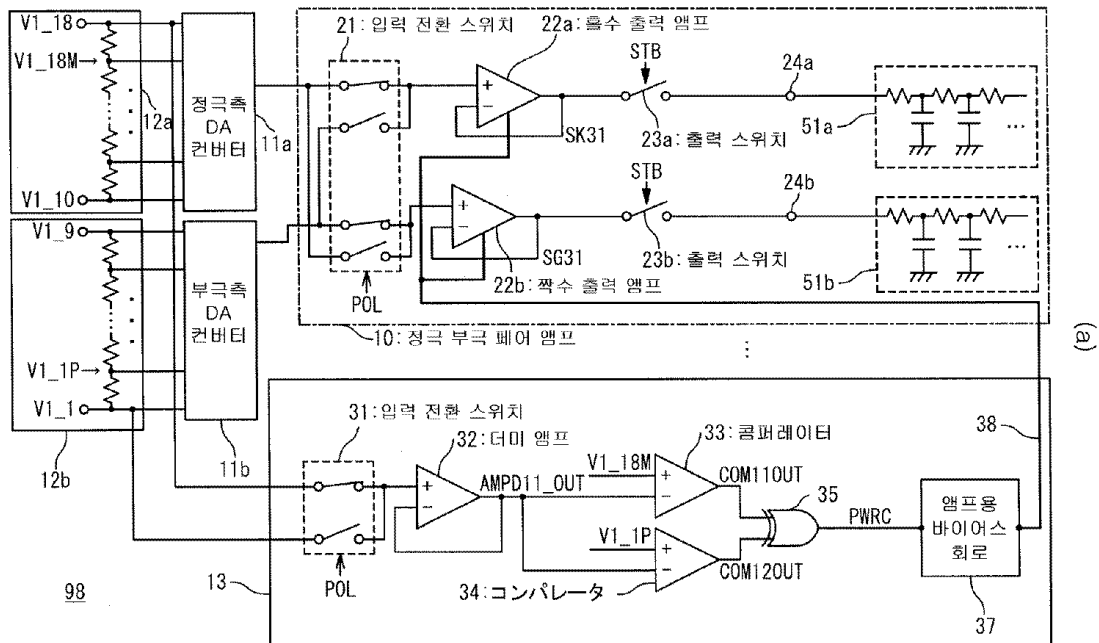
(54) 발명의 명칭 액정표시장치의 소스 드라이버 및 그것을 이용한 액정표시장치

(57) 요약

액정표시장치의 소스 드라이버에 있어서, 소비 전력의 증대를 억제하면서, 고슬루레이트화한다.

액정표시장치의 소스 드라이버는, 입력 신호에 응답하여 복수의 데이터라인(92)을 구동하는 복수의 출력 앰프(22a, 22b)와, 출력 앰프(22a, 22b)의 전기적 특성과 정합성을 가지는 더미 앰프(32)를 가지는 바이어스 제어 회로(13)를 구비한다. 바이어스 제어 회로(13)는, 출력 앰프(22a, 22b)에 입력되는 γ 저항회로의 전압 V1이 입력되었을 때의 더미 앰프(32)의 출력 전이 기간에 근거하여, 복수의 출력 앰프(22a, 22b)의 고바이어스 기간 t2~t3를 제어한다.

대표도



특허청구의 범위

청구항 1

입력 신호에 응답하여 복수의 데이터라인을 구동하는 복수의 출력 앰프와,

상기 출력 앰프의 전기적 특성과 정합성(整合性)을 가지는 더미 앰프를 가지는 바이어스 제어 회로를 구비하고,
상기 바이어스 제어 회로는, 상기 출력 앰프에 입력되는 γ 저항회로의 전압이 입력되었을 때의 상기 더미 앰프의 출력의 전이 기간에 근거하여, 상기 복수의 출력 앰프를 고(高)바이어스로 하는 기간을 제어하는 액정표시장치의 소스 드라이버.

청구항 2

제1항에 있어서,

상기 더미 앰프는, 상기 출력 앰프의 레이아웃과 실질적으로 동일한 더미 앰프인 액정표시장치의 소스 드라이버.

청구항 3

제1항 또는 제2항에 있어서,

상기 전이 기간은, 상승 및 하강 파형의 기울기를 지배적으로 결정하는 기간인 액정표시장치의 소스 드라이버.

청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 바이어스 제어 회로는,

상기 출력 앰프에 입력되는 γ 저항회로의 최고 전압 및 최저 전압을, 상기 출력 앰프와 같은 스트로브 신호 주기로 전환하여 입력되는 상기 더미 앰프로서의 제1의 더미 앰프와,

상기 제1의 더미 앰프의 출력을 반전 입력으로 하여, 상기 γ 저항회로의 최고 전압보다 소정 전압만큼 작은 전압을 비반전 입력으로 하는 제1의 콤퍼레이터와,

상기 제1의 더미 앰프의 출력을 반전 입력으로 하여, 상기 γ 저항회로의 최저 전압보다 소정 전압만큼 큰 전압을 비반전 입력으로 하는 제2의 콤퍼레이터와,

상기 제1의 콤퍼레이터 및 상기 제2의 콤퍼레이터의 출력을 입력으로 하는 논리 연산 회로와,

상기 논리 연산 회로의 출력을 입력으로 하는 앰프용 바이어스 회로를 구비하는 상기 앰프용 바이어스 회로의 출력에 의해 상기 고(高)바이어스로 하는 기간을 제어하는 액정표시장치의 소스 드라이버.

청구항 5

제4항에 있어서,

상기 고바이어스로 하는 기간을 제어하는 계조(階調) 전압은, γ 저항회로의 최고 전압 V_{max} 보다, 상기 제1의 콤퍼레이터 및 상기 제2의 콤퍼레이터의 입력 오프셋 전압을 충분히 웃도는 정도의 전압 V_{comoff} 의 조금 아래의 전압($V_{max}-V_{comoff}$)을 넘는 계조 전압을 출력하는 경우, 및/또는, γ 저항회로의 최저 전압 V_{min} 보다 상기 V_{comoff} 의 조금 위의 전압($V_{min}+V_{comoff}$)보다 낮은 계조 전압을 출력하는 경우에 실시되는 액정표시장치의 소스 드라이버.

청구항 6

제4항에 있어서,

상기 제1의 콤퍼레이터는, 상기 제1의 더미 앰프로부터 출력되는 상기 γ 저항회로 중 정극(正極)측 γ 저항회로의 최고 전압과 상기 정극측 γ 저항회로의 최고 전압보다 조금 아래의 전압과의 제1의 비교 결과를 출력하고,

상기 제2의 콤퍼레이터는, 상기 제1의 더미 앰프로부터 출력되는 상기 γ 저항회로 중 부극(負極)측 γ 저항회로의 최저 전압과 상기 부극측 γ 저항회로의 최저 전압보다 조금 위의 전압의 제2의 비교 결과를 출력하고,

상기 논리 연산 회로는 상기 제1의 비교 결과 및 상기 제2의 비교 결과에 근거하는 논리 연산의 결과를 출력하며,

상기 앰프용 바이어스 회로는, 상기 논리 연산의 결과에 근거하여, 상기 고(高)바이어스로 하는 기간을 제어하는 액정표시장치의 소스 드라이버.

청구항 7

제4항에 있어서,

상기 바이어스 제어 회로는,

상기출력 앰프에 입력되는 상기 γ 저항회로의 최고 전압 및 최저 전압을, 상기 출력 앰프와 같은 스트로브 신호 주기로 전환하여 입력되는 상기 더미 앰프로서의 제2의 더미 앰프와,

상기 제2의 더미 앰프의 출력을 반전 입력으로 하여, 상기 γ 저항회로의 최고 전압보다 소정 전압만큼 작은 전압을 비반전 입력으로 하는 제3의 콤퍼레이터와,

상기 제2의 더미 앰프의 출력을 반전 입력으로 하여, 상기 γ 저항회로의 최저 전압보다 소정 전압만큼 큰 전압을 비반전 입력으로 하는 제4의 콤퍼레이터를 더 구비하며,

상기 논리 연산 회로는, 상기 제1의 콤퍼레이터, 상기 제2의 콤퍼레이터, 상기 제3의 콤퍼레이터 및 상기 제 4의 콤퍼레이터의 출력을 입력으로 하는 액정표시장치의 소스 드라이버.

청구항 8

제7항에 있어서,

상기 제1의 콤퍼레이터는, 상기 제1의 더미 앰프로부터 출력되는 상기 γ 저항회로 중 정극측 γ 저항회로의 최고 전압과 상기 정극측 γ 저항회로의 최고 전압보다 조금 아래의 전압과의 제1의 비교 결과를 출력하고,

상기 제2의 콤퍼레이터는, 상기 제1의 더미 앰프로부터 출력되는 상기 정극측 γ 저항회로의 최저 전압과 상기 정극측 γ 저항회로의 최저 전압보다 조금 위의 전압과의 제2의 비교 결과를 출력하고,

상기 제3의 콤퍼레이터는, 상기 제2의 더미 앰프로부터 출력되는 상기 γ 저항회로 중 부극측 γ 저항회로의 최고 전압과 상기 부극측 γ 저항회로의 최고 전압보다 조금 아래의 전압과의 제3의 비교 결과를 출력하고,

상기 제4의 콤퍼레이터는, 상기 제2의 더미 앰프로부터 출력되는 상기 부극측 γ 저항회로의 최저 전압과 상기 부극측 γ 저항회로의 최저 전압보다 조금 위의 전압과의 제4의 비교 결과를 출력하고,

상기 논리 연산 회로는 상기 제1의 비교 결과, 상기 제2의 비교 결과, 상기 제3의 비교 결과 및 상기 제 4의 비교 결과에 근거하는 논리 연산의 결과를 출력하고,

상기 앰프용 바이어스 회로는, 상기 논리 연산의 결과에 근거하여, 상기 고바이어스로 하는 기간을 제어하는 액정표시장치의 소스 드라이버.

청구항 9

제1항 내지 제8항 중 어느 한 항에 기재된 기재의 액정표시장치의 소스 드라이버와,

상기 액정표시장치의 소스 드라이버에 구동되는 복수의 데이터라인과,

상기 복수의 데이터라인에 접속된 복수의 화소를 구비하는 액정표시장치.

명세서

기술분야

[0001] 본 발명은, 액정표시장치의 소스 드라이버 및 그것을 이용한 액정표시장치에 관한 것이다.

배경 기술

[0002] 최근, 텔레비전이나 PC용 디스플레이에 사용되는 액정표시장치의 대(大)화면화·고정세화(高精細化)가 진행되고 있다. 그에 따라 액정표시장치의 소스 드라이버에는, 보다 큰 부하를, 보다 고속으로, 소비 전력을 억제한 채로, 구동하는 능력이 필요해 지고 있다. 더하여, 소스 드라이버에는 다수의 차동 증폭 회로가 탑재되도록 되어 있다.이 때문에, 칩 면적의 증대나 소비 전력의 증대를 초래하지 않게 하면서, 고(高)슬루레이트(higher Slew Rate)화하는 것이 필요하다. 또한, 다수의 각 증폭 회로의 구동 능력의 편차 등의 증대에도 유의할 필요가 있다.

[0003] 일본국 특허공개공보 2001-156559호 공보(특허문헌 1: 대응하는 미국 특허 US6392485(B1))에, 고슬루레이트 차동증폭회로가 개시되어 있다. 도 1은, 일본국 특허공개공보 2001-156559호의 차동증폭회로의 구성을 나타내는 회로도이다. 이 차동증폭회로는, Rail-to-Rail 차동증폭회로이며, P형 MOS 차동입력부(101)와, P형 MOS 부전류원(106)과, N형 MOS 차동입력부(102)와, N형 MOS 부전류원(107)과, 커런트밀러 회로(103)와, 커런트밀러 회로(104)와, 푸시풀 출력단(105)을 구비하고 있다. P형 MOS 차동입력부(101)는, 트랜지스터(M1, M2, M3)로 구성된다. P형 MOS 부전류원(106)은, 트랜지스터(M17, M18)로 구성된다. N형 MOS 차동입력부(102)는, 트랜지스터(M4, M5, M6)로 구성된다. N형 MOS 부전류원(107)은, 트랜지스터(M19, M20)로 구성된다. 커런트밀러 회로(103)는, 트랜지스터(M7, M8, M9, M10)로 구성된다. 커런트밀러 회로(104)는, 트랜지스터(M11, M12, M13, M14)로 구성된다. 푸시풀 출력단(105)은, 트랜지스터(M15, M16)로 구성된다. Vdd는 정측 전원 전압, Vss는 부측 전원 전압이다.

[0004] 비반전 입력 Vin(+)은 트랜지스터(M3, M5)의 게이트에 접속되고, 반전 입력 Vin(-)은 트랜지스터(M2, M4)의 게이트에 접속되어 있다. 트랜지스터(M2, M3)로부터의 P형 MOS 차동입력부(101)의 출력은, 커런트밀러 회로(104)에 입력되고, 트랜지스터(M4, M5)로부터의 N형 MOS 차동입력부(102)의 출력은, 커런트밀러 회로(103)에 입력되고 있다. 커런트밀러 회로(103, 104)는 저항기(R1, R2)에 접속되어 있다. 푸시풀 출력단(105)의 트랜지스터(M15)의 게이트는 트랜지스터(M10)와 저항기(R2)의 일단과의 접속점에 접속되고, 푸시풀 출력단(105)의 트랜지스터(M16)의 게이트는 트랜지스터(M12)와 저항기(R2)의 타단과의 접속점에 접속되어 있다. 또한, 저항기(R1, R2)는 MOS 트랜지스터 등으로도 구성할 수 있다. P형 MOS 부전류원(106)은, 정전류원 트랜지스터(M17)와 P형 MOS 출력 트랜지스터(M15)의 게이트 전압을 게이트에 입력한 트랜지스터(M18)를 직렬로 접속한 전류원 회로를, P형 MOS 차동입력부(101)의 정전류원 트랜지스터(M1)에 병렬로 접속하여 구성되어 있다. N형 MOS 부전류원(107)은, 정전류원 트랜지스터(M20)와 N형 MOS 출력 트랜지스터(M16)의 게이트 전압을 게이트에 입력한 트랜지스터(M19)를 직렬로 접속한 전류원 회로를, N형 MOS 차동입력부(102)의 정전류원 트랜지스터(M6)에 병렬로 접속하여 구성되어 있다. C1과 C2는 위상 보상 용량, Vb1~Vb4는 각각의 트랜지스터가 적절히 동작하도록 설정된 바이어스 전압이다. 여기에서는 푸시풀 출력단(105)의 출력과 부측 전원 전압 Vss의 사이에 외부 부하 CL이 접속되어 있다.

[0005] 이 차동증폭회로(액정표시장치의 소스 드라이버)에서는 반전 입력 전압(Vin-)과 앰프 출력 단자(Vout)를 쇼트하여 1배 앰프로서 사용된다. 이 차동증폭회로의 동작에서는, 앰프 출력 단자(Vout)가 저전압에서 고전압으로 천이할 때, 노드(PG41)가 순간 내려감으로써 트랜지스터(M18)를 온시키고, 입력 차동단(P형 MOS 차동입력부(101) 및 P형 MOS 부전류원(106))의 정전류(정전류원(M1, M17))를 순간 증가시킴으로써 고슬루레이트화한다. 앰프 출력 단자(Vout)가 고전압에서 저전압으로 천이할 때, 노드(NG41)가 순간 올라감으로써 트랜지스터(M19)를 온시키고, 입력 차동단(N형 MOS 차동입력부(102) 및 N형 MOS 부전류원(107))의 정전류(정전류원(M6, M20))를 순간 증가시킴으로써 고슬루레이트화한다.

[0006] 관련하는 기술로서, 일본국 특허공개공보 2004-78216호 공보(특허문헌 2: 대응하는 미국 특허 US7317440(B2))에, 액정표시장치를 저전력으로 구동하는 회로 및 그 방법이 개시되어 있다. 이 액정표시장치 구동용 드라이버 회로는, 이전 데이터 래치와 바이어스 제어 전압 발생기와, 드라이버 앰프를 구비한다. 이전 데이터 래치는, 디스플레이 데이터의 일부 또는 전부를 수신하여 이전 데이터로서 출력한다. 바이어스 제어 전압 발생기는, 디스플레이 데이터의 현재 데이터와 이전 데이터를 비교하여 제어 신호를 발생시킨다. 드라이버 앰프는, 입력 전압을 수신하여 출력전압을 발생시키고, 제어 신호에 응답하여 슬루레이트가 조절된다.

[0007] 또한, 관련하는 기술로서, 일본국 특허공개공보 2004-32603호(특허문헌 3: 대응하는 미국 특허 US6897726(B2))에, 차동회로와 증폭 회로 및 그 증폭 회로를 이용한 표시장치가 개시되어 있다. 이 차동회로는, 제1의 차동쌍

과, 제2의 차동쌍과, 제1의 부하 회로와, 제2의 부하 회로와, 연락 수단과, 제1의 출력과, 제2의 출력과, 전환 수단을 가진다. 제1의 차동쌍은, 제1의 정전류원으로 구동되어 제1, 제2의 입력 전압을 차동입력쌍으로부터 받고, 제1 도전형이다. 제2의 차동쌍은, 제2의 정전류원으로 구동되어 제1, 제2의 입력 전압을 차동입력쌍으로부터 받고, 제2 도전형이다. 제1의 부하 회로는, 제1의 전원에 접속되고, 제1의 차동쌍의 능동 부하를 이루는 제2 도전형 트랜지스터로 구성되어 있다. 제2의 부하 회로는, 제2의 전원에 접속되고, 제2의 차동쌍의 능동 부하를 이루는 제1 도전형 트랜지스터로 구성되어 있다. 연락 수단은, 제1의 부하 회로와 제2의 부하 회로의 사이를 연락하고, 제1 및 제2의 부하 회로의 적어도 한쪽으로부터 다른 한쪽으로 전류를 흘리는 것을 가능하게 한다. 제1의 출력은, 제1의 부하 회로로부터 출력된다. 제2의 출력은, 제2의 부하 회로로부터 출력된다. 전환 수단은, 제1의 출력을 활성으로 하고 제2의 출력을 비활성으로 하는 제1의 접속 상태와, 제2의 출력을 활성으로 하고 제1의 출력을 비활성으로 하는 제2의 접속 상태를 전환한다.

선행기술문헌

특허문헌

- [0008] (특허문헌 0001) 특허문헌 1: 일본국 특허공개공보 2001-156559호
(특허문헌 0002) 특허문헌 2: 일본국 특허공개공보 2004-78216호
(특허문헌 0003) 특허문헌 3: 일본국 특허공개공보 2004-32603호

발명의 내용

해결하려는 과제

- [0009] 상기 특허문헌 1의 차동증폭회로의 동작에는, 이하와 같은 문제가 있다는 것이, 발명자의 연구에 의해 이번 처음으로 분명해졌다. 도 2는, 특허문헌 1의 차동증폭회로의 동작을 나타내는 타이밍 차트이다. (a)는 로우 레벨에서 앰프 출력이 출력 단자에 접속되고, 하이레벨에서 출력 단자가 하이 임피던스가 되도록 제어하는 스트로브 신호(STB), (b)는 노드(PG41)의 전압, (c)는 노드(NG41)의 전압, (d)는 앰프 출력 단자(Vout)의 전압을 각각 나타내고 있다. 앰프 출력 단자(Vout)의 전압(d)은, 스트로브 신호(STB)(a)의 입력의 타이밍으로, 고속화되어 천이한다.
- [0010] 앰프 출력 단자(Vout)의 전압(d)이 저전압에서 고전압으로 천이하는 경우에는, 노드(PG41)의 전압(b)이 드롭($-\Delta V$)함으로써 앰프 출력 단자(Vout)의 전압(d)의 천이가 고속화된다. 그러나, 회로의 동작상, 노드(PG41)의 드롭 시간이 매우 길다(t_{bp1} =약 $10\mu s$). 즉, 오랫동안, 입력 차동단(P형 MOS 차동입력부(101) 및 P형 MOS 부전류원(106))의 정전류치를 증가시켜 버린다. 그 때문에, 앰프 출력 단자(Vout)의 전압(d)에는, 링킹(Ringing) 파형 Q1이 나타나고, 또한 이상 동작으로서 입력 차동단이 중간단(커런트밀러 회로(103, 104), 저항기(R1, R2))의 전류를 모두 인입하여 버림으로써 발진 동작으로 빠지는 것도 생각할 수 있다.
- [0011] 앰프 출력 단자(Vout)의 전압(d)이 고전압에서 저전압으로 천이하는 경우에도, 상기와 같은 상황이 발생한다. 즉, 그 경우에는, 노드(NG41)의 전압(c)이 증가($+\Delta V$)함으로써 앰프 출력 단자(Vout)의 전압(d)의 천이가 고속화된다. 그러나, 회로의 동작상, 노드(NG41)의 업 시간이 매우 길다(t_{bn1} = 약 $10\mu s$). 즉, 오랫동안, 입력 차동단(N형 MOS 차동입력부(102) 및 N형 MOS 부전류원(107))의 정전류치를 증가시켜 버린다. 그 때문에, 앰프 출력 단자(Vout)의 전압(d)에는, 링킹 파형 Q2가 나타나고, 또한 이상 동작으로서 입력 차동단이 중간단(커런트밀러 회로(103, 104), 저항기(R1, R2))의 전류를 모두 인입하여 버림으로써 발진 동작으로 빠지는 일도 생각할 수 있다.
- [0012] 또한, 앰프 출력 단자(Vout)의 전압의 천이 동작 후, 차동증폭회로는 정상 동작으로 돌아온다. 그 때문에, 트랜지스터(M18)의 게이트 전압 $\approx V_{dd}-V_{TP}$, 트랜지스터(M19)의 게이트 전압 $\approx V_{TN}$ 와 전압이 남는다. 따라서, 트랜지스터(M18)와 트랜지스터(M19)의 사이즈(W/L)는, 그 상태로 오프 상태로 하지 않으면 안되어 설계가 매우 어려워진다. 여기서, V_{TP} 와 V_{TN} 은 각각 트랜지스터(M18)와 트랜지스터(M19)의 반응을 일으키는 최소의 물리량 전압이다.

과제의 해결 수단

- [0013] 이하에, 발명을 실시하기 위한 형태로 사용되는 번호?부호를 이용하여, 과제를 해결하기 위한 수단을 설명한다.

이러한 번호?부호는, 특허청구의 범위의 기재와 발명을 실시하기 위한 형태와의 대응 관계를 분명히 하기 위해서 괄호 첨부로 부가된 것이다. 다만, 그러한 번호?부호를, 특허청구의 범위에 기재되어 있는 발명의 기술적 범위의 해석에 이용해서는 안 된다.

[0014] 본 발명의 액정표시장치의 소스 드라이버(98)는, 입력 신호에 응답하여 복수의 데이터라인(92)을 구동하는 복수의 출력 앰프(22a, 22b)와, 출력 앰프(22a, 22b)의 전기적 특성과 정합성을 가지는 더미 앰프(32/32a, 32b)를 가지는 바이어스 제어 회로(13)를 구비한다. 바이어스 제어 회로(13)는, 출력 앰프(22a, 22b)에 입력되는 y 저항회로의 전압($V1/V3$)이 입력되었을 때의 더미 앰프(32/32a, 32b)의 출력(AMPD11_OUT/AMPD31_OUT, AMPD32OUT)의 전이 시간($t1 \sim t4$, $t5 \sim t8$)에 근거하여, 복수의 출력 앰프(22a, 22b)를 고(高)바이어스로 하는 기간($t2 \sim t3$, $t6 \sim t7$)을 제어한다.

[0015] 본 발명의 소스 드라이버(98)는, 출력 앰프(22a, 22b)의 동작에 있어서, 더미 앰프(32/32a, 32b)의 출력(AMPD11_OUT/AMPD31_OUT, AMPD32_OUT)의 전이 시간($t1 \sim t4$, $t5 \sim t8$)에 대응시켜서, 출력 앰프(22a, 22b)를 고바이어스(고바이어스 전류)로 하는 기간($t2 \sim t3$, $t6 \sim t7$)을 제어하고 있다. 이 때, 더미 앰프(32/32a, 32b)는, 출력 앰프(22a, 22b)의 전기적 특성과 정합성을 가지고 있다. 그 때문에, 출력 앰프(22a, 22b)의 출력 전이에 추종한 기간($t2 \sim t3$, $t6 \sim t7$)만, 출력 앰프(22a, 22b)로의 바이어스 전류를 올려, 고슬루레이트화할 수 있다. 즉, 실질적으로 필요 충분한 고바이어스 제어를 실현할 수 있다. 또한, 바이어스 전류가 올라가는 기간($t2 \sim t3$, $t6 \sim t7$)이 한정되므로, 고슬루레이트화에 수반하는 동소비(動消費) 전력의 증가를 억제할 수 있다.

[0016] 본 발명의 액정표시장치(90)는, 상기의 액정표시장치의 소스 드라이버(98)와, 액정표시장치의 소스 드라이버(98)에 구동되는 복수의 데이터라인(92)과, 복수의 데이터라인(92)에 접속된 복수의 화소(99)를 구비한다. 이 경우에도, 상기의 소스 드라이버(98)를 이용하고 있으므로, 동소비 전력의 증가를 억제하면서, 고슬루레이트화를 도모할 수 있다.

발명의 효과

[0017] 본 발명에 의해, 액정표시장치의 소스 드라이버에 있어서, 회로 정수의 설계가 용이한 회로이며, 안정된 동작을 하는 고슬루레이트 앰프를 실현하는 것이 가능해진다.

도면의 간단한 설명

[0018] 도 1은, 일본국 특허공개공보 2001-156559호 공보의 차동증폭회로의 구성을 나타내는 회로도이다.
 도 2는, 특허문헌 1의 차동증폭회로의 동작을 나타내는 타이밍 차트이다.
 도 3은, 본 발명의 실시의 형태와 관련되는 액정표시장치의 구성을 나타내는 블록도이다.
 도 4는, (a)는 본 발명의 제1의 실시의 형태와 관련되는 액정표시장치의 소스 드라이버의 구성의 일례를 나타내는 블록도이고, (b)는 본 발명의 실시의 형태와 관련되는 액정표시장치의 소스 드라이버의 구성의 일례를 나타내는 모식도이다.
 도 5는, 본 발명의 실시의 형태와 관련되는 출력 앰프의 구성의 일례를 나타내는 회로도이다.
 도 6은, 본 발명의 실시의 형태와 관련되는 액정표시장치의 소스 드라이버의 동작의 일례를 나타내는 타이밍 차트이다.
 도 7은, 유부하의 출력 앰프의 과도 특성의 초기 파형과 무부하의 더미 앰프의 과도 특성의 초기 파형을 나타내는 그래프이다.
 도 8은, 본 발명의 제2의 실시의 형태와 관련되는 액정표시장치의 소스 드라이버의 구성의 일례를 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0019] 이하, 본 발명의 실시의 형태와 관련되는 액정표시장치의 소스 드라이버 및 그것을 이용한 액정표시장치에 관해서, 첨부 도면을 참조하여 설명한다.

[0020] (제1의 실시의 형태)

[0021] 본 발명의 제1의 실시의 형태와 관련되는 액정표시장치의 소스 드라이버 및 그것을 이용한 액정표시장치의 구성

에 관하여 설명한다. 도 3은, 본 발명의 제1의 실시의 형태와 관련되는 액정표시장치의 구성을 나타내는 블럭도이다. 액정표시장치(90)는, 콘트롤러(95), 액정 패널(96), 게이트 드라이버(97), 소스 드라이버(98)를 구비한다.

[0022] 콘트롤러(95)는, 클럭 신호(CLK), 제어 신호, 및 전원 전압을 게이트 드라이버(97)로, 클럭 신호(CLK), 제어 신호, 영상 데이터, 및 전원 전압을 소스 드라이버(98)로 각각 출력한다. 게이트 드라이버(97)는, 전원 전압이 공급되어, 클럭 신호에 동기하여 동작한다. 게이트 드라이버(97)는, 제어 신호에 근거하여, 액정 패널(96)의 복수의 게이트라인(91)을 구동한다. 다만, 콘트롤러(95)와 일체로 구성되어 있어도 된다. 그 경우, 회로 면적을 작게 할 수 있다. 소스 드라이버(98)는, 전원 전압이 공급되어, 클럭 신호에 동기하여 동작한다. 소스 드라이버(98)는, 제어 신호 및 영상 데이터에 근거하여, 액정 패널(96)의 복수의 데이터라인(92)을 구동한다. 다만, 콘트롤러(95)와 일체로 구성되어 있어도 된다. 그 경우, 회로 면적을 작게 할 수 있다.

[0023] 액정 패널(96)은, 복수의 게이트라인(91), 복수의 데이터라인(92), 및 복수의 화소(99)를 구비한다. 복수의 게이트라인(91)은, 서로 평행하게 제1 방향으로 연신(延伸)하고 있다. 복수의 데이터라인(92)은, 서로 평행하게 제1 방향에 수직인 제2 방향으로 연신하고 있다. 복수의 화소(99)는, 복수의 게이트라인(91)과 복수의 데이터라인(92)의 교차점 근방에 행렬상으로 배열되어 있다. 화소(99)는, 트랜지스터(93)와 액정을 가지는 화소 용량(94)을 포함한다. 트랜지스터(93)는, 게이트를 게이트라인(91)에, 소스/드레인의 한쪽을 데이터라인(92)에, 다른 한쪽을 화소 용량(94)의 한쪽의 단자에 각각 접속하고 있다. 화소 용량(94)의 다른 한 쪽의 COM 단자에는 대항 기관 전압 VCOM이 공급된다. 소스 드라이버(98)에 의한 데이터라인(92)의 구동에 의해, 화소 용량(94)의 게조 전압이 제어된다. 게이트 드라이버(97)에 의한 게이트라인(91)의 구동에 의해, 트랜지스터(93)의 온/오프가 제어된다. 액정 패널(96)은, 게이트 드라이버(97) 및 소스 드라이버(98)에 의해, 각각 복수의 게이트라인(91) 및 복수의 데이터라인(92)이 구동되어, 복수의 화소(99)에 영상 데이터에 대응하는 화상을 표시한다. 다만, 액정표시장치(90)로서는, 소스 드라이버(98) 이외는, 일반적인 구성을 이용할 수 있다.

[0024] 다음으로, 소스 드라이버(98)에 관하여 설명한다. 도 4(a)는, 본 발명의 제1의 실시의 형태와 관련되는 액정표시장치의 소스 드라이버의 구성의 일례를 나타내는 블럭도이다. 소스 드라이버(98)는, 소스 드라이버 IC(Integrated Circuit)이며, 정극측 γ 저항회로(12a), 부극측 γ 저항회로(12b), 정극측 DA 컨버터(11a), 부극측 DA 컨버터(11b), 정극 부극 페어 앰프(10), 바이어스 제어 회로(13)를 구비하고 있다. 이 도는, 홀수 번째의 데이터라인(92)용의 홀수 출력 앰프(22a)와 짝수 번째의 데이터라인(92)용의 짝수 출력 앰프(22b)를 한 개씩 가지는 정극 부극 페어 앰프(10)를 하나 꺼내어, 관련하는 회로와 함께 나타내는 도이며, 도트 반전 동작의 경우를 나타내고 있다.

[0025] 정극측 γ 저항회로(12a)는, +극성 γ 보정회로(미도시)로부터 적어도 2개의 감마 전압(예시: V1_10, V1_18)이 공급되고, 그 분압 등에 의해 복수의 정극 참조 전압 V1_10~V1_18을 생성한다. 부극측 γ 저항회로(12b)는, -극성 γ 보정회로(미도시)로부터 적어도 2개의 감마 전압(예시: V1_1, V1_9)이 공급되어, 그 분압 등에 의해 복수의 부극 참조 전압 V1_1~V1_9를 생성한다. 정극측 DA 컨버터(11a)는, 정극측 γ 저항회로(12a)로부터 공급되는 복수의 정극 참조 전압에 근거해서, 입력된 영상데이터에 대응한 정극 참조 전압을 선택하여, 정극 부극 페어 앰프(10)로 출력한다. 부극측 DA 컨버터(11b)는, 부극측 γ 저항회로(12b)로부터 공급되는 복수의 부극 참조 전압에 근거해서, 입력된 영상 데이터에 대응한 부극 참조 전압을 선택하여, 정극 부극 페어 앰프(10)로 출력한다.

[0026] 정극 부극 페어 앰프(10)는, 입력 전환 스위치(21), 출력 앰프(22)(홀수 출력 앰프(22a), 짝수 출력 앰프(22b)), 출력 스위치(23a, 23b), 출력 단자(24a, 24b)를 구비하고 있다. 입력 전환 스위치 회로(21)는, 선택된 정극 참조 전압 및 부극 참조 전압 중, 어느 한쪽을 홀수 출력 앰프(22a)의 비반전 입력 단자(+)로, 다른 한쪽을 짝수 출력 앰프(22b)의 비반전 입력 단자(+)로, 극성 반전 제어 신호 POL에 따라 전환하여 각각 출력한다. 홀수 출력 앰프(22a) 및 짝수 출력 앰프(22b)는, 출력 단자(SK11, SG11)를 각각의 반전 입력 단자(-)에 접속되고 있다. 홀수 출력 앰프(22a) 및 짝수 출력 앰프(22b)는, 각각 공급된 정극 참조전압 및 부극 참조 전압을 연산 증폭한다. 그리고, 그러한 결과를 출력 SKOUT11, SGOUT11로서 출력 스위치(23a, 23b)를 개재하여 출력 단자(24a, 24b)로부터 표시 패널 부하(51a, 51b)(액정 패널(96)에 대응)로 출력한다. 출력 스위치(23a, 23b)는, 스트로브 신호(STB)(로우 레벨로 앰프 출력이 출력 단자에 접속되어 하이레벨에서 출력 단자가 하이 임피던스가 되도록 제어하는 신호)로 제어된다. 홀수 출력 앰프(22a) 및 짝수 출력 앰프(22b)는, 그 바이어스 전압을 바이어스 제어 회로(13)로 제어되고 있다. 홀수 출력 앰프(22a)와 짝수 출력 앰프(22b)는, 전기적 특성 및 구조(레이아웃)는 실질적으로 같다.

[0027] 바이어스 제어 회로(13)는, 정극측 γ 저항회로(12a) 및 부극측 γ 저항회로(12b)로부터의 참조 전압, 및 콘트롤

러(95)로부터의 극성 반전 제어 신호 POL에 근거하여, 홀수 출력 앰프(22a) 및 짝수 출력 앰프(22b)에 인가하는 복수의 바이어스 전압을 제어한다. 바이어스 제어 회로(13)는, 입력 전환 스위치(31), 더미 앰프(32), 콤퍼레이터(33, 34), EXOR 회로(35), 앰프용 바이어스 회로(37)를 구비하고 있다.

[0028] 입력 전환 스위치(31)는, 정극측 γ 저항회로(12a)의 참조 전압 중 최고 전압 V1_18과 부극측 γ 저항회로(12b)의 참조 전압 중 최저 전압 V1_1을 공급한다. 그리고, 최고 전압 V1_18 및 최저 전압 V1_1을, 더미 앰프(32)의 비 반전 입력 단자(+)로, 극성 반전 제어 신호 POL의 주기로 전환하여 교대로 출력한다.

[0029] 더미 앰프(32)는, 극성 반전 제어 신호 POL의 주기로 교대로 최고 전압 V1_18 및 최저 전압 V1_1이 공급된다. 더미 앰프(32)는, 공급되는 전압을 연산 증폭하고, 그 결과로서의 출력 AMPD11_OUT을 콤퍼레이터(33, 34)의 반전 입력 단자(-)로 출력한다. 더미 앰프(32)는, 그 출력 단자가 그 반전 입력 단자(-)에 접속되어 있다. 더미 앰프(32)는, 후술하는 이유로부터, 출력 앰프(22)(홀수 출력 앰프(22a), 짝수 출력 앰프(22b))와 정합성이 있는 전기적 특성을 가지고 있다. 정합성이 있는 전기적 특성이란, 후술하는 출력 전이 상태(기간이나 파형)가, 실질적으로 같게 되는 것을 말한다. 그것에는, 출력 앰프(22)와 실질적으로 같은 구조(레이아웃)를 가지고 있는 것이 바람직하다. 더하여, 출력 앰프(22)의 근방에 설치되고 있는 것이 더욱 바람직하다. 다만, 실질적으로 같다는 것은, 예를 들면, 제조 오차의 범위 내에서 같다는 의미이다.

[0030] 콤퍼레이터(33)는, 더미 앰프(32)의 출력을 반전 입력 단자(-)에, 최고 전압 V1_18보다 조금 아래의 전압 V1_18M을 비반전 입력 단자(+)에 각각 공급한다. 그리고, 그 비교 결과로서의 출력 COM11OUT을 EXOR 회로(35)의 한쪽의 입력으로 출력한다. 한편, 콤퍼레이터(34)는, 더미 앰프(32)의 출력을 반전 입력 단자(-)에, 최저전압 V1_1보다 조금 위의 전압 V1_1P를 비반전 입력 단자(+)에 각각 공급한다. 그리고, 그 비교 결과로서의 출력 COM12OUT을 EXOR 회로(35)의 다른 한쪽의 입력으로 출력한다.

[0031] EXOR 회로(35)는, 2 입력이며, 콤퍼레이터(33, 34)의 출력 COM11OUT, COM12OUT이 공급된다. 그리고, 그들 출력 COM11OUT, COM12OUT을 EXOR 연산하고, 그 결과로서의 출력 PWRC를 앰프용 바이어스 회로(37)로 출력한다.

[0032] 앰프용 바이어스 회로(37)는, 더미 앰프(32)의 출력 AMPD11_OUT이 전압 V1_18M과 전압 V1_1P의 사이에 있을 때, 즉, 출력 COM11OUT이 High 레벨 또한 출력 COM12OUT이 Low 레벨에 의해, 출력 PWRC가 High 레벨이 될 때, 홀수 출력 앰프(22a) 및 짝수 출력 앰프(22b)를 고바이어스로 하도록 제어한다. 한편, 더미 앰프(32)의 출력 AMPD11_OUT이 전압 V1_18M보다 크거나, 또는 전압 V1_1P보다 작을 때, 즉, 출력 COM11OUT이 Low 레벨 또한 출력 COM12OUT이 Low 레벨, 또는, 출력 COM11OUT이 High 레벨 또한 출력 COM12OUT이 High 레벨에 의해, 출력 PWRC가 Low 레벨일 때, 홀수 출력 앰프(22a) 및 짝수 출력 앰프(22b)를 저바이어스로 하도록 제어한다. 이 동작은 도트 반전이다.

[0033] 여기서, 더미 앰프(32)로서는, 소스 드라이버부의 출력 앰프 배열에 기인하여 발생하는 편차 확대의 방지를 위해 출력 앰프 배열의 가장 끝단에 배치되는 더미 앰프를 이용하는 것이 바람직하다. 이 더미 앰프는, 출력 앰프(22)와 완전히 같은 회로 구성과 레이아웃 구성이 되어 있다. 즉, 출력 앰프(22)와 같은 전기적 특성을 가지고 있기 때문이다. 또한, 출력 앰프(22)의 근방에 설치되어 있기 때문이다. 더하여, 더미 앰프를 유효 이용함으로써 회로 면적의 증대를 억제할 수 있기 때문이다. 그러한 더미 앰프에 관하여 상세하게 설명한다.

[0034] 도 4(b)는, 본 발명의 제1의 실시의 형태와 관련되는 액정표시장치의 소스 드라이버의 구성의 일례를 나타내는 모식도이다. 통상의 소스 드라이버(IC)(98)는, 정극 부극 페어 앰프(10)(홀수 출력 앰프(22a)와 짝수 출력 앰프(22b))를 수백개 나열하여 설치되어 있다. 예를 들면, 960 출력(홀수 출력 앰프(22a)와 짝수 출력 앰프(22b) 각각 480개)의 소스 드라이버의 경우, 240 출력(홀수 출력 앰프(22a)와 짝수 출력 앰프(22b) 각각 120개)×4블록과 같은 레이아웃 배치를 실시한다. 그 경우, 예를 들면, 240번째의 출력(제1번째의 블록 61-1의 정극 부극 페어 앰프(10)에 속한다)과 241번째의 출력(제2번째의 블록 61-2의 정극 부극 페어 앰프(10)에 속한다)의 사이의 블록의 틈새에는, 회로(60)(예시:제어 회로)를 설치하는 것을 생각할 수 있다. 여기서, 각 블록(61) 내에서는, 인접하는 소자가 출력 앰프(22)(홀수 출력 앰프(22a) 및 짝수 출력 앰프(22b))이며, 레이아웃이 실질적으로 동일하다. 그 때문에, 제조적인 면에서 균일성이 유지되어, 소자간의 성능의 편차를 낮게 억제할 수 있다. 그러나, 블록(61)끼리의 사이에서는 출력 앰프(22)의 근처에 다른 회로(60)가 들어가, 인접하는 레이아웃이 다르다. 그 때문에, 제조적인 면에서 균일성이 유지되지 않고, 이것이 소자간의 성능의 편차의 증대의 원인이 되는 일이 있다. 따라서, 블록(61)끼리의 틈새, 즉, 출력 앰프(22)끼리의 틈새에, 출력 앰프(22)와 실질적으로 동일한 레이아웃을 가지는 더미 앰프를 배치하는 것이 바람직하다. 그에 의해, 출력 앰프(22) 간의 성능의 편차, 특히 블록 단부에서의 편차를 낮게 억제할 수 있다.

- [0035] 본 실시의 형태에서는, 이 블록(61)끼리의 틈새에 마련한 더미 앰프를, 바이어스 제어 회로(13)의 소자인 더미 앰프(32)로서 동작시키는 것이 바람직하다. 이 경우, 출력 앰프(22)(홀수 출력 앰프(22a) 및 짝수 출력 앰프(22b))와 더미 앰프(32)는 실질적으로 동일한 레이아웃(및 동일한 전기적 특성)이기 때문에, 그 더미 앰프(32)에서의 전압의 상승/하강 기간이, 출력 앰프(22)에서의 전압의 상승/하강 기간과 대체로 동일하다고 하여, 출력 앰프(22)의 슬루레이트를 컨트롤하는 「기간」(출력 앰프(22)의 바이어스 전류를 업시키는 기간)을 결정한다. 또한, 더미 앰프(32)를 출력 앰프(22)의 근방에 마련함으로써, 더미 앰프(32)의 제조 불균일이, 출력 앰프(22)의 제조 불균일을 반영하고 있다고 하여, 출력 앰프(22)의 제조 불균일에 추종한 「기간」을 만들 수 있다.
- [0036] 이러한 회로 구성으로 함으로써, 더미 앰프(32)의 출력 AMPD110UT이 전압 V1_18M과 전압 V1_1P의 사이에 있는 기간, 즉, 출력 앰프(22)(홀수 출력 앰프(22a) 및 짝수 출력 앰프(22b))의 출력이 천이하는 시간에만, 출력 앰프(22)의 바이어스 전류를 올릴 수 있다. 이 때, 더미 앰프(32)를 사용함으로써 출력 앰프(22)의 슬루레이트의 제조 불균이나 바이어스 조정에 의한 슬루레이트 변화에 추종한 슬루레이트를 컨트롤하는, 즉, 제조 불균일에 영향을 받지 않고, 출력 앰프(22)의 출력이 천이하는 기간 중에만 정확하게 바이어스 전류를 올리는 시간을 만들 수 있다.
- [0037] 다음으로, 출력 앰프(22)(홀수 출력 앰프(22a) 및 짝수 출력 앰프(22b))의 구성에 관하여 설명한다. 도 5는, 본 발명의 제1의 실시의 형태와 관련되는 출력 앰프의 구성의 일례를 나타내는 회로도이다. 이 도에서 예시되는 출력 앰프는, Rail-to-rail 차동증폭회로이며, 입력 차동단(41)과, 중간단(42)과, 출력단(43)을 구비하고 있다.
- [0038] 입력 차동단(41)은, 입력 차동단(41A, 41B)을 구비하고 있다. 입력 차동단(41A)은, 정전류원(ICS41)과 Nch 차동쌍(T1, T2)을 구비하고 있다. 정전류원(ICS41)은, 제1 단자를 접지에 접속되어 있다. Nch 차동쌍(T1, T2)은, 그 공통 소스에 정전류원(ICS41)의 제2 단자가 접속되어 있다. Nch 차동쌍(T1, T2)의 출력쌍은, 중간단(42)의 커런트밀러 회로(42A)에 접속되어 있다. Nch 차동쌍(T1, T2)은, 양입력 단자(INP41)=비반전 입력단(+)이 트랜지스터(T2)의 게이트에 접속되고, 부입력 단자(INN41)=반전 입력단(-)이 트랜지스터(T1)의 게이트가 접속되어 있다. 정전류원(ICS41)은, 앰프용 바이어스 회로(37)로부터, 정전류원(ICS41)용의 바이어스 전압 Vb1을 공급받아, 그 전류량이 제어된다.
- [0039] 입력 차동단(41B)은, 정전류원(ICS42)과 Pch 차동쌍(T3, T4)을 구비하고 있다. 정전류원(ICS42)은, 제1 단자가 전원 전압 VDD2에 접속되어 있다. Pch 차동쌍(T3, T4)은, 그 공통 소스에 정전류원(ICS42)의 제2 단자가 접속되어 있다. Pch 차동쌍(T3, T4)의 출력쌍은, 중간단(42)의 커런트밀러 회로(42B)에 접속되어 있다. Pch 차동쌍(T3, T4)은, 정입력 단자(INP41)=비반전 입력단(+)이 트랜지스터(T4)의 게이트에 접속되고, 부입력 단자(INN41)=반전 입력단(-)이 트랜지스터(T3)의 게이트에 접속되어 있다. 정전류원(ICS42)은, 앰프용 바이어스 회로(37)로부터, 정전류원 ICS42용의 바이어스 전압 Vb2를 공급받아, 그 전류량이 제어된다.
- [0040] 중간단(42)은, 커런트밀러 회로(42A)와, 커런트밀러 회로(42B)와, 정전류원(ICS43)과, 부유 전류원(ICS44)을 구비하고 있다. 정전류원(ICS43)은, 앰프용 바이어스 회로(37)로부터, 정전류원(ICS43)용의 바이어스 전압 Vb3, Vb4을 공급받아, 그 전류량이 제어된다. 부유 전류원(ICS44)은, 앰프용 바이어스 회로(37)로부터, 부유 전류원(ICS44)용의 바이어스 전압 Vb5, Vb6을 공급받아, 그 전류량이 제어된다.
- [0041] 커런트밀러 회로(42A)는, 트랜지스터(M5, M8, M7, M8)로 구성된다. 트랜지스터(T5, T6)(모두 Pch)는 게이트가 서로 접속되어, 소스가 전원 전압 VDD2에 접속되며, 드레인이 각각 트랜지스터(T7, T8)의 소스에 접속되어 있다. 트랜지스터(T7, T8)(모두 Pch)는 게이트가 서로 접속되며, 드레인이 각각 정전류원(ICS43), 부유 전류원(ICS44)의 일단에 접속되어 있다. 트랜지스터(T5, T6)는 또한 게이트가 트랜지스터(T7)의 드레인에 접속되어 있다. 드레인이 Nch 차동쌍(T1, T2)의 출력쌍에 접속되어 있다. 커런트밀러 회로(42A)는, 앰프용 바이어스 회로(37)으로부터, 커런트밀러 회로(42A)용의 바이어스 전압 VBIASP를 트랜지스터(T7, T8)의 게이트로 공급받아, 그 전류량이 제어된다.
- [0042] 커런트밀러 회로(42B)는, 트랜지스터(M9, M10, M11, M12)로 구성된다. 트랜지스터(T11, T12)(모두 Nch)는 게이트가 서로 접속되고, 소스가 접지에 접속되며, 드레인이 각각 트랜지스터(T9, T10)의 소스에 접속되어 있다. 트랜지스터(T9, T10)(모두 Nch)는 게이트가 서로 접속되고, 드레인이 각각 정전류원(ICS43), 부유 전류원(ICS44)의 타단에 접속되어 있다. 트랜지스터(T11, T12)는 또한 게이트를 트랜지스터(T9)의 드레인에 접속되어 있다. 드레인이 Pch 차동쌍(T3, T4)의 출력쌍에 접속되어 있다. 커런트밀러 회로(42B)는, 앰프용 바이어스 회로(37)로부터, 커런트밀러 회로(42B)용의 바이어스 전압 VBIASN를 트랜지스터(T9, T10)의 게이트로 공급받아, 그 전류량이 제어된다.

- [0043] 출력단(43)은, 푸시풀 출력단이며, 트랜지스터(T13(Pch), T14(Nch))를 구비하고 있다. 트랜지스터(T13)는, 커런트밀러 회로(42A)의 출력단(T8의 드레인측)과 부유 전류원(ICS44)의 일단의 접속점에 게이트가, 전원 전압 VDD2에 소스가, 및 앰프 출력 단자(OUT41)에 드레인이 각각 접속되어, 충전 작용을 가지고 있다. 트랜지스터(T14)는, 커런트밀러 회로(42B)의 출력단(T10의 드레인측)과 부유 전류원(ICS44)의 타단과의 접속점에 게이트가, 접지에 소스가, 및 앰프 출력 단자(OUT41)에 드레인이 각각 접속되어, 방전 작용을 가지고 있다. 위상 보상 용량(C41)은, 일단이 트랜지스터 M6의 드레인에, 타단이 앰프 출력 단자(OUT41)에 각각 접속되어 있다. 위상 보상 용량(C42)은, 일단이 트랜지스터(M12)의 드레인에, 타단이 앰프 출력 단자(OUT41)에 각각 접속되어 있다. 앰프 출력 단자(OUT41)는, 출력 스위치 등(미도시)을 개재하여, 표시 패널 부하(51)(액정 패널(96)에 대응)에 접속된다.
- [0044] 앰프 정입력 단자(INP41)(비반전 입력(+))가 저전압에서 고전압으로 변화할 때, 입력 차동단(41B)에서는 전류의 대부분이 트랜지스터(T3)로 흘러, 트랜지스터(T11)에 흐르는 전류가 증가한다. 그 때문에, 커런트밀러 회로(42B)에 의해 트랜지스터(T10, T12)에 흐르는 전류도 증가하여, 트랜지스터(T14)의 게이트 전압이 낮아지고, 트랜지스터(T14)에 흐르는 전류가 감소하여, 표시 패널 부하(51)의 인입 전류가 감소한다. 한편, 입력 차동단(41A)에서는 전류의 대부분이 트랜지스터(T2)로 흘러, 트랜지스터(T8)로 흐르는 전류가 감소한다. 그 때문에, 트랜지스터(T13)의 게이트 전압이 낮아지고, 트랜지스터(T13)에 흐르는 전류가 증가하여, 표시 패널 부하(51)를 충전한다. 이들에 의해, 표시 패널 부하(51)가 충전되어, 앰프 출력 단자(UT41)의 출력전압이 상승한다.
- [0045] 이 때, 앰프용 바이어스 회로(37)는, 정전류원(ICS41, ICS42, ICS43), 부유 전류원(ICS44), 커런트밀러 회로(42A, 42B)의 전류가 통상의 경우와 비교하여 증가하도록(예시: 통상 동작 시 100%에 대해서 200%가 되도록), Vb1~Vb6, VBIASP, VBIASN을 제어한다. 예를 들면, 앰프용 바이어스 회로(37)는, 통상 동작 시에는 Vb1₀, Vb2₀, Vb3₀, Vb4₀, Vb5₀, Vb6₀, VBIASP₀, VBIASN₀을 출력하고, 전압 변화 시에는 Vb1₁, Vb2₁, Vb3₁, Vb4₁, Vb5₁, Vb6₁, VBIASP₁, VBIASN₁을 출력한다.
- [0046] 그 결과, 트랜지스터(T3)에 흐르는 전류가 보다 증가하고, 트랜지스터(T11)에 흐르는 전류가 보다 증가하고, 커런트밀러 회로(42B)에 의해 트랜지스터(T10, T12)에 흐르는 전류도 보다 증가하고, 트랜지스터(T13, T14)의 게이트 전압이 보다 빠르게 낮아지고, 트랜지스터(M13)에 흐르는 전류가 보다 한층 증가하고, 표시 패널 부하(51)를 급속히 충전하여, 앰프 출력 단자(UT41)의 출력전압이 보다 급격하게 상승한다. 따라서, 슬루레이트를 향상할 수 있다.
- [0047] 또한, 앰프 정입력 단자(INP41)(비반전 입력(+))가 고전압에서 저전압으로 변화할 때, 입력 차동단(41B)에서는 전류의 대부분이 트랜지스터(T4)에 흘러, 트랜지스터(T10)에 흐르는 전류가 감소한다. 그 때문에, 트랜지스터(T14)의 게이트 전압이 상승하여 트랜지스터(T14)에 흐르는 전류가 증가하고, 표시 패널 부하(51)의 인입 전류가 증가한다. 한편, 입력 차동단(41A)에서는 전류의 대부분이 트랜지스터(T1)로 흘러, 트랜지스터(T5, T7)에 흐르는 전류가 증가한다. 그 때문에, 커런트밀러 회로(42A)에 의해 트랜지스터(T6, T8)에 흐르는 전류도 증가하고, 트랜지스터(T15)의 게이트 전압이 올라, 트랜지스터(M15)에 흐르는 전류가 감소하여, 표시 패널 부하(51)에 대한 충전 속도가 감소한다. 이들에 의해, 표시 패널 부하(51)가 방전되어 출력전압 VOUT이 하강한다.
- [0048] 이 때에도, 상술한 경우와 같이, 앰프용 바이어스 회로(37)는, 정전류원(ICS41, ICS42, ICS43), 부유 전류원(ICS44), 커런트밀러 회로(42A, 42B)의 전류가 통상의 경우와 비교하여 증가하도록(예시: 통상 동작 시 100%에 대해서 200%가 되도록), Vb1~Vb6, VBIASP, VBIASN을 제어한다. 예를 들면, 앰프용 바이어스 회로(37)는, 통상 동작 시에는 Vb1₀, Vb2₀, Vb3₀, Vb4₀, Vb5₀, Vb6₀, VBIASP₀, VBIASN₀을 출력하고, 전압 변화시에는 Vb1₁, Vb2₁, Vb3₁, Vb4₁, Vb5₁, Vb6₁, VBIASP₁, VBIASN₁을 출력한다.
- [0049] 그 결과, 트랜지스터(T1)에 흐르는 전류가 보다 증가하고, 트랜지스터(T5)에 흐르는 전류가 보다 증가하고, 커런트밀러 회로(42A)에 의해 트랜지스터(T6, T8)에 흐르는 전류도 보다 증가하고, 트랜지스터(T13, T14)의 게이트 전압이 빠르게 상승하여, 트랜지스터(T14)에 흐르는 전류가 보다 한층 증가하고, 표시 패널 부하(51)를 급속히 방전하여, 앰프 출력 단자(UT41)의 출력전압이 급격하게 하강한다. 따라서, 슬루레이트를 향상할 수 있다.
- [0050] 이와 같이, 바이어스 제어 회로(13)(앰프용 바이어스 회로(37))는, 출력 앰프(22)(홀수 출력 앰프(22a) 및 짝수 출력 앰프(22b))에 있어서, 정전류원(ICS41, 42, 43), 부유 전류원(ICS44), 커런트밀러 회로(42A, 42B)의 전류를 증가시키므로써, 전류를 증가시키지 않는 경우와 비교하여, 앰프 출력 단자(OUT41)의 출력전압을 급격하게 상승 또는 하강시킬 수 있다. 즉, 슬루레이트를 향상할 수 있다.

- [0051] 또한, 정전류원(ICS41, 42, 43), 부유 전류원(ICS44)은, 바이어스 제어 회로(37)로부터의 바이어스 전압 Vb1~Vb6으로 전류를 제어할 수 있는 것이라면, 어떠한 회로로 실현되어도 된다. 다만, 각 바이어스 전압 Vb1~Vb, VBIASP, VBIASN의 각 값은, 각 전류원에 따라 적절히 설정되며, 서로 동일할 필요는 없다. 또한, 각 정전류원을 제어하는 바이어스 전압의 수는 이 도면의 예로 한정되는 것이 아니며, 이용되는 회로에 따라 적당히 선택 가능하다.
- [0052] 다음으로, 본 발명의 제1의 실시의 형태와 관련되는 액정표시장치의 소스 드라이버의 동작에 관하여 설명한다. 도 6은, 본 발명의 제1의 실시의 형태와 관련되는 액정표시장치의 소스 드라이버의 동작의 일례를 나타내는 타이밍 차트이다. (a)는 로우 레벨로 앰프 출력이 출력 단자에 접속되며, 하이레벨에서 출력 단자가 하이 임피던스가 되도록 제어하는 스트로브 신호(STB), (b)는 홀수 출력 앰프(22a)의 출력 SKOUT11(실선), 및, 짝수 출력 앰프(22b)의 출력 SGOUT11(파선), (c)는 더미 앰프(32)의 출력 AMPD11OUT, (d)는 콤퍼레이터(33)의 출력 COM11OUT, (e)는 콤퍼레이터(34)의 출력 COM12OUT, (f)는 EXOR 회로(35)의 출력 PWRC를 각각 나타내고 있다.
- [0053] 여기에서는, 동작으로서, 홀수 출력 앰프(22a)의 경우를 예로 들어 설명한다. 홀수 출력 앰프(22a)의 출력(출력 SKOUT11 (b) 실선)이, 스트로브 신호(STB) (a)의 입력(시각 t1)에 의해, 정부(正負) 반전하고, 부극측 DA 컨버터(11b)로부터의 전압 V1_n(n은 1~9 중 어느 하나)으로부터 정극측 DA 컨버터(11a)로부터의 전압 V1_m(n은 10~18 중 어느 하나)으로 변화하는 경우를 생각한다. 또한, 짝수 출력 앰프(22b)(출력 SGOUT11(b) 파선)는, 홀수 출력 앰프(22a)의 경우와 반대로 된다.
- [0054] 시각 t1에 있어서, 극성 반전 제어 신호 POL(도 6에 미도시)의 입력에 의해, 입력 전환 스위치(31)는, 최고 전압 V1₁₈측의 스위치를 온으로 하고, 최저 전압 V1₁측의 스위치를 오프로 한다. 그 결과, 입력 전환 스위치(31)는, 최고 전압 V1₁₈을 더미 앰프(32)의 비반전 입력 단자(+)에 공급한다. 더미 앰프(32)는, 최고 전압 V1₁₈가 공급되면, 연산 증폭(1배)의 동작을 실행하여, 콤퍼레이터(33, 34)로 출력한다.
- [0055] 시각 t1~t2에 있어서는, 더미 앰프(32)의 출력 AMD11_OUT(c)는, 당초의 최저 전압 V1₁로부터 과도적으로 상승해 가지만, 전압 V1_{1P} 미만이다. 그 때문에, 콤퍼레이터(33)의 출력 COMP11OUT(d)는 High 레벨, 콤퍼레이터(34)의 출력 COMP12OUT(e)는 High 레벨이다. 그 결과, EXOR 회로(35)의 출력 PWRC(f)는 Low 레벨이 된다. 앰프용 바이어스 회로(37)는, EXOR 회로(35)의 출력 PWRC(f)에 응답하고, 출력 앰프(22)(홀수 출력 앰프(22a) 및 짝수 출력 앰프(22b))로, 저바이어스로 하는 바이어스 전압 Vb1~Vb6, VBIASP, VBIASN을 출력한다. 저바이어스의 바이어스 전압은, 통상 동작으로의 바이어스 전압이다. 그 결과, 각 정전류원은, 통상 동작으로의 전류(바이어스 전류)를 공급한다. 여기서, 각 전류원은, 정전류원(ICS41), ICS42, ICS43, 부유 전류원(ICS44), 커런트밀러 회로(42A, 42B)이다.
- [0056] 시각 t2~t3에 있어서는, 더미 앰프(32)의 출력 AMD11_OUT(c)는, 더욱 과도적으로 상승하여, 전압 V1_{1P}~V1_{18M}의 범위의 값이다. 그 때문에, 콤퍼레이터(33)의 출력 COMP11OUT(d)는 High 레벨, 콤퍼레이터(34)의 출력 COMP12OUT(e)는 Low 레벨이다. 그 결과, EXOR 회로(35)의 출력 PWRC(f)는 High 레벨이 된다. 앰프용 바이어스 회로(37)는, EXOR 회로(35)의 출력 PWRC(f)에 응답하여, 홀수 출력 앰프(22a) 및 짝수 출력 앰프(22b)로, 고바이어스로 하는 바이어스 전압 Vb1~Vb6, VBIASP, VBIASN을 출력한다. 고바이어스의 바이어스 전압은, 각 전류원이 통상 동작으로 흘리는 전류(바이어스 전류)보다 큰 전류를 흘릴 수 있는 바이어스 전압이다. 출력 앰프(22)(홀수 출력 앰프(22a) 및 짝수 출력 앰프(22b))는, 바이어스 전류가 높을수록 슬루레이트가 빨라진다. 따라서, 더미 앰프(32)가 천이하고 있는 시간만 출력 앰프(홀수 출력 앰프(22a) 및 짝수 출력 앰프(22b))의 바이어스 전류를 업하여, 슬루레이트를 빠르게 하도록 하고 있다.
- [0057] 시각 t3~t4에 있어서는, 더미 앰프(32)의 출력 AMD11_OUT(c)는, 더욱 과도적으로 상승하여, 전압 V1_{18M}를 넘어 전압 V1₁₈에 이른다. 그 때문에, 콤퍼레이터(33)의 출력 COMP11OUT(d)는 Low 레벨, 콤퍼레이터(34)의 출력 COMP12OUT(e)는 Low 레벨이다. 그 결과, EXOR 회로(35)의 출력 PWRC(f)는 Low 레벨이 된다. 앰프용 바이어스 회로(37)는, EXOR 회로(35)의 출력 PWRC(f)에 응답하고, 홀수 출력 앰프(22a) 및 짝수 출력 앰프(22b)에, 저바이어스로 하는 바이어스 전압 Vb1~Vb6, VBIASP, VBIASN을 출력한다. 저바이어스의 바이어스 전압은, 통상 동작으로의 바이어스 전압이다.
- [0058] 다음으로, 홀수 출력 앰프(22a)의 출력(출력 SKOUT11(b) 실선)이, 스트로브 신호(STB)(a)의 입력(시각 t5)에 의해, 정부 반전하고, 정극측 DA 컨버터(11a)로부터의 전압 V1_m으로부터 부극측 DA 컨버터(11b)로부터의 전압 V1_n으로 변화하는 경우를 생각한다. 또한, 이미 기술한 바와 같이, 짝수 출력 앰프(22b)는, 홀수 출력 앰프(22a)의 경우와 반대로 된다.

- [0059] 시각 t5에 있어서, 극성 반전 제어 신호 POL(도 6에 미도시)의 입력에 의해, 입력 전환 스위치(31)는, 최고 전압 V1_18측의 스위치를 오프로 하고, 최저 전압 V1_1측의 스위치를 온으로 한다. 그 결과, 입력 전환 스위치(31)는, 최저 전압 V1_1을 더미 앰프(32)의 비반전 입력 단자(+)에 공급한다. 더미 앰프(32)는, 최저 전압 V1_1이 공급되면, 연산 증폭(1배)의 동작을 실행하여, 콤퍼레이터(33, 34)로 출력한다.
- [0060] 시각 t5~t6에 있어서는, 더미 앰프(32)의 출력 AMD11_OUT(c)는, 당초의 최고 전압 V1_18으로부터 과도적으로 하강해 가지만, 전압 V1_18M 이상이다. 그 때문에, 콤퍼레이터(33)의 출력 COMP11OUT(d)는 Low 레벨, 콤퍼레이터(34)의 출력 COMP12OUT(e)는 Low 레벨이다. 그 결과, EXOR 회로(35)의 출력 PWRC(f)는 Low 레벨이 된다. 앰프용 바이어스 회로(37)는, EXOR 회로(35)의 출력 PWRC(f)에 응답하여, 홀수 출력 앰프(22a) 및 짝수 출력 앰프(22b)로, 저바이어스로 하는 바이어스 전압 Vb1~Vb6, VBIASP, VBIASN을 출력한다.
- [0061] 시각 t6~t7에 있어서는, 더미 앰프(32)의 출력 AMD11_OUT(c)는, 더욱 과도적으로 하강하여, 전압 V1_1P~V1_18M의 범위의 값이다. 그 때문에, 콤퍼레이터(33)의 출력 COMP11OUT(d)는 High 레벨, 콤퍼레이터(34)의 출력 COMP12OUT(e)는 Low 레벨이다. 그 결과, EXOR 회로(35)의 출력 PWRC(f)는 High 레벨이 된다. 앰프용 바이어스 회로(37)는, EXOR 회로(35)의 출력 PWRC(f)에 응답하고, 홀수 출력 앰프(22a) 및 짝수 출력 앰프(22b)로, 고바이어스로 하는 바이어스 전압 Vb1~Vb6, VBIASP, VBIASN을 출력한다.
- [0062] 시각 t7~t8에 있어서는, 더미 앰프(32)의 출력 AMD11_OUT(c)는, 더욱 과도적으로 하강하고, 전압 V1_1P미만이 되어 전압 V1_1에 이른다. 그 때문에, 콤퍼레이터(33)의 출력 COMP11OUT(d)는 High 레벨, 콤퍼레이터(34)의 출력 COMP12OUT(e)는 High 레벨이다. 그 결과, EXOR 회로(35)의 출력 PWRC(f)는 Low 레벨이 된다. 앰프용 바이어스 회로(37)는, EXOR 회로(35)의 출력 PWRC(f)에 응답하고, 홀수 출력 앰프(22a) 및 짝수 출력 앰프(22b)로, 저바이어스로 하는 바이어스 전압 Vb1~Vb6, VBIASP, VBIASN을 출력한다.
- [0063] 이상과 같이 함으로써, 시각 t2~t3, t6~t7(출력 천이 기간)에 있어서, 더미 앰프(32)의 출력 AMPD11_OUT이 전압 V1_1P와 전압 V1_18M와의 사이에 있을 때는, 출력 앰프(22)(홀수 출력 앰프(22a) 및 짝수 출력 앰프(22b))를 고바이어스로 하도록 제어한다. 이 동작은 도트 반전이다. 또한, 도 6은, 상승 시간 τ_{up} 하강 시간 τ_{down} 으로 가정하여 설명하고 있다. 출력 앰프(22)(홀수 출력 앰프(22a) 및 짝수 출력 앰프(22b))는 바이어스 전류가 높을수록 슬루레이트가 빨라지기 때문에, 더미 앰프(32)가 천이하고 있는 시간만 출력 앰프(32)(홀수 출력 앰프(22a) 및 짝수 출력 앰프(22b))의 바이어스 전류가 업된다.
- [0064] 여기서, 발명자는, 여러 가지의 검토에 의해, 이하의 지견을 얻기에 이르렀다. 즉, 우선, 고바이어스 기간의 개시는, 더미 앰프(32)의 출력 천이 개시와 동시(예시: 시각 t1), 혹은 출력 천이 개시로부터 소정 시간의 경과 후(예시: 시각 t2)가 바람직하다. 또한, 고바이어스 기간의 종료는, 더미 앰프(32)의 출력 천이 개시 후, 출력 AMPD11_OUT이 소정 전압 V1_18 혹은 V1_1으로 가능한 가까운 전압(V1_18M 혹은 V1_1P)이 될 때까지(예시: 시각 t3)의 동안인 것이 바람직하다. 그리고, 콤퍼레이터(33, 34)의 입력 읍셋 전압을 충분히 웃도는 전압을 Vcomoff로 했을 경우, V1_18M=V1_18-Vcomoff, V1_1P=V1_1+Vcomoff로 설정하여, 고바이어스 기간의 종료로 하는 것이 바람직하다.
- [0065] 그 이유는, 이하와 같다. 즉, 고바이어스 기간은 출력 앰프(22)(홀수 출력 앰프(22a) 및 짝수 출력 앰프(22b))내의 위상 보상 용량(C41, C42)으로의 충방전 개시부터 종료까지의 기간, 즉, 앰프 출력(SKOUT11 및 SGOUT11)의 상승 또는 하강 파형의 기울기를 지배적으로 결정하는 기간에 필요 충분한 것, 및, 이 출력 앰프(22)(홀수 출력 앰프(22a) 및 짝수 출력 앰프(22b))와 거의 같은 특성으로 무부하인 더미 앰프(32)의 과도 특성의 초기가 출력 앰프의 그것과 거의 차이가 없는 것이다. 이러한 것은, 더미 앰프(32)에 부하를 접속하지 않아도 되는 것의 이유이기도 하다. 그 때문에, 도 4(a)에서는, 이러한 일에 대응시켜서, 콤퍼레이터(33, 34)에 있어서 비교되는 전압치가 V1_18M 및 V1_1P가 되고 있다.
- [0066] 또한, 출력 앰프(22)의 슬루레이트의 제조 불균일에 더미 앰프(32)의 슬루레이트가 추종하는 점도 형편상 좋다. 도 7은, 유부하의 출력 앰프의 과도 특성의 초기 파형과 무부하의 더미 앰프의 과도 특성의 초기 파형을 나타내는 그래프이다. 종축은 전압, 횡축은 시간을 각각 나타내고 있다. 곡선 A는, 무부하의 경우에서의 출력 단자(24)에서의 전압 파형이다. 곡선 B는, 부하 10k Ω +350pF의 경우에서의 앰프 출력 직후의 전압 파형이다. 곡선 C는, 부하 10k Ω +250pF의 경우에서의 출력 단자(24)에서의 전압 파형이다. 곡선 D는, 부하 10k Ω +350pF의 경우에서의 출력 단자(24)에서의 전압 파형이다. 무부하의 경우(곡선 A)와 유부하의 경우(곡선 B, C, D)를 비교하면, 과도 특성, 특히 그 초기 특성에 대부분 차이가 없는 것을 알 수 있다. 따라서, 바이어스 제어 회로(13)에 요구되는 더미 앰프(32)의 특성은, 더미 앰프(32)에 부하를 접속하지 않아도, 부하의 접속된 출력 앰프(22)의 특성과

동등하게 간주할 수 있다.

- [0067] 이상과 같이, 본 실시의 형태에서는, EXOR 회로(35)의 출력(앰프용 바이어스 회로(37)의 입력) PWRC의 전압이 High 레벨의 기간, 즉, 더미 앰프(32)의 출력이 천이하고 있는 시간만 출력 앰프(22)(홀수 출력 앰프(22a), 짝수 출력 앰프(22b))의 바이어스 전류를 크게 하도록, 앰프용 바이어스 회로(37)로부터 각 출력 앰프(22a, 22b)로 복수 라인의 출력 신호(Vb1~Vb6, VBIASP, VBIASN)가 공급된다.
- [0068] 여기서, 출력 앰프(22)와 더미 앰프(32)는, 전기적 특성이 실질적으로 똑같이 설정되어 있다(예를 들면, 같은 구조/레이아웃을 가지고 있다). 즉, 출력 앰프(22)의 출력이 천이하는 시간과 더미 앰프(32)의 출력이 천이하는 시간은 실질적으로 같아진다. 따라서, 더미 앰프(32)의 출력이 천이하고 있는 시간만 출력 앰프(22)의 바이어스 전류를 크게 함으로써, 출력 앰프(22)의 출력이 천이하고 있는 시간에만 바이어스 전류를 크게 할 수 있다.
- [0069] 또한, 본 실시의 형태에서는, 바람직한 형태로서 더미 앰프(32)로서, 출력 앰프 배열의 편차의 증대를 억제하기 위해서 설치된 더미 앰프를 이용하고 있다. 이 경우, 출력 앰프(22)의 구성과 더미 앰프(32)의 구성(레이아웃)이 실질적으로 같고, 출력 앰프(22)와 더미 앰프(32)는 서로 비교적 가까운 거리에 설치되어 있다. 따라서, 출력 앰프(22)와 더미 앰프(32)에 대한 제조 불균일이나 편차의 영향은 대체로 같다고 생각할 수 있다. 그 때문에, 출력 앰프(22)의 슬루레이트의 편향이나 바이어스 조정에 의한 슬루레이트의 변화는, 더미 앰프(32)의 슬루레이트의 편향이나 바이어스 조정에 의한 슬루레이트의 변화와 거의 같아진다고 생각된다. 따라서, 더미 앰프(32)를 이용하고 있음에도 불구하고, 출력 앰프(22)의 전기 정특성에 추종하여 슬루레이트의 컨트롤을 할 수 있다. 즉, 제조 불균일에 영향을 받지 않고, 출력 앰프(22)의 출력이 천이하는 기간 중에만 정확하게 바이어스 전류를 올리는 시간을 만들 수 있다.
- [0070] 또한, 더미 앰프(32)로서, 출력 앰프 배열의 편차의 증대를 억제하기 위해서 설치된 더미 앰프를 이용함으로써, 더미 앰프(32)용으로 새롭게 특별한 소자를 형성할 필요없이, 회로 면적의 증가를 억제할 수 있다.
- [0071] (제2의 실시의 형태)
- [0072] 본 발명의 제2의 실시의 형태와 관련되는 액정표시장치의 소스 드라이버 및 그것을 이용한 액정표시장치의 구성에 관하여 설명한다. 본 실시의 형태에서는, 도트 반전 동작이 아니라, 컬럼 반전 동작의 경우의 구성 및 동작인 점에서 제1의 실시의 형태와 다르다. 이하, 상세하게 설명한다.
- [0073] 본 발명의 제2의 실시의 형태와 관련되는 액정표시장치의 구성에 관해서는, 제1의 실시의 형태의 경우와 마찬가지로 도 3에 나타내는 구성과 같다.
- [0074] 소스 드라이버(98)에 관하여 설명한다. 도 8은, 본 발명의 제2의 실시의 형태와 관련되는 액정표시장치의 소스 드라이버의 구성의 일례를 나타내는 블럭도이다. 소스 드라이버(98)는, 소스 드라이버 IC이며, 정극측 γ 저항회로(12a), 부극측 γ 저항회로(12b), 정극측 DA 컨버터(11a), 부극측 DA 컨버터(11b), 정극 부극 페어 앰프(10), 바이어스 제어 회로(13)를 구비하고 있다. 이 도면은, 홀수 번째의 데이터라인(92)용의 홀수 출력 앰프(22a)와 짝수 번째의 데이터라인(92)용의 짝수 출력 앰프(22b)를 한 개씩 가지는 정극 부극 페어 앰프(10)를 하나 꺼내어, 관련하는 회로와 함께 나타내는 도이며, 또한, 바이어스 제어 회로(13)에 관하여 도 4(a)의 더미 앰프 및 그 주변 회로를 2세트 준비한 회로를 나타내고 있다. 컬럼 반전 동작의 경우를 나타내고 있다.
- [0075] 정극측 γ 저항회로(12a)는, +극성 γ 보정회로(미도시)로부터 적어도 2개의 감마 전압(예시: V3_10, V3_18)이 공급되고, 그 분압 등에 의해 복수의 정극 참조 전압(예시:V3_10~V3_18)을 생성한다. 부극측 γ 저항회로(12b)는, -극성 γ 보정회로(미도시)로부터 적어도 2개의 감마 전압(예시:V3_1, V3_9)이 공급되어, 그 분압 등에 의해 복수의 부극 참조 전압(예시:V3_1~V3_9)을 생성한다. 정극측 DA 컨버터(11a)는, 정극측 γ 저항회로(12a)로부터 공급되는 복수의 정극 참조 전압에 근거하여, 입력된 영상 데이터에 대응하는 정극 참조 전압(정전용(正轉用), 반전용(反轉用))을 선택해서, 정극(正極) 부극(負極) 페어 앰프(10)로 출력한다. 부극측 DA 컨버터(11b)는, 부극측 γ 저항회로(12b)로부터 공급되는 복수의 부극 참조 전압에 근거하여, 입력된 영상 데이터에 대응한 부극 참조 전압(정전용, 반전용)을 선택하여, 정극 부극 페어 앰프(10)로 출력한다.
- [0076] 정극 부극 페어 앰프(10)는, 입력 전환 스위치(21), 출력 앰프(22)(홀수 출력 앰프(22a), 짝수 출력 앰프(22b)), 출력 스위치(23a, 23b), 출력 단자(24a, 24b)를 구비하고 있다. 입력 전환 스위치(21)는, 선택된 정극 참조 전압(정회전용, 반전용) 중, 어느 한쪽을 홀수 출력 앰프(22a)의 비반전 입력 단자(+)로, 극성 반전 제어 신호 POL에 따라 전환하여 출력한다. 또한, 선택된 부극 참조 전압(정회전용, 반전용) 중, 어느 한쪽을 짝수 출력 앰프(22b)의 비반전 입력 단자(+)로, 극성 반전 제어 신호 POL에 따라 바꾸어 출력한다. 홀수 출력 앰프(22a) 및 짝수 출력 앰프(22b)는, 출력 단자(SK11, SG11)가 각각의 반전 입력 단자(-)에 접속되어 있다. 홀수

출력 앰프(22a) 및 짝수 출력 앰프(22b)는, 각각 공급된 정극 참조 전압 및 부극 참조 전압을 연산 증폭한다. 그리고, 그러한 결과를 출력 SKOUT11, SGOUT11로서 출력 스위치(23a, 23b)를 개재하여 출력 단자(24a, 24b)로부터 표시 패널 부하(51a, 51b)(액정 패널(96)에 대응)로 출력한다. 출력 스위치(23a, 23b)는, 스트로브 신호(STB)(로우 레벨에서 앰프 출력이 출력 단자에 접속되고, 하이레벨에서 출력 단자가 하이 임피던스가 되도록 제어하는 신호)로 제어된다. 홀수 출력 앰프(22a) 및 짝수 출력 앰프(22b)는, 그 바이어스 전압을 바이어스 제어 회로(13)로 제어되고 있다. 홀수 출력 앰프(22a)와 짝수 출력 앰프(22b)는, 전기적 특성 및 구조(레이아웃)는 실질적으로 같다.

[0077] 바이어스 제어 회로(13)는, 정극측 γ 저항회로(12a) 및 부극측 γ 저항회로(12b)로부터의 참조 전압, 및 콘트롤러(95)로부터의 극성 반전 제어 신호 POL에 근거하여, 홀수 출력 앰프(22a) 및 짝수 출력 앰프(22b)에 인가하는 복수의 바이어스 전압을 제어한다. 바이어스 제어 회로(13)는, 입력 전환 스위치(31a, 31b), 더미 앰프(32a), 콤퍼레이터(33a, 34a), EXOR 회로(35a), 입력 전환 스위치(31b), 더미 앰프(32b), 콤퍼레이터(33b, 34b), EXOR 회로(35b), OR회로 36, 앰프용 바이어스 회로(37)를 구비하고 있다.

[0078] 입력 전환 스위치(31a)는, 정극측 γ 저항회로(12a)의 참조 전압 중 최고 전압 V3_18 및 최저 전압 V3_10을 공급한다. 그리고, 최고 전압 V3_18과 최저 전압 V3_10을, 더미 앰프(32a)의 비반전 입력 단자(+)로, 극성 반전 제어 신호 POL의 주기로 전환하여 교대로 출력한다. 입력 전환 스위치(31b)는, 부극측 γ 저항회로(12b)의 참조 전압 중 최고 전압 V3_9 및 최저 전압 V3_1을 공급한다. 그리고, 최고 전압 V3_9와 최저 전압 V3_1을, 더미 앰프(32b)의 비반전 입력 단자(+)로, 극성 반전 제어 신호 POL의 주기로 전환하여 교대로 출력한다.

[0079] 더미 앰프(32a)는, 극성 반전 제어 신호 POL의 주기로 교대로 최고 전압(V3_18) 및 최저 전압(V3_10)이 공급된다. 더미 앰프(32a)는, 공급되는 전압을 연산 증폭하고, 그 결과로서의 출력 AMPD31_OUT을 콤퍼레이터(33a, 34a)의 반전 입력 단자(-)로 출력한다. 더미 앰프(32a)는, 그 출력 단자가 그 반전 입력 단자(-)에 접속되어 있다. 더미 앰프(32a)는, 제1의 실시의 형태의 경우와 마찬가지로, 출력 앰프(22)(홀수 출력 앰프(22a), 짝수 출력 앰프(22b))와 같은 전기 특성을 가지고 있다. 거기에는, 출력 앰프(22)와 같은 구조(레이아웃)를 가지고 있는 것이 바람직하다. 더하여, 출력 앰프(22)의 근방에 설치되어 있는 것이 더욱 바람직하다.

[0080] 더미 앰프(32b)는, 극성 반전 제어 신호 POL의 주기로 교대로 최고 전압(V3_9) 및 최저 전압(V3_1)을 공급한다. 더미 앰프(32b)는, 공급되는 전압을 연산 증폭하고, 그 결과로서의 출력 AMPD32_OUT을 콤퍼레이터(33b, 34b)의 반전 입력 단자(-)로 출력한다. 더미 앰프(32b)는, 그 출력 단자가 그 반전 입력 단자(-)에 접속되어 있다. 더미 앰프(32b)는, 제1의 실시의 형태의 경우와 마찬가지로, 출력 앰프(22)(홀수 출력 앰프(22a), 짝수 출력 앰프(22b))와 같은 전기 특성을 가지고 있다. 거기에는, 출력 앰프(22)와 같은 구조(레이아웃)를 가지고 있는 것이 바람직하다. 더하여, 출력 앰프(22)의 근방에 설치되어 있는 것이 더욱 바람직하다.

[0081] 콤퍼레이터(33a)는, 더미 앰프(32a)의 출력이 반전 입력 단자(-)에, 최고 전압(V3_18)보다 조금 아래의 전압(V3_18M)이 비반전 입력 단자(+)에 각각 공급된다. 그리고, 그 비교 결과로서의 출력 COM31OUT을 EXOR 회로(35a)의 한쪽의 입력으로 출력한다. 한편, 콤퍼레이터(34a)는, 더미 앰프(32a)의 출력이 반전 입력 단자(-)에, 최저전압(V3_10)보다 조금 위의 전압(V3_10 P)이 비반전 입력 단자(+)에 각각 공급된다. 그리고, 그 비교 결과로서의 출력 COM32OUT을 EXOR 회로(35a)의 다른 한쪽의 입력으로 출력한다.

[0082] 콤퍼레이터(33b)는, 더미 앰프(32b)의 출력이 반전 입력 단자(-)에, 최고 전압(V3_9)보다 조금 아래의 전압(V3_9M)이 비반전 입력 단자(+)에 각각 공급된다. 그리고, 그 비교 결과로서의 출력 COM33OUT을 EXOR 회로(35b)의 한쪽의 입력에 출력한다. 한편, 콤퍼레이터(34b)는, 더미 앰프(32b)의 출력이 반전 입력 단자(-)에, 최저 전압(V3_1)보다 조금 위의 전압(V3_1P)이 비반전 입력 단자(+)에 각각 공급된다. 그리고, 그 비교 결과로서의 출력 COM34OUT을 EXOR 회로(35b)의 다른 한쪽의 입력으로 출력한다.

[0083] EXOR 회로(35a)는, 2 입력이며, 콤퍼레이터(33a, 34a)의 출력 COM31OUT, COM32OUT이 공급된다. 그리고, 그들 출력 COM31OUT, COM32OUT을 EXOR 연산한다. 그리고, 그 연산 결과를 OR회로(36)의 한쪽의 입력으로 출력한다. EXOR 회로(35b)는, 2 입력이며, 콤퍼레이터(33b, 34b)의 출력 COM33OUT, COM34OUT이 공급된다. 그리고, 그들 출력 COM33OUT, COM34OUT을 EXOR 연산한다. 그리고, 그 연산 결과를 OR회로(36)의 다른 한쪽의 입력으로 출력한다.

[0084] OR회로(36)는, EXOR 회로(35a) 및 EXOR 회로(35b)의 출력을 OR연산한다. 그리고, 그 연산 결과로서의 출력 PWRC를 앰프용 바이어스 회로(37)로 출력한다.

[0085] 앰프용 바이어스 회로(37)는, 이하의 (1) 및 (2) 중 적어도 한쪽이 성립했을 경우, 홀수 출력 앰프(22a) 및 짝

수 출력 앰프(22b)를 모두 고바이어스로 하도록 제어한다. (1) 더미 앰프(32a)의 출력 AMPD31_OUT이 전압 V3_18M과 전압 V3_10P의 사이에 있을 때, 즉, 출력 COM31OUT이 High 레벨 또한 출력 COM32OUT이 Low 레벨에 의해, OR 회로(36)의 출력 PWRC가 High 레벨이 될 때. (2) 더미 앰프(32b)의 출력 AMPD32_OUT이 전압 V3_9M과 전압 V3_1P의 사이에 있을 때, 즉, 출력 COM33OUT이 High 레벨 또한 출력 COM34OUT이 Low 레벨에 의해, OR 회로(36)의 출력 PWRC가 High 레벨이 될 때.

[0086] 한편, 앰프용 바이어스 회로(37)는, 이하의 (3) 및 (4) 중 적어도 한쪽이 성립했을 경우, 홀수 출력 앰프(22a) 및 짝수 출력 앰프(22b)를 모두 저바이어스로 하도록 제어한다. (3) 더미 앰프(32a)의 출력 AMPD31_OUT이 전압 V3_18M보다 크거나, 또는 전압 V3_10P보다 작을 때, 즉, 출력 COM31OUT이 Low 레벨 또한 출력 COM32OUT이 Low 레벨, 또는, 출력 COM31OUT이 High 레벨 또한 출력 COM32OUT이 High 레벨에 의해, OR 회로(36)의 출력 PWRC가 Low 레벨일 때. (4) 더미 앰프(32b)의 출력 AMPD32_OUT이 전압 V3_9M보다 크거나, 또는 전압 V3_1P보다 작을 때, 즉, 출력 COM33OUT이 Low 레벨 또한 출력 COM34OUT이 Low 레벨, 또는, 출력 COM33OUT이 High 레벨 또한 출력 COM34OUT이 High 레벨에 의해, OR 회로(36)의 출력 PWRC가 Low 레벨일 때. 이들 일련의 동작은 컬럼 반전 동작이다.

[0087] 여기서, 더미 앰프(32a, 32b)로서는, 소스 드라이버부의 출력 앰프 배열에 기인하여 발생하는 편차 확대의 방지를 위해 출력 앰프 배열의 제일 구석에 배치되는 더미 앰프를 이용하는 것이 바람직하다. 이 더미 앰프는, 출력 앰프(22)와 완전히 같은 회로 구성과 레이아웃 구성이 되어 있다. 즉, 출력 앰프(22)와 같은 전기적 특성을 가지고 있기 때문이다. 또한, 출력 앰프(22)의 근방에 설치되어 있기 때문이다. 더하여, 더미 앰프를 유효 이용함으로써 회로 면적의 증대를 억제할 수 있기 때문이다. 이 점은, 도 4(b)를 참조하여 설명한 제1의 실시의 형태의 더미 앰프(32)의 경우와 같다.

[0088] 또한, 앰프용 바이어스 회로(37)를, 홀수 출력 앰프(22a)를 제어하는 앰프용 바이어스 회로와 짝수 출력 앰프(22b)를 제어하는 앰프용 바이어스 회로로 나누도록, 혹은 그들 2개의 기능을 갖도록 해도 된다. 그 경우, 홀수 출력 앰프(22a)를 제어하는 앰프용 바이어스 회로는, EXOR 회로(35a)로부터의 출력에 따라, 홀수 출력 앰프(22a)를 제1의 실시의 형태와 같게 제어하고, 짝수 출력 앰프(22b)를 제어하는 앰프용 바이어스 회로는 EXOR 회로(35b)로부터의 출력에 따라, 짝수 출력 앰프(22b)를 제1의 실시의 형태와 마찬가지로 제어한다.

[0089] 본 발명의 제2의 실시의 형태와 관련되는 출력 앰프의 구성의 일례에 관해서는, 제1의 실시의 형태의 경우와 마찬가지로 도 5에 나타내는 구성과 같다.

[0090] 본 발명의 제2의 실시의 형태와 관련되는 액정표시장치의 소스 드라이버의 동작에 관해서는, 홀수 출력 앰프(22a) 및 짝수 출력 앰프(22b)의 각각에, 서로 독립으로 바이어스 전압을 제어하기 위한 타이밍 신호를 출력하는 회로(입력 전환 스위치, 더미 앰프, 콤퍼레이터×2, EXOR 회로)가 설치되어 있는 것이나, 콤퍼레이터의 참조 전압이 다른 것 이외에는, 제1의 실시의 형태의 경우와 같은 도 6에 나타내는 동작과 같다. 또한, 이 경우에도, 제1의 실시의 형태와 마찬가지로, 첫 시작 시간≒하강 시간으로 가정하여 설명하고 있다.

[0091] 본 실시의 형태에 있어서도, 제1의 실시의 형태와 같은 효과를 얻을 수 있다. 또한, 출력 앰프의 설계상, 컬럼 반전 동작에서는 상승 시간과 하강 시간의 밸런스가 맞지 않는 일이 있다. 본 실시의 형태와 같이, 2개의 EXOR 회로의 출력을, OR 회로를 통함으로써 앰프 출력의 천이 시간이 늦은 쪽에서 바이어스 전류를 올리는 시간을 만들 수 있다. 그에 의해, 정극 부극 페어 앰프 내에서 홀수 출력 앰프와 짝수 출력 앰프의 사이에서, 상승 시간과 하강 시간의 밸런스가 맞지 않는 경우라도, 보다 적절한 천이 시간을 설정할 수 있다.

[0092] 본 발명의 각 실시의 형태에서는, 액정표시장치용 소스 드라이버 IC의 차동증폭기의 동작에 있어서, 더미 앰프(32)를 설치하여 규정 전압 진폭(V1_18부터 V1_10까지 및 V1_9부터 V1_1까지, 또는, V3_18부터 V3_10까지 및 V3_9부터 V3_1까지)으로 동작시켜, 더미 앰프(32)가 출력 천이를 하고 있는 기간에, 출력 앰프(22)의 바이어스 전류를 올리도록 제어한다. 이 때, 더미 앰프(32)는, 출력 앰프(22)와 동등한 전기적 특성을 가지고 있다. 이에 의해, 출력 앰프(22)의 출력 천이에 추종 한 기간만, 출력 앰프(22)로의 바이어스 전류를 올려, 고슬루레이트화할 수 있다. 또한, 바이어스 전류가 올라가는 기간이 한정되므로, 고슬루레이트화에 수반하는 동소비 전력의 증가를 억제할 수 있다.

[0093] 또한, 전기적 특성은, 제조 불균일에 수반하는 전기적 특성의 설계로부터의 차이를 포함하고 있어도 된다. 즉, 더미 앰프(32)를 출력 앰프(22)의 근방에 설치함으로써, 더미 앰프(32)의 제조 불균일을 출력 앰프(22)의 제조 불균일과 같이 할 수 있다. 그에 의해, 더미 앰프(32)의 출력 천이 기간을 이용함으로써, 출력 앰프(22)의 제조 불균일에 의한 슬루레이트 격차에 추종한 기간만 바이어스 전류를 올려, 고슬루레이트화할 수 있어 동소비 전력

을 내릴 수 있다.

[0094] 본 발명에서는, 실질적으로 필요 충분한 고바이어스 제어를 실시할 수 있다. 그것은, 제어 시간으로서 고바이어스 제어를 실시할 필요가 있는 출력 앰프의 출력 천이 기간과 동등한 더미 앰프의 출력 천이 기간을 이용하고 있는 것, 및, 제어 대상의 계조(階調) 전압(계조 전압의 변화폭)으로서 가장 변화가 큰 최대 계조 전압과 최저 계조 전압을 이용하고 있는 것, 등의 이유에 의한다. 또한, 본 발명에서는, 쓸데 없는 동소비 전력업(UP)의 억제제를 도모할 수 있다. 그것은, 전술한 바와 같이, 실질적으로 필요 충분한 고바이어스 제어를 실시하고 있는 것, 등의 이유에 의한다. 또한, 본 발명에서는, 출력 앰프의 제조 불균일(소스 드라이버 IC내/IC간)에 의한 슬루레이트 불균일에 따른 고바이어스 제어를 실시할 수 있다.

[0095] 본 발명은 상기 각 실시의 형태로 한정되지 않고, 본 발명의 기술 사상의 범위내에 있어서, 각 실시의 형태는 적당히 변형 또는 변경될 수 있는 것은 분명하다. 또한, 각 실시의 형태에 개시된 기술은, 기술적인 모순의 발생하지 않는 한 다른 실시의 형태에도 적용 가능하다.

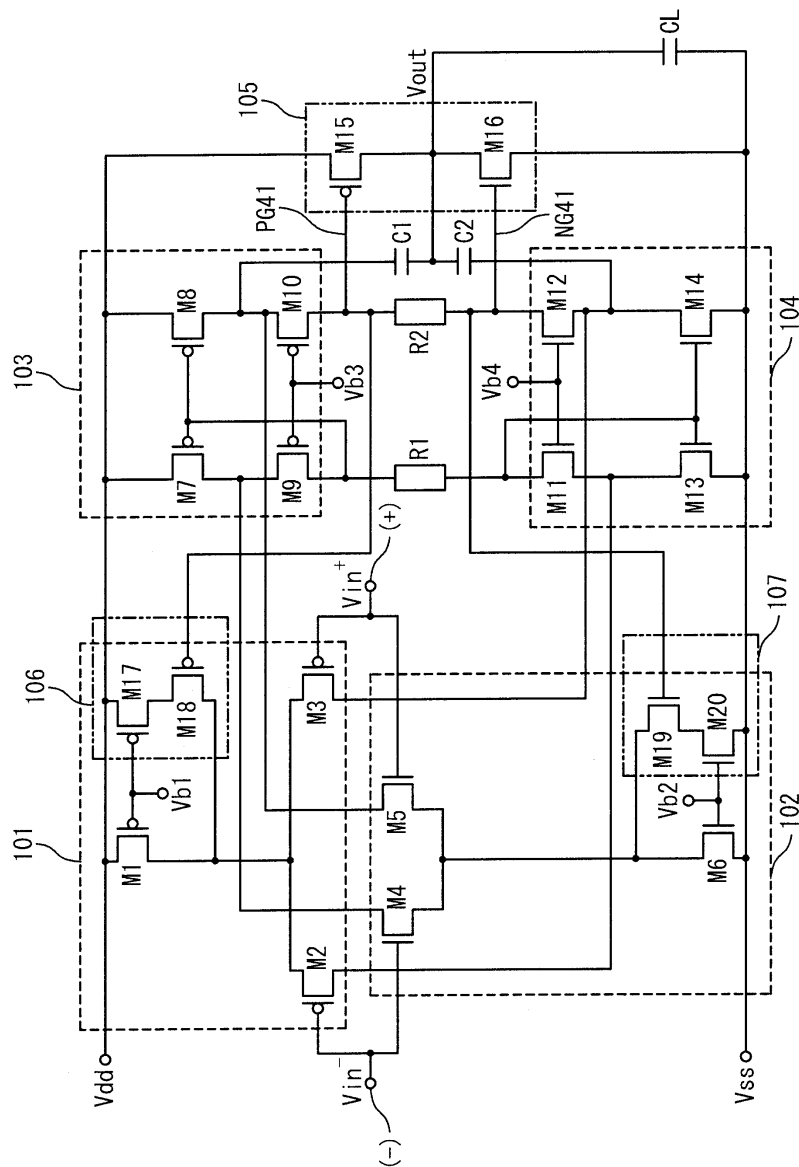
부호의 설명

[0096] 10 정극 부극 페어 앰프
11 DA 컨버터
11a 정극측 DA 컨버터
11b 부극측 DA 컨버터
12 γ 저항회로
12a 정극측 γ 저항회로
12b 부극측 γ 저항회로
13 바이어스 제어 회로
21 입력 전환 스위치
22 출력 앰프
22a 홀수 출력 앰프
22b 짝수 출력 앰프
23a, 23b 출력 스위치
24a, 24b 출력 단자
31, 31a, 31b 입력 전환 스위치
32, 32a, 32b 더미 앰프
33, 34, 33a, 33b, 34a, 34b 콤퍼레이터
35, 35a, 35b EXOR 회로
36 OR 회로
37 앰프용 바이어스 회로
41, 41A, 41B 입력 차동단
42 중간단
42a, 42b 커런트밀러 회로
43 출력단
ICS41, ICS42, ICS43 정전류원
ICS44 부유 전류원

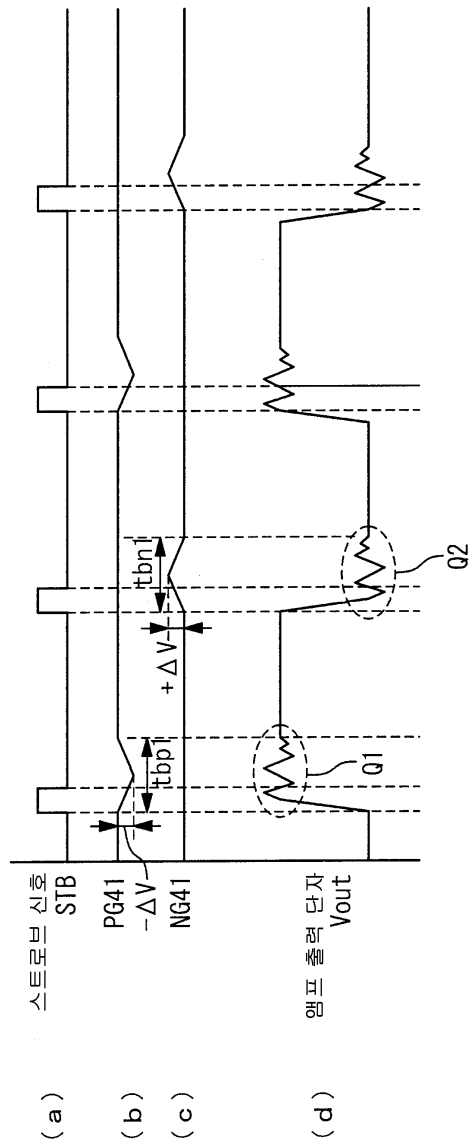
51a, 51b 표시 패널 부하
60 회로
61, 61-1, 61-2, ... 블록
90 액정표시장치
91 게이트라인
92 데이터라인
93 트랜지스터
94 화소 용량
95 콘트롤러
96 액정 패널
97 게이트 드라이버
98 소스 드라이버
99 화소

도면

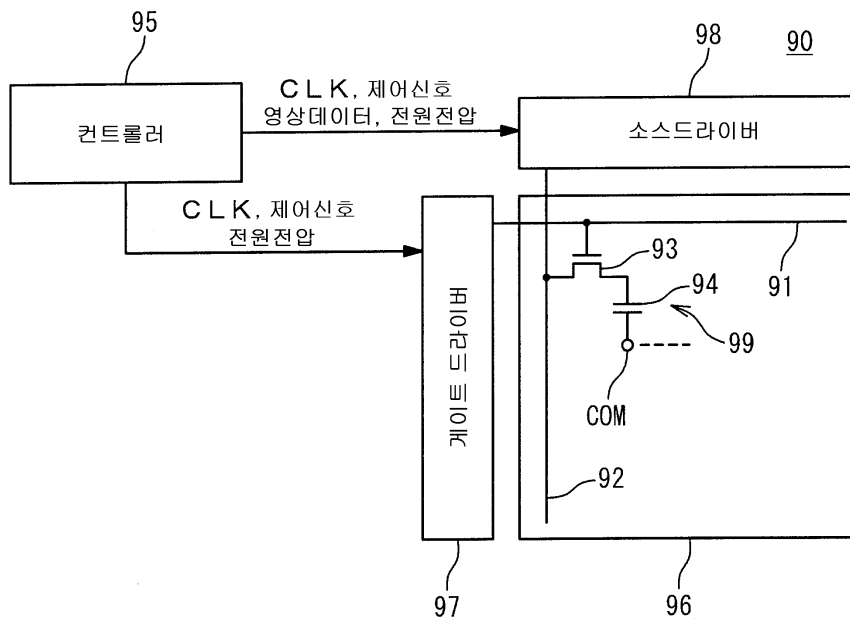
도면1



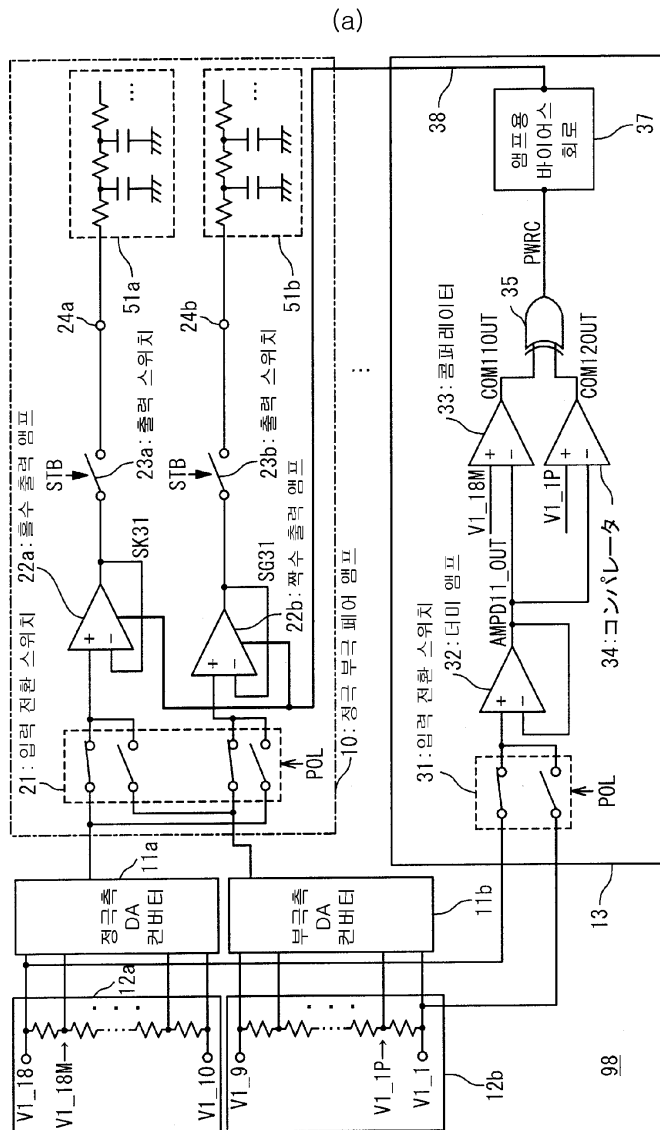
도면2



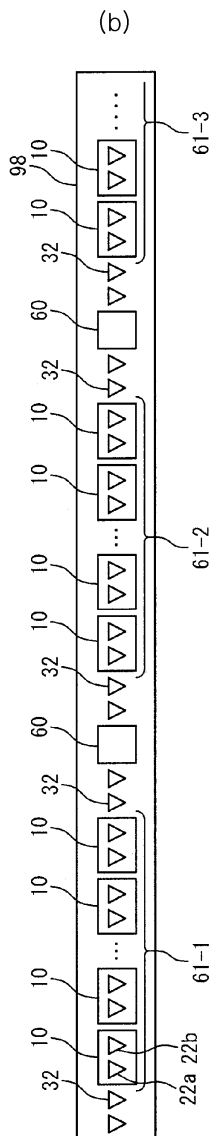
도면3



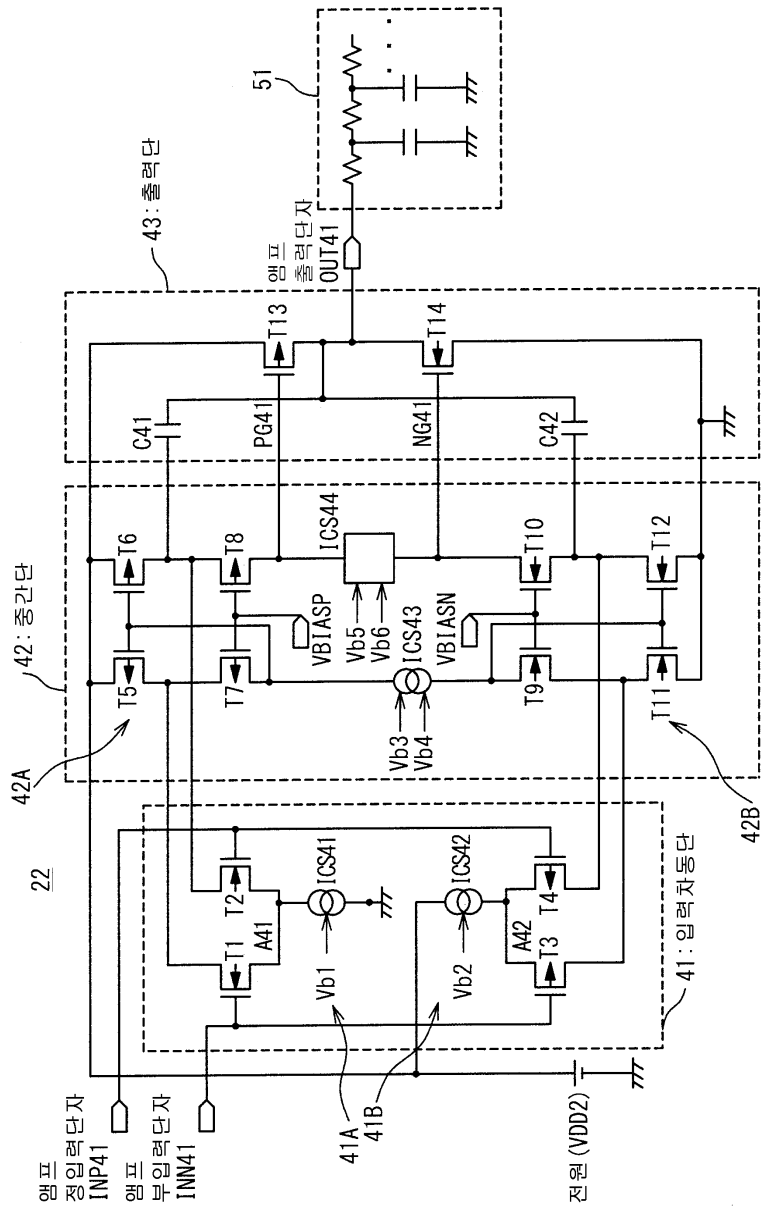
도면4a



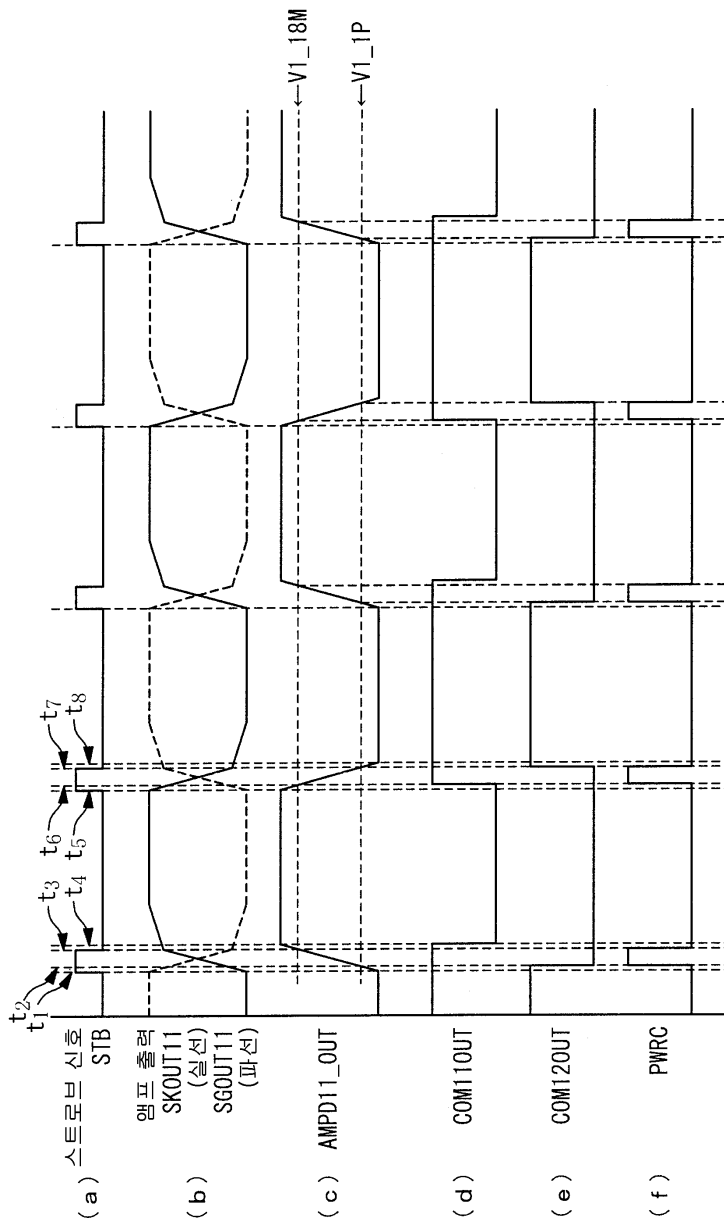
도면4b



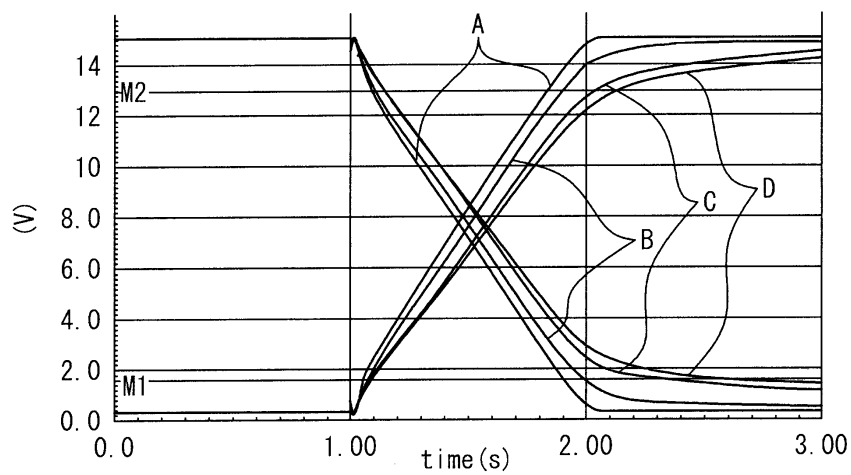
도면5



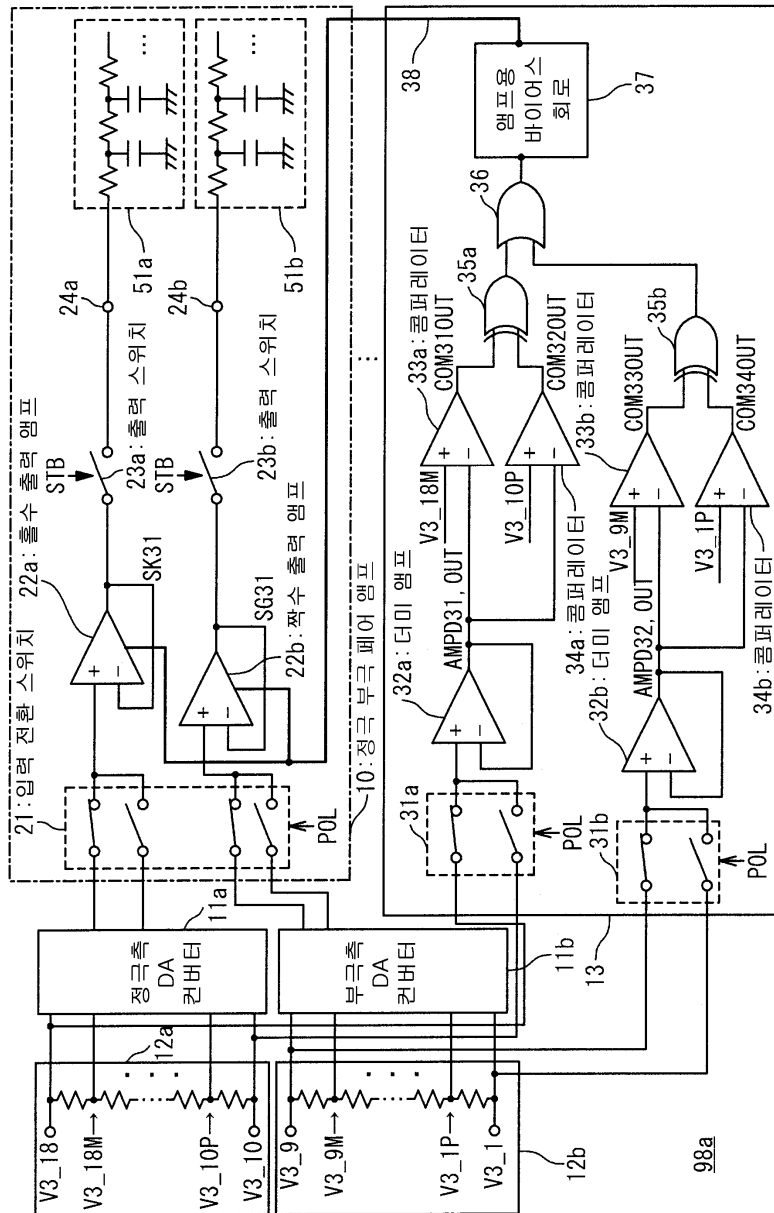
도면6



도면7



도면8



专利名称(译)	标题：液晶显示装置的源极驱动器和使用它的液晶显示装置		
公开(公告)号	KR1020120018709A	公开(公告)日	2012-03-05
申请号	KR1020110063830	申请日	2011-06-29
[标]申请(专利权)人(译)	瑞萨电子株式会社		
申请(专利权)人(译)	瑞萨电子株式会社		
当前申请(专利权)人(译)	瑞萨电子株式会社		
[标]发明人	KAWAGOSHI HIROKAZU		
发明人	KAWAGOSHI, HIROKAZU		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3688		
优先权	2010163938 2010-07-21 JP		
外部链接	Espacenet		

摘要(译)

虽然控制了液晶显示装置的源极驱动器的功耗增加，但它随着高压摆率而变化。液晶显示装置的源极驱动器包括响应于输入信号，输出放大器（22a，22b）的电特性和偏置的当前驱动的多条数据线（92）的输出放大器（22a，22b）。控制电路（13）具有兼容性的虚拟放大器（32）。当输入到输出的 γ 电阻电路的电压 V_1 时，偏置控制电路（13）基于虚拟放大器（32）的输出转换周期控制多个输出放大器（22a，22b）的高偏置时段 $t_2 \sim t_3$ 。输入放大器（22a，22b）。图像的存在（专业参考）。

