(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0075502
(43) 공개일자 2011년07월06일

(51) Int. Cl.
G02F 1/133 (2006.01) *G09G 3/36* (2006.01)
(21) 출원번호 10-2009-0131969
(22) 출원일자 2009년12월28일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울 용산구 한강로3가 65-228
(72) 발명자
채지은
경북 구미시 진평동 1037-21번지
(74) 대리인
특허법인로얄

전체 청구항 수 : 총 6 항

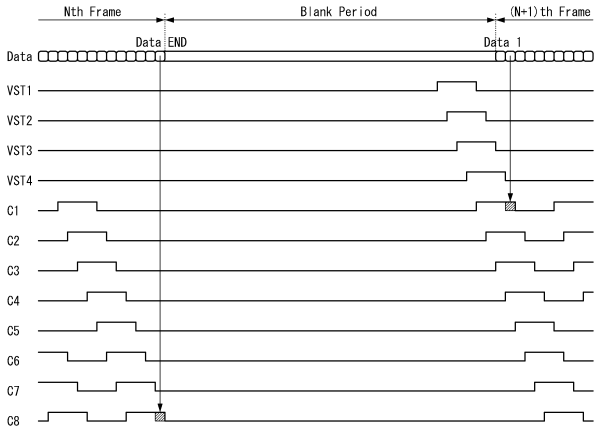
(54) 액정표시장치

(57) 요 약

본 발명은 소비전력을 줄일 수 있는 액정표시장치에 관한 것이다.

이 액정표시장치는 다수의 게이트라인들과 다수의 데이터라인들이 교차되고, 이 교차 영역에 액정셀들이 매트릭스 형태로 배치된 액정표시패널; 다수의 클럭신호들을 발생하되, 블랭크 구간을 포함한 한 프레임 기간 동안 상기 클럭신호들의 토탈 발생 횟수를 상기 게이트라인들의 갯수로 제한하는 타이밍 콘트롤러; 및 다수의 스테이지들을 포함하며, 상기 클럭신호들에 응답하여 게이트신호를 순차적으로 발생하여 상기 게이트라인들에 공급하는 게이트 쉬프트 레지스터를 구비한다.

대 표 도 - 도12



특허청구의 범위

청구항 1

다수의 게이트라인들과 다수의 데이터라인들이 교차되고, 이 교차 영역에 액정셀들이 매트릭스 형태로 배치된 액정표시패널;

다수의 클럭신호들을 발생하되, 블랭크 구간을 포함한 한 프레임 기간 동안 상기 클럭신호들의 토탈 발생 횟수를 상기 게이트라인들의 갯수로 제한하는 타이밍 콘트롤러; 및

다수의 스테이지들을 포함하며, 상기 클럭신호들에 응답하여 게이트신호를 순차적으로 발생하여 상기 게이트라인들에 공급하는 게이트 쉬프트 레지스터를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 타이밍 콘트롤러는 상기 스테이지들의 일부에 공급되는 엔드신호를 더 발생하는 것을 특징으로 하는 액정표시장치.

청구항 3

제 1 항에 있어서,

상기 게이트 쉬프트 레지스터는, 더미 라인들에 접속되며 상기 스테이지들의 일부에 공급되는 엔드신호를 발생하는 더미 스테이지들을 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 4

제 3 항에 있어서,

상기 타이밍 콘트롤러는 상기 블랭크 구간을 포함한 한 프레임 기간 동안 상기 클럭신호들의 토탈 발생 횟수를 상기 더미 라인들을 포함한 게이트라인들의 갯수로 제한하는 것을 특징으로 하는 액정표시장치.

청구항 5

제 1 항에 있어서,

상기 게이트 쉬프트 레지스터는 상기 액정표시패널의 하부 유리기판 상에 형성되는 것을 특징으로 하는 액정표시장치.

청구항 6

제 5 항에 있어서,

상기 클럭신호들은 상기 액정셀들의 TFT 구동에 적합하도록 레벨 쉬프팅 된 후에 상기 게이트 쉬프트 레지스터에 입력되는 것을 특징으로 하는 액정표시장치.

명 세 서

발명의 상세한 설명

기 술 분 야

[0001] 본 발명은 액정표시장치에 관한 것으로, 특히 소비전력을 줄일 수 있는 액정표시장치에 관한 것이다.

배 경 기 술

[0002] 통상의 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시한다. 이를 위하여, 액정표시장치는 액정셀들이 매트릭스 형태로 배열된 액정표시패널과, 이 액정표시패널을 구동하기 위한 구동회로를

구비한다.

[0003] 액정표시패널의 화소 어레이에는 도 1과 같이 게이트라인(GL)과 데이터라인(DL)이 교차되고 그 게이트라인(GL)과 데이터라인(GL)의 교차부에 액정셀(Clc)을 구동하기 위한 박막트랜지스터(Thin Film Transistor; 이하, "TFT"라 한다)가 형성된다. 또한, 액정표시패널에는 액정셀(Clc)의 전압을 유지하기 위한 스토리지 커패시터(Cst)가 형성된다. 액정셀(Clc)은 화소전극, 공통전극 및 액정층을 포함한다. 화소전극에 인가되는 데이터전압과, 공통전극에 인가되는 공통전압(Vcom)에 의해 액정셀(Clc)들의 액정층에는 전계가 걸린다. 이 전계에 의해 액정층을 투과하는 광량이 조절됨으로써 화상이 구현된다.

[0004] 구동회로는 게이트라인들에 게이트 출력신호를 순차적으로 공급하기 위한 게이트 구동회로와, 데이터라인들에 비디오신호(즉, 데이터전압)를 공급하기 위한 데이터 구동회로를 포함한다. 데이터 구동회로는 데이터라인들을 구동시켜 액정셀(Clc)들에 데이터전압을 공급한다. 게이트 구동회로는 게이트라인들을 순차적으로 구동시켜 데이터전압이 공급될 표시패널의 액정셀(Clc)들을 1 수평라인 분씩 선택한다.

[0005] 게이트 구동회로는 게이트신호들을 순차적으로 발생하기 위해, 다수의 스테이지들로 구성된 게이트 쉬프트 레지스터를 포함한다. 스테이지는 도 2와 같이, Q 노드의 전위에 따라 스위칭되는 풀업(Pull-Up) TFT(Tpu)와, QB 노드의 전위에 따라 스위칭되는 풀다운(Pull-Down) TFT(Tpd)와, Q 노드 및 QB 노드의 전위를 제어하는 노드 제어회로(5)를 구비한다.

[0006] Q 노드 및 QB 노드는 서로 교번적으로 충전 및 방전된다. 즉, Q 노드가 충전될 때 QB 노드는 방전되고, Q 노드가 방전될 때 QB 노드는 충전된다. Q 노드가 충전되면 풀업 TFT(Tpu)가 턴 온 되고, 그 결과 클럭신호(CLK)가 제1 레벨의 게이트신호(Vout)로서 출력된다. QB 노드가 충전되면 풀다운 TFT(Tpd)가 턴 온 되고, 그 결과 저전위 전압(VSS)이 제2 레벨의 게이트신호(Vout)로서 출력된다. 여기서, 제1 레벨은 화소 어레이의 TFT를 턴 온 시킬 수 있는 전압 레벨을 지시하고, 제2 레벨은 화소 어레이의 TFT를 턴 오프 시킬 수 있는 전압 레벨을 지시한다.

[0007] 스테이지들의 출력단들 각각은 게이트라인들에 일 대 일로 연결된다. 스테이지들로부터 제1 레벨의 게이트신호는 한 프레임에 한 번씩 순차적으로 발생되어 해당 게이트라인에 공급된다. 이를 위해, 스테이지들 각각의 Q 노드는 방전 상태를 유지하다가 클럭신호(CLK)의 입력에 동기하여 한 프레임에 한 번 풀업 TFT(Tpu)를 턴 온 시킬 수 있는 레벨로 충전된다. 그리고, 클럭신호(CLK)가 게이트신호(Vout)로서 출력되고 나면, 각각의 Q 노드는 풀업 TFT(Tpu)를 턴 오프 시킬 수 있는 레벨로 방전된다.

[0008] 그런데, 이러한 종래 게이트 구동회로의 구동에서는 도 3과 같이 유효 데이터가 표시되는 각 프레임 구간 뿐만 아니라, 인접 프레임 사이의 블랭크 구간에서도 클럭 신호들(C1 ~ C8)이 계속해서 출력된다. 블랭크 구간에서 더미 구동을 위한 출력 이후의 클럭신호들은 유효 데이터에 동기되지 않기 때문에 화상 표시에 사용되지 않는다. 클럭 신호들(C1 ~ C8)은 짧은 기간을 주기로 스윙되기 때문에 소비 전력에 큰 영향을 미친다. 블랭크 구간에서 불필요하게 출력되는 클럭신호들의 갯수가 증가할수록 액정표시장치의 소비 전력은 증가한다. 이러한 문제점은 클럭 신호들(C1 ~ C8)이 액정셀의 TFT 구동에 적합하도록 레벨 쉬프팅 된 후 게이트 구동회로에 공급되는 GIP(Gate In Panel) 방식에 더욱 심화된다.

발명의 내용

해결 하고자하는 과제

[0009] 따라서, 본 발명의 목적은 소비 전력을 줄일 수 있도록 한 액정표시장치를 제공하는 데 있다.

과제 해결수단

[0010] 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 액정표시장치는 다수의 게이트라인들과 다수의 데이터라인들이 교차되고, 이 교차 영역에 액정셀들이 매트릭스 형태로 배치된 액정표시패널; 다수의 클럭신호들을 발생하되, 블랭크 구간을 포함한 한 프레임 기간 동안 상기 클럭신호들의 토탈 발생 횟수를 상기 게이트라인들의 갯수로 제한하는 타이밍 콘트롤러; 및 다수의 스테이지들을 포함하며, 상기 클럭신호들에 응답하여 게이트신호를 순차적으로 발생하여 상기 게이트라인들에 공급하는 게이트 쉬프트 레지스터를 구비한다.

[0011] 상기 타이밍 콘트롤러는 상기 스테이지들의 일부에 공급되는 엔드신호를 더 발생한다.

[0012] 상기 게이트 쉬프트 레지스터는, 더미 라인들에 접속되며 상기 스테이지들의 일부에 공급되는 엔드신호를 발생하는 더미 스테이지들을 더 포함한다.

[0013] 상기 타이밍 콘트롤러는 상기 블랭크 구간을 포함한 한 프레임 기간 동안 상기 클럭신호들의 토탈 발생 횟수를 상기 더미 라인들을 포함한 게이트라인들의 갯수로 제한한다.

[0014] 상기 게이트 쉬프트 레지스터는 상기 액정표시패널의 하부 유리기판 상에 형성된다.

[0015] 상기 클럭신호들은 상기 액정셀들의 TFT 구동에 적합하도록 레벨 쉬프팅 된 후에 상기 게이트 쉬프트 레지스터에 입력된다.

효 과

[0016] 본 발명에 따른 액정표시장치는 인접 프레임 사이의 블랭크 구간에서 불필요한 클럭들이 출력되지 않도록 클럭신호들의 토탈 발생 횟수를 게이트라인 갯수, 또는 더미라인을 포함한 게이트라인 갯수로 제한함으로써, 소비전력을 크게 줄일 수 있다.

발명의 실시를 위한 구체적인 내용

[0017] 이하, 도 4 내지 도 12를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

[0018] 도 4 및 도 5는 본 발명의 실시예에 따른 액정표시장치를 나타낸다.

[0019] 도 4를 참조하면, 본 발명의 실시예에 따른 액정표시장치는 타이밍 콘트롤러(11), 데이터 구동회로(12), 게이트 구동회로(13), 모듈 전원부(15), 액정표시패널(16), 및 백라이트 유닛(17)을 포함하는 액정모듈과, 시스템 보드(14)를 구비한다.

[0020] 타이밍 콘트롤러(11)는 시스템 보드(14)로부터 입력되는 디지털 비디오 데이터(DATA_RGB)를 액정표시패널(16)의 해상도에 맞게 정렬한 후 mini-LVDS(Low Voltage Differential Signaling) 인터페이스 규격으로 데이터 구동회로(12)에 공급한다. 또한, 타이밍 콘트롤러(11)는 시스템 보드(14)로부터 입력되는 타이밍 신호들(Vsync, Hsync, DE, DCLK)를 이용하여 데이터 구동회로(12)의 동작 타이밍을 제어하기 위한 데이터 제어신호(SDC)와, 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 게이트 제어신호(GDC)를 발생한다. 타이밍 콘트롤러(11)는 60Hz의 프레임 주파수로 입력되는 데이터가 60×i(i는 2 이상의 양의 정수) Hz의 프레임 주파수로 액정표시패널(16)의 화소 어레이에서 표시될 수 있도록 게이트 제어신호(GDC)와 데이터 제어신호(SDC)의 주파수를 60×i Hz로 체배할 수 있다.

[0021] 데이터 제어신호(SDC)는 소스 스타트 펄스(Source, Start Pulse, SSP), 소스 샘플링 클럭(Source Sampling Clock, SSC), 소스 출력 인에이블신호(Source Output Enable, SOE), 극성제어신호(POL) 등을 포함한다. 소스 스타트 펄스(SSP)는 데이터 구동회로(12)의 데이터 샘플링 시작 시점을 제어한다. 소스 샘플링 클럭(SSC)은 라이징 또는 폴링 에지에 기준하여 데이터 구동회로(12)의 소스 드라이브 IC들 내에서 데이터의 샘플링 동작을 제어하는 클럭신호이다. 극성제어신호(POL)는 데이터 구동회로(12)로부터 출력되는 데이터전압의 극성을 N(N은 양의 정수) 수평기간의 주기로 반전시킨다. 소스 출력 인에이블신호(SOE)는 데이터 구동회로의 출력 타이밍을 제어한다. 소스 드라이브 IC들 각각은 데이터라인들(D1~Dm)에 공급되는 데이터전압의 극성이 바뀔 때 소스 출력 인에이블신호(SOE)의 펄스에 응답하여 차지쉐어전압(Charge share voltage)이나 공통전압(Vcom)을 데이터라인들(D1~Dm)에 공급하고, 소스 출력 인에이블신호(SOE)의 로우논리기간 동안 데이터전압을 데이터라인들에 공급한다. 차지쉐어전압은 서로 상반된 극성의 데이터전압들이 공급되는 이웃한 데이터라인들의 평균전압일 수 있다.

[0022] 게이트 제어신호(GDC)는 적어도 하나 이상의 스타트 펄스와 적어도 둘 이상의 클럭신호들을 포함한다. 본 발명의 실시예에서는 4개의 스타트 펄스들(VST1 ~ VST4)과 8개의 클럭신호들(C1 ~ C8)을 예로 하여 설명한다. 게이트 제어신호(GDC)는 게이트 출력폭을 제어하기 위한 게이트 출력 인에이블신호(Gate Output Enable, GOE)를 더 포함할 수 있다.

[0023] 타이밍 콘트롤러(11)는 인접 프레임 사이의 블랭크 구간에서 유효 데이터에 동기되지 않는 불필요한 클럭들이 출력되지 않도록 블랭크 구간을 포함한 한 프레임 기간 동안 클럭신호들(C1 ~ C8)의 토탈 발생 횟수를 게이트라

인 갯수 또는 더미라인을 포함한 게이트라인 갯수로 제한한다.

[0024] 시스템 보드(14)는 방송 수신회로와 외부 비디오 소스 인터페이스 회로에 접속되어 그 소스 회로로부터 입력된 화상 데이터(DATA_RGB)를 LVDS(Low Voltage Differential Signaling) 인터페이스 또는 TMDS(Transition Minimized Differential Signaling) 인터페이스 송신회로를 통해 타이밍 콘트롤러(11)에 전송한다. 그리고 시스템 보드(14)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(DE), 도트 클럭(DCLK) 등의 타이밍 신호를 타이밍 콘트롤러(11)에 전송한다.

[0025] 데이터 구동회로(12)는 다수의 소스 드라이브 IC들을 포함한다. 소스 드라이브 IC들 각각은 타이밍 콘트롤러(11)로부터의 데이터 제어신호(SDC)에 응답하여 타이밍 콘트롤러(11)로부터 입력되는 디지털 비디오 데이터(DATA_RGB)를 샘플링하고 래치하여 병렬 데이터 체계의 데이터로 변환한다. 소스 드라이브 IC들 각각은 병렬 데이터 전송 체계로 변환된 데이터를 모듈 전원부(15)로부터의 정극성/부극성 감마기준전압들(V_{GMA01}~V_{GMA010})을 이용하여 아날로그 감마보상전압으로 변환하여 액정셀들에 충전될 정극성/부극성 아날로그 비디오 데이터전압을 발생한다. 소스 드라이브 IC들 각각은 타이밍 콘트롤러(11)의 제어 하에 정극성/부극성 아날로그 비디오 데이터전압의 극성을 반전시키면서 그 데이터전압을 데이터라인들(D1~Dm)에 공급한다.

[0026] 게이트 구동회로(13)는 도 5와 같이 GIP 방식에 따른 TFT 어레이 공정을 통해 액정표시패널(16)의 하부 유리기판 상에 직접 형성된다. 게이트 구동회로(13)는 액정표시패널(16)에서, 화상 데이터(DATA_RGB)를 표시하기 위한 유효 표시영역(AA) 바깥의 비 표시영역(NAA)에 형성된다. 게이트 구동회로(13)는 기수 게이트라인들(G1,G3,...,Gn-3,Gn-1)에 게이트신호를 순차적으로 공급하기 위한 제1 게이트 구동부(13A)와, 우수 게이트라인들(G2,G4,...,Gn-2,Gn)에 게이트신호를 순차적으로 공급하기 위한 제2 게이트 구동부(13B)를 포함할 수 있다. 제1 게이트 구동부(13A)는 타이밍 콘트롤러(11)로부터 입력되는 기수 스타트 펄스들(VST1,VST3)과 기수 클럭들(C1,C3,C5,C7)에 응답하여 동작한다. 기수 클럭들(C1,C3,C5,C7)은 액정셀의 TFT 구동에 적합하도록 레벨 쉬프터(미도시)를 통해 레벨이 쉬프팅 된 후 제1 게이트 구동부(13A)에 입력될 수 있다. 제2 게이트 구동부(13B)는 타이밍 콘트롤러(11)로부터 입력되는 우수 스타트 펄스들(VST2,VST4)과 우수 클럭들(C2,C4,C6,C8)에 응답하여 동작한다. 우수 클럭들(C2,C4,C6,C8)은 액정셀의 TFT 구동에 적합하도록 레벨 쉬프터(미도시)를 통해 레벨이 쉬프팅 된 후 제2 게이트 구동부(13B)에 입력될 수 있다.

[0027] 액정표시패널(16)은 액정층을 사이에 두고 대향하는 상부 유리기판과 하부 유리기판을 포함한다. 하부 유리기판에는 데이터라인들(D1~Dm)과 게이트라인들(G1~Gn)이 교차되고, 이들의 교차 구조에 의해 m × n(m,n은 양의 정수) 개의 액정셀(Clc)들이 매트릭스 형태로 형성된다. 하부 유리기판에는 k(k는 양의 정수)개의 더미 라인들(미도시)이 더 형성될 수 있다. 액정셀(Clc)들 각각은 TFT, TFT에 접속된 화소전극(1), 및 스토리지 커패시터(Cst) 등을 포함한다. 액정셀(Clc)은 TFT를 통해 데이터전압을 충전하는 화소전극(1)과 공통전압(Vcom)이 인가되는 공통전극(2)의 전압차에 의해 구동되어 입사되는 빛의 투과량을 조정하여 화상 데이터(DATA_RGB)에 대응되는 표시화상을 구현한다. 액정표시패널(16)의 상부 유리기판 상에는 블랙매트릭스, 컬러필터 및 공통전극이 형성된다. 공통전극(2)은 TN 모드와 VA 모드와 같은 수직전계 구동방식에서 상부 유리기판 상에 형성되며, IPS 모드와 FFS 모드와 같은 수평전계 구동방식에서 화소전극(1)과 함께 하부 유리기판 상에 형성된다. 액정표시패널(16)의 상부 유리기판과 하부 유리기판 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.

[0028] 본 발명에서 적용 가능한 액정표시패널(16)의 액정모드는 TN 모드, VA 모드, IPS 모드, FFS 모드뿐 아니라 어떠한 액정모드로도 구현될 수 있다. 또한, 본 발명의 액정표시장치는 투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치 등 어떠한 형태로도 구현될 수 있다. 투과형 액정표장치와 반투과형 액정표시장치에서는 백라이트 유닛(17)이 필요하다. 백라이트 유닛(17)은 직하형(direct type) 백라이트 유닛 또는, 에지형(edge type) 백라이트 유닛으로 구현될 수 있다.

[0029] 모듈 전원부(15)는 시스템 보드(14)의 전원회로로부터 입력되는 전압(Vin)을 조정하여 액정표시패널(16)의 구동전압들을 발생한다. 액정표시패널(16)의 구동 전압들은 8V 이하의 고전위 전원전압(Vdd), 약 3.3V의 로직 전원전압(Vcc), 15V 이상의 게이트 하이전압(V_{GH}), -3V 이하의 게이트 로우전압(V_{GL}), 7V~8V 사이의 공통전압(Vcom), 정극성/부극성 감마기준전압들(V_{GMA1}~V_{GMA10}) 등을 발생한다.

[0030] 도 6은 도 5의 제1 게이트 구동부(13A)를 구성하는 게이트 쉬프트 레지스터와 이로부터 출력되는 게이트 출력신호를 보여준다. 그리고, 도 7은 도 5의 제2 게이트 구동부(13B)를 구성하는 게이트 쉬프트 레지스터와 이로부터 출력되는 게이트 출력신호를 보여준다.

[0031] 도 6을 참조하면, 제1 게이트 구동부(13A)는 기수 게이트라인들(G1,G3,...,Gn-3,Gn-1)에 기수 게이트신호(Vg1,Vg3,...,Vgn-3,Vgn-1)를 순차적으로 공급한다. 이를 위해, 제1 게이트 구동부(13A)는 서로 종속적으로 접속된 n/2 개의 기수 스테이지들(ST1,ST3,...,STn-3,STn-1)과 2개의 기수 더미 스테이지들(STd1,STd3)을 갖는 기수 쉬프트 레지스터를 구비한다. 기수 쉬프터 레지스터에서 제1 및 제3 스테이지들(ST1,ST3)에는 스타트(Start)신호로서 각각 제1 및 제3 스타트펄스(VST1,VST3)가 입력되고, 제5 내지 제n-1 스테이지들(ST5 내지 STn-1)에는 스타트신호로서 각각 전전단의 게이트 출력신호(Vg1 내지 Vgn-5)가 각각 입력된다. 그리고, 기수 스테이지들 (ST1 내지 STn-1)에는 엔드(End)신호로서 다다음단의 게이트 출력신호(Vg5 내지 Vend3)가 각각 입력된다. 기수 더미 스테이지들(STd1,STd3)은 엔드신호(Vend1,Vend3)를 발생한다.

[0032] 기수 스테이지들(ST1 내지 STn-1)과 기수 더미 스테이지들(STd1,STd3)에는 기수 클럭들(C1,C3,C5,C7)이 순차적으로 1개씩 입력된다. 그 결과, 대략 4 수평기간(4H)의 폭을 가지고 2 수평기간(2H)씩 위상이 쉬프트되는 기수 게이트 출력신호(Vg1 내지 Vgn-1)가 발생된다. 여기서, 기수 게이트 출력신호(Vg1 내지 Vgn-1)를 서로 중첩시켜 기수 게이트 출력신호(Vg1 내지 Vgn-1)의 폭을 4 수평기간(4H)로 하는 이유는 충전시간을 충분히 확보하기 위함이며, 경우에 따라 기수 게이트 출력신호(Vg1 내지 Vgn-1)의 폭은 얼마든지 가변될 수 있다.

[0033] 도 7을 참조하면, 제2 게이트 구동부(13B)는 우수 게이트라인들(G2,G4,...,Gn-2,Gn)에 우수 게이트신호(Vg2,Vg4,...,Vgn-2,Vgn)를 순차적으로 공급한다. 이를 위해, 제2 게이트 구동부(13B)는 서로 종속적으로 접속된 n/2 개의 우수 스테이지들(ST2,ST4,...,STn-2, STn)과 2개의 우수 더미 스테이지들(STd2,STd4)을 갖는 우수 쉬프트 레지스터를 구비한다. 우수 쉬프터 레지스터에서 제2 및 제4 스테이지들(ST2,ST4)에는 스타트(Start)신호로서 각각 제2 및 제4 스타트펄스(VST2,VST4)가 입력되고, 제6 내지 제n 스테이지들(ST6 내지 STn)에는 스타트신호로서 각각 전전단의 게이트 출력신호(Vg2 내지 Vgn-4)가 각각 입력된다. 그리고, 우수 스테이지들 (ST2 내지 STn)에는 엔드(End)신호로서 다다음단의 게이트 출력신호(Vg6 내지 Vend4)가 각각 입력된다. 우수 더미 스테이지들(STd2,STd4)은 엔드신호(Vend2,Vend4)를 발생한다.

[0034] 우수 스테이지들 (ST2 내지 STn)과 우수 더미 스테이지들(STd2,STd4)에는 우수 클럭들(C2,C4,C6,C8)이 순차적으로 1개씩 입력된다. 그 결과, 대략 4 수평기간(4H)의 폭을 가지고 2 수평기간(2H)씩 위상이 쉬프트되는 우수 게이트 출력신호(Vg2 내지 Vgn)가 발생된다. 여기서, 우수 게이트 출력신호(Vg2 내지 Vgn)를 서로 중첩시켜 우수 게이트 출력신호(Vg2 내지 Vgn)의 폭을 4 수평기간(4H)로 하는 이유는 충전시간을 충분히 확보하기 위함이며, 경우에 따라 우수 게이트 출력신호(Vg2 내지 Vgn)의 폭은 얼마든지 가변될 수 있다. 한편, 우수 게이트 출력신호(Vg2 내지 Vgn)는 기수 게이트 출력신호(Vg1 내지 Vgn-1)로부터 1 수평기간(1H) 만큼씩 위상이 지연되어 발생된다.

[0035] 도 8은 도 6에 도시된 스테이지들 중 제1 스테이지(ST1)의 회로 구성을 상세히 보여준다. 도 6 및 도 7에 도시된 나머지 스테이지들의 구성은 제1 스테이지(ST1)의 구성에 비해, 스타트신호, 엔드신호, 클럭신호 및 게이트 출력신호만 다를 뿐 그 외에는 실질적으로 동일하다.

[0036] 도 8을 참조하면, 제1 스테이지(ST1)는 Q 노드의 전위에 따라 스위칭되는 풀업 TFT(Tpu)와, QB 노드의 전위에 따라 스위칭되는 풀다운 TFT(Tpd)와, Q 노드 및 QB 노드의 전위를 제어하는 노드 제어회로를 구비한다. 여기서, Q 노드는 제1 게이트 출력신호(Vg1)를 하이 레벨로 발생하기 위한 인에이블용 제어 노드이며, QB 노드는 제1 게이트 출력신호(Vg1)를 로우 레벨로 발생하기 위한 디스인에이블용 제어 노드를 지시한다.

[0037] 풀업 TFT(Tpu)는 제1 클럭신호(C1)의 입력단과 제1 게이트신호(Vg1)의 출력단 사이에 접속되어 Q 노드의 전위에 따라 스위칭된다. 풀다운 TFT(Tpd)는 저전위 전압(Vss)의 입력단과 제1 게이트신호(Vg1)의 출력단 사이에 접속되어 QB 노드의 전위에 따라 스위칭된다. Q 노드 및 QB 노드는 서로 교번적으로 충전 및 방전된다. 즉, Q 노드가 하이 레벨로 충전될 때 QB 노드는 로우 레벨로 방전되고, Q 노드가 로우 레벨로 방전될 때 QB 노드는 하이 레벨로 충전된다. Q 노드가 충전되면 풀업 TFT(Tpu)가 턴 온 되어, 제1 클럭신호(C1)가 하이 레벨의 제1 게이트신호(Vg1)로서 출력된다. QB 노드가 충전되면 풀다운 TFT(Tpd)가 턴 온 되어, 저전위 전압(Vss)이 로우 레벨의 제1 게이트신호(Vg1)로서 출력된다.

[0038] 노드 제어회로는 제1 내지 제5 스위치 TFT(T1 내지 T5)를 포함한다. 제1 스위치 TFT(T1)는 고전위 전압(Vdd)의 입력단과 Q 노드 사이에 접속되며, 스타트(Start)신호인 제1 스타트 펄스(VST1)에 응답하여 스위칭된다. 제2 스위치 TFT(T2)는 고전위 전압(Vdd)의 입력단와 QB 노드 사이에 다이오드 커넥션(Diode-connction) 상태로 접속된다. 제3 스위치 TFT(T3)는 QB 노드와 저전위 전압(Vss)의 입력단 사이에 접속되며, Q 노드의 전위에 응답하여 스위칭된다. 제4 스위치 TFT(T4)는 Q 노드와 저전위 전압(Vss)의 입력단 사이에 접속되며, 엔드신호(Vend)인 다다음단의 게이트 출력신호(Vg5)에 응답하여 스위칭된다. 제5 스위치 TFT(T5)는 Q 노드와 저전위 전압

(Vss)의 입력단 사이에 접속되며, QB 노드의 전위에 응답하여 스위칭된다.

[0039] 도 9는 본 발명의 실시예에 따른 스타트펄스들과 클럭신호들의 발생 타이밍을 보여주는 일 예이다. 도 10 및 도 11은 각각 더미 스테이지들을 포함하지 않는 제1 및 제2 게이트 구동부를 보여준다. 그리고, 도 12는 본 발명의 실시예에 따른 스타트펄스들과 클럭신호들의 발생 타이밍을 보여주는 다른 예이다.

[0040] 도 9를 참조하면, 제1 내지 제4 스타트펄스(VST1~VST4)는 대략 4 수평기간(4H)의 폭으로 인접 프레임 사이의 블랭크 구간마다 한 번씩 발생된다. 제1 내지 제4 스타트펄스(VST~VST4)는 순차적으로 1 수평기간(1H)씩 위상이 지연된다. 제1 클럭신호(C1)는 제1 스타트펄스(VST1)의 발생시점으로부터 4 수평기간(4H) 만큼 위상이 지연되어 대략 4 수평기간(4H)의 폭으로 한 프레임에 {(n/8)+1} 번씩 발생되고, 제2 클럭신호(C2)는 제1 클럭신호(C1)의 발생시점으로부터 1 수평기간(1H) 만큼 위상이 지연되어 대략 4 수평기간(4H)의 폭으로 한 프레임에 {(n/8)+1} 번씩 발생되고, 제3 클럭신호(C3)는 제2 클럭신호(C2)의 발생시점으로부터 1 수평기간(1H) 만큼 위상이 지연되어 대략 4 수평기간(4H)의 폭으로 한 프레임에 {(n/8)+1} 번씩 발생되고, 제4 클럭신호(C4)는 제3 클럭신호(C3)의 발생시점으로부터 1 수평기간(1H) 만큼 위상이 지연되어 대략 4 수평기간(4H)의 폭으로 한 프레임에 {(n/8)+1} 번씩 발생되고, 제5 클럭신호(C5)는 제4 클럭신호(C4)의 발생시점으로부터 1 수평기간(1H) 만큼 위상이 지연되어 대략 4 수평기간(4H)의 폭으로 한 프레임에 n/8 번씩 발생되고, 제6 클럭신호(C6)는 제5 클럭신호(C5)의 발생시점으로부터 1 수평기간(1H) 만큼 위상이 지연되어 대략 4 수평기간(4H)의 폭으로 한 프레임에 n/8 번씩 발생되고, 제7 클럭신호(C7)는 제6 클럭신호(C6)의 발생시점으로부터 1 수평기간(1H) 만큼 위상이 지연되어 대략 4 수평기간(4H)의 폭으로 한 프레임에 n/8 번씩 발생되며, 제8 클럭신호(C8)는 제7 클럭신호(C7)의 발생시점으로부터 1 수평기간(1H) 만큼 위상이 지연되어 대략 4 수평기간(4H)의 폭으로 한 프레임에 n/8 번씩 발생된다.

[0041] 클럭신호들(C1 ~ C8)의 토탈 발생 횟수는 블랭크 구간을 포함한 한 프레임 기간 동안 더미라인들을 포함한 게이트라인 갯수에 대응되도록 n+4 번으로 제한된다. 그 결과, 본 발명에 따르면 인접 프레임 사이의 블랭크 구간에서 불필요한 클럭들이 출력되지 않게 되어 소비 전력이 크게 절감된다. 예컨대, 불필요한 클럭들이 약 50개라는 가정하에 4.3 인치 ~ 5 인치 모델에서 소비 전력을 계산해 보면, 약 0.13 ~ 0.14mW 정도의 소비 전력 개선 효과가 있음을 알 수 있다. 패널이 대면적 및 고해상도로 발전 될수록, 또는 구동 주파수가 높아질수록 소비 전력 개선 효과는 더욱 커질 것으로 기대된다.

[0042] 한편, 도 10 및 도 11와 같이 엔드신호(Vend1 ~ Vend4)를 더미 스테이지들을 통해 발생하지 않고 직접 타이밍 콘트롤러(11)에서 발생하는 경우에는, 더미 구동을 위한 별도의 클럭신호들을 발생할 필요가 없다. 따라서, 클럭신호들(C1 ~ C8)의 토탈 발생 횟수는 블랭크 구간을 포함한 한 프레임 기간 동안 도 12에 도시된 바와 같이 게이트라인 갯수에만 대응되도록 n 번으로 제한된다. 이에 따르면 인접 프레임 사이의 블랭크 구간에서의 불필요한 클럭수를 더욱 줄어들어 소비 전력이 크게 절감된다.

[0043] 상술한 바와 같이, 본 발명에 따른 액정표시장치는 인접 프레임 사이의 블랭크 구간에서 불필요한 클럭들이 출력되지 않도록 클럭신호들의 토탈 발생 횟수를 블랭크 구간을 포함한 한 프레임 기간 동안 게이트라인 갯수, 또는 더미라인을 포함한 게이트라인 갯수로 제한함으로써, 소비 전력을 크게 줄일 수 있다.

[0044] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위 내에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명은 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

[0045] 도 1은 액정표시장치 구성하는 액정셀의 등가회로도.

[0046] 도 2는 게이트 쉬프트 레지스터를 구성하는 스테이지의 등가회로도.

[0047] 도 3은 종래 게이트 쉬프트 레지스터에 입력되는 스타트펄스들과 클럭신호들의 발생 타이밍을 보여주는 도면.

[0048] 도 4는 본 발명의 실시예에 따른 액정표시장치를 나타내는 블럭도.

[0049] 도 5는 본 발명의 실시예에 따른 게이트 구동회로의 형성 위치를 보여주는 도면.

[0050] 도 6은 도 5의 제1 게이트 구동부를 구성하는 게이트 쉬프트 레지스터와 이로부터 출력되는 게이트 출력신호를

보여주는 도면.

[0051] 도 7은 도 5의 제2 게이트 구동부를 구성하는 게이트 쉬프트 레지스터와 이로부터 출력되는 게이트 출력신호를 보여주는 도면.

[0052] 도 8은 도 6에 도시된 스테이지들 중 제1 스테이지의 회로 구성을 상세히 보여주는 도면.

[0053] 도 9는 본 발명의 일 실시예에 따른 스타트펄스들과 클럭신호들의 발생 타이밍을 보여주는 도면.

[0054] 도 10 및 도 11은 각각 더미 스테이지들을 포함하지 않는 제1 및 제2 게이트 구동부를 보여주는 도면.

[0055] 도 12는 본 발명의 다른 실시예에 따른 스타트펄스들과 클럭신호들의 발생 타이밍을 보여주는 도면.

[0056] < 도면의 주요 부분에 대한 부호의 설명 >

[0057] 11 : 타이밍 콘트롤러 12 : 데이터 구동회로

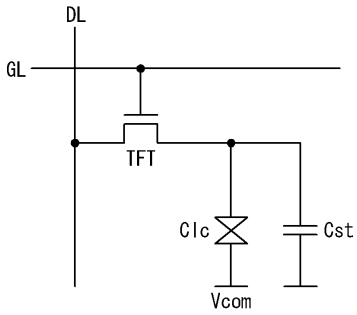
[0058] 13 : 게이트 구동회로 14 : 시스템 보드

[0059] 15 : 모듈 전원부 16 : 액정표시패널

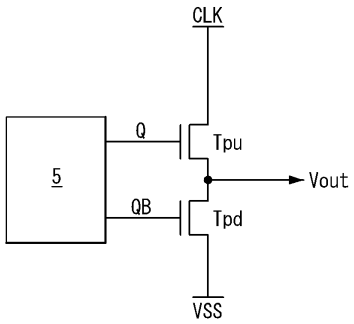
[0060] 17 : 백라이트 유닛

도면

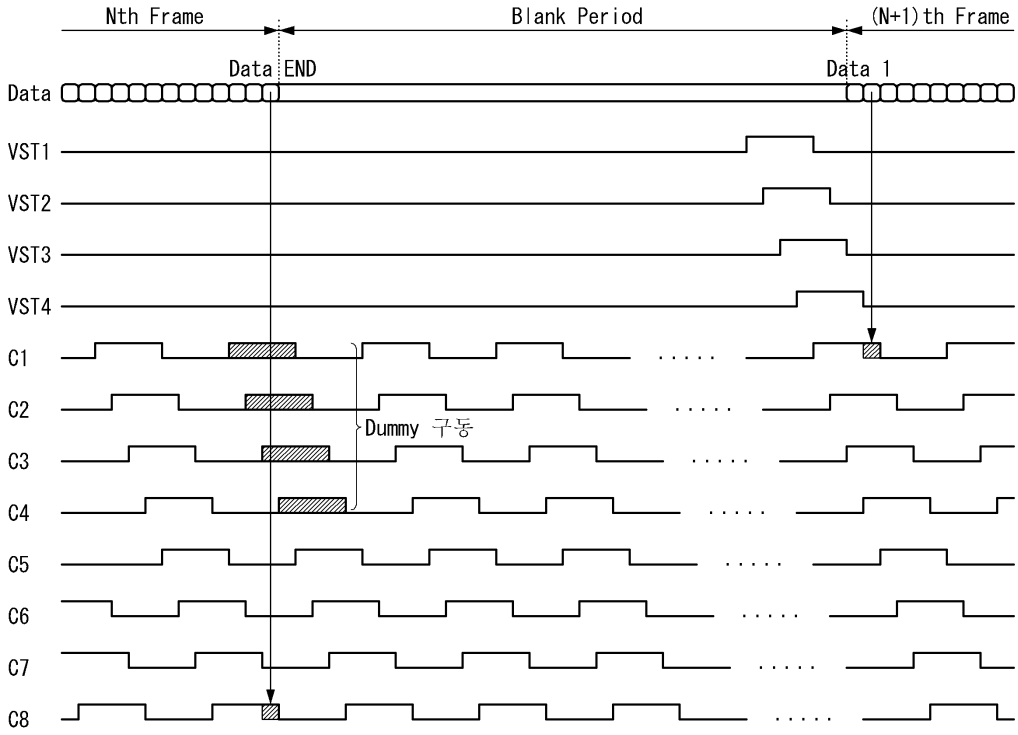
도면1



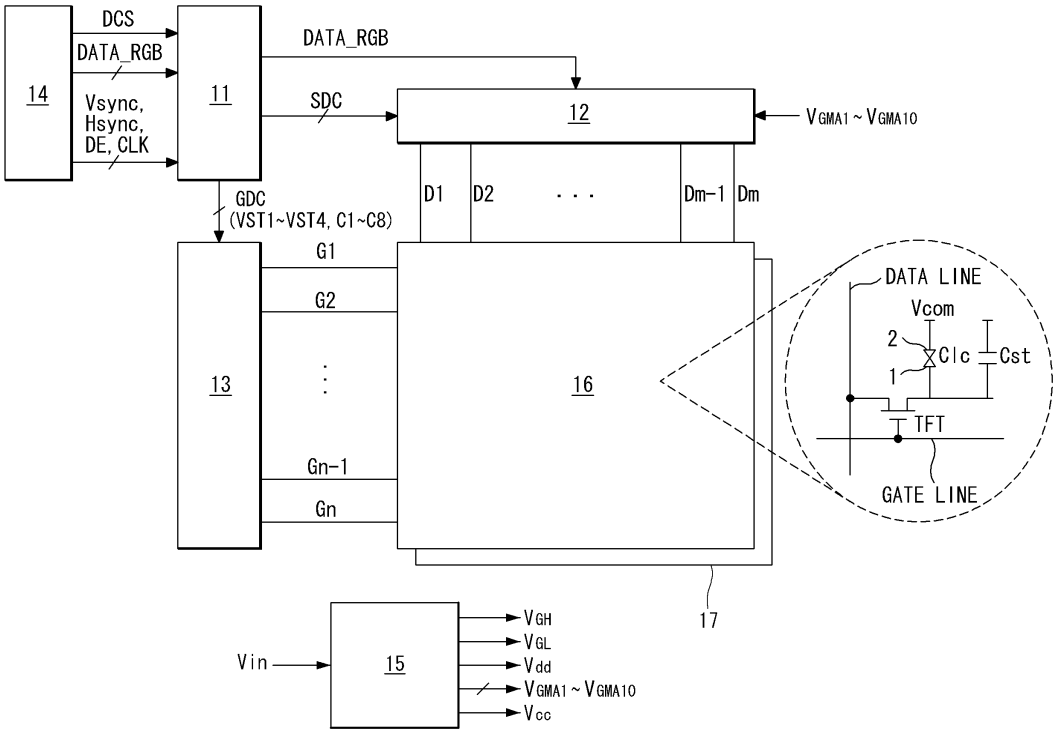
도면2



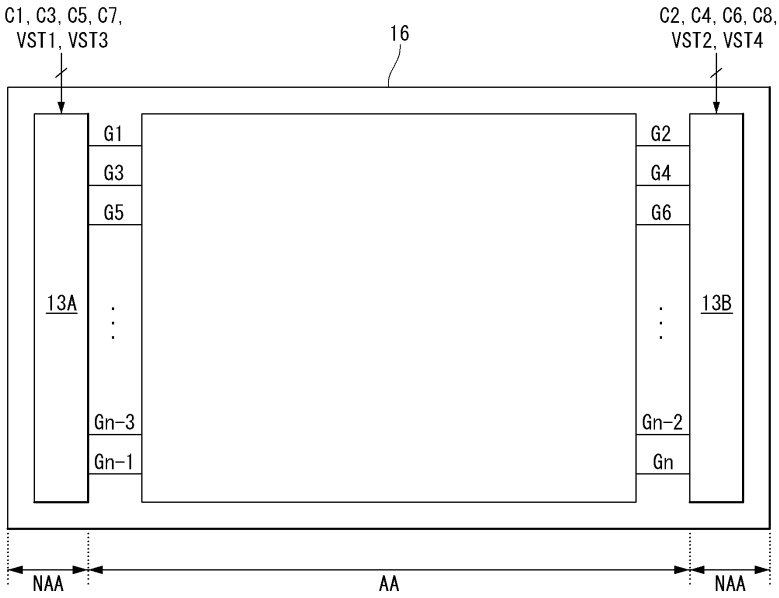
도면3


Nth Frame
Blank Period
(N+1)th Frame
Data END
Data 1
Data
VST1
VST2
VST3
VST4
C1
C2
C3
C4
C5
C6
C7
C8
Dummy 구동

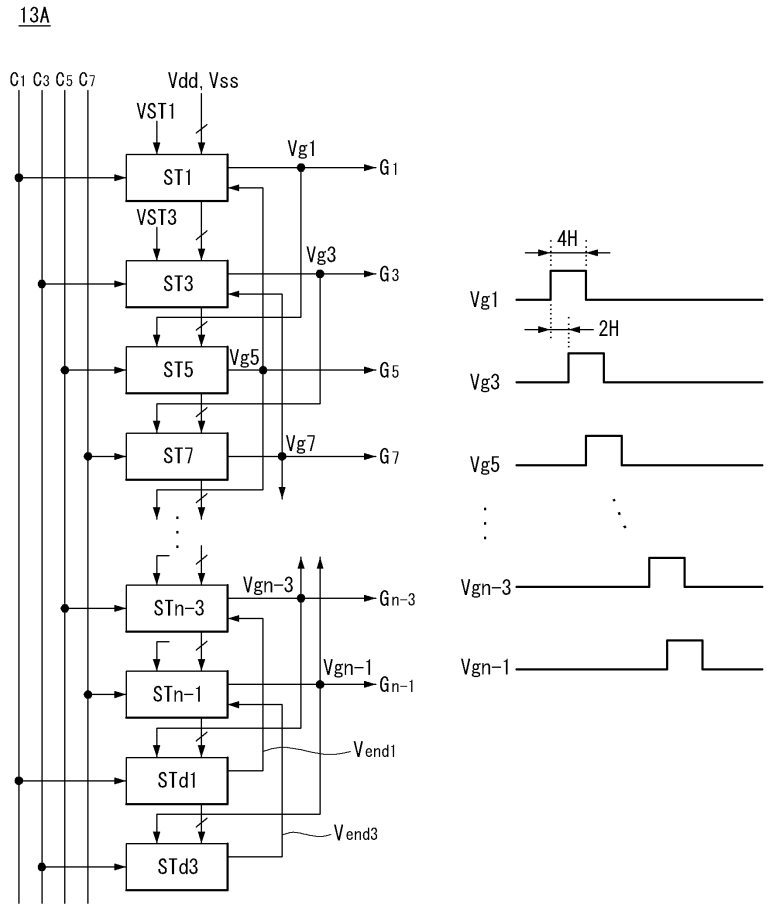
도면4


14
DCS
DATA_RGB
Vsync,
Hsync,
DE, CLK
11
DATA_RGB
SDC
12
VGMA1~VGMA10
D1
D2
Dm-1
Dm
GDC
(VST1~VST4, C1~C8)
G1
G2
Gn-1
Gn
13
16
DATA LINE
Vcom
2
1
Clc
Cst
TFT
GATE LINE
17
Vin
15
VGH
VGL
Vdd
VGMA1~VGMA10
Vcc

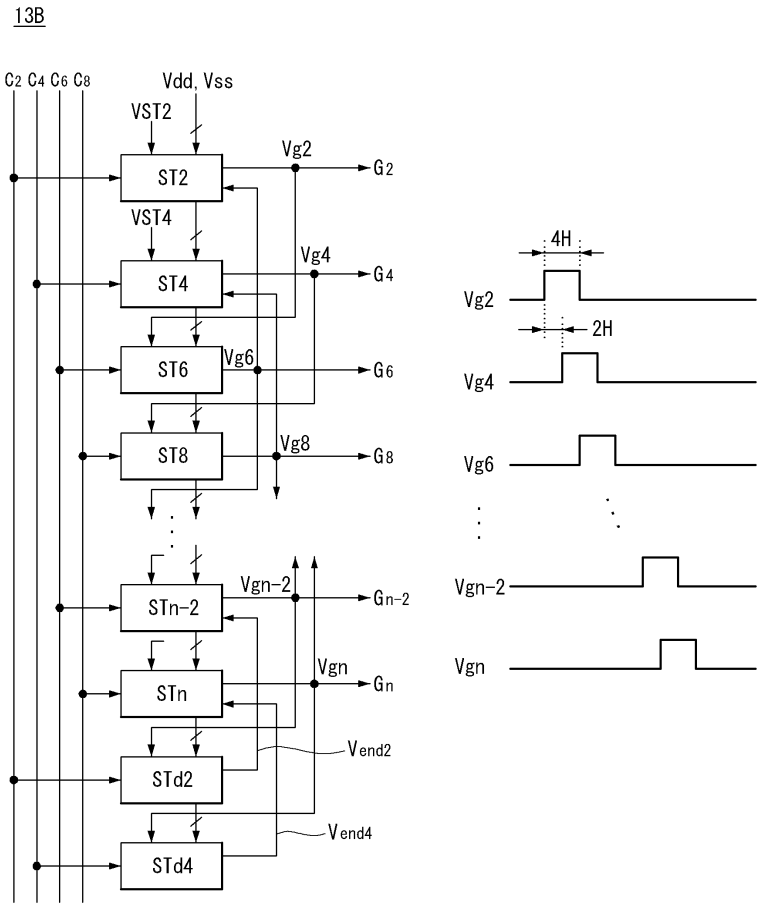
도면5


C1, C3, C5, C7,
VST1, VST3
16
C2, C4, C6, C8,
VST2, VST4
G1
G3
G5
G2
G4
G6
13A
13B
Gn-3
Gn-1
Gn-2
Gn
NAA
AA
NAA

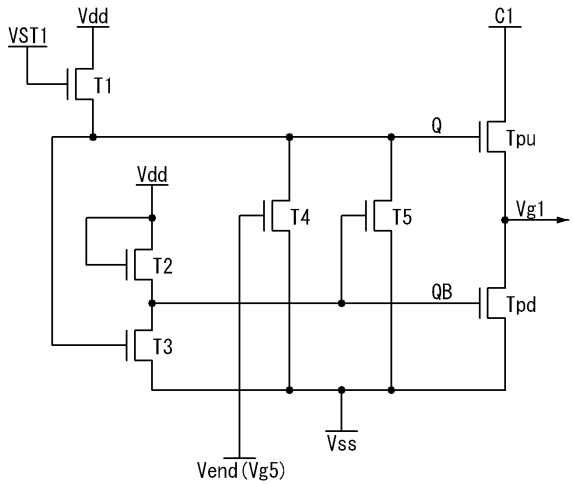
도면6


13A
C1 C3 C5 C7
Vdd, Vss
VST1
Vg1
ST1
G1
VST3
Vg3
ST3
G3
ST5
Vg5
G5
ST7
Vg7
G7
STn-3
Vgn-3
Gn-3
STn-1
Vgn-1
Gn-1
STd1
Vend1
STd3
Vend3
4H
2H
Vg1
Vg3
Vg5
Vgn-3
Vgn-1

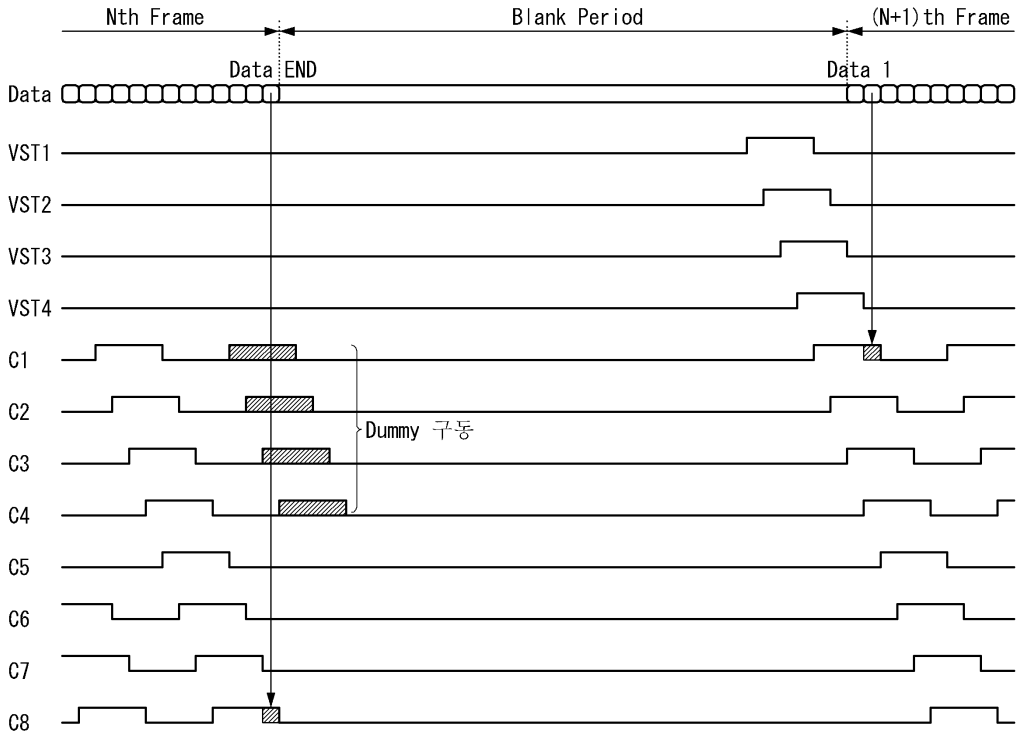
도면7


13B
C2 C4 C6 C8
Vdd, Vss
VST2
VST4
ST2
ST4
ST6
ST8
STn-2
STn
STd2
STd4
Vg2
Vg4
Vg6
Vg8
Vgn-2
Vgn
Vend2
Vend4
G2
G4
G6
G8
Gn-2
Gn
4H
2H

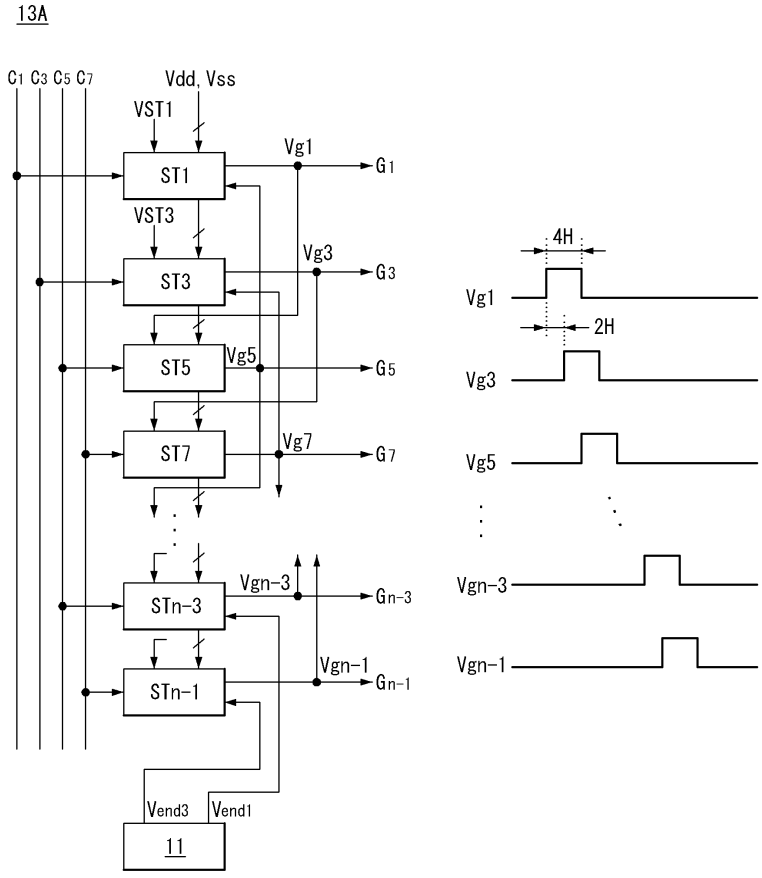
도면8


VST1
Vdd
T1
C1
Q
Tpu
Vdd
T4
T5
Vg1
T2
QB
Tpd
T3
Vss
Vend (Vg5)

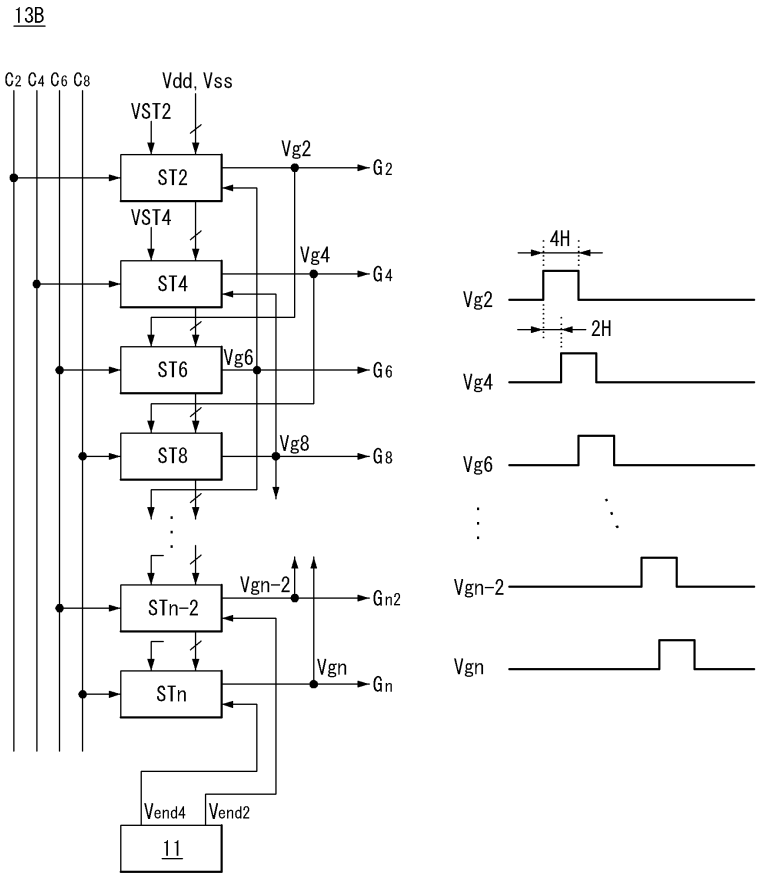
도면9


Nth Frame
Blank Period
(N+1)th Frame
Data END
Data 1
Data
VST1
VST2
VST3
VST4
C1
C2
C3
C4
C5
C6
C7
C8
Dummy 구동

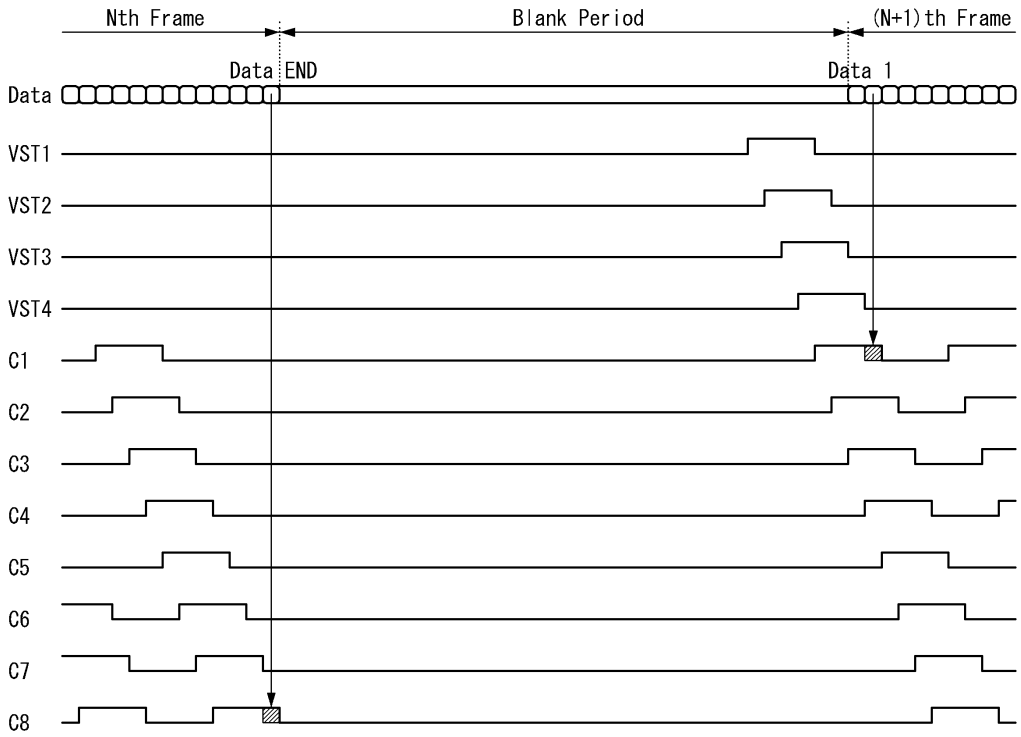
도면10


13A
C1 C3 C5 C7
Vdd, Vss
VST1
VST3
ST1
ST3
ST5
ST7
STn-3
STn-1
Vg1
Vg3
Vg5
Vg7
Vgn-3
Vgn-1
G1
G3
G5
G7
Gn-3
Gn-1
Vend3
Vend1
11
4H
2H

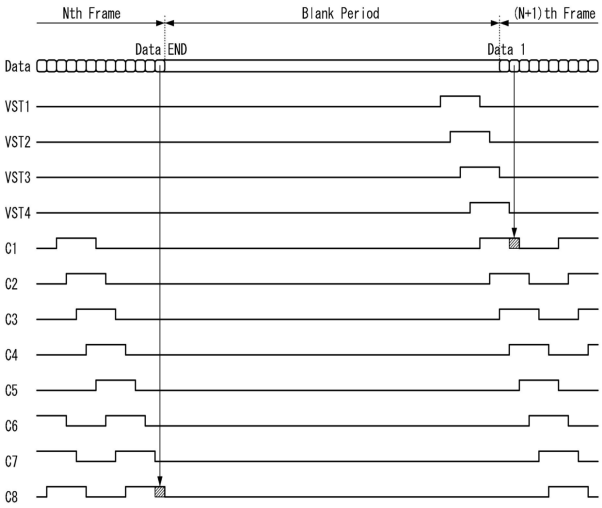
도면11


13B
C2 C4 C6 C8
Vdd, Vss
VST2
ST2
Vg2
G2
VST4
ST4
Vg4
G4
ST6
Vg6
G6
ST8
Vg8
G8
STn-2
Vgn-2
Gn2
STn
Vgn
Gn
Vend4
Vend2
11
4H
Vg2
2H
Vg4
Vg6
Vgn-2
Vgn

도면12


Nth Frame
Blank Period
(N+1)th Frame
Data END
Data 1
Data
VST1
VST2
VST3
VST4
C1
C2
C3
C4
C5
C6
C7
C8

专利名称(译)	液晶显示器		
公开(公告)号	KR1020110075502A	公开(公告)日	2011-07-06
申请号	KR1020090131969	申请日	2009-12-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHAE JI EUN		
发明人	CHAE JI EUN		
IPC分类号	G02F1/133 G09G3/36		
CPC分类号	G09G3/3677 G02F1/13306 G09G2310/0286 G09G2310/08		
外部链接	Espacenet		

摘要(译)

液晶显示装置技术领域本发明涉及能够降低功耗的液晶显示装置。 该液晶显示装置包括：液晶显示面板，其中多条栅极线和多条数据线交叉，液晶单元以矩阵形式布置在交叉区域中;一种用于产生多个时钟信号的定时控制器，该定时控制器用于在包括空白间隔的一个帧周期期间将时钟信号的出现总数限制为栅极线的数量;以及栅极移位寄存器，其包括多个级并响应于时钟信号顺序地产生栅极信号，并将栅极信号提供给栅极线。