



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0062608
(43) 공개일자 2011년06월10일

(51) Int. Cl.

G09G 3/36 (2006.01) G02F 1/133 (2006.01)

(21) 출원번호 10-2009-0119387

(22) 출원일자 2009년12월03일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 용산구 한강로3가 65-228

(72) 발명자

이주영

경북 구미시 상모동 우방신세계타운 206동 905호

(74) 대리인

특허법인로얄

전체 청구항 수 : 총 8 항

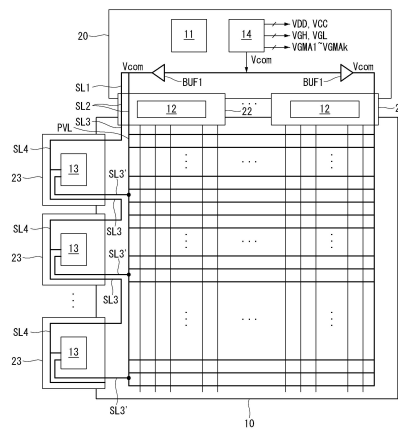
(54) 액정표시장치

(57) 요약

본 발명은 공통전압의 왜곡을 줄일 수 있는 액정표시장치에 관한 것이다.

이 액정표시장치는 다수의 게이트라인들과 다수의 데이터라인들이 교차되고, 이 교차 영역마다 액정셀들이 매트릭스 형태로 배치된 액정표시패널; 상기 액정셀들의 공통전극에 접속되는 패널 공통라인; 상기 공통전극에 인가될 공통전압을 발생하는 전원회로; 상기 데이터라인들을 구동하기 위한 데이터 드라이버 IC를 각각 포함한 다수의 데이터 회로군들; 제1 LOG형 신호라인군을 통해 상기 데이터 회로군들 중 어느 하나에 연결되며, 상기 게이트라인들을 구동하기 위한 게이트 드라이버 IC를 각각 포함한 다수의 게이트 회로군들; 상기 공통전압은 특정 데이터 회로군을 통해 상기 패널 공통라인에 공급됨과 아울러, 상기 게이트 회로군들을 통해 상기 패널 공통라인에 공급된다.

대표도 - 도2



특허청구의 범위

청구항 1

다수의 게이트라인들과 다수의 데이터라인들이 교차되고, 이 교차 영역마다 액정셀들이 매트릭스 형태로 배치된 액정표시패널;

상기 액정셀들의 공통전극에 접속되는 패널 공통라인;

상기 공통전극에 인가될 공통전압을 발생하는 전원회로;

상기 데이터라인들을 구동하기 위한 데이터 드라이버 IC를 각각 포함한 다수의 데이터 회로군들;

제1 LOG형 신호라인군을 통해 상기 데이터 회로군들 중 어느 하나에 연결되며, 상기 게이트라인들을 구동하기 위한 게이트 드라이버 IC를 각각 포함한 다수의 게이트 회로군들;

상기 공통전압은 특정 데이터 회로군을 통해 상기 패널 공통라인에 공급됨과 아울러, 상기 게이트 회로군들을 통해 상기 패널 공통라인에 공급되는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 공통전압은 상기 게이트 회로군들 각각의 게이트 드라이버 IC 내에서 안정화 된 후 상기 패널 공통라인에 공급되는 것을 특징으로 하는 액정표시장치.

청구항 3

제 1 항에 있어서,

상기 특정 데이터 회로군을 지시하는 첫 번째 및 마지막 번째 데이터 회로군은 각각 상기 공통전압의 전송을 위한 제1 더미 배선군을 구비하고;

상기 게이트 회로군들은 각각 상기 공통전압의 전송을 위한 제2 더미 배선군을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 4

제 3 항에 있어서,

상기 제1 LOG형 신호라인군은 서로 인접한 상기 게이트 회로군들을 더 연결하는 것을 특징으로 하는 액정표시장치.

청구항 5

제 4 항에 있어서,

상기 제2 더미 배선군의 일부는 상기 제1 LOG형 신호라인군에 연결되고, 상기 제2 더미 배선군의 나머지 일부는 상기 패널 공통라인과 접속된 제2 LOG형 신호라인군에 연결되는 것을 특징으로 하는 액정표시장치.

청구항 6

제 5 항에 있어서,

상기 게이트 회로군들 각각의 게이트 드라이버 IC는, 상기 제2 더미 배선군으로부터 입력되는 공통전압을 안정화시킨 후 상기 제2 LOG형 신호라인군에 공급하기 위한 1개 또는 2개의 버퍼를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 7

제 3 항에 있어서,

상기 전원회로는 상기 데이터 회로군들에 접속된 소스 PCB에 실장되며;

상기 공통전압은 상기 소스 PCB에 형성된 공통전압 공급배선을 통해 상기 제1 더미 배선군에 인가되는 것을 특징으로 하는 액정표시장치.

청구항 8

제 7 항에 있어서,

상기 공통전압 공급배선에는 상기 공통전압의 신호 감쇠를 최소화하기 위한 적어도 1개 이상의 버퍼가 접속되는 것을 특징으로 하는 액정표시장치.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 공통전압의 왜곡을 줄일 수 있는 액정표시장치에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치는 스위칭 소자로서 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)를 이용하여 동영상상을 표시하고 있다. 이 액정표시장치는 음극선관(Cathode Ray Tube, CRT)에 비하여 소형화가 가능하여 휴대용 정보기기, 사무기기, 컴퓨터 등에서 표시기에 응용됨은 물론, 텔레비전에도 응용되어 빠르게 음극선관을 대체하고 있다.

[0003] 이러한 액정표시장치에서, 화소전극에는 데이터전압이 인가되고 그 화소전극과 대향하는 공통전극에는 공통전압이 인가된다. 공통전극들은 패널 공통라인에 공통 접속된다. 액정셀들은 화소전극과 공통전극에 인가되는 전압에 의해 구동된다.

[0004] 그런데 공통전압은 패널 공통라인의 구조에 따른 라인저항 또는 면내 편차로 인하여 왜곡되기가 쉽다. 공통전압(Vcom)은 도 1과 같이 상측 두 군데의 입력 지점만을 통해 패널로 인가되므로, 패널 공통라인의 로드(Load)에 의해 패널의 각 지점에서 일정한 레벨로 유지되기 어렵다. 패널 공통라인의 로드는 라인저항과 기생용량의 곱으로 정의되는 RC 딜레이(Delay) 량에 의존하므로, 입력 지점에서 멀어질수록 커진다. 이러한 공통전압(Vcom)의 면내 편차는 상하 휘도차 및 플리커(Flicker)를 유발할 뿐만 아니라, 패널 내에 DC 성분을 축적시켜 잔상과 같은 화질 불량을 초래한다. RC 딜레이 량을 줄이기 위해서는 패널 공통라인의 선폭을 증가시켜야 한다. 하지만, 패널 공통라인의 선폭을 증가시키면 그만큼 개구율이 저하되므로, 상기 선폭 조정방안은 고려되기 어렵다.

[0005] 최근 액정표시장치는 모션 블러링등을 개선하기 위해 고속 구동 방식을 채용하고 있다. 고속 구동 방식하에서, 공통전압(Vcom)은 일정한 값으로 유지되지 못하고, 스캔펄스 또는 데이터전압에 영향받아 출렁이게 된다. 이러한 공통전압의 리플(Ripple) 현상은 특정 데이터패턴이 표시될 때 수평 크로스토크(Crosstalk)를 유발한다.

발명의 내용

해결 하고자하는 과제

[0006] 따라서, 본 발명의 목적은 공통전압의 입력 지점을 늘려 공통전압의 왜곡을 줄일 수 있도록 한 액정표시장치를 제공하는 데 있다.

과제 해결수단

[0007] 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 액정표시장치는 다수의 게이트라인들과 다수의 데이터라인들이 교차되고, 이 교차 영역마다 액정셀들이 매트릭스 형태로 배치된 액정표시패널; 상기 액정셀들의 공통

전극에 접속되는 패널 공통라인; 상기 공통전극에 인가될 공통전압을 발생하는 전원회로; 상기 데이터라인들을 구동하기 위한 데이터 드라이버 IC를 각각 포함한 다수의 데이터 회로군들; 제1 LOG형 신호라인군을 통해 상기 데이터 회로군들 중 어느 하나에 연결되며, 상기 게이트라인들을 구동하기 위한 게이트 드라이버 IC를 각각 포함한 다수의 게이트 회로군들; 상기 공통전압은 특정 데이터 회로군을 통해 상기 패널 공통라인에 공급됨과 아울러, 상기 게이트 회로군들을 통해 상기 패널 공통라인에 공급된다.

- [0008] 상기 공통전압은 상기 게이트 회로군들 각각의 게이트 드라이버 IC 내에서 안정화 된 후 상기 패널 공통라인에 공급된다.
- [0009] 상기 특정 데이터 회로군을 지시하는 첫 번째 및 마지막 번째 데이터 회로군은 각각 상기 공통전압의 전송을 위한 제1 더미 배선군을 구비하고; 상기 게이트 회로군들은 각각 상기 공통전압의 전송을 위한 제2 더미 배선군을 구비한다.
- [0010] 상기 제1 LOG형 신호라인군은 서로 인접한 상기 게이트 회로군들을 더 연결한다.
- [0011] 상기 제2 더미 배선군의 일부는 상기 제1 LOG형 신호라인군에 연결되고, 상기 제2 더미 배선군의 나머지 일부는 상기 패널 공통라인과 접속된 제2 LOG형 신호라인군에 연결된다.
- [0012] 상기 게이트 회로군들 각각의 게이트 드라이버 IC는, 상기 제2 더미 배선군으로부터 입력되는 공통전압을 안정화시킨 후 상기 제2 LOG형 신호라인군에 공급하기 위한 1개 또는 2개의 버퍼를 포함한다.
- [0013] 상기 전원회로는 상기 데이터 회로군들에 접속된 소스 PCB에 실장되며; 상기 공통전압은 상기 소스 PCB에 형성된 공통전압 공급배선을 통해 상기 제1 더미 배선군에 인가된다.
- [0014] 상기 공통전압 공급배선에는 상기 공통전압의 신호 감쇠를 최소화하기 위한 적어도 1개 이상의 버퍼가 접속된다.

효 과

- [0015] 본 발명에 따른 액정표시장치는 공통전압을 각 게이트 드라이버 IC 내에서 안정화시킨 후 패널 공통라인에 공급함으로써, 공통전압의 입력 지점을 늘려 공통전압의 왜곡을 크게 줄일 수 있다.

발명의 실시를 위한 구체적인 내용

- [0016] 이하, 도 2 내지 도 5를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.
- [0017] 도 2는 본 발명의 실시예에 따른 액정표시장치를 보여준다.
- [0018] 도 2를 참조하면, 본 발명의 실시예에 따른 액정표시장치는 액정표시패널(10), 타이밍 콘트롤러(11), 데이터 구동회로, 및 게이트 구동회로, 및 전원회로(14)를 구비한다.
- [0019] 액정표시패널(10)은 두 장의 유리기판 사이에 액정층이 형성된다. 이 액정표시패널(10)은 도 3과 같이 다수의 데이터라인들(D1 내지 Dm)과 다수의 게이트라인들(G1 내지 Gn)의 교차 구조에 의해 매트릭스 형태로 배치된 $m \times n$ 개의 액정셀(Clc)들을 포함한다.
- [0020] 액정표시패널(10)의 하부 유리기판에는 데이터라인들(D1 내지 Dm), 게이트라인들(G1 내지 Gn), TFT들, TFT들에 접속된 화소전극들(1), 화소전극들(1)과 대향하여 전계를 형성하는 공통전극(2), 공통전극(2)에 접속된 패널 공통라인(PVL), 및 스토리지 커패시터(Cst) 등이 형성된다. 공통전극(2)은 IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서 화소전극(1)과 함께 하부 유리기판 상에 형성되며, TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서 상부 유리기판 상에 형성된다. 패널 공통라인(PVL)은 하부 유리기판의 양측 가장자리(비표시영역)에서 데이터라인과 나란히 형성되는 테두리 공통라인과, 비표시영역 안쪽의 표시영역에서 게이트라인과 나란히 형성되며 테두리 공통라인에 연결되는 가로 공통라인들을 포함한다. 패널 공통라인(PVL)은 액정표시패널(10)의 상측 두 지점에서 입력된 공통전압(Vcom)을 공통전극(2)에 공급함과 아울러, 각 게이트 드라이버 IC(13)로부터 입력된 공통전압(Vcom)을 공통전극(2)에 공급한다. 하부 유리기판의 비표시영역에는 데이터라인들(D1 내지 Dm)로부터 신장되어진 데이터 패드들과, 게이트라인들(G1 내지 Gn)로부터 신장되어진 게이트 패드들과, 제1 및 제2 LOG(Line on glass)형 신

호라인군(SL3,SL3')이 형성된다.

- [0021] 액정표시패널(10)의 상부 유리기관에는 블랙매트릭스, 컬러필터등이 형성된다. 액정표시패널(10)의 상부 유리기관과 하부 유리기관 상에는 광축이 직교하는 편광판이 부착되고 액정과 접하는 계면에 액정의 프리틸트각(Pre-tilt angle)을 설정하기 위한 배향막이 형성된다.
- [0022] 타이밍 콘트롤러(11)는 수직/수평 동기신호, 데이터인에이블, 클럭신호 등의 타이밍신호를 입력받아 데이터 구동회로와 게이트 구동회로의 동작 타이밍을 제어하기 위한 타이밍 제어신호들을 발생한다. 타이밍 제어신호들은 게이트 스타트 펄스(Gate Start Pulse : GSP), 게이트 쉬프트 클럭신호(Gate Shift Clock : GSC), 게이트 출력 인에이블신호(Gate Output Enable : GOE) 등의 게이트 타이밍 제어신호들을 포함한다. 게이트 스타트 펄스(GSP)는 한 화면이 표시되는 1 수직기간 중에서 스캔이 시작되는 시작 수평라인을 지시한다. 게이트 쉬프트 클럭신호(GSC)는 게이트 구동회로 내의 쉬프트 레지스터에 입력되어 게이트 스타트 펄스(GSP)를 순차적으로 쉬프트시키기 위한 타이밍 제어신호로써 TFT의 온(ON) 기간에 대응하는 펄스폭으로 발생된다. 게이트 출력 신호(GOE)는 게이트 구동회로의 출력을 지시한다. 또한, 타이밍 제어신호들은 소스 샘플링 클럭(Source Sampling Clock : SSC), 소스 출력 인에이블신호(SOE), 극성제어신호(POL) 등을 포함한 데이터 타이밍 제어신호들을 포함한다. 소스 샘플링 클럭(SSC)은 라이징(Rising) 또는 폴링(Falling) 에지에 기준하여 데이터 구동회로 내에서 데이터의 래치동작을 지시한다. 소스 출력 인에이블신호(Source Output Enable : SOE)는 데이터 구동회로의 출력을 지시한다. 극성제어신호(Polarity : POL)는 액정표시패널(30)의 액정셀들(Clc)에 공급될 데이터전압의 극성을 지시한다.
- [0023] 타이밍 콘트롤러(11)는 외부로부터 입력되는 디지털 비디오 데이터를 액정표시패널(10)의 해상도에 맞게 정렬한 후 데이터 구동회로에 공급한다. 데이터의 전송경로 상에서 EMI와 데이터전압의 스윙폭을 줄이기 위하여, 타이밍 콘트롤러(11)는 데이터를 mini LVDS(low-voltage differential signaling) 방식 또는 RSDS(Reduced Swing Differential Signaling) 방식으로 변조하여 데이터 구동회로에 공급한다. 타이밍 콘트롤러(11)는 소스 PCB(Printed circuit board)(20) 상에 실장될 수 있다.
- [0024] 데이터 구동회로는 다수의 데이터 드라이브 IC(12)들을 포함한다. 데이터 드라이브 IC(12) 각각은 타이밍 콘트롤러(11)의 제어 하에 디지털 비디오 데이터를 래치한 후에, 아날로그 정극성/부극성 데이터전압으로 변환하여 데이터라인들(D1 내지 Dm)에 공급한다. 데이터 드라이브 IC(12)는 소스 COF(Chip on film)(22)에 실장된다. 소스 COF(22)는 소스 TCP(Tape carrier package)로 대신될 수 있다. 소스 COF/소스 TCP와 데이터 드라이브 IC(12)는 데이터 회로군으로 통칭될 수 있다. 소스 COF(22)는 소스 PCB(20)와 액정표시패널(10)을 전기적으로 연결시킨다. 소스 COF들(22)의 입력단자들은 소스 PCB(20)의 출력단자들에 전기적으로 접속되고, 소스 COF들(22)의 출력단자들은 ACF(Anisotropic conductive film)를 통해 액정표시패널(30)의 하부 유리기관에 형성된 데이터 패드들에 전기적으로 접속된다. 소스 COF(22)에는 소스 PCB(20)의 공통전압 공급배선(SL1)을 하부 유리기관의 제1 LOG형 신호라인군(SL3) 및 패널 공통라인(PVL)에 전기적으로 연결하기 위한 제1 더미 배선군(SL2)이 형성된다. 제1 더미 배선군(SL2)은 공통전압 공급배선(SL1) 상의 공통전압(Vcom)을 제1 LOG형 신호라인군(SL3) 및 패널 공통라인(PVL)에 공급한다. 또한, 제1 더미 배선군(SL2)은 소스 PCB(20)에 형성된 신호배선들(미도시)을 통해 타이밍 콘트롤러(11) 및 전원회로(14)로부터 인가되는 게이트 구동신호들을 제1 LOG형 신호라인군(SL3)에 공급할 수 있다. 게이트 구동신호들은 게이트 타이밍 제어신호들(GSP,GSC,GOE)(이하, GDC라 함)과, 게이트 하이전압(VGH), 및 게이트 로우전압(VGL)을 포함한다.
- [0025] 게이트 구동회로는 다수의 게이트 드라이브 IC(13)들을 포함한다. 게이트 드라이브 IC(13) 각각은 타이밍 콘트롤러(11)의 제어 하에 쉬프트 레지스터, 쉬프트 레지스터의 출력신호를 액정셀의 TFT 구동에 적합한 스윙폭으로 변환하기 위한 레벨 쉬프터를 각각 포함하여 게이트라인들(G1 내지 Gn)에 스캔펄스를 순차적으로 출력한다. 게이트 드라이브 IC(13)는 게이트 COF(23) 또는 게이트 TCP에 실장되어 ACF로 액정표시패널(10)의 하부 유리기관에 형성된 게이트 패드들에 접속된다. 게이트 COF/게이트 TCP와 게이트 드라이브 IC(13)는 게이트 회로군으로 통칭될 수 있다. 게이트 COF(23)에는 게이트 드라이브 IC(13)들을 제1 및 제2 LOG형 신호라인군(SL3,SL3')에 접속시키기 위한 제2 더미 배선군(SL4)이 형성된다. 제2 더미 배선군(SL4)은 제1 LOG형 신호라인군(SL3)으로부터 입력되는 공통전압(Vcom) 및 게이트 구동신호들(GDC,VGH,VGL)을 각 게이트 드라이브 IC(13)에 공급하고, 게이트 드라이브 IC(13)에서 안정화된 공통전압(Vcom)을 제2 LOG형 신호라인군(SL3')에 공급한다. 공통전압(Vcom)은 제2 LOG형 신호라인군(SL3')을 통해 데두리 공통라인에 인가된다.
- [0026] 전원회로(14)는 외부로부터 입력되는 전압을 조정하여 액정표시패널(10)의 구동에 필요한 전압들을 발생한다. 전원회로(14)는 8V 이하의 고전위 전원전압(VDD), 약 3.3V의 로직 전원전압(VCC), 15V 이상의 게이트 하이전압

(VGH), -3V 이하의 게이트 로우전압(VGL), 7V~8V 사이의 공통전압(Vcom), 정극성/부극성 감마기준전압들(VGMA1~VGMAK) 등을 포함한다. 전원회로(14)는 소스 PCB(20) 상에 실장될 수 있다. 소스 PCB(20)에는 공통전압 공급배선(SL1)과 다수의 신호 배선들(미도시)이 형성된다. 공통전압 공급배선(SL1)은 첫 번째 및 마지막 번째 소스 COF(22)에 형성된 더미 배선에 접속되어, 전원회로(14)에서 발생된 공통전압(Vcom)을 양측 테두리 공통라인에 공급한다. 또한, 공통전압 공급배선(SL1)은 첫 번째 소스 COF(22)에 형성된 제1 더미 배선군(SL2)에 접속되어, 전원회로(14)에서 발생된 공통전압(Vcom)을 제1 LOG형 신호라인군(SL3)에 공급한다. 소스 PCB(20) 상에서 공통전압(Vcom)의 전송시 신호 감쇠를 최소화하기 위해, 공통전압 공급배선(SL1)에는 적어도 1개 이상의 제1 버퍼(BUF1)가 접속될 수 있다. 신호 배선들은 첫 번째 소스 COF(22)에 형성된 제1 더미 배선군(SL2)에 접속되어, 타이밍 콘트롤러(11) 및 전원회로(14)에서 발생된 게이트 구동신호들(GDC, VGH, VGL)을 제1 LOG형 신호라인군(SL3)에 공급한다.

- [0027] 도 4는 게이트 드라이브 IC(13)의 일 예를 보여준다.
- [0028] 도 4를 참조하면, 게이트 드라이브 IC(13)는 게이트 COF(23)에 실장되며, 게이트 COF(23)에 형성된 제2 더미 배선군(SL4)을 통해 제1 및 제2 LOG형 신호라인군(SL3, SL3')에 접속된다.
- [0029] 게이트 드라이브 IC(13)는 제1 LOG형 신호라인군(SL3)과 제2 더미 배선군(SL4)을 통해 공급되는 게이트 구동신호들(GDC, VGH, VGL)을 이용하여 스캔펄스(SP)를 발생하고, 이 스캔펄스(SP)를 게이트 패드들에 접속된 출력 채널들로 출력한다. 스캔펄스(SP)는 출력 채널들에 일대일로 접속된 게이트라인들(G1 내지 Gn)에 순차적으로 공급된다.
- [0030] 게이트 드라이브 IC(13)는 제1 LOG형 신호라인군(SL3)과 제2 더미 배선군(SL4)을 통해 공급되는 공통전압(Vcom)을 안정화시킨 후, 안정화된 공통전압(Vcom)을 제2 LOG형 신호라인군(SL3')을 통해 테두리 공통라인에 공급한다. 게이트 드라이브 IC(13)는 공통전압(Vcom)을 안정화시키기 위해 제2 버퍼(BUF2)를 구비한다. 제2 버퍼(BUF2)는 RC 딜레이량에 기인한 위치별 공통전압 편차, 및 고속 구동 하에서 공통전압(Vcom)에 실리는 리플을 최소화하여 공통전압(Vcom)을 일정한 직류 레벨로 안정화시킨다.
- [0031] 도 4에 따르면, 공통전압(Vcom)이 종래 대비 게이트 드라이버 IC(13)의 갯수 만큼 더 많은 입력 지점들을 통해 액정표시패널로 공급되고, 또한 게이트 드라이버 IC(13) 내에서 일정한 레벨로 안정화된 후 공급되므로, 공통전압의 왜곡은 종래 대비 크게 줄어든다.
- [0032] 도 5는 게이트 드라이브 IC(13)의 다른 예를 보여준다.
- [0033] 도 5를 참조하면, 게이트 드라이브 IC(13)는 게이트 COF(23)에 실장되며, 게이트 COF(23)에 형성된 제2 더미 배선군(SL4)을 통해 제1 및 제2 LOG형 신호라인군(SL3, SL3')에 접속된다.
- [0034] 게이트 드라이브 IC(13)는 제1 LOG형 신호라인군(SL3)과 제2 더미 배선군(SL4)을 통해 공급되는 게이트 구동신호들(GDC, VGH, VGL)을 이용하여 스캔펄스(SP)를 발생하고, 이 스캔펄스(SP)를 게이트 패드들에 접속된 출력 채널들로 출력한다. 스캔펄스(SP)는 출력 채널들에 일대일로 접속된 게이트라인들(G1 내지 Gn)에 순차적으로 공급된다.
- [0035] 게이트 드라이브 IC(13)는 제1 LOG형 신호라인군(SL3)과 제2 더미 배선군(SL4)을 통해 공급되는 공통전압(Vcom)을 안정화시킨 후, 안정화된 공통전압(Vcom)을 2개의 제2 LOG형 신호라인군(SL3')을 통해 테두리 공통라인에 공급한다. 게이트 드라이브 IC(13)는 공통전압(Vcom)을 안정화시키기 위해 제2 버퍼(BUF2)쌍을 구비한다. 제2 버퍼(BUF2)쌍은 RC 딜레이량에 기인한 위치별 공통전압 편차, 및 고속 구동 하에서 공통전압(Vcom)에 실리는 리플을 최소화하여 공통전압(Vcom)을 일정한 직류 레벨로 안정화시킨다.
- [0036] 도 5에 따르면, 공통전압(Vcom)이 종래 대비 게이트 드라이버 IC(13)의 2배 갯수 만큼 더 많은 입력 지점들을 통해 액정표시패널로 공급되고, 또한 게이트 드라이버 IC(13) 내에서 일정한 레벨로 안정화된 후 공급되므로, 공통전압의 왜곡은 종래 대비 더욱 크게 줄어든다.
- [0037] 상술한 바와 같이, 본 발명에 따른 액정표시장치는 공통전압을 각 게이트 드라이버 IC 내에서 안정화시킨 후 패널 공통라인에 공급함으로써, 공통전압의 입력 지점을 늘려 공통전압의 왜곡을 크게 줄일 수 있다.
- [0038] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로

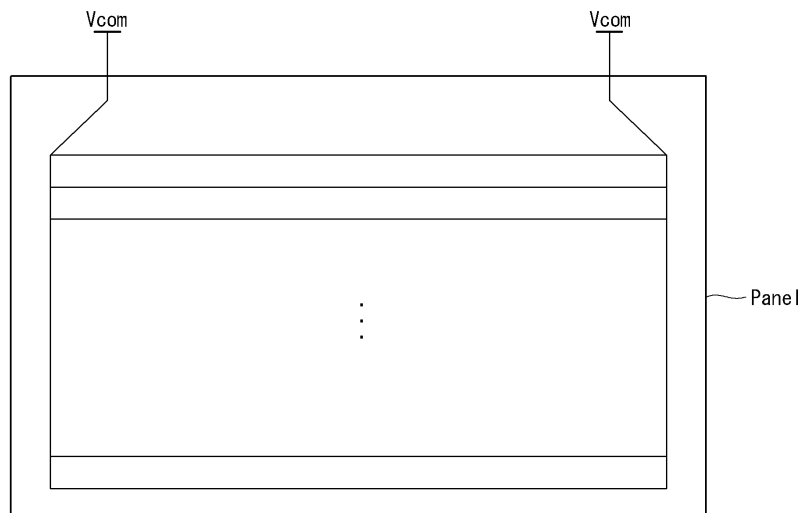
한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

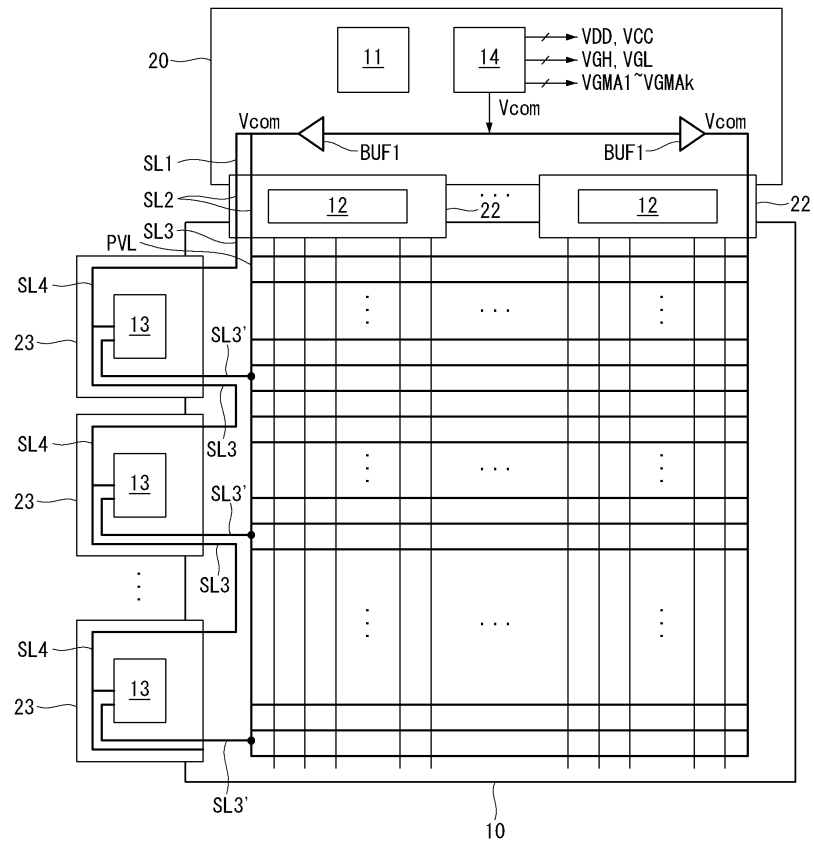
- [0039] 도 1은 종래 패널 공통라인의 접속 구조를 보여주는 도면.
- [0040] 도 2는 본 발명의 실시예에 따른 액정표시장치를 보여주는 도면.
- [0041] 도 3은 액정셀들과 패널 공통라인의 접속 구조를 보여주는 도면.
- [0042] 도 4는 게이트 드라이버 IC의 일 예를 보여주는 도면.
- [0043] 도 5는 게이트 드라이버 IC의 다른 예를 보여주는 도면.
- [0044] <도면의 주요 부분에 대한 부호의 설명>
- | | |
|-----------------------------|---------------------|
| [0045] 10 : 액정표시패널 | 11 : 타이밍 컨트롤러 |
| [0046] 12 : 데이터 드라이버 IC | 13 : 게이트 드라이버 IC |
| [0047] 14 : 전원회로 | 20 : 소스 PCB |
| [0048] 22 : 소스 COF | 23 : 게이트 COF |
| [0049] 23 : 화소공통라인 패턴 | SL1 : 공통전압 공급배선 |
| [0050] SL2 : 제1 더미 배선군 | SL3 : 제1 LOG형 신호라인군 |
| [0051] SL3' : 제2 LOG형 신호라인군 | SL4 : 제2 더미 배선군 |

도면

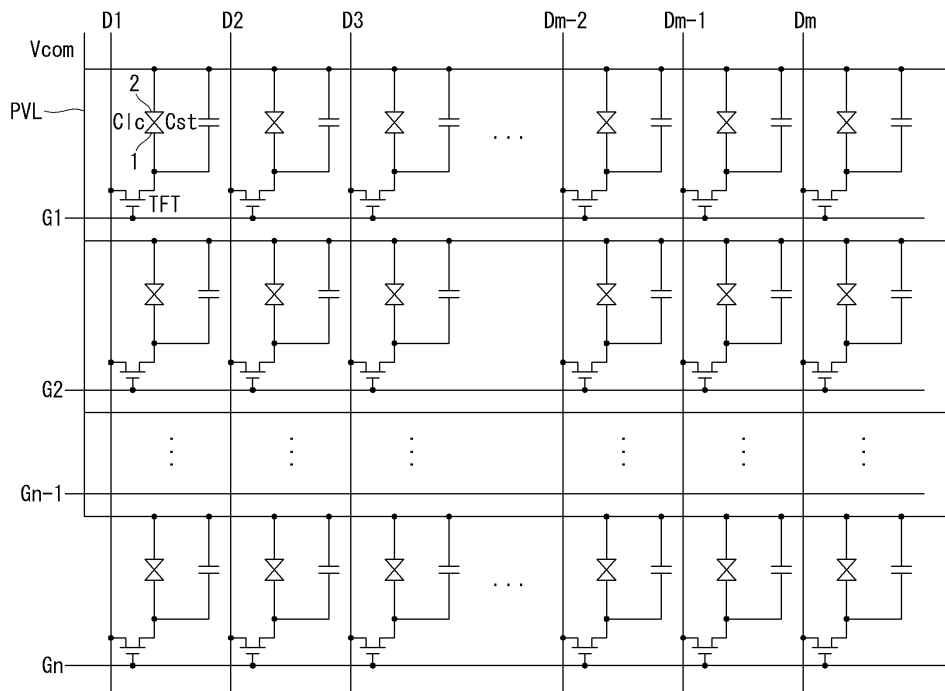
도면1



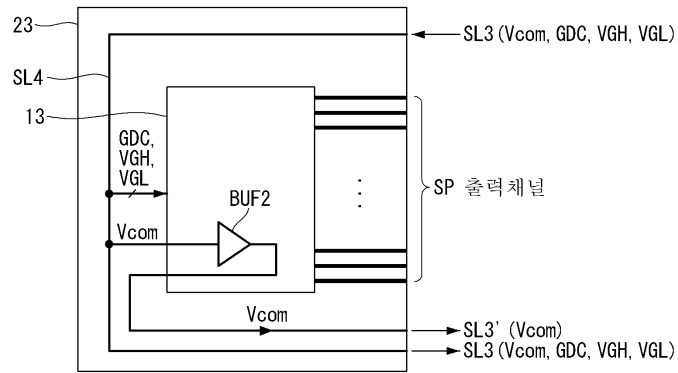
도면2



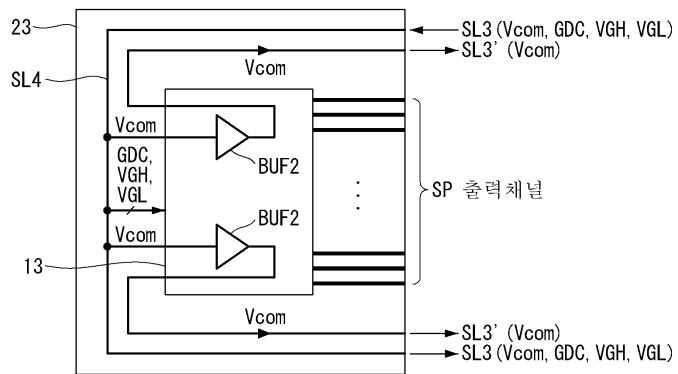
도면3



도면4



도면5



专利名称(译)	液晶显示器		
公开(公告)号	KR1020110062608A	公开(公告)日	2011-06-10
申请号	KR1020090119387	申请日	2009-12-03
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE JU YOUNG		
发明人	LEE, JU, YOUNG		
IPC分类号	G09G3/36 G02F1/133		
CPC分类号	G09G3/3696 G09G3/3655		
其他公开文献	KR101361956B1		
外部链接	Espacenet		

摘要(译)

液晶显示装置技术领域本发明涉及能够降低公共电压的畸变的液晶显示装置。液晶显示装置包括液晶显示面板，其中多条栅极线和多条数据线彼此交叉，并且液晶单元以矩阵形式布置用于每个交叉区域;面板公共线连接到液晶单元的公共电极;一种电源电路，用于产生施加到公共电极的公共电压;多个数据电路组，每个数据电路组包括用于驱动数据线的数据线驱动器IC;多个门电路组，每个门电路组通过第一LOG型信号线组连接到一个数据电路组，并包括用于驱动栅极线的栅极驱动器IC;公共电压通过特定数据电路组提供给面板公共线，并通过门电路组提供给面板公共线。

