

특허청구의 범위

청구항 1

표시 영역과 비표시 영역으로 정의되고, 상기 표시 영역에 다수의 게이트 라인들과 다수의 데이터 라인들이 배치된 액정 패널;

데이터 드라이버를 포함하는 제어부;

상기 제어부의 출력단에 접속된 다수의 제1 및 제2 신호 라인들; 및

데이터 전압을 순차적으로 공급하기 위해 상기 제1 신호 라인들 중 어느 하나의 신호 라인이 상기 데이터 라인들 중 n (n 은 3 이상의 정수임)개의 데이터 라인들과 접속된 디멀티플렉서를 포함하고,

상기 제2 신호 라인들은 상기 제어부의 중앙 영역과 상기 디멀티플렉서의 중앙 영역 사이에 접속되는 것을 특징으로 하는 액정표시장치.

청구항 2

제1항에 있어서, 상기 제2 신호 라인들은 상기 제어부의 일측 가장자리 영역과 상기 디멀티플렉서의 일측 가장자리 영역 사이에 접속되는 것을 특징으로 하는 액정표시장치.

청구항 3

제2항에 있어서, 상기 제2 신호 라인들은 상기 제어부의 타측 가장자리 영역과 상기 디멀티플렉서의 타측 가장자리 영역 사이에 접속되는 것을 특징으로 하는 액정표시장치.

청구항 4

제1항에 있어서, 상기 게이트 라인들을 구동하기 위해 액정 패널에 내장된 게이트 드라이버를 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 5

제4항에 있어서, 상기 제어부는,

상기 게이트 드라이버의 구동하기 위한 클럭 신호를 생성하는 클럭 신호 생성부; 및

상기 클럭 신호 생성부와 상기 데이터 드라이버를 제어하기 위한 제1 및 제2 제어 신호들을 생성하는 타이밍 콘트롤러를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 6

상기 제2 신호 라인들로 공급되는 디멀티플렉서 신호들은 1 수평 기간 내에 생성되는 것을 특징으로 하는 액정표시장치.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 특히 출력 채널 수를 줄일 수 있는 액정표시장치에 관한 것이다.

배경 기술

[0002] 정보화 사회의 발달로 인해, 정보를 표시할 수 있는 표시 장치가 활발히 개발되고 있다. 표시 장치는 액정표시장치(liquid crystal display device), 유기전계발광 표시장치(organic electro-luminescence display device), 플라즈마 표시장치(plasma display panel) 및 전계 방출 표시장치(field emission display device)를

포함한다.

- [0003] 이 중에서, 액정표시장치는 경박 단소, 저 소비 전력 및 풀 컬러 동영상 구현과 같은 장점이 있어, 모바일 폰, 네비게이션, 모니터, 텔레비전에 널리 적용되고 있다.
- [0004] 액정표시장치는 액정 패널 상의 액정셀들의 광 투과율을 조절함으로써 비디오신호에 해당하는 영상을 표시한다.
- [0005] 도 1은 종래의 액정표시장치를 도시한 도면이다.
- [0006] 도 1에 도시한 바와 같이, 종래의 액정표시장치는 액정 패널(100)과 액정 패널(100)을 구동하기 위한 게이트 드라이버(110) 및 데이터 드라이버(120)를 포함한다.
- [0007] 액정 패널(100)에는 다수의 게이트라인들과 다수의 데이터 라인들이 배치된다.
- [0008] 게이트 드라이버(110)는 액정 패널(100)의 다수의 게이트 라인들을 순차적으로 구동하기 위한 게이트 신호를 생성한다.
- [0009] 데이터 드라이버(120)는 액정 패널(100)의 게이트 라인이 구동될 때 1라인 분의 데이터 전압을 다수의 데이터 라인들에 공급한다.
- [0010] 1 라인 분의 데이터 전압은 데이터 드라이버(120)의 출력 채널들을 통해 액정 패널(100)에 구비된 모든 데이터 라인들에 공급된다. 이때, 데이터 드라이버(120)의 출력 채널들과 액정 패널(100)의 데이터 라인들은 일대일로 대응된다.
- [0011] 이러한 경우, 액정 패널(100)이 대형화되어 데이터 라인들의 개수가 증가되는 경우, 데이터 드라이버(120)의 채널 수도 증가하게 되므로, 결국 데이터 드라이버(120)의 사이즈가 증가되는 문제가 있다.

발명의 내용

해결 하고자하는 과제

- [0012] 따라서, 본 발명은 IC의 채널 수를 줄일 수 있는 액정표시장치를 제공함에 그 목적이 있다.

과제 해결수단

- [0013] 본 발명에 따르면, 액정표시장치는, 표시 영역과 비표시 영역으로 정의되고, 상기 표시 영역에 다수의 게이트 라인들과 다수의 데이터 라인들이 배치된 액정 패널; 데이터 드라이버를 포함하는 제어부; 상기 제어부의 출력단에 접속된 다수의 제1 및 제2 신호 라인들; 및 데이터 전압을 순차적으로 공급하기 위해 상기 제1 신호 라인들 중 어느 하나의 신호 라인이 상기 데이터 라인들 중 n (n 은 3 이상의 정수임)개의 데이터 라인들과 접속된 디멀티플렉서를 포함하고, 상기 제2 신호 라인들은 상기 제어부의 중앙 영역과 상기 디멀티플렉서의 중앙 영역 사이에 접속된다.

효과

- [0014] 본 발명은 디멀티플렉서의 하나의 스위치 유닛에 의해 하나의 데이터 신호 라인에 액정 패널의 다수의 데이터 라인들을 접속시켜, 적색 데이터 전압, 녹색 데이터 전압 및 청색 데이터 전압을 공급하여 줄 수 있다. 이에 따라, 제어부, 구체적으로 데이터 드라이버의 채널 수를 액정 패널의 데이터 라인들의 개수의 적어도 1/3로 줄일 수 있어, 제어부의 사이즈를 줄일 수 있는 이점이 있다.
- [0015] 본 발명은 n 개의 데이터 신호 라인들을 데이터 드라이버의 중앙 영역과 디멀티플렉서의 중앙 영역에 연결시킴으로써, 디멀티플렉서에 접속된 다수의 데이터 라인들의 신호 전달 경로의 길이를 최소화하여 신호 라인의 로드를 줄여 줄 수 있으므로, 데이터 전압이 왜곡되지 않게 된다.

발명의 실시를 위한 구체적인 내용

- [0016] 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 설명한다.
- [0017] 도 2는 본 발명의 제1 실시예에 따른 액정표시장치를 도시한 도면이다.
- [0018] 도 2를 참조하면, 본 발명의 액정표시장치(10)에서 액정 패널(20)에 제어부(40)가 COG(chip on glass) 방식으로 실장되고, 게이트 드라이버(30)와 디멀티플렉서(50)가 액정 패널(20)의 소자를 형성할 때 함께 형성되어 내장될

수 있다.

- [0019] 디멀티플렉서는 1:n 디멀티플렉서일 수 있다. n은 적어도 3 이상의 정수이다.
- [0020] 액정 패널(20)은 영상이 표시되는 표시 영역(22)과 영상이 표시되지 않는 비표시 영역(24)으로 정의될 수 있다.
- [0021] 제어부(40), 게이트 드라이버(30) 및 멀티플렉서는 액정 패널(20)의 비표시 영역(24)에 배치될 수 있다.
- [0022] 액정 패널(20)은 제1 기관과 제2 기관과 이들 사이에 게재된 액정층을 포함한다.
- [0023] 제1 기관에는 다수의 게이트 라인들(G1 내지 Gn)과 다수의 데이터 라인들(D1 내지 Dm)이 배치된다. 게이트 라인들(G1 내지 Gn)과 데이터 라인들(D1 내지 Dm)의 교차에 의해 다수의 화소 영역들이 정의될 수 있다. 따라서, 표시 영역(22)에는 다수의 화소 영역들이 매트릭스로 배열될 수 있다.
- [0024] 각 화소 영역에는 게이트 라인(G1 내지 Gn)과 데이터 라인(D1 내지 Dm)에 접속된 박막 트랜지스터와 박막 트랜지스터에 접속된 화소 전극이 배치된다.
- [0025] 제2 기관에는 화소 영역에 대응되도록 컬러필터층을 포함하는 컬러필터층이 배치되고, 컬러필터층 사이에 블랙 매트릭스가 배치되며, 컬러필터층과 블랙 매트릭스 상에 공통 전극이 배치될 수 있다.
- [0026] 이상의 구조는 TN 모드의 액정 패널(20)이다.
- [0027] IPS 모드의 액정 패널에서는 컬러필터층, 블랙 매트릭스 및 공통 전극이 제1 기관에 배치될 수 있다.
- [0028] 제어부(40)는 집적 회로로 패키징되어 액정 패널(20) 상에 칩 형태로 실장될 수 있다.
- [0029] 제어부(40)는 도 3에 도시한 바와 같이, 타이밍 콘트롤러(42), 데이터 드라이버(44) 및 클럭 신호 생성부(46)를 포함한다.
- [0030] 타이밍 콘트롤러(42)는 클럭 신호 생성부(46)로 공급하기 위한 제1 제어 신호와 데이터 드라이버(44)를 제어하기 위한 제2 제어 신호를 생성한다.
- [0031] 클럭 신호 생성부(46)는 제1 제어 신호를 바탕으로 게이트 드라이버(30)를 구동하기 위한 클럭 신호들을 생성한다.
- [0032] 클럭 신호는 2상 내지 4상 중에서 생성될 수 있다. 클럭 신호는 게이트 드라이버(30)에서 액정 패널(20)의 게이트 라인들(G1 내지 Gn)로 공급되기 위한 게이트 신호일 수 있다.
- [0033] 데이터 드라이버(44)는 제2 제어 신호를 바탕으로 디멀티플렉서(50)에 공급하기 위한 디멀티플렉서 신호를 생성한다.
- [0034] 데이터 드라이버(44)의 출력단에는 출력 핀들이 구비될 수 있다. 출력 핀들은 데이터 전압들을 출력하기 위한 데이터 채널들과 디멀티플렉서 신호를 출력하기 위한 디멀티플렉서 채널들이 할당될 수 있다.
- [0035] 따라서, 데이터 채널들에 대응하는 출력 핀들은 액정 패널(20)에 구비된 데이터 신호 라인들(S1 내지 Sm/3)에 접속되고, 디멀티플렉서 채널들에 대응하는 출력 핀들은 디멀티플렉서 신호 라인들(DS1 내지 DS3)에 접속될 수 있다.
- [0036] 디멀티플렉서(50)의 입력단들은 데이터 신호 라인들(S1 내지 Sm/3)과 디멀티플렉서 신호 라인들(DS1 내지 DS3)에 접속되고 디멀티플렉서(50)의 출력단들은 액정 패널(20)의 데이터 라인들(D1 내지 Dm)에 접속될 수 있다.
- [0037] 디멀티플렉서(50)는 다수의 스위치 유닛들(52)을 포함한다.
- [0038] 각 스위치 유닛(52)은 n개의 트랜지스터들(T1 내지 T3)을 포함할 수 있다.
- [0039] n개의 스위치들(T1 내지 T3)의 게이트 단자들은 대응하는 디멀티플렉서 신호 라인들(DS1 내지 DS3)에 접속되고 소오스 단자들은 하나의 데이터 신호 라인에 공통으로 접속되고 드레인 단자들은 액정 패널(20)의 3개의 데이터 라인들에 접속될 수 있다.
- [0040] 본 발명은 이에 한정하지 않고, 다수의 스위치들이 구비되고, 스위치들이 다수의 데이터 라인들에 접속될 수도 있다.
- [0041] 예를 들어, 제1 스위치 유닛(52)의 n개의 트랜지스터들(T1 내지 T3)은 게이트 단자들이 대응하는 디멀티플렉서 신호 라인들(DS1 내지 DS3)에 접속되고, 소오스 단자들이 제1 데이터 신호 라인(S1)에 공통 접속되고 드레인 단

자들이 n 개의 데이터 라인들(D1 내지 D3)에 접속될 수 있다.

- [0042] 구체적으로, 제1 트랜지스터(T1)의 게이트 단자는 제1 디멀티플렉서 신호 라인(DS1)에 접속되고 드레인 단자는 제1 데이터 라인(D1)에 접속될 수 있다.
- [0043] 제2 트랜지스터(T2)의 게이트 단자는 제2 디멀티플렉서 신호 라인(DS2)에 접속되고 드레인 단자는 제2 데이터 라인(D2)에 접속될 수 있다.
- [0044] 제3 트랜지스터(T3)의 게이트 단자는 제3 디멀티플렉서 신호 라인(DS3)에 접속되고 드레인 단자는 제3 데이터 라인(D3)에 접속될 수 있다.
- [0045] 제1 게이트 라인(G1)과 제1 데이터 라인(D1)의 교차에 의해 적색 화소 영역(R)이 정의되고, 제1 게이트 라인(G1)과 제2 데이터 라인(D2)의 교차에 의해 녹색 화소 영역(G)이 정의되며, 제1 게이트 라인(G1)과 제3 데이터 라인(D3)의 교차에 의해 청색 화소 영역(B)이 정의될 수 있다.
- [0046] 제1 데이터 라인(D1)을 통해 적색 화소 영역(R)에 적색 데이터 전압이 공급되고, 제2 데이터 라인(D2)을 통해 녹색 화소 영역(G)에 녹색 데이터 전압이 공급되며, 제3 데이터 라인(D3)을 통해 청색 화소 영역(B)에 청색 데이터 전압이 공급될 수 있다.
- [0047] 데이터 드라이버(44)에서 생성된 n 개의 디멀티플렉서 신호들은 n 개의 디멀티 플렉서 신호 라인들(DS1 내지 DS3)로 공급될 수 있다.
- [0048] n 개의 디멀티플렉서 신호들은 도 4에 도시한 바와 같이, 1 수평 기간 동안 순차적으로 로우 레벨을 가질 수 있다.
- [0049] 예를 들어, 1 수평 기간의 제1 기간 동안 로우 레벨의 제1 디멀티플렉서 신호가 생성되고, 제2 기간 동안 로우 레벨의 제2 디멀티플렉서 신호가 생성되며, 제3 기간 동안 로우 레벨의 제3 디멀티플렉서 신호가 생성될 수 있다.
- [0050] 이러한 로우 레벨의 n 개의 디멀티플렉서 신호들에 의해 n 개의 트랜지스터들(T1 내지 T3)이 순차적으로 턴온될 수 있다.
- [0051] 본 발명의 n 개의 트랜지스터들(T1 내지 T3)은 PMOS 타입이지만, 본 발명은 이에 한정하지 않고 NMOS 타입에도 적용될 수 있다. NMOS 트랜지스터들인 경우, n 개의 멀티플렉서들은 n 개의 기간 각각에 하이 레벨을 가질 수 있다.
- [0052] 따라서, 제1 디멀티플렉서 신호 라인(DS1)으로 공급된 제1 멀티플렉서 신호에 의해 제1 트랜지스터(T1)가 턴온되어 제1 데이터 신호 라인(S1)으로 공급된 적색 데이터 전압(R)이 액정 패널(20)의 제1 데이터 라인(D1)으로 공급될 수 있다. 적색 데이터 전압은 적색 화소 영역(R)으로 공급될 수 있다.
- [0053] 제2 디멀티플렉서 신호 라인(DS2)으로 공급된 제2 멀티플렉서 신호에 의해 제2 트랜지스터(T2)가 턴온되어 제1 데이터 신호 라인(S1)으로 공급된 녹색 데이터 전압이 액정 패널(20)의 제2 데이터 라인(D2)으로 공급될 수 있다. 녹색 데이터 전압은 녹색 화소 영역(G)으로 공급될 수 있다.
- [0054] 제3 디멀티플렉서 신호 라인(DS3)으로 공급된 제3 디멀티플렉서 신호에 의해 제3 트랜지스터(T3)가 턴온되어 제1 데이터 신호 라인(S1)으로 공급된 청색 데이터 전압이 액정 패널(20)의 제3 데이터 라인(D3)으로 공급될 수 있다. 청색 데이터 전압은 청색 화소 영역(B)으로 공급될 수 있다.
- [0055] 적색 화소 영역(R), 녹색 화소 영역(G) 및 청색 화소 영역(B)에 각각 구비된 박막 트랜지스터들은 제1 게이트 라인(G1)으로 공급된 1 수평 기간의 게이트 신호에 의해 턴온될 수 있다.
- [0056] 따라서, 1 수평 기간 동안의 게이트 신호에 의해 각 화소 영역(R, G, B)의 박막 트랜지스터들이 턴온될 때, n 개의 디멀티플렉서 신호들이 1 수평 기간 내에서 순차적으로 n 개의 디멀티플렉서 신호 라인들(DS1 내지 DS3)로 공급될 수 있다. 이들 n 개의 디멀티플렉서 신호들에 의해 순차적으로 제1 스위치 유닛(52)의 n 개의 트랜지스터들(T1 내지 T3)이 순차적으로 턴온될 수 있다. 이에 따라, 제1 데이터 신호 라인(S1)으로 순차적으로 공급된 적색 데이터 전압, 녹색 데이터 전압 및 청색 데이터 전압이 n 개의 데이터 라인들(D1 내지 D3)을 경유하여 적색 화소 영역(R), 녹색 화소 영역(G) 및 청색 화소 영역(B)으로 공급될 수 있다.
- [0057] 따라서, 본 발명은 디멀티플렉서(50)의 하나의 스위치 유닛에 의해 하나의 데이터 신호 라인에 액정 패널(20)의 3개의 데이터 라인들을 접속시켜, 적색 데이터 전압, 녹색 데이터 전압 및 청색 데이터 전압을 공급하여 줄 수

있다. 이에 따라, 제어부(40), 구체적으로 데이터 드라이버(44)의 채널 수를 액정 패널(20)의 데이터 라인들의 개수의 적어도 1/3로 줄일 수 있어, 제어부(40)의 사이즈를 줄일 수 있는 이점이 있다.

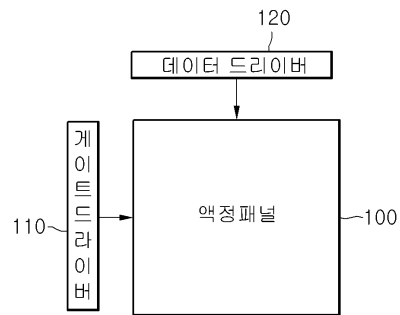
- [0058] 한편, 본 발명은 n개의 데이터 신호 라인들(DS1 내지 DS3)을 데이터 드라이버(44)의 중앙 영역과 디멀티플렉서(50)의 중앙 영역에 연결시킴으로써, n개의 데이터 신호 라인들(DS1 내지 DS3)의 신호 전달 경로의 길이를 최소화하여 신호 라인의 로드를 줄여 줄 수 있으므로, 데이터 전압이 왜곡되지 않게 된다.
- [0059] 즉, n개의 데이터 신호 라인들(DS1 내지 DS3)이 데이터 드라이버(44)의 중앙 영역에 연결되는 한편, 디멀티플렉서(50)의 중앙 영역에 연결됨으로써, 디멀티플렉서(50)의 중앙 영역으로 공급된 n개의 디멀티플렉서 신호들이 디멀티플렉서(50)의 중앙 영역으로부터 좌우측 영역으로 전달됨으로써, 신호 전달 경로가 최소화될 수 있다.
- [0060] 게이트 드라이버(30)는 다수의 스테이지들을 포함하고, 각 스테이지는 쉬프트레지스터를 포함할 수 있다.
- [0061] 각 스테이지는 제어부(40)의 클럭 신호 생성부(46)에서 생성된 클럭 신호가 1 수평 기간 단위로 순차적으로 출력될 수 있다.
- [0062] 도 5는 본 발명의 제2 실시예에 따른 액정표시장치를 도시한 도면이다.
- [0063] 본 발명의 제2 실시예는 본 발명의 제1 실시예와 구성 요소가 동일하다.
- [0064] 다만, 본 발명의 제2 실시예에서는 n개의 데이터 신호 라인들(DS1 내지 DS3)이 데이터 드라이버(44)의 중앙 영역과 디멀티플렉서(50)의 중앙 영역 사이에 접속되는 한편 데이터 드라이버(44)의 가장자리 영역과 디멀티플렉서(50)의 가장자리 영역 사이에도 접속될 수 있다.
- [0065] 이에 따라, n개의 디멀티플렉서 신호들이 데이터 드라이버(44)의 중앙 영역에서 디멀티플렉서(50)의 중앙 영역으로 공급되는 한편, 데이터 드라이버(44)의 가장자리 영역에서 디멀티플렉서(50)의 가장자리 영역으로 공급될 수 있다.
- [0066] 이와 같이, n개의 디멀티플렉서 신호들이 디멀티플렉서(50)의 중앙 영역과 가장자리 영역으로 동시에 공급되고, 디멀티플렉서(50) 내에서 디멀티플렉서(50)의 중앙 영역과 가장자리 영역에서 각각 인접 영역으로 n개의 디멀티플렉서 신호들이 전달됨에 따라, n개의 디멀티플렉서 신호들이 왜곡 없이 각 스위치 유닛에 전달될 수 있다.
- [0067] 한편, n개의 신호 라인들은 데이터 드라이버의 양측 가장자리 영역들과 디멀티플렉서의 양측 가장자리 영역들 사이에 접속될 수도 있다.

도면의 간단한 설명

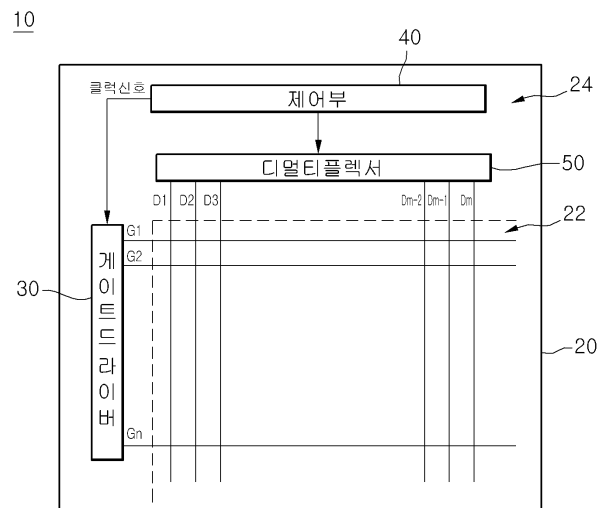
- [0068] 도 1은 종래의 액정표시장치를 도시한 도면이다.
- [0069] 도 2는 본 발명의 제1 실시예에 따른 액정표시장치를 도시한 도면이다.
- [0070] 도 3은 도 2의 제어부와 디멀티플렉서를 상세히 도시한 도면이다.
- [0071] 도 4는 디멀티플렉서 신호들을 도시한 파형도이다.
- [0072] 도 5는 본 발명의 제2 실시예에 따른 액정표시장치를 도시한 도면이다.
- [0073] <도면의 주요 부분에 대한 부호의 설명>
- | | |
|----------------------|--------------|
| [0074] 10: 액정표시장치 | 20: 액정 패널 |
| [0075] 22: 표시 영역 | 24: 비표시 영역 |
| [0076] 30: 게이트 드라이버 | 40: 제어부 |
| [0077] 42: 타이밍 컨트롤러 | 44: 데이터 드라이버 |
| [0078] 46: 클럭 신호 생성부 | 50: 디멀티플렉서 |

도면

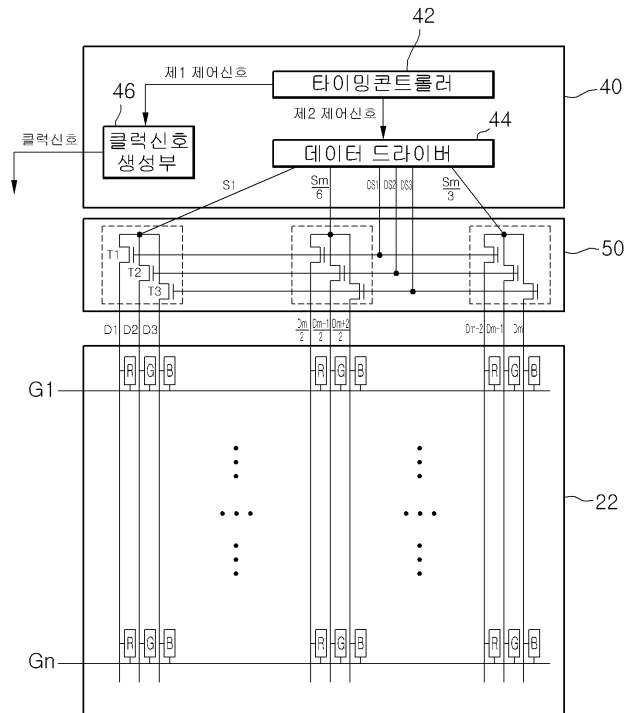
도면1



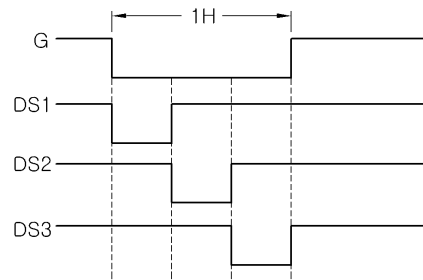
도면2



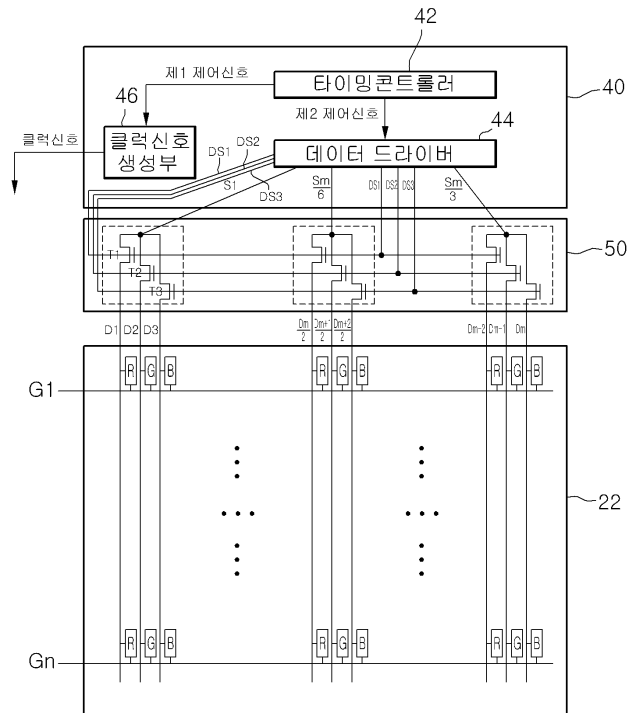
도면3



도면4



도면5



专利名称(译)	液晶显示器		
公开(公告)号	KR1020100073441A	公开(公告)日	2010-07-01
申请号	KR1020080132113	申请日	2008-12-23
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JUNG JI WON 정지원 JEOUNG HUN 정훈		
发明人	정지원 정훈		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G2310/0297 G09G2320/0223 G09G3/3688		
其他公开文献	KR101420443B1		
外部链接	Espacenet		

摘要(译)

公开了一种减少输出通道数的液晶显示器。一个多路分配器信号线通过多路分解器连接到液晶面板的多条数据线。以这种方式，可以显著减少数据驱动器的通道数量。对于本发明的液晶显示器，其中提供多路复用器信号的多路分配器信号线连接在数据驱动器的中心和多路分配器的中心之间。以这种方式，它使多路分解器信号的信号传输路径最小化，并且信号传输路径可以防止信号失真。液晶显示器，解复用器，COG，信号失真。

