(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0070299
(43) 공개일자 2010년06월25일

(51) Int. Cl.
G09G 3/36 (2006.01) *G02F 1/133* (2006.01)
(21) 출원번호 10-2009-0125299
(22) 출원일자 2009년12월16일
심사청구일자 없음
(30) 우선권주장
JP-P-2008-321652 2008년12월17일 일본(JP)

(71) 출원인
소니 주식회사
일본국 도쿄도 미나토쿠 코난 1-7-1
(72) 발명자
데라니시 야스유끼
일본 도쿄도 미나토쿠 코난 1-7-1 소니 가부시끼 가이샤 내
나까지마 요시하루
일본 도쿄도 미나토쿠 코난 1-7-1 소니 가부시끼 가이샤 내
(74) 대리인
장수길, 이중희, 박충범

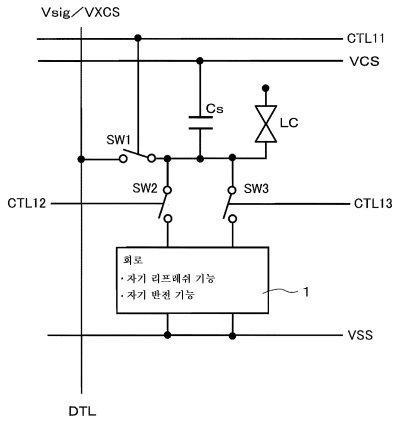
전체 청구항 수 : 총 6 항

(54) 액정 표시 패널 및 전자 기기

(57) 요 약

아날로그 표시 모드와 메모리 표시 모드를 충족시키는 LCD 패널이 제안된다. 이 LCD 패널은, 용량 소자, 제1 내지 제3 스위치 소자 및 회로를 포함한다. 제1 스위치 소자는 신호선으로부터 용량 소자에 화소 전위를 기입하는 제1 동작 동안에는 턴 온되고, 제2 동작 동안에는 턴 오프된다. 제2 및 제3 스위치 소자는 제1 동작 동안에는 턴 오프된다. 제2 스위치 소자는 용량 소자로부터 화소 전위를 판독해 내는 제2 동작 중의 판독 기간 동안에는 턴 온된다. 제3 스위치 소자는 화소 전위를 용량 소자에 재기입하는 제2 동작 중의 기입 기간 동안에는 턴 온된다. 회로는, 용량 소자로부터 판독된 화소 전위의 논리 레벨을 복원하고, 복원된 논리 레벨의 반전을 용량 소자에 재기입한다.

대 표 도 - 도3



특허청구의 범위

청구항 1

액정 표시 패널로서,

계조 레벨을 나타내는 화소 전위를 유지하고 각 화소에 제공되는 용량 소자;

제1 단자가 상기 용량 소자의 한쪽의 전극과 액정 소자의 구동 전극에 접속되고, 제2 단자가 신호선에 접속되는 제1 스위치 소자 -상기 제1 스위치 소자는, 신호선으로부터 상기 용량 소자에 화소 전위를 기입하는 제1 동작 기간 동안에는 온되도록 제어되고, 상기 용량 소자로부터의 화소 전위의 판독, 상기 판독된 화소 전위의 반전 및 증폭, 그리고 상기 반전 증폭된 화소 전위를 상기 용량 소자에 재기입하는 것이 순차적으로 실행되는 제2 동작 기간 동안에는 오프되도록 제어됨-;

제1 단자가 상기 제1 스위치 소자의 제1 단자에 접속되는 제2 스위치 소자 -상기 제2 스위치 소자는, 상기 제1 동작 기간 동안에는 오프되도록 제어되고, 상기 제2 동작 기간의 일부인, 상기 용량 소자에 기억되어 있는 화소 전위를 판독하는 판독 기간 동안에는 온되도록 제어됨-;

제1 단자가 상기 제1 스위치 소자의 제1 단자에 접속되는 제3 스위치 소자 -상기 제3 스위치 소자는, 상기 제1 동작 기간 동안에는 오프되도록 제어되고, 상기 제2 동작 기간의 또 다른 일부인, 상기 화소 전위를 상기 용량 소자에 기입하는 기입 기간 동안에는 온되도록 제어됨-; 및

상기 판독 기간 동안에는 상기 제2 스위치 소자를 통해 상기 용량 소자로부터 판독된 화소 전위의 논리 레벨을 복원하고, 상기 기입 기간 동안에는 이 복원된 논리 레벨을 갖는 논리 반전 출력을 상기 제3 스위치 소자를 통해 상기 용량 소자에 기입하는 회로

를 포함하는, 액정 표시 패널.

청구항 2

제1항에 있어서, 상기 회로는,

입력 단이 상기 제2 스위치 소자의 제2 단자에 접속되는 제1 인버터 회로,

입력 단이 상기 제3 스위치 소자의 제2 단자와 상기 제1 인버터 회로의 출력 단에 접속되는 제2 인버터 회로, 및

제1 단자가 상기 제1 인버터 회로의 입력 단에 접속되고, 제2 단자가 상기 제2 인버터 회로의 출력 단에 접속되며, 상기 판독 기간 및 상기 기입 기간 동안에는 적어도 온되도록 제어되는 스위치

를 포함하는, 액정 표시 패널.

청구항 3

제2항에 있어서, 상기 회로는 1 화소당 하나씩 제공되는, 액정 표시 패널.

청구항 4

제2항에 있어서, 상기 회로는 복수의 화소당 하나씩 제공되는, 액정 표시 패널.

청구항 5

제1항에 있어서, 상기 회로는, 입력 단이 상기 제2 스위치 소자의 제2 단자에 접속되고, 출력 단이 상기 제3 스위치 소자의 제2 단자에 접속되는 인버터 회로를 갖는, 액정 표시 패널.

청구항 6

전자 기기로서,

액정 표시 패널;

상기 전자 기기 전체를 제어하는 시스템 제어부; 및

상기 시스템 제어부에 대한 입력 조작을 행하는 입력 조작부

를 포함하며,

상기 액정 표시 패널은,

계조 레벨을 나타내는 화소 전위를 유지하고 각 화소에 제공되는 용량 소자;

제1 단자가 상기 용량 소자의 한쪽의 전극과 액정 소자의 구동 전극에 접속되고, 제2 단자가 신호선에 접속되는 제1 스위치 소자 -상기 제1 스위치 소자는, 신호선으로부터 상기 용량 소자에 화소 전위를 기입하는 제1 동작 기간 동안에는 온되도록 제어되고, 상기 용량 소자로부터의 화소 전위의 판독, 상기 판독된 화소 전위의 반전 및 증폭, 그리고 상기 반전 증폭된 화소 전위를 상기 용량 소자에 재기입하는 것이 순차적으로 실행되는 제2 동작 기간 동안에는 오프되도록 제어됨-;

제1 단자가 상기 제1 스위치 소자의 제1 단자에 접속되는 제2 스위치 소자 -상기 제2 스위치 소자는, 상기 제1 동작 기간 동안에는 오프되도록 제어되고, 상기 제2 동작 기간의 일부인, 상기 용량 소자에 기억되어 있는 화소 전위를 판독하는 판독 기간 동안에는 온되도록 제어됨-;

제1 단자가 상기 제1 스위치 소자의 제1 단자에 접속되는 제3 스위치 소자 -상기 제3 스위치 소자는, 상기 제1 동작 기간 동안에는 오프되도록 제어되고, 상기 제2 동작 기간의 또 다른 일부인, 상기 화소 전위를 상기 용량 소자에 기입하는 기입 기간 동안에는 온되도록 제어됨-; 및

상기 판독 기간 동안에는 상기 제2 스위치 소자를 통해 상기 용량 소자로부터 판독된 화소 전위의 논리 레벨을 복원하고, 상기 기입 기간 동안에는 이 복원된 논리 레벨을 갖는 논리 반전 출력을 상기 제3 스위치 소자를 통해 상기 용량 소자에 기입하는 회로

를 포함하는, 전자 기기.

명 세 서

발명의 상세한 설명

기 술 분 야

[0001] 본 발명은, 아날로그 표시 모드와 메모리 표시 모드 둘 다를 충족시키는 화소 구조를 갖는 액정 표시 패널에 관한 것이다. 또한, 본 발명은 이 액정 표시 패널을 탑재하는 전자 기기에 관한 것이다.

배 경 기 술

[0002] 최근, 일부 액정 표시 패널은 아날로그 표시 모드에서의 표시와 메모리 표시 모드에서의 표시 둘 다를 충족시킬 수 있다(예를 들면, 일본 특허 공개 제H09-243995호 참조). 아날로그 표시 모드란, 최소 표시 단위(본 명세서에서는 "서브 화소"라고 함)에 있어서, 화소 계조를 아날로그적으로 다계조로 표현할 수 있는 표시 모드를 의미한다. 메모리 표시 모드란, 메모리에 기억된 이진 정보(H 레벨 또는 L 레벨)에 기초하여, 화소 계조를 백과 흑의 2계조로 표현할 수 있는 표시 모드를 의미한다.

[0003] 메모리 표시 모드에서는, 계조 전위의 기입 동작을 프레임 주기로 행할 필요가 없다. 이로 인해, 메모리 표시 모드에서의 전력 소비는, 아날로그 표시 모드에 비해 줄어들 수 있다.

발명의 내용

해결 하고자하는 과제

[0004] 도 1 및 도 2는 각각, 아날로그 표시 모드와 메모리 표시 모드 둘 다를 충족시키는 액정 표시 패널의 화소 회로예를 나타낸다. 도 1 및 도 2의 화소 회로는, 서브 화소 내의 메모리에 SRAM을 각각 사용한 경우를 나타내고 있다. 도 1은, 1개의 서브 화소에 대하여 1개의 SRAM을 배치한 경우의 화소 회로예다. 도 2는, 3개의 서브 화소에 대하여 1개의 SRAM을 배치한 경우의 화소 회로예다.

[0005] 도 1에서, LC는 서브 화소에 대응하는 액정을 나타내고 있다. 그러나, 도 2에서는, 작도 상의 편리함을 위해 LC의 표시를 생략하고 있다.

[0006] 도 1에서, Cs는 계조 전위를 유지하는 유지 용량이다. 도 2에서는, 3개의 유지 용량을 Cs(B), Cs(G) 및 Cs(R)로 나타내고 있다. 괄호 내의 "B"는 청색에 대응하는 서브 화소에 사용되는 유지 용량을 나타내고 있다. 괄호 내의 "G"는 녹색에 대응하는 서브 화소에 사용되는 유지 용량을 나타내고 있다. 괄호 내의 "R"은 적색에 대응하는 서브 화소에 사용되는 유지 용량을 나타내고 있다.

[0007] 박막 트랜지스터 N1, N1(B), N1(G) 및 N1(R) 각각은, 대응하는 유지 용량 Cs에의 계조 전위의 기입 기간에는 온(ON) 제어되고, 그 밖의 기간에는 오프(OFF) 제어되는 능동 소자다. 이 박막 트랜지스터 N1, N1(B), N1(G) 및 N1(R)에는 각각 제어선 CLT1, CLT1(B), CLT1(G) 및 CLT1(R)이 사용된다. 도 2에서, 박막 트랜지스터 N1, N1(B), N1(G) 및 N1(R)의 온 기간은 시간 순차적으로 배치된다.

[0008] 도 1에서, 박막 트랜지스터 N2는, 대응하는 1개의 서브 화소에 대한 계조 전위의 기입 기간 동안에 온되도록 제어되는 능동 소자다. 도 2에서, 박막 트랜지스터 N2는, 대응하는 3개의 서브 화소 중 하나에 대한 계조 전위의 기입 기간 동안에 온되도록 제어되는 능동 소자다. 도 2에서는, 청색에 대응하는 서브 화소에 대한 계조 전위가 최후에 기입된다.

[0009] 박막 트랜지스터 N3은, 아날로그 표시 모드 시에 계조 전위를 기입할 경우에, 또는 메모리 표시 모드 시에 대향 전극과는 다른 전위 VXCS를 기입할 경우에 온되도록 제어되는 능동 소자다. 이러한 제어에는, SRAM(P1, P2, N6 및 N7)의 유지 전위가 사용된다. 이 회로예의 경우, 박막 트랜지스터 N3이 온 상태이면, 트랜지스터 N4가 오프 상태이며, 박막 트랜지스터 N3이 오프 상태이면, 트랜지스터 N4가 온 상태다.

[0010] 박막 트랜지스터 N4는, 메모리 표시 모드에 있어서, 유지 용량에 대향 전극과 같은 전위를 기입할 경우 온되도록 제어되는 능동 소자다.

[0011] 박막 트랜지스터 N5는, SRAM(P1, P2, N6 및 N7)에 제어 전위가 기입될 때 온되도록 제어되는 능동 소자다. 이 박막 트랜지스터 N5를 제어하는 데에는 제어선 CTL2가 사용된다. 박막 트랜지스터 N5는, 아날로그 표시 모드 시에 계조 전위를 기입할 경우에 또는 메모리 표시 모드 시에 대향 전극과는 다른 전위 VXCS를 기입할 경우에 박막 트랜지스터 N3을 온되도록 제어 할 수 있게 온 또는 오프되도록 제어된다.

[0012] 도 1 및 도 2의 화소 회로에는 아직 일부 문제가 있다. 이 문제들 중 하나는, SRAM의 형성에 큰 면적이 필요하다는 것이다. 특히, 1개의 서브 화소에 대하여 1개의 SRAM을 배치할 경우, 투과 개구율(transmissive aperture ratio)이 낮아지는 것이 지적되어 있다.

[0013] 또한, 액정 표시 패널에 높은 표시 해상도가 요구될 경우, 1개의 서브 화소 내에 1개의 SRAM을 배치하는 것이 기술적으로 곤란해진다. 이로 인해, 도 1 또는 도 2의 회로 구성을 채용할 때 해상도가 한정되는 문제가 있다.

과제 해결수단

[0014] 투과 개구율의 감소를 피하면서 고해상도를 달성할 수 있는, 메모리 표시 모드를 갖는 액정 표시 패널과 전자 기기를 제공하는 것이 바람직하다.

[0015] 본 발명의 실시 형태에 따른 액정 표시 패널은, 계조 레벨을 나타내는 화소 전위를 유지하고 각 화소에 제공되는 용량 소자, 제1 단자가 상기 용량 소자의 한쪽의 전극과 액정 소자의 구동 전극에 접속되고, 제2 단자가 신호선에 접속되며, 신호선으로부터 상기 용량 소자에 화소 전위를 기입하는 제1 동작 기간 동안에는 온되도록 제어되고, 상기 용량 소자로부터의 화소 전위의 판독, 상기 판독된 화소 전위의 반전 및 증폭, 그리고 상기 반전 증폭된 화소 전위를 상기 용량 소자에 재기입하는 것이 순차적으로 실행되는 제2 동작 기간 동안에는 오프되도록 제어되는 제1 스위치 소자, 제1 단자가 상기 제1 스위치 소자의 제1 단자에 접속되며, 상기 제1 동작 기간 동안에는 오프되도록 제어되고, 상기 제2 동작 기간의 일부인, 상기 용량 소자에 기억되어 있는 화소 전위를 판독하는 판독 기간에는 온되도록 제어되는 제2 스위치 소자, 제1 단자가 상기 제1 스위치 소자의 제1 단자에 접속되며, 상기 제1 동작 기간 동안에는 오프되도록 제어되고, 상기 제2 동작 기간의 또 다른 일부인, 상기 화소 전위를 상기 용량 소자에 기입하는 기입 기간 동안에는 온되도록 제어되는 제3 스위치 소자, 및 상기 판독 기간 동안에는 상기 제2 스위치 소자를 통해 상기 용량 소자로부터 판독된 화소 전위의 논리 레벨을 복원하고, 상기 기입 기간 동안에는 복원된 논리 레벨을 갖는 논리 반전 출력을 상기 제3 스위치 소자를 통해 상기 용량 소자에 기입하는 회로를 포함한다.

[0016] 본 발명의 실시 형태에 따른 전자 기기는 상술한 액정 표시 패널을 포함한다.

[0017] 본 발명의 실시 형태에 따른 액정 표시 패널 및 전자 기기에서는, 제2 스위치 소자와 제3 스위치 소자가 제1 동

작 기간 동안에는 오프되도록 제어되고, 제1 스위치 소자가 온되도록 제어되는 타이밍에 신호선의 화소 전위가 용량 소자에 기입된다. 한편, 제2 동작 동안에는, 제1 스위치 소자가 오프되도록 제어되고, 이 상태에서, 제2 스위치 소자는 온되도록 제어되고, 제3 스위치 소자가 오프되도록 제어된다. 이에 의해, 용량 소자에 의해 유지되고 있는 화소 전위가 회로에 의해 판독되고, 판독된 화소 전위의 논리 레벨이 복원된다. 즉, 자기 리프레쉬 기능이 실행된다. 이후, 제2 스위치 소자가 오프되도록 제어되고, 제3 스위치 소자가 온되도록 제어된다. 이에 의해, 복원된 논리 레벨의 논리 반전 출력이 회로에 의해 제3 스위치 소자를 통해 용량 소자에 기입된다. 즉, 자기 반전 기능이 실행된다.

효 과

[0018] 본 발명의 실시 형태의 액정 표시 패널 및 전자 기기에 따르면, 각 화소의 용량 소자를 DRAM으로서 사용하고, 회로 내에서 리프레쉬 동작을 완결한다. 따라서, 투과 개구율의 감소를 피하면서 고해상도를 달성하는 것이 가능하다. 또한, 리프레쉬 동작 시에, 큰 부하 용량을 갖는 신호선이 충전 또는 방전될 필요가 없다. 그러므로, 리프레쉬 동작과 관련된 전력 소비를 감소시킬 수 있다.

[0019] 본 발명의 기타 및 추가의 목적, 특징 및 이점은 이하의 설명으로부터 더욱 명백해질 것이다.

발명의 실시를 위한 구체적인 내용

[0020] 이하, 본 발명의 실시 형태를 첨부된 도면을 참조하여 설명할 것이다.

[0021] 본 발명의 일 실시 형태에 따른 액정 표시 패널은 계조 전위를 유지하는 용량 소자를 DRAM으로서 이용하는 화소 회로를 채용하며, 도 3에 나타내는 이하의 소자 (1) 내지 (5)를 포함한다.

[0022] (1) 계조 레벨을 나타내는 화소 전위를 유지하고 각 화소에 제공되는 용량 소자 Cs

[0023] (2) 제1 단자가 용량 소자의 한쪽의 전극과 액정 소자의 구동 전극에 접속되고, 제2 단자가 신호선에 접속되는 제1 스위치 SW1. 제1 스위치는 신호선으로부터 용량 소자에 화소 전위를 기입하는 제1 동작 시에는 온되도록 제어되고, 용량 소자로부터 화소 전위를 판독하고, 이 판독된 화소 전위를 반전 및 증폭하고, 이 반전 증폭된 화소 전위를 용량 소자에 재기입하는 것이 순차적으로 행해지는 제2 동작 시에는 오프되도록 제어된다.

[0024] (3) 제1 단자가 제1 스위치의 제1 단자에 접속되는 제2 스위치 SW2. 이 제2 스위치는 제1 동작 기간에는 오프되도록 제어되고, 용량 소자에 기억되어 있는 화소 전위가 판독되는 판독 기간에는 온되도록 제어된다. 이 판독 기간은 제2 동작 기간의 일부다.

[0025] (4) 제1 단자가 제1 스위치 소자의 제1 단자에 접속되는 제3 스위치 SW3. 이 제3 스위치는 제1 동작 기간에는 오프되도록 제어되고, 화소 전위가 용량 소자에 기입되는 기입 기간에는 온되도록 제어 된다. 기입 기간은 제2 동작 기간의 또 다른 일부다.

[0026] (5) 판독 기간 동안 제2 스위치를 통해 용량 소자로부터 판독된 화소 전위의 논리 레벨을 복원하고, 기입 기간 동안 복원된 논리 레벨의 논리 반전 출력을 제3 스위치를 통해 용량 소자에 기입하는 회로(1).

[0027] 이하에서는, 도 4 내지 도 31을 참조하여 본 발명의 실시 형태를 설명할 것이다. 설명은 이하의 순서대로 행해질 것이다.

[0028] (A) 액정 표시 패널의 기본 구조

[0029] (B) 제1 실시 형태 : 1개의 서브 화소당 1개의 회로(1)

[0030] (B-1) 시스템 구성예

[0031] (B-2) 화소 회로의 구성

[0032] (B-3) 구동 동작예

[0033] (B-4) 결론

[0034] (C) 제2 실시 형태: 3개의 서브 화소당 1개의 회로(1)

[0035] (C-1) 화소 회로의 구성

[0036] (C-2) 구동 동작예

[0037] (C-3) 결론

[0038] (D) 제3 실시 형태 : 6개의 서브 화소당 1개의 회로(1)

[0039] (D-1) 화소 회로의 구성

[0040] (D-2) 구동 동작예

[0041] (D-3) 결론

[0042] (E) 다른 실시 형태

[0043] 본 발명은 실시 형태에 한정되지 않음을 이해할 것이다.

[0044] (A) 액정 표시 패널의 기본 구조

[0045] (A-1) 외관 구조

[0046] 우선, 액정 표시 패널의 외관예를 설명한다. 본 명세서에 사용된 바와 같이, 용어 "액정 표시 패널"은, 화소 어레이부와 구동 회로를 동일한 프로세스를 사용해서 형성하는 패널 모듈 뿐만아니라, 집적 회로로서 구성된 구동 회로가 화소 어레이부가 형성된 패널에 실장된 패널 모듈도 지칭한다. 여기에서의 집적 회로는 "반도체 장치"에 대응한다.

[0047] 도 4는 액정 표시 패널의 외관예를 나타낸다. 액정 표시 패널(11)은, 지지 기판(13)에 대향 기판(15)을 접합한 구조를 갖고 있다.

[0048] 지지 기판(13)은, 유리, 플라스틱 또는 다른 투과성 재료를 포함한다. 대향 기판(15)도, 유리, 플라스틱 또는 다른 투과성 재료를 포함한다. 대향 기판(15)은 밀봉 재료를 끼워서 지지 기판(13)의 표면을 밀봉하는 부재다.

[0049] 이밖에, 액정 표시 패널(11)에는 필요에 따라 외부 신호 또는 구동 전원을 입력하기 위한 FPC(플렉시블 회로 기판)(7)가 배치된다.

[0050] (A-2) 단면 구조

[0051] 도 5는 액정 표시 패널의 단면 구조예를 나타낸다. 도 5의 액정 표시 패널(11)은, 2매의 유리 기판(13 및 15)과 이 기판들 사이에 끼워 넣어지는 방식으로 봉입된 액정층(19)을 포함한다. 각 기판 중 외측 표면에는 편광판(21)이 배치되고, 내측 표면에는 배향막(23)이 배치된다. 배향막(23)은 액정층(19)의 액정 분자를 일정 방향으로 배열시키기 위해 사용된다. 일반적으로, 폴리이미드 막이 배향막(23)으로 사용된다.

[0052] 유리 기판(15)에는 각각 투명 도전막으로 형성된 화소 전극(25)과 대향 전극(27)이 형성된다. 도 5에서, 화소 전극(25)은, 빗살 모양으로 형성된 5개의 전극 가지(electrode branch)(25A)의 양 단이 연결부를 통해 연결된 구조를 갖고 있다.

[0053] 한편, 대향 전극(27)은, 전극 가지(25A)에 대해 더 하층측(유리 기판(15)측)에 화소 영역 전체를 덮도록 형성되어 있다. 이 전극 구조에 의해, 전극 가지(25A)와 대향 전극(27) 사이에 포물선 형상의 전계가 발생한다. 즉, 전극 가지(25A)의 상면 영역도 전계의 영향을 받을 수 있다. 그러므로, 화소 영역 전체의 액정이 원하는 배향 방향으로 향할 수 있다.

[0054] (B) 제1 실시 형태

[0055] (B-1) 시스템 구성예

[0056] 우선, 본 실시 형태에 따른 화소 구조를 갖는 액정 표시 패널(31)의 시스템 구성에 대해 설명한다.

[0057] 도 6은 액정 패널 모듈(31)의 시스템 구성예를 나타낸다. 이 모듈(31)은, 하부 유리 기판(도 5의 유리 기판(15)에 대응함) 상에 화소 어레이부(33), 신호선 구동부(35), 제어선 구동부(37) 및 구동 타이밍 발생부(39)가 배치되어 있는 구성을 갖고 있다. 이 실시 형태에서, 화소 어레이부(33)의 구동 회로는 하나 또는 복수의 반도체 집적 회로/회로들로서 형성되고, 유리 기판상에 실장된다.

[0058] 화소 어레이부(33)는 표시의 1 화소를 구성하는 화이트 유닛이 M행 및 N열로 배치된 매트릭스 구조를 갖고 있다. 본 명세서에서 사용되는 바와 같이, 용어 "행"은 도면에서 X축 방향으로 배열되는 3×N개의 서브 화소(41)로 구성되는 화소 라인을 말한다. 용어 "열"은 도면에서 Y축 방향으로 배열되는 M개의 서브 화소(41)로 구성되는 화소 라인을 말한다. M과 N의 값은, 수직 방향의 표시 해상도와 수평 방향의 표시 해상도에 따라 각각

정해짐을 유의한다.

[0059] 도 7은 화이트 유닛을 구성하는 서브 화소(41)의 배열예를 나타낸다. 도 7의 예는 3원색에 대응하는 서브 화소(41)로 화이트 유닛이 구성될 경우의 배열예다. 화이트 유닛의 구성이 이에 제한되지 않음을 유의한다.

[0060] 신호선 구동부(35)는 신호선 DTL을 구동하는 회로다. 본 실시 형태에서, 신호선 DTL은 도면에서 Y축 방향으로 연장되어 배선되어 있다. 예를 들어 아날로그 표시 모드의 경우, 신호선 구동부(35)는, 화소 계조에 따른 임의의 계조 전위(아날로그 전위 Vsig)를 대응하는 신호선 DTL에 인가하도록 동작한다. 예를 들어, 메모리 표시 모드의 경우에도, 서브 화소(41)에 기억되어 있는 계조 전위의 논리 레벨을 교체할 경우, 신호선 구동부(35)는, 필요한 화소 계조를 대응하는 신호선 DTL에 인가하도록 동작한다.

[0061] 제어선 구동부(37)는, 제어선 CTL21 내지 CTL25를 구동하는 회로다. 본 실시 형태에서, 제어선 CTL21 내지 CTL25는, 도면에서 X축 방향으로 연장되어 배선되어 있다. 예를 들어 아날로그 표시 모드의 경우, 제어선 구동부(37)는, 신호선 DTL에 인가된 계조 전위의 서브 화소(41)에 대한 기입 동작을 제어한다. 예를 들어, 메모리 표시 모드의 경우, 제어선 구동부(37)는, 서브 화소(41)에 기억되어 있는 계조 전위의 리프레쉬 동작과 재기입 동작을 제어한다.

[0062] 구동 타이밍 발생부(39)는, 신호선 구동부(35) 및 제어선 구동부(37)에 구동 펄스를 공급하는 회로 디바이스다.

[0063] (B-2) 화소 회로의 구성

[0064] 도 8은 본 실시 형태에 따른 서브 화소(41)에 대응하는 화소 회로의 구성예를 나타낸다. 도 8은, 자기 리프레쉬 기능과 자기 반전 기능을 갖는 회로(1)(도 3)를 서브 화소(41)에 대해 1대 1로 배치할 경우의 회로 구성을 회로 구성예로서 나타낸다.

[0065] 이하, 화소 회로를 구성하는 각 소자에 대해 설명한다.

[0066] 도 8에서, LC는 서브 화소(41)에 대응하는 액정을 나타내고 있다.

[0067] 도 8에서, "Cs"는 계조 전위를 유지하는 유지 용량이다. 본 실시 형태에서, 유지 용량 Cs는, 메모리 표시 모드시에는 DRAM으로서 사용된다.

[0068] 박막 트랜지스터 N11은, 유지 용량 Cs에의 계조 전위의 기입 기간에는 온되도록 제어되고, 그 밖의 기간에는 오프되도록 제어되는 능동 소자다. 박막 트랜지스터 N11을 제어하는 데에는 제어선 CTL21이 사용된다. 박막 트랜지스터 N11의 한쪽의 주 전극은 화소 전극에 접속되는 배선에 접속되고, 다른 쪽의 주 전극은 박막 트랜지스터 N12의 한쪽의 주 전극과 배선을 통해 접속된다.

[0069] 박막 트랜지스터 N12는, 신호선 DTL로부터 계조 전위를 기입할 경우에 온되도록 제어되는 능동 소자다. 박막 트랜지스터 N12를 제어하는 데에는 제어선 CTL22가 사용된다. 이 박막 트랜지스터 N12는 도 3의 제1 스위치 SW1에 대응한다. 박막 트랜지스터 N12의 한쪽의 주 전극은 신호선 DTL에 접속되고, 다른 쪽의 주 전극은 박막 트랜지스터 N11의 한쪽의 주 전극과 배선을 통해 접속된다.

[0070] 박막 트랜지스터 N13은, 신호선으로부터 상기 용량 소자에 화소 전위를 기입할 경우에 오프되도록 제어되는 능동 소자다. 박막 트랜지스터 N13은, 메모리 표시 모드 중 내부 리프레쉬 동작의 실행 동작 시에, 각 프레임의 종료 직전의 일정 기간 동안에만 온되도록 제어된다. 박막 트랜지스터 N13이 온되도록 제어되고 있는 기간에, DRAM으로서 기능하는 유지 용량 Cs에 의해 유지되는 계조 전위가 회로(1)(도 3)에 의해 판독된다. 이 박막 트랜지스터 N13을 제어하는 데에는 제어선 CTL23이 사용된다. 이 박막 트랜지스터 N13은 도 3의 제2 스위치 SW2에 대응한다.

[0071] 박막 트랜지스터 N14도, 신호선으로부터 상기 용량 소자에 화소 전위를 기입할 경우에 오프되도록 제어되는 능동 소자다. 박막 트랜지스터 N14는, 메모리 표시 모드 중 내부 리프레쉬 동작의 실행 동작 시에, 각 프레임의 개시 직후의 일정 기간 동안에만 온되도록 제어된다. 박막 트랜지스터 N14가 온되도록 제어되고 있는 기간에, 회로(1)(도 3) 내에서 논리 반전된 계조 전위가 유지 용량 Cs에 기입된다. 이 박막 트랜지스터 N14를 제어하는 데에는 제어선 CTL24가 사용된다. 이 박막 트랜지스터 N14는 도 3의 제3 스위치 SW3에 대응한다.

[0072] 박막 트랜지스터 P11, P12, N15, N16 및 N17은, 도 3의 회로(1)를 구성하는 회로다.

[0073] 박막 트랜지스터 P11과 N15는 인버터 회로(증폭 회로)를 구성한다. 또한, 박막 트랜지스터 P12와 N16도 인버터 회로(증폭 회로)를 구성한다. 이 인버터 회로의 구동 전원은 고레벨 전원 VDD와 저레벨 전원 VSS를 포함한다.

[0074] 박막 트랜지스터 P11과 N15를 포함하는 인버터 회로의 입력측은, 박막 트랜지스터 N13의 한쪽의 주 전극에 접속되어 있다. 이 인버터 회로는, 박막 트랜지스터 N13이 온 상태인 경우 유지 용량 Cs의 계조 전위를 입력할 수 있다.

[0075] 박막 트랜지스터 P12와 N16을 포함하는 인버터 회로의 입력측은, 박막 트랜지스터 N14의 한쪽의 주 전극에 접속되어 있다. 이 인버터 회로는, 박막 트랜지스터 N14가 온 상태인 경우 유지 용량 Cs에 논리 반전된 계조 전위를 기입할 수 있다.

[0076] 박막 트랜지스터 P11과 N15를 포함하는 인버터 회로의 출력측은, 박막 트랜지스터 P12와 N16을 포함하는 인버터 회로의 입력측에 접속되어 있다. 박막 트랜지스터 P12와 N16을 포함하는 인버터 회로의 출력측은, 박막 트랜지스터 N17을 통해 박막 트랜지스터 P11과 N15를 포함하는 인버터 회로의 입력측에 접속되어 있다. 박막 트랜지스터 N17은 회로(1)(도 3)의 동작을 제어한다. 박막 트랜지스터 N17을 제어하는 데에는 제어선 CTL25가 사용된다.

[0077] 예를 들어 박막 트랜지스터 N17이 온 상태인 경우, 2개의 인버터 회로는 래치 회로로서 동작한다. 인버터 회로가 래치 회로로서 동작할 때, 자기 리프레쉬 기능이 인에이블된다. 즉, 논리 진폭을 VDD-VSS로 하는 논리 레벨의 복원 동작이 실행된다. 박막 트랜지스터 P11과 N15를 포함하는 인버터 회로의 출력측에는, 유지 용량 Cs로부터 판독된 계조 전위의 논리 반전 출력이 제공된다.

[0078] 또한 예를 들어 박막 트랜지스터 N17이 오프 상태일 때, 2개의 인버터 회로는, 독립적인 증폭 회로로서 동작한다.

[0079] (B-3) 구동 동작예

[0080] 이하, 서브 화소(41)를 구성하는 화소 회로의 구동 동작예를 각 표시 모드에 대해 설명한다.

[0081] (1) 아날로그 표시 모드

[0082] 도 9는 어떤 주사선에 관한 아날로그 표시 모드 시에 있어서의 제어선 구동부(37)의 특정 제어 동작을 나타낸다. 도 9에서 (A)는 신호선 DTL에 인가되는 계조 전위의 파형이다. 본 실시 형태에서, 화소 전극과 대향 전극 사이에 인가되는 전압의 극성은 1 수평 기간 주기(1H 주기)로 반전된다. 즉, 라인 반전 구동이 행해진다. 따라서, (A)에서는, 신호선 DTL에 인가되는 계조 전위의 파형이, 1H 주기마다 전위 레벨이 반전하는 것과 같이 그려져 있다. 신호선 DTL에 인가되는 계조 전위의 고레벨 전위는 VDD1이며, 저레벨 전위는 VSS다. (A)는 최대 진폭의 경우의 예를 나타낸 것이며, 실제로는, 화소 계조에 따라 VDD1과 VSS 사이의 전위 레벨을 사용한다.

[0083] 도 9에서, (B)는 제어선 CTL21과 CTL22 각각의 구동 파형을 나타낸다. 구동 진폭의 고레벨 전위는 VDD2이며, 저레벨 전위는 VSS2다. 도면에 나타낸 바와 같이, 신호선 DTL로부터 계조 전위를 기입하는 타이밍에만 구동 전위는 고레벨 전위 VDD2로 제어된다.

[0084] (C)는 제어선 CTL23과 CTL24 각각의 구동 파형을 나타낸다. 구동 진폭의 고레벨 전위는 VDD2이며, 저레벨 전위는 VSS2다. 그러나, 아날로그 표시 모드의 경우, 제어선 CTL23과 CTL24는 항상 저레벨 전위 VSS2로 제어된다.

[0085] (D)는 제어선 CTL25의 구동 파형을 나타낸다. 구동 진폭의 고레벨 전위는 VDD2이며, 저레벨 전위는 VSS2다. 그러나, 아날로그 표시 모드의 경우, 제어선 CTL25는 항상 고레벨 전위 VDD2로 제어된다.

[0086] 도 10은 아날로그 표시 모드 시에 있어서, 계조 전위를 신호선 DTL로부터 기입할 때의 화소 회로 내의 접속 상태를 나타낸다. 계조 전위의 기입 경로를 화살표로 나타내고 있다.

[0087] 이 경우에는, 도 10에 나타낸 바와 같이, 제1 스위치 SW1에 대응하는 박막 트랜지스터 N12만이 온되도록 제어된다. 한편, 제2 스위치 SW2에 대응하는 박막 트랜지스터 N13과 제3 스위치 SW3에 대응하는 박막 트랜지스터 N14는 둘 다 전 기간에 걸쳐 오프되도록 제어된다. 즉, 유지 용량 Cs 및 화소 전극을 포함하는 화소 회로의 일부분은 회로(1)(도 3)와 전기적으로 완전하게 분리된다.

[0088] 회로(1) 내의 박막 트랜지스터 N17은 항상 온되도록 제어되고, 따라서 래치 회로로서 동작을 계속한다.

[0089] (2) 메모리 표시 모드

[0090] 메모리 표시 모드는, 신호선 DTL로부터 유지 용량 Cs에 계조 전위를 기입하는 동작과 서브 화소 내에서 유지 용량 Cs에 기억되어 있는 계조 전위를 리프레쉬하는 동작을 포함한다. 신호선 DTL로부터 유지 용량 Cs에 계조 전

위를 기입하는 동작은, 예를 들면 표시 내용의 변경 시에 실행된다. 신호선 DTL로부터 유지 용량 Cs에 계조 전위를 기입할 경우, 화소 회로의 동작은 아날로그 표시 모드에서의 동작과 동일하다. 그러므로, 동작에 대한 설명은 생략한다.

[0091] 도 11은 서브 화소 내에서 유지 용량 Cs에 기억되어 있는 계조 전위를 리프레쉬할 경우에 있어서의 제어선 구동부(37)의 제어 동작의 내용을 나타낸다. 도 11은 프레임에서의 구동 동작의 관계를 나타내고 있다.

[0092] 도 11에서, (A)는 제어선 CTL21의 구동 파형을 나타낸다. (B)는 제어선 CTL23과 CTL24 각각의 구동 파형을 나타낸다. 이 2개의 제어선에는, 1 프레임 주기로 고레벨 전위가 펄스 방식으로 인가된다. (C)는 제어선 CTL25의 구동 파형을 나타낸다. 제어선 CTL25에는 1 프레임 주기로 저레벨 전위가 펄스 방식으로 인가된다.

[0093] 도 11에서, (D)는 대향 전극 전위 VCS의 구동 파형이다. 도면에 나타낸 바와 같이, 1 프레임 주기로 고레벨 전위와 저레벨 전위가 교대로 출력된다.

[0094] (E)는 유지 용량 Cs에 기입되는 계조 전위(PIX)의 전위 변화를 나타내는 파형을 나타낸다. 도면에 나타낸 바와 같이, 메모리 표시 모드에 있어서, 서브 화소(41)의 발광 상태를 유지하기 위해서는, 계조 전위(PIX)를 교대로 교체할 필요가 있다.

[0095] 메모리 표시 모드의 경우, 제어선 CTL22는 항상 저레벨 전위로 제어된다.

[0096] 다음으로, 1 프레임 내에서의 구동 동작을 상세히 설명한다.

[0097] 도 12는 어떤 주사선에 관한 메모리 표시 모드 시에 있어서의 제어선 구동부(37)의 제어 동작의 내용을 나타낸다. 도 12는, 도 11의 프레임들 간의 경계 부분을 확대한 상태로 나타내고 있다. 도 12에서, 전 프레임을 프레임 N으로 나타내고, 다음 프레임을 프레임 N+1로 나타내고 있다.

[0098] 도 12에서, (A)는 제어선 CTL21의 구동 파형을 나타낸다. 도면에 나타낸 바와 같이, 제어선 CTL21은, 프레임 N의 종료 직전부터 프레임 N+1의 개시 직후까지의 일정 기간 동안 고레벨 전위 VDD2로 제어된다.

[0099] (B)는 제어선 CTL23의 구동 파형을 나타낸다. 도면에 나타낸 바와 같이, 제어선 CTL23은 각 프레임의 종료 직전의 일정 기간 동안만 고레벨 전위 VDD2로 제어된다.

[0100] (C)는 제어선 CTL24의 구동 파형을 나타낸다. 도면에 나타낸 바와 같이, 제어선 CTL24는 각 프레임의 개시 직후의 일정 기간 동안만 고레벨 전위 VDD2로 제어된다.

[0101] (D)는 제어선 CTL25의 구동 파형을 나타낸다. 도면에 나타낸 바와 같이, 제어선 CTL25는 기본적으로 고레벨 전위 VDD2로 제어되지만, 유지 용량 Cs로부터 회로(1)(도 3)로 계조 전위의 판독을 개시하기 직전에는 저레벨 전위 VSS1로 제어된다.

[0102] 그 후, 일정 시간이 경과하면, 제어선 CTL25는 다시 고레벨 전위 VDD2로 제어된다. 이러한 고레벨 전위 VDD2의 인가는, 프레임 N이 종료하기 전의 일정 기간 동안 실행된다. 이 고레벨 전위 VDD2의 인가 동안에 회로(1)(도 3)의 래치 기능이 인에이블되어, 유지 용량으로부터 판독된 계조 전위(PIX)가 본래의 전위로 복원된다. 즉, 자기 리프레쉬 동작이 실행된다. 이와 같이, 자기 리프레쉬 동작은 신호선 DTL의 충전 또는 방전 없이 실행된다.

[0103] 자기 리프레쉬 동작이 종료하면, 다시, 제어선 CTL25은 저레벨 전위 VSS2로 제어되고, 다음 프레임의 개시로부터 일정 기간이 경과할 때까지, 이러한 전위 상태가 유지된다. 이후, 제3 스위치 SW3으로서 기능하는 박막 트랜지스터 N14의 온되도록 제어의 시작에서부터 일정 시간이 경과한 후, 제어선 CTL25는 다시 온 상태로 제어되고, 이러한 전위 상태가 유지된다.

[0104] 도 12에서, (E)는 대향 전극 전위 VCS에서의 변화를 나타내는 파형이다. 도면에 나타낸 바와 같이, 전위 레벨은 프레임 주기로 반전된다.

[0105] 도 13은 메모리 표시 모드에 있어서, 유지 용량 Cs로부터 계조 전위(PIX)를 판독할 경우의 화소 회로 내의 모습을 나타낸다.

[0106] 이때, 박막 트랜지스터 N11과 박막 트랜지스터 N13(제2 스위치 SW2)이 온 상태로 제어된다. 이에 의해, DRAM으로서 기능하는 유지 용량 Cs에 의해 유지되는 계조 전위가, 박막 트랜지스터 P11과 박막 트랜지스터 N15를 포함하는 인버터 회로에 의해 그 입력 단을 통해 판독된다.

[0107] 이 상태에서, 박막 트랜지스터 N17이 온되도록 제어되면, 도 14에 나타낸 바와 같이, 회로(1)(도 3)는 래치 회

로로서 동작하고, 유지 용량 Cs로부터 판독된 계조 전위의 논리 진폭이 복원된다.

[0108] 이 후, 박막 트랜지스터 N17이 오프되도록 제어되고, 박막 트랜지스터 N13도 오프되도록 제어된다. 이 상태가 도 15에 나타내는 접속 상태다. 이에 의해, 박막 트랜지스터 P12와 N16 각각의 입력 측에는, 프레임 N의 기간 동안 유지 용량 Cs로부터 판독된 계조 전위의 논리 진폭을 복원한 상태에서 논리 반전한 계조 전위가 제공된다.

[0109] 이 후, 우선 박막 트랜지스터 N14가 온되도록 제어되고, 다음에 박막 트랜지스터 N17이 온되도록 제어된다. 이 상태가, 도 16에 나타내는 접속 상태다. 이에 의해, 프레임 N의 계조 전위를 리프레쉬한 후에 논리 반전된 계조 전위가 유지 용량 Cs에 새로이 기입된다.

[0110] 이상의 동작이, 메모리 표시 모드의 기간 동안 반복된다.

[0111] (B-4) 결론

[0112] 본 실시 형태에 따른 화소 구조를 사용하여, 아날로그 표시 모드 및 메모리 표시 모드 둘 다를 충족시킬 수 있는 액정 표시 패널을 달성할 수 있다.

[0113] 또한, 메모리 표시 모드에 있어서, 유지 용량 Cs를 DRAM으로서 이용하기 때문에, 용량 면적이 작을 수 있고, 개구율이 높도록 설계할 수 있다.

[0114] 또한, 본 실시 형태에 따른 화소 구조의 경우에는, 메모리 표시 모드에 있어서, 서브 화소(41)가 신호선 DTL에 기본적으로 접속될 필요가 없다. 즉, 신호선 DTL을 충전 또는 방전하지 않아도, DRAM으로서 동작될 수 있는 유지 용량 Cs의 계조 전위를 리프레쉬할 수 있다. 이로 인해, 메모리 표시 모드에 있어서 전력 소비를 더 감소시킬 수 있다.

[0115] (C) 제2 실시 형태

[0116] 다음으로, 제2 실시 형태를 설명한다. 본 실시 형태에서는, 화이트 유닛을 구성하는 3개의 서브 화소(41)에 대해 1개의 회로(1)(도 3)를 배치할 경우에 대해 설명한다.

[0117] (C-1) 화소 회로의 구성

[0118] 도 17은 제2 실시 형태에 따른 서브 화소(41)에 대응하는 화소 회로의 구성예를 나타낸다. 도 17에서는, 도 8과의 대응 부분을 동일한 참조번호 또는 부호로 표시한다. 도 17의 경우에도, 도 2의 경우에서와 같이 LC는 작도 상의 사정에 의해 표시를 생략하고 있다.

[0119] 도 17은, 박막 트랜지스터 N11이 화이트 유닛을 구성하는 서브 화소(41)가 3개 준비된다는 점에서 도 8과 상이하다. 즉, 3개의 박막 트랜지스터 N11(B), N11(G) 및 N11(R)이 준비된다. 괄호 내의 "B"는 청색에 대응하는 서브 화소에 사용되는 박막 트랜지스터를 나타내고 있다. 괄호 내의 "G"는 녹색에 대응하는 서브 화소에 사용되는 박막 트랜지스터를 나타내고 있다. 괄호 내의 "R"은 적색에 대응하는 서브 화소에 사용되는 박막 트랜지스터를 나타내고 있다.

[0120] 그러므로, 유지 용량 Cs(B)는, 청색 표시에 대응하는 서브 화소(41)의 유지 용량 Cs를 나타내고 있다. 마찬가지로, 유지 용량 Cs(G)는, 녹색 표시에 대응하는 서브 화소(41)의 유지 용량 Cs를 나타내고 있다. 마찬가지로, 유지 용량 Cs(R)은, 적색 표시에 대응하는 서브 화소(41)의 유지 용량 Cs를 나타내고 있다.

[0121] 박막 트랜지스터 N11(B)를 제어하는 데에는 제어선 CTL21(B)가 사용된다. 박막 트랜지스터 N11(G)를 제어하는 데에는 제어선 CTL21(G)가 사용된다. 박막 트랜지스터 N11(R)를 제어하는 데에는 제어선 CTL21(R)이 사용된다.

[0122] (C-2) 구동 동작예

[0123] 이하, 본 실시 형태에 따른 화소 회로의 구동 동작예를 각 표시 모드에 대해 설명한다.

[0124] (1) 아날로그 표시 모드

[0125] 도 18은 어떤 주사선에 관한 아날로그 표시 모드 시에 있어서의 제어선 구동부(37)의 제어 동작의 내용을 나타낸다. 도 18에서, (A)는 신호선 DTL에 인가되는 계조 전위의 파형을 나타낸다. 본 실시 형태에서, 화소 전극과 대향 전극 사이에 인가되는 전압의 극성은 1 수평 기간 주기(1H 주기)로 반전된다. 즉, 라인 반전 구동이 행해진다. 따라서, (A)에서는, 신호선 DTL에 인가되는 계조 전위의 파형이 1H 주기마다 전위 레벨이 반전하도록 그려져 있다. 신호선 DTL에 인가되는 계조 전위의 고레벨 전위는 VDD1이며, 저레벨 전위는 VSS다. (A)는 최대 진폭의 경우의 예를 나타낸 것이며, 실제로는, 화소 계조에 따라 VDD1과 VSS 사이의 전위 레벨을

사용한다.

[0126] 도 18에서, (B)는 제어선 CTL22의 구동 파형을 나타낸다. 구동 진폭의 고레벨 전위는 VDD2이며, 저레벨 전위는 VSS2다. 도면에 나타낸 바와 같이, 신호선 DTL로부터 계조 전위를 기입하는 타이밍에만 구동 전위는 고레벨 전위 VDD2로 제어된다.

[0127] (C1) 내지 (C3)은 각각 제어선 CTL21(R), CTL21(G) 및 CTL21(B)의 구동 파형을 나타낸다. 도면에 나타낸 바와 같이, 제어선 CTL21(R), CTL21(G) 및 CTL21(B)는 R, G 및 B의 순서로 고레벨 전위 VDD2로 순차적으로 제어된다. 각각의 제어선 CTL21(R), CTL21(G) 및 CTL21(B)가 고레벨 전위 VDD2인 기간은 서로 중복되지 않도록 설정된다. 각각의 제어선 CTL21(R), CTL21(G) 및 CTL21(B)가 고레벨 전위 VDD2인 기간 동안, 대응하는 신호 전위 Vsig가 신호선 DTL에 인가된다. 구동 진폭의 고레벨 전위는 VDD2이고, 저레벨 전위는 VSS2다.

[0128] 도 18에서, (D)는 제어선 CTL23과 CTL24 각각의 구동 파형을 나타낸다. 구동 진폭의 고레벨 전위는 VDD2이며, 저레벨 전위는 VSS2다. 그러나, 아날로그 표시 모드의 경우, 제어선 CTL23과 CTL24는 항상 저레벨 전위 VSS2로 제어된다.

[0129] (E)는 제어선 CTL25의 구동 파형을 나타낸다. 구동 진폭의 고레벨 전위는 VDD2이며, 저레벨 전위는 VSS2다. 그러나, 아날로그 표시 모드의 경우, 제어선 CTL25는 항상 고레벨 전위 VDD2로 제어된다.

[0130] (2) 메모리 표시 모드

[0131] 메모리 표시 모드는, 신호선 DTL로부터 유지 용량 Cs에 계조 전위를 기입하는 동작과 서브 화소 내에서 유지 용량 Cs에 기억되어 있는 계조 전위를 리프레쉬하는 동작을 포함한다. 신호선 DTL로부터 유지 용량 Cs에 계조 전위를 기입하는 동작은, 표시 내용의 변경 시에 실행된다. 신호선 DTL로부터 유지 용량 Cs로 계조 전위를 기입하는 경우, 화소 회로는 아날로그 표시 모드에서의 동작과 동일한 동작을 실행한다. 그러므로, 동작에 대한 설명은 생략한다.

[0132] 도 19는 서브 화소 내에서 유지 용량 Cs에 기억되어 있는 계조 전위를 리프레쉬할 경우에 있어서의 제어선 구동부(37)의 제어 동작의 내용을 나타낸다. 도 19는 프레임 단위에서의 구동 동작의 관계를 나타내고 있다.

[0133] 도 19에서, (A1) 내지 (A3)은, 각각 제어선 CTL21(R), CTL21(G) 및 CTL21(B)의 구동 파형을 나타낸다. 본 실시 형태에서, 제어선 CTL21(R), CTL21(G) 및 CTL21(B)에는 3 프레임 주기로 고레벨 전위가 펄스 방식으로 인가된다.

[0134] 도 19에서, (B)는 제어선 CTL23과 CTL24 각각의 구동 파형을 나타낸다. 이 2개의 제어선에는 1 프레임 주기로 고레벨 전위가 펄스 방식으로 인가된다. (C)는 제어선 CTL25의 구동 파형이다. 제어선 CTL25에는 1 프레임 주기로 저레벨 전위가 펄스 방식으로 인가된다.

[0135] 도 19에서, (D)는 대향 전극 전위 VCS의 구동 파형을 나타낸다. 도면에 나타낸 바와 같이, 1 프레임 주기로 고레벨 전위와 저레벨 전위가 교대로 출력된다.

[0136] (E1) 내지 (E3)은 각각, 유지 용량 Cs에 기입되는 계조 전위(PIXR, PIXG 및 PIXB)의 변화를 나타내는 파형을 나타낸다. 도면에서, 파선으로 나타내는 파형은 대향 전극 전위 VCS의 구동 파형이다. 실선으로 나타내는 파형은 각 서브 화소(41)에 기억되는 계조 전위의 파형이다.

[0137] 도면에 나타낸 바와 같이, 대향 전극 전위의 변화에 따라 계조 전위가 변화하고, 대향 전극 전위 VCS와 유지 용량 Cs에 의해 유지되는 계조 전위(PIXR, PIXG 및 PIXB) 간의 전위 관계는 3 프레임 주기로 변화한다. 즉, 각 색에 대한 자기 리프레쉬/자기 반전 동작이 3 프레임 주기로 실행된다. 전회의 자기 리프레쉬/자기 반전 동작으로부터 다음번의 자기 리프레쉬/자기 반전 동작까지 서브 화소(41) 내의 전위 관계가 유지됨을 유의한다. 따라서, 본 실시 형태에서는, 유지 용량 Cs가, 리프레쉬 레이트가 3 프레임 주기이더라도 소정의 계조 전위를 유지하기에 충분한 용량을 갖는다. 메모리 표시 모드의 경우, 제어선 CTL22는 항상 저레벨 전위로 제어된다.

[0138] 다음으로, 1 프레임 내에서의 구동 동작을 상세하게 설명한다.

[0139] 도 20은 소정의 주사선에 관한 메모리 표시 모드 시에 있어서의 제어선 구동부(37)의 제어 동작의 내용을 나타낸다. 도 20은 도 19의 프레임들 간의 경계 부분을 확대한 상태로 나타내고 있다. 도 20에서, 전 프레임을 프레임 N으로 나타내고, 다음 프레임을 프레임 N+1로 나타내고 있다.

[0140] 도 20에서, (A)는 제어선 CTL21(R), CTL21(G) 및 CTL21(B) 각각의 구동 파형을 나타낸다. 즉, (A)는 도 19의

(A1) 내지 (A3)의 각 펄스 출력 시점의 동작을 나타내고 있다. 이하에서는, 제어선 CTL21(R)에 대해 설명한다.

[0141] 도면에 나타낸 바와 같이, 제어선 CTL21(R)은, 프레임 N의 종료 직전 시점에서부터 프레임 N+1의 개시 직후 시점까지의 일정 기간 동안 고레벨 전위 VDD2로 제어된다.

[0142] (B)는 제어선 CTL23의 구동 파형을 나타낸다. 도면에 나타낸 바와 같이, 제어선 CTL23은, 각 프레임의 종료 직전의 일정 기간 동안만 고레벨 전위 VDD2로 제어된다.

[0143] (C)는 제어선 CTL24의 구동 파형을 나타낸다. 도면에 나타낸 바와 같이, 제어선 CTL24는, 각 프레임의 개시 직전의 일정 기간 동안만 고레벨 전위 VDD2로 제어된다.

[0144] (D)는 제어선 CTL25의 구동 파형을 나타낸다. 도면에 나타낸 바와 같이, 제어선 CTL25는, 기본적으로 고레벨 전위 VDD2로 제어되지만, 유지 용량 Cs로부터 회로(1)(도 3)로 계조 전위의 판독을 개시하기 직전에는 저레벨 전위 VSS2로 제어된다.

[0145] 그 후, 일정 시간이 경과하면, 제어선 CTL25는 다시 고레벨 전위 VDD2로 제어된다. 이러한 고레벨 전위 VDD2의 인가는, 프레임 N이 종료하기 전의 일정 기간 동안 실행된다. 고레벨 전위 VDD2의 인가 동안 회로(1)(도 3)의 래치 기능이 인에이블되어, 유지 용량으로부터 판독된 계조 전위(PIX)가 본래의 전위로 복원된다. 즉, 자기 리프레쉬 동작이 실행된다. 이와 같이, 자기 리프레쉬 동작은 신호선 DTL의 충전 또는 방전 없이 실행된다.

[0146] 자기 리프레쉬 동작이 종료하면, 제어선 CTL25는 다시 저레벨 전위 VSS2로 제어되고, 이러한 전위 상태는 다음 프레임의 개시로부터 일정 기간이 경과할 때까지 유지된다. 이후, 제3 스위치 SW3로서 기능하는 박막 트랜지스터 N14가 온되도록 제어되고 나서 일정 시간이 경과한 후, 제어선 CTL25는 다시 온 상태로 제어되고, 이러한 전위 상태가 유지된다.

[0147] 도 20에서, (E)는 대향 전극 전위 VCS의 변화를 나타내는 파형을 나타낸다. 도면에 나타낸 바와 같이, 프레임 주기로 전위 레벨이 반전된다.

[0148] 이상의 동작이 적색 표시에 대응하는 서브 화소(41), 녹색 표시에 대응하는 서브 화소(41) 및 청색 표시에 대응하는 서브 화소(41)에 대해 프레임마다 순서대로 실행된다.

[0149] (C-3) 결론

[0150] 본 실시 형태의 경우에서도, 아날로그 표시 모드 및 메모리 표시 모드 둘 다를 충족시킬 수 있는 액정 표시 패널을 달성할 수 있다.

[0151] 또한, 본 실시 형태에서는, 1개의 회로(1)(도 3)를 3개의 서브 화소(41)에 대해 순서대로 이용할 수 있다. 즉, 1개의 화이트 유닛 내에 형성되는 회로(1)(도 3)의 수를 3개에서 1개로 삭감할 수 있다. 결과적으로, 화이트 유닛을 구성하는 화소 영역내의 소자의 수를 삭감할 수 있다. 또한, 액정 표시 패널을 구성하는 소자의 수가 삭감되면, 그만큼 수율도 향상할 수 있다.

[0152] (D) 제3 실시 형태

[0153] 다음으로, 제3 실시 형태를 설명한다. 본 실시 형태에서는, 2개의 화이트 유닛을 구성하는 6개의 서브 화소(41)에 대해 회로(1)(도 3)를 1개 배치할 경우에 대해 설명한다.

[0154] (D-1) 화소 회로의 구성

[0155] 도 21은 제3 실시 형태에 따른 서브 화소(41)에 대응하는 화소 회로의 구성예를 나타낸다. 도 21에서, 도 17과의 대응 부분에는 동일한 참조번호 또는 부호로 표시한다. 도 21의 경우에도, 도 2 또는 도 17의 경우에서와 같이 LC는 작도 상의 사정에 의해 표시를 생략하고 있다.

[0156] 도 21은, 박막 트랜지스터 N11이 2개의 화이트 유닛을 구성하는 서브 화소(41)가 6개 준비된다는 점에서 도 2 및 도 17과 상이하다. 즉, 6개의 박막 트랜지스터 N11(B1), N11(G1), N11(R1), N11(B2), N11(G2) 및 N11(R2)가 준비된다.

[0157] 도 21의 경우에서도, 괄호 내의 "B"는 청색에 대응하는 서브 화소에 사용되는 박막 트랜지스터를 나타내고 있다. 괄호 내의 "G"는 녹색에 대응하는 서브 화소에 사용되는 박막 트랜지스터를 나타내고 있다. 괄호 내의 "R"은 적색에 대응하는 서브 화소에 사용되는 박막 트랜지스터를 나타내고 있다.

[0158] 괄호 내의 "1"은 첫 번째 화이트 유닛을 구성하는 서브 화소에 사용되는 박막 트랜지스터를 나타내고, 괄호 내

의 "2"는 두 번째 화이트 유닛을 구성하는 서브 화소에 사용되는 박막 트랜지스터를 나타내고 있다.

[0159] 그러므로, 유지 용량 Cs(B1)은, 첫 번째 화이트 유닛을 구성하는 청색 표시에 대응하는 서브 화소(41)의 유지 용량 Cs를 나타내고 있다. 마찬가지로, 유지 용량 Cs(G1)은, 첫 번째 화이트 유닛을 구성하는 녹색 표시에 대응하는 서브 화소(41)의 유지 용량 Cs를 나타내고 있다. 마찬가지로, 유지 용량 Cs(R1)은, 첫 번째 화이트 유닛을 구성하는 적색 표시에 대응하는 서브 화소(41)의 유지 용량 Cs를 나타내고 있다.

[0160] 유지 용량 Cs(B2)는, 두 번째 화이트 유닛을 구성하는 청색 표시에 대응하는 서브 화소(41)의 유지 용량 Cs를 나타내고 있다. 마찬가지로, 유지 용량 Cs(G2)는, 두 번째 화이트 유닛을 구성하는 녹색 표시에 대응하는 서브 화소(41)의 유지 용량 Cs를 나타내고 있다. 마찬가지로, 유지 용량 Cs(R2)는, 두 번째 화이트 유닛을 구성하는 적색 표시에 대응하는 서브 화소(41)의 유지 용량 Cs를 나타내고 있다.

[0161] 박막 트랜지스터 N11(B1)을 제어하는 데에는 제어선 CTL21(B1)이 사용된다. 박막 트랜지스터 N11(G1)을 제어하는 데에는 제어선 CTL21(G1)이 사용된다. 박막 트랜지스터 N11(R1)을 제어하는 데에는 제어선 CTL21(R1)이 사용된다.

[0162] 박막 트랜지스터 N11(B2)을 제어하는 데에는 제어선 CTL21(B2)가 사용된다. 박막 트랜지스터 N11(G2)을 제어하는 데에는 제어선 CTL21(G2)가 사용된다. 박막 트랜지스터 N11(R2)을 제어하는 데에는 제어선 CTL21(R2)가 사용된다.

[0163] (D-2) 구동 동작예

[0164] 이하, 본 실시 형태에 따른 화소 회로의 구동 동작예를 각 표시 모드별로 설명한다.

[0165] (1) 아날로그 표시 모드

[0166] 도 22는 어떤 주사선에 관한 아날로그 표시 모드 시에 있어서의 제어선 구동부(37)의 제어 동작의 내용을 나타낸다. 도 22에서, (A)는 신호선 DTL에 인가되는 계조 전위의 파형을 나타낸다. 본 실시 형태의 경우에서도, 화소 전극과 대향 전극 사이에 인가되는 전압의 극성은 1 수평 기간 주기(1H 주기)로 반전된다. 즉, 라인 반전 구동이 실행된다. 따라서, (A)에서, 신호선 DTL에 인가되는 계조 전위의 파형은 1H 주기마다 전위 레벨이 반전하도록 그려져 있다. 신호선 DTL에 인가되는 계조 전위의 고레벨 전위는 VDD1이며, 저레벨 전위는 VSS다. (A)는 최대 진폭의 경우의 예를 나타낸 것이며, 실제로는, 화소 계조에 따라 VDD1과 VSS 간의 전위 레벨을 사용한다.

[0167] 도 22에서, (B)는 제어선 CTL22의 구동 파형을 나타낸다. 구동 진폭의 고레벨 전위는 VDD2이며, 저레벨 전위는 VSS2다. 도면에 나타낸 바와 같이, 신호선 DTL로부터 계조 전위를 기입하는 타이밍에만 구동 전위는 고레벨 전위 VDD2로 제어된다.

[0168] (C1) 내지 (C6)은 각각 제어선 CTL21(R1), CTL21(G1), CTL21(B1), CTL21(R2), CTL21(G2) 및 CTL21(B2)의 구동 파형을 나타낸다. 제어선 CTL21(B1), CTL21(R2) 및 CTL21(G2)는 도면에서 생략되어 있다.

[0169] 도면에 나타낸 바와 같이, 제어선 CTL21(R1), CTL21(G1), CTL21(B1), CTL21(R2), CTL21(G2) 및 CTL21(B2)는 R1, G1, B1, R2, G2 및 B2의 순서대로 고레벨 전위 VDD2로 순차적으로 제어된다. 각 제어선 CTL21(R1), CTL21(G1), CTL21(B1), CTL21(R2), CTL21(G2) 및 CTL21(B2)이 고레벨 전위 VDD2인 기간은 서로 중복되지 않도록 설정되어 있다. 각 제어선 CTL21(R1), CTL21(G1), CTL21(B1), CTL21(R2), CTL21(G2) 및 CTL21(B2)가 고레벨 전위 VDD2인 기간에, 대응하는 신호 전위 Vsig가 신호선 DTL에 인가된다. 구동 진폭의 고레벨 전위는 VDD2이며, 저레벨 전위는 VSS2다.

[0170] 도 22에서, (D)는 제어선 CTL23과 제어선 CTL24의 구동 파형을 나타낸다. 구동 진폭의 고레벨 전위는 VDD2이며, 저레벨 전위는 VSS2다. 그러나, 아날로그 표시 모드의 경우, 제어선 CTL23과 CTL24는, 항상 저레벨 전위 VSS2로 제어된다.

[0171] (E)는 제어선 CTL25의 구동 파형을 나타낸다. 구동 진폭의 고레벨 전위는 VDD2이며, 저레벨 전위는 VSS2다. 그러나, 아날로그 표시 모드의 경우, 제어선 CTL25는, 항상 고레벨 전위 VDD2로 제어된다.

[0172] (2) 메모리 표시 모드

[0173] 메모리 표시 모드는, 신호선 DTL로부터 유지 용량 Cs에 계조 전위를 기입하는 동작과, 서브 화소 내에서 유지 용량 Cs에 기억되어 있는 계조 전위를 리프레쉬하는 동작을 포함한다. 신호선 DTL로부터 유지 용량 Cs에 계조

전위를 기입하는 동작은, 예를 들면, 표시 내용의 변경 시에 실행된다. 신호선 DTL로부터 유지 용량 Cs에 계조 전위를 기입할 경우, 화소 회로는 아날로그 표시 모드 시의 동작과 동일한 동작을 행한다. 따라서, 이 동작에 대한 설명은 생략한다.

[0174] 도 23은 서브 화소 내에서 유지 용량 Cs에 기억되어 있는 계조 전위를 리프레쉬할 경우에 있어서의 제어선 구동부(37)의 제어 동작의 내용을 나타낸다. 도 23은 프레임 단위에서의 구동 동작의 관계를 나타내고 있다.

[0175] 도 23에서, (A1) 내지 (A6)은, 각각 제어선 CTL21(R1), CTL21(G1), CTL21(B1), CTL21(R2), CTL21(G2) 및 CTL21(B2)의 구동 파형을 나타낸다. 본 실시 형태에서, 제어선 CTL21(R1), CTL21(G1), CTL21(B1), CTL21(R2), CTL21(G2) 및 CTL21(B2)에는 6 프레임 주기로 고레벨 전위가 펄스 방식으로 인가된다.

[0176] 도 23에서, (B)는 제어선 CTL23 및 CTL24 각각의 구동 파형을 나타낸다. 이 2개의 제어선에는, 1 프레임 주기로 고레벨 전위가 펄스 방식으로 인가된다. (C)는 제어선 CTL25의 구동 파형을 나타낸다. 제어선 CTL25에는, 1 프레임 주기로 저레벨 전위가 펄스 방식으로 인가된다.

[0177] 도 23에서, (D)는 대향 전극 전위 VCS의 구동 파형을 나타낸다. 도면에 나타낸 바와 같이, 1 프레임 주기로 고레벨 전위와 저레벨 전위가 교대로 출력된다.

[0178] (E1) 내지 (E6)은 각각, 유지 용량 Cs에 기입되는 계조 전위(PIXR1, PIXG1, PIXB1, PIXR2, PIXG2 및 PIXB2)의 변화를 나타내는 파형이다. 도면에서, 파선으로 나타내는 파형이 대향 전극 전위 VCS의 구동 파형이다. 실선으로 나타내는 파형이 각 서브 화소(41)에 기억되는 계조 전위의 파형이다.

[0179] 도면에 나타낸 바와 같이, 대향 전극 전위의 변화에 따라 계조 전위도 변화하고, 대향 전극 전위 VCS와 유지 용량 Cs에 의해 유지되는 계조 전위(PIXR1, PIXG1, PIXB1, PIXR2, PIXG2 및 PIXB2) 간의 전위 관계는 6 프레임 주기로 변화한다. 즉, 각 색에 대한 자기 리프레쉬/자기 반전 동작은 6 프레임 주기로 실행된다. 서브 화소(41) 내의 전위 관계가 전회의 자기 리프레쉬/자기 반전 동작에서부터 다음번의 자기 리프레쉬/자기 반전 동작까지 유지됨을 유의한다. 따라서, 본 실시 형태에서는, 유지 용량 Cs가, 리프레쉬 레이트가 6 프레임 주기이더라도 소정의 계조 전위를 유지하기에 충분한 용량을 갖는다. 메모리 표시 모드의 경우, 제어선 CTL22는 항상 저레벨 전위로 제어된다.

[0180] 이번 경우에도, 1 프레임 내에서의 상세한 구동 동작은, 전술한 2개의 실시 형태 각각의 상세한 구동 동작과 동일하다. 구체적으로는, 도 20의 구동 동작과 동일한 구동 동작이 실행된다. 구동 동작은, 도 20의 A의 구동 파형과 동일한 구동 파형이 제어선 CTL21(R1), CTL21(G1), CTL21(B1), CTL21(R2), CTL21(G2) 및 CTL21(B2)에 대응한다는 점에서만 도 20의 구동 동작과 상이하다.

[0181] (D-3) 결론

[0182] 본 실시 형태의 경우에서도, 아날로그 표시 모드 및 메모리 표시 모드 둘 다를 충족시킬 수 있는 액정 표시 패널을 달성할 수 있다.

[0183] 또한, 본 실시 형태에서, 1개의 회로(1)(도 3)를 6개의 서브 화소(41)에 대해 순차적으로 이용할 수 있다. 즉, 2개의 화이트 유닛 내에 형성되는 회로(1)(도 3)의 수를 6개에서 1개로 삭감할 수 있다. 결과적으로, 2개의 화이트 유닛을 구성하는 화소 영역 내의 소자의 수를 삭감할 수 있다. 또한, 액정 표시 패널을 구성하는 소자의 수가 삭감되면, 그만큼 수율도 향상할 수 있다.

[0184] (E) 다른 실시 형태

[0185] (E-1) 다른 화소 구조예

[0186] 전술한 실시 형태에서는, 도 8에 나타내는 화소 구조를 기본 구성으로 할 경우에 대해 설명했다. 즉, 2개의 인버터 회로의 입/출력 단을 서로 접속하는 경로 중 1개에 박막 트랜지스터 N17을 배치하고, 박막 트랜지스터 N17의 온/오프되도록 제어를 통해 회로(1)의 래치 동작을 제어할 경우에 대해 설명했다.

[0187] 그러나, 도 24에 나타내는 화소 회로에 의해서도 구동 동작을 달성할 수 있다.

[0188] 도 24에서, LC는 서브 화소(41)에 대응하는 액정을 나타내고 있다.

[0189] 도 24에서, Cs는 계조 전위를 유지하는 유지 용량을 나타낸다. 본 실시 형태에서, 유지 용량 Cs는, 메모리 표시 모드 시에는 DRAM으로서 사용된다.

[0190] 박막 트랜지스터 N11은 유지 용량 Cs에 계조 전위를 기입할 동안 온되도록 제어되고, 그 밖의 기간에는 오프되

도록 제어되는 능동 소자다. 박막 트랜지스터 N11의 제어에는, 제어선 CTL21이 사용된다. 또한, 박막 트랜지스터 N11의 한쪽의 주 전극은 화소 전극과 접속되는 배선에 접속되고, 다른 쪽의 주 전극은 박막 트랜지스터 N12의 한쪽의 주 전극과 배선을 통해 접속된다.

[0191] 박막 트랜지스터 N12는, 신호선 DTL로부터 계조 전위를 기입할 경우에 온되도록 제어되는 능동 소자다. 박막 트랜지스터 N12의 제어에는, 제어선 CTL22가 사용된다. 이 박막 트랜지스터 N12는 도 3의 제1 스위치 SW1에 대응한다. 박막 트랜지스터 N12의 한쪽의 주 전극은 신호선 DTL에 접속되고, 다른 쪽의 주 전극은 박막 트랜지스터 N11의 한쪽의 주 전극과 배선을 통해 접속된다.

[0192] 박막 트랜지스터 N13은, 신호선으로부터 용량 소자에 화소 전위를 기입할 경우에 오프되도록 제어되는 능동 소자다. 박막 트랜지스터 N13은, 메모리 표시 모드의 내부 리프레쉬 동작의 실행 시에, 각 프레임의 종료 직전의 일정 기간에 대해서만 온되도록 제어된다. 박막 트랜지스터 N13이 온되도록 제어되고 있는 기간 동안에, DRAM으로서 기능하는 유지 용량 Cs에 의해 유지되는 계조 전위가 회로(1)(도 3)에 의해 판독된다. 이 박막 트랜지스터 N13의 제어에는 제어선 CTL23이 사용된다. 박막 트랜지스터 N13은 도 3의 제2 스위치 SW2에 대응한다.

[0193] 박막 트랜지스터 N14도, 신호선으로부터 유지 용량에 화소 전위를 기입할 경우에 오프되도록 제어되는 능동 소자다. 박막 트랜지스터 N14는 메모리 표시 모드의 내부 리프레쉬 동작의 실행 동안, 각 프레임의 개시 직후의 일정 기간에 대해서만 온되도록 제어된다. 박막 트랜지스터 N14가 온되도록 제어되고 있는 기간 동안에, 회로(1)(도 3) 내에서 논리 반전된 계조 전위가 유지 용량 Cs에 기입된다. 이 박막 트랜지스터 N14의 제어에는 제어선 CTL24가 사용된다. 이 박막 트랜지스터 N14는 도 3의 제3 스위치 SW3에 대응한다.

[0194] 박막 트랜지스터 P11과 N15, 그리고 용량 C는 도 3의 회로(1)를 구성한다.

[0195] 박막 트랜지스터 P11과 N15는 인버터 회로(증폭 회로)를 구성한다. 박막 트랜지스터 P11과 N15를 포함하는 인버터 회로의 입력측은, 박막 트랜지스터 N13의 한쪽의 주 전극에 접속되어 있다. 이 인버터 회로는, 박막 트랜지스터 N13이 온 상태의 경우에, 유지 용량 Cs의 계조 전위를 입력할 수 있다. 유지 용량 Cs의 계조 전위는 용량 C에 기억된다. 도 24에는 용량 C를 명시적으로 배치하고 있지만 배선 용량을 사용할 수도 있다.

[0196] 박막 트랜지스터 P11과 N15를 포함하는 인버터 회로의 출력측은, 박막 트랜지스터 N14의 한쪽의 주 전극에 접속된다.

[0197] 이 회로 구성의 경우, 리프레쉬 기능과 논리 반전 기능을 달성하기 위해 1개의 인버터 회로를 사용한다. 이 회로 구성에서는, 도 8에서 사용되었던 3개의 박막 트랜지스터 P12, N16 및 N17을 없앨 수 있다. 회로 면적은 그만큼 줄어들 수 있다.

[0198] 도 24에 나타낸 화소 구조의 경우에도, 신호선으로부터 용량 소자에 화소 전위를 기입할 경우에는, 박막 트랜지스터 N13과 박막 트랜지스터 N14를 오프되도록 제어할 수 있다.

[0199] 메모리 표시 모드의 내부 리프레쉬 동작의 실행 시에는, 도 25에 나타낸 바와 같이 구동 제어를 실행할 수 있다.

[0200] 도 25는, 어떤 주사선에 관한 메모리 표시 모드의 내부 리프레쉬 동작의 실행 시에 있어서의 제어선 구동부(37)의 제어 동작의 내용을 나타내고 있다.

[0201] 도 25에서는, 전 프레임을 프레임 N으로 나타내고 다음 프레임을 프레임 N+1로 나타내고 있다.

[0202] 도 25에서, (A)는 제어선 CTL21의 구동 파형을 나타낸다. 도면에 나타낸 바와 같이, 제어선 CTL21은, 프레임 N의 종료 직전의 시점부터 프레임 N+1의 개시 직후까지의 일정 기간 동안 고레벨 전위 VDD2로 제어된다.

[0203] (B)는 제어선 CTL23의 구동 파형을 나타낸다. 도면에 나타낸 바와 같이, 제어선 CTL23은 각 프레임의 종료 직전의 일정 기간 동안만 고레벨 전위 VDD2로 제어된다. 이 고레벨 전위 VDD2의 인가 동안, 유지 용량 Cs로부터 판독된 계조 전위(PIX)가 회로(1)(도 3) 내의 용량 C에 기억된다.

[0204] 이 계조 전위(PIX)의 반전 출력이 인버터 회로의 출력 단에 제공되고, 이때 계조 전위는 논리 반전된다. 또한, 계조 전위의 출력 진폭은, 고레벨 전위 VDD 또는 저레벨 전위 VSS로 변환된다. 즉, 자기 리프레쉬 동작과 자기 반전 동작이 실행된다. 역시, 자기 리프레쉬 동작은 신호선 DTL의 충전 또는 방전 없이 실행된다.

[0205] 도 25에서, (C)는 제어선 CTL24의 구동 파형을 나타낸다. 도면에 나타낸 바와 같이, 제어선 CTL24는 각 프레임의 개시 직전의 일정 기간 동안만 고레벨 전위VDD2로 제어된다. 이 고레벨 전위 VDD2의 인가 동안, 인버터 회

로의 출력 단이 유지 용량 Cs에 전기적으로 접속되어, 논리 반전된 계조 전위(PIX)가 유지 용량에 기입된다.

[0206] (D)는 대향 전극 전위 VCS의 변화를 나타내는 파형을 나타낸다. 도면에 나타낸 바와 같이, 프레임 주기로 전위 레벨이 반전한다.

[0207] (E-2) 제품예(전자 기기)

[0208] 전술한 구동 전압의 인가 기술은, 액정 표시 패널의 형태 뿐만아니라, 각 전자 기기에 액정 표시 패널이 실장된 상품의 형태로 유통된다. 이하, 액정 표시 패널이 전자 기기에 실장되어 있는 예를 나타낸다.

[0209] 도 26은 전자 기기(51)의 개념 구성예를 나타낸다. 전자 기기(51)는 구동 전압의 인가 기술을 사용하는 액정 표시 패널(53), 시스템 제어부(55) 및 조작 입력부(57)를 포함한다. 시스템 제어부(55)에서 실행되는 처리 내용은, 전자 기기(51)의 상품 형태에 따라 상이하다. 조작 입력부(57)는, 시스템 제어부(55)로의 조작 입력을 수신하는 디바이스다. 예를 들면, 조작 입력부(57)에는, 스위치, 버튼 또는 기타 기계식 인터페이스 또는 그래픽 인터페이스가 사용된다.

[0210] 전자 기기(51)는 기기 내에서 생성되거나 또는 외부로부터 입력되는 화상 또는 영상을 표시하는 기능을 갖고 있기만 하면 특정 분야의 기기에 한정되지 않는다.

[0211] 도 27은 다른 전자 기기가 텔레비전 수상기인 경우의 외관예를 나타낸다. 텔레비전 수상기(61)의 하우징 정면에는, 프론트 패널(63), 필터 유리(65) 등을 포함하는 표시 화면(67)이 배치된다.

[0212] 이러한 종류의 전자 기기(51)로는, 예를 들어 디지털 카메라가 있을 수 있다. 도 28a 및 도 28b는 각각 디지털 카메라(71)의 외관예를 나타낸다. 도 28a는 정면측(피사체측)의 카메라(71)의 외관예이며, 도 28b는 배면측(촬영자측)의 카메라(71)의 외관예다. 디지털 카메라(71)는, 보호 커버(73), 촬상 렌즈부(75), 표시 화면(77), 컨트롤 스위치(79) 및 셔터 버튼(81)을 포함한다.

[0213] 또한, 이러한 종류의 전자 기기(51)로는, 예를 들어 비디오 카메라가 있을 수 있다. 도 29는 비디오 카메라(91)의 외관예를 나타낸다.

[0214] 비디오 카메라(91)는, 본체(93) 전방의 피사체의 화상을 형성하는 촬상 렌즈(95), 촬영의 스타트/스톱 스위치(97) 및 표시 화면(99)을 포함한다.

[0215] 또한, 이러한 종류의 전자 기기(51)로는, 예를 들어 휴대 단말 장치가 있을 수 있다. 도 30a 및 도 30b는 휴대 단말 장치로서의 휴대 전화기(101)의 외관예를 나타낸다. 도 30a 및 도 30b에 나타내는 휴대 전화기(101)는 폴딩 방식이다. 도 30a는 하우징을 개방한 상태에서의 휴대 전화기의 외관예이며, 도 30b는 하우징을 닫은 상태에서의 휴대 전화기의 외관예다.

[0216] 휴대 전화기(101)는 상측 하우징(103), 하측 하우징(105), 연결부(이 예에서는 힌지부)(107), 표시 화면(109), 보조 표시 화면(111), 픽처 라이트(113) 및 촬상 렌즈(115)를 포함한다.

[0217] 또한, 이러한 종류의 전자 기기(51)로는, 예를 들어 컴퓨터가 있을 수 있다. 도 31은 노트북 컴퓨터(121)의 외관예를 나타낸다.

[0218] 노트북 컴퓨터(121)는, 하측 하우징(123), 상측 하우징(125), 키보드(127) 및 표시 화면(129)을 포함한다.

[0219] 또한, 이러한 종류의 전자 기기(51)로는, 오디오 재생 장치, 게임기, 전자 북, 전자 사전 등이 있을 수 있다.

[0220] (E-3) 기타

[0221] 상술한 실시 형태의 각종 변경 또는 변형이 본 발명의 취지의 범위 내에서 생각된다. 또한, 본 명세서의 기재에 기초하여 창작되는 본 실시 형태의 각종 변경 또는 변형이 생각되며, 또는 그 각종 조합도 생각될 수 있다.

[0222] 따라서, 당업자들은 각종 변형, 조합, 서브-조합 및 변경이 첨부되는 특허청구범위 또는 그 동등물의 범위를 벗어나지 않는 한 설계 요건 및 다른 요인에 따라 일어날 수 있음을 이해할 것이다.

[0223] 본 출원은 2008년 12월 17일자로 일본 특허청에 출원된 일본 우선권인 특허 출원 제2008-321652호에 개시된 것과 관련된 내용을 포함하며, 그 전체 내용은 참조함으로써 본 명세서에 포함된다.

도면의 간단한 설명

[0224] 도 1은 액정 표시 패널의 화소 구조예를 도시하는 도면.

[0225] 도 2는 액정 표시 패널의 화소 구조예를 도시하는 도면.

[0226] 도 3은 발명의 실시 형태에 따른 액정 표시 패널의 화소 구조예를 도시하는 도면.

[0227] 도 4는 액정 표시 패널의 외관예를 도시하는 도면.

[0228] 도 5는 액정 표시 패널의 단면 구조예를 도시하는 도면.

[0229] 도 6은 액정 표시 패널의 시스템 구성예를 도시하는 도면.

[0230] 도 7은 서브 화소의 배열예를 도시하는 도면.

[0231] 도 8은 제1 실시 형태에 따른 화소 회로의 구성예를 도시하는 도면.

[0232] 도 9는 아날로그 표시 모드에 있어서의 구동 동작예를 도시하는 도면.

[0233] 도 10은 아날로그 표시 모드에 있어서의 화소 회로 내의 접속 상태를 도시하는 도면.

[0234] 도 11은 메모리 표시 모드에 있어서의 전체적인 구동 동작예를 도시하는 도면.

[0235] 도 12는 메모리 표시 모드에 있어서의 상세한 구동 동작예를 도시하는 도면.

[0236] 도 13은 유지 용량으로부터 계조 전위를 판독해낼 때의 화소 회로 내의 접속 상태를 도시하는 도면.

[0237] 도 14는 래치 동작 동안의 화소 회로 내의 접속 상태를 도시하는 도면.

[0238] 도 15는 천이 기간에 있어서의 화소 회로 내의 접속 상태를 도시하는 도면.

[0239] 도 16은 논리 반전된 계조 전위를 유지 용량에 기입할 때의 화소 회로 내의 접속 상태를 도시하는 도면.

[0240] 도 17은 제2 실시 형태에 따른 화소 회로의 구성예를 도시하는 도면.

[0241] 도 18은 아날로그 표시 모드에 있어서의 구동 동작예를 도시하는 도면.

[0242] 도 19는 메모리 표시 모드에 있어서의 전체적인 구동 동작예를 도시하는 도면.

[0243] 도 20은 메모리 표시 모드에 있어서의 상세한 구동 동작예를 도시하는 도면.

[0244] 도 21은 제3 실시 형태에 따른 화소 회로의 구성예를 도시하는 도면.

[0245] 도 22는 아날로그 표시 모드에 있어서의 구동 동작예를 도시하는 도면.

[0246] 도 23은 메모리 표시 모드에 있어서의 전체적인 구동 동작예를 도시하는 도면.

[0247] 도 24는 화소 회로의 다른 구성예를 도시하는 도면.

[0248] 도 25는 메모리 표시 모드에 있어서의 상세한 구동 동작예를 도시하는 도면.

[0249] 도 26은 전자 기기의 기능 구성예를 도시하는 도면.

[0250] 도 27은 전자 기기의 상품예를 도시하는 도면.

[0251] 도 28a 및 도 28b는 전자 기기의 상품예를 도시하는 도면.

[0252] 도 29는 전자 기기의 상품예를 도시하는 도면.

[0253] 도 30a 및 도 30b는 전자 기기의 상품예를 도시하는 도면.

[0254] 도 31은 전자 기기의 상품예를 도시하는 도면.

[0255] <도면의 주요 부분에 대한 부호의 설명>

[0256] 1 : 회로

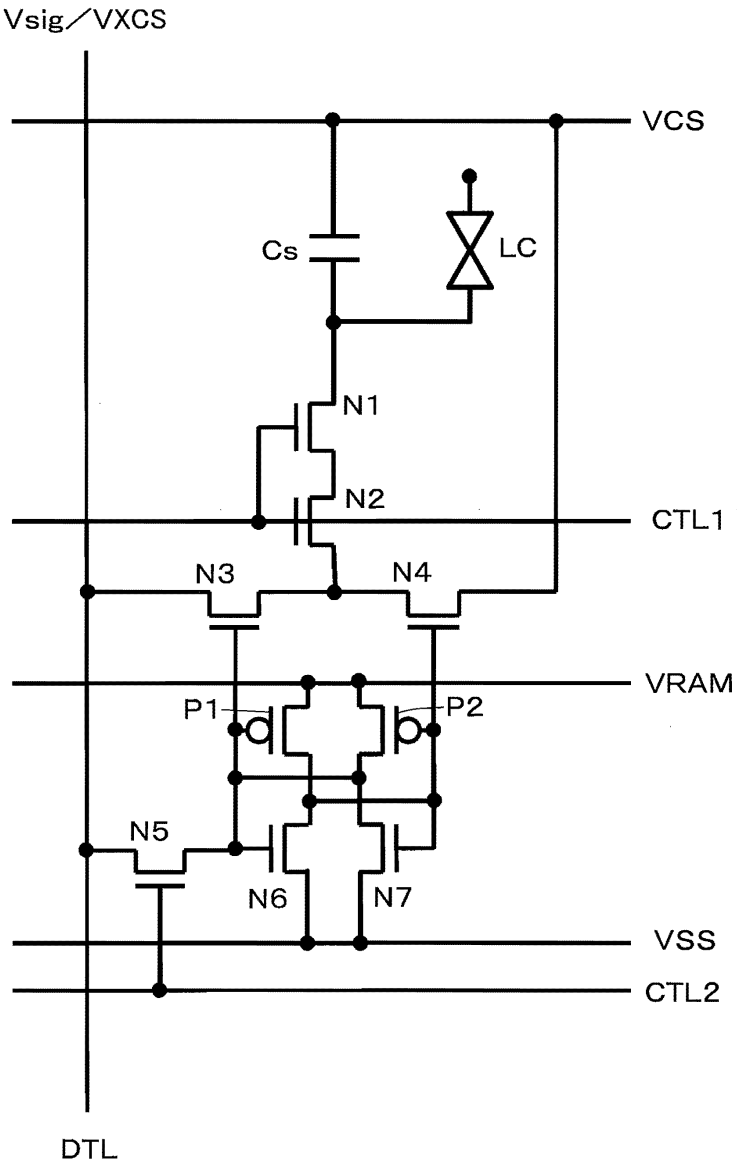
[0257] 11 : 액정 표시 패널

[0258] 33 : 화소 어레이부

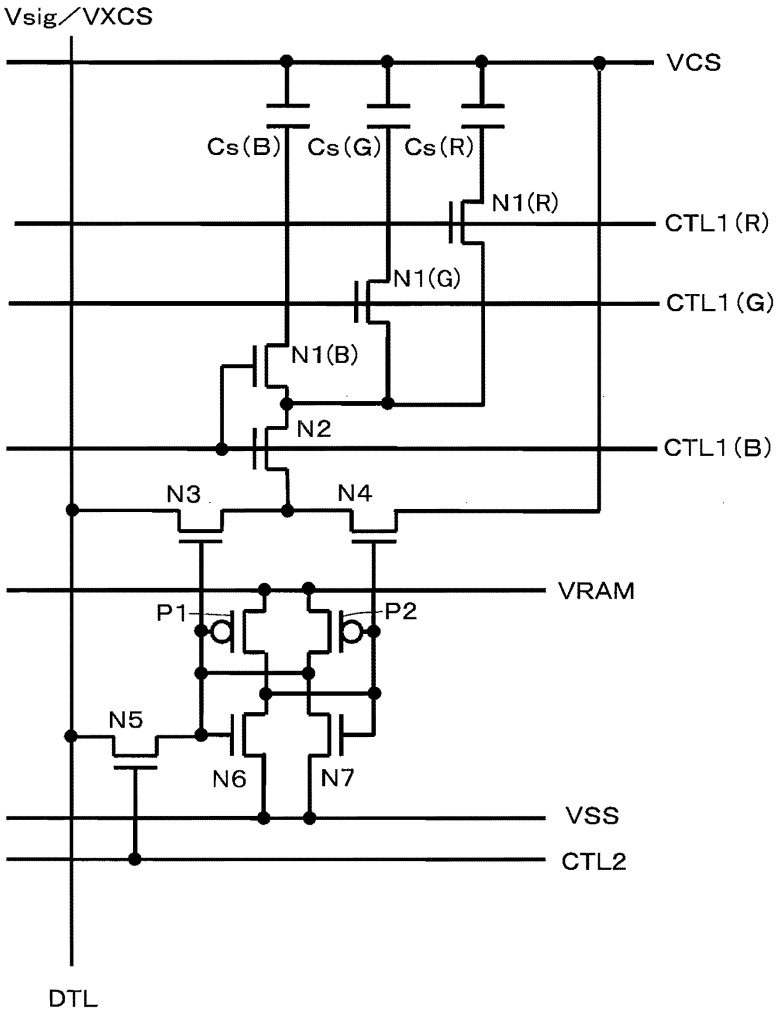
[0259] 37 : 제어선 구동부

도면

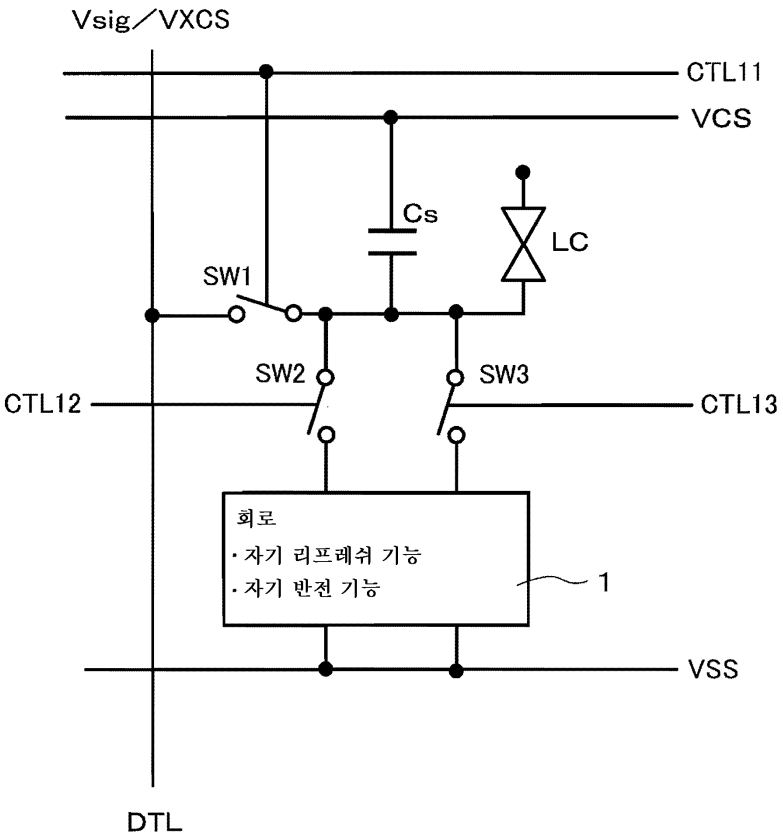
도면1


Vsig／VXCS
VCS
Cs
LC
N1
N2
CTL1
N3
N4
VRAM
P1
P2
N5
N6
N7
VSS
CTL2
DTL

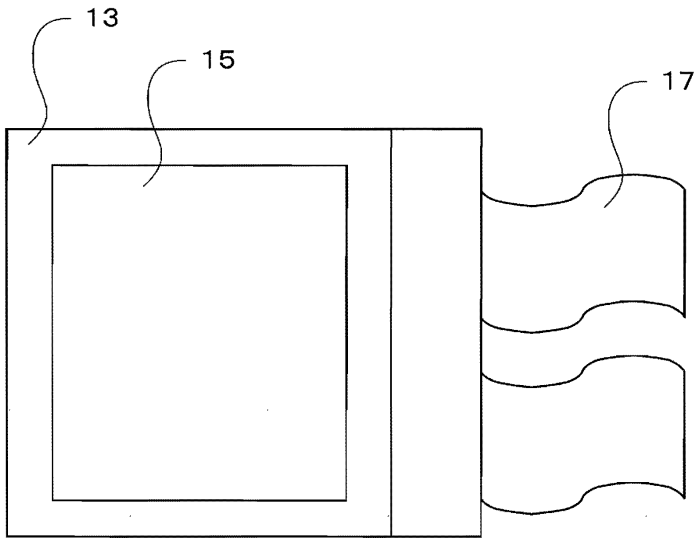
도면2


Vsig／VXCS
VCS
Cs(B)
Cs(G)
Cs(R)
N1(R)
CTL1(R)
N1(G)
CTL1(G)
N1(B)
N2
CTL1(B)
N3
N4
VRAM
P1
P2
N5
N6
N7
VSS
CTL2
DTL

도면3

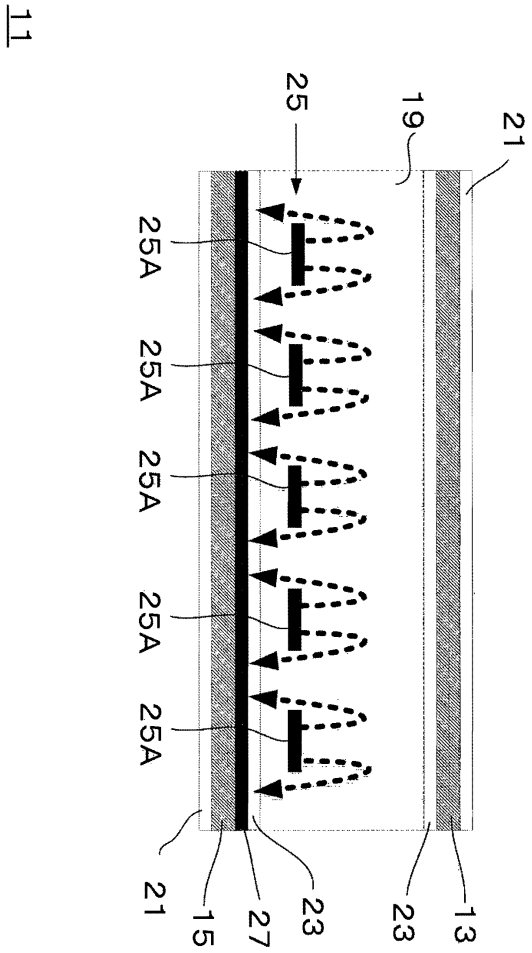

Vsig／VXCS
CTL11
VCS
Cs
LC
SW1
SW2
SW3
CTL12
CTL13
회로
· 자기 리프레쉬 기능
· 자기 반전 기능
1
VSS
DTL

도면4

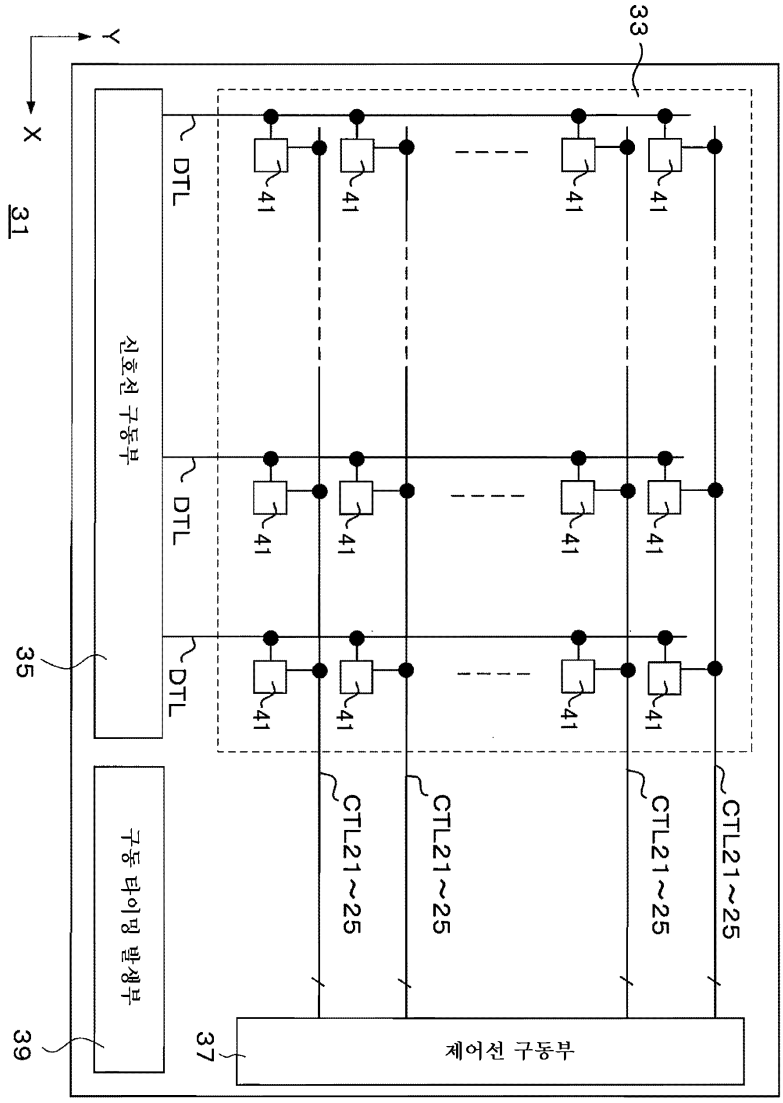

13
15
17

11

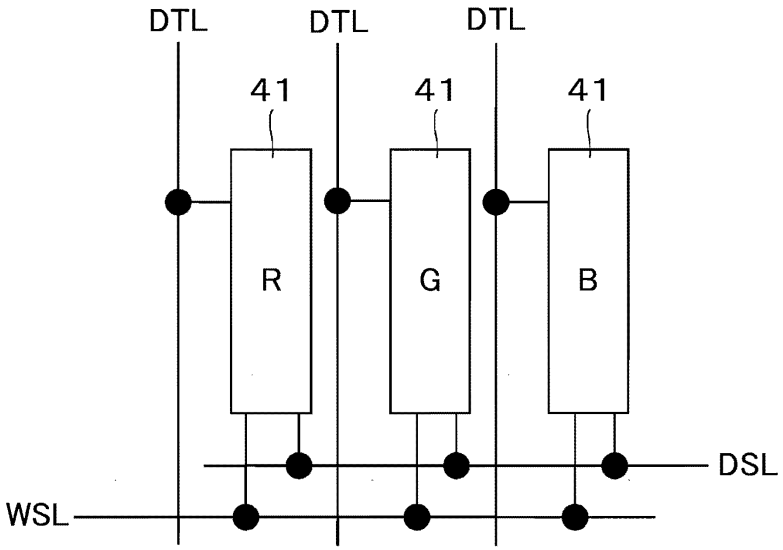
도면5



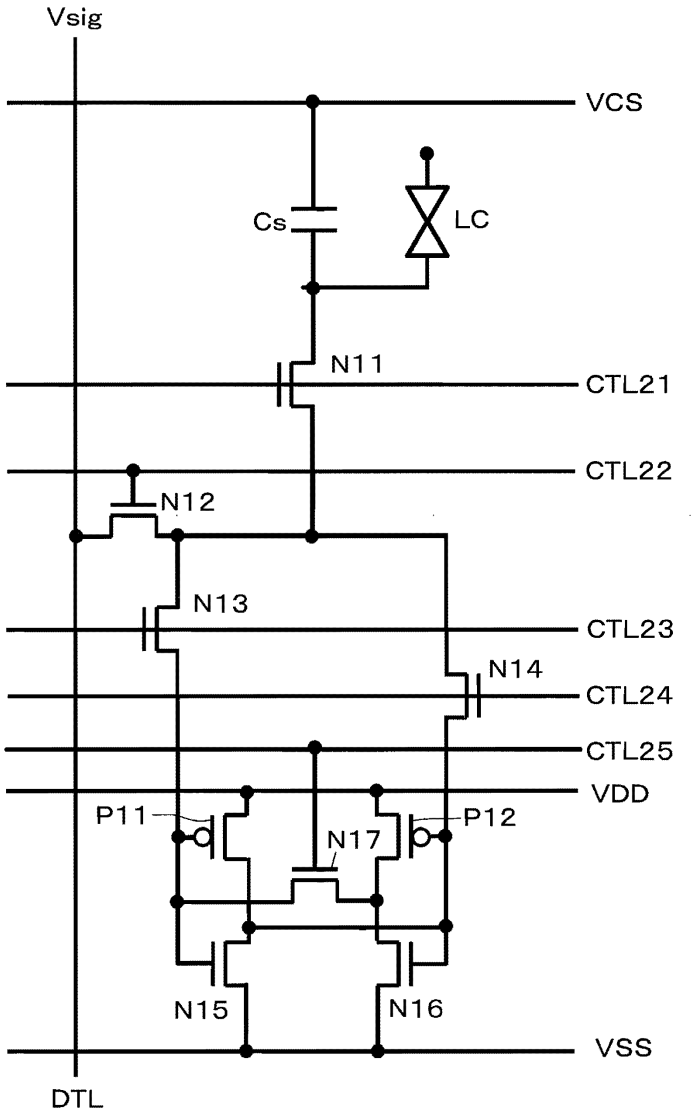
도면6



도면7

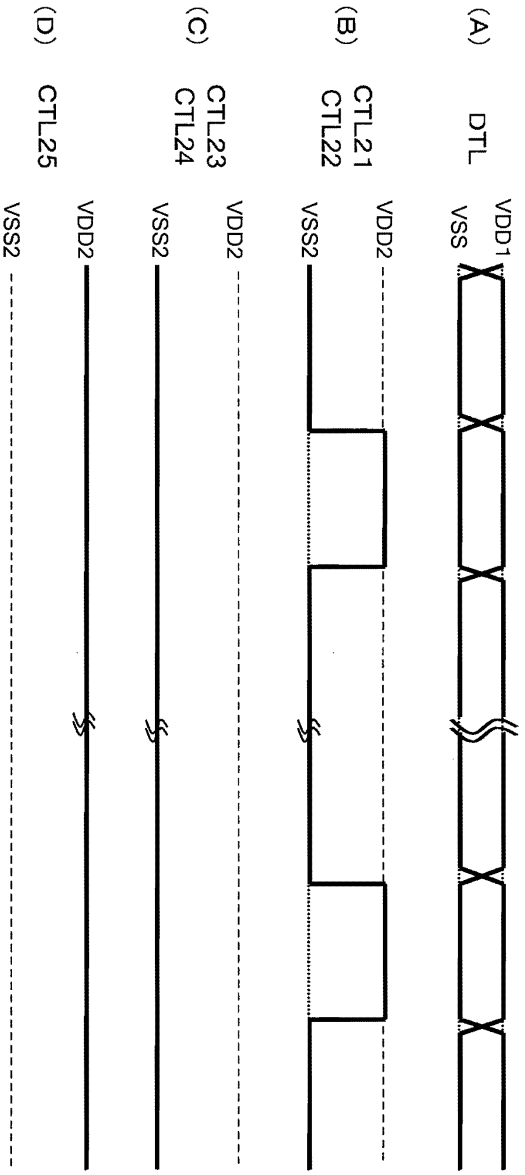


도면8

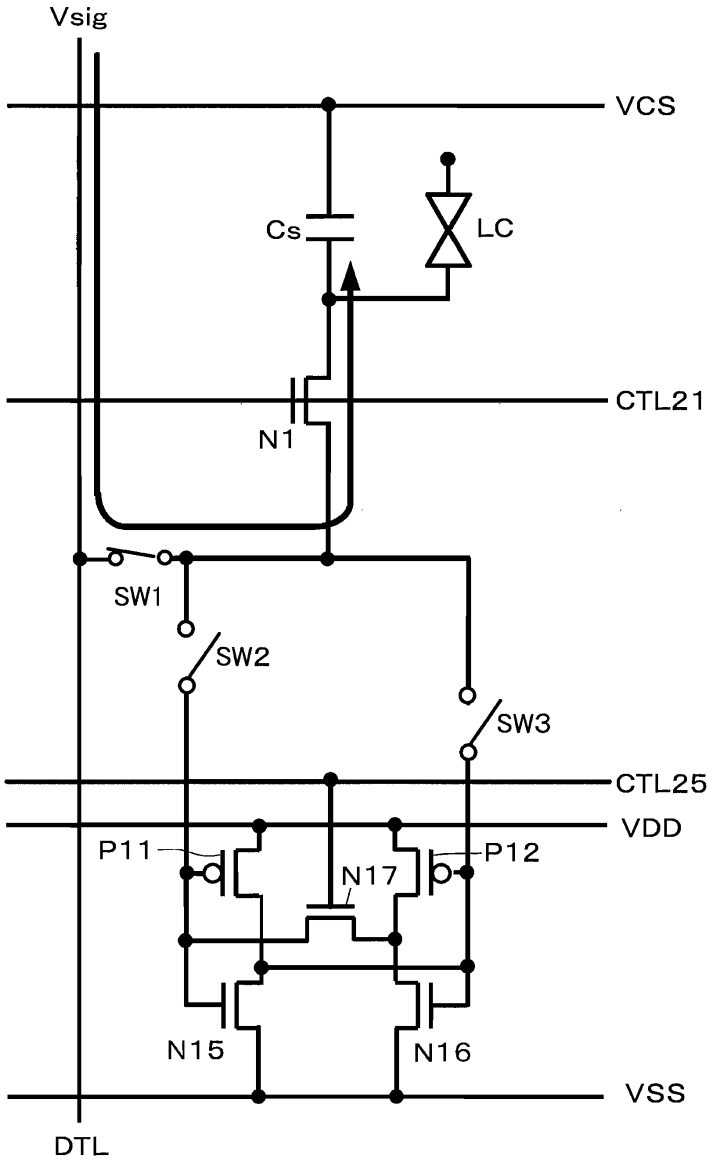

Vsig
VCS
Cs
LC
N11
CTL21
CTL22
N12
N13
CTL23
N14
CTL24
CTL25
VDD
P11
P12
N17
N15
N16
VSS
DTL

41

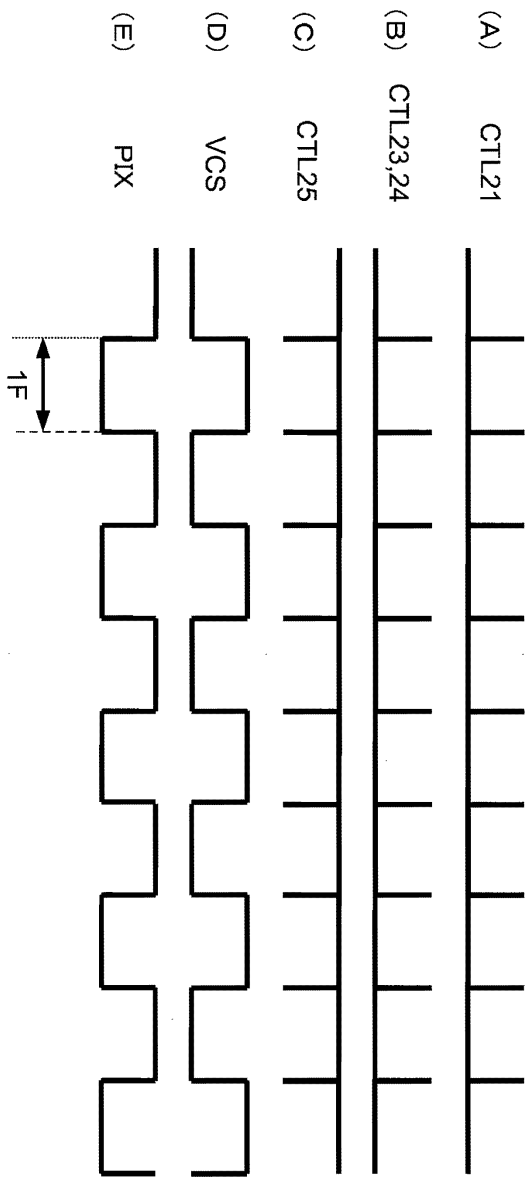
도면9


(A)
DTL
VDD1
VSS
(B)
CTL21
CTL22
VDD2
VSS2
(C)
CTL23
CTL24
VDD2
VSS2
(D)
CTL25
VDD2
VSS2

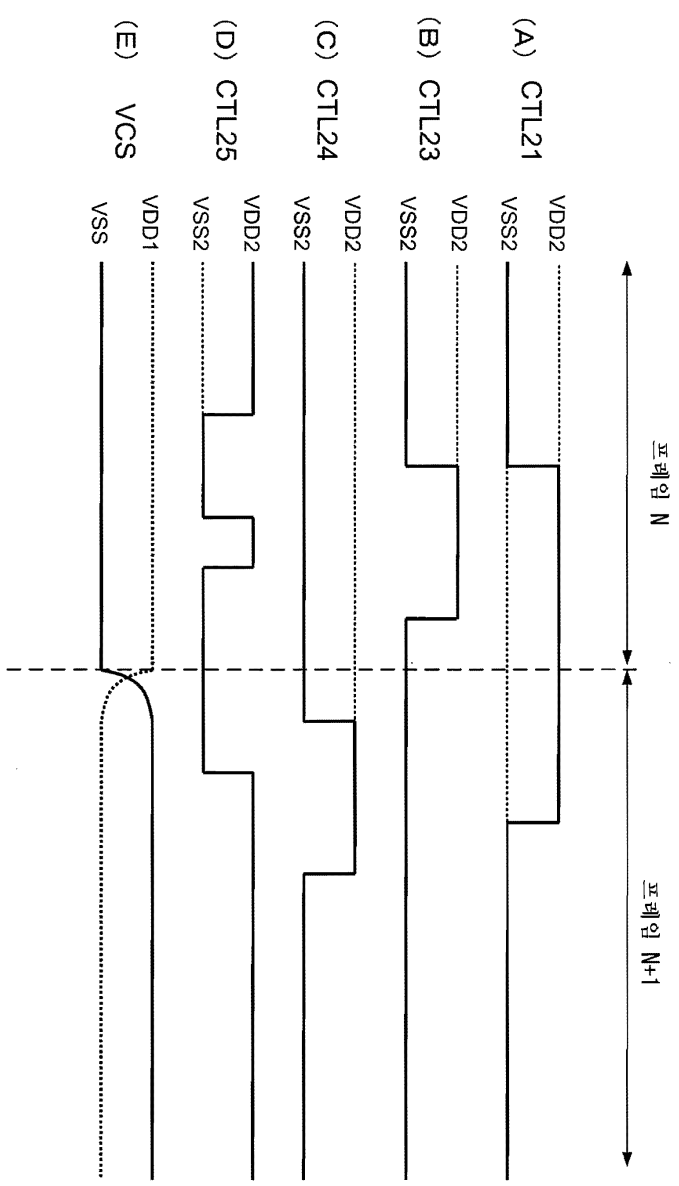
도면10


Vsig
VCS
Cs
LC
CTL21
N1
SW1
SW2
SW3
CTL25
VDD
P11
P12
N17
N15
N16
VSS
DTL

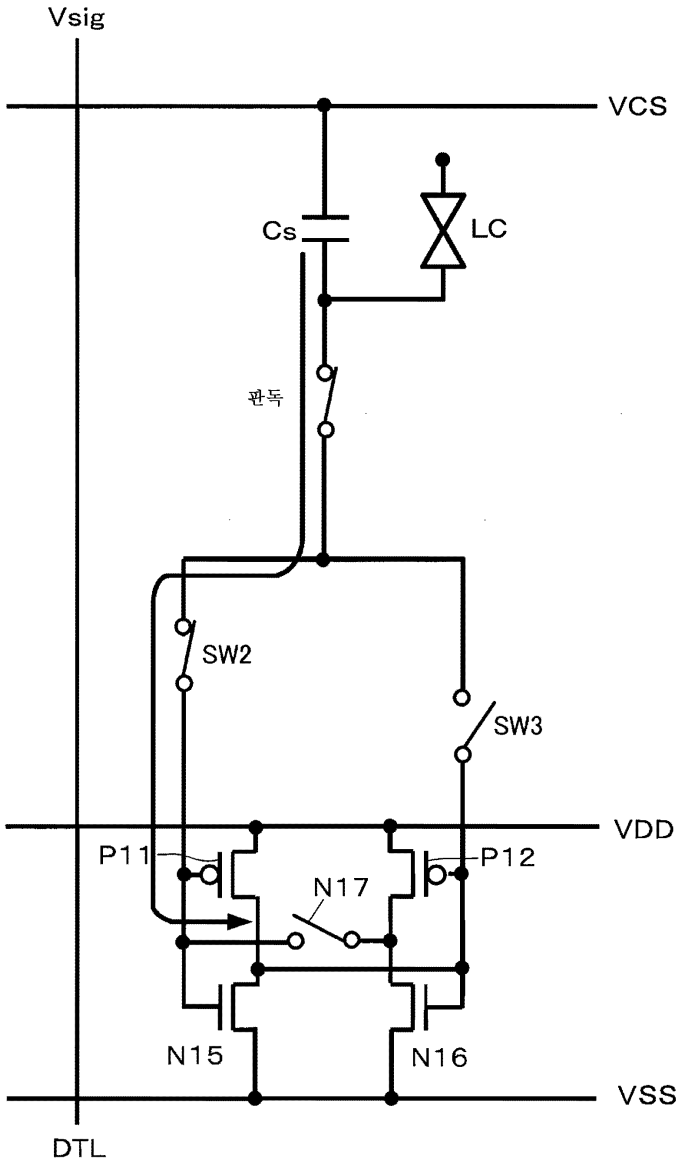
도면11



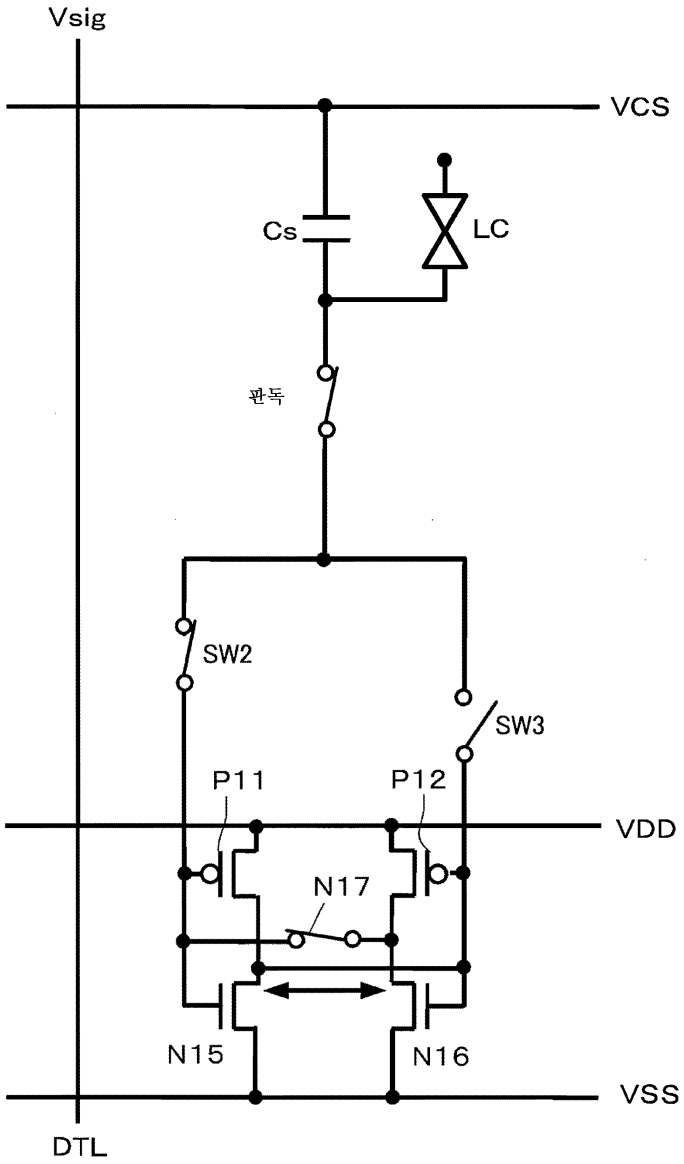
도면12


(A) CTL21
VDD2
VSS2
(B) CTL23
VDD2
VSS2
(C) CTL24
VDD2
VSS2
(D) CTL25
VDD2
VSS2
(E) VCS
VDD1
VSS
프레임 N
프레임 N+1

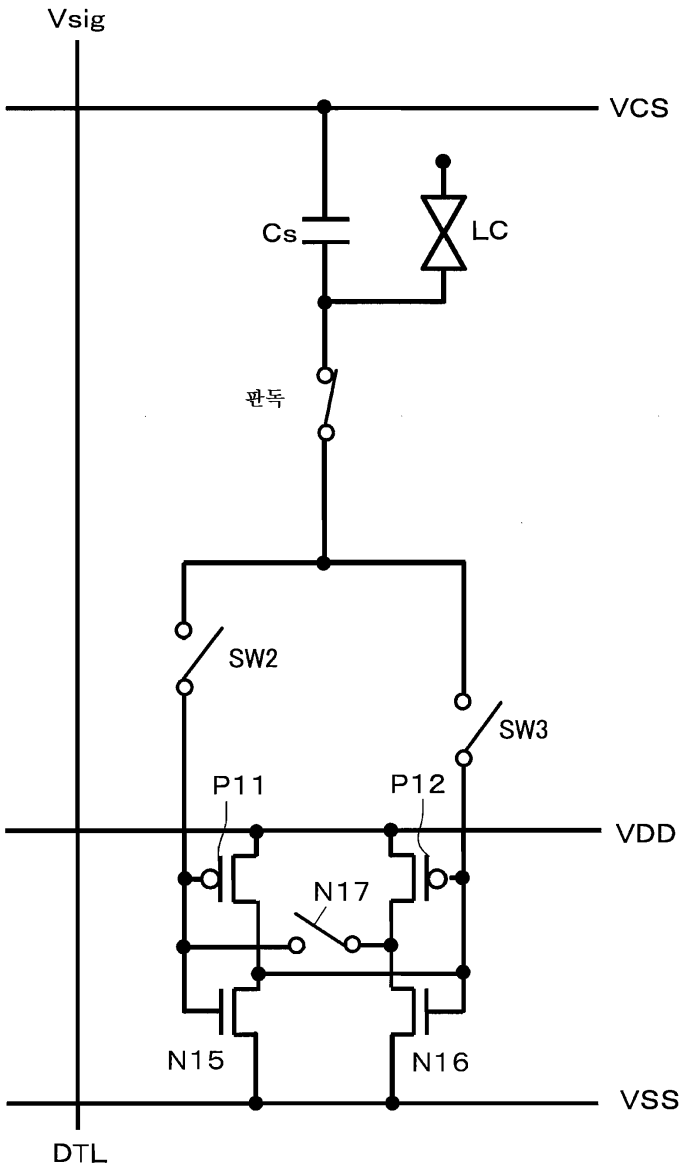
도면13



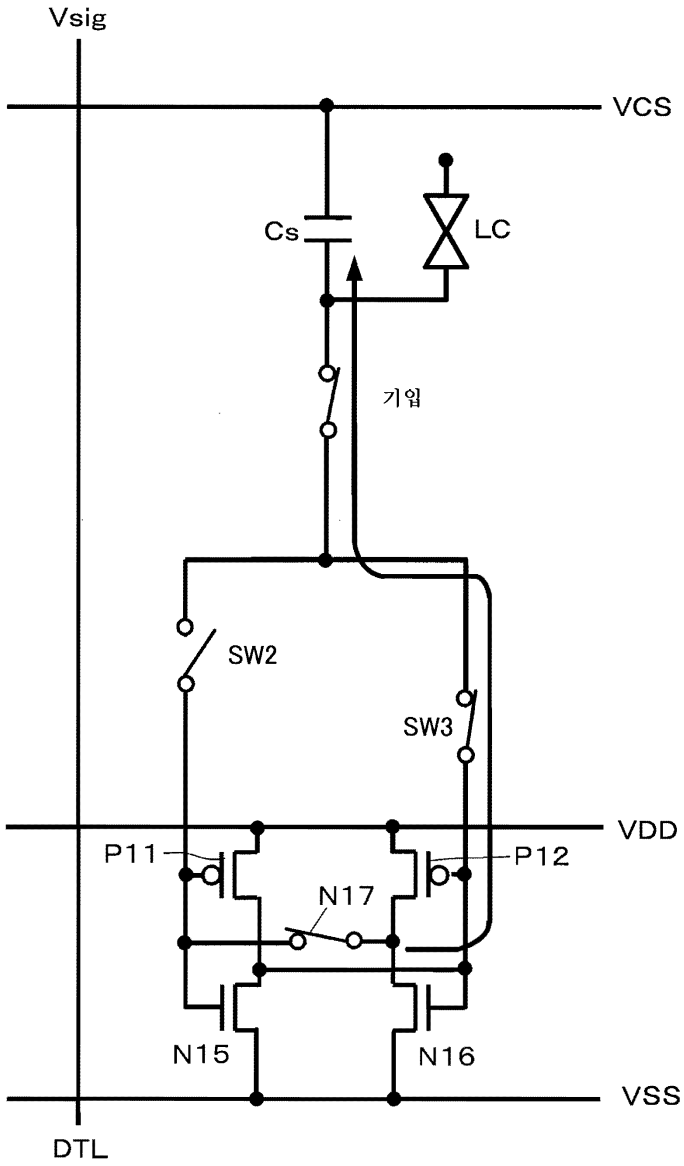
도면14



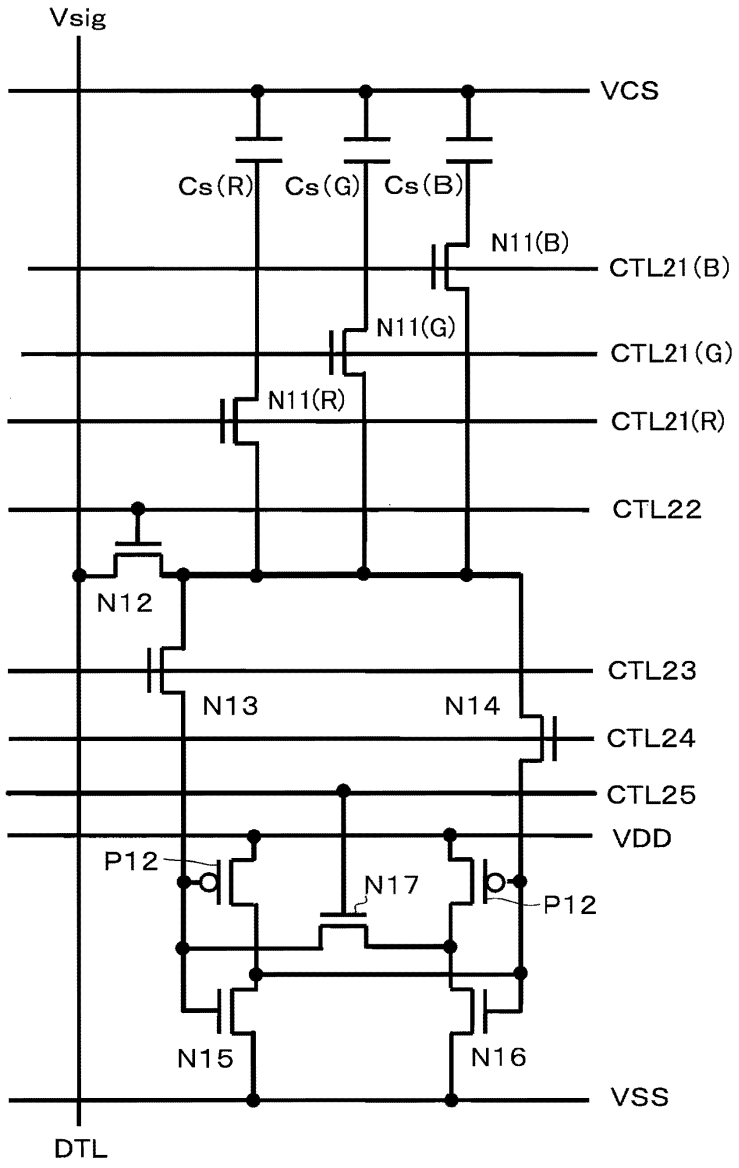
도면15



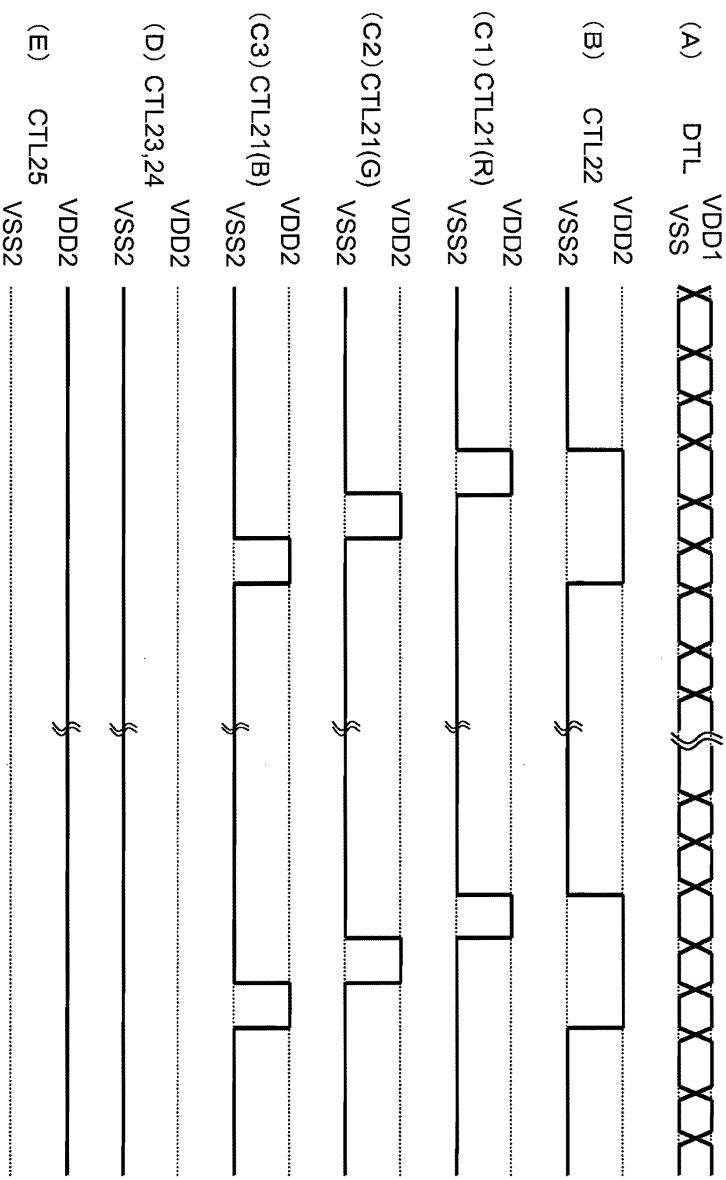
도면16



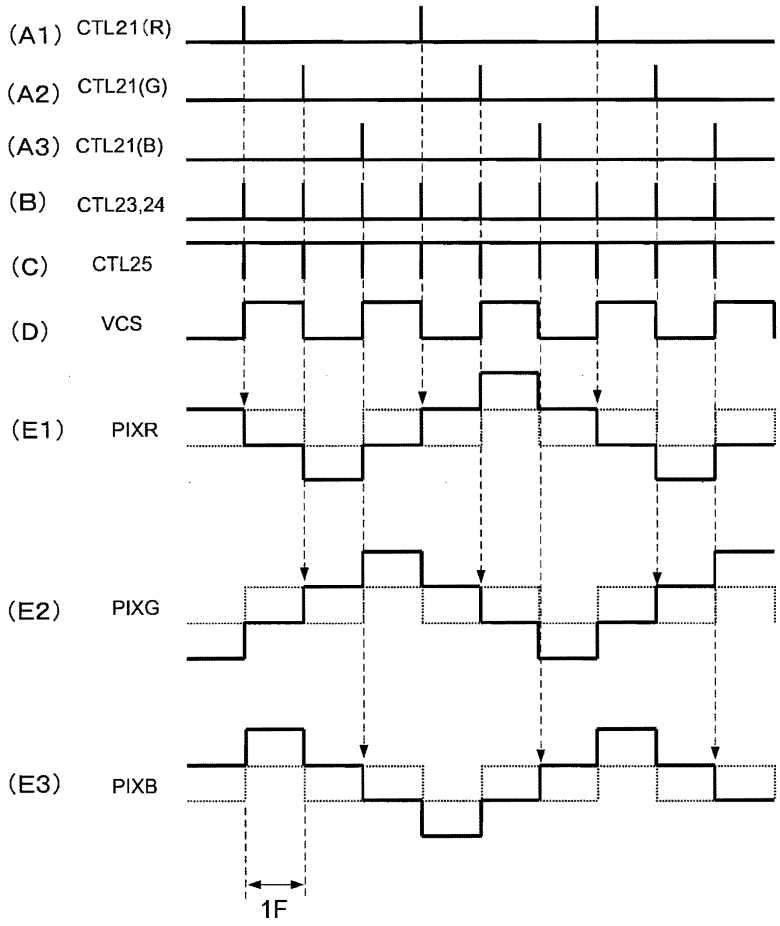
도면17


Vsig
VCS
Cs(R)
Cs(G)
Cs(B)
N11(B)
CTL21(B)
N11(G)
CTL21(G)
N11(R)
CTL21(R)
CTL22
N12
CTL23
N13
N14
CTL24
CTL25
VDD
P12
N17
P12
N15
N16
VSS
DTL

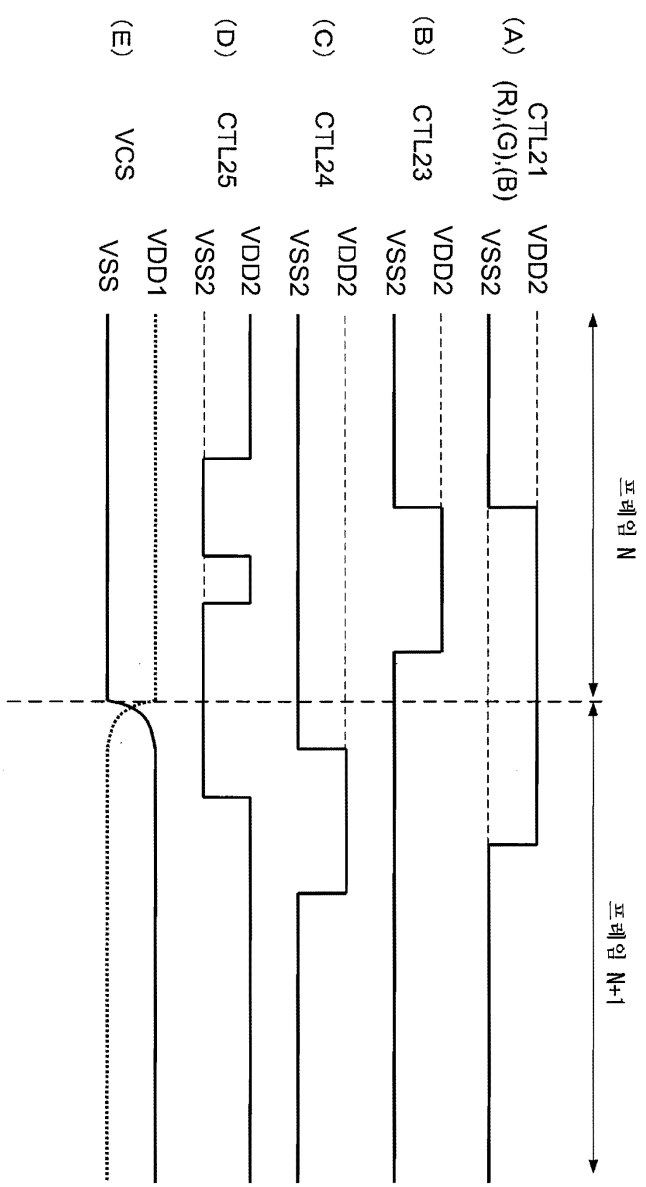
도면18


(A) DTL
VDD1
VSS
(B) CTL22
VDD2
VSS2
(C1) CTL21(R)
VDD2
VSS2
(C2) CTL21(G)
VDD2
VSS2
(C3) CTL21(B)
VDD2
VSS2
(D) CTL23,24
VDD2
VSS2
(E) CTL25
VDD2
VSS2

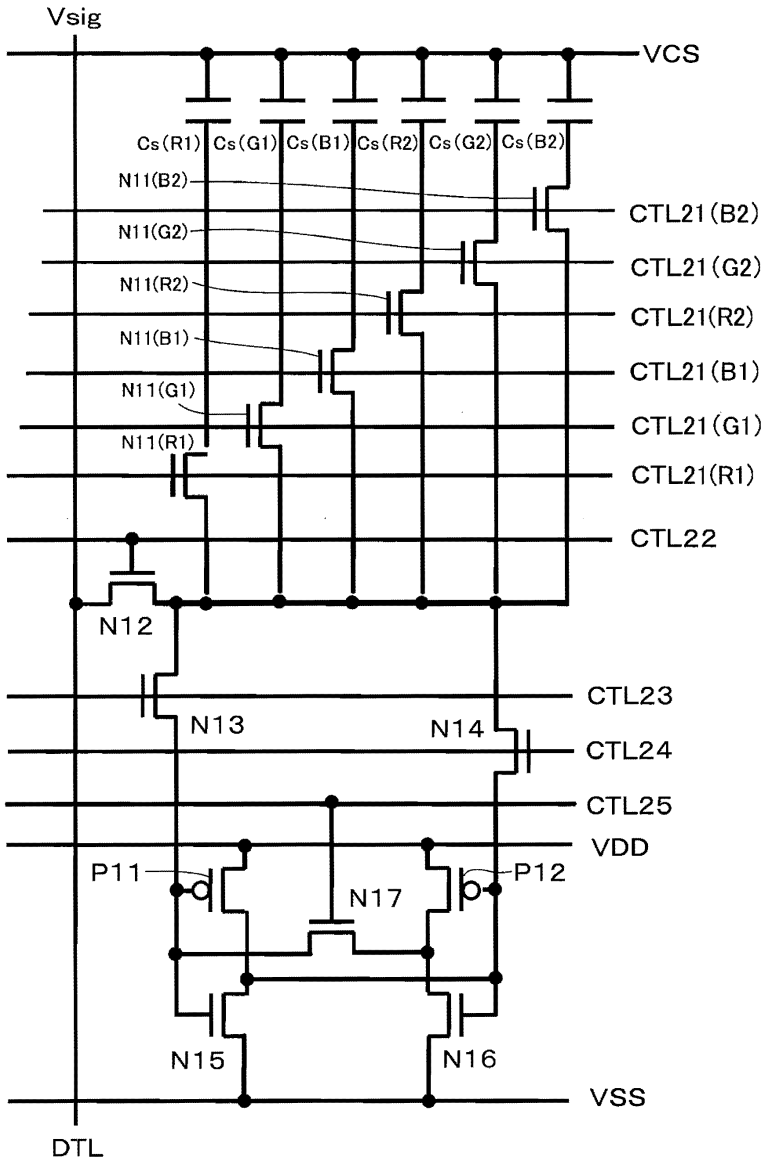
도면19


(A1) CTL21(R)
(A2) CTL21(G)
(A3) CTL21(B)
(B) CTL23,24
(C) CTL25
(D) VCS
(E1) PIXR
(E2) PIXG
(E3) PIXB
1F

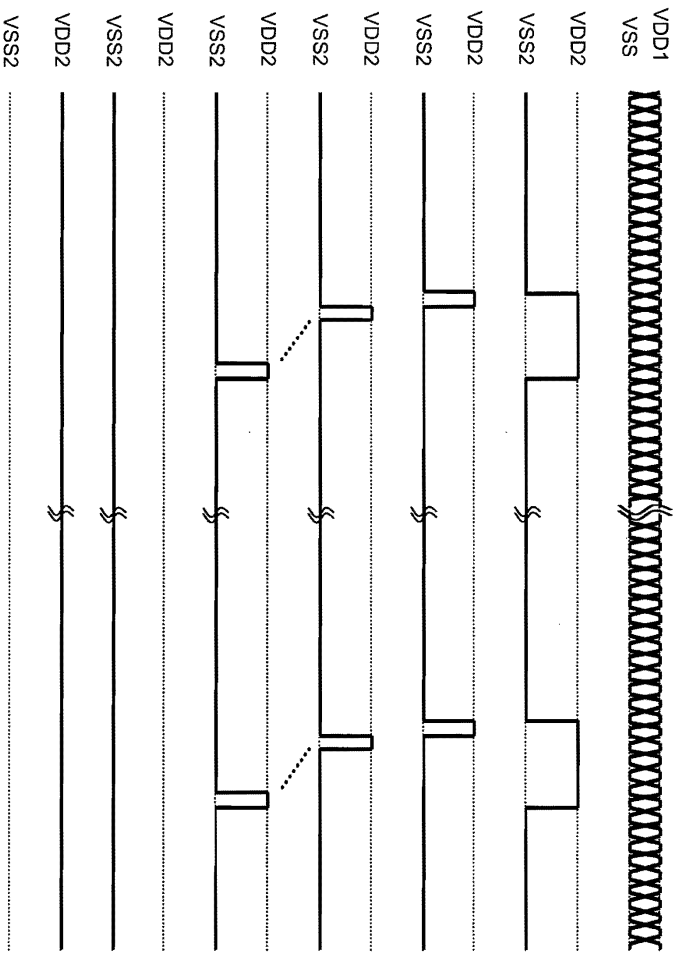
도면20


(A)
CTL21
(R),(G),(B)
VDD2
VSS2
(B)
CTL23
VDD2
VSS2
(C)
CTL24
VDD2
VSS2
(D)
CTL25
VDD2
VSS2
(E)
VCS
VDD1
VSS
프레임 N
프레임 N+1

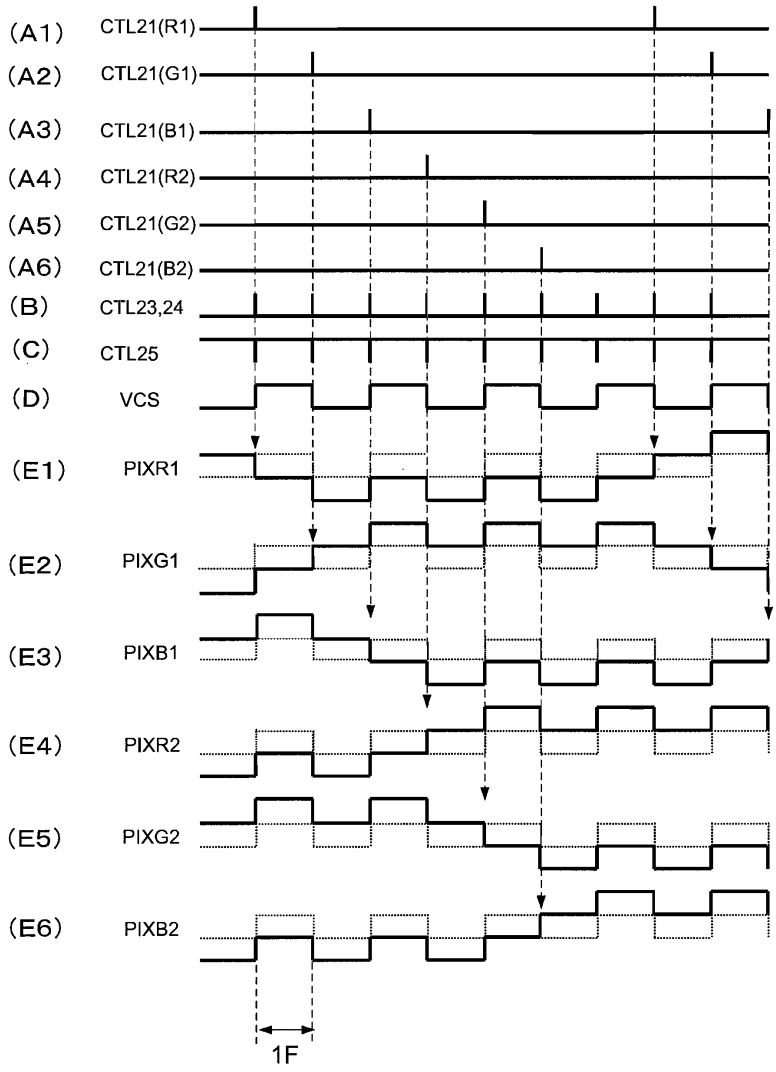
도면21


Vsig
VCS
Cs(R1)
Cs(G1)
Cs(B1)
Cs(R2)
Cs(G2)
Cs(B2)
N11(B2)
N11(G2)
N11(R2)
N11(B1)
N11(G1)
N11(R1)
CTL21(B2)
CTL21(G2)
CTL21(R2)
CTL21(B1)
CTL21(G1)
CTL21(R1)
CTL22
N12
CTL23
N13
N14
CTL24
CTL25
VDD
P11
P12
N17
N15
N16
VSS
DTL

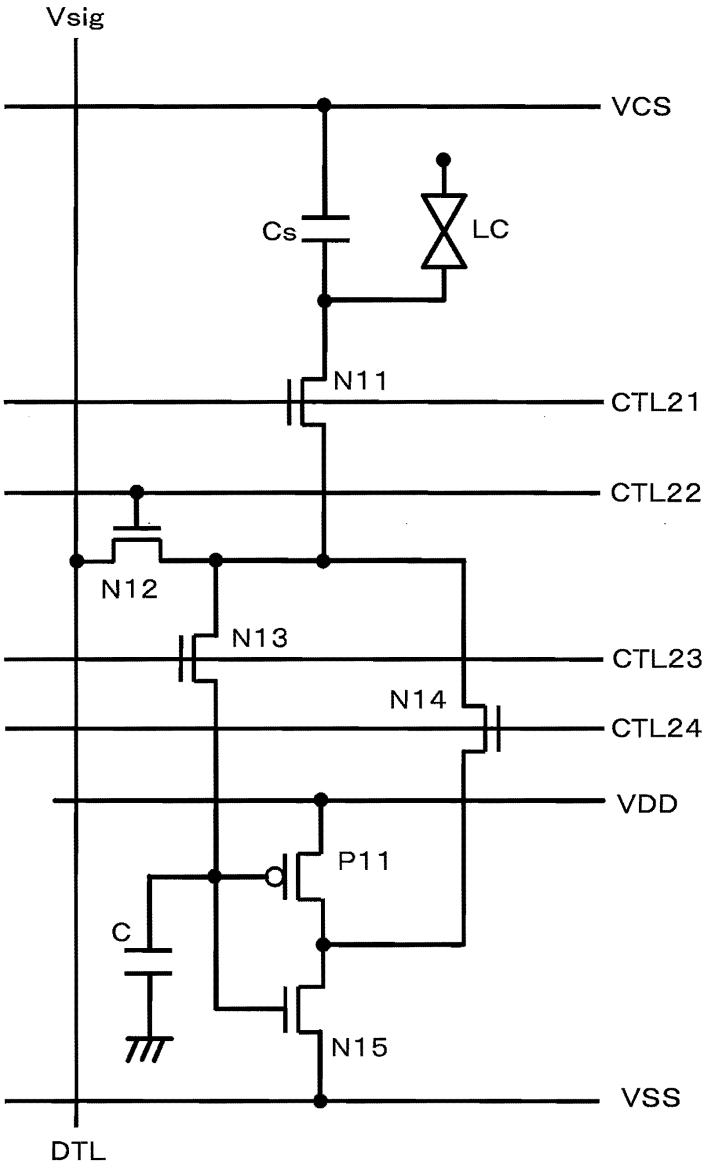
도면22


(A) DTL
VDD1
VSS
(B) CTL22
VDD2
VSS2
(C1) CTL21(R1)
VDD2
VSS2
(C2) CTL21(G1)
VDD2
VSS2
.....
(C6) CTL21(B2)
VDD2
VSS2
(D) CTL23,24
VDD2
VSS2
(E) CTL25
VDD2
VSS2

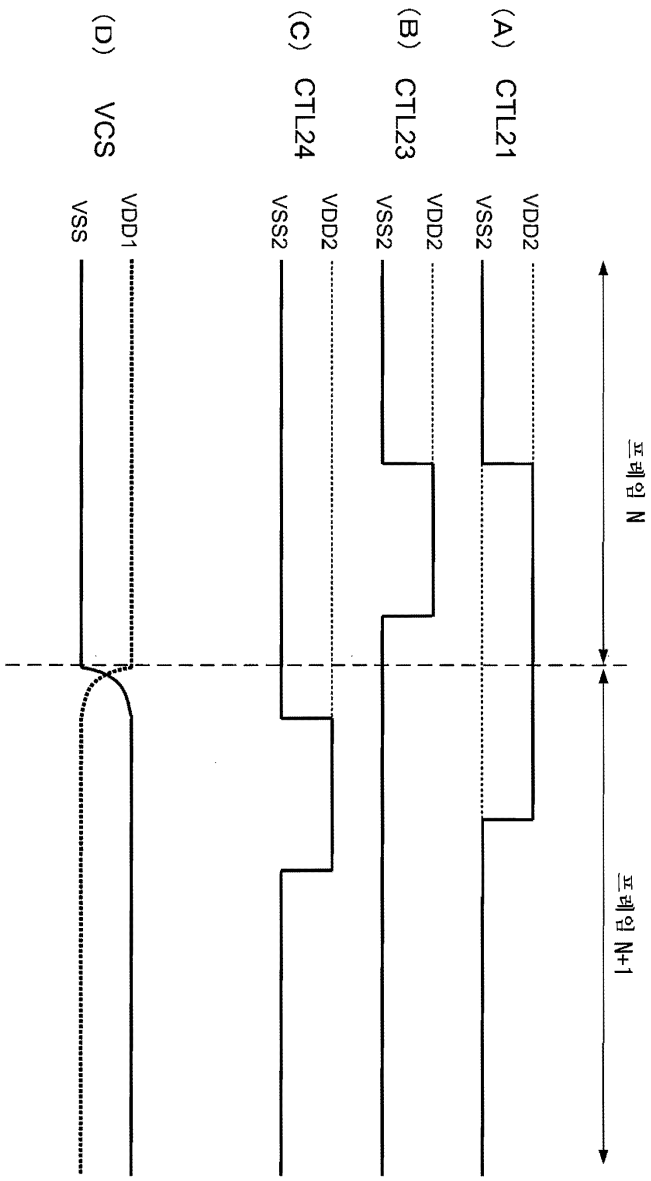
도면23


(A1)
CTL21(R1)
(A2)
CTL21(G1)
(A3)
CTL21(B1)
(A4)
CTL21(R2)
(A5)
CTL21(G2)
(A6)
CTL21(B2)
(B)
CTL23,24
(C)
CTL25
(D)
VCS
(E1)
PIXR1
(E2)
PIXG1
(E3)
PIXB1
(E4)
PIXR2
(E5)
PIXG2
(E6)
PIXB2
1F

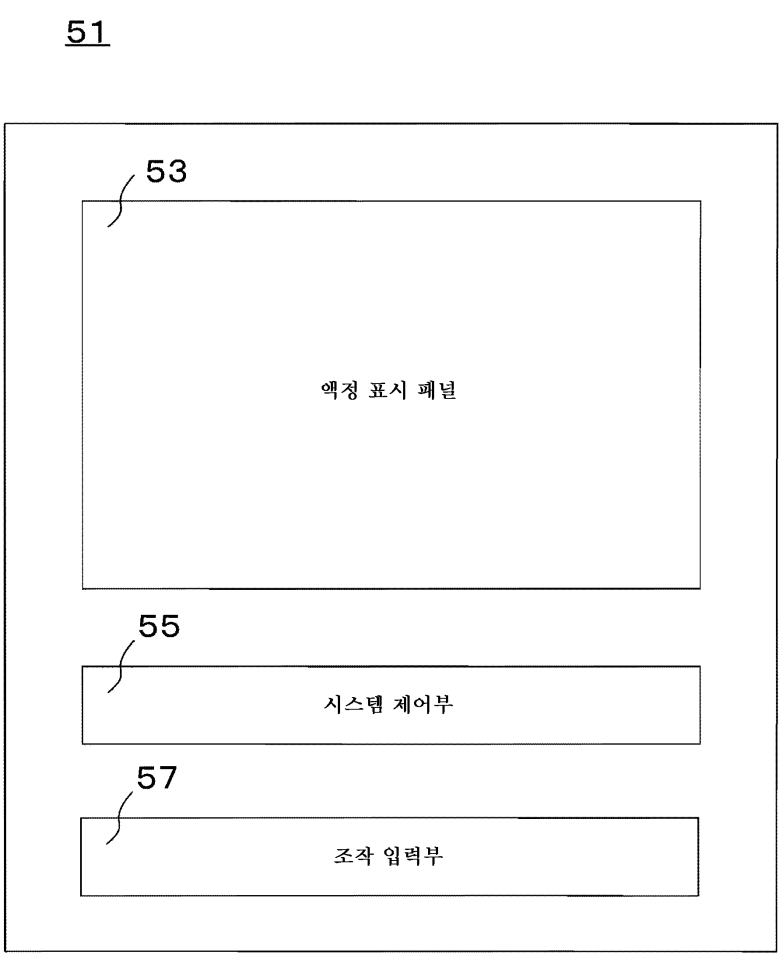
도면24


Vsig
VCS
Cs
LC
N11
CTL21
CTL22
N12
N13
CTL23
N14
CTL24
VDD
P11
C
N15
VSS
DTL

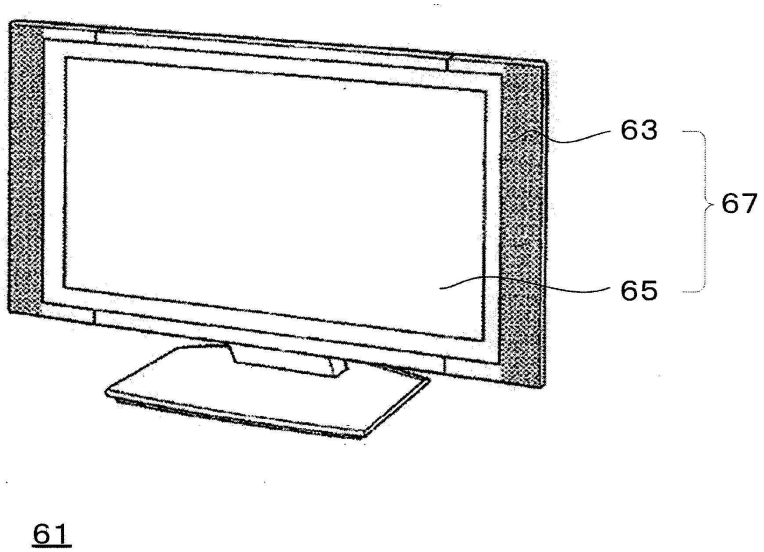
도면25


(A) CTL21
VDD2
VSS2
(B) CTL23
VDD2
VSS2
(C) CTL24
VDD2
VSS2
(D) VCS
VDD1
VSS
프레임 N
프레임 N+1

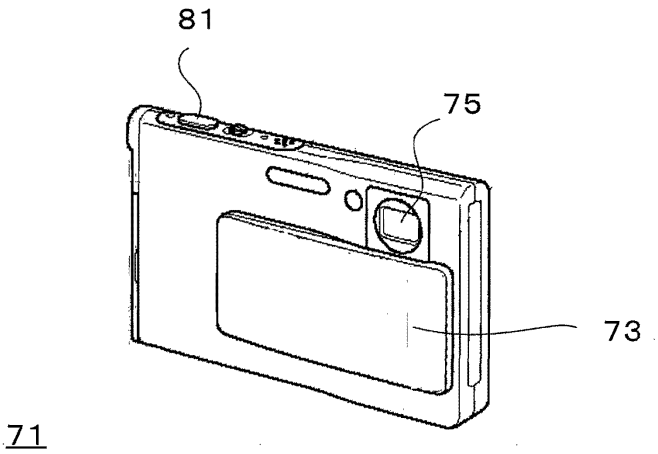
도면26



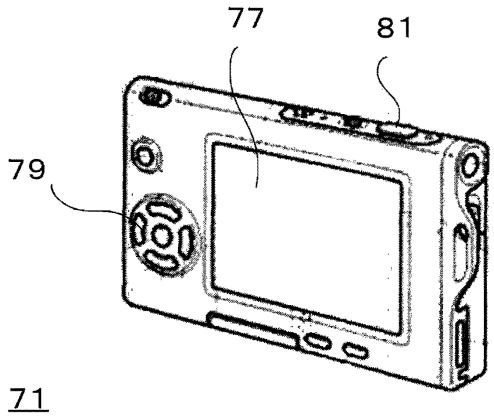
도면27



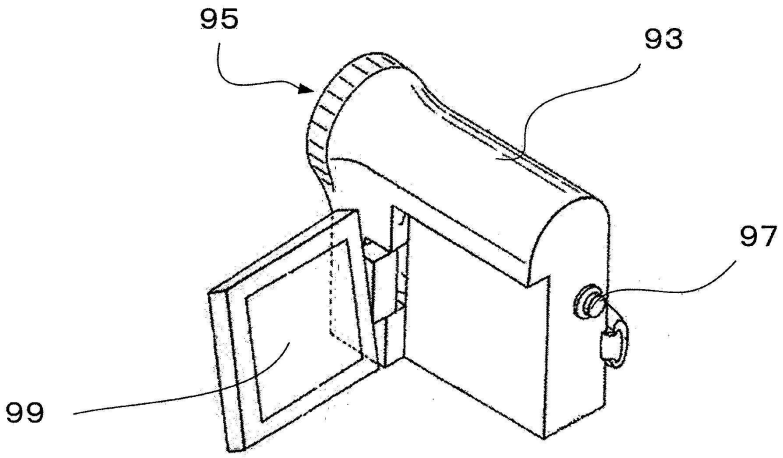
도면28a



도면28b

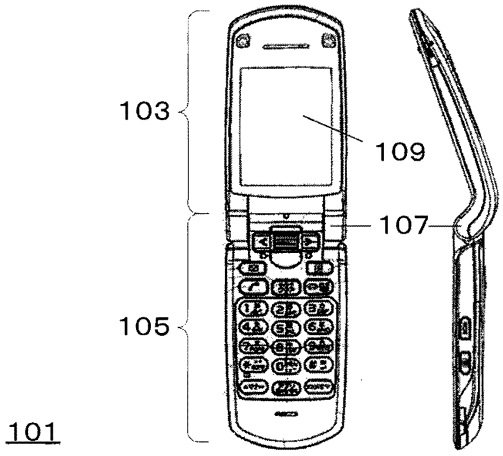


도면29

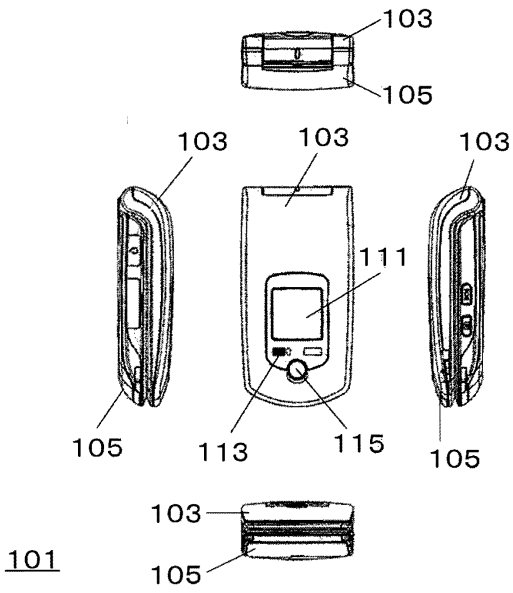


91

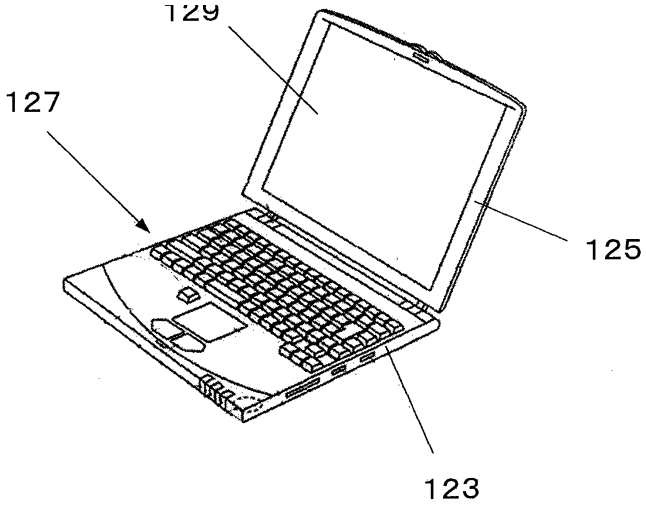
도면30a



도면30b

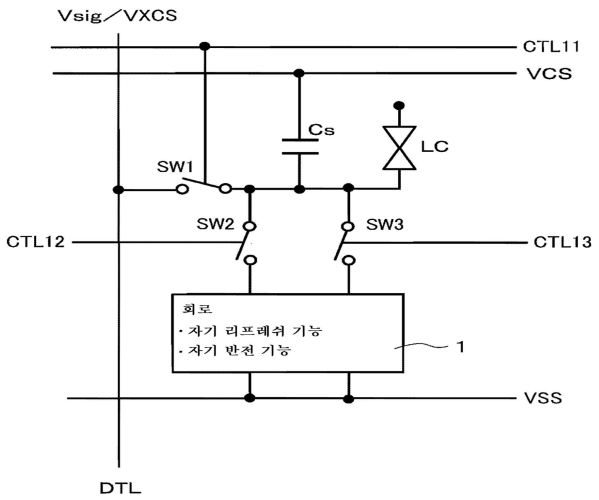


도면31



121

专利名称(译)	液晶显示面板和电子设备		
公开(公告)号	KR1020100070299A	公开(公告)日	2010-06-25
申请号	KR1020090125299	申请日	2009-12-16
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	株式会社日本排气量		
当前申请(专利权)人(译)	株式会社日本排气量		
[标]发明人	TERANISHI YASUYUKI 데라니시야스유끼 NAKAJIMA YOSHIHARU 나까지마요시하루		
发明人	데라니시야스유끼 나까지마요시하루		
IPC分类号	G09G3/36 G02F1/133		
CPC分类号	G09G2300/0852 G09G3/3648 G09G2310/08 G02F1/136213 G02F1/1365		
代理人(译)	CHANG, SOO KIL		
优先权	2008321652 2008-12-17 JP		
其他公开文献	KR101587287B1		
外部链接	Espacenet		

摘要(译)

用途：提供液晶显示面板和电子设备，通过使用像素的电容器作为DRAM，实现高分辨率，同时降低穿透孔径比。组成：电容器（Cs）提供一个电位，显示像素的灰度级。第一开关（SW1）连接电容器的第一端子和一个侧电极以及液晶元件的驱动电极。第二端子连接到信号线。第二开关（SW2）将第一端子连接到第一开关的第一端子。第三开关（SW3）将第一端子连接到第一开关元件的第一端子。电路（1）通过第二开关恢复读取周期的像素电位的逻辑电平。