



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0063575
(43) 공개일자 2010년06월11일

(51) Int. Cl.

G09G 3/36 (2006.01) G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

(21) 출원번호 10-2008-0122149

(22) 출원일자 2008년12월03일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

김종우

경북 구미시 원평동 937-68(6/12)

주공아파트110-106

조순동

경북 구미시 도량동 도량 5주공 프란체 509/1304

(뒷면에 계속)

(74) 대리인

특허법인로알

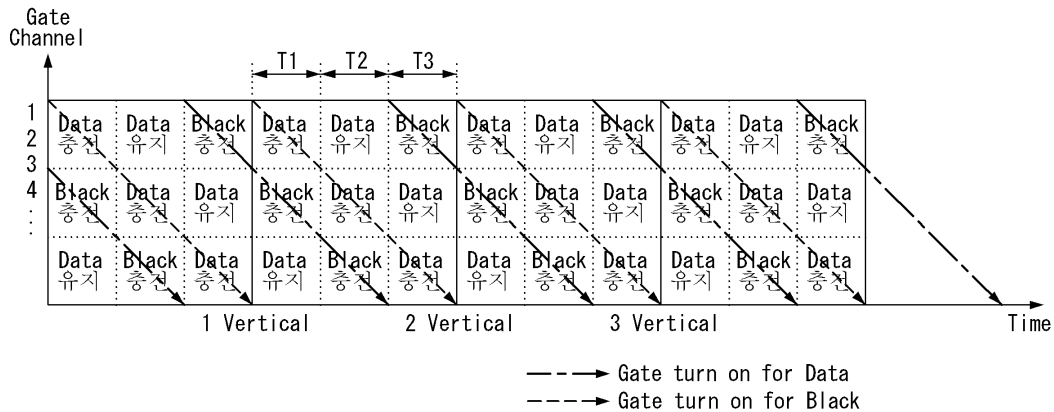
전체 청구항 수 : 총 10 항

(54) 액정표시장치와 그 구동방법

(57) 요약

본 발명은 액정표시장치에 관한 것으로, 제1 및 제2 소스 출력 인에이블신호들이 동일한 논리로 입력될 때 정극성/부극성 아날로그 비디오 데이터전압을 액정표시패널의 데이터라인들에 공급하고 상기 제2 소스 출력 인에이블신호의 펄스에 응답하여 정극성/부극성 블랙전압을 상기 데이터라인들에 공급하는 데이터 구동회로; 제1 게이트 스타트 펄스를 게이트 쉬프트 클럭에 따라 쉬프트시키면서 제1 게이트 출력 인에이블신호의 로우논리기간 동안 상기 정극성/부극성 아날로그 비디오 데이터전압에 동기되는 게이트펄스를 상기 액정표시패널의 제1 블록에 속한 게이트라인들에 공급하는 제1 게이트 드라이브 IC; 및 상기 제1 게이트 드라이브 IC로부터 입력되는 제1 캐리신호를 상기 게이트 쉬프트 클럭에 따라 쉬프트시키면서 제2 게이트 출력 인에이블신호의 로우논리기간 동안 상기 정극성/부극성 블랙전압에 동기되는 게이트펄스를 상기 액정표시패널의 제2 블록에 속한 상기 게이트라인들에 공급하는 제2 게이트 드라이브 IC를 구비한다.

대표도 - 도10



(72) 발명자

남현택

대구 동구 신암1동 뜨란채 106동 1003호

강정호

경북 구미시 구평동 대우 푸르지오아파트 103-103호

특허청구의 범위

청구항 1

다수의 데이터라인들과 다수의 게이트라인들이 교차되고 공통전극을 가지는 액정표시패널;

제1 및 제2 게이트 스타트 펄스들, 게이트 쉬프트 클럭, 제1 및 제2 게이트 출력 인에이블신호들을 포함한 게이트 타이밍 제어신호와, 제1 및 제2 소스 출력 인에이블신호들을 포함한 데이터 타이밍 제어신호를 발생하는 타이밍 컨트롤러;

상기 제1 및 제2 소스 출력 인에이블신호들이 동일한 논리로 입력될 때 정극성/부극성 아날로그 비디오 데이터 전압을 상기 데이터라인들에 공급하고 상기 제2 소스 출력 인에이블신호의 펄스에 응답하여 정극성/부극성 블랙 전압을 상기 데이터라인들에 공급하는 데이터 구동회로;

상기 제1 게이트 스타트 펄스를 상기 게이트 쉬프트 클럭에 따라 쉬프트시키면서 상기 제1 게이트 출력 인에이블신호의 로우논리기간 동안 상기 정극성/부극성 아날로그 비디오 데이터전압에 동기되는 게이트펄스를 상기 액정표시패널의 제1 블록에 속한 게이트라인들에 공급하는 제1 게이트 드라이브 IC; 및

상기 제1 게이트 드라이브 IC로부터 입력되는 제1 캐리신호를 상기 게이트 쉬프트 클럭에 따라 쉬프트시키면서 상기 제2 게이트 출력 인에이블신호의 로우논리기간 동안 상기 정극성/부극성 블랙전압에 동기되는 게이트펄스를 상기 액정표시패널의 제2 블록에 속한 상기 게이트라인들에 공급하는 제2 게이트 드라이브 IC를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 데이터 구동회로는,

상기 제1 소스 출력 인에이블신호의 펄스에 응답하여 상기 공통전극에 공급되는 공통전압과, 이웃하는 데이터라인들의 평균전압으로 설정되는 차지웨어전압 중 어느 하나를 상기 데이터라인들에 공급하는 것을 특징으로 하는 액정표시장치.

청구항 3

제 1 항에 있어서,

상기 정극성/부극성 아날로그 비디오 데이터전압에 동기되는 상기 게이트 펄스와 상기 정극성/부극성 블랙전압에 동기되는 상기 게이트펄스의 펄스폭 합은 0보다 크고 1 수평기간 이하인 것을 특징으로 하는 액정표시장치.

청구항 4

제 1 항에 있어서,

상기 제1 게이트 스타트 펄스와 상기 제2 게이트 스타트 펄스 사이의 시간차는 1/4 프레임기간 이상이고 3/4 프레임기간 미만인 것을 특징으로 하는 액정표시장치.

청구항 5

제 1 항에 있어서,

상기 제2 소스 출력 인에이블신호의 펄스폭은 제1 소스 출력 인에이블신호(SOE1)의 펄스폭 이상이고,

상기 제1 및 제2 소스 출력 인에이블신호의 위상은 서로 어긋나는 것을 특징으로 하는 액정표시장치.

청구항 6

제1 및 제2 게이트 스타트 펄스들, 게이트 쉬프트 클럭, 제1 및 제2 게이트 출력 인에이블신호들을 포함한 게이트 타이밍 제어신호와, 제1 및 제2 소스 출력 인에이블신호들을 포함한 데이터 타이밍 제어신호를 발생하는 단계;

데이터 구동회로를 이용하여 상기 제1 및 제2 소스 출력 인에이블신호들이 동일한 논리로 입력될 때 정극성/부

극성 아날로그 비디오 데이터전압을 상기 데이터라인들에 공급하고 상기 제2 소스 출력 인에이블신호의 펄스에 응답하여 정극성/부극성 블랙전압을 액정표시패널의 데이터라인들에 공급하는 단계;

제1 게이트 드라이브 IC를 이용하여 상기 제1 게이트 스타트 펄스를 상기 게이트 쉬프트 클럭에 따라 쉬프트시키면서 상기 제1 게이트 출력 인에이블신호의 로우논리기간 동안 상기 정극성/부극성 아날로그 비디오 데이터전압에 동기되는 게이트펄스를 액정표시패널의 제1 블록에 속한 게이트라인들에 공급하는 단계; 및

제2 게이트 드라이브 IC를 이용하여 상기 제1 게이트 드라이브 IC로부터 입력되는 제1 캐리신호를 상기 게이트 쉬프트 클럭에 따라 쉬프트시키면서 상기 제2 게이트 출력 인에이블신호의 로우논리기간 동안 상기 정극성/부극성 블랙전압에 동기되는 게이트펄스를 액정표시패널의 제2 블록에 속한 게이트라인들에 공급하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 7

제 6 항에 있어서,

상기 데이터 구동회로를 이용하여 상기 제1 소스 출력 인에이블신호의 펄스가 발생될 때 상기 액정표시패널의 공통전극에 공급되는 공통전압과, 이웃하는 데이터라인들의 평균전압으로 설정되는 차지웨어전압 중 어느 하나를 상기 데이터라인들에 공급하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 8

제 6 항에 있어서,

상기 정극성/부극성 아날로그 비디오 데이터전압에 동기되는 상기 게이트 펄스와 상기 정극성/부극성 블랙전압에 동기되는 상기 게이트펄스의 펄스폭 합은 0보다 크고 1 수평기간 이하인 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 9

제 6 항에 있어서,

상기 제1 게이트 스타트 펄스와 상기 제2 게이트 스타트 펄스 사이의 시간차는 1/4 프레임기간 이상이고 3/4 프레임기간 미만인 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 10

제 6 항에 있어서,

상기 제2 소스 출력 인에이블신호의 펄스폭은 제1 소스 출력 인에이블신호(SOE1)의 펄스폭 이상이고,

상기 제1 및 제2 소스 출력 인에이블신호의 위상은 서로 어긋나는 것을 특징으로 하는 액정표시장치의 구동방법.

명세서

발명의 상세한 설명

기술분야

본 발명은 임펄스 방식으로 구동되는 액정표시장치와 그 구동방법에 관한 것이다.

배경기술

[0002] 액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치는 스위칭 소자로서 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)를 이용하여 동영상상을 표시하고 있다. 이 액정표시장치는 음극선관(Cathode Ray Tube, CRT)에 비하여 소형화가 가능하여 휴대용 정보기기, 사무기기, 컴퓨터 등에서 표시기에 응용됨은 물론, 텔레비전에도 응용되어 빠르게 음극선관을 대체하고 있다.

[0003] 액정표시장치는 액정의 유지특성에 의해 동영상에서 화면이 선명하지 못하고 흐릿하게 보이는 모션 블러(Motion

Blur) 현상이 나타나게 된다. CRT는 도 1과 같이 매우 짧은 시간 동안만 형광체를 발광시켜 셀에 데이터를 표시한 후에 그 셀에서 발광이 없는 임펄스 구동으로 화상을 표시한다. 이에 비하여, 액정표시장치는 도 2와 같이 스캐닝기간 동안, 액정셀에 데이터가 공급된 후 나머지 필드 기간(또는 프레임기간) 동안 그 액정셀에 충전된 데이터가 유지되는 홀드 구동으로 화상을 표시한다.

[0004] CRT에 표시되는 동영상은 임펄스 구동되기 때문에 도 3과 같이 관람자가 느끼는 지각영상(Perceived image)이 선명하다. 이에 비하여, 액정표시장치에서는 동영상에서 액정의 유지특성 때문에 도 4와 같이 관람자가 느끼는 지각영상의 명암이 뚜렷하지 않고 흐릿하게 보여진다. 이러한 지각영상의 차이는 움직임 추종하는 눈에서 일시적으로 지속되는 영상의 적분효과에 기인한다. 따라서, 액정표시장치의 응답속도가 빠르다 하더라도, 눈의 움직임과 매 프레임의 정적영상(static image) 사이의 불일치로 인하여 관람자는 흐릿한 화면을 보게 된다. 모션 블러 현상을 개선하기 위하여, 비디오 데이터를 화면 상에 표시한 후에 그 화면에 블랙 데이터를 공급함으로써 액정표시장치를 임펄스 구동하는 기술 예컨대, 블랙 데이터 삽입방식(Black Data Insertion, BDI)이 제안되고 있다. 블랙 데이터 삽입방식의 일례로는 도 5와 같이 화면을 3 분할하고 그 중 어느 한 블록(A1)에서 비디오 데이터 전압을 1 라인씩 순차적으로 충전하면서 다른 블록(A2)에서 이웃하는 4 개의 라인들에 블랙전압을 동시에 충전시킨다. 이와 같은 방식으로 블랙 데이터 삽입방식은 각 블록들(A1 내지 A3)에서 비디오 데이터 라인들을 순차적으로 충전시키면서 블랙전압을 4 개 라인씩 순차적으로 충전시켜 임펄스 구동효과를 얻고 있다. 블랙전압이 충전되는 라인들을 동시에 선택하기 위하여 게이트 드라이브 IC는 이웃하는 게이트라인들에 동시에 게이트펄스를 인가한다. 그런데 종래의 임펄스 구동방식은 액정표시장치의 구동 주파수를 높게 하고, 많은 라인의 데이터들을 메모리에 저장하여야 하므로 많은 라인 메모리가 추가로 필요하다. 또한, 종래의 임펄스 구동방식은 타이밍 컨트롤러의 로직회로 및 제어 알고리즘을 복잡하게 한다.

발명의 내용

해결 하고자하는 과제

[0005] 따라서, 본 발명의 목적은 상기 종래 기술의 문제점들을 해결하고자 안출된 발명으로써 임펄스 구동을 위한 하드웨어의 복잡도를 낮추고 메모리 용량 추가를 최소화하도록 한 액정표시장치와 그 구동방법을 제공하는데 있다.

과제 해결수단

[0006] 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 액정표시장치는 다수의 데이터라인들과 다수의 게이트 라인들이 교차되고 공통전극을 가지는 액정표시패널; 제1 및 제2 게이트 스타트 펄스들, 게이트 쉬프트 클럭, 제1 및 제2 게이트 출력 인에이블신호들을 포함한 게이트 타이밍 제어신호와, 제1 및 제2 소스 출력 인에이블신호들을 포함한 데이터 타이밍 제어신호를 발생하는 타이밍 컨트롤러; 상기 제1 및 제2 소스 출력 인에이블신호들이 동일한 논리로 입력될 때 정극성/부극성 아날로그 비디오 데이터전압을 상기 데이터라인들에 공급하고 상기 제2 소스 출력 인에이블신호의 펄스에 응답하여 정극성/부극성 블랙전압을 상기 데이터라인들에 공급하는 데이터 구동회로; 상기 제1 게이트 스타트 펄스를 상기 게이트 쉬프트 클럭에 따라 쉬프트시키면서 상기 제1 게이트 출력 인에이블신호의 로우논리기간 동안 상기 정극성/부극성 아날로그 비디오 데이터전압에 동기되는 게이트 펄스를 상기 액정표시패널의 제1 블록에 속한 게이트라인들에 공급하는 제1 게이트 드라이브 IC; 및 상기 제1 게이트 드라이브 IC로부터 입력되는 제1 캐리신호를 상기 게이트 쉬프트 클럭에 따라 쉬프트시키면서 상기 제2 게이트 출력 인에이블신호의 로우논리기간 동안 상기 정극성/부극성 블랙전압에 동기되는 게이트펄스를 상기 액정표시패널의 제2 블록에 속한 상기 게이트라인들에 공급하는 제2 게이트 드라이브 IC를 구비한다.

[0007] 본 발명의 실시예에 따른 액정표시장치의 구동방법은 제1 및 제2 게이트 스타트 펄스들, 게이트 쉬프트 클럭, 제1 및 제2 게이트 출력 인에이블신호들을 포함한 게이트 타이밍 제어신호와, 제1 및 제2 소스 출력 인에이블신호들을 포함한 데이터 타이밍 제어신호를 발생하는 단계; 데이터 구동회로를 이용하여 상기 제1 및 제2 소스 출력 인에이블신호들이 동일한 논리로 입력될 때 정극성/부극성 아날로그 비디오 데이터전압을 상기 데이터라인들에 공급하고 상기 제2 소스 출력 인에이블신호의 펄스에 응답하여 정극성/부극성 블랙전압을 액정표시패널의 데이터라인들에 공급하는 단계; 제1 게이트 드라이브 IC를 이용하여 상기 제1 게이트 스타트 펄스를 상기 게이트 쉬프트 클럭에 따라 쉬프트시키면서 상기 제1 게이트 출력 인에이블신호의 로우논리기간 동안 상기 정극성/부극

성 아날로그 비디오 데이터전압에 동기되는 게이트펄스를 액정표시패널의 제1 블록에 속한 게이트라인들에 공급하는 단계; 및 제2 게이트 드라이브 IC를 이용하여 상기 제1 게이트 드라이브 IC로부터 입력되는 제1 캐리신호를 상기 게이트 쉬프트 클럭에 따라 쉬프트시키면서 상기 제2 게이트 출력 인에이블신호의 로우논리기간 동안 상기 정극성/부극성 블랙전압에 동기되는 게이트펄스를 액정표시패널의 제2 블록에 속한 게이트라인들에 공급하는 단계를 포함한다.

효 과

[0008] 본 발명의 액정표시장치와 그 구동방법은 많은 양의 데이터를 저장할 필요가 없으므로 필요한 메모리량을 최소화할 수 없으며 타이밍 컨트롤러의 로직회로 및 제어 알고리즘을 단순하게 하여 임펄씨브 구동을 구현할 수 있다.

[0009]

발명의 실시를 위한 구체적인 내용

[0010] 이하, 도 6 내지 도 15b를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

[0011] 도 6 내지 도 9를 참조하면, 본 발명의 실시예에 따른 액정표시장치는 액정표시패널, 타이밍 컨트롤러(61), 데이터 구동회로(62), 및 게이트 구동회로(63)를 구비한다. 데이터 구동회로(62)는 다수의 소스 드라이브 IC들을 포함한다. 게이트 구동회로(63)는 다수의 게이트 드라이브 IC들(631 내지 633)을 포함한다.

[0012] 액정표시패널의 유리기관들 사이에는 액정층이 형성된다. 액정표시패널은 m 개의 데이터라인들(64)과 n 개의 게이트라인들(65)의 교차 구조에 의해 매트릭스 형태로 배치된 $m \times n$ 개의 액정셀들(C1c)을 포함한다.

[0013] 액정표시패널의 하부 유리기관에는 데이터라인들(64), 게이트라인들(65), TFT들, 및 스토리지 커패시터(Cst) 등을 포함한 화소 어레이가 형성된다. 액정셀들(C1c)은 TFT에 접속되어 화소전극들(1)과 공통전극(2) 사이의 전계에 의해 구동된다. TFT의 게이트전극은 게이트라인(65)에 접속되고, 그 소스전극은 데이터라인(64)에 접속된다. TFT의 드레인전극은 액정셀의 화소전극(1)에 접속된다. TFT는 게이트라인(65)을 통해 도 12a 및 도 12b, 도 15a 및 도 15b에 도시된 게이트펄스(G1~G6)가 공급되는 게이트펄스(G1~G6)에 응답하여 턴-온되어 데이터라인(64)으로부터의 정극성/부극성 아날로그 비디오 데이터전압과 정극성/부극성 블랙전압을 액정셀의 화소전극(1)에 공급한다.

[0014] 액정표시패널의 상부 유리기관 상에는 블랙매트릭스, 컬러필터 및 공통전극(2) 등이 형성된다.

[0015] 공통전극(2)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서 상부 유리기관 상에 형성되며, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서 화소전극(1)과 함께 하부 유리기관 상에 형성된다.

[0016] 액정표시패널의 상부 유리기관과 하부 유리기관 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다. 액정표시패널의 상부 유리기관과 하부 유리기관 사이에는 액정셀의 셀갭(cell gap)을 유지하기 위한 스페이서가 형성된다.

[0017] 본 발명에서 적용 가능한 액정표시패널의 액정모드는 전술한 TN 모드, VA 모드, IPS 모드, FFS 모드뿐 아니라 어떠한 액정모드로도 구현될 수 있다. 또한, 본 발명의 액정표시장치는 투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치 등 어떠한 형태로도 구현될 수 있다.

[0018] 액정표시패널의 표시화면은 게이트 드라이브 IC들(631 내지 633)에 인가되는 게이트 타이밍 제어신호에 따라 다수의 블록(BL1 내지 BL3)으로 분할 구동된다. 블록들(BL1 내지 BL3) 각각은 1 라인씩 비디오 데이터전압을 순차적으로 충전하고 또한, 1 라인씩 블랙전압을 순차적으로 충전한다. 여기서, 라인은 동일 라인에 배열된 액정셀들을 포함한다. 1 라인의 액정셀들은 동일한 게이트 라인에 접속되어 동일한 게이트 펄스에 의해 동시에 턴-온되는 TFT들에 의해 데이터라인들로부터의 전압을 동시에 충전한다. 액정셀은 데이터전압에 동기되는 게이트 펄스와 블랙전압에 동기되는 게이트펄스가 인가될 때 데이터전압과 블랙전압을 충전하며 그 충전시간의 합은 0 보다 크고 1 수평기간 이하이다. 액정셀들은 후술하는 실시예들과 같이 데이터전압을 충전한 후에 블랙전압을 충전될 수 있고 그 반대로, 블랙전압을 먼저 충전한 후에 데이터전압을 먼저 충전할 수 있다. 데이터전압의 충전 및 유지기간과, 블랙전압의 충전 및 유지기간은 후술하는 게이트 타이밍 제어신호의 타이밍 조절을 통해 조

정될 수 있다. 이러한 게이트 타이밍 제어신호의 타이밍 조절에 의해 액정셀들에 충전되는 블랙전압과 데이터 전압의 충전시간이 조정될 수 있다. 액정셀들은 1 수평기간 이내의 시간 동안 블랙전압을 충전하고 1 프레임기간의 25%~75% 사이의 시간 동안 블랙전압을 유지한다.

- [0019] 타이밍 컨트롤러(61)는 수직/수평 동기신호(Vsync, Hsync), 외부 데이터 인에이블 신호(Data Enable, DE), 도트 클럭(CLK) 등의 타이밍신호를 입력받아 데이터 구동회로(62)와 게이트 구동회로(63)의 동작 타이밍을 제어하기 위한 제어신호들을 발생한다. 제어신호들은 게이트 타이밍 제어신호와 데이터 타이밍 제어신호를 포함한다. 또한, 타이밍 컨트롤러(61)는 데이터 구동회로(62)에 디지털 비디오 데이터(RGB')를 공급한다.
- [0020] 게이트 타이밍 제어신호는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 쉬프트 클럭(Gate Shift Clock, GSC), 게이트 출력 인에이블신호(Gate Output Enable, GOE1 내지 GOE3) 등을 포함한다.
- [0021] 게이트 스타트 펄스(GSP)는 제1 게이트 드라이브 IC(631)에 인가되어 제1 게이트 드라이브 IC(631)로부터 첫 번째 게이트펄스가 발생되도록 스캔이 시작되는 시작 타이밍을 지시한다. 본 발명의 게이트 스타트 펄스(GSP)는 1 프레임기간 내에서 2회 발생된다. 즉, 게이트 스타트 펄스(GSP)는 액정셀의 비디오 데이터전압 충전을 위한 게이트펄스, 액정셀의 블랙전압 충전을 위한 게이트펄스를 포함하여 1 프레임 기간 내에서 총 2회 발생된다. 게이트 스타트 펄스들(GSP) 각각의 펄스폭은 대략 1 수평기간이다.
- [0022] 게이트 쉬프트 클럭(GSC)은 게이트 스타트 펄스(GSP)를 쉬프트시키기 위한 클럭신호이다. 게이트 드라이브 IC들(631 내지 633)의 쉬프트 레지스터는 게이트 쉬프트 클럭(GSC)의 라이징 에지에서 게이트 스타트 펄스(GSP)를 쉬프트시킨다. 제2 및 제3 게이트 드라이브 IC(632 내지 633)는 앞단 게이트 드라이브 IC의 캐리신호를 게이트 스타트 펄스로 입력받아 동작하기 시작한다.
- [0023] 게이트 출력 인에이블신호(GOE1 내지 GOE3)는 게이트 드라이브 IC들(631 내지 633)에 개별적으로 인가된다. 게이트 드라이브 IC들(631 내지 633)은 게이트 출력 인에이블신호(GOE1 내지 GOE3)의 로우논리기간 즉, 이전 펄스의 폴링타임 직후로부터 그 다음 펄스의 라이징 타임 직전까지의 기간 동안 게이트펄스를 출력한다. 게이트 출력 인에이블신호(GOE1 내지 GOE3)의 1 주기는 대략 1 수평기간이고, 1 주기 내에서 로우논리전압 유지시간은 1/2 수평기간 이하이다. 게이트 드라이브 IC들(631 내지 633)은 게이트 출력 인에이블신호(GOE1 내지 GOE3)의 로우논리전압에 응답하여 대략 1/2 수평기간 이하의 펄스를 가지는 게이트펄스를 발생한다.
- [0024] 데이터 타이밍 제어신호는 소스 스타트 펄스(Source Start Pulse, SSP), 소스 샘플링 클럭(Source Sampling Clock, SSC), 극성제어신호(Polarity : POL), 제1 및 제2 소스 출력 인에이블신호(Source Output Enable, SOE) 등을 포함한다.
- [0025] 소스 스타트 펄스(SSP)는 데이터가 표시될 1 수평라인에서 시작 화소를 지시한다. 타이밍 컨트롤러(61)와 데이터 구동회로(62) 사이에서 데이터 전송이 mini LVDS(low-voltage differential signaling) 방식으로 전송된다면 디지털 비디오 데이터(RGB')와 함께 mini LVDS 클럭이 데이터 구동회로(62)에 전송된다. 이렇게 mini LVDS 방식으로 데이터가 전송되는 경우에, mini LVDS 클럭의 리셋펄스에 이어지는 펄스가 소스 스타트 펄스 역할을 하므로 타이밍 컨트롤러(61)에서 별도의 소스 스타트 펄스(SSP)가 발생되지 않는다.
- [0026] 소스 샘플링 클럭(SSC)은 라이징 또는 폴링 에지에 기준하여 데이터 구동회로(62)의 데이터의 샘플링 및 래치동작을 지시한다. 극성제어신호(POL)는 데이터 구동회로(62)로부터 출력되는 아날로그 비디오 데이터전압의 극성을 제어한다.
- [0027] 제1 소스 출력 인에이블신호(SOE1)는 데이터 구동회로(62)로부터 정극성/부극성 아날로그 비디오 데이터전압이 출력되는 타이밍을 제어한다. 또한, 제1 소스 출력 인에이블신호(SOE1)는 데이터 구동회로(62)로부터 정극성/부극성 차지쉐어전압(Charge share voltage)이나 공통전압(Vcom)이 출력되는 타이밍을 제어한다. 차지쉐어전압은 데이터 구동회로(62)에 의해 정극성 전압이 공급되는 데이터라인과 부극성 전압이 공급되는 데이터라인이 단락될 때 발생되며, 그 정극성 전압과 부극성 전압의 평균 전압 레벨을 갖는다. 제2 소스 출력 인에이블신호(SOE2)는 데이터 구동회로(62)로부터 정극성/부극성 블랙전압이 출력되는 타이밍을 제어한다. 제2 소스 출력 인에이블신호(SOE2)의 펄스폭은 제1 소스 출력 인에이블신호(SOE1)의 펄스폭 이상으로 설정된다. 또한, 액정셀에서 블랙전압과 데이터전압이 시분할 충전될 수 있도록 제1 및 제2 소스 출력 인에이블신호(SOE2)의 위상은 서로 어긋난다. 데이터 구동회로(62)는 제1 소스 출력 인에이블신호(SOE1)의 펄스에 동기하여 차지쉐어전압이나 공통전압(Vcom)을 데이터라인들(64)로 출력한다. 데이터 구동회로(62)는 제1 및 제2 소스 출력 인에이블신호들(SOE1, SOE2)이 로우논리전압을 유지하는 시간 동안 정극성/부극성 아날로그 비디오 데이터전압을 데이터라인들(64)로 출력한다. 그리고 데이터 구동회로(62)는 제2 소스 출력 인에이블신호들(SOE2)의 펄스에 동기하여 정극

성/부극성 블랙전압을 데이터라인들로 출력한다.

- [0028] 게이트 드라이브 IC들(631 내지 633) 각각은 게이트 타이밍 제어신호들에 응답하여 게이트펄스를 게이트라인들(65)에 순차적으로 공급한다. 게이트 드라이브 IC들(631 내지 633)은 1 프레임기간 내에서 첫 번째 게이트 스타트 펄스(GSP)가 발생할 때 대략 1/2 수평기간 이하의 펄스를 갖는 게이트펄스를 게이트라인들에 순차적으로 공급한 후에, 두 번째 게이트 스타트 펄스(GSP)가 발생할 때 대략 1/2 수평기간 이하의 펄스를 갖는 게이트펄스를 다시 게이트라인들에 순차적으로 공급한다.
- [0029] 제1 게이트 드라이브 IC(631)는 제1 블록(BL1)의 액정셀들에 공급되는 정극성/부극성 아날로그 데이터전압과 정극성/부극성 블랙전압에 동기되도록 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭(GSC) 및 제1 게이트 출력 인에이블신호(GOE1)에 응답하여 제1 블록(BL1)에 포함된 게이트라인들에 대략 1/2 이하의 게이트펄스를 순차적으로 공급한다. 제2 게이트 드라이브 IC(632)는 제2 블록(BL2)의 액정셀들에 공급되는 정극성/부극성 아날로그 데이터전압과 정극성/부극성 블랙전압에 동기되도록 제1 게이트 드라이브 IC(631)로부터 전달된 캐리신호(게이트 스타트 펄스), 게이트 쉬프트 클럭(GSC) 및 제2 게이트 출력 인에이블신호(GOE2)에 응답하여 제2 블록(BL2)에 포함된 게이트라인들에 대략 1/2 이하의 게이트펄스를 순차적으로 공급한다. 제3 게이트 드라이브 IC(633)는 제3 블록(BL3)의 액정셀들에 공급되는 정극성/부극성 아날로그 데이터전압과 정극성/부극성 블랙전압에 동기되도록 제2 게이트 드라이브 IC로부터 전달된 캐리신호(게이트 스타트 펄스), 게이트 쉬프트 클럭(GSC) 및 제3 게이트 출력 인에이블신호(GOE3)에 응답하여 제3 블록(BL3)에 포함된 게이트라인들에 대략 1/2 이하의 게이트펄스를 순차적으로 공급한다.
- [0030] 게이트 드라이브 IC들(631 내지 633) 각각은 도 7과 같이 쉬프트 레지스터(70), 레벨 쉬프터(72), 쉬프트 레지스터(70)와 레벨 쉬프터(72) 사이에 접속된 다수의 논리곱 게이트(이하, "AND 게이트"라 함)(71) 및 게이트 출력 인에이블신호(GOE1 내지 GOE3)를 반전시키기 위한 인버터(73)를 구비한다.
- [0031] 쉬프트 레지스터(70)는 종속적으로 접속된 다수의 D-플립플롭을 이용하여 게이트 스타트 펄스(GSP)를 게이트 쉬프트 클럭(GSC)에 따라 순차적으로 쉬프트시킨다. AND 게이트들(71) 각각은 쉬프트 레지스터(70)의 출력신호와 게이트 출력 인에이블신호(GOE1 내지 GOE3)의 반전신호를 논리곱하여 출력을 발생한다. 인버터(73)는 게이트 출력 인에이블신호(GOE1 내지 GOE3)를 반전시켜 AND 게이트들(71)에 공급한다. 따라서, 게이트 드라이브 IC들(631 내지 633)은 게이트 출력 인에이블신호(GOE1 내지 GOE3)가 로우논리구간일 때에만 출력을 발생한다.
- [0032] 레벨 쉬프터(72)는 AND 게이트(71)의 출력전압 스윙폭을 액정표시패널의 TFT의 동작이 가능한 스윙폭으로 쉬프트시킨다. 레벨 쉬프터(72)의 출력신호(G1 내지 Gk)는 k(k는 정수) 개의 게이트라인들에 순차적으로 공급된다.
- [0033] 쉬프트 레지스터(70)는 화소 어레이의 TFT와 함께 액정표시패널의 유리기판에 직접 형성될 수 있다. 이 경우에, 레벨 쉬프터(72)는 유리기판에 형성되지 않고 타이밍 콘트롤러(61), 감마전압 발생회로 등과 함께 콘트롤 보드 또는 소스 인쇄회로보드(Source Printed Circuit Board) 상에 형성될 수 있다.
- [0034] 데이터 구동회로(62)는 타이밍 콘트롤러(61)의 제어 하에 디지털 비디오 데이터(RGB')와 디지털 블랙 데이터(BLACK)를 래치한 후에 그 디지털 데이터들(RGB', BLACK)을 정극성/부극성 아날로그 전압으로 변환한다. 데이터 구동회로(62)의 데이터 드라이브 IC들 각각은 도 8과 같이 k(k는 m보다 작은 양의 정수) 개의 데이터라인들(D1 내지 Dk)을 구동한다. 데이터 드라이브 IC들 각각은 도 8과 같이 쉬프트 레지스터(81), 데이터 레지스터(82), 제1 래치(83), 제2 래치(84), 디지털/아날로그 변환기(Digital to Analog Converter 이하, "DAC"라 한다)(85), 및 출력 제어회로(86) 등을 구비한다.
- [0035] 쉬프트 레지스터(81)는 타이밍 콘트롤러(11)로부터의 소스 스타트 펄스(SSP)를 소스 샘플링 클럭(SSC)에 따라 쉬프트시켜 샘플링신호를 발생한다. 또한, 쉬프트 레지스터(81)는 소스 스타트 펄스(SSP)를 쉬프트시켜 이웃하는 다른 데이터 드라이브 IC의 쉬프트 레지스터(81)에 캐리신호(CAR)를 전달한다.
- [0036] 데이터 레지스터(82)는 타이밍 콘트롤러(61)로부터의 디지털 비디오 데이터(RGB')를 일시 저장하고 저장된 디지털 비디오 데이터들(RGB)을 제1 래치(83)에 공급한다. 제1 래치(83)는 쉬프트 레지스터(81)로부터 순차적으로 입력되는 샘플링신호에 응답하여 데이터 레지스터(82)로부터의 디지털 비디오 데이터들(RGB')를 샘플링하여 래치한 다음, 그 데이터들(RGB')을 동시에 출력한다. 제2 래치(84)는 제1 래치(83)로부터 입력되는 데이터들(RGB')을 래치한 다음, 제1 소스 출력 인에이블신호(SOE1)의 로우논리기간 동안 다른 집적회로들의 제2 래치(54)와 동시에 데이터들(RGB')을 출력한다.
- [0037] DAC(85)는 극성제어신호(POL)에 응답하여 제2 래치(84)로부터의 디지털 비디오 데이터(RGB')를 정극성 감마보상

전압(GH) 또는 부극성 감마보상전압(GL)으로 변환하여 정극성/부극성 아날로그 비디오 데이터전압으로 변환한다.

- [0038] 출력 제어회로(86)는 제1 및 제2 소스 출력 인에이블신호(SOE1, SOE2)에 응답하여, 정극성/부극성 아날로그 비디오 데이터전압, 정극성/부극성 블랙전압, 차지쉐어전압(또는 공통전압)을 출력한다.
- [0039] 출력 제어회로(86)는 도 9와 같이 제1 내지 제3 로직부(91 내지 93)를 구비한다. 제1 로직부(91)는 제2 소스 출력 인에이블신호(SOE2)의 펄스를 카운트하여 기수 프레임기간 동안 제2 소스 출력 인에이블신호(SOE2)의 기수 펄스(Odd pulse)에 응답하여 정극성 블랙전압(+Vblack)을 제2 로직부(92)에 공급하고, 제2 소스 출력 인에이블신호(SOE2)의 우수 펄스(Even pulse)에 응답하여 부극성 블랙전압(-Vblack)을 제2 로직부(92)에 공급한다. 그리고 제1 로직부(91)는 제2 소스 출력 인에이블신호(SOE2)의 펄스를 카운트하여 우수 프레임기간 동안 제2 소스 출력 인에이블신호(SOE2)의 기수 펄스에 응답하여 부극성 블랙전압(-Vblack)을 제2 로직부(92)에 공급하고, 제2 소스 출력 인에이블신호(SOE2)의 우수 펄스에 응답하여 정극성 블랙전압(+Vblack)을 제2 로직부(92)에 공급한다. 따라서, 제1 로직부(91)는 제2 소스 출력 인에이블신호(SOE2)의 펄스에 응답하여 정극성/부극성 블랙전압(+Vblack, -Vblack)을 출력하고 1 수평기간 단위로 그리고 1 프레임기간 단위로 제2 로직부(92)에 공급되는 블랙전압들의 극성을 반전시킨다. 액정표시패널의 액정셀들에 충전되는 전압이 높을수록 액정셀들의 투과율이 낮아지는 노멀리 화이트 모드(Normally white mode)로 구동할 때 정극성 블랙전압(+Vblack)은 게이트펄스의 하이논리전압인 게이트하이전압(Gate high voltage, Vgh)와 같은 전위로 발생될 수 있고, 부극성 블랙전압(-Vblack)은 게이트펄스의 로우논리전압인 게이트로우전압(Gate low voltage, Vgl)와 같은 전위로 발생될 수 있다.
- [0040] 제2 로직부(92)는 제2 소스 출력 인에이블신호(SOE2)의 펄스에 동기하여 제1 로직부(91)로부터의 블랙전압(+Vblack, -Vblack)을 제3 로직부(93)에 공급하는 반면, 제2 소스 출력 인에이블신호(SOE2)의 로우논리시간 동안 DAC(85)로부터의 정극성/부극성 아날로그 비디오 데이터전압(+Vdata, -Vdata)을 제3 로직부(93)에 공급한다. 따라서, 제2 로직부(92)는 제2 소스 출력인에이블신호(SOE2)의 1 주기 즉, 대략 1 수평기간 동안 정극성/부극성 데이터전압(+Vdata, -Vdata)와 정극성/부극성 블랙전압(+Vblack, -Vblack)을 연속으로 공급한다.
- [0041] 제3 로직부(93)는 제1 소스 출력 인에이블신호(SOE1)의 펄스에 동기하여 차지쉐어전압(Vshare)이나 공통전압(Vcom)을 출력버퍼를 통해 데이터라인들(64)에 공급하는 반면, 제1 소스 출력 인에이블신호(SOE1)의 로우논리시간 동안 제2 로직부(92)로부터의 정극성/부극성 데이터전압(+Vdata, -Vdata)와 정극성/부극성 블랙전압(+Vblack, -Vblack)을 출력버퍼를 통해 데이터라인들(64)에 공급한다. 따라서, 제3 로직부(93)는 제1 소스 출력인에이블신호(SOE1)에 응답하여 후술하는 제1 실시예와 같이 1 수평기간 내에서 차지쉐어전압(Vshare)이나 공통전압(Vcom), 정극성/부극성 데이터전압(+Vdata, -Vdata), 정극성/부극성 블랙전압(+Vblack, -Vblack)의 순으로 아날로그 전압을 데이터라인들(64)에 공급한다. 또한, 제3 로직부(93)는 제1 소스 출력인에이블신호(SOE1)에 응답하여 후술하는 제2 실시예와 같이 1 수평기간 내에서 차지쉐어전압(Vshare)이나 공통전압(Vcom), 정극성/부극성 블랙전압(+Vblack, -Vblack), 정극성/부극성 데이터전압(+Vdata, -Vdata)의 순으로 아날로그 전압을 데이터라인들(64)에 공급할 수 있다.
- [0042] 도 10은 본 발명의 제1 실시예에 따른 비디오 데이터전압과 블랙전압의 스캐닝 동작을 보여 주는 도면이다. 도 11은 도 10과 같은 스캐닝 동작에 의해 액정셀에 충전되는 전압을 나타내는 도면이다. 도 12a는 도 10에서 T1 기간 동안 발생하는 게이트 타이밍 제어신호(GSP1, GSC, GOE1~GOE3), 제1 및 제2 소스 출력 인에이블신호들(SOE1, SOE2), 제1 게이트 드라이브 IC(631)로부터 순차적으로 출력되는 게이트펄스(G1~G6)을 보여 주는 파형도이다. 도 12a에 있어서, 게이트펄스(G1~G6)에 표시된 'D'는 액정셀에 충전되는 데이터전압을 의미한다. 도 12b는 도 10에서 T3 기간 동안 발생하는 게이트 타이밍 제어신호(GSP2, GSC, GOE1~GOE3), 제1 및 제2 소스 출력 인에이블신호들(SOE1, SOE2), 제1 게이트 드라이브 IC(631)로부터 순차적으로 출력되는 게이트펄스 등을 보여 주는 파형도이다. 도 12b에 있어서, 게이트펄스(G1~G6)에 표시된 'B'는 액정셀에 충전되는 블랙전압을 의미한다.
- [0043] 도 10 내지 도 12b를 참조하면, 액정표시패널의 블록들(BL1 내지 BL3) 각각은 1 프레임기간(또는 1 Vertical 기간) 동안, 정극성/부극성 아날로그 비디오 데이터전압 충전, 데이터전압 유지기간, 블랙전압 충전 및 유지기간으로 시분할 구동된다. 블랙전압 충전 및 유지기간은 도 10에서 1 프레임기간 대비 대략 30%이나 이에 한정되지 않는다. 블랙 충전 및 유지기간은 제1 및 제2 게이트 스타트펄스(GSP1, GSP2) 사이의 지연시간 조절에 의해 1 프레임기간 대비 대략 30%~70% 사이의 기간으로 설정될 수 있다.
- [0044] 액정셀들 각각은 데이터 구동회로(62)의 출력 제어회로(86)에 의해 도 11과 같이 제1 소스 출력 인에이블신호(SOE1)의 펄스가 발생하는 동안 차지쉐어전압(Vshare)이나 공통전압(Vcom)을 충전한 후에, 제1 및 제2 소스 출

력 인에이블신호들(SOE1, SOE2)이 로우논리를 유지할 때 정극성/부극성 아날로그 비디오 데이터전압을 충전한다. 그리고 액정셀들 각각은 데이터 구동회로(62)의 출력 제어회로(86)에 의해 제2 소스 출력 인에이블신호(SOE2)의 펄스가 발생하는 동안 정극성/부극성 블랙전압을 충전한다. 액정셀의 블랙전압 충전시간은 제2 소스 출력 인에이블신호(SOE2)의 펄스폭으로 조정될 수 있다.

[0045] T1 기간 동안, 제1 게이트 드라이브 IC(631)는 도 12a와 같은 제1 게이트 스타트 펄스(GSP1)에 응답하여 동작하기 시작한다. 제1 게이트 드라이브 IC(631)는 제1 게이트 출력 인에이블신호(GOE1)의 로우논리기간 동안 대략 1/2 수평기간 이하의 펄스폭을 갖는 게이트 펄스를 출력하고 그 게이트펄스를 게이트 쉬프트 클럭(GSC)에 따라 쉬프트시킨다. 제1 블록(BL1)에 포함된 게이트라인들에는 대략 1/2 수평기간 이하의 게이트펄스(G1~G6)가 순차적으로 공급된다. T1 기간 동안, 제1 블록(BL1)의 게이트라인들에 공급되는 게이트펄스(G1~G6)는 도 12a와 같이 제1 게이트 출력 인에이블신호(GOE1)와 소스 출력인에이블신호들(SOE1, SOE1)의 타이밍에 의해 정극성/부극성 아날로그 비디오 데이터전압(+Vdata, -Vdata)에 동기된다. 따라서, 제1 블록(BL1)의 액정셀들은 T1 기간 동안 정극성/부극성 아날로그 비디오 데이터전압(+Vdata, -Vdata)을 충전한다.

[0046] T1 기간 동안, 제2 게이트 드라이브 IC(632)는 제1 게이트 드라이브 IC(631)로부터 전달된 캐리신호에 응답하여 동작하기 시작한다. 제2 게이트 드라이브 IC(632)는 제2 게이트 출력 인에이블신호(GOE2)의 로우논리기간 동안 대략 1/2 수평기간 이하의 펄스폭을 갖는 게이트 펄스를 출력하고 그 게이트펄스를 게이트 쉬프트 클럭(GSC)에 따라 쉬프트시킨다. 제2 블록(BL2)에 포함된 게이트라인들에는 대략 1/2 수평기간 이하의 게이트펄스가 순차적으로 공급된다. T1 기간 동안, 제2 블록(BL2)의 게이트라인들에 공급되는 게이트펄스는 제2 게이트 출력 인에이블신호(GOE2)와 소스 출력인에이블신호들(SOE1, SOE1)의 타이밍에 의해 정극성/부극성 블랙전압(+Vblack, -Vblack)에 동기된다. 따라서, 제2 블록(BL2)의 액정셀들은 T1 기간 동안 정극성/부극성 블랙전압(+Vblack, -Vblack)을 충전한다.

[0047] T1 기간 동안, 제3 게이트 드라이브 IC(633)에는 제2 게이트 드라이브 IC(632)로부터 캐리신호가 전달되지 않는다. 이 때문에 T1 기간 동안 제3 게이트 드라이브 IC(633)는 게이트펄스를 발생하지 않는다. 그 결과, 제3 블록(BL3)의 액정셀들은 이전에 충전하였던 정극성/부극성 아날로그 비디오 데이터전압(+Vdata, -Vdata)을 유지한다.

[0048] T2 기간 동안, 제1 게이트 드라이브 IC(631)에는 게이트 스타트 펄스가 공급되지 않는다. 이 때문에 T2 기간 동안 제1 게이트 드라이브 IC(631)는 게이트펄스를 발생하지 않는다. 그 결과, 제1 블록(BL1)의 액정셀들은 T1 기간에 충전하였던 정극성/부극성 아날로그 비디오 데이터전압(+Vdata, -Vdata)을 유지한다.

[0049] 전술한 바와 같이, T1 기간 동안 제1 게이트 드라이브 IC(631)는 게이트펄스를 마지막 게이트 출력 채널까지 쉬프트시킨 후에 T2 기간의 시작과 동시에 제2 게이트 드라이브 IC(632)의 게이트 스타트 펄스 입력단자에 캐리신호를 전달한다. T2 기간 동안, 제2 게이트 드라이브 IC(632)는 제1 게이트 드라이브 IC(631)로부터의 캐리신호에 따라 동작하여 제2 게이트 출력 인에이블신호(GOE2)의 로우논리기간 동안 대략 1/2 수평기간 이하의 펄스폭을 갖는 게이트 펄스를 출력하고 그 게이트펄스를 게이트 쉬프트 클럭(GSC)에 따라 쉬프트시킨다. T2 기간 동안, 제2 블록(BL2)에 포함된 게이트라인들에는 정극성/부극성 아날로그 비디오 데이터전압(+Vdata, -Vdata)에 동기되는 대략 1/2 수평기간 이하의 게이트펄스가 순차적으로 공급된다. 따라서, 제2 블록(BL2)의 액정셀들은 T2 기간 동안 정극성/부극성 아날로그 비디오 데이터전압(+Vdata, -Vdata)을 충전한다.

[0050] 전술한 바와 같이, T1 기간 동안 제2 게이트 드라이브 IC(632)는 게이트펄스를 마지막 게이트 출력 채널까지 쉬프트시킨 후에 T2 기간의 시작과 동시에 제3 게이트 드라이브 IC(633)의 게이트 스타트 펄스 입력단자에 캐리신호를 전달한다. T2 기간 동안, 제3 게이트 드라이브 IC(633)는 제2 게이트 드라이브 IC(632)로부터의 캐리신호에 따라 동작하여 제3 게이트 출력 인에이블신호(GOE3)의 로우논리기간 동안 대략 1/2 수평기간 이하의 펄스폭을 갖는 게이트 펄스를 출력하고 그 게이트펄스를 게이트 쉬프트 클럭(GSC)에 따라 쉬프트시킨다. T2 기간 동안, 제3 블록(BL3)에 포함된 게이트라인들에는 정극성/부극성 블랙전압(+Vblack, -Vblack)에 동기되는 대략 1/2 수평기간 이하의 게이트펄스가 순차적으로 공급된다. 따라서, 제3 블록(BL3)의 액정셀들은 T2 기간 동안 정극성/부극성 블랙전압(+Vblack, -Vblack)을 충전한다.

[0051] T3 기간 동안, 제1 게이트 드라이브 IC(631)는 도 12b와 같은 제2 게이트 스타트 펄스(GSP2)에 응답하여 동작하기 시작한다. 제1 게이트 드라이브 IC(631)는 제1 게이트 출력 인에이블신호(GOE1)의 로우논리기간 동안 대략 1/2 수평기간 이하의 펄스폭을 갖는 게이트 펄스를 출력하고 그 게이트펄스를 게이트 쉬프트 클럭(GSC)에 따라 쉬프트시킨다. 제1 블록(BL1)에 포함된 게이트라인들에는 대략 1/2 수평기간 이하의 게이트펄스(G1~G6)가 순차적으로 공급된다. T3 기간 동안, 제1 블록(BL1)의 게이트라인들에 공급되는 게이트펄스(G1~G6)는 도 12b와 같

이 제1 게이트 출력 인에이블신호(GOE1)와 소스 출력인에이블신호들(SOE1, SOE1)의 타이밍에 의해 정극성/부극성 블랙전압(+Vblack, -Vblack)에 동기된다. 따라서, 제1 블록(BL1)의 액정셀들은 T3 기간 동안 정극성/부극성 블랙전압(+Vblack, -Vblack)을 충전한다.

[0052] T3 기간 동안, 제2 게이트 드라이브 IC(632)에는 제1 게이트 드라이브 IC(631)로부터 캐리신호가 전달되지 않는다. 이 때문에 T3 기간 동안 제2 게이트 드라이브 IC(632)는 게이트펄스를 발생하지 않는다. 그 결과, 제2 블록(BL2)의 액정셀들은 T2 기간에 충전하였던 정극성/부극성 아날로그 비디오 데이터전압(+Vdata, -Vdata)을 유지한다.

[0053] 전술한 바와 같이, T2 기간 동안 제2 게이트 드라이브 IC(632)는 게이트펄스를 마지막 게이트 출력 채널까지 쉬프트시킨 후에 T3 기간의 시작과 동시에 제3 게이트 드라이브 IC(633)의 게이트 스타트 펄스 입력단자에 캐리신호를 전달한다. T3 기간 동안, 제3 게이트 드라이브 IC(633)는 제2 게이트 드라이브 IC(632)로부터의 캐리신호에 따라 동작하여 제3 게이트 출력 인에이블신호(GOE3)의 로우논리기간 동안 대략 1/2 수평기간 이하의 펄스폭을 갖는 게이트 펄스를 출력하고 그 게이트펄스를 게이트 쉬프트 클럭(GSC)에 따라 쉬프트시킨다. T3 기간 동안, 제3 블록(BL3)에 포함된 게이트라인들에는 정극성/부극성 아날로그 비디오 데이터전압(+Vdata, -Vdata)에 동기되는 대략 1/2 수평기간 이하의 게이트펄스가 순차적으로 공급된다. 따라서, 제3 블록(BL3)의 액정셀들은 T3 기간 동안 정극성/부극성 아날로그 비디오 데이터전압(+Vdata, -Vdata)을 충전한다.

[0054] 도 10, 도 12a 및 도 12b와 같이 제1 게이트 스타트 펄스(GSP1)와 제2 게이트 스타트펄스(GSP2) 사이의 시간차는 액정셀의 데이터전압 충전 및 블랙전압 충전 사이의 시간차를 결정하며 1/4 프레임기간 이상 3/4 프레임기간 이하로 설정된다. 따라서, 액정셀에 충전되는 데이터전압이나 블랙전압의 충전 및 유지시간에 따라 제1 및 제2 게이트 스타트 펄스(GSP1, GSP2)의 시간차가 조정될 수 있다.

[0055] 도 13은 본 발명의 제3 실시예에 따른 블랙전압과 비디오 데이터전압의 스캐닝 동작을 보여 주는 도면이다. 도 14는 도 13과 같은 스캐닝 동작에 의해 액정셀에 충전되는 전압을 나타내는 도면이다. 도 15a는 도 13에서 T1 기간 동안 발생하는 게이트 타이밍 제어신호(GSP1, GSC, GOE1~GOE3), 제1 및 제2 소스 출력 인에이블신호들(SOE1, SOE2), 제1 게이트 드라이브 IC(631)로부터 순차적으로 출력되는 게이트펄스(G1~G6)을 보여 주는 파형도이다. 도 15a에 있어서, 게이트펄스(G1~G6)에 표시된 'B'는 액정셀에 충전되는 블랙전압을 의미한다. 도 15b는 도 13에서 T3 기간 동안 발생하는 게이트 타이밍 제어신호(GSP2, GSC, GOE1~GOE3), 제1 및 제2 소스 출력 인에이블신호들(SOE1, SOE2), 제1 게이트 드라이브 IC(631)로부터 순차적으로 출력되는 게이트펄스 등을 보여 주는 파형도이다. 도 15b에 있어서, 게이트펄스(G1~G6)에 표시된 'D'는 액정셀에 충전되는 블랙전압을 의미한다.

[0056] 도 13 내지 도 15b를 참조하면, 액정표시패널의 블록들(BL1 내지 BL3) 각각은 1 프레임기간(또는 1 Vertical 기간) 동안, 정극성/부극성 블랙전압 충전, 블랙전압 유지, 및 정극성/부극성 아날로그 비디오 데이터전압 충전으로 시분할 구동된다. 블랙 충전 및 유지기간은 도 10에서 1 프레임기간 대비 대략 70%이나 이에 한정되지 않는다. 블랙 충전 및 유지기간은 제1 및 제2 게이트 스타트펄스(GSP1, GSP2) 사이의 지연시간 조절에 의해 1 프레임기간 대비 대략 30%~70% 사이의 기간으로 설정될 수 있다.

[0057] 액정셀들 각각은 데이터 구동회로(62)의 출력 제어회로(86)에 의해 도 14와 같이 제1 소스 출력 인에이블신호(SOE1)의 펄스가 발생하는 동안 차지쉐어전압(Vshare)이나 공통전압(Vcom)을 충전한 후에, 제2 소스 출력 인에이블신호(SOE2)의 펄스가 발생하는 동안 정극성/부극성 블랙전압을 충전한다. 그리고 액정셀들 각각은 데이터 구동회로(62)의 출력 제어회로(86)에 의해 제1 및 제2 소스 출력 인에이블신호들(SOE1, SOE2)이 로우논리를 유지할 때 정극성/부극성 아날로그 비디오 데이터전압을 충전한다.

[0058] T1 기간 동안, 제1 게이트 드라이브 IC(631)는 도 15a와 같은 제1 게이트 스타트 펄스(GSP1)에 응답하여 동작하기 시작한다. 제1 게이트 드라이브 IC(631)는 제1 게이트 출력 인에이블신호(GOE1)의 로우논리기간 동안 대략 1/2 수평기간 이하의 펄스폭을 갖는 게이트 펄스를 출력하고 그 게이트펄스를 게이트 쉬프트 클럭(GSC)에 따라 쉬프트시킨다. 제1 블록(BL1)에 포함된 게이트라인들에는 대략 1/2 수평기간 이하의 게이트펄스(G1~G6)가 순차적으로 공급된다. T1 기간 동안, 제1 블록(BL1)의 게이트라인들에 공급되는 게이트펄스(G1~G6)는 도 15a와 같이 제1 게이트 출력 인에이블신호(GOE1)와 소스 출력인에이블신호들(SOE1, SOE1)의 타이밍에 의해 정극성/부극성 블랙전압(+Vblack, -Vblack)에 동기된다. 따라서, 제1 블록(BL1)의 액정셀들은 T1 기간 동안 정극성/부극성 블랙전압(+Vblack, -Vblack)을 충전한다.

[0059] T1 기간 동안, 제2 게이트 드라이브 IC(632)는 제1 게이트 드라이브 IC(631)로부터 전달된 캐리신호에 응답하여

동작하기 시작한다. 제2 게이트 드라이브 IC(632)는 제2 게이트 출력 인에이블신호(GOE2)의 로우논리기간 동안 대략 1/2 수평기간 이하의 펄스폭을 갖는 게이트 펄스를 출력하고 그 게이트펄스를 게이트 쉬프트 클럭(GSC)에 따라 쉬프트시킨다. 제2 블록(BL2)에 포함된 게이트라인들에는 대략 1/2 수평기간 이하의 게이트펄스가 순차적으로 공급된다. T1 기간 동안, 제2 블록(BL1)의 게이트라인들에 공급되는 게이트펄스는 제2 게이트 출력 인에이블신호(GOE2)와 소스 출력인에이블신호들(SOE1, SOE1)의 타이밍에 의해 정극성/부극성 아날로그 비디오 데이터전압(+Vdata, -Vdata)에 동기된다. 따라서, 제2 블록(BL2)의 액정셀들은 T1 기간 동안 정극성/부극성 아날로그 비디오 데이터전압(+Vdata, -Vdata)을 충전한다.

[0060] T1 기간 동안, 제3 게이트 드라이브 IC(633)에는 제2 게이트 드라이브 IC(632)로부터 캐리신호가 전달되지 않는다. 이 때문에 T1 기간 동안 제3 게이트 드라이브 IC(633)는 게이트펄스를 발생하지 않는다. 그 결과, 제3 블록(BL3)의 액정셀들은 이전에 충전하였던 정극성/부극성 블랙전압(+Vblack, -Vblack)을 유지한다.

[0061] T2 기간 동안, 제1 게이트 드라이브 IC(631)에는 게이트 스타트 펄스가 공급되지 않는다. 이 때문에 T2 기간 동안 제1 게이트 드라이브 IC(631)는 게이트펄스를 발생하지 않는다. 그 결과, 제1 블록(BL1)의 액정셀들은 T1 기간에 충전하였던 정극성/부극성 블랙전압(+Vblack, -Vblack)을 유지한다.

[0062] 전술한 바와 같이, T1 기간 동안 제1 게이트 드라이브 IC(631)는 게이트펄스를 마지막 게이트 출력 채널까지 쉬프트시킨 후에 T2 기간의 시작과 동시에 제2 게이트 드라이브 IC(632)의 게이트 스타트 펄스 입력단자에 캐리신호를 전달한다. T2 기간 동안, 제2 게이트 드라이브 IC(632)는 제1 게이트 드라이브 IC(631)로부터의 캐리신호에 따라 동작하여 제2 게이트 출력 인에이블신호(GOE2)의 로우논리기간 동안 대략 1/2 수평기간 이하의 펄스폭을 갖는 게이트 펄스를 출력하고 그 게이트펄스를 게이트 쉬프트 클럭(GSC)에 따라 쉬프트시킨다. T2 기간 동안, 제2 블록(BL2)에 포함된 게이트라인들에는 정극성/부극성 블랙전압(+Vblack, -Vblack)에 동기되는 대략 1/2 수평기간 이하의 게이트펄스가 순차적으로 공급된다. 따라서, 제2 블록(BL2)의 액정셀들은 T2 기간 동안 정극성/부극성 블랙전압(+Vblack, -Vblack)을 충전한다.

[0063] 전술한 바와 같이, T1 기간 동안 제2 게이트 드라이브 IC(632)는 게이트펄스를 마지막 게이트 출력 채널까지 쉬프트시킨 후에 T2 기간의 시작과 동시에 제3 게이트 드라이브 IC(633)의 게이트 스타트 펄스 입력단자에 캐리신호를 전달한다. T2 기간 동안, 제3 게이트 드라이브 IC(633)는 제2 게이트 드라이브 IC(632)로부터의 캐리신호에 따라 동작하여 제3 게이트 출력 인에이블신호(GOE3)의 로우논리기간 동안 대략 1/2 수평기간 이하의 펄스폭을 갖는 게이트 펄스를 출력하고 그 게이트펄스를 게이트 쉬프트 클럭(GSC)에 따라 쉬프트시킨다. T2 기간 동안, 제3 블록(BL3)에 포함된 게이트라인들에는 정극성/부극성 아날로그 비디오 데이터전압(+Vdata, -Vdata)에 동기되는 대략 1/2 수평기간 이하의 게이트펄스가 순차적으로 공급된다. 따라서, 제3 블록(BL3)의 액정셀들은 T2 기간 동안 정극성/부극성 아날로그 비디오 데이터전압(+Vdata, -Vdata)을 충전한다.

[0064] T3 기간 동안, 제1 게이트 드라이브 IC(631)는 도 15b와 같은 제2 게이트 스타트 펄스(GSP2)에 응답하여 동작하기 시작한다. 제1 게이트 드라이브 IC(631)는 제1 게이트 출력 인에이블신호(GOE1)의 로우논리기간 동안 대략 1/2 수평기간 이하의 펄스폭을 갖는 게이트 펄스를 출력하고 그 게이트펄스를 게이트 쉬프트 클럭(GSC)에 따라 쉬프트시킨다. 제1 블록(BL1)에 포함된 게이트라인들에는 대략 1/2 수평기간 이하의 게이트펄스(G1-G6)가 순차적으로 공급된다. T3 기간 동안, 제1 블록(BL1)의 게이트라인들에 공급되는 게이트펄스(G1-G6)는 도 15b와 같이 제1 게이트 출력 인에이블신호(GOE1)와 소스 출력인에이블신호들(SOE1, SOE1)의 타이밍에 의해 정극성/부극성 아날로그 비디오 데이터전압(+Vdata, -Vdata)에 동기된다. 따라서, 제1 블록(BL1)의 액정셀들은 T3 기간 동안 정극성/부극성 아날로그 비디오 데이터전압(+Vdata, -Vdata)을 충전한다.

[0065] T3 기간 동안, 제2 게이트 드라이브 IC(632)에는 제1 게이트 드라이브 IC(631)로부터 캐리신호가 전달되지 않는다. 이 때문에 T3 기간 동안 제2 게이트 드라이브 IC(632)는 게이트펄스를 발생하지 않는다. 그 결과, 제2 블록(BL2)의 액정셀들은 T2 기간에 충전하였던 정극성/부극성 블랙전압(+Vblack, -Vblack)을 유지한다.

[0066] 전술한 바와 같이, T2 기간 동안 제2 게이트 드라이브 IC(632)는 게이트펄스를 마지막 게이트 출력 채널까지 쉬프트시킨 후에 T3 기간의 시작과 동시에 제3 게이트 드라이브 IC(633)의 게이트 스타트 펄스 입력단자에 캐리신호를 전달한다. T3 기간 동안, 제3 게이트 드라이브 IC(633)는 제2 게이트 드라이브 IC(632)로부터의 캐리신호에 따라 동작하여 제3 게이트 출력 인에이블신호(GOE3)의 로우논리기간 동안 대략 1/2 수평기간 이하의 펄스폭을 갖는 게이트 펄스를 출력하고 그 게이트펄스를 게이트 쉬프트 클럭(GSC)에 따라 쉬프트시킨다. T3 기간 동안, 제3 블록(BL3)에 포함된 게이트라인들에는 정극성/부극성 블랙전압(+Vblack, -Vblack)에 동기되는 대략 1/2 수평기간 이하의 게이트펄스가 순차적으로 공급된다. 따라서, 제3 블록(BL3)의 액정셀들은 T3 기간 동안 정극성/부극성 블랙전압(+Vblack, -Vblack)을 충전한다.

[0067] 도 13, 도 15a 및 도 15b와 같이 제1 게이트 스타트 펄스(GSP1)와 제2 게이트 스타트펄스(GSP2) 사이의 시간차는 액정셀의 데이터전압 충전 및 블랙전압 충전 사이의 시간차를 결정하며 1/4 프레임기간 이상 3/4 프레임기간 이하로 설정된다. 따라서, 액정셀에 충전되는 데이터전압이나 블랙전압의 충전 및 유지시간에 따라 제1 및 제2 게이트 스타트 펄스(GSP1, GSP2)의 시간차가 조정될 수 있다.

[0068] 상술한 바와 같이, 본 발명의 실시예에 따른 액정표시장치와 그 구동방법은 1 프레임기간 내에 동일한 펄스폭의 게이트 스타트 펄스를 발생하고 게이트 드라이브 IC들 각각에 독립적인 게이트 출력 인에이블신호를 인가하며, 위상이 다른 2 개의 소스 출력 인에이블신호들을 이용하여 액정셀들에 충전되는 데이터전압과 블랙전압을 제어한다. 액정셀들은 대략 1/2 수평기간 동안 데이터전압을 충전한 후에 대략 1/2 수평기간 동안 블랙전압을 충전하거나 그 역으로 블랙전압과 데이터전압을 충전한다. 그 결과, 본 발명은 많은 양의 데이터를 저장할 필요가 없으므로 필요한 메모리량을 최소화할 수 없으며 타이밍 콘트롤러의 로직회로 및 제어 알고리즘을 단순하게 하여 임펠씨브 구동을 구현할 수 있다.

[0069] 한편, 게이트 펄스의 펄스폭은 1/2 수평기간에 한정되는 것이 아니라 게이트 타이밍 제어신호의 조정을 통하여 0보다 크고 1 수평기간 이내에서 조정될 수 있다. 다만, 정극성/부극성 아날로그 비디오 데이터전압에 동기되는 게이트 펄스와 정극성/부극성 블랙전압에 동기되는 게이트펄스의 펄스폭 합은 0보다 크고 1 수평기간 이하가 되어야 한다.

[0070] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

[0071] 도 1은 음극선관의 발광특성을 나타내는 도면이다.

[0072] 도 2는 액정표시장치의 유지특성을 나타내는 도면이다.

[0073] 도 3은 관람자가 느끼는 음극선관의 지각영상을 나타내는 도면이다.

[0074] 도 4는 관람자가 느끼는 액정표시장치의 지각영상을 나타내는 도면이다.

[0075] 도 5는 블랙 데이터 방식에서 비디오 데이터 전압과 블랙전압의 스캐닝을 나타내는 도면이다.

[0076] 도 6은 본 발명의 실시예에 따른 액정표시장치를 나타내는 블록도이다.

[0077] 도 7은 도 6에 도시된 게이트 드라이브 IC를 상세히 나타내는 회로도이다.

[0078] 도 8은 도 6에 도시된 데이터 구동회로의 데이터 드라이브 IC를 상세히 나타내는 회로도이다.

[0079] 도 9는 도 8에 도시된 출력 제어회로를 상세히 나타내는 회로도이다.

[0080] 도 10은 본 발명의 제1 실시예에 따른 비디오 데이터전압과 블랙전압의 스캐닝 동작을 보여 주는 도면이다.

[0081] 도 11은 도 10과 같은 스캐닝 동작에 의해 액정셀에 충전되는 전압을 나타내는 파형도이다.

[0082] 도 12a는 도 10에서 T1 기간 동안 발생하는 게이트 타이밍 제어신호, 제1 및 제2 소스 출력 인에이블신호들, 제1 게이트 드라이브 IC로부터 순차적으로 출력되는 게이트펄스 등을 보여 주는 타이밍도이다.

[0083] 도 12b는 도 10에서 T3 기간 동안 발생하는 게이트 타이밍 제어신호, 제1 및 제2 소스 출력 인에이블신호들, 제1 게이트 드라이브 IC로부터 순차적으로 출력되는 게이트펄스 등을 보여 주는 타이밍도이다.

[0084] 도 13은 본 발명의 제2 실시예에 따른 비디오 데이터전압과 블랙전압의 스캐닝 동작을 보여 주는 도면이다.

[0085] 도 14는 도 13과 같은 스캐닝 동작에 의해 액정셀에 충전되는 전압을 나타내는 파형도이다.

[0086] 도 15a는 도 13에서 T1 기간 동안 발생하는 게이트 타이밍 제어신호, 제1 및 제2 소스 출력 인에이블신호들, 제1 게이트 드라이브 IC로부터 순차적으로 출력되는 게이트펄스 등을 보여 주는 파형도이다.

[0087] 도 15b는 도 13에서 T3 기간 동안 발생하는 게이트 타이밍 제어신호, 제1 및 제2 소스 출력 인에이블신호들, 제1 게이트 드라이브 IC로부터 순차적으로 출력되는 게이트펄스 등을 보여 주는 파형도이다.

[0088] <도면의 주요 부분에 대한 부호의 설명>

[0089] 61 : 타이밍 콘트롤러

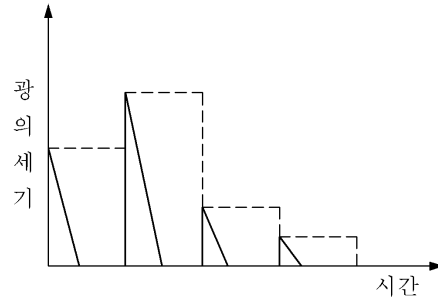
62 : 데이터 구동회로

[0090]

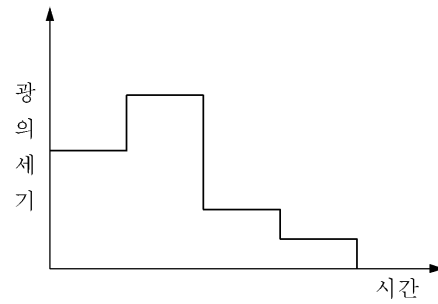
63 : 게이트 구동회로

도면

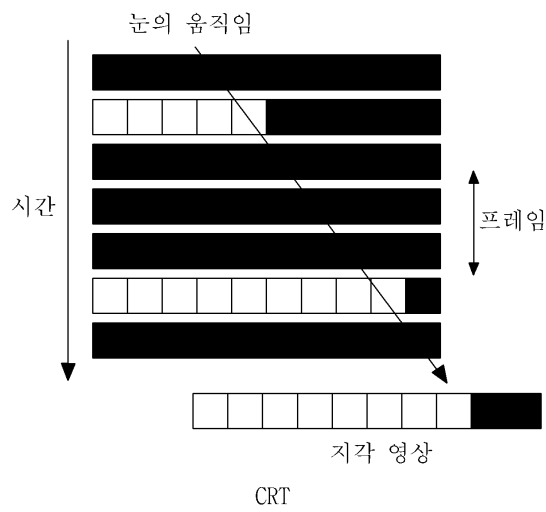
도면1



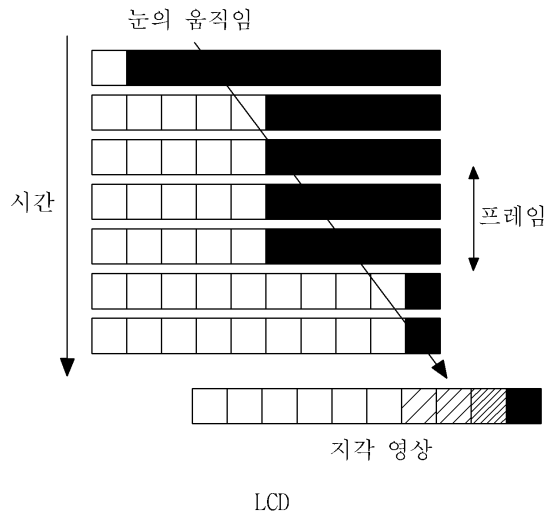
도면2



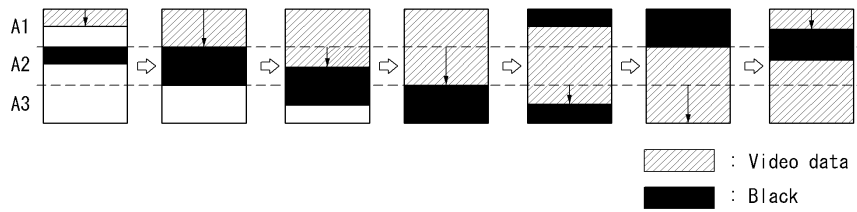
도면3



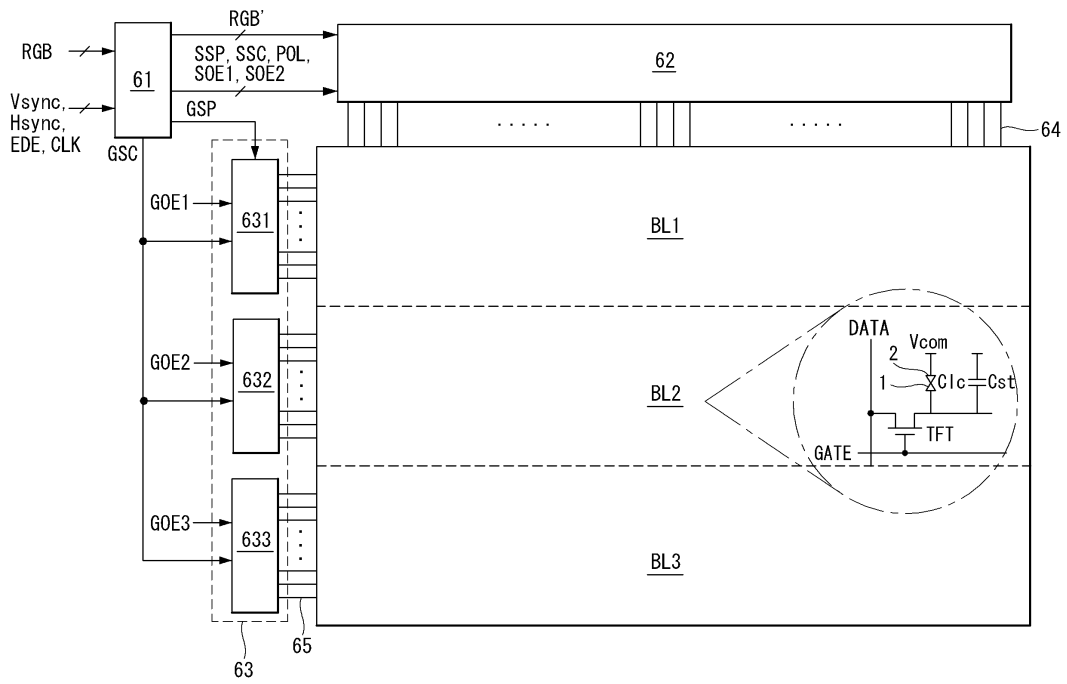
도면4



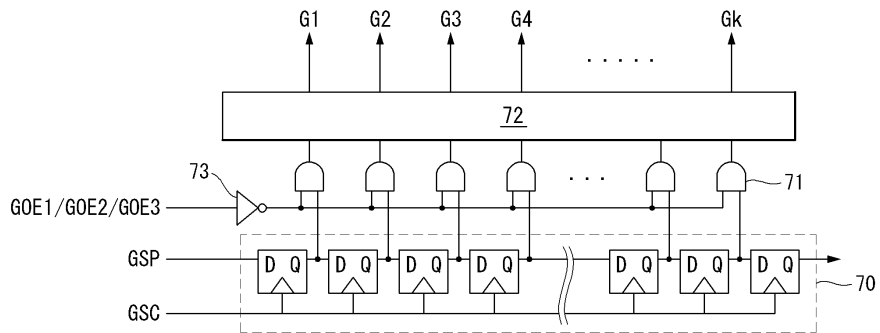
도면5



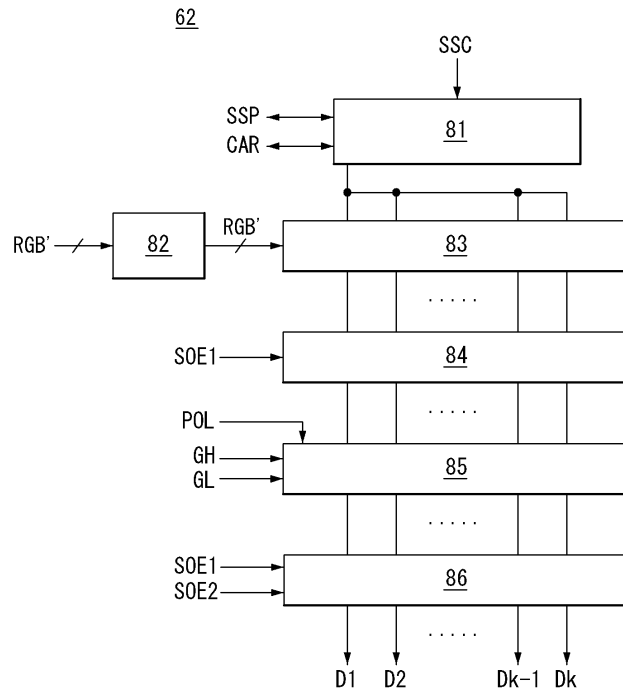
도면6



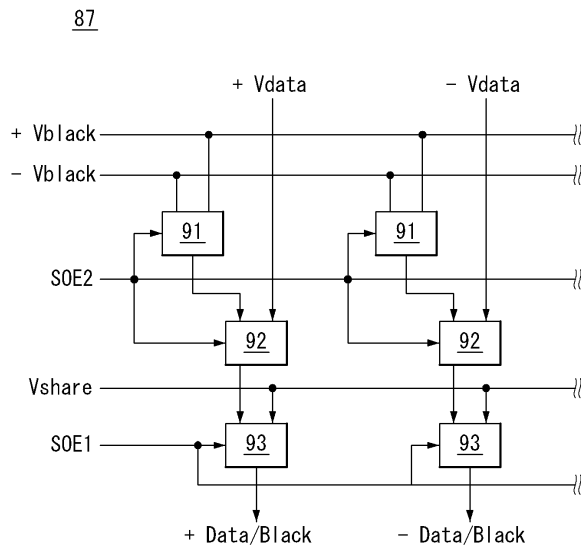
도면7



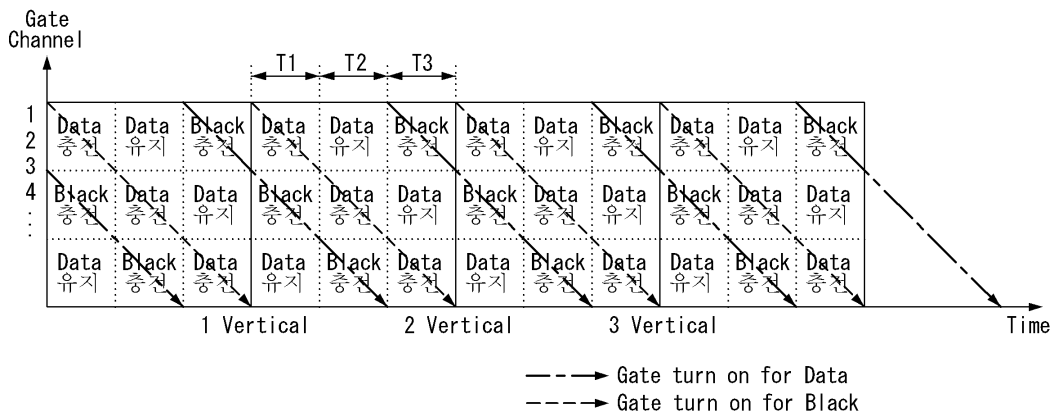
도면8



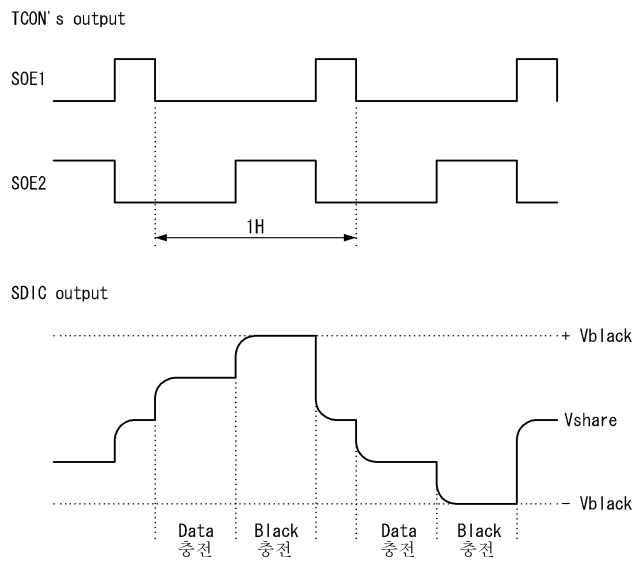
도면9



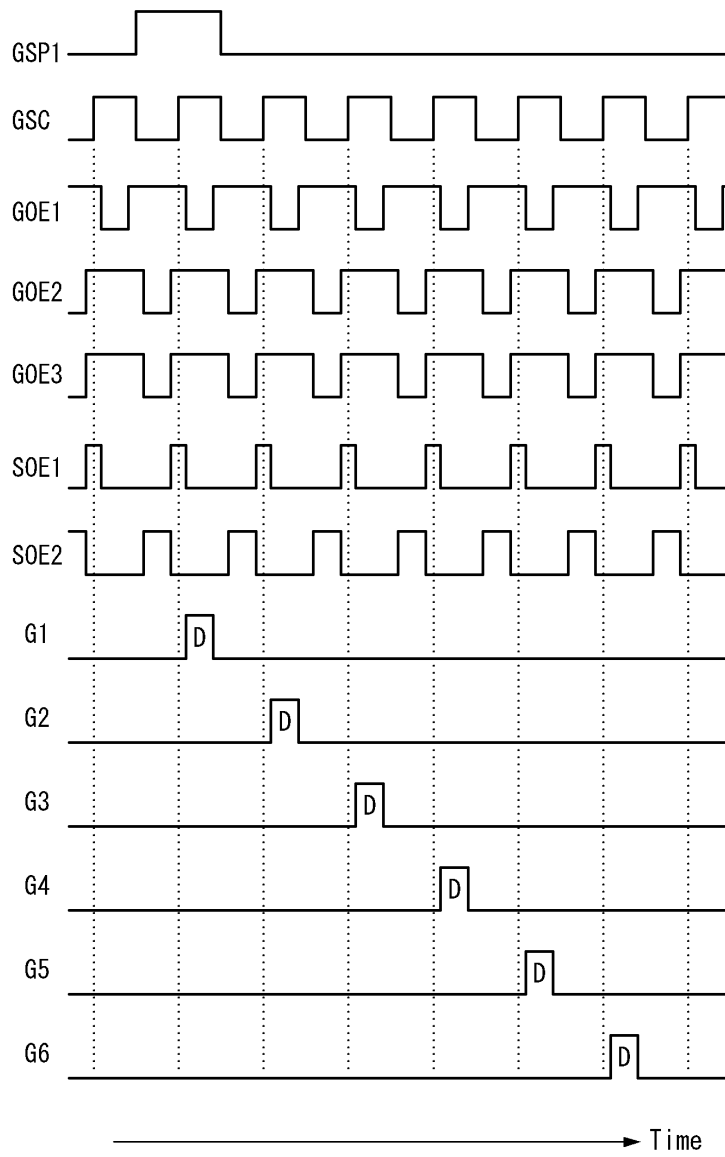
도면10



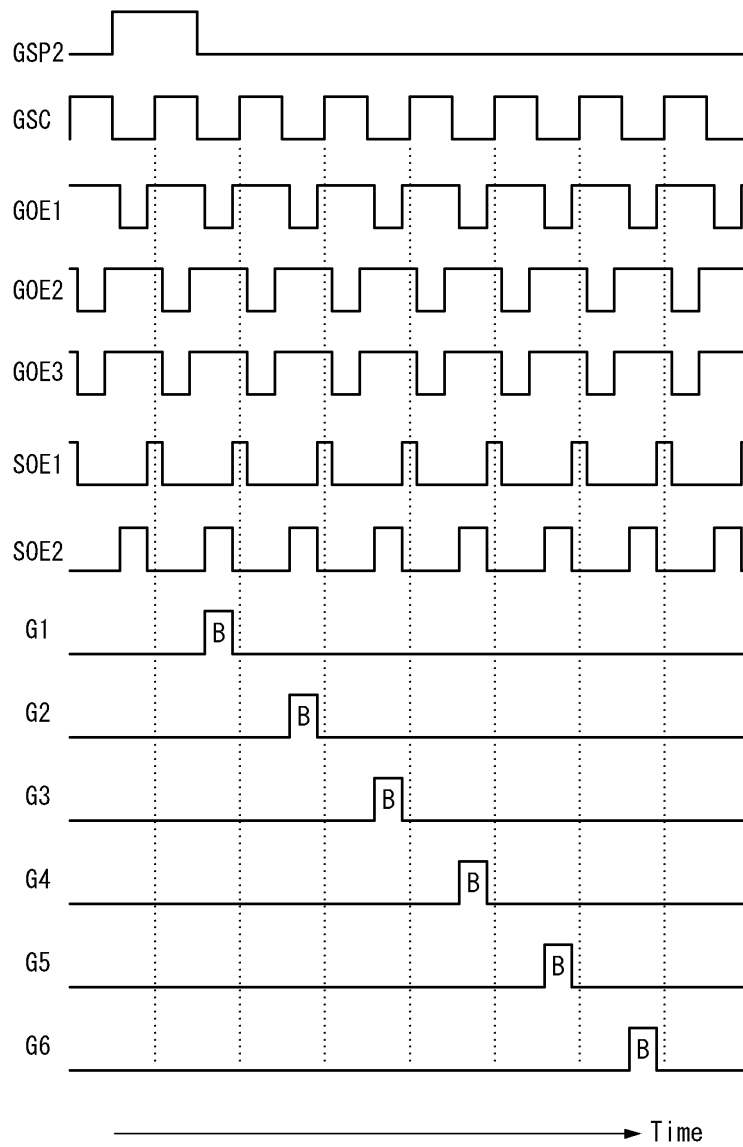
도면11



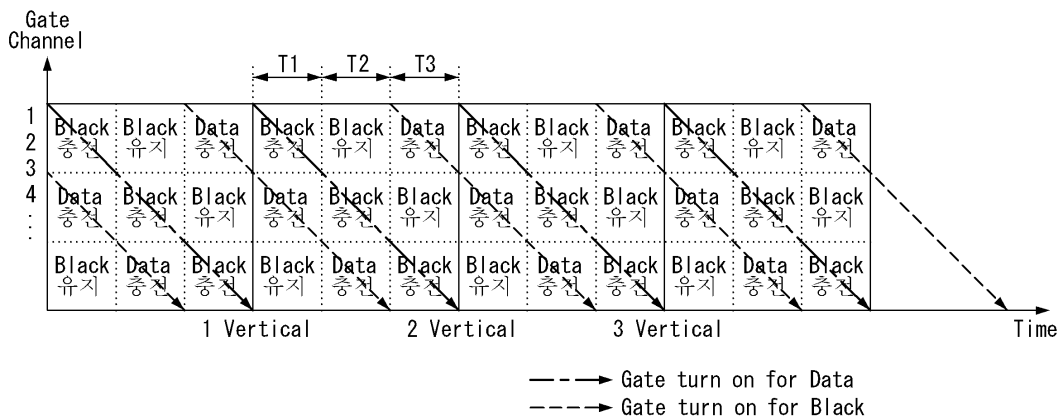
도면12a



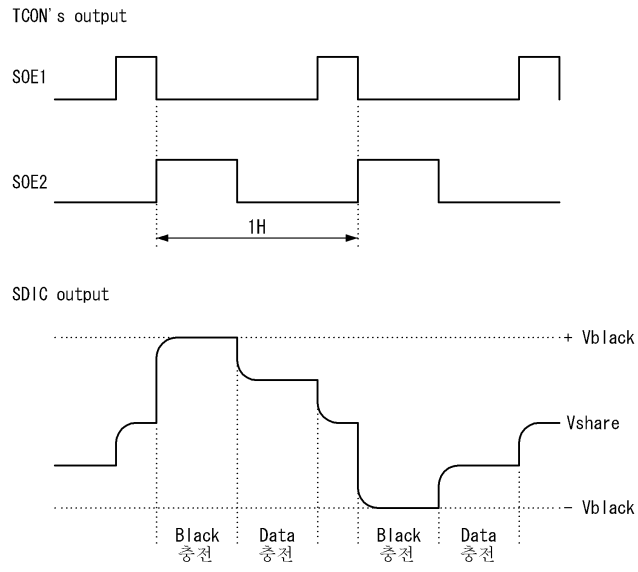
도면12b



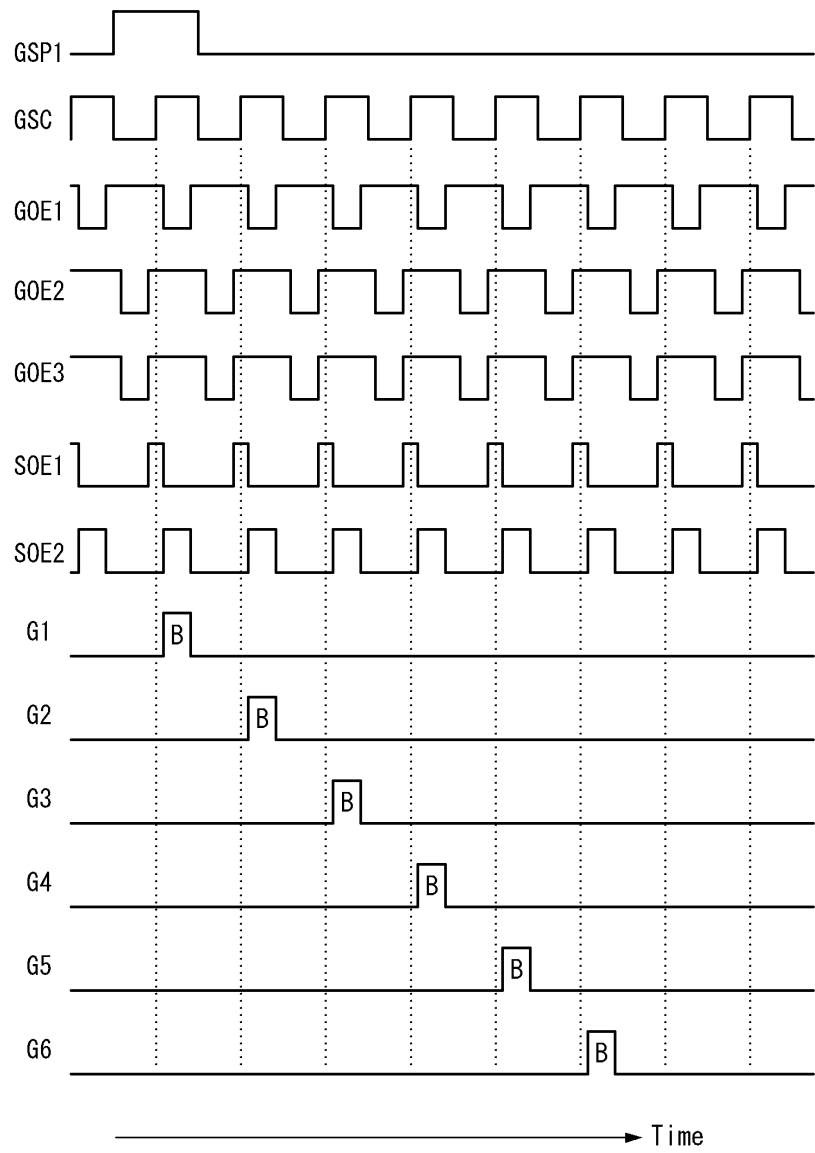
도면13



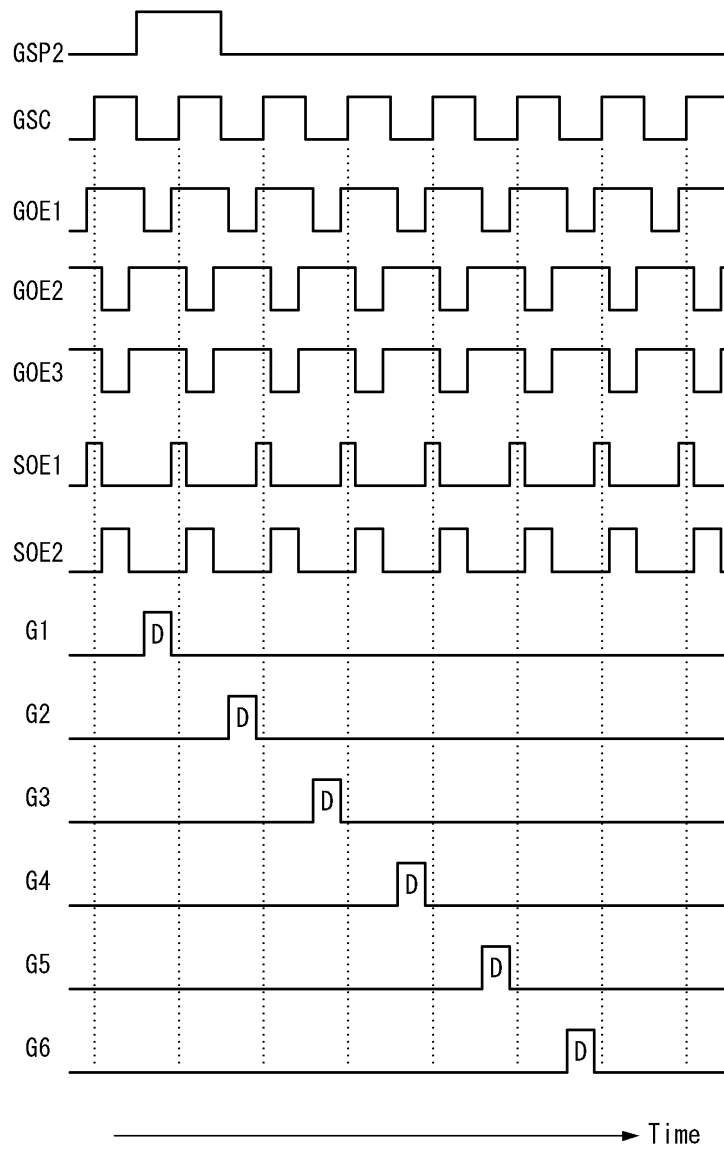
도면14



도면15a



도면15b



专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	KR1020100063575A	公开(公告)日	2010-06-11
申请号	KR1020080122149	申请日	2008-12-03
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM JONG WOO 김종우 CHO SOON DONG 조순동 NAM HYUN TAEK 남현택 KANG JEONG HO 강정호		
发明人	김종우 조순동 남현택 강정호		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G2230/00 G09G3/3688 G09G3/3677 G09G2310/0218 G09G2310/063 G09G2320/0261		
其他公开文献	KR101310379B1		
外部链接	Espacenet		

摘要(译)

本发明涉及液晶显示器，包括数据驱动电路：第一栅极驱动集成电路：将与直极性/负极性模拟视频数据电压同步的栅极脉冲提供给属于LCD面板第一块的栅极线对于第一栅极输出使能信号的低逻辑周期，它根据栅极移位时钟移位第一栅极起始脉冲，并且第二栅极驱动集成电路将与直线性/负极性黑电压同步的栅极脉冲提供给栅极线属于第二栅极输出使能信号的低逻辑周期的LCD面板的第二块，同时根据栅极移位时钟移位从第一栅极驱动集成电路输入的第一进位信号，提供直极性/负极性黑电压响应于第二源输出使能信号的脉冲，数据线提供给str将极性/负极性模拟视频数据电压输入到LCD面板的数据线，将其输入到第一和第二源输出使能信号相同的逻辑。

