(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0042474
(43) 공개일자 2010년04월26일

(51) Int. Cl.
G09G 3/36 (2006.01) *G09G 3/20* (2006.01)
G02F 1/133 (2006.01)
(21) 출원번호 10-2008-0101631
(22) 출원일자 2008년10월16일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 매탄동 416
(72) 발명자
황인재
충청남도 천안시 두정동 1008번지 304호
(74) 대리인
특허법인가산

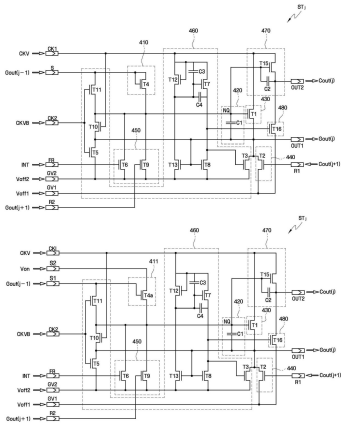
전체 청구항 수 : 총 20 항

(54) 표시 장치 및 이의 구동 방법

(57) 요 약

표시 장치 및 표시 장치의 구동 방법이 제공된다. 본 발명의 실시예들에 따른 표시 장치는 다수의 게이트 라인 및 다수의 데이터 라인을 포함하는 표시 패널 및 다수의 스테이지를 포함하며, 클럭 신호 및 클럭바 신호를 이용하여 다수의 게이트 라인에 다수의 게이트 신호를 제공하는 게이트 구동부로서, 각 스테이지는 각 게이트 라인에 각 게이트 신호를 제공하는 게이트 구동부를 포함하되, 각 스테이지는 게이트 신호를 출력하는 게이트 출력 단자와, 게이트 출력 단자와 연결되며, 제1 게이트 오프 전압을 이용하여 게이트 신호의 레벨을 풀다운시키는 풀다운부와, 게이트 출력 단자와 연결되며, 제1 게이트 오프 전압보다 전압 레벨이 높은 제2 게이트 오프 전압을 이용하여 풀다운된 게이트 신호의 레벨을 제2 게이트 오프 레벨로 유지시키는 홀딩부를 포함한다.

대 표 도



특허청구의 범위

청구항 1

다수의 게이트 라인 및 다수의 데이터 라인을 포함하는 표시 패널; 및

다수의 스테이지를 포함하며, 클럭 신호 및 클럭바 신호를 이용하여 상기 다수의 게이트 라인에 다수의 게이트 신호를 제공하는 게이트 구동부로서, 상기 각 스테이지는 상기 각 게이트 라인에 상기 각 게이트 신호를 제공하는 게이트 구동부를 포함하되,

상기 각 스테이지는 상기 게이트 신호를 출력하는 게이트 출력 단자와,

상기 게이트 출력 단자와 연결되며, 제1 게이트 오프 전압을 이용하여 상기 게이트 신호의 레벨을 풀다운시키는 풀다운부와,

상기 게이트 출력 단자와 연결되며, 상기 제1 게이트 오프 전압보다 전압 레벨이 높은 제2 게이트 오프 전압을 이용하여 상기 풀다운된 게이트 신호의 레벨을 제2 게이트 오프 레벨로 유지시키는 홀딩부를 포함하는 표시 장치.

청구항 2

제 1항에 있어서, 상기 각 스테이지는

캐리 신호를 생성하는 캐리 신호 생성부와,

상기 캐리 신호 생성부와 연결되며, 상기 제1 게이트 오프 전압을 이용하여 상기 캐리 신호의 레벨을 풀다운시키는 캐리 신호 풀다운부를 더 포함하는 표시 장치.

청구항 3

제 2항에 있어서,

상기 각 스테이지는 상기 게이트 출력 단자와 연결되며, 상기 게이트 신호의 레벨을 풀업시키는 풀업부를 더 포함하며,

상기 다수의 스테이지 중 제j 스테이지의(j>1, 단 j는 자연수) 상기 풀업부는 상기 다수의 스테이지 중 제j-1 스테이지의 상기 게이트 신호에 응답하여 인에이블되는 표시 장치.

청구항 4

제 3항에 있어서,

상기 다수의 스테이지 중 제j 스테이지의 상기 풀다운부는 상기 다수의 스테이지 중 제j+1 스테이지의 상기 캐리 신호에 응답하여 인에이블되는 표시 장치.

청구항 5

제 3항에 있어서,

상기 다수의 스테이지는 제1 스테이지 그룹과 제2 스테이지 그룹으로 구분되며,

상기 제1 스테이지 그룹에 포함된 각 스테이지의 상기 풀업부에는 상기 클럭 신호가 제공되며, 상기 제2 스테이지 그룹에 포함된 상기 각 스테이지의 상기 풀업부에는 상기 클럭바 신호가 제공되고,

상기 제1 스테이지 그룹에 포함된 상기 각 스테이지의 상기 캐리 신호 풀다운부는 상기 클럭 신호에 응답하여 인에이블되며, 상기 제2 스테이지 그룹에 포함된 상기 각 스테이지의 상기 캐리 신호 풀다운부는 상기 클럭바 신호에 응답하여 인에이블되는 표시 장치.

청구항 6

제 2항에 있어서,

상기 게이트 신호의 레벨이 상기 제2 게이트 오프 레벨로 유지되는 동안, 상기 캐리 신호의 레벨은 상기 게이트 신호의 레벨보다 낮은 표시 장치.

청구항 7

제 1항에 있어서,

상기 클럭 신호는 제1 및 제2 클럭 신호를 포함하고, 상기 클럭바 신호는 제1 및 제2 클럭바 신호를 포함하며,

상기 게이트 구동부는 제1 클럭 신호 및 제1 클럭바 신호를 이용하여 상기 게이트 신호를 제공하는 제1 게이트 구동부와

상기 제2 클럭 신호 또는 제2 클럭바 신호를 이용하여 상기 게이트 신호를 제공하는 제2 게이트 구동부를 포함하는 표시 장치.

청구항 8

제 7항에 있어서,

상기 제1 게이트 구동부는 상기 표시 패널의 일측에 배치되며, 상기 제2 게이트 구동부는 상기 표시 패널의 타측에 배치되는 표시 장치.

청구항 9

제 1항에 있어서,

상기 각 스테이지는 상기 게이트 출력 단자와 연결되어 상기 게이트 신호의 레벨을 풀업시키는 풀업부를 포함하고,

상기 클럭 신호는 제1 및 제2 클럭 신호를 포함하고, 상기 클럭바 신호는 제1 및 제2 클럭바 신호를 포함하며,

상기 다수의 스테이지는 상기 제1 클럭 신호 및 상기 제1 클럭바 신호를 이용하여 상기 게이트 신호를 제공하는 제1 스테이지 그룹과 상기 제2 클럭 신호 및 상기 제2 클럭바 신호를 이용하여 상기 게이트 신호를 제공하는 제2 스테이지 그룹을 포함하되,

상기 다수의 스테이지 중 제j 스테이지의(j>1, 단 j는 자연수) 상기 풀업부는 상기 다수의 스테이지 중 제j-1 스테이지에서 제공되는 게이트 신호에 응답하여 인에이블되는 표시 장치.

청구항 10

제 1항에 있어서,

상기 게이트 신호가 게이트 온 레벨인 구간은 상기 클럭 신호 또는 클럭바 신호가 하이 레벨인 구간보다 짧은 표시 장치.

청구항 11

제 1항에 있어서,

상기 각 스테이지는 상기 표시 패널 상에 형성된 적어도 하나의 비정질 실리콘 박막 트랜지스터(a-Si TFT)를 포함하는 표시 장치.

청구항 12

다수의 게이트 라인 및 다수의 데이터 라인이 교차된 영역에 정의된 다수의 스위칭 소자를 포함하는 표시 패널; 및

상기 다수의 스위칭 소자를 온/오프시키는 다수의 게이트 신호를 상기 다수의 게이트 라인에 제공하는 게이트 구동부로서, 상기 각 게이트 신호는 상기 스위칭 소자를 턴온(turn-on)시키는 게이트 온 구간 및 상기 게이트 신호를 턴오프(turn-off)시키는 제1 및 제2 게이트 오프 구간을 포함하는 게이트 구동부를 포함하되,

상기 게이트 온 구간에서 상기 게이트 신호는 게이트 온 레벨을 가지고,

상기 제1 게이트 오프 구간에서 상기 게이트 신호는 상기 게이트 온 레벨에서 제3 게이트 오프 레벨로 천이되어 유지되며,

상기 제2 게이트 오프 구간에서 상기 게이트 신호는 상기 제1 게이트 오프 레벨에서 상기 제3 게이트 오프 레벨보다 높은 제2 게이트 오프 레벨로 천이되어 유지되는 표시 장치.

청구항 13

제 12항에 있어서,

상기 게이트 구동부는 상기 각 게이트 신호를 출력하는 스테이지를 다수개 포함하며, 상기 각 스테이지는

상기 게이트 신호를 출력하는 게이트 출력 단자와,

상기 게이트 출력 단자와 연결되며, 제1 게이트 오프 전압을 이용하여 상기 게이트 신호의 레벨을 상기 제3 게이트 오프 레벨로 풀다운시키는 풀다운부와,

상기 게이트 출력 단자와 연결되며, 상기 제1 게이트 전압보다 전압 레벨이 높은 제2 게이트 오프 전압을 이용하여 상기 게이트 신호를 상기 제2 게이트 오프 레벨로 유지시키는 홀딩부와,

캐리 신호를 생성하는 캐리 신호 생성부와,

상기 캐리 신호 생성부와 연결되며, 상기 제1 게이트 오프 전압을 이용하여 상기 캐리 신호의 레벨을 상기 제1 게이트 오프 레벨로 풀다운시키는 캐리 신호 풀다운부를 포함하는 표시 장치.

청구항 14

제 13항에 있어서,

상기 각 스테이지는 상기 게이트 출력 신호 노드와 연결되어 상기 게이트 신호의 레벨을 풀업시키는 풀업부를 더 포함하며,

상기 다수의 스테이지 중 제j 스테이지의(j>1, 단 j는 자연수) 상기 풀다운부는 상기 다수의 스테이지 중 제j+1 스테이지의 상기 캐리 신호에 응답하여 인에이블되며, 상기 다수의 스테이지 중 제j 스테이지의 상기 풀업부는 상기 다수의 스테이지 준 제j-1 스테이지의 상기 게이트 신호에 응답하여 인에이블되는 표시 장치.

청구항 15

제 13항에 있어서,

상기 제3 게이트 오프 레벨은 상기 제1 게이트 오프 레벨과 동일한 표시 장치.

청구항 16

제 12항에 있어서,

상기 게이트 구동부는 클럭 신호 또는 클럭바 신호를 이용하여 상기 다수의 게이트 신호를 제공하여,

상기 게이트 신호가 게이트 온 레벨인 구간은 상기 클럭 신호 또는 클럭바 신호가 하이 레벨인 구간보다 짧은 표시 장치.

청구항 17

클럭 신호 또는 클럭바 신호를 이용하여, 게이트 구동부에서 다수의 게이트 라인에 다수의 게이트 신호를 제공하고,

상기 게이트 신호를 이용하여 온/오프되는 영상을 표시하는 것을 포함하되,

상기 각 게이트 신호를 제공하는 것은 상기 각 게이트 신호의 레벨을 게이트 온 레벨로 풀업시키고,

제1 게이트 오프 전압을 이용하여 상기 각 게이트 신호의 레벨을 상기 게이트 온 전압 레벨에서 풀다운시키고,

상기 제1 게이트 오프 전압보다 높은 제2 게이트 오프 전압을 이용하여, 상기 게이트 신호의 레벨을 제2 게이트 오프 레벨로 천이시켜 유지시키는 것을 포함하는 표시 장치의 구동 방법.

청구항 18

제 17항에 있어서,

상기 게이트 구동부는 상기 다수의 게이트 신호 및 다수의 캐리 신호를 제공하는 다수의 스테이지로서, 상기 각 스테이지는 상기 각 게이트 신호 및 상기 각 캐리 신호를 제공하는 다수의 스테이지를 포함하며,

상기 다수의 스테이지 중 제j 스테이지는(j>1, 단, j는 자연수) 상기 다수의 스테이지 중 제j+1 스테이지의 상기 캐리 신호에 응답하여, 상기 게이트 신호의 레벨을 풀다운시키고, 상기 다수의 스테이지 중 제j-1 스테이지의 상기 게이트 신호에 응답하여 상기 게이트 신호의 레벨을 풀업시키는 표시 장치의 구동 방법.

청구항 19

제 18항에 있어서,

상기 각 스테이지는 상기 제1 게이트 오프 전압을 이용하여 상기 캐리 신호의 레벨을 제1 게이트 오프 레벨로 풀다운시키는 것을 더 포함하는 표시 장치의 구동 방법.

청구항 20

제 17항에 있어서,

상기 게이트 신호가 게이트 온 레벨인 구간은 상기 클럭 신호 또는 클럭바 신호가 하이 레벨인 구간보다 짧은 표시 장치의 구동 방법.

명 세 서

발명의 상세한 설명

기 술 분 야

[0001] 본 발명은 표시 장치 및 이의 구동 방법에 관한 것이다.

배 경 기 술

[0002] 액정 표시 장치(Liquid Crystal Display; 이하, LCD라 함)는 기준 전극과 컬러 필터 등이 형성되어 있는 색필터 표시판과, 스위칭 소자와 화소 전극 등이 형성되어 있는 박막트랜지스터 기판 사이에 액정층이 개재된다. 그리고, 화소 전극과 기준 전극에 서로 다른 전위를 인가함으로써 전계를 형성하여 액정 분자들의 배열을 변경시키고, 이를 통해 빛의 투과율을 조절함으로써 화상을 표현한다.

[0003] 액정 표시 장치는 게이트 구동 IC를 TCP(tape carrier package) 또는 COG(chip on the glass) 등의 방법으로 실장하였으나, 제조 원가 또는 제품의 크기, 설계적인 측면에서 다른 방법이 모색되고 있다. 즉, 게이트 구동 IC를 채택하지 않고, 비정질-실리콘 박막 트랜지스터(amorphous silicon Thin Film Transistor, 이하 'a-Si TFT'라 함)를 이용하여 게이트 신호를 발생시키는 게이트 구동부를 유리 기판에 실장하고 있다.

[0004] 이러한 게이트 구동부를 포함하는 액정 표시 장치의 표시 품질을 향상시키기 위한 노력이 시도되고 있다.

발명의 내용

해결 하고자하는 과제

[0005] 본 발명이 해결하고자 하는 과제는, 화질 불량이 개선된 표시 장치 및 이의 구동 방법을 제공하는 것이다.

[0006] 본 발명이 해결하고자 하는 과제들은 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제 해결수단

[0007] 상기 과제를 해결하기 위한 본 발명의 일 태양에 따른 표시 장치는 다수의 게이트 라인 및 다수의 데이터 라인을 포함하는 표시 패널 및 다수의 스테이지를 포함하며, 클럭 신호 및 클럭바 신호를 이용하여 다수의 게이트 라인에 다수의 게이트 신호를 제공하는 게이트 구동부로서, 각 스테이지는 각 게이트 라인에 각 게이트 신호를

제공하는 게이트 구동부를 포함하되, 각 스테이지는 게이트 신호를 출력하는 게이트 출력 단자와, 게이트 출력 단자와 연결되며, 제1 게이트 오프 전압을 이용하여 게이트 신호의 레벨을 풀다운시키는 풀다운부와, 게이트 출력 단자와 연결되며, 제1 게이트 오프 전압보다 전압 레벨이 높은 제2 게이트 오프 전압을 이용하여 풀다운된 게이트 신호의 레벨을 제2 게이트 오프 레벨로 유지시키는 홀딩부를 포함한다.

[0008] 상기 과제를 해결하기 위한 본 발명의 다른 태양에 따른 표시 장치는 다수의 게이트 라인 및 다수의 데이터 라인이 교차된 영역에 정의된 다수의 스위칭 소자를 포함하는 표시 패널 및 다수의 스위칭 소자를 온/오프시키는 다수의 게이트 신호를 다수의 게이트 라인에 제공하는 게이트 구동부로서, 각 게이트 신호는 스위칭 소자를 턴온(turn-on)시키는 게이트 온 구간 및 게이트 신호를 턴오프(turn-off)시키는 제1 및 제2 게이트 오프 구간을 포함하는 게이트 구동부를 포함하되, 게이트 온 구간에서 게이트 신호는 게이트 온 레벨을 가지고, 제1 게이트 오프 구간에서 상기 게이트 신호는 상기 게이트 온 레벨에서 제3 게이트 오프 레벨로 천이되어 유지되며, 제2 게이트 오프 구간에서 게이트 신호는 제1 게이트 오프 레벨에서 상기 제3 게이트 오프 레벨보다 높은 제2 게이트 오프 레벨로 천이되어 유지된다.

[0009] 상기 과제를 달성하기 위한 본 발명의 일 태양에 따른 표시 장치의 구동 방법은 클럭 신호 또는 클럭바 신호를 이용하여, 게이트 구동부에서 다수의 게이트 라인에 다수의 게이트 신호를 제공하고, 게이트 신호를 이용하여 온/오프되는 영상을 표시하는 것을 포함하되, 각 게이트 신호를 제공하는 단계는 각 게이트 신호의 레벨을 게이트 온 레벨로 풀업시키고, 제1 게이트 오프 전압을 이용하여 각 게이트 신호의 레벨을 게이트 온 전압 레벨에서 풀다운시키고, 제1 게이트 오프 전압보다 높은 제2 게이트 오프 전압을 이용하여, 게이트 신호의 레벨을 제2 게이트 오프 레벨로 천이시켜 유지시키는 것을 포함한다.

[0010] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 실시를 위한 구체적인 내용

[0011] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0012] 비록 제1, 제2 등이 다양한 소자, 구성요소 및/또는 섹션들을 서술하기 위해서 사용되나, 이들 소자, 구성요소 및/또는 섹션들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 소자, 구성요소 또는 섹션들을 다른 소자, 구성요소 또는 섹션들과 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 소자, 제1 구성요소 또는 제1 섹션은 본 발명의 기술적 사상 내에서 제2 소자, 제2 구성요소 또는 제2 섹션일 수도 있음은 물론이다.

[0013] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.

[0014] 이하, 첨부된 도면들을 참조하여, 본 발명의 실시예들에 따른 액정 표시 장치에 대하여 자세히 설명한다.

[0015] 도 1은 본 발명의 일 실시예에 따른 표시 장치를 설명하기 위한 블록도이다. 도 2는 도 1의 한 화소의 등가 회로도이다. 도 3은 도 1의 게이트 구동부를 설명하기 위한 블록도이다. 도 4a 및 도 4b는 도 3의 제j 스테이지의 예시적인 회로도들이다.

[0016] 도 1을 참조하면, 본 발명의 일 실시예에 따른 표시 장치(10)는 표시 패널(300), 신호 제공부, 게이트 구동부(400) 및 데이터 구동부(700)를 포함한다. 신호 제공부는 타이밍 컨트롤러(500)와 클럭 생성부(600)를 포함한다.

[0017] 표시 패널(300)은 영상이 표시되는 표시부(DA)와 영상이 표시되지 않는 비표시부(PA)로 구분된다.

[0018] 표시부(DA)는 다수의 게이트 라인(G1~G2n), 다수의 데이터 라인(D1~Dm), 스위칭 소자(미도시) 및 화소 전극(미도시)이 형성된 제1 기판(미도시)과, 컬러 필터(미도시)와 공통 전극(미도시)이 형성된 제2 기판(미도시), 제1 기판(미도시)과 제2 기판(미도시) 사이에 개재된 액정층(미도시)을 포함하여 영상을 표시한다. 게이트 라인

(G1~G2n)은 대략 행 방향으로 연장되어 서로가 거의 평행하고, 데이터 라인(D1~Dm)은 대략 열 방향으로 연장되어 서로가 거의 평행하다.

[0019] 도 2를 참조하여 도 1의 한 화소에 대해 설명하면, 제1 기판(100)의 화소 전극(PE)과 대향하도록 제2 기판(200)의 공통 전극(CE)의 일부 영역에 색필터(CF)가 형성될 수 있다. 예를 들어, i번째(i=1~2n) 게이트 라인(Gi)과 j번째(j=1~m) 데이터 라인(Dj)에 연결된 화소(PX)는 신호선(Gi, Dj)에 연결된 스위칭 소자(Q)와 이에 연결된 액정 커패시터(liquid crystal capacitor, Clc) 및 유지 커패시터(storage capacitor, Cst)를 포함한다. 유지 커패시터(Cst)는 필요에 따라 생략될 수 있다. 스위칭 소자(Q)는 a-Si(amorphous - silicon)으로 이루어진 박막 트랜지스터(Thin Film Transistor, 이하 'a-Si TFT'라 함)이다.

[0020] 비표시부(PA)는 제1 기판(도 2의 100 참조)이 제2 기판(도 2의 200 참조)보다 더 넓게 형성되어 영상이 표시되지 않는 부분을 의미한다.

[0021] 신호 제공부는 타이밍 컨트롤러(500)와 클럭 생성부(600)를 포함하여, 외부의 그래픽 제어기(미도시)로부터 입력 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호를 수신하고, 영상 신호(DAT), 데이터 제어 신호(CONT)를 데이터 구동부(700)에 제공한다. 좀더 구체적으로 설명하면, 타이밍 컨트롤러(500)는 수평 동기 신호(Hsync), 메인 클럭 신호(Mclk), 데이터 인에이블 신호(DE) 등의 입력 제어 신호를 입력받아 데이터 제어 신호(CONT)를 출력한다. 여기서 데이터 제어 신호(CONT)는 데이터 구동부(700)의 동작을 제어하는 신호로써, 데이터 구동부(700)의 동작을 개시하는 수평 개시 신호, 두 개의 데이터 전압의 출력을 지시하는 로드 신호 등을 포함한다.

[0022] 이에 따라 데이터 구동부(700)는 영상 신호(DAT), 데이터 제어 신호(CONT)를 제공받아, 영상 신호(DAT)에 대응하는 영상 데이터 전압을 각 데이터 라인(D1~Dm)에 제공한다. 이러한, 데이터 구동부(700)는 예컨대, IC(Integrated Circuit)로써 테이프 케리어 패지키(Tape Carrier Package, TCP)형태로 액정 패널(300)과 연결될 수 있다. 하지만, 이에 한정하는 것은 아니며 본 발명의 다른 실시예에서 데이터 구동부(700)는 표시 패널(300)의 비표시부(PA) 상에 형성될 수도 있다.

[0023] 또한 신호 제공부는 외부의 그래픽 제어기(미도시)로부터 수직 동기 신호(Vsinc) 및 메인 클럭 신호(Mclk)를 제공받아, 스캔 개시 신호(STVP), 클럭 신호(CKV), 클럭바 신호(CKVB), 제1 게이트 오프 전압(Voff1) 및 제2 게이트 오프 전압(Voff2)을 게이트 구동부(400)에 제공한다. 좀더 구체적으로 설명하면, 클럭 생성부(600)는 타이밍 컨트롤러(500)로부터 원시 스캔 개시 신호(STV)를 제공받아 스캔 개시 신호(STVP)를 출력하고, 출력 인에이블 신호(OE) 및 게이트 클럭 신호(CPV)를 입력받아 클럭 신호(CKV) 및 클럭바 신호(CKVB)를 출력한다.

[0024] 여기서 클럭 신호(CKV)는 클럭바 신호(CKVB)와 역위상인 신호일 수 있다.

[0025] 게이트 구동부(400)는 스캔 개시 신호(STVP)에 인에이블되어 클럭 신호(CKV), 클럭바 신호(CKVB), 제1 게이트 오프 전압(Voff1) 및 제2 게이트 오프 전압(Voff2)을 이용하여 다수의 게이트 신호(Gout(1)~Gout(2n))를 생성하고, 각 게이트 라인(G1~G2n)에 각 게이트 신호(Gout(1)~Gout(2n))를 순차적으로 제공한다. 이러한 게이트 구동부(400)는 예컨대, 도면에 도시된 바와 같이 표시 패널(300)의 비표시부(PA) 상에 형성되어 표시 패널(300)과 연결될 수 있다. 즉, 게이트 구동부(400)는 비정질-실리콘 박막 트랜지스터(a-Si TFT)를 이용하여 표시 패널(300)의 유리 기판에 실장될 수 있다. 하지만, 이에 한정하는 것은 아니며, 본 발명의 다른 실시예에 따른 표시 장치에서는 IC로써 테이프 케리어 패지키 형태로 액정 패널(300)과 연결될 수 있다. 이하 도 3을 참조하여 게이트 구동부(400)에 대하여 좀더 구체적으로 설명한다.

[0026] 도 3을 참조하면 게이트 구동부(400)는 다수의 스테이지(ST_1~ST_2n+1)를 포함하는데, 각 스테이지(ST_1~ST_2n+1)는 캐스캐이드(cascade)로 연결되어 있으며, 마지막 스테이지(ST_2n+1)를 제외한 각 스테이지(ST_1~ST_2n)는 게이트 라인(G1~G2n)과 일대일로 연결되어 각각 게이트 신호(Gout(1)~Gout(2n))를 출력한다. 각 스테이지(ST_1~ST_2n+1)에는 제1 게이트 오프 전압(Voff1), 제2 게이트 오프 전압(Voff2), 클럭 신호(CKV), 클럭바 신호(CKVB) 및 초기화 신호(INT)가 입력된다. 여기서 초기화 신호(INT)는 클럭 생성부(600)로부터 제공될 수 있다.

[0027] 각 스테이지(ST_1~ST_2n+1)는 제1 클럭 단자(CK1), 제2 클럭 단자(CK2), 셋 단자(S), 제1 리셋 단자(R1), 제2 리셋 단자(R2), 제1 전원 전압 단자(GV1), 제2 전원 전압 단자(GV2), 프레임 리셋 단자(FR), 게이트 출력 단자(OUT1) 및 캐리 출력 단자(OUT2)를 포함할 수 있다.

[0028] 예를 들어 j번째 게이트 라인과 연결된 제j 스테이지(ST_j)의 셋 단자(S)에는 전단 스테이지(ST_j-1)의 게이트 신호(Cout(j-1))가, 제1 및 제2 리셋 단자(R1)에는 후단 스테이지(ST_j+1)의 캐리 신호(Cout(j+1)) 및 게이트

신호(Cout(j+1))가 각각 입력될 수 있다. 또한, 제1 클럭 단자(CK1) 및 제2 클럭 단자(CK2)에는 각각 클럭 신호(CKV) 및 클럭바 신호(CKVB)가 입력되며, 제1 및 제2 전원 전압 단자(GV1, GV2)에는 제1 및 제2 게이트 오프 전압(Voff1, Voff2)이 입력되고, 프레임 리셋 단자(FR)에는 초기화 신호(INT) 또는 마지막 스테이지(ST_2n+1)의 게이트 신호(Gout(2n+1))가 입력될 수 있다. 게이트 출력 단자(OUT1)는 게이트 신호(Gout(j))를 출력하고, 캐리 출력 단자(OUT2)는 캐리 신호(Cout(j))를 출력할 수 있다. 단, 첫 번째 스테이지(ST_1)에는 전단 캐리 신호 대신 스캔 개시 신호(STVP)가 입력되며, 마지막 스테이지(ST_2n+1)에는 후단 게이트 신호 대신 스캔 개시 신호(STVP)가 입력될 수 있다.

[0029] 한편, 앞에서 제j 스테이지(ST_j)의 제1 클럭 단자(CK1) 및 제2 클럭 단자(CK2)에는 각각 클럭 신호(CKV) 및 클럭바 신호(CKVB)가 입력되는 것으로 설명하였으나, 각 스테이지(ST_1~ST_2n)의 제1 클럭 단자(CK1) 및 제2 클럭 단자(CK2)에는 스테이지(ST_1~ST_2n)에 따라 클럭 신호(CKV) 또는 클럭바 신호(CKVB)가 교대로 입력될 수 있다. 예를 들어, 다수의 스테이지(ST_1~ST_2n) 중 홀수번째 스테이지(ST_1~ST_2n-1)의 제1 클럭 단자(CK1) 및 제2 클럭 단자(CK2)에는 각각 클럭 신호(CKV) 및 클럭바 신호(CKVB)가 입력되고, 다수의 스테이지(ST_1~ST_2n) 중 짝수번째 스테이지(ST_2~ST_2n)의 제1 클럭 단자(CK1) 및 제2 클럭 단자(CK2)에는 각각 클럭바 신호(CKVB) 및 클럭 신호(CKV)가 입력될 수 있다.

[0030] 이하, 도 4a 내지 도 5를 참조하여 도 3의 제j 스테이지(ST_j)에 대하여 좀더 상세히 설명한다.

[0031] 도 5는 도 3의 제j 스테이지의 동작에 대하여 설명하는 타이밍도이다.

[0032] 도 4a를 참조하면, 제j 스테이지(ST_j)는 버퍼부(410), 충전부(420), 풀업부(430), 캐리 신호 발생부(470), 풀다운부(440), 캐리 신호 풀다운부(480), 방전부(450) 및 홀딩부(460)를 포함할 수 있다. 이러한 제j 스테이지(STj)는 제1 게이트 오프 전압(Voff1), 제2 게이트 오프 전압(Voff2), 전단 게이트 신호(Gout(j-1)), 후단 게이트 신호(Gout(j+1)), 후단 캐리 신호(Cout(j+1)), 클럭 신호(CKV) 및 클럭바 신호(CKVB)를 제공받아, 게이트 신호(Gout(j)) 및 캐리 신호(Cout(j))를 출력한다.

[0033] 한편, 제j 스테이지(ST_j)에서 제공되는 게이트 신호(Gout(j))는 도 5에 도시된 바와 같이, 게이트 온 구간(P1), 제1 게이트 오프 구간(P2) 및 제2 게이트 오프 구간(P3)을 포함할 수 있다. 여기서, 게이트 온 구간(P1)은 게이트 신호(Gout(1)~Gout(2n))에 응답하여 게이트 라인(G1~G2n)에 연결된 스위칭 소자(Q)를 턴온되는 구간이며, 제1 및 제2 게이트 오프 구간(P3)은 게이트 신호(Gout(1)~Gout(2n))에 응답하여 게이트 라인(G1~G2n)에 연결된 스위칭 소자(Q)가 턴오프되는 구간일 수 있다. 즉, 게이트 온 구간(P1)은 스위칭 소자(Q)를 턴온시키는 게이트 온 레벨(Von)의 게이트 신호(Gour(1)~Gout(2n))가 제공되는 구간이며, 제1 및 제2 게이트 오프 구간(P2, P3)은 스위칭 소자(Q)를 턴오프시키는 게이트 오프 레벨(Voff1a, Voff2)의 게이트 신호(Gour(1)~Gout(2n))가 제공되는 구간일 수 있다.

[0034] 버퍼부(410)는 셋 단자(S)를 통해 입력된 전단 게이트 신호(Gout(j-1))를 충전부(420), 캐리 신호 발생부(470) 및 풀업부(430)에 제공한다. 이러한 버퍼부(410)는 예컨대, 도 4a에 도시된 바와 같이 드레인과 게이트가 연결된 트랜지스터(T4)를 포함할 수 있다.

[0035] 하지만, 이에 한정하는 것은 아니며 본 발명의 다른 실시예에 따른 표시 장치에서 버퍼부는 다양하게 구성될 수 있다. 예컨대, 버퍼부(411)는 도 4b에 도시된 바와 같이 제1 셋 단자(S1)를 통해 입력된 전단 게이트 신호(Gout(j-1))에 응답하여, 제2 셋단자(S2)를 통해 입력된 게이트 온 레벨의 전압(Von)을 충전부(420), 캐리 신호 발생부(470) 및 풀업부(430)에 제공할 수 있다. 이러한 버퍼부(411)는 예컨대, 드레인이 제2 셋단자(S2)에 연결되고, 게이트가 제1 셋단자(S1)에 연결되며, 소스가 충전부(420), 캐리 신호 발생부(470) 및 풀업부(430)에 연결된 트랜지스터(T4a)를 포함할 수 있다. 버퍼부(411)가 도 4b와 같이 구성될 경우, 저온에서 게이트 구동부의 동작 특성이 열화되지 않고, 게이트 구동부가 안정적으로 동작할 수 잇다.

[0036] 충전부(420)는 Q 노드(Nq)를 충전시키는 역할을 하며, 일단이 트랜지스터(T4)의 소스, 풀업부(430) 및 방전부(450)에 연결되고, 타단이 게이트 출력 단자(OUT1)에 연결된 캐패시터(C1)로 이루어질 수 있다.

[0037] 풀업부(430)는 버퍼부(410)를 통하여 제공되는 전단 게이트 신호(Gout(j-1))에 응답하여 인에이블되며, 제1 클럭 단자(CK1)에 입력되는 신호(예, CKV)를 이용하여 게이트 신호(Gout(j))의 레벨을 풀업시킨다. 이러한 풀업부(430)는 예컨대, 드레인이 제1 클럭 단자(CK1)에 연결되고, 게이트가 충전부(420) 및 버퍼부(410)에 연결되며, 소스가 게이트 출력 단자(OUT1)에 연결된 트랜지스터(T1)를 포함할 수 있다.

[0038] 캐리 신호 발생부(470)는 버퍼부(410)를 통하여 제공되는 전단 게이트 신호(Gout(j-1))에 응답하여 캐리 신호(Cout(j))를 제공한다. 구체적으로, 캐리 신호 발생부(470)는 전단 게이트 신호(Gout(j-1))에 응답하여 인에이

블되며, 제1 클럭 단자(CK1)에 입력되는 신호(CKV)를 이용하여 풀업된 레벨을 가지는 캐리 신호(Cout(j))를 제공한다. 이러한 캐리 신호 발생부(470)는 예컨대, 드레인이 제1 클럭 단자(CK1)에 연결되고, 소스가 캐리 출력 단자(OUT2) 및 캐리 신호 풀다운부(480)에 연결되고, 게이트가 버퍼부(410)와 연결되어 있는 트랜지스터(T15)와, 트랜지스터(T15)의 게이트와 소스에 연결된 커패시터(C2)를 포함할 수 있다.

[0039] 풀다운부(440)는 후단 캐리 신호(Cout(j))에 응답하여 인에이블되며, 제1 게이트 오프 전압(Voff1)을 이용하여 게이트 신호(Gout(j))의 레벨을 풀다운시킨다. 이러한 풀다운부(440)는 드레인이 게이트 출력 단자(OUT1) 및 캐패시터(C1)의 타단에 연결되고, 소스가 제1 전원 전압 단자(GV1)에 연결되며, 게이트가 제1 리셋 단자(R1)에 연결된 트랜지스터(T2)를 포함할 수 있다. 여기서 풀다운부(440)에 제공되는 제1 게이트 오프 전압(Voff1)은 홀딩부(460)에 제공되는 제2 게이트 오프 전압(Voff2)보다 전압 레벨이 낮을 수 있다. 예를 들어, 홀딩부(460)에서는 -6V의 게이트 오프 전압(Voff2)을 이용하여 제2 게이트 오프 구간(P3)에서 게이트 신호(Gout(j))의 레벨을 -6V의 게이트 오프 레벨로 유지하는 경우, 풀다운부(440)는 -6V보다 낮은 -12V의 게이트 오프 전압(Voff1)을 이용하여 게이트 신호(Gout(j))를 20V의 게이트 온 레벨에서 풀다운시킬 수 있다.

[0040] 이에 의해, 본 발명의 일 실시예에 따른 표시 장치의 풀다운부(440)는 상대적으로 낮은 게이트 오프 전압을 이용하여 게이트 신호(Gout(j))의 레벨을 보다 효과적으로 풀다운시킬 수 있다. 따라서, 게이트 신호(Gout(j))의 게이트 온 레벨에서 게이트 오프 레벨로의 딜레이(delay)가 개선되어, 이러한 딜레이에 의한 표시 장치의 화질 불량을 방지할 수 있다.

[0041] 캐리 신호 풀다운부(480)는 제1 클럭 단자(CK1)에 입력되는 신호(CKV)에 응답하여 인에이블되며, 제1 게이트 오프 전압(Voff1)을 이용하여 캐리 신호(Cout(j))의 레벨을 풀다운시킨다. 구체적으로, 캐리 신호 풀다운부(480)는 제1 게이트 오프 전압(Voff1)을 이용하여 풀다운부(440)에 포함된 트랜지스터(T2)의 게이트에 인가되는 캐리 신호(Cout(j))의 레벨을 제1 게이트 오프 레벨(Voff1)까지 풀다운시키며, 이에 의해 소스에 제1 게이트 오프 전압(Voff1)이 입력되는 풀다운부(440)의 트랜지스터(T2)가 지속적으로 턴온되는 것을 방지할 수 있다. 이러한 캐리 신호 풀다운부(480)는 예컨대, 드레인이 캐리 신호 발생부(470)의 캐리 출력 단자(OUT2)와 연결되고, 소스가 제1 전원 전압 단자(GV1)에 연결되며, 게이트가 트랜지스터(T7)의 소스 및 트랜지스터(T8)의 드레인과 연결된 트랜지스터(T16)를 포함할 수 있다.

[0042] 방전부(450)는 게이트가 제2 리셋 단자(R_2)에 연결되고 드레인이 캐패시터(C1)의 일단에 연결되고 소스가 제2 전원 전압 단자(GV2)에 연결되어, 다음 스테이지(STj+1)의 게이트 신호(Gout(j+1))에 응답하여 충전부(420)를 방전시키는 트랜지시터(T9)와, 게이트가 프레임 리셋 단자(FR)에 연결되고 드레인이 캐패시터(C3)의 일단에 연결되고 소스가 제2 전원 전압 단자(GV2)에 연결되어, 초기화 신호(INT)에 응답하여 충전부(420)를 방전시키는 트랜지스터(T6)를 포함할 수 있다.

[0043] 홀딩부(460)는 게이트 출력 단자(OUT1)와 연결되며, 다수의 트랜지스터들(T3, T5, T7, T8, T10, T11, T12, T13) 및 다수의 캐패시터(C3, C4)를 포함한다. 이러한, 홀딩부(460)는 게이트 신호(Gout(j))의 레벨이 게이트 온 레벨로 풀업되면 게이트 온 레벨 상태를 유지시킬 수 있다. 반면에, 게이트 신호(Gout(j))의 레벨이 게이트 온 레벨에서 풀다운된 이후에는, 제2 게이트 오프 전압(Voff2)을 이용하여 클럭 신호(CKV) 및 클럭바 신호(CKVB)의 전압 레벨에 관계없이 한 프레임 동안 게이트 신호(Gout(j))를 제2 게이트 오프 레벨로 유지시킬 수 있다.

[0044] 특히, 본 발명의 일 실시예에 따른 표시 장치의 홀딩부(460)에는 풀다운부(440)에 제공되는 제1 게이트 오프 전압(Voff1)보다 높은 전압 레벨의 제2 게이트 오프 전압(Voff2)이 인가되므로, 상대적으로 낮은 게이트 오프 전압에 의한 화질 불량을 방지할 수 있다. 구체적으로, 게이트 신호(Gout(j))의 게이트 온 레벨에서 게이트 오프 레벨로의 딜레이를 개선하기 위해 게이트 신호(Gout(j))의 게이트 오프 레벨을 일방적으로 낮추게 되면, 화소(PX)의 충전량 차이 등이 발생하여 표시 장치의 화질 불량이 발생할 수 있다. 하지만, 본 발명의 일 실시예에 따른 표시 장치는 풀다운부(440)에는 상대적으로 낮은 레벨의 제1 게이트 오프 전압(Voff1)을 인가하여 게이트 신호(Gout(j))의 레벨을 신속하게 풀다운시키면서도, 홀딩부(460)에는 상대적으로 높은 레벨의 제2 게이트 오프 전압(Voff2)을 인가하여 화소(Px)의 충전량 차이 등에 의한 표시 장치의 화질 불량을 방지할 수 있다.

[0045] 도 4a 및 도 5를 참조하여 j번째 스테이지의 동작에 대하여 구체적으로 설명한다.

[0046] 도 5는 본 발명의 일 실시예에 따른 표시 장치의 게이트 구동부의 동작을 설명하기 위한 타이밍도이다.

[0047] 먼저 게이트 신호(Gout(j))가 게이트 오프 레벨에서 게이트 온 레벨로 변환되는 과정을 설명한다.

[0048] 충전부(420)는 도 5에 도시된 전단 게이트 신호(Gout(j-1))를 제공받아 전하를 충전한다. 구체적으로 충전부

(420)는 전단 게이트 신호(Gout(j-1))에 응답하여 인에이블되며, 이에 의해 Q 노드(Nq)의 전압이 서서히 증가한다. 그리고, 로우 레벨에서 하이 레벨로 천이하는 클럭 신호(CKV)가 입력되는 구간에서 트랜지스터(T1)와 Q 노드(Nq)의 사이의 커패시터(C1)에 의해, Q 노드(Nq)의 전압이 다시 상승된다. 충전부(420)의 전압, 즉 Q 노드(Nq)의 전압이 예컨대 도 5에 도시된 바와 같이 소정의 충전 레벨로 상승되면 풀업부(430)의 트랜지스터(T1)는 완전히 턴온되어, 제1 클럭 단자(CK1)를 통해 입력되는 하이 레벨의 클럭 신호(CKV)를 이용하여 게이트 신호(Gout(j))의 레벨을 풀업시킨다.

[0049] 또한, 게이트 신호(Gout(j))가 게이트 온 레벨(Von)로 풀업되면, 홀딩부(460)의 트랜지스터들(T8, T13)이 턴온되어 풀업된 게이트 신호(Gout(j))는 게이트 온 레벨(Von)로 유지될 수 있다. 구체적으로, 트랜지스터(T13)는 트랜지스터(T7)를 턴오프시켜 하이 레벨의 클럭 신호(CKV)가 트랜지스터(T3)로 제공되는 것을 차단하고, 트랜지스터(T8)는 트랜지스터(T3)를 턴오프시켜, 풀업된 게이트 신호(Gout(j))는 게이트 온 레벨(Von)로 유지될 수 있다. 따라서, 게이트 온 구간(P1) 동안 게이트 온 레벨(Von)을 가지는 게이트 신호(Gout(j))가 게이트 라인(G1~G2n)에 제공될 수 있다.

[0050] 유사하게, 캐리 신호 발생부(470)는 Q 노드(Nq)의 전압이 소정의 충전 레벨로 상승함에 따라 트랜지스터(T15)가 턴온되어, 게이트 온 레벨(Von)을 가지는 캐리 신호(Cout(j))를 출력할 수 있다.

[0051] 다음으로 게이트 신호(Gout(j))가 게이트 온 레벨에서 게이트 오프 레벨로 변환되는 과정을 설명한다.

[0052] 우선, 제1 게이트 오프 구간(P2)에서, 클럭 신호(CKV)가 로우 레벨이 되고, 클럭바 신호(CKVB) 및 다음 스테이지(ST_j+1)의 게이트 신호(Gout(j+1))가 하이 레벨이 됨에 따라 Q 노드(Nq)의 전압 레벨이 하강하여, 풀업부(430)가 디스에이블된다. 구체적으로, 클럭 신호(CKV)가 하이 레벨에서 로우 레벨로 천이되어 로우 레벨로 유지되는 동안 Q 노드(Nq)의 전압은, 커패시터(C1)에 의해 하강된다. 또한, 다음 스테이지의 게이트 신호(Gout(j+1))가 하이 레벨이 됨에 따라 방전부(450)의 트랜지스터(T9)가 턴온되어 Q 노드(Nq)로 제2 게이트 오프 전압(Voff2)이 제공되고, 클럭바 신호(CKVB)가 하이 레벨이 됨에 따라 홀딩부(460)의 트랜지스터(T11)가 턴온되어 제2 게이트 오프 레벨(Voff2)의 전단 게이트 신호(Gout(j-1))가 Q 노드(Nq)로 제공되므로, Q 노드(Nq)의 전압 레벨은 하강된다. 이에 의해, 풀업부(430)의 트랜지스터(T1)가 턴오프되어 풀업부(430)는 디스에이블된다.

[0053] 또한 다음 스테이지의 캐리 신호(Cout(j+1)가 하이 레벨이 된 때, 풀다운부(440)의 트랜지스터(T2)가 턴온되어 제1 게이트 오프 전압(Voff1)을 게이트 출력 단자(OUT1)로 제공한다. 즉, 풀다운부(440)는 제1 게이트 오프 전압(Voff1)을 이용하여 게이트 신호(Gout(j))의 레벨을 풀다운시켜, 제1 게이트 오프 구간(P2) 동안 게이트 신호(Gout(j))를 게이트 온 레벨(Von)에서 소정의 게이트 오프 레벨(Voff1_a)로 천이시켜 유지시킨다. 여기서, 소정의 게이트 오프 레벨(Voff1_a)은 제2 게이트 오프 전압(Voff2) 레벨보다 낮으며 제1 게이트 오프 전압(Voff1_a) 레벨보다 높은 전압 레벨이거나, 제1 게이트 오프 전압(Voff1_a) 과 실질적으로 동일한 레벨일 수 있다.

[0054] 즉, 본 발명의 일 실시예에 따른 표시 장치의 풀다운부(440)는 제2 게이트 오프 구간(P3) 동안 게이트 신호(Gout(j))의 레벨을 유지시키는 홀딩부(460)에 제공되는 제2 게이트 오프 전압(Voff2)보다 낮은 전압 레벨의 제1 게이트 오프 전압(Voff1)을 사용하므로, 게이트 신호(Gout(1)~Gout(2n))의 레벨을 신속히 풀다운시킬 수 있다.

[0055] 다음으로 게이트 신호(Gout(j))가 게이트 온 레벨(Von)에서 소정의 게이트 오프 레벨(Voff1_a)로 풀다운된 후, 제2 게이트 오프 구간(P3)에서 한 프레임동안 제2 게이트 오프 레벨(Voff2)로 유지되는 동작을 설명한다.

[0056] 홀딩부(460)의 트랜지스터들(T8, T13)은 게이트 신호(Gout(j))가 게이트 온 레벨(Von)에서 소정의 게이트 오프 레벨(Voff1_a)로 변환된 후에는 턴오프되며, 홀딩부(460)는 제2 게이트 오프 전압(Voff2)을 이용하여 제2 게이트 오프 구간(P3) 동안 게이트 신호(Gout(j))의 레벨을 제2 게이트 오프 레벨(Voff2)로 유지시킨다.

[0057] 구체적으로, 제2 게이트 오프 구간(P3)에서 제1 클럭바 신호(CKVB)가 하이 레벨이면, 트랜지스터들(T5, T11)은 턴온될 수 있다. 턴온된 트랜지스터(T5)는 게이트 출력 단자(OUT1)에 제2 게이트 오프 전압(Voff2)을 인가하며, 턴온된 트랜지스터(T11)는 커패시터(C1)의 일단을 로우 레벨로 유지시킬 수 있다. 반면에, 제2 게이트 오프 구간(P3)에서 클럭 신호(CKV)가 하이 레벨이면, 트랜지스터들(T7, T12)은 트랜지스터(T3)를 턴온시키므로, 게이트 출력 단자(OUT1)에 제2 게이트 오프 전압(Voff2)이 인가될 수 있다. 또한 트랜지스터(T10)가 턴온되어 트랜지스터(T1)의 게이트가 로우 레벨로 유지되므로, 하이 레벨의 제1 클럭 신호(CKV)가 게이트 출력 단자(OUT1)로 인가되지 않을 수 있다. 이에 의해, 제2 게이트 오프 구간(P3) 동안 게이트 신호(Gout(j))는 소정의 게이트 오프 레벨(Voff1_a)에서 제2 게이트 오프 레벨(Voff2)로 천이되어 유지될 수 있다. 여기서, 게이트 신호(Gout(j))의 제2 게이트 오프 레벨(Voff2)은 제2 게이트 오프 전압(Voff2)과 실질적으로 동일할 수 있다.

[0058] 이상에서는 도 5를 참고하여 도 4a의 예시적인 회로도로 구성되는 제j 스테이지(ST_j)의 동작에 대하여 설명하였지만, 이러한 동작은 도 4b의 예시적인 회로도로 구성되는 제j 스테이지(ST_j)의 동작에도 실질적으로 동일하게 적용될 수 있다. 따라서, 도 4b의 예시적인 회로도로 구성되는 제j 스테이지(ST_j)의 동작에 대해서는 생략하기로 한다.

[0059] 이하 도 1 내지 도 6을 참고하여, 본 발명의 다른 실시예에 따른 표시 장치에 대하여 설명한다.

[0060] 도 6은 본 발명의 다른 실시예에 따른 표시 장치를 설명하기 위한 블록도이다.

[0061] 도 1 내지 도 6을 참고하면, 본 발명의 다른 실시예에 따른 표시 장치는 본 발명의 일 실시예에 따른 표시 장치와 달리, 제1 클럭 신호(CKV) 및 제1 클럭바 신호(CKVB)에 응답하여 게이트 신호(Gout(1)~Gout(2n))를 제공하는 제1 게이트 클럭부(401) 및 제2 클럭 신호(CKV) 및 제2 클럭바 신호(CKVB)에 응답하여 게이트 신호(Gout(1)~Gout(2n))를 제공하는 제2 게이트 클럭부(402)를 포함할 수 있다.

[0062] 구체적으로, 본 발명의 다른 실시예에 따른 표시 장치(11)의 클럭 생성부(601)는 타이밍 컨트롤러(501)로부터 제공받은 제1 출력 인에이블 신호(OE1), 제1 게이트 클럭 신호(CKV1) 및 제1 원시 스캔 개시 신호(STV1)에 응답하여 제1 클럭 신호(CKV1), 제1 클럭바 신호(CKVB1) 및 제1 스캔 개시 신호(STVP1)를 제1 게이트 구동부(401)에 제공할 수 있다. 또한, 클럭 생성부(601)는 타이밍 컨트롤러(501)로부터 제공받은 제2 출력 인에이블 신호(OE2), 제2 게이트 클럭 신호(CKV2) 및 제2 원시 스캔 개시 신호(STV2)에 응답하여, 제2 클럭 신호(CKV2), 제2 클럭바 신호(CKVB2) 및 제2 스캔 개시 신호(STVP2)를 제2 게이트 구동부(402)에 제공할 수 있다.

[0063] 이에 따라, 제1 및 제2 게이트 구동부(401, 402)는 다수의 게이트 라인(G1~G2n)에 다수의 게이트 신호(Gout(1)~Gout(2n))를 순차적으로 제공할 수 있다. 예를 들어, 제1 게이트 구동부(401)는 제1 클럭 신호(CKV1), 제1 클럭바 신호(CKVB1), 제1 스캔 개시 신호(STVP1), 제1 게이트 오프 전압(Voff1) 및 제2 게이트 오프 전압(Voff2)을 이용하여, 다수의 게이트 라인(G1~G2n) 중 홀수번째 게이트 라인(G1~G2n-1)에 게이트 신호(Gout(1)~Gout(2n-1))를 제공할 수 있다. 반면에, 제2 게이트 구동부(402)는 제2 클럭 신호(CKV2), 제2 클럭바 신호(CKVB2), 제2 스캔 개시 신호(STVP2), 제1 게이트 오프 전압(Voff1) 및 제2 게이트 오프 전압(Voff2)을 이용하여, 다수의 게이트 라인(G1~G2n) 중 짝수번째 게이트 라인(G2~G2n)에 게이트 신호(Gout(2)~Gout(2n))를 제공할 수 있다. 이러한 제1 및 제2 게이트 구동부(401, 402)는 도 6에 도시된 바와 같이 표시 패널(300)의 양측에 형성되어, 표시 패널(300)과 연결될 수 있다.

[0064] 제1 및 제2 게이트 구동부(401, 402)는 홀수번째 또는 짝수번째 게이트 라인(G1~G2n)에 게이트 신호(Gout(1)~Gout(2n))를 인가하는 것을 제외하고는, 도 3 내지 도 5를 참고하여 설명한 게이트 구동부(400)와 실질적으로 동일할 수 있으므로 이에 대한 구체적은 생략하기로 한다.

[0065] 이하, 도 1, 도 2, 도 4a, 도 4b, 도 7 및 도 8을 참고하여, 본 발명의 또 다른 실시예에 따른 표시 장치에 대하여 설명한다.

[0066] 도 7은 본 발명의 또 다른 실시예에 따른 표시 장치의 게이트 구동부를 설명하기 위한 블록도이다. 도 8은 도 7의 제j 스테이지의 동작을 설명하는 타이밍도이다.

[0067] 도 1, 도 2, 도 4a, 도 4b, 도 7 및 도 8을 참고하면, 본 발명의 또 다른 실시예에 따른 표시 장치의 게이트 구동부(403)는 본 발명의 일 실시예에 따른 표시 장치의 게이트 구동부(400)와 달리, 게이트 구동부(403)의 각 스테이지(ST_1~ST_2n)는 제1 및 제2 클럭 신호(CKV1, CKV2)와 제1 및 제2 클럭바 신호(CKVB1, CKVB2)를 제공받는다. 또한, 본 발명의 또 다른 실시예에 따른 표시 장치의 게이트 구동부(403)는 본 발명의 다른 실시예에 따른 표시 장치의 게이트 구동부(401, 402)와 달리, 제j 스테이지(ST_j)의 풀업부(430)는 제j+1 스테이지(ST_j+1)에서 제공되는 게이트 신호(Gout(j+1))에 응답하여 인에블된다.

[0068] 구체적으로, 본 발명의 또 다른 실시예에 따른 표시 장치의 게이트 구동부(403)는 제1 클럭 신호(CKV) 및 제1 클럭바 신호(CKVB)를 제공받는 제1 스테이지 그룹 및 제2 클럭 신호(CKV) 및 제2 클럭바 신호(CKVB)를 제공받는 제2 스테이지 그룹을 포함할 수 있다. 예를 들어, 제1 스테이지 그룹에 포함된 스테이지는 다수의 스테이지(ST_1~ST_2n) 중 홀수번째 스테이지(ST_1~ST_2n)로서, 제1 클럭 신호(CKV1) 및 제1 클럭바 신호(CKVB1)를 제공받아 홀수번째 게이트 라인(G1~G2n-1)에 게이트 신호(Gout(1)~Gout(2n-1))를 제공할 수 있다. 유사하게, 제2 스테이지 그룹에 포함된 스테이지는 다수의 스테이지(ST_1~ST_2n) 중 짝수번째 스테이지(ST_2~ST_2n)로서, 제2 클럭 신호(CKV2) 및 제2 클럭바 신호(CKVB2)를 제공받아 짝수번째 게이트 라인(G2~G2n)에 게이트 신호(Gout(2)~Gout(2n))를 제공할 수 있다.

[0069] 하지만, 본 발명의 또 다른 실시예에 따른 표시 장치의 게이트 구동부(403)는 본 발명의 다른 실시예에 따른 표시 장치(11)와 달리 게이트 구동부(401, 402)의 제j 스테이지(ST_j)는 제j-1 스테이지(ST_j-1)의 게이트 신호(Gout(j-1)), 제j+1 스테이지(ST_j+1)의 게이트 신호(Gout(j+1)) 및 제j+1 스테이지(ST_j+1)의 캐리 신호((Cout(j-1)))에 응답하여 게이트 신호(Gout(j))를 게이트 라인(Gj)에 제공한다. 구체적으로, 제j 스테이지(ST_j)의 풀업부(430)는 제j-1 스테이지(ST_j-1)의 게이트 신호(Gout(j-1))에 응답하여 인에이블되며, 이에 따라 풀업된 레벨의 게이트 신호(Gout(j))를 제공할 수 있다. 반면에, 제j 스테이지(ST_j)의 풀다운부(440)는 제j+1 스테이지(ST_j+1)의 캐리 신호(Cout(j+1))에 응답하여 제1 게이트 오프 구간(P2) 동안 풀다운된 레벨의 게이트 신호(Gout(j))를 제공할 수 있다. 또한, 제j 스테이지(ST_j)의 방전부(450)는 제j+1 스테이지(ST_j+1)의 게이트 신호(Gout(j+1))에 응답하여 제1 게이트 오프 구간(P2)에서 충전부(420)를 방전시킬 수 있다.

[0070] 이에 의해, 본 발명의 또 다른 실시예에 따른 표시 장치의 게이트 구동부(403)는 본 발명의 일 실시예에 따른 표시 장치의 게이트 구동부(400)와 달리, 도 8에 도시된 바와 같이 게이트 신호(Gout(1)~Gout(2n))의 게이트 온 레벨(Von)인 구간이 제1 및 제2 클럭 신호(CKV) 또는 제1 및 제2 클럭바 신호(CKVB1, CKVB2)의 하이 레벨인 구간보다 짧은 게이트 신호(Gout(1)~Gout(2n))를 제공할 수 있다.

[0071] 즉, 본 발명의 또 다른 실시예에 따른 표시 장치는 본 발명의 일 실시예에 따른 표시 장치보다 긴 주파수를 가지는 제1 및 제2 클럭 신호(CKV1, CKV2) 또는 제1 및 제2 클럭바 신호(CKVB1, CKVB2)를 이용하면서도, 본 발명의 일 실시예에 따른 표시 장치와 동일한 주파수를 가지는 게이트 신호(Gout(1)~Gout(2n))를 제공할 수 있다. 이에 의해, 본 발명의 또 다른 실시예에 따른 표시 장치는 상대적으로 긴 주파수를 가지는 제1 및 제2 클럭 신호(CKV1, CKV2) 또는 제1 및 제2 클럭바 신호(CKVB1, CKVB2)에 의해 구동되므로, 상대적으로 낮은 전력 소모를 할 수 있다.

[0072] 그런데, 본 발명의 또 다른 실시예와 같이 게이트 구동부(403)가 동작할 경우, 제1 및 제2 클럭 신호(CKV1, CKV2) 또는 제1 및 제2 클럭바 신호(CKVB1, CKVB2)가 하이 레벨인 동안 게이트 신호(Gout(1)~Gout(2n))을 강제로 게이트 온 레벨(Von)에서 풀다운시키게 된다. 이에 의해, 앞에서 설명한 바와 같은 게이트 신호(Gout(1)~Gout(2n))의 게이트 온 레벨에서 게이트 오프 레벨로의 딜레이가 보다 심하게 발생하여 표시 장치의 화질 불량이 발생할 수 있다. 하지만, 본 발명의 또 다른 실시예의 표시 장치는 제2 게이트 오프 전압(Voff2)보다 낮은 제1 게이트 오프 전압(Voff1)을 이용하는 풀다운부(440)에 의해 게이트 신호(Gout(1)~Gout(2n))의 레벨을 풀다운시키므로, 이러한 딜레이에 의한 표시 장치의 화질 불량을 방지할 수 있다.

[0073] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

도면의 간단한 설명

[0074] 도 1은 본 발명의 일 실시예에 따른 표시 장치를 설명하기 위한 블록도이다.

[0075] 도 2는 도 1의 한 화소의 등가 회로도이다.

[0076] 도 3은 도 1의 게이트 구동부를 설명하기 위한 블록도이다.

[0077] 도 4a 및 도 4b는 도 3의 제j 스테이지의 예시적인 회로도들이다.

[0078] 도 5는 도 3의 제j 스테이지의 동작에 대하여 설명하는 타이밍도이다.

[0079] 도 6은 본 발명의 다른 실시예에 따른 표시 장치를 설명하기 위한 블록도이다.

[0080] 도 7은 본 발명의 또 다른 실시예에 따른 표시 장치의 게이트 구동부를 설명하기 위한 블록도이다.

[0081] 도 8은 도 7의 제j 스테이지의 동작을 설명하는 타이밍도이다.

[0082] (도면의 주요부분에 대한 부호의 설명)

[0083] 10, 11: 표시 장치 100: 제1 기판

[0084] 200: 제2 기판 300: 액정 패널

[0085] 400: 게이트 구동부 410: 버퍼부

[0086] 420: 충전부 430: 풀업부

[0087] 440: 풀다운부 450: 방전부

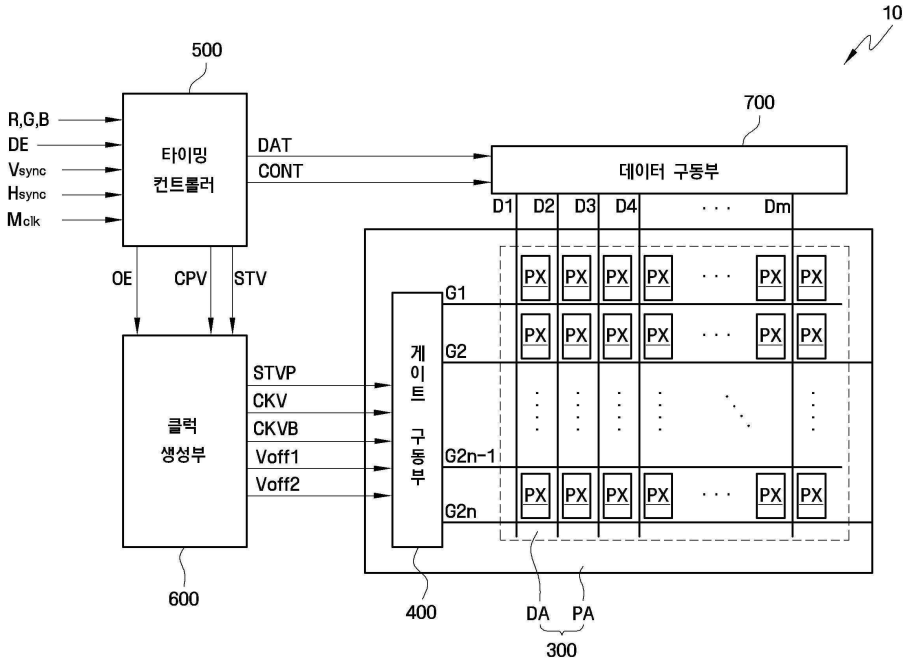
[0088] 460: 홀딩부 470: 캐리 신호 발생부

[0089] 480: 캐리 신호 풀다운부 500, 501: 타이밍 컨트롤러

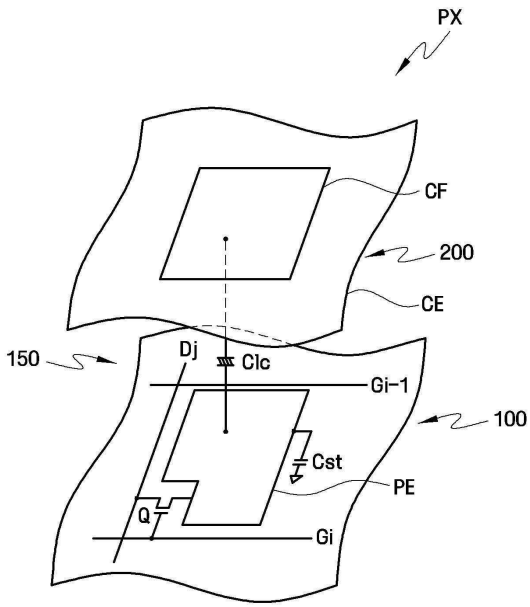
[0090] 600, 601: 클럭 생성부 700: 데이터 구동부

도면

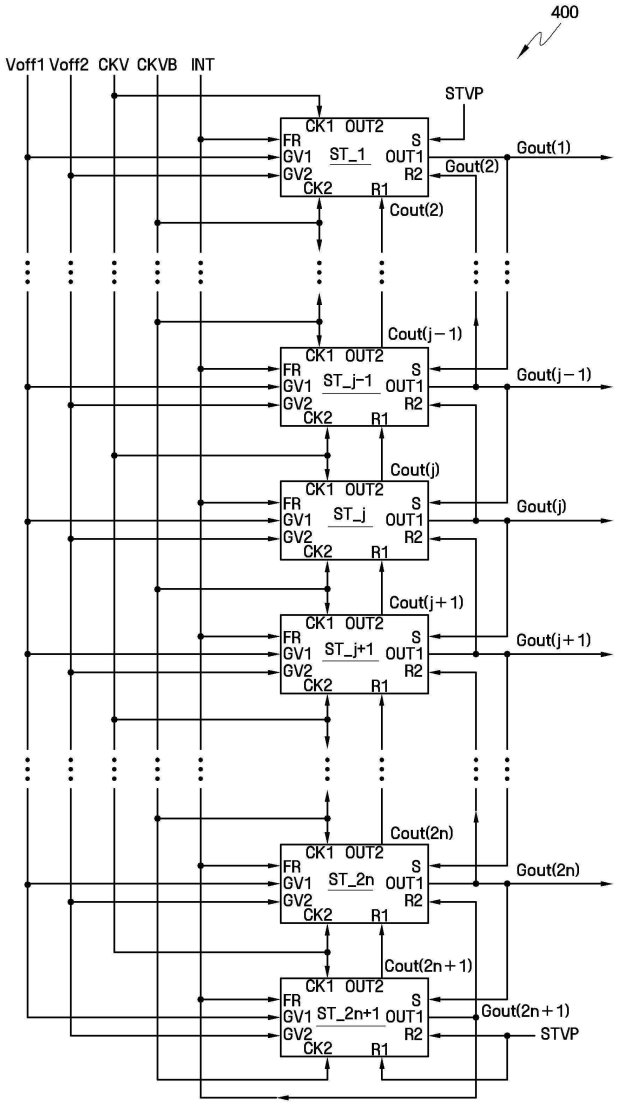
도면1



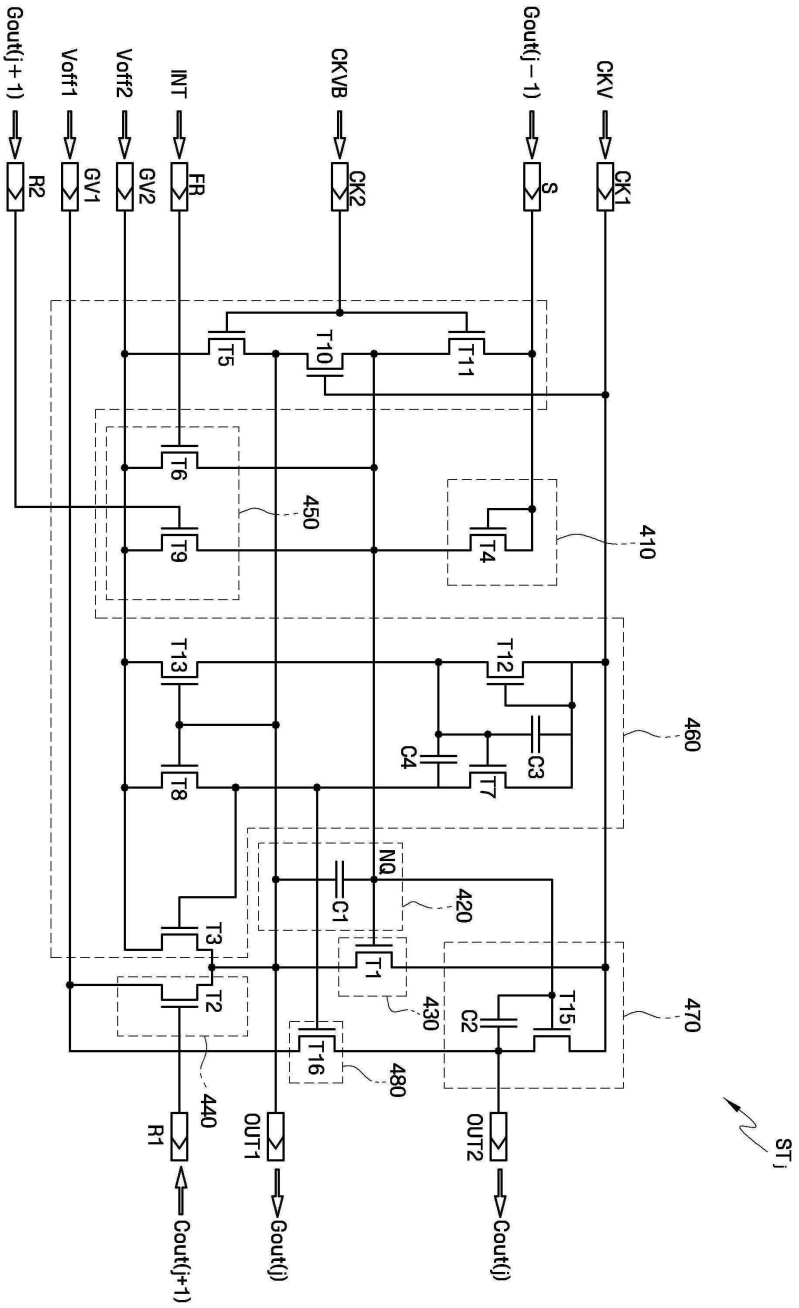
도면2



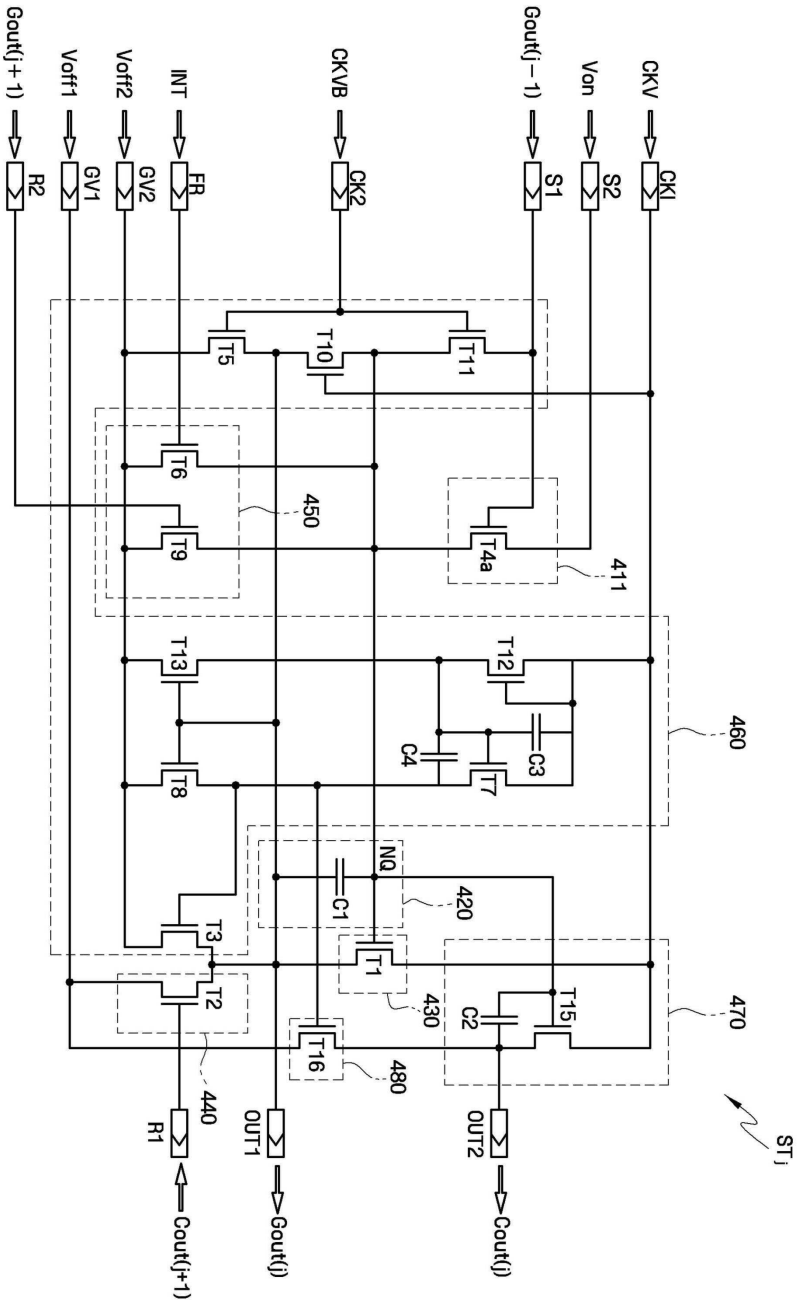
도면3


400
Voff1 Voff2 CKV CKVB INT
STVP
CK1 OUT2
FR S
GV1 ST_1 OUT1
GV2 R2
CK2 R1
Gout(1)
Gout(2)
Cout(2)
Cout(j−1)
ST_j−1
Gout(j−1)
Cout(j)
ST_j
Gout(j)
Cout(j+1)
ST_j+1
Gout(j+1)
Cout(2n)
ST_2n
Gout(2n)
Cout(2n+1)
ST_2n+1
Gout(2n+1)
STVP

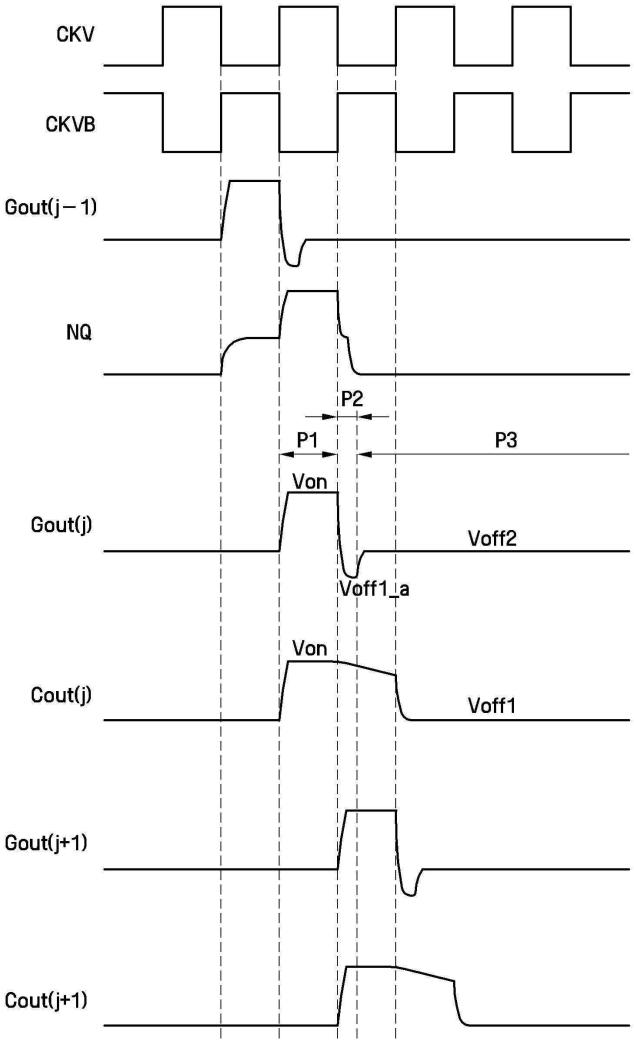
도면4a


Gout(j+1)
Voff1
Voff2
INT
CKVB
Gout(j-1)
CKV
R2
GV1
GV2
FR
CK2
S
CK1
T5
T10
T11
T6
T9
T4
450
410
T13
T12
C4
C3
T8
T7
460
NQ
C1
420
T3
T1
T2
430
C2
T15
470
T16
480
440
R1
OUT1
OUT2
Cout(j+1)
Gout(j)
Cout(j)
STj

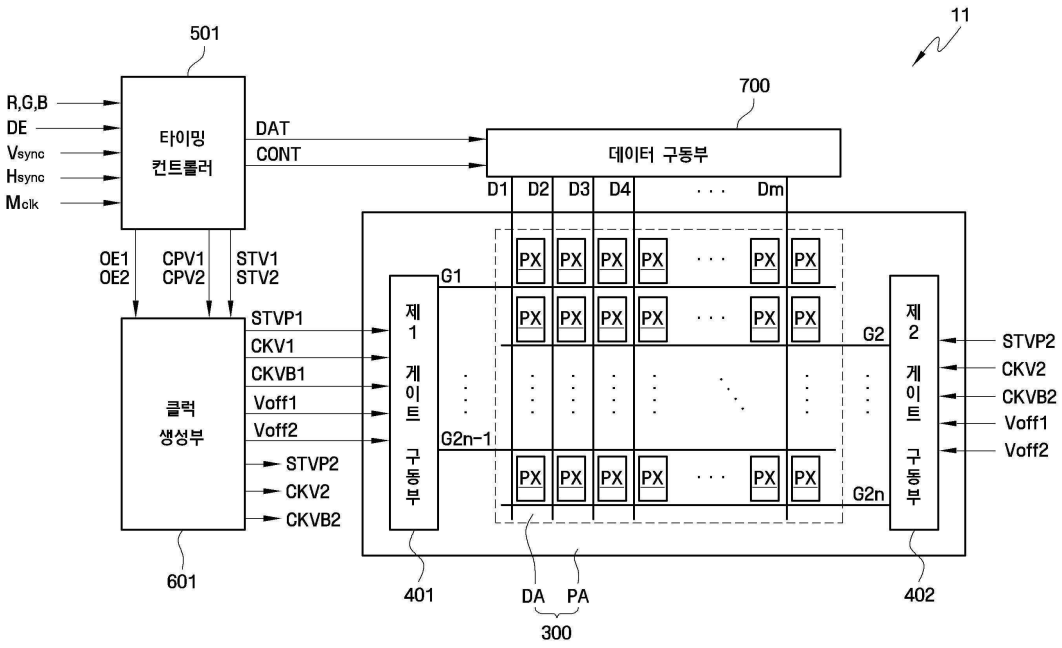
도면4b


Gout(j+1)
Voff1
Voff2
INT
CKVB
Gout(j-1)
Von
CKV
R2
GV1
GV2
FR
CK2
S1
S2
CK1
T5
T10
T11
T6
T9
450
T4a
411
T13
T12
C4
C3
T7
T8
460
NQ
C1
420
T3
T1
T2
430
C2
T15
470
T16
480
440
R1
OUT1
OUT2
Cout(j+1)
Gout(j)
Cout(j)
STj

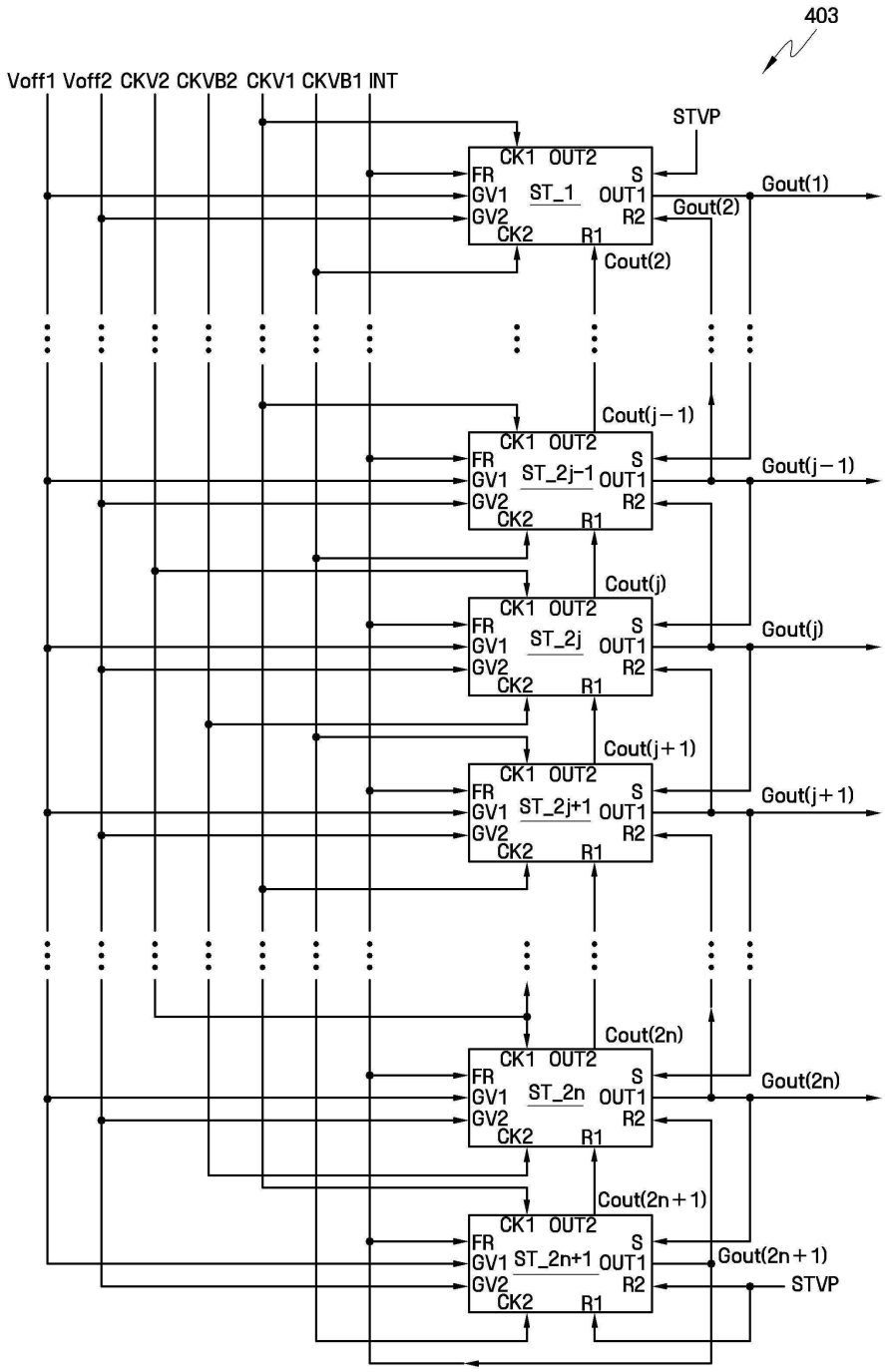
도면5


CKV
CKVB
Gout(j－1)
NQ
P2
P1
P3
Von
Gout(j)
Voff2
Voff1_a
Von
Cout(j)
Voff1
Gout(j+1)
Cout(j+1)

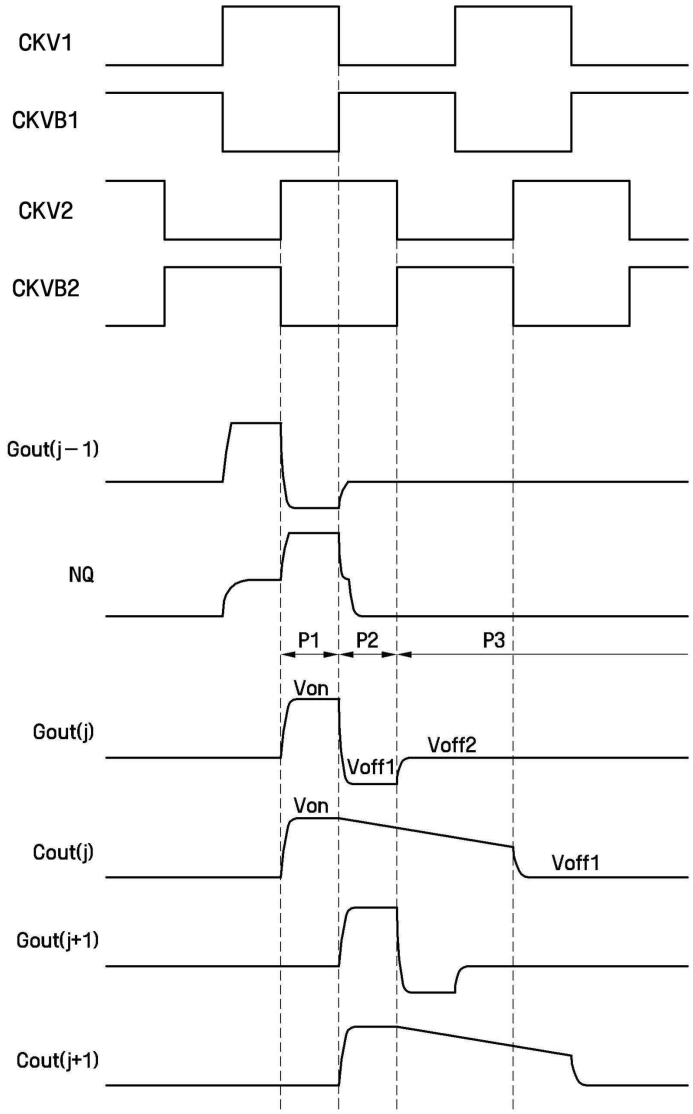
도면6


11
501
700
R,G,B
DE
Vsync
Hsync
Mclk
타이밍
컨트롤러
DAT
CONT
데이터 구동부
D1
D2
D3
D4
Dm
OE1
OE2
CPV1
CPV2
STV1
STV2
STVP1
CKV1
CKVB1
Voff1
Voff2
STVP2
CKV2
CKVB2
클럭
생성부
601
제1게이트 구동부
G1
G2n-1
G2
G2n
제2게이트 구동부
STVP2
CKV2
CKVB2
Voff1
Voff2
PX
401
DA
PA
300
402

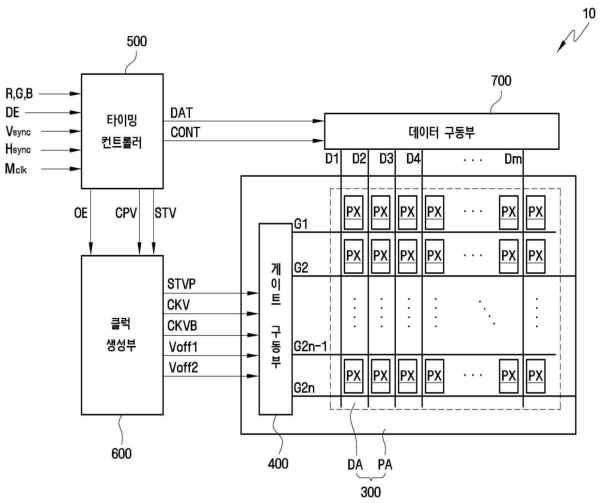
도면7


403
Voff1 Voff2 CKV2 CKVB2 CKV1 CKVB1 INT
STVP
CK1 OUT2
FR S
GV1 ST_1 OUT1
GV2 R2
CK2 R1
Gout(1)
Gout(2)
Cout(2)
Cout(j−1)
ST_2j−1
Gout(j−1)
Cout(j)
ST_2j
Gout(j)
Cout(j+1)
ST_2j+1
Gout(j+1)
Cout(2n)
ST_2n
Gout(2n)
Cout(2n+1)
ST_2n+1
Gout(2n+1)
STVP

도면8


CKV1
CKVB1
CKV2
CKVB2
Gout(j－1)
NQ
P1
P2
P3
Von
Gout(j)
Voff1
Voff2
Von
Cout(j)
Voff1
Gout(j+1)
Cout(j+1)

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	KR1020100042474A	公开(公告)日	2010-04-26
申请号	KR1020080101631	申请日	2008-10-16
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	HWANG IN JAE		
发明人	HWANG, IN JAE		
IPC分类号	G09G3/20 G09G G02F G09G3/36 G02F1/133		
CPC分类号	G11C19/28 G09G2310/0286 H04N5/66 G09G3/3677 G11C19/184		
其他公开文献	KR101478667B1		
外部链接	Espacenet		

摘要(译)

提供一种显示装置和显示装置的驱动方法。根据本发明实施例的显示装置配备有保持部分，该保持部分包括显示面板，该显示面板包括多条栅极线数据线和多级并且保持从栅极驱动单元下拉的栅极信号的电平，该栅极驱动单元提供每个栅极信号每个阶段的每个栅极线是栅极驱动单元，它是使用第二栅极截止电压提供的，其电压高于它所暗示的第一栅极截止电压，并且它连接到栅极输出，其中每个级输出栅极信号。使用多个栅极线中的时钟信号和时钟条信号连接到栅极输出到第二栅极截止电平。液晶显示器，栅极线和栅极驱动单元。