



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0114693
(43) 공개일자 2009년11월04일

(51) Int. Cl.

G09G 3/36 (2006.01) G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

(21) 출원번호 10-2008-0040461

(22) 출원일자 2008년04월30일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

민용기

대구 북구 동천동 891번지 동화골든빌 103동 1205호

손용기

경남 밀양시 산외면 다죽리 156번지

(뒷면에 계속)

(74) 대리인

특허법인로알

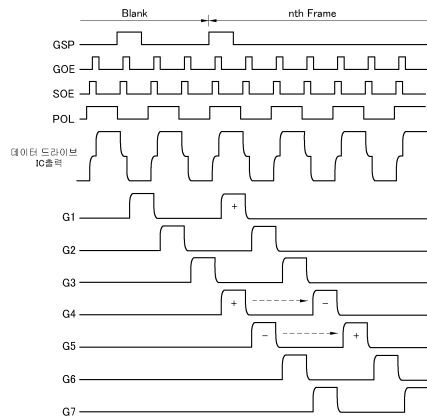
전체 청구항 수 : 총 8 항

(54) 액정표시장치와 그 구동방법

(57) 요약

본 발명은 액정표시장치와 그 구동방법에 관한 것으로, 이 액정표시장치는 다수의 데이터라인들과 다수의 게이트라인들이 교차되고 매트릭스 형태로 배치되는 액정셀들을 포함한 액정표시패널; 주기적으로 극성이 반전되는 데이터전압을 상기 데이터라인들에 공급하는 데이터 구동회로; 1 프레임기간 내에서 제1 데이터전압에 동기되는 제1 게이트펄스를 상기 게이트라인들에 순차적으로 공급하고, 상기 제1 데이터전압의 극성과는 반대 극성으로 발생하는 제2 데이터전압에 동기되는 제2 게이트펄스를 상기 게이트라인들에 공급하는 게이트 구동회로; 및 블랭킹기간 동안 상기 제1 게이트펄스의 출력을 제어하기 위한 프리 게이트_스타트펄스를 발생한 후에 상기 블랭킹기간에 이어지는 프레임기간의 초기에 상기 제2 게이트펄스의 출력을 제어하기 위한 리얼 게이트 스타트 펄스를 발생하는 타이밍 컨트롤러를 구비한다.

대표도 - 도6



(72) 발명자

장수혁

대구 북구 동천동 영남2차타운 103동 902호

송홍성

경북 구미시 구평동 474-7 부영아파트 803동 706호

특허청구의 범위

청구항 1

다수의 데이터라인들과 다수의 게이트라인들이 교차되고 매트릭스 형태로 배치되는 액정셀들을 포함한 액정표시 패널;

주기적으로 극성이 반전되는 데이터전압을 상기 데이터라인들에 공급하는 데이터 구동회로;

1 프레임기간 내에서 제1 데이터전압에 동기되는 제1 게이트펄스를 상기 게이트라인들에 순차적으로 공급하고, 상기 제1 데이터전압의 극성과는 반대 극성으로 발생되는 제2 데이터전압에 동기되는 제2 게이트펄스를 상기 게이트라인들에 공급하는 게이트 구동회로; 및

블랭킹 기간 동안 상기 제1 게이트펄스의 출력을 제어하기 위한 프리 게이트_스타트펄스를 발생한 후에 상기 블랭킹기간에 이어지는 프레임기간의 초기에 상기 제2 게이트펄스의 출력을 제어하기 위한 리얼 게이트 스타트 펄스를 발생하는 타이밍 컨트롤러를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 타이밍 컨트롤러는 상기 블랭킹기간 동안 더미 디지털 데이터를 발생한 후에 상기 프레임기간 동안 상기 액정표시패널에 표시하고자 하는 디지털 비디오 데이터를 발생하고,

상기 데이터 구동회로는 상기 블랭킹기간 동안 입력되는 상기 더미 디지털 데이터를 더미 정극성/부극성 아날로그 데이터전압으로 변환하여 상기 데이터라인들에 공급한 후에, 상기 프레임기간 동안 입력되는 상기 디지털 비디오 데이터를 정극성/부극성 아날로그 데이터전압으로 변환하여 상기 데이터라인들에 공급하는 것을 특징으로 하는 액정표시장치.

청구항 3

제 1 항에 있어서,

상기 타이밍 컨트롤러는,

일정한 시간 간격을 두고 나타나는 상기 프레임기간에 입력 데이터 인에이블 신호를 상기 블랭킹기간까지 확장하여 더미 데이터 인에이블 신호를 발생하고 그 더미 데이터 인에이블 신호에 기초하여 상기 블랭킹기간 동안 상기 프리 게이트 스타트 펄스를 발생하는 것을 특징으로 하는 액정표시장치.

청구항 4

제 3 항에 있어서,

상기 타이밍 컨트롤러는,

상기 입력 데이터 인에이블 신호를 카운트하는 제1 카운터; 및

상기 입력 데이터 인에이블 신호, 옵션정보, 라인수 정보, 및 제1 카운터의 출력신호를 입력받아 상기 프리 게이트 스타트 펄스와 상기 리얼 게이트 스타트 펄스를 발생하는 게이트 스타트 펄스 발생부를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 5

제 4 항에 있어서,

상기 게이트 스타트 펄스 발생부는,

상기 입력 데이터 인에이블 신호의 펄스폭보다 작은 주기로 발생하는 클럭에 따라 카운트하여 상기 입력 데이터 인에이블 신호의 펄스폭을 검출하는 제2 카운터;

상기 제2 카운터로부터 입력되는 펄스폭 정보에 기초하여 상기 블랭킹기간 동안 상기 더미 데이터 인에이블 신호를 발생하는 확장부;

상기 라인수 정보의 펄스 타임과 동기되는 상기 더미 데이터 인에이블신호의 펄스 타임을 검출하는 고 그 펄스 타임에 상기 프리 게이트 스타트 펄스를 발생하는 프리 게이트 스타트 펄스 타임 검출부;

상기 제1 카운터로부터 입력되는 상기 입력 데이터 인에이블 신호의 카운트 결과에 기초하여 제1 옵션정보가 지시하는 시간 간격을 판단하는 주기 체크부;

상기 주기 체크부의 출력을 입력받아 상기 옵션정보의 펄스와 동기되는 상기 더미 데이터 인에이블 신호의 펄스 타임에 선택신호를 반전시키는 주기 선택부; 및

상기 선택신호에 응답하여 상기 프리 게이트 스타트 펄스와 상기 리얼 게이트 스타트 펄스를 발생하는 펄스 발생부를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 6

다수의 데이터라인들과 다수의 게이트라인들이 교차되고 매트릭스 형태로 배치되는 액정셀들을 포함한 액정표시패널을 구비하는 액정표시장치의 구동방법에 있어서,

주기적으로 극성이 반전되는 데이터전압을 상기 데이터라인들에 공급하는 단계;

1 프레임기간 내에서 제1 데이터전압에 동기되는 제1 게이트펄스를 상기 게이트라인들에 순차적으로 공급하고, 상기 제1 데이터전압의 극성과는 반대 극성으로 발생하는 제2 데이터전압에 동기되는 제2 게이트펄스를 상기 게이트라인들에 공급하는 단계;

블랭킹 기간 동안 상기 제1 게이트펄스의 출력을 제어하기 위한 프리 게이트_스타트펄스를 발생하는 단계; 및

상기 블랭킹기간에 이어지는 프레임기간의 초기에 상기 제2 게이트펄스의 출력을 제어하기 위한 리얼 게이트 스타트 펄스를 발생하여 상기 게이트 스타트 펄스들을 발생하는 게이트 구동회로를 제어하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 7

제 6 항에 있어서,

상기 블랭킹기간 동안 더미 디지털 데이터를 발생한 후에 상기 프레임기간 동안 상기 액정표시패널에 표시하고자 하는 디지털 비디오 데이터를 발생하는 단계; 및

상기 블랭킹기간 동안 입력되는 상기 더미 디지털 데이터를 더미 정극성/부극성 아날로그 데이터전압으로 변환하여 상기 데이터라인들에 공급한 후에, 상기 프레임기간 동안 입력되는 상기 디지털 비디오 데이터를 정극성/부극성 아날로그 데이터전압으로 변환하여 상기 데이터라인들에 공급하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 8

제 7 항에 있어서,

상기 프리 게이트_스타트펄스를 발생하는 단계는,

일정한 시간 간격을 두고 나타나는 상기 프레임기간에 입력 데이터 인에이블 신호를 상기 블랭킹기간까지 확장하여 더미 데이터 인에이블 신호를 발생하고 그 더미 데이터 인에이블 신호에 기초하여 상기 블랭킹기간 동안 상기 프리 게이트 스타트 펄스를 발생하는 것을 특징으로 하는 액정표시장치의 구동방법.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 액정표시장치와 그 구동방법에 관한 것이다.

배경기술

<2> 액티브 매트릭스 액정표시장치(Active Matrix LCD)는 스위칭 소자로서 박막트랜지스터(Thin Film Transistor :

이하 "TFT"라 함)를 이용하여 동영상을 표시하고 있다. 액정표시장치는 음극선관(Cathode Ray Tube, CRT)에 비하여 소형화가 가능하여 휴대용 정보기기, 사무기기, 컴퓨터 등에서 표시기에 응용됨은 물론, 텔레비전에도 응용되어 빠르게 음극선관을 대체하고 있다.

- <3> 액티브 매트릭스 액정표시장치는 데이터라인들과 게이트라인들이 교차하고 그 교차 구조로 정의된 영역들에 액정셀들이 매트릭스 형태로 배치된다. 데이터라인들과 게이트라인들의 교차부에는 TFT들(Thin Film Transistor)가 형성된다. 액정표시장치의 데이터 드라이브 IC(Integrated Circuit)는 도 1과 같이 소스 출력 인에이블 신호(Source Output Enable, SOE)의 로우논리구간 동안 정극성 또는 부극성 데이터전압을 데이터라인들에 공급하며, 게이트 드라이브 IC는 데이터전압에 동기되는 게이트펄스를 게이트 출력 인에이블 신호(Gate Output Enable)의 로우 논리구간 동안 게이트라인들(G1 내지 G3)에 공급하여 데이터 전압이 충전되는 1 라인의 액정셀을 선택한다.
- <4> 액정표시장치의 액정층에 직류전압을 장시간 인가하면, 액정에 인가되는 전계의 극성을 따라 음전하를 띤 이온들이 동일한 움직임 벡터 방향으로 이동하고 양전하를 띤 이온들이 그 반대 방향의 움직임 벡터 방향으로 이동하면서 분극화되고, 시간이 지날수록 음전하를 띤 이온들의 축적량과 양전하를 띤 이온들의 축적량이 증가된다. 이온들의 축적량이 증가하면서 배향막이 열화되며, 그 결과 액정의 배향특성이 열화된다. 이로 인하여, 액정표시장치에 직류전압이 장시간 인가되면 표시화상에서 얼룩이 나타나고 그 얼룩이 시간이 지날수록 커진다. 이러한 얼룩을 개선하기 위하여, 유전율이 낮은 액정물질을 개발하거나 배향물질이나 배향방법을 개선하는 방법들도 시도하고 있다. 그러나 이러한 방법은 재료 개발에 많은 시간과 비용이 필요하며, 액정의 유전율을 낮게 하면 액정의 구동특성이 나빠지는 또 다른 문제점을 초래할 수 있다. 실험적으로 밝혀진 바에 의하면, 이온의 분극 및 축적으로 인한 얼룩의 발현시점은 액정층 내에서 이온화되는 불순물이 많을수록, 그리고 가속 팩터가 클수록 빨라진다. 가속팩터는 온도, 시간, 액정의 직류 구동화 등이다. 따라서, 얼룩은 온도가 높거나 동일 극성의 직류전압이 액정층에 인가되는 시간이 길수록 빨리 나타나고 그 정도도 심해진다. 더욱이, 얼룩은 같은 제조라인을 통해 제작된 동일 모델의 패널들에서도 그 형태나 정도가 다르므로 새로운 재료 개발이나 공정의 개선 방법만으로 해결할 수 없다.

발명의 내용

해결 하고자하는 과제

- <5> 따라서, 본 발명의 목적은 상기 종래 기술의 문제점들을 해결하고자 안출된 발명으로써 이온의 분극 및 축적으로 인한 얼룩 현상을 억제하도록 한 액정표시장치와 그 구동방법을 제공하는데 있다.

과제 해결수단

- <6> 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 액정표시장치는 다수의 데이터라인들과 다수의 게이트라인들이 교차되고 매트릭스 형태로 배치되는 액정셀들을 포함한 액정표시패널; 주기적으로 극성이 반전되는 데이터전압을 상기 데이터라인들에 공급하는 데이터 구동회로; 1 프레임기간 내에서 제1 데이터전압에 동기되는 제1 게이트펄스를 상기 게이트라인들에 순차적으로 공급하고, 상기 제1 데이터전압의 극성과는 반대 극성으로 발생하는 제2 데이터전압에 동기되는 제2 게이트펄스를 상기 게이트라인들에 공급하는 게이트 구동회로; 및 블랭킹 기간 동안 상기 제1 게이트펄스의 출력을 제어하기 위한 프리 게이트_스타트펄스를 발생한 후에 상기 블랭킹기간에 이어지는 프레임기간의 초기에 상기_제2 게이트펄스의 출력을 제어하기 위한 리얼 게이트 스타트 펄스를 발생하는 타이밍 컨트롤러를 구비한다.
- <7> 상기 타이밍 컨트롤러는 상기 블랭킹기간 동안 더미 디지털 데이터를 발생한 후에 상기 프레임기간 동안 상기 액정표시패널에 표시하고자 하는 디지털 비디오 데이터를 발생한다.
- <8> 상기 데이터 구동회로는 상기 블랭킹기간 동안 입력되는 상기 더미 디지털 데이터를 더미 정극성/부극성 아날로그 데이터전압으로 변환하여 상기 데이터라인들에 공급한 후에, 상기 프레임기간 동안 입력되는 상기 디지털 비디오 데이터를 정극성/부극성 아날로그 데이터전압으로 변환하여 상기 데이터라인들에 공급한다.
- <9> 상기 타이밍 컨트롤러는 일정한 시간 간격을 두고 나타나는 상기 프레임기간에 입력 데이터 인에이블 신호를 상기 블랭킹기간까지 확장하여 더미 데이터 인에이블 신호를 발생하고 그 더미 데이터 인에이블 신호에 기초하여 상기 블랭킹기간 동안 상기 프리 게이트 스타트 펄스를 발생한다.
- <10> 상기 타이밍 컨트롤러는 상기 입력 데이터 인에이블 신호를 카운트하는 제1 카운터; 및 상기 입력 데이터 인에

이블 신호, 옵션정보, 라인수 정보, 및 제1 카운터의 출력신호를 입력받아 상기 프리 게이트 스타트 펄스와 상기 리얼 게이트 스타트 펄스를 발생하는 게이트 스타트 펄스 발생부를 구비한다.

<11> 상기 게이트 스타트 펄스 발생부는 상기 입력 데이터 인에이블 신호의 펄스폭보다 작은 주기로 발생하는 클럭에 따라 카운트하여 상기 입력 데이터 인에이블 신호의 펄스폭을 검출하는 제2 카운터; 상기 제2 카운터로부터 입력되는 펄스폭 정보에 기초하여 상기 블랭킹기간 동안 상기 더미 데이터 인에이블 신호를 발생하는 확장부; 상기 라인수 정보의 펄스 타임과 동기되는 상기 더미 데이터 인에이블신호의 펄스 타임을 검출하는 고 그 펄스 타임에 상기 프리 게이트 스타트 펄스를 발생하는 프리 게이트 스타트 펄스 타임 검출부; 상기 제1 카운터로부터 입력되는 상기 입력 데이터 인에이블 신호의 카운트 결과에 기초하여 제1 옵션정보가 지시하는 시간 간격을 판단하는 주기 체크부; 상기 주기 체크부의 출력을 입력받아 상기 옵션정보의 펄스와 동기되는 상기 더미 데이터 인에이블 신호의 펄스 타임에 선택신호를 반전시키는 주기 선택부; 및 상기 선택신호에 응답하여 상기 프리 게이트 스타트 펄스와 상기 리얼 게이트 스타트 펄스를 발생하는 펄스 발생부를 구비한다.

<12> 본 발명의 실시예에 따른 액정표시장치의 구동방법은 주기적으로 극성이 반전되는 데이터전압을 상기 데이터라인들에 공급하는 단계; 1 프레임기간 내에서 제1 데이터전압에 동기되는 제1 게이트펄스를 상기 게이트라인들에 순차적으로 공급하고, 상기 제1 데이터전압의 극성과는 반대 극성으로 발생하는 제2 데이터전압에 동기되는 제2 게이트펄스를 상기 게이트라인들에 공급하는 단계; 블랭킹 기간 동안 상기 제1 게이트펄스의 출력을 제어하기 위한 프리 게이트_스타트펄스를 발생하는 단계; 및 상기 블랭킹기간에 이어지는 프레임기간의 초기에 상기_제2 게이트펄스의 출력을 제어하기 위한 리얼 게이트 스타트 펄스를 발생하여 상기 게이트 스타트 펄스들을 발생하는 게이트 구동회로를 제어하는 단계를 포함한다.

효과

<13> 본 발명의 실시예에 따른 액정표시장치와 그 구동방법은 일정한 시간 간격마다 1 프레임기간 내에서 프리 데이터전압을 액정셀에 충전시킨 후에 그 프리 데이터전압의 극성과는 반대 극성으로 발생하는 리얼 데이터전압을 상기 액정셀에 충전시킨다. 그 결과, 본 발명의 실시예에 따른 액정표시장치와 그 구동방법은 일정한 시간 주기로 액정층 내에 혼재하는 이온들의 움직임 백터를 변경시켜 상기 이온의 분극화와 축적을 방지하여 얼룩의 발현을 억제한다.

발명의 실시를 위한 구체적인 내용

<14> 이하, 도 1 내지 도 6을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

<15> 도 2를 참조하면, 본 발명의 제1 실시예에 따른 액정표시장치는 액정표시패널(10), 타이밍 콘트롤러(11), 데이터 구동회로(12), 및 게이트 구동회로(13)를 구비한다. 데이터 구동회로(12)는 다수의 데이터 드라이브 IC들을 포함한다. 게이트 구동회로(13)는 다수의 게이트 드라이브 IC들(131 내지 133)을 포함한다.

<16> 액정표시패널(10)은 두 장의 유리기판 사이에 액정층이 형성된다. 이 액정표시패널은 m 개의 데이터라인들(14)과 n 개의 게이트라인들(15)의 교차 구조에 의해 매트릭스 형태로 배치된 m×n 개의 액정셀들(C1c)을 포함한다.

<17> 액정표시패널(10)의 하부 유리기판에는 데이터라인들(14), 게이트라인들(15), TFT들, 및 스토리지 커패시터(Cst)가 형성된다. 액정셀들(C1c)은 TFT에 접속되어 화소전극들(1)과 공통전극(2) 사이의 전계에 의해 구동된다. 액정표시패널(10)의 상부 유리기판 상에는 블랙매트릭스, 컬러필터 및 공통전극이 형성된다. 공통전극(2)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서 상부 유리기판 상에 형성되며, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서 화소전극과 함께 하부 유리기판 상에 형성된다. 액정표시패널(10)의 상부 유리기판과 하부 유리기판 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.

<18> 타이밍 콘트롤러(11)는 데이터 인에이블 신호(Data Enable, DE), 도트 클럭(CLK) 등의 타이밍신호를 입력받고 또한 추가로 제1 및 제2 옵션정보(OPT1, OPT2), 라인수 정보(INP_I) 등의 옵션정보들을 입력받는다. 타이밍 콘트롤러(11)는 데이터 인에이블 신호(DE)와 도트 클럭(CLK)을 카운트하여 데이터 구동회로(12)와 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 제어신호들을 발생하고 디지털 비디오 데이터를 데이터 구동회로(12)에 공급한다. 또한, 타이밍 콘트롤러(11)는 제1 및 제2 옵션정보(OPT1, OPT2) 및 라인수 정보(INP_I)에 기초하여 후술하는 프리 게이트 스타트 펄스(Pre Gate Start Pulse, PGSP)를 발생한다. 프리 게이트 스타트 펄스(PGSP)에 대한 상세한 설명은 후술하기로 한다. 또한, 타이밍 콘트롤러(11)는 액정표시패널(10)에 표시될 유효 디

지털 비디오 데이터를 매 프레임기간마다 데이터 구동회로(12)에 공급하고 프레임기간들 사이에 존재하는 블랭킹기간에 액정표시패널(10)에 표시되지 않는 더미 디지털 비디오 데이터를 데이터 구동회로(12)에 공급한다. 이러한 타이밍 컨트롤러(11)의 회로 구성은 도 3 및 도 4와 같다.

- <19> 게이트 타이밍 제어신호는 프리 게이트 스타트 펄스(PGSP), 리얼 게이트 스타트 펄스(Real Gate Start Pulse, RGSP), 게이트 쉬프트 클럭(Gate Shift Clock, GSC), 게이트 출력 인에이블 신호(Gate Output Enable, GOE) 등을 포함한다.
- <20> 프리 게이트 스타트 펄스(PGSP)는 제1 옵션정보(OPT1)가 지시하는 2~10 초의 주기마다 리얼 게이트 스타트 펄스(RGSP)에 앞서 발생된다. 또한, 프리 게이트 스타트 펄스(PGSP)는 라인수 정보(INP_I)가 지시하는 라인들의 스캐닝타임만큼 리얼 게이트 스타트 펄스(RGSP)에 앞서 표시하고자 하는 유효 데이터가 없는 블랭킹기간 동안 발생된다. 여기서, 라인 수란 액정표시패널(10)에서 하나의 액정셀 행들을 포함하는 수평라인을 의미한다. 따라서, 라인수 정보(INP_I)가 지시는 라인 수가 N(N은 양의 정수)이라면, 프리 게이트 스타트 펄스(PGSP)는 N 수평기간만큼 리얼 게이트 스타트 펄스(RGSP)에 앞서 발생된다. 이 라인수 정보(INP_I)가 지시하는 라인 수 정보는 표시하고자 하는 리얼 데이터전압의 극성과 반대극성의 데이터전압이 충전되는 앞 라인이어야 한다. 결국, 프리 게이트 스타트 펄스(PGSP)는 2~10 초 정도의 일정한 시간 간격으로 리얼 게이트 스타트 펄스(RGSP)에 앞서 블랭킹기간 내에서 발생된다. 리얼 게이트 스타트 펄스(RGSP)는 기존의 게이트 스타트 펄스와 동일한 신호로써 액정표시패널(10)에서 데이터의 스캐닝이 시작되는 때 프레임기간마다 프레임기간의 시작과 동시에 발생된다.
- <21> 프리 게이트 스타트 펄스(PGSP)와 리얼 게이트 스타트 펄스(RGSP)는 제1 게이트 드라이브 IC(131)에 인가되어 제1 게이트 드라이브 IC(131)의 게이트펄스의 쉬프트 동작을 개시시킨다. 따라서, 제1 게이트 드라이브 IC(131)는 프리 게이트 스타트 펄스(PGSP)에 응답하여 게이트펄스를 자신의 출력단자들에 연결된 게이트라인들(15)에 순차적으로 공급한 후에 캐리신호를 제2 게이트 드라이브 IC(132)에 전달한다. 제2 게이트 드라이브 IC(132)는 제1 게이트 드라이브 IC(131)로부터의 캐리신호를 게이트 스타트 펄스로 입력받아 게이트펄스의 쉬프트 동작을 시작하여 게이트펄스를 자신의 출력단자에 접속된 게이트라인들(15)에 순차적으로 공급한 후에, 캐리신호를 제3 게이트 드라이브 IC(133)에 전달한다. 제3 게이트 드라이브 IC(133)는 제2 게이트 드라이브 IC(132)로부터의 캐리신호를 게이트 스타트 펄스로 입력받아 게이트펄스의 쉬프트 동작을 시작하여 게이트펄스를 자신의 출력단자에 접속된 게이트라인들(15)에 순차적으로 공급한다. 리얼 게이트 스타트 펄스(RGSP)는 전술한 바와 같이 매 프레임기간마다 발생되고, 프리 게이트 스타트 펄스(PGSP)는 일정 시간 간격으로 떨어진 프레임기간에 앞선 블랭킹기간 내에서 발생된다. 게이트 쉬프트 클럭(GSC)은 게이트 스타트 펄스들(PGSP, RGSP)을 쉬프트시키기 위한 클럭신호이다. 게이트 출력 인에이블 신호(GOE)는 게이트 드라이브 IC들(131 내지 133)의 출력을 제어한다. 게이트 드라이브 IC들(131 내지 133)은 게이트 출력 인에이블 신호(GOE1 내지 GOE3)의 로우논리기간 즉, 이전 펄스의 폴링타임 직후로부터 그 다음 펄스의 라이징 타임 직전까지의 기간 동안 게이트펄스를 출력한다. 게이트 출력 인에이블 신호(GOE1 내지 GOE3)의 하이논리기간 동안 게이트 드라이브 IC들(131 내지 133)은 게이트펄스를 발생하지 않는다.
- <22> 데이터 타이밍 제어신호는 소스 스타트 펄스(Source Start Pulse, SSP), 소스 샘플링 클럭(Source Sampling Clock, SSC), 극성제어신호(Polarity : POL), 및 소스 출력 인에이블 신호(Source Output Enable, SOE) 등을 포함한다. 소스 스타트 펄스(SSP)는 데이터 구동회로(12)에서 첫 번째 디지털 비디오 데이터를 입력받는 데이터 드라이브 IC에 인가되어 데이터의 샘플링을 시작하는 타이밍을 지시한다. 소스 샘플링 클럭(SSC)은 소스 스타트 펄스(SSP)를 쉬프트시키는 클럭신호로써 라이징 또는 폴링 에지에 기준하여 데이터 구동회로(12) 내에서 데이터의 래치동작을 지시한다. 극성제어신호(POL)는 데이터 구동회로(12)로부터 출력되는 데이터전압의 극성을 제어한다. 소스 출력 인에이블 신호(SOE)는 데이터 구동회로(12)의 출력을 제어한다. 타이밍 컨트롤러(11)와 데이터 구동회로(12) 사이에서 mini LVDS(low-voltage differential signaling) 방식으로 디지털 비디오 데이터와 mini LVDS 클럭이 전송된다면 mini LVDS 클럭의 리셋신호 이후에 발생하는 첫 번째 클럭이 스타트 펄스 역할을 하므로 소스 스타트 펄스(SSP)는 생략될 수 있다.
- <23> 타이밍 컨트롤러(11)는 인터페이스 회로를 거쳐 시스템 보드에 접속된다. 시스템 보드에는 스케일러와 인터페이스 송신회로가 실장되어 디지털 비디오 데이터, 타이밍신호 및 옵션정보들을 타이밍 컨트롤러(11)에 공급한다. 옵션정보들은 스케일러와 인터페이스 송신회로가 실장된 시스템 보드의 갱신 가능한 메모리에 저장되거나 타이밍 컨트롤러(11)의 내의 메모리에 저장될 수 있다. 이 옵션정보들 중에서 제2 옵션정보(OPT2)는 타이밍 컨트롤러(11)의 옵션단자에 인가되는 전압으로 얻어질 수 있다. 예컨대, 타이밍 컨트롤러(11)의 옵션단자가 풀다운 저항을 거쳐 기저전압원(GND)에 접속되면 제2 옵션정보(OPT2)는 일반 모드를 지시하는 로우논리 "0"로 발생된다. 반면에, 타이밍 컨트롤러(11)의 옵션단자가 전원전압(Vcc)에 접속되면 제2 옵션정보(OPT2)는 열

록 억제 모드를 지시하는 하이논리 "1"로 발생된다. 노말 구동모드에서 타이밍 콘트롤러(11)는 프리 게이트 스타트 펄스(GSP)를 발생하지 않는다. 반면에, 얼룩 억제 모드에서 타이밍 콘트롤러(11)는 제1 옵션정보(OPT1)가 지시하는 2 초이상의 시간 간격마다 리얼 게이트 스타트 펄스(RGSP)에 앞서 프리 게이트 스타트 펄스(PGSP)를 발생한다.

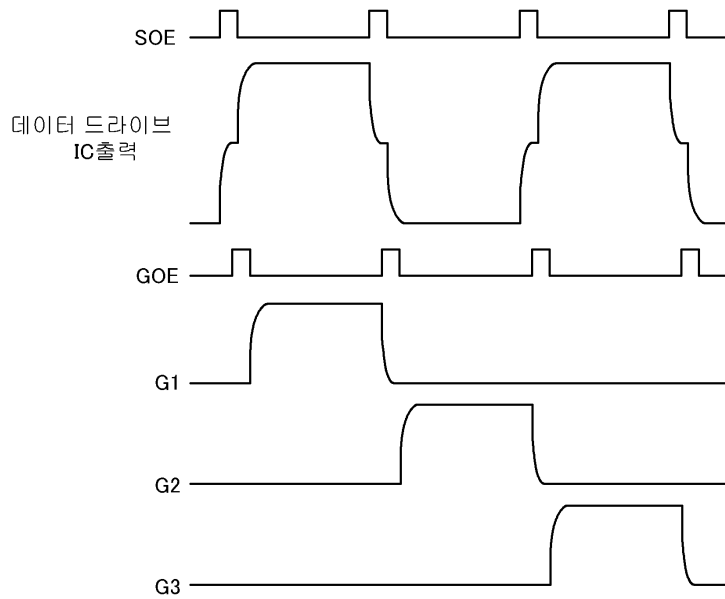
- <24> 액정셀은 프리 게이트 스타트 펄스(PGSP)에 의해 발생하는 게이트펄스의 온타임(스캐닝타임) 동안 표시하고자 하는 리얼 데이터전압의 극성과는 반대 극성의 앞 라인 데이터전압을 충전한 후에, 리얼 게이트 스타트 펄스(RGSP)에 의해 발생하는 게이트펄스의 온타임(스캐닝타임) 동안 표시하고자 하는 리얼 데이터전압을 충전한다. 따라서, 본 발명의 실시예에 따른 액정표시장치는 주기적으로 1 프레임기간 내에서 액정셀 각각에 충전되는 전압의 극성을 반전시켜 액정층 내에서 불순물 이온들의 움직임 백터를 변경시켜 즉, 움직임 방향을 다르게 하여 이온들이 극성에 따라 분리되어 축적되는 현상을 억제할 수 있다.
- <25> 데이터 구동회로(12)는 타이밍 콘트롤러(11)의 제어 하에 더미 디지털 비디오 데이터와 디지털 비디오 데이터(DATA)를 래치한다. 그리고 데이터 구동회로(12)는 디지털 비디오 데이터들(DATA)을 극성제어신호(POL)에 응답하여 아날로그 정극성/부극성 감마보상전압으로 변환한다. 이 데이터 구동회로(12)는 주기적으로 극성이 반전되는 데이터전압을 발생한다. 예컨대, 타이밍 콘트롤러(11)로부터 1 수평기간 단위로 논리가 반전되는 극성제어신호(POL)가 입력되면, 데이터 구동회로(12)는 그 극성제어신호(POL)에 응답하여 1 수평기간 단위로 데이터전압의 극성을 반전시키는 즉, 수직 1 도트 인버전 방식으로 데이터전압의 극성을 반전시켜 데이터라인들에 공급한다. 타이밍 콘트롤러(11)로부터 2 수평기간 단위로 논리가 반전되는 극성제어신호(POL)가 입력되면, 데이터 구동회로(12)는 그 극성제어신호(POL)에 응답하여 2 수평기간 단위로 데이터전압의 극성을 반전시키는 즉, 수직 2 도트 인버전 방식으로 데이터전압의 극성을 반전시켜 데이터라인들에 공급한다. 이렇게 데이터 구동회로(12)로부터 출력되는 정극성/부극성 아날로그 비디오 데이터전압은 데이터라인들(14)에 공급된다.
- <26> 게이트 구동회로(13)는 타이밍 콘트롤러(11)로부터 입력되는 게이트 타이밍신호에 응답하여 게이트펄스를 게이트라인들(15)에 순차적으로 공급한다. 이 게이트 구동회로(13)는 1 프레임기간 내에서 프리차지 데이터전압에 동기되는 게이트펄스를 게이트라인들(15)에 순차적으로 공급한 후에, 프리차지 데이터전압의 극성과는 반대 극성으로 발생하는 리얼 데이터전압에 동기되는 게이트펄스를 게이트라인들(15)에 순차적으로 공급한다.
- <27> 도 3은 타이밍 콘트롤러(11)에서 게이트 스타트 펄스들(PGSP, RGSP)를 발생하는 회로부분을 간략히 나타낸다.
- <28> 도 3을 참조하면, 타이밍 콘트롤러(11)는 제1 카운터(21), 및 게이트 스타트 펄스 발생부(22)를 구비한다.
- <29> 제1 카운터(21)는 데이터 인에이블 신호(DE)를 카운트하여 그 카운트 결과(DE_CNT)를 게이트 스타트 펄스 발생부(22)에 공급한다. 데이터 인에이블 신호(DE)는 1 라인에 표시될 디지털 비디오 데이터(DATA)가 존재하는 기간을 지시한다. 따라서, 데이터 인에이블 신호(DE)의 1 주기는 액정표시패널(10)의 1 라인의 스캔기간에 해당하는 1 수평기간이다. 따라서, 데이터 인에이블 신호(DE)의 카운트 결과는 액정표시패널(10)의 라인 수 즉, 수평기간을 지시한다.
- <30> 게이트 스타트 펄스 발생부(22)는 데이터 인에이블 신호(DE), 제1 및 제2 옵션정보(OPT1, OPT2), 라인수 정보(INP_I), 및 제1 카운터(21)의 카운트 결과를 입력받아 프리 게이트 스타트 펄스(PGSP)와 리얼 게이트 스타트 펄스(RGSP)를 발생한다.
- <31> 한편, 도 3의 회로 일부 또는 전부는 타이밍 콘트롤러와 분리되는 별도의 칩 형태로 구현될 수 있다.
- <32> 도 4는 게이트 스타트 펄스 발생부(22)를 상세히 나타낸다.
- <33> 도 4를 참조하면, 게이트 스타트 펄스 발생부(22)는 제2 카운터(31), 확장부(32), 프리 게이트 스타트 펄스 타임 검출부(33), 주기 체크부(34), 주기 선택부(35), 및 펄스 발생부(36)를 구비한다.
- <34> 제2 카운터(31)는 데이터 인에이블 신호(DE)를 도트 클럭(CLK) 또는 타이밍 콘트롤러(11)의 내장 발진기로부터 발생하는 내부 클럭으로 카운트하여 데이터 인에이블 신호(DE)의 펄스를 카운트한다. 도트 클럭(CLK) 또는 타이밍 콘트롤러(11) 내에서 발생하는 클럭은 데이터 인에이블 신호(DE)의 펄스폭보다 작은 주기로 발생된다. 그리고 제2 카운터(31)는 데이터 인에이블 신호(DE)의 펄스 카운트 결과, 데이터 인에이블 신호(DE)의 펄스 폭을 지시하는 펄스폭 정보를 발생한다.
- <35> 확장부(32)는 제2 카운터(31)로부터 입력되는 데이터 인에이블 신호(DE)와 그 데이터 인에이블 신호(DE)의 펄스폭 정보를 입력받는다. 이 확장부(32)는 데이터 인에이블 신호(DE)를 체크하여 프레임기간들 사이에 유효 데이터가 없는 블랭킹기간을 판단하고, 데이터 인에이블 신호(DE)의 펄스 폭 정보에 근거하여 블랭킹기간 동안 데이

터 인에이블 신호(DE)의 펄스와 동일한 펄스 폭과 주기를 갖는 더미 펄스들을 미리 정해진 개수만큼 발생한다. 결국, 확장부(32)는 유효 데이터가 없는 기간에 데이터 인에이블 신호(DE)와 동일한 신호를 삽입하여 도 5와 같이 블랭킹기간까지 데이터 인에이블 신호(DE)가 연속되는 더미 데이터 인에이블 신호(EDE)를 발생한다.

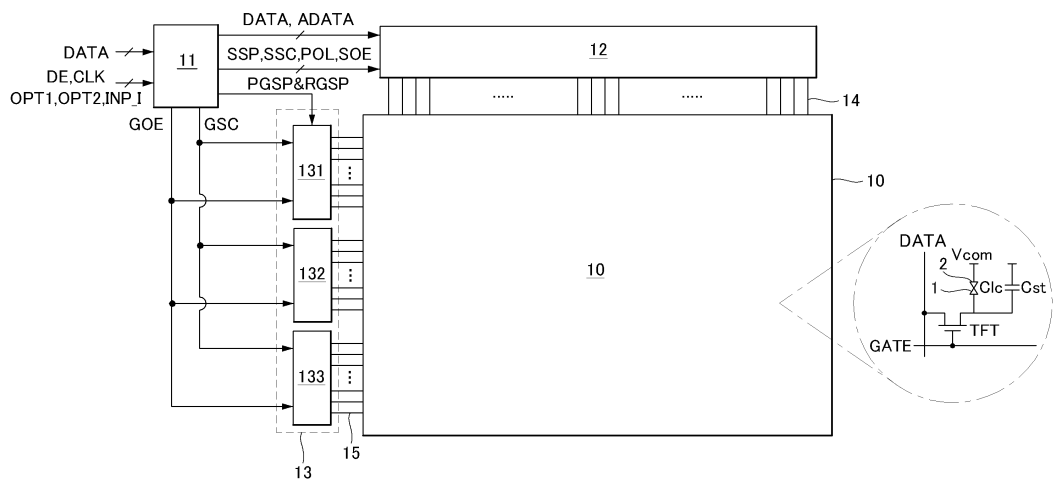
- <36> 프리 게이트 스타트 펄스 타임 검출부(33)는 블랭킹기간 내에서 발생하는 라인수 정보(INP_I)의 펄스 타임과 동기되는 더미 펄스를 검출하여 그 더미 펄스를 지시하는 출력을 발생한다. 액정표시패널(10)에서 임의의 기준 라인에 충전되는 데이터전압의 극성과는 상반되는 극성의 데이터전압이 앞서 충전되는 라인을 지지하기 위하여 라인수 정보(INP_1)의 펄스는 프레임기간의 시작시점 보다 i (i 는 자연수) 수평기간 앞선 시점을 지시한다. 예를 들면, 액정표시패널(10)의 데이터라인들(14)에 공급되는 데이터전압이 수직 1 도트 인버전 방식으로 반전된다면 라인 수 정보(INP_I)는 리얼 게이트 스타트 펄스(RGSP)가 발생하는 프레임기간의 시작시점보다 기수 수평기간만큼 앞선 시점을 지시한다. 액정표시패널(10)의 데이터라인들(14)에 공급되는 데이터전압이 수직 2 도트 인버전 방식으로 반전된다면 라인 수 정보(INP_I)는 리얼 게이트 스타트 펄스(RGSP)가 발생하는 프레임기간의 시작시점보다 1 수평기간, 2 수평기간, 5 수평기간, 6 수평기간, 7 수평기간, 또는 8 수평기간 등 반대 극성의 데이터전압이 공급되는 라인의 스캔타임을 지시한다.
- <37> 주기 체크부(34)는 데이터 인에이블 신호(DE)의 카운트 결과(DE_CNT)에 기초하여 제1 옵션정보(OPT1)의 펄스들 사이의 주기 즉, 시간 간격을 판단한다. 제1 옵션정보(OPT1)의 펄스들은 2~10 초 사이의 간격으로 발생된다.
- <38> 주기 선택부(35)는 주기 체크부(34)의 출력을 입력받아 제1 옵션정보(OPT1)의 펄스와 동기되는 데이터 인에이블 신호(DE)의 더미펄스를 검출한다. 그리고 주기 선택부(35)는 그 더미펄스가 발생할 때 선택신호(SEL)의 논리를 하이논리로 반전시킨다.
- <39> 펄스 발생부(36)는 제2 옵션정보(OPT2)와 주기 선택부(35)로부터의 선택신호(SEL)를 입력받아 제2 옵션정보(OPT2)가 하이논리일 때 얼룩 억제 모드로 동작할 때 즉, 선택신호(SEL)에 응답하여 프리 게이트 스타트 펄스(PGSP)를 발생한 후에 프레임기간의 시작과 동시에 리얼 게이트 스타트 펄스(RGSP)를 발생한다. 또한, 펄스 발생부(36)는 제2 옵션정보(OPT2)가 로우논리일 때 즉, 일반 모드로 동작할 때 프리 게이트 스타트 펄스(PGSP)를 발생하지 않고 리얼 게이트 스타트 펄스(RGSP)만을 발생한다.
- <40> 도 5는 게이트 스타트 펄스 발생부(22)의 입력 및 출력 신호를 나타낸다.
- <41> 도 5를 참조하면, 게이트 스타트 펄스 발생부(22)는 블랭킹기간까지 데이터 인에이블 신호(DE)를 확장하여 더미 데이터 인에이블 신호(EDE)를 발생한다. 그리고 게이트 스타트 펄스 발생부(22)는 라인 수 정보(INP_1)의 펄스와 동기되는 데이터 인에이블 신호(DE)의 더미 펄스를 검출하고 그 때 프리 게이트 스타트 펄스(PGSP)를 발생한다. 이어서, 게이트 스타트 펄스 발생부(22)는 프레임기간의 시작과 동시에 리얼 게이트 스타트 펄스(RGSP)를 발생한다.
- <42> 도 6은 게이트 스타트 펄스 발생부(22)로부터의 게이트 스타트 펄스들(PGSP, RGSP)에 따라 게이트 구동회로(13)로부터 발생하는 게이트펄스들과 데이터 구동회로(12)로부터 발생하는 데이터전압을 나타내는 파형도이다.
- <43> 도 6을 참조하면, 데이터 구동회로(12)는 타이밍 컨트롤러(11)로부터의 더미 디지털 비디오 데이터에 응답하여 블랭킹기간 동안 더미 데이터전압을 발생한다. 그리고 데이터 구동회로(12)는 수직 1 도트 인버전 형태로 데이터전압의 극성을 반전시켜 출력한다. 게이트 구동회로(13)는 얼룩 억제 모드에서 프리 게이트 스타트 펄스(PGSP)에 응답하여 프리 게이트펄스들을 게이트라인들(15)에 순차적으로 공급하면서 프리 게이트 스타트 펄스(PGSP)에 이어서 3 수평기간 즉, 3 라인 뒤에 입력되는 리얼 게이트 스타트 펄스(RGSP)에 응답하여 리얼 게이트 펄스들을 게이트라인들(15)에 순차적으로 공급한다. 따라서, $n-3$ (n 은 4 이상의 양의 정수) 번째 게이트라인(15)에 공급되는 리얼 게이트펄스와 n 번째 게이트라인(15)에 공급되는 프리 게이트펄스는 동시에 발생된다.
- <44> n 번째 TFT는 프리 게이트펄스에 응답하여 $n-3$ 번째 라인의 TFT와 동시에 턴온되어 $n-3$ 번째 라인의 리얼 데이터전압을 프리차지 데이터전압으로써 자신과 접속된 n 번째 라인의 액정셀에 공급한 후에, 리얼 게이트펄스에 응답하여 n 번째 라인에 표시할 리얼 데이터전압을 그 액정셀에 공급한다. 프리차지 데이터전압은 리얼 데이터전압의 극성과 반대이다. 따라서, 액정셀 각각은 얼룩 억제 모드에서 도 6 및 도 7과 같이 프리 차지 데이터전압을 충전한 후에 그 프리 차지 데이터전압의 극성과는 반대극성의 리얼 데이터전압을 충전한다.
- <45> 얼룩 억제 모드에서 액정층 내의 이온들은 액정셀 각각에 충전되는 데이터전압이 1 프레임기간 내에서 한차례 반전되므로 그 극성 변화에 추종하여 움직임 벡터가 달라진다. 따라서, 본 발명의 실시예에 따른 액정표시장치는 액정층 내의 이온들의 분극 및 축적으로 인한 얼룩이 억제될 수 있다.

도면

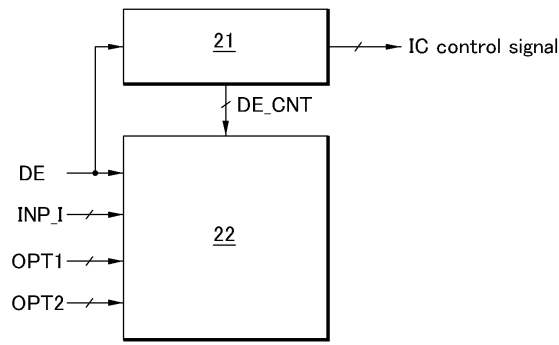
도면1



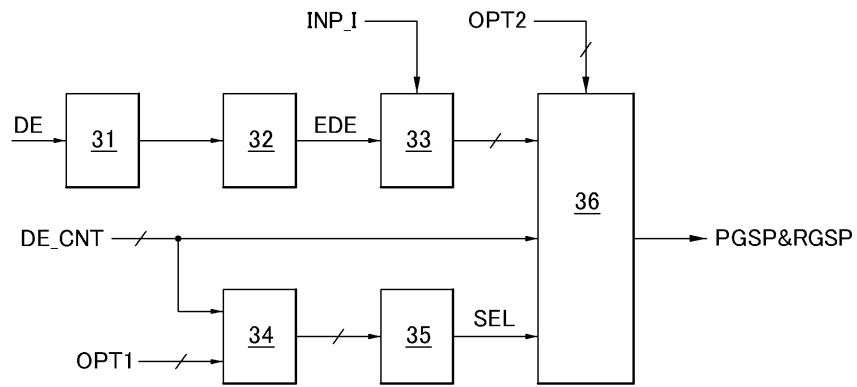
도면2



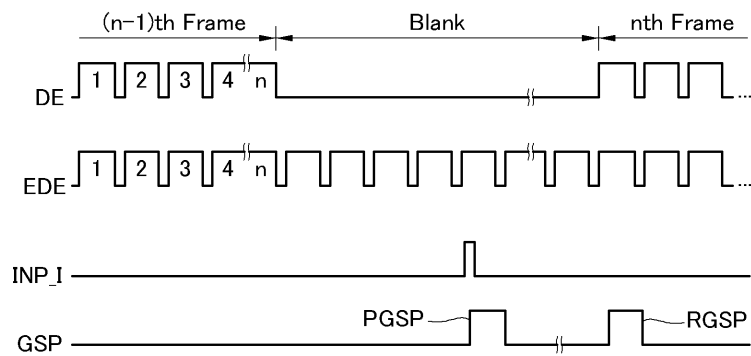
도면3



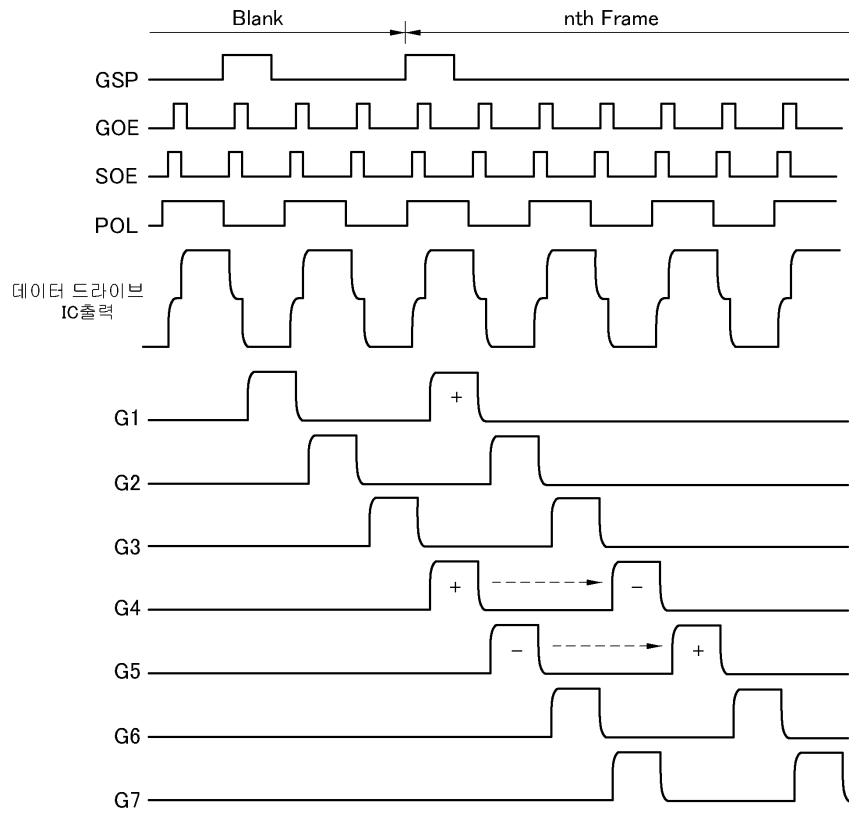
도면4



도면5



도면6



专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	KR1020090114693A	公开(公告)日	2009-11-04
申请号	KR1020080040461	申请日	2008-04-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	MIN WOONG KI 민웅기 SON YONG GI 손용기 JANG SU HYUK 장수혁 SONG HONG SUNG 송홍성		
发明人	민웅기 손용기 장수혁 송홍성		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G2320/0204 G09G3/3677 G09G2310/08 G09G3/3614 G09G3/3648		
其他公开文献	KR101301422B1		
外部链接	Espacenet		

摘要(译)

本发明涉及液晶显示器及其驱动方法，该液晶显示器包括LCD面板：时序控制器，产生栅极驱动电路，提供与极性同步的第二栅极脉冲和产生相反极性的第二数据电压。第一数据电压到栅极线它连续地提供与数据驱动电路中的第一数据电压同步的第一栅极脉冲：1帧持续时间提供数据电压，其中极性周期性地反向转向数据线到栅极线和实际栅极在产生用于控制消隐周期的第一栅极脉冲的输出的自由栅极起始脉冲之后，在连接到消隐周期的帧持续时间的初始中控制第二栅极脉冲的输出的起始脉冲包括其中多个液晶单元的液晶单元栅极线与多条数据线交叉，并以ma的形式排列TRIX。

