



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0114692
 (43) 공개일자 2009년11월04일

(51) Int. Cl.

G09G 3/36 (2006.01) G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

(21) 출원번호 10-2008-0040460

(22) 출원일자 2008년04월30일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

민용기

대구 북구 동천동 891번지 동화골든빌 103동 1205호

손용기

경남 밀양시 산외면 다죽리 156번지

(뒷면에 계속)

(74) 대리인

특허법인로얄

전체 청구항 수 : 총 7 항

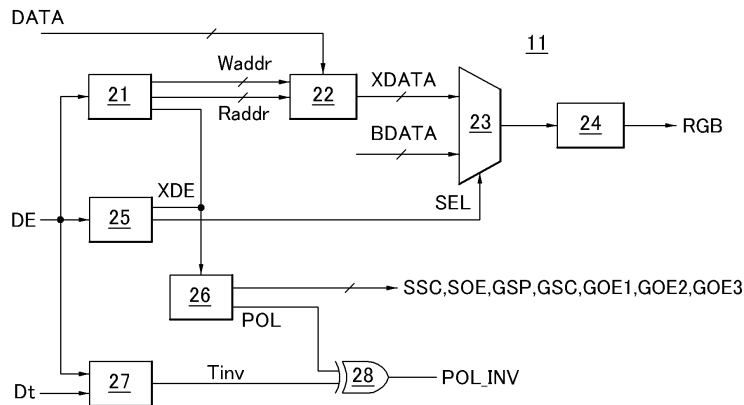
(54) 액정표시장치와 그 구동방법

(57) 요약

본 발명은 액정표시장치와 그 구동방법에 관한 것이다.

이 액정표시장치는 다수의 데이터라인들과 다수의 게이트라인들이 교차되고 매트릭스 형태로 배치되는 액정셀들을 포함한 액정표시패널; 입력 타이밍 신호의 주파수를 채배하는 타이밍 신호 채배회로; 상기 타이밍 신호 채배회로에 의해 채배된 타이밍 신호를 기준으로 극성제어신호를 생성하는 타이밍 제어신호 발생회로; 일정한 주기로 반전되는 반전 주기신호에 응답하여 상기 극성제어신호를 반전시켜 반전 극성제어신호를 발생하는 극성제어신호 반전회로; 디지털 비디오 데이터와 디지털 블랙 데이터를 각각 비디오 데이터 전압과 블랙계조 전압으로 변환하고 상기 반전 극성제어신호에 응답하여 비디오 데이터 전압과 블랙계조 전압의 극성을 반전시켜 상기 데이터라인들에 공급하는 데이터 구동회로; 및 상기 게이트라인들에 게이트 펄스를 공급하는 게이트 구동회로를 구비한다.

대표도 - 도2



(72) 발명자
장수혁
대구 북구 동천동 영남2차타운 103동 902호

송홍성
경북 구미시 구평동 474-7 부영아파트 803동 706호

특허청구의 범위

청구항 1

다수의 데이터라인들과 다수의 게이트라인들이 교차되고 매트릭스 형태로 배치되는 액정셀들을 포함한 액정표시 패널;

입력 타이밍 신호의 주파수를 체배하는 타이밍 신호 체배회로;

상기 타이밍 신호 체배회로에 의해 체배된 타이밍 신호를 기준으로 극성제어신호를 생성하는 타이밍 제어신호 발생회로;

일정한 주기로 반전되는 반전 주기신호에 응답하여 상기 극성제어신호를 반전시켜 반전 극성제어신호를 발생하는 극성제어신호 반전회로;

디지털 비디오 데이터와 디지털 블랙 데이터를 각각 비디오 데이터 전압과 블랙계조 전압으로 변환하고 상기 반전 극성제어신호에 응답하여 비디오 데이터 전압과 블랙계조 전압의 극성을 반전시켜 상기 데이터라인들에 공급하는 데이터 구동회로; 및

상기 게이트라인들에 게이트 펄스를 공급하는 게이트 구동회로를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 반전 주기신호의 펄스 각각은 상기 블랙계조 전압에 동기되는 것을 특징으로 하는 액정표시장치.

청구항 3

제 1 항에 있어서,

상기 반전 주기신호의 라이징 에지와 폴링 에지는 상기 블랙계조 전압에 동기되는 것을 특징으로 하는 액정표시장치.

청구항 4

제 1 항에 있어서,

상기 입력 타이밍 신호를 기준으로 라이트 어드레스 신호를 발생하고, 상기 체배된 타이밍 신호를 기준으로 리드 어드레스 신호를 발생하여 상기 디지털 비디오 데이터가 저장되는 메모리를 제어하는 메모리 컨트롤러;

상기 타이밍 신호 체배회로의 제어 하에 상기 디지털 블랙 데이터와 상기 메모리로부터의 디지털 비디오 데이터를 선택하는 멀티플렉서;

상기 멀티플렉서로부터 선택된 상기 디지털 블랙 데이터와 상기 디지털 비디오 데이터를 상기 데이터 구동회로에 공급하는 인터페이스회로; 및

외부로부터 입력되는 주기 데이터에 따라 상기 반전 주기신호를 발생하는 주기신호 발생부를 더 구비하고;

상기 극성제어신호 반전회로는 상기 극성제어신호와 상기 반전 주기신호를 배타적 논리합 연산하여 상기 반전 극성제어신호를 출력하는 배타적 논리합 회로를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 5

다수의 데이터라인들과 다수의 게이트라인들이 교차되고 매트릭스 형태로 배치되는 액정셀들을 포함한 액정표시 패널을 구비하는 액정표시장치의 구동방법에 있어서,

입력 타이밍 신호의 주파수를 체배하는 단계;

상기 타이밍 신호 체배회로에 의해 체배된 타이밍 신호를 기준으로 극성제어신호를 생성하는 단계;

일정한 주기로 반전되는 반전 주기신호에 응답하여 상기 극성제어신호를 반전시켜 반전 극성제어신호를 발생하는 단계;

디지털 비디오 데이터와 디지털 블랙 데이터를 각각 비디오 데이터 전압과 블랙계조 전압으로 변환하고 상기 반전 극성제어신호에 응답하여 비디오 데이터 전압과 블랙계조 전압의 극성을 반전시켜 상기 데이터라인들에 공급하는 단계; 및

상기 게이트라인들에 게이트 펄스를 공급하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 6

제 5 항에 있어서,

상기 반전 주기신호의 펄스 각각은 상기 블랙계조 전압에 동기되는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 7

제 5 항에 있어서,

상기 반전 주기신호의 라이징 에지와 폴링 에지는 상기 블랙계조 전압에 동기되는 것을 특징으로 하는 액정표시장치의 구동방법.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 액정표시장치와 그 구동방법에 관한 것이다.

배경기술

<2> 액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치는 스위칭 소자로서 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)를 이용하여 동영상 표시하고 있다. 액정표시장치는 음극선관(Cathode Ray Tube, CRT)에 비하여 소형화가 가능하여 휴대용 정보기기, 사무기기, 컴퓨터 등에서 표시기에 응용됨은 물론, 텔레비전에도 응용되어 빠르게 음극선관을 대체하고 있다.

<3> 액정표시장치의 액정층에 직류전압을 장시간 인가하면, 액정층 내의 이온들은 액정의 극성을 따라 분극화되고, 시간이 지날수록 액정층 내에서 이온들의 축적양이 증가된다. 이온들의 축적양이 증가하면서 배향막이 열화되며, 그 결과 액정의 배향특성이 열화된다. 이로 인하여, 액정표시장치에 직류전압이 장시간 인가되면 표시화상에서 얼룩이 나타나고 그 얼룩이 시간이 지날수록 커진다. 이러한 얼룩을 개선하기 위하여, 유전율이 낮은 액정물질을 개발하거나 배향물질이나 배향방법을 개선하는 방법을 도모하고 있다. 그러나 이러한 방법은 재료 개발에 많은 시간과 비용이 필요하며, 액정의 유전율을 낮게 하면 액정의 구동특성이 나빠지는 또 다른 문제점을 초래할 수 있다. 실험적으로 밝혀진 바에 의하면, 이온의 분극 및 축적으로 인한 얼룩의 발현시점은 액정층 내에서 이온화되는 불순물이 많을수록, 그리고 가속 팩터가 클수록 빨라진다. 가속팩터는 온도, 시간, 액정의 직류 구동화 등이다. 따라서, 얼룩은 온도가 높거나 동일 극성의 직류전압이 액정층에 인가되는 시간이 길수록 빨리 나타나고 그 정도도 심해진다. 더욱이, 얼룩은 같은 제조라인을 통해 제작된 동일 모델의 패널들에서도 그 형태나 정도가 다르므로 새로운 재료 개발이나 공정의 개선 방법만으로 해결할 수 없다.

<4> 액정표시장치는 액정의 유지특성에 의해 동영상에서 화면이 선명하지 못하고 흐릿하게 보이는 블러링(Blurring) 현상이 나타나게 된다. CRT는 임펄스 구동 방식으로 구동하기 때문에 매우 짧은 시간 동안만 형광체를 발광시켜 셀에 데이터를 표시한 후에 그 셀에서 발광이 없는 임펄스 구동으로 화상을 표시한다. 이에 비하여, 액정표시장치는 스캐닝기간 동안, 액정셀에 데이터가 공급된 후 나머지 펄드 기간(또는 프레임기간) 동안 그 액정셀에 충전된 데이터가 유지되는 홀드 구동으로 화상을 표시한다. 이러한 유지특성 때문에 액정표시장치에서 동영상을 표시할 때 관람자는 지각영상의 명암이 뚜렷하지 않고 흐릿하게 보여지는 영상을 볼 수 있다.

발명의 내용

해결 하고자하는 과제

<5> 따라서, 본 발명의 목적은 상기 종래 기술의 문제점들을 해결하고자 안출된 발명으로써 임펄스브 구동이 가능하며 이온의 분극 및 축적으로 인한 얼룩 현상을 억제하도록 한 액정표시장치와 그 구동방법을 제공하는데 있다.

과제 해결수단

<6> 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 액정표시장치는 다수의 데이터라인들과 다수의 게이트 라인들이 교차되고 매트릭스 형태로 배치되는 액정셀들을 포함한 액정표시패널; 입력 타이밍 신호의 주파수를 체배하는 타이밍 신호 체배회로; 상기 타이밍 신호 체배회로에 의해 체배된 타이밍 신호를 기준으로 극성제어신호를 생성하는 타이밍 제어신호 발생회로; 일정한 주기로 반전되는 반전 주기신호에 응답하여 상기 극성제어신호를 반전시켜 반전 극성제어신호를 발생하는 극성제어신호 반전회로; 디지털 비디오 데이터와 디지털 블랙 데이터를 각각 비디오 데이터 전압과 블랙계조 전압으로 변환하고 상기 반전 극성제어신호에 응답하여 비디오 데이터 전압과 블랙계조 전압의 극성을 반전시켜 상기 데이터라인들에 공급하는 데이터 구동회로; 및 상기 게이트 라인들에 게이트 펄스를 공급하는 게이트 구동회로를 구비한다.

<7> 상기 반전 주기신호의 펄스 각각은 상기 블랙계조 전압에 동기된다.

<8> 상기 반전 주기신호의 라이징 에지와 폴링 에지는 상기 블랙계조 전압에 동기된다.

<9> 상기 액정표시장치는 상기 입력 타이밍 신호를 기준으로 라이트 어드레스 신호를 발생하고, 상기 체배된 타이밍 신호를 기준으로 리드 어드레스 신호를 발생하여 디지털 비디오 데이터가 저장되는 메모리를 제어하는 메모리 컨트롤러; 상기 타이밍 신호 체배회로의 제어 하에 디지털 블랙 데이터와 상기 메모리로부터의 디지털 비디오 데이터를 선택하는 멀티플렉서; 상기 멀티플렉서로부터 선택된 디지털 블랙 데이터와 상기 디지털 비디오 데이터를 상기 데이터 구동회로에 공급하는 인터페이스회로; 및 외부로부터 입력되는 주기 데이터에 따라 상기 반전 주기신호를 발생하는 주기신호 발생부를 더 구비한다.

<10> 상기 극성제어신호 반전회로는 상기 극성제어신호와 상기 반전 주기신호를 배타적 논리합 연산하여 상기 반전 극성제어신호를 출력하는 배타적 논리합 회로를 구비한다.

<11> 본 발명의 실시예에 따른 액정표시장치의 구동방법은 입력 타이밍 신호의 주파수를 체배하는 단계; 상기 타이밍 신호 체배회로에 의해 체배된 타이밍 신호를 기준으로 극성제어신호를 생성하는 단계; 일정한 주기로 반전되는 반전 주기신호에 응답하여 상기 극성제어신호를 반전시켜 반전 극성제어신호를 발생하는 단계; 디지털 비디오 데이터와 디지털 블랙 데이터를 각각 비디오 데이터 전압과 블랙계조 전압으로 변환하고 상기 반전 극성제어신호에 응답하여 비디오 데이터 전압과 블랙계조 전압의 극성을 반전시켜 상기 데이터라인들에 공급하는 단계; 및 상기 게이트라인들에 게이트 펄스를 공급하는 단계를 포함한다.

효과

<12> 본 발명의 실시예에 따른 액정표시장치와 그 구동방법은 비디오 데이터전압에 이어서 블랙계조 전압을 액정셀에 충전시켜 액정표시장치를 임펄스브 방식으로 구동시킬 수 있으며, 주기적으로 액정층 내의 이온들의 이동방향을 반전시켜 얼룩 현상을 억제할 수 있다.

발명의 실시를 위한 구체적인 내용

<13> 이하, 도 1 내지 도 19를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

<14> 도 1을 참조하면, 본 발명의 제1 실시예에 따른 액정표시장치는 액정표시패널(10), 타이밍 컨트롤러(11), 데이터 구동회로(12), 및 게이트 구동회로(13)를 구비한다. 데이터 구동회로(12)는 다수의 데이터 드라이브 IC들을 포함한다. 게이트 구동회로(13)는 다수의 게이트 드라이브 IC들(131 내지 133)을 포함한다.

<15> 액정표시패널(10)은 두 장의 유리기판 사이에 액정층이 형성된다. 이 액정표시패널은 m 개의 데이터라인들(14)과 n 개의 게이트라인들(15)의 교차 구조에 의해 매트릭스 형태로 배치된 m×n 개의 액정셀들(C1c)을 포함한다.

<16> 액정표시패널(10)의 하부 유리기판에는 데이터라인들(14), 게이트라인들(15), TFT들, 및 스토리지 커패시터(Cst)가 형성된다. 액정셀들(C1c)은 TFT에 접속되어 화소전극들(1)과 공통전극(2) 사이의 전계에 의해 구동된다. 액정표시패널(10)의 상부 유리기판 상에는 블랙매트릭스, 컬러필터 및 공통전극(2)이 형성된다. 공통전극(2)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서 상부 유리기판 상에 형성되며, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식

에서 화소전극(1)과 함께 하부 유리기판 상에 형성된다. 액정표시패널(10)의 상부 유리기판과 하부 유리기판 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.

- <17> 액정표시패널(10)의 표시화면은 게이트 드라이브 IC들(131 내지 133)에 인가되는 게이트 타이밍 제어신호에 따라 다수의 블록(BL1 내지 BL3)으로 분할 구동된다. 블록들(BL1 내지 BL3) 각각은 1 라인씩 비디오 데이터전압을 충전하는 비디오 데이터 충전기간, 데이터전압을 유지하는 데이터 유지기간, 및 1 라인 간격 이상으로 2 개 이상의 라인들에 블랙전압을 동시에 충전하는 블랙 충전기간으로 시분할 구동된다. 여기서, 라인은 화소행을 의미한다.
- <18> 타이밍 콘트롤러(11)는 데이터 인에이블 신호(Data Enable, DE), 도트 클럭(CLK) 등의 타이밍신호를 입력받아 데이터 구동회로(12)와 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 제어신호들을 입력 프레임 주파수 대비 1.25 배 빠른 주파수로 발생한다. 제어신호들은 게이트 타이밍 제어신호와 데이터 타이밍 제어신호를 포함한다. 또한, 타이밍 콘트롤러(11)는 외부 시스템 보드로부터 입력되는 디지털 비디오 데이터(DATA)의 전송 주파수를 입력 주파수에 비하여 높게 하여 전송 주파수가 높아진 디지털 비디오 데이터들(RGB)에 주기적으로 디지털 블랙 데이터(BDATA)를 삽입하여 데이터 구동회로(12)에 공급한다. 이러한 타이밍 콘트롤러(11)의 회로 구성은 도 2와 같다.
- <19> 게이트 타이밍 제어신호는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 쉬프트 클럭(Gate Shift Clock, GSC), 제1 내지 제3 게이트 출력 인에이블신호(Gate Output Enable, GOE1 내지 GOE3) 등을 포함한다. 게이트 스타트 펄스(GSP)는 제1 게이트 드라이브 IC(131)에만 인가되어 제1 게이트 드라이브 IC(131)로부터 첫 번째 게이트펄스가 발생되도록 스캔이 시작되는 시작 라인을 지시한다. 제2 및 제3 게이트 드라이브 IC들(132, 133)은 앞단 게이트 드라이브 IC에 의해 발생된 캐리신호를 게이트 스타트 펄스로 입력받아 동작한다. 게이트 스타트 펄스(GSP)는 도 9와 같이 펄스폭이 짧은 제1 펄스(P1)와 그 이후에 발생하는 제2 펄스(P2)를 포함한다. 제1 펄스(P1)는 데이터 표시 블록을 담당하는 게이트 드라이브 IC의 동작을 개시시킨다. 제2 펄스(P2)는 제1 펄스(P1)에 비하여 펄스폭이 넓다. 이 제2 펄스는 블랙 표시 블록을 담당하는 게이트 드라이브 IC의 동작을 개시시킨다. 게이트 쉬프트 클럭(GSC)은 게이트 스타트 펄스(GSP)를 쉬프트시키기 위한 클럭신호이다. 게이트 출력 인에이블신호(GOE1 내지 GOE3)는 게이트 드라이브 IC들(131 내지 133)에 개별적으로 인가된다. 게이트 드라이브 IC들(131 내지 133)은 게이트 출력 인에이블신호(GOE1 내지 GOE3)의 로우논리기간 즉, 이전 펄스의 폴링 타임 직후로부터 그 다음 펄스의 라이징 타임 직전까지의 기간 동안 게이트펄스를 출력한다. 게이트 출력 인에이블신호(GOE1 내지 GOE3)의 하이논리기간 동안 게이트 드라이브 IC들(131 내지 133)은 게이트펄스를 발생하지 않는다.
- <20> 데이터 타이밍 제어신호는 소스 샘플링 클럭(Source Sampling Clock, SSC), 반전 극성제어신호(Polarity : POL_INV), 및 소스 출력 인에이블신호(Source Output Enable, SOE) 등을 포함한다. 소스 샘플링 클럭(SSC)은 라이징 또는 폴링 예지에 기준하여 데이터 구동회로(12) 내에서 데이터의 래치동작을 지시한다. 반전 극성제어신호(POL_INV)는 데이터 구동회로(12)로부터 출력되는 비디오 데이터전압과 블랙계조 전압의 극성을 제어한다. 소스 출력 인에이블신호(SOE)는 데이터 구동회로(12)의 출력을 제어한다.
- <21> 타이밍 콘트롤러(11)는 주기 데이터(Dt)에 응답하여 내부 극성 제어신호를 주기적으로 반전시켜 반전 극성제어신호(POL_INV)를 발생한다. 주기 데이터(Dt)는 외부 시스템보드나 유저 인터페이스를 통해 타이밍 콘트롤러(11)에 입력되거나 타이밍 콘트롤러(11) 내의 레지스터에 저장된다.
- <22> 데이터 구동회로(12)는 타이밍 콘트롤러(11)의 제어 하에 디지털 비디오 데이터(RGB)와 디지털 블랙 데이터(BDATA)를 래치한다. 그리고 데이터 구동회로(12)는 디지털 비디오 데이터(RGB)와 디지털 블랙 데이터(BDATA)를 반전 극성제어신호(POL_INV)에 응답하여 아날로그 정극성/부극성 감마보상전압으로 변환함으로써 정극성/부극성 아날로그 비디오 데이터전압 및, 정극성/부극성 블랙계조 전압을 발생하고 그 전압들을 데이터라인들(14)에 공급한다. 이 데이터 구동회로(12)는 4 수평기간 동안 정극성/부극성 아날로그 비디오 데이터전압을 출력한 후, 1 수평기간 동안 정극성/부극성 블랙계조 전압을 출력하는 동작을 반복한다. 데이터 구동회로(12)의 데이터 드라이브 IC 각각의 회로 구성은 도 3 및 도 4와 같다.
- <23> 게이트 구동회로(13)는 타이밍 콘트롤러(11)의 제어 하에 게이트펄스를 게이트라인들(15)에 순차적으로 공급한다. 이러한 게이트 드라이브 IC들(131 내지 133)은 도 5와 같이 구성된다.
- <24> 게이트 구동회로(13)의 게이트 드라이브 IC들(131 내지 133)은 데이터 표시블록을 담당할 때 타이밍 콘트롤러(11)로부터 입력되거나 앞단 게이트 드라이브 IC로부터 입력되는 게이트 스타트 펄스(GSP)의 제1 펄스와 게이트

쉬프트 클럭(GSC) 및 듀티비가 작은 게이트 출력 인에이블신호(GOE1 내지 GOE3)에 응답하여 4 개의 게이트라인들(15)에 게이트펄스를 순차적으로 인가한 후에 1 수평기간 뒤에 다시 게이트펄스의 출력을 시작한다. 이 게이트펄스들에 동기하여 데이터 구동회로(12)는 정극성/부극성 아날로그 비디오 데이터전압을 데이터라인들(14)에 공급한다.

- <25> 게이트 구동회로(13)의 게이트 드라이브 IC들(131 내지 133)은 블랙 표시블록을 담당할 때 타이밍 콘트롤러(11)로부터 입력되거나 앞단 게이트 드라이브 IC로부터 입력되는 게이트 스타트 펄스(GSP)의 제2 펄스와 게이트 쉬프트 클럭(GSC) 및 듀티비가 긴 게이트 출력 인에이블신호(GOE1 내지 GOE3)에 응답하여 4 수평기간 동안 출력을 발생하지 않고 그 이후 1 수평기간 동안 4 개의 게이트라인들(15)에 동시에 게이트 펄스를 공급하는 동작을 반복한다. 이 게이트펄스들에 동기하여 데이터 구동회로(12)는 정극성/부극성 블랙계조 전압을 데이터라인들(14)에 공급한다.
- <26> 도 2는 타이밍 콘트롤러(11)를 상세히 나타낸다.
- <27> 도 2를 참조하면, 타이밍 콘트롤러(11)는 메모리 콘트롤러(21), 메모리(22), 멀티플렉서(23), 인터페이스회로(24), 타이밍 신호 체배회로(25), 타이밍 제어신호 발생회로(26), 주기신호 발생부(27), 및 배타적 논리합 회로(Exclusive OR or XOR)(28)를 구비한다.
- <28> 메모리 콘트롤러(21)는 입력 데이터 인에이블신호(DE)에 맞추어 라이트 어드레스 신호(Waddr)를 발생하고, 데이터 인에이블신호(DE)의 입력 주파수×5/4 만큼(또는 1.25 배 만큼) 주파수가 빨라진 데이터 인에이블신호(×DE)에 맞추어 리드 어드레스(Raddr)를 발생한다. 이렇게 메모리(22)의 출력 속도가 빨라지는 이유는 입력 주파수 기준으로 볼 때 기존 타이밍 콘트롤러에서 4개 라인의 데이터들이 출력되는 기간 내에 본 발명의 타이밍 콘트롤러(11)는 4 개 라인의 데이터들을 출력하고 디지털 블록을 더 출력해야 하기 때문이다.
- <29> 메모리(22)는 라이트 어드레스(Waddr)에 응답하여 디지털 비디오 데이터를 저장하고, 리드 어드레스(Raddr)에 응답하여 저장된 디지털 비디오 데이터를 출력한다.
- <30> 멀티플렉서(23)는 메모리(22)로부터의 디지털 비디오 데이터(×DATA)와, 디지털 블랙 데이터(BDATA)를 타이밍 신호 체배회로(25)로부터의 선택신호(SEL)에 응답하여 선택한다. 이 멀티플렉서(23)는 선택신호(SEL)의 제1 논리에 응답하여 4 수평기간 동안 4 개 라인의 디지털 비디오 데이터들(×DATA)을 인터페이스회로(24)에 공급한 후, 선택신호(SEL)의 제2 논리에 응답하여 1 수평기간 동안 디지털 블랙 데이터(BDATA)를 인터페이스회로(24)에 공급한다.
- <31> 인터페이스회로(24)는 mini LVDS(low-voltage differential signaling) 방식으로 디지털 비디오 데이터(RGB), 디지털 블랙 데이터(BDATA)와 함께 mini LVDS 클럭을 데이터 구동회로(12)에 전송한다.
- <32> 타이밍 신호 체배회로(25)는 데이터 인에이블신호(DE)의 주파수를 1.25 배만큼 체배한다. 데이터 인에이블신호(DE)는 입력 주파수 기준으로 하여 1 수평기간의 주기로 발생한다. 따라서, 입력 프레임 주파수가 60Hz 일 때, 액정표시패널(10)은 75Hz의 프레임 주파수로 구동된다. 또한, 타이밍 신호 체배회로(25)는 체배된 데이터 인에이블신호(DE)를 카운트하여 그 카운트 값을 5로 나누고 나머지가 0일 때 카운트값을 리셋시키고 선택신호(SEL)의 논리를 제2 논리로 반전시킨다. 타이밍 신호 체배회로(25)로부터 체배된 데이터 인에이블신호(×DE)는 메모리 콘트롤러(21)와 타이밍 제어신호 발생회로(26)에 입력된다.
- <33> 타이밍 제어신호 발생회로(26)는 체배된 데이터 인에이블신호(×DE)를 기준으로 하여 임펄스 효과가 없는 기존 기술보다 주파수가 1.25 배 빠른 게이트 타이밍 제어신호(GSP, GSC, GOE1, GOE2, GOE3)와 데이터 타이밍 제어신호(SSC, SOE, POL)를 발생한다.
- <34> 주기신호 발생부(27)는 주기 데이터(Dt)에 따라 일정 시간 주기로 반전되는 반전 주기신호(Tinv)를 발생하여 배타적 논리합 회로(28)에 공급한다. 배타적 논리합 회로(28)는 극성제어신호(POL)와 반전 주기신호(Tinv)를 배타적 논리합 연산하여 반전 극성제어신호(POL_INV)를 출력한다.
- <35> 도 3 및 도 4는 데이터 드라이브 IC(12A)를 상세히 나타내는 회로도이다.
- <36> 도 3 및 도 4를 참조하면, 데이터 드라이브 IC(12A) 각각은 쉬프트 레지스(31), 데이터 복원부(32), 제1 래치 어레이(33), 제2 래치 어레이(34), 디지털-아날로그 변환기(이하, "DAC"라 한다)(35), 차지쉐어회로(Charge Share Circuit)(36) 및 출력회로(37)를 포함한다.
- <37> 데이터 복원부(32)는 타이밍 콘트롤러(11)로부터의 디지털 비디오 데이터(RGB)와 디지털 블랙 데이터(BDATA)를

일시 저장하고 mini LVDS 방식으로 데이터를 복원하여 제1 래치 어레이(33)에 공급한다.

- <38> 쉬프트 레지스터(31)는 소스 샘플링 클럭(SSC)에 따라 샘플링신호를 쉬프트시킨다. 또한, 쉬프트 레지스터(31)는 제1 래치 어레이(33)의 래치수를 초과하는 데이터가 공급될 때 캐리신호(Carry)를 발생한다.
- <39> 제1 래치 어레이(33)는 쉬프트 레지스터(31)로부터 순차적으로 입력되는 샘플링신호에 응답하여 데이터 복원부(32)로부터의 디지털 비디오 데이터(RGB)와 디지털 블랙 데이터(BDATA)를 샘플링하여 래치한 다음, 동시에 출력한다.
- <40> 제2 래치 어레이(34)는 제1 래치 어레이(33)로부터 입력되는 데이터들을 래치한 다음, 소스 출력 인에이블신호(SOE)의 로우논리기간 동안 다른 데이터 드라이브 IC들(12A)의 제2 래치 어레이(34)와 동시에 래치된 데이터들을 동시에 출력한다.
- <41> DAC(35)는 도 4와 같이 정극성 감마보상전압(GH)이 공급되는 P-디코더(PDEC)(41), 부극성 감마보상전압(GL)이 공급되는 N-디코더(NDEC)(42), 반전 극성제어신호(POL_INV)에 응답하여 P-디코더(41)의 출력과 N-디코더(42)의 출력을 선택하는 멀티플렉서(43)를 포함한다. P-디코더(41)는 제2 래치 어레이(34)로부터 입력되는 데이터들을 디코딩하여 그 데이터의 계조값에 해당하는 정극성 감마보상전압(GH)을 출력하고, N-디코더(42)는 제2 래치 어레이(34)로부터 입력되는 데이터들을 디코딩하여 그 데이터의 계조값에 해당하는 부극성 감마보상전압(GL)을 출력한다. 멀티플렉서(43)는 반전 극성제어신호(POL_INV)에 응답하여 정극성의 감마보상전압과 부극성의 감마보상전압을 선택한다.
- <42> 차지웨어회로(36)는 소스 출력 인에이블신호(SOE)의 하이논리기간 동안 이웃한 데이터 출력채널들을 단락(short)시켜 이웃한 데이터전압들의 평균값을 차지웨어전압으로 출력하거나, 소스 출력 인에이블신호(SOE)의 하이논리기간 동안 데이터 출력채널들에 공통전압(Vcom)을 공급하여 데이터라인들(14)에 공급될 정극성 전압과 부극성 전압의 급격한 변화를 줄인다.
- <43> 출력회로(37)는 버퍼를 포함하여 데이터라인(D1 내지 Dk)으로 공급되는 정극성/부극성 아날로그 데이터전압과 정극성/부극성 블랙계조 전압의 신호감쇠를 최소화한다.
- <44> 도 5는 게이트 드라이브 IC들(131 내지 133)를 나타낸다.
- <45> 도 5를 참조하면, 게이트 드라이브 IC들(131 내지 133) 각각은 쉬프트 레지스터(50), 레벨 쉬프터(52), 쉬프트 레지스터(50)와 레벨 쉬프터(52) 사이에 접속된 다수의 논리곱 게이트(이하, "AND 게이트"라 함)(51) 및 게이트 출력 인에이블신호(GOE1 내지 GOE3)를 반전시키기 위한 인버터(53)를 구비한다.
- <46> 쉬프트 레지스터(50)는 종속적으로 접속된 다수의 D-플립플롭을 이용하여 게이트 스타트 펄스(GSP)를 게이트 쉬프트 클럭(GSC)에 따라 순차적으로 쉬프트시킨다. AND 게이트들(51) 각각은 쉬프트 레지스터(50)의 출력신호와 게이트 출력 인에이블신호(GOE1 내지 GOE3)의 반전신호를 논리곱하여 출력을 발생한다. 인버터(53)는 게이트 출력 인에이블신호(GOE1 내지 GOE3)를 반전시켜 AND 게이트들(51)에 공급한다. 따라서, 게이트 드라이브 IC들(131 내지 133)은 게이트 출력 인에이블신호(GOE1 내지 GOE3)가 로우논리구간일 때에만 출력을 발생한다.
- <47> 레벨 쉬프터(52)는 액정표시패널(10)의 화소 어레이 내에 형성된 TFT의 동작 전압 범위만큼 AND 게이트(51)의 출력전압 스윙폭을 쉬프트시킨다. 레벨 쉬프터(52)의 출력신호(G1 내지 Gk)는 k(k는 정수) 개의 게이트라인들(15)에 순차적으로 공급된다. 한편, 레벨 쉬프터(52)는 쉬프트 레지스터(50)의 앞단에 배치되고, 쉬프트 레지스터(50)는 화소 어레이의 TFT와 함께 액정표시패널(10)의 유리기판에 직접 형성될 수 있다.
- <48> 본 발명의 제1 실시예에 따른 액정표시장치는 도 6 내지 도 8과 같이 액정표시패널(10)에서 어느 한 블록이 정극성/부극성 아날로그 비디오 데이터 전압을 충전하는 동안, 다른 블록은 정극성/부극성 블랙계조 전압을 충전하거나 이전에 충전하였던 비디오 데이터전압을 유지하여 임펄쓰브 구동한다. 블록들(BL1 내지 BL3) 각각은 1 프레임기간(1/75 sec) 내에 비디오 데이터 충전, 데이터 유지 및 블랙 충전의 순서로 구동된다. 이를 도 9의 파형도를 결부하여 상세히 설명하기로 한다.
- <49> T1 기간 동안, 제1 게이트 드라이브 IC(131)는 T1 기간의 시작과 동시에 발생하는 게이트 스타트 펄스(GSP)의 제1 펄스(P1)에 응답하여 동작하기 시작한다. 게이트 쉬프트 클럭(GSC)에서, 펄스는 4 수평기간 동안 1 수평기간 간격으로 발생된 후, 2 수평기간 뒤에 다시 발생된다. 제1 게이트 출력 인에이블신호(GOE1)에서 펄스는 4 수평기간 동안 1 수평기간 간격으로 발생된 후, 1 수평기간 동안 하이논리를 유지한 다음에 다시 1 수평기간 간격으로 발생된다. 그 결과, 제1 게이트 드라이브 IC(131)는 4 개의 게이트라인들에 순차적으로 게이트펄스를 공급한 후 1 수평기간 동안 출력을 멈춘 다음, 다시 게이트라인들에 게이트펄스를 순차적으로 공급하는 동작을

반복한다. 이러한 제1 게이트 드라이브 IC(131)에 의해 스캐닝되는 제1 블록(BL1)의 액정셀들은 T1 기간 동안 데이터 구동회로(12)로부터의 정극성/부극성 아날로그 비디오 데이터전압을 1 라인씩 순차적으로 충전한다. T1 기간 동안, 제2 게이트 드라이브 IC(132)에는 T1 기간의 시작과 동시에 제1 게이트 드라이브 IC(131)로부터 캐리신호를 입력받는다. 제2 게이트 드라이브 IC(132)에 인가되는 게이트 쉬프트 클럭(GSC)은 제1 게이트 드라이브 IC(132)에 인가되는 것과 동일하다. 제2 게이트 드라이브 IC(132)에 인가되는 제2 게이트 출력 인에이블신호(GOE2)에서 펄스는 제1 블록(BL1)에서 4 개의 라인들이 정극성/부극성 아날로그 비디오 데이터전압을 충전하고 있는 4 수평기간 동안 하이논리를 유지한 후, 1 수평기간 동안 로우논리를 반전된 다음 4 수평기간의 펄스폭으로 다시 발생한다. 그 결과, T1 기간 동안, 제2 게이트 드라이브 IC(132) 내에서 4 수평기간 이상의 펄스폭을 가지는 캐리신호가 1 수평기간 간격으로 쉬프트되어 그들 간에 3 수평기간 이상 펄스폭이 중첩된다. 이러한 캐리신호의 중첩으로 인하여 제2 게이트 드라이브 IC(132)로부터 발생하는 게이트펄스들은 제2 게이트 출력 인에이블신호(GOE2)가 로우논리를 유지하는 5의 배수 번째 수평기간 동안 4 개의 게이트라인들에 동시에 공급된다. 따라서, 제2 게이트 드라이브 IC(132)에 의해 스캐닝되는 제2 블록(BL2)의 액정셀들은 4 개 라인씩 데이터 구동회로(12)로부터의 정극성/부극성 블랙계조 전압을 동시에 충전한다. T1 기간 동안, 제3 게이트 드라이브 IC(133)에는 제2 게이트 드라이브 IC(132)로부터 캐리신호를 입력받지 못한다. 제3 블록(BL3)은 이전 프레임의 T3 기간 동안 충전하였던 비디오 데이터전압을 유지한다.

<50> T2 기간 동안, 제1 게이트 드라이브 IC(131)는 타이밍 콘트롤러(11)로부터 게이트 스타트 펄스(GSP)를 입력받지 못한다. 따라서, T2 기간 동안 제1 게이트 드라이브 IC(131)는 게이트펄스를 발생하지 않으므로 제1 블록(BL1)은 T1 기간에 이미 충전하였던 데이터전압을 유지한다. 제2 게이트 드라이브 IC(132)는 T1 기간의 시작과 동시에 제1 게이트 드라이브 IC(131)로부터 캐리신호로 발생된 게이트 스타트 펄스(GSP)의 제1 펄스(P1)를 입력받는다. 따라서, 제2 게이트 드라이브 IC(132)는 4 개의 게이트라인들에 순차적으로 게이트펄스를 공급한 후 1 수평기간 동안 출력을 멈춘 다음, 다시 게이트라인들에 게이트펄스를 순차적으로 공급하는 동작을 반복한다. 제2 게이트 드라이브 IC(132)에 의해 스캐닝되는 제2 블록(BL2)의 액정셀들은 T2 기간 동안 데이터 구동회로(12)로부터의 정극성/부극성 아날로그 비디오 데이터전압을 1 라인씩 순차적으로 충전한다. T2 기간 동안, 제3 게이트 드라이브 IC(133)에는 T2 기간의 시작과 동시에 제2 게이트 드라이브 IC(132)로부터 캐리신호로써 게이트 스타트 펄스(GSP)의 제2 펄스(P2)를 입력받는다. 그 결과, T2 기간 동안 제3 게이트 드라이브 IC(133)는 게이트 펄스를 4 개의 게이트라인들에 동시에 공급한 후 4 수평기간 뒤에 다른 4 개의 게이트라인들에 게이트펄스를 동시에 공급하는 동작을 반복한다. 따라서, 제3 게이트 드라이브 IC(133)에 의해 스캐닝되는 제3 블록(BL3)의 액정셀들은 T2 기간 동안 4 개 라인씩 데이터 구동회로(12)로부터의 정극성/부극성 블랙계조 전압을 동시에 충전한다.

<51> T3 기간의 시작과 동시에, 제1 게이트 드라이브 IC(131)에는 타이밍 콘트롤러(11)로부터 게이트 스타트 펄스(GSP)의 제2 펄스(P2)가 입력된다. 그 결과, T3 기간 동안 제1 게이트 드라이브 IC(131)는 게이트 펄스를 4 개의 게이트라인들에 동시에 공급한 후 4 수평기간 뒤에 다른 4 개의 게이트라인들에 게이트펄스를 동시에 공급하는 동작을 반복한다. 따라서, 제3 게이트 드라이브 IC(133)에 의해 스캐닝되는 제1 블록(BL1)의 액정셀들은 T3 기간 동안 4 개 라인씩 데이터 구동회로(12)로부터의 정극성/부극성 블랙계조 전압을 동시에 충전한다. T3 기간 동안, 제2 게이트 드라이브 IC(132)는 제1 게이트 드라이브 IC(131)로부터 캐리신호를 전달받지 못한다. 따라서, T3 기간 동안 제2 게이트 드라이브 IC(132)는 게이트펄스를 발생하지 않으므로 제2 블록(BL2)은 T2 기간에 이미 충전하였던 데이터전압을 유지한다. 제3 게이트 드라이브 IC(133)는 T3 기간의 시작과 동시에 제1 게이트 드라이브 IC(131)로부터 캐리신호로 발생된 게이트 스타트 펄스(GSP)의 제1 펄스(P1)를 입력받는다. 따라서, 제3 게이트 드라이브 IC(133)는 T3 기간 동안 4 개의 게이트라인들에 순차적으로 게이트펄스를 공급한 후 1 수평기간 동안 출력을 멈춘 다음, 다시 게이트라인들에 게이트펄스를 순차적으로 공급하는 동작을 반복한다. 제3 게이트 드라이브 IC(133)에 의해 스캐닝되는 제3 블록(BL3)의 액정셀들은 T3 기간 동안 데이터 구동회로(12)로부터의 정극성/부극성 아날로그 비디오 데이터전압을 1 라인씩 순차적으로 충전한다.

<52> 도 9에서, 도면 부호 "G1-G4"는 비디오 데이터전압이 충전되는 데이터 표시 블록의 게이트라인들에 공급되는 게이트펄스와, 블랙 계조 전압이 충전되는 블랙 표시 블록의 게이트라인들에 공급되는 게이트펄스를 나타낸다. 도면 부호 "1H"는 1 수평기간을 의미하며, 이 1 수평기간은 타이밍 콘트롤러(11)에 입력되는 데이터 인에이블(DE) 신호의 1 수평기간에 비하여 대략 1/1.25 정도로 짧다.

<53> 본 발명의 제1 실시예에 따른 액정표시장치는 타이밍 콘트롤러(11)에서 주기적으로 반전되는 반전 극성제어신호(POL_INV)를 이용하여 블랙계조 전압의 극성을 주기적으로 반전시켜 액정분자들의 운동방향을 주기적으로 반전시킨다. 그 결과, 본 발명의 제1 실시예에 따른 액정표시장치는 액정셀에 비디오 데이터전압을 충전시킨 후,

블랙계조 전압을 충전시켜 임펄스 구동을 가능하게 함은 물론, 액정분자의 운동방향을 주기적으로 반전시킴으로써 액정층 내의 이온들의 분극 및 축적을 최소화하여 얼룩 발현을 예방할 수 있다. 이러한 반전 극성제어신호(POL_INV)의 반전주기와 반전기간은 도 10 내지 도 12와 같다.

- <54> 도 10 내지 도 12는 본 발명의 제1 실시예에 따른 액정표시장치에서 극성제어신호(POL), 반전 극성제어신호(POL_INV) 및 반전 주기신호(Tinv)의 파형과 함께 반전 극성제어신호(POL_INV)에 의해 제어되는 정극성/부극성 아날로그 비디오 데이터전압(+D, -D)과 정극성/부극성 블랙계조 전압(+B, -B)의 파형을 나타낸다. 도 10 내지 도 12에 도시된 정극성/부극성 아날로그 비디오 데이터전압(+D, -D)과 정극성/부극성 블랙계조 전압(+B, -B)은 동일한 액정셀에 충전되는 전압이다.
- <55> 도 10을 참조하면, 반전 주기신호(Tinv)는 i (i 는 2 이상의 정수) sec 주기로 발생하는 펄스를 포함한다. 반전 주기신호(Tinv)의 펄스 각각은 데이터 드라이브 IC(12A)로부터 출력되는 블랙계조 전압과 동기된다. 극성제어신호(POL)는 종래의 극성제어신호와 실질적으로 동일한 형태로 발생된다. 이 극성제어신호(POL)는 한 프레임기간 내에서 동일한 액정셀에 충전될 비디오 데이터전압과 블랙계조 전압이 동일한 극성을 갖도록 주기적으로 위상이 반전된다.
- <56> 액정셀들은 1 프레임기간(1/75 sec) 내에서 반전 극성제어신호(POL_INV)에 따라 극성이 제어되는 비디오 데이터 전압과 블랙계조 전압을 연속으로 충전한다. 배타적 논리합 회로(28)는 블랙계조 전압에 동기되는 반전 주기신호(Tinv)의 펄스가 입력될 때마다 극성제어신호(POL)를 반전시켜 반전 극성제어신호(POL_INV)를 발생한다. 따라서, 반전 주기신호(Tinv)의 펄스가 입력될 때마다 액정셀들은 한 프레임기간 내에서 이전에 충전하였던 비디오 데이터전압의 극성과는 반대 극성의 블랙계조전압을 충전한다. 반전 주기신호(Tinv)가 로우 논리를 유지하는 동안, 액정셀들은 이전에 충전하였던 비디오 데이터전압과 동일한 극성의 블랙계조 전압을 충전한다.
- <57> 따라서, 액정셀들의 액정분자와 이온들은 반전 주기신호(Tinv)의 펄스 주기 간격으로 블랙계조 전압을 충전할 때마다 반대방향으로 운동하여 분극화되지 않는다. 그 결과, 액정층 내의 이온들이 극성별로 나뉘어 축적되지 않는다.
- <58> 도 11을 참조하면, 반전 주기신호(Tinv)는 $2i$ sec 주기로 발생되고 펄스폭이 i sec인 펄스를 포함한다. 반전 주기신호(Tinv)에서 펄스의 라이징 에지는 블랙계조 전압에 동기되며, 그 펄스의 폴링 에지는 라이징 에지로부터 i sec 경과된 시점에서 발생하는 블랙계조 전압에 동기된다. 극성제어신호(POL)는 종래의 극성제어신호와 실질적으로 동일한 형태로 발생된다. 이 극성제어신호(POL)는 한 프레임기간 내에서 동일한 액정셀에 충전될 비디오 데이터전압과 블랙계조 전압이 동일한 극성을 갖도록 주기적으로 위상이 반전된다.
- <59> 액정셀들은 1 프레임기간(1/75 sec) 내에서 반전 극성제어신호(POL_INV)에 따라 극성이 제어되는 비디오 데이터 전압과 블랙계조 전압을 연속으로 충전한다. 배타적 논리합 회로(28)는 블랙계조 전압에 동기되는 반전 주기신호(Tinv)의 펄스가 입력되는 i sec 동안 극성제어신호(POL)를 반전시켜 반전 극성제어신호(POL_INV)를 발생한다. 따라서, 반전 주기신호(Tinv)의 펄스가 입력되는 동안 액정셀들은 한 프레임기간 내에서 그 이전 i sec 동안에 충전하였던 극성 패턴과는 반대 패턴의 극성으로 비디오 데이터전압과 블랙계조전압을 충전한다. 따라서, 액정층 내의 이온들이 주기적으로 반대방향으로 이동하기 때문에 그 이온들의 분극 및 축적이 억제된다.
- <60> 도 12를 참조하면, 반전 주기신호(Tinv)는 i sec 주기로 발생되고 펄스폭이 $i/2$ sec인 펄스를 포함한다. 반전 주기신호(Tinv)에서 펄스의 라이징 에지는 블랙계조 전압에 동기되며, 그 펄스의 폴링 에지는 라이징 에지로부터 i sec 경과된 시점에서 발생하는 블랙계조 전압 또는 비디오 데이터전압에 동기된다. 극성제어신호(POL)는 종래의 극성제어신호와 실질적으로 동일한 형태로 발생된다. 이 극성제어신호(POL)는 한 프레임기간 내에서 동일한 액정셀에 충전될 비디오 데이터전압과 블랙계조 전압이 동일한 극성을 갖도록 주기적으로 위상이 반전된다.
- <61> 액정셀들은 1 프레임기간(1/75 sec) 내에서 반전 극성제어신호(POL_INV)에 따라 극성이 제어되는 비디오 데이터 전압과 블랙계조 전압을 연속으로 충전한다. 배타적 논리합 회로(28)는 블랙계조 전압에 동기되는 반전 주기신호(Tinv)의 펄스가 입력되는 $i/2$ sec 동안 극성제어신호(POL)를 반전시켜 반전 극성제어신호(POL_INV)를 발생한다. 따라서, 반전 주기신호(Tinv)의 펄스가 입력되는 동안 액정셀들은 한 프레임기간 내에서 그 이전 $i/2$ sec 동안에 충전하였던 극성 패턴과는 반대 패턴의 극성으로 비디오 데이터전압과 블랙계조전압을 충전한다. 따라서, 액정층 내의 이온들이 주기적으로 반대방향으로 이동하기 때문에 그 이온들의 분극 및 축적이 억제된다.
- <62> 도 10 내지 도 12에서 알 수 있는 바와 같이, 타이밍 컨트롤러(11)는 반전 주기신호(Tinv)에 응답하여 반전 극

성제어신호(POL_INV)를 반전시켜 주기적으로 블랙계조 전압의 극성을 비디오 데이터전압의 그 것과는 반대로 제어한다. 그리고 타이밍 콘트롤러(11)는 반전 주기신호(Tinv)가 지시하는 기간 이외의 기간 동안 비디오 데이터 전압과 블랙계조 전압의 극성을 동일하게 제어한다.

- <63> 도 13 내지 도 18은 본 발명의 제2 실시예에 따른 액정표시장치를 설명하기 위한 도면들이다.
- <64> 도 13을 참조하면, 본 발명의 제2 실시예에 따른 액정표시장치는 액정표시패널(130), 타이밍 콘트롤러(131), 데이터 구동회로(132), 및 게이트 구동회로(133)를 구비한다. 데이터 구동회로(132)는 다수의 데이터 드라이브 IC들을 포함하며, 데이터 드라이브 IC의 회로 구성은 도 3 및 도 4와 실질적으로 동일하다. 게이트 구동회로(133)는 다수의 게이트 드라이브 IC들(1331 내지 133)을 포함하며, 게이트 드라이브 IC의 회로 구성은 도 5와 실질적으로 동일하다.
- <65> 액정표시패널(130)은 전술한 제1 실시예와 실질적으로 동일하므로 그에 대한 상세한 설명을 생략하기로 한다.
- <66> 타이밍 콘트롤러(131)는 데이터 인에이블 신호(Data Enable, DE), 도트 클럭(CLK) 등의 타이밍신호를 입력받아 데이터 구동회로(132)와 게이트 구동회로(133)의 동작 타이밍을 제어하기 위한 제어신호들을 입력 프레임 주파수 대비 2 배 높은 주파수로 발생한다. 제어신호들은 게이트 타이밍 제어신호와 데이터 타이밍 제어신호를 포함한다. 또한, 타이밍 콘트롤러(131)는 외부 시스템 보드로부터 입력되는 디지털 비디오 데이터(DATA)의 전송 주파수를 입력 주파수에 비하여 2 배 높게 하고 디지털 비디오 데이터들(RGB)에 주기적으로 디지털 블랙 데이터(BDATA)를 삽입하여 데이터 구동회로(132)에 공급한다. 이러한 타이밍 콘트롤러(131)의 회로 구성은 도 2와 같다.
- <67> 게이트 타이밍 제어신호는 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭(GSC), 게이트 출력 인에이블신호(GOE) 등을 포함한다. 전술한 제1 실시예는 어느 한 블록에 비디오 데이터전압이 충전되는 동안 다른 블록의 스캐닝을 차단하기 위하여 각 블록을 담당하는 게이트 드라이브 IC에 게이트 출력 인에이블 신호(GOE)를 개별적으로 공급한다. 이에 비하여, 본 발명의 제2 실시예는 전체 화면의 게이트라인들(135)에 비디오 데이터전압에 동기되는 게이트펄스를 순차적으로 공급한 후에 전체 화면의 게이트라인들(135)에 블랙계조 전압에 동기되는 게이트펄스를 순차적으로 공급하기 때문에 하나의 게이트 출력 인에이블 신호(GOE)를 모든 게이트 드라이브 IC에 공통으로 공급한다. 게이트 스타트 펄스(GSP)는 제1 게이트 드라이브 IC(1331)에만 인가되어 제1 게이트 드라이브 IC(1331)로부터 첫 번째 게이트펄스가 발생되도록 스캔이 시작되는 시작 라인을 지시한다. 제2 및 제3 게이트 드라이브 IC들(1332, 1333)는 앞단 게이트 드라이브 IC에 의해 발생된 캐리신호를 게이트 스타트 펄스로 입력받아 동작한다. 게이트 스타트 펄스(GSP)는 1 프레임기간의 시작과 동시에 발생하는 제1 펄스와 그 이후에 대략 1/2 프레임기간 시점에 발생하는 제2 펄스를 포함한다. 제1 펄스는 후술하는 바와 같이 비디오 데이터전압에 동기되는 게이트펄스가 제1 게이트 드라이브 IC로부터 출력될 수 있도록 제1 게이트 드라이브 IC의 동작을 개시시킨다. 제2 펄스는 제1 펄스와 동일한 펄스폭으로 발생되며 블랙계조 전압에 동기되는 게이트펄스가 제1 게이트 드라이브 IC로부터 출력될 수 있도록 제1 게이트 드라이브 IC의 동작을 개시시킨다. 게이트 쉬프트 클럭(GSC)은 게이트 스타트 펄스(GSP)를 쉬프트시키기 위한 클럭신호이다. 게이트 출력 인에이블신호(GOE)는 게이트 드라이브 IC들에 공통으로 인가된다. 게이트 드라이브 IC들은 게이트 출력 인에이블신호(GOE)의 로우논리기간 즉, 이전 펄스의 폴링타임 직후로부터 그 다음 펄스의 라이징 타임 직전까지의 기간 동안 게이트펄스를 출력한다. 게이트 출력 인에이블신호(GOE)의 하이논리기간 동안 게이트 드라이브 IC들은 게이트펄스를 발생하지 않는다.
- <68> 데이터 타이밍 제어신호는 소스 샘플링 클럭(SSC), 반전 극성제어신호(POL_INV), 및 소스 출력 인에이블신호(SOE) 등을 포함한다. 소스 샘플링 클럭(SSC)은 라이징 또는 폴링 에지에 기준하여 데이터 구동회로(132) 내에서 데이터의 래치동작을 지시한다. 반전 극성제어신호(POL_INV)는 데이터 구동회로(132)로부터 출력되는 비디오 데이터전압과 블랙계조 전압의 극성을 제어한다. 소스 출력 인에이블신호(SOE)는 데이터 구동회로(132)의 출력을 제어한다.
- <69> 타이밍 콘트롤러(131)는 주기 데이터(Dt)에 응답하여 내부 극성 제어신호를 주기적으로 반전시켜 반전 극성제어신호(POL_INV)를 발생한다. 주기 데이터(Dt)는 외부 시스템보드나 유저 인터페이스를 통해 타이밍 콘트롤러(131)에 입력되거나 타이밍 콘트롤러(131) 내의 레지스터에 저장된다.
- <70> 데이터 구동회로(132)는 타이밍 콘트롤러(131)의 제어 하에 디지털 비디오 데이터(RGB)와 디지털 블랙 데이터(BDATA)를 래치한다. 그리고 데이터 구동회로(132)는 디지털 비디오 데이터(RGB)와 디지털 블랙 데이터(BDATA)

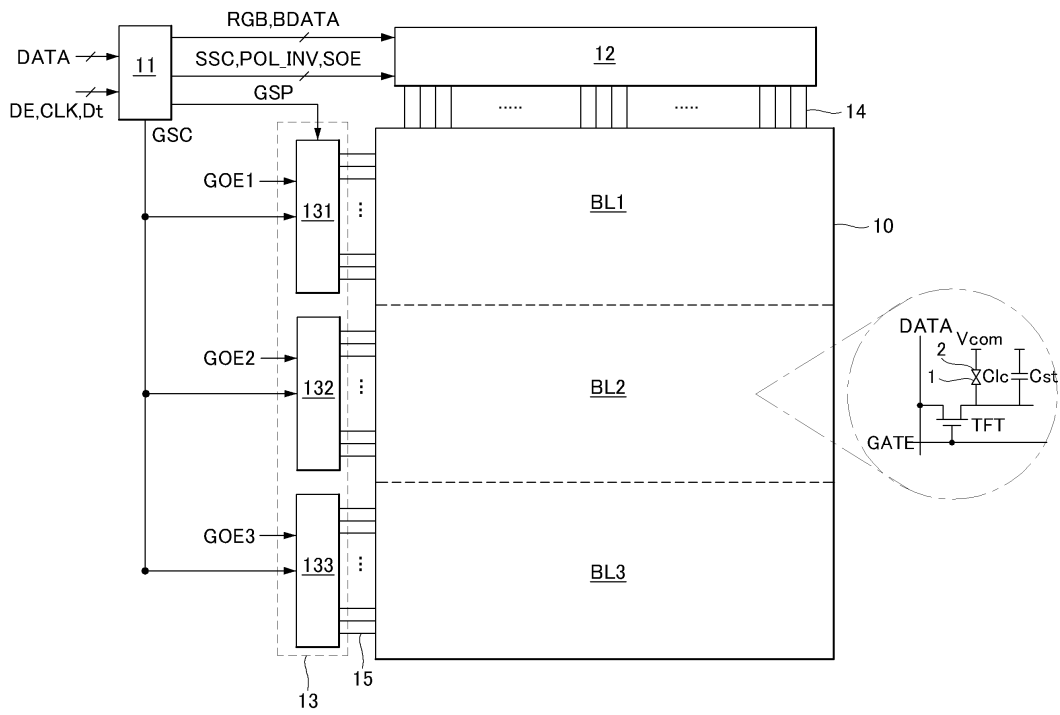
A)를 반전 극성제어신호(POL_INV)에 응답하여 아날로그 정극성/부극성 감마보상전압으로 변환함으로써 정극성/부극성 아날로그 비디오 데이터전압, 및 정극성/부극성 블랙계조 전압을 발생하고 그 전압들을 데이터라인들(134)에 공급한다. 이 데이터 구동회로(132)는 1/2 프레임기간 동안 정극성/부극성 아날로그 비디오 데이터전압을 출력한 후, 1/2 프레임기간 동안 정극성/부극성 블랙계조 전압을 출력한다.

- <71> 게이트 구동회로(133)는 타이밍 콘트롤러(131)의 제어 하에 1/2 프레임기간 동안 정극성/부극성 아날로그 비디오 데이터전압에 동기되는 게이트펄스를 모든 게이트라인들(135)에 순차적으로 공급한 후, 1/2 프레임기간 동안 정극성/부극성 블랙계조 전압에 동기되는 게이트펄스를 모든 게이트라인들(135)에 순차적으로 공급한다.
- <72> 도 14는 타이밍 콘트롤러(131)를 상세히 나타낸다.
- <73> 도 14를 참조하면, 타이밍 콘트롤러(131)는 메모리 콘트롤러(141), 메모리(142), 멀티플렉서(143), 인터페이스 회로(144), 타이밍 신호 체배회로(145), 타이밍 제어신호 발생회로(146), 주기신호 발생부(147), 및 배타적 논리합 회로(148)를 구비한다.
- <74> 메모리 콘트롤러(141)는 입력 데이터 인에이블신호(DE)에 맞추어 라이트 어드레스 신호(Waddr)를 발생하고, 데이터 인에이블신호(DE)의 주파수를 2 배 체배한 데이터 인에이블신호(\times DE)에 맞추어 리드 어드레스(Raddr)를 발생한다. 이렇게 메모리(142)의 출력 속도가 빨라지는 이유는 입력 주파수 기준으로 볼 때 1 프레임기간 내에 비디오 데이터 전압을 전체 화면의 액정셀들에 충전시킨 후, 블랙계조 전압을 전체 화면의 액정셀들에 충전시켜야 하기 때문이다.
- <75> 메모리(142)는 라이트 어드레스(Waddr)에 응답하여 디지털 비디오 데이터를 저장하고, 리드 어드레스(Raddr)에 응답하여 저장된 디지털 비디오 데이터를 출력한다.
- <76> 멀티플렉서(143)는 메모리(142)로부터의 디지털 비디오 데이터(\times DATA)와, 디지털 블랙 데이터(BDATA)를 타이밍 신호 체배회로(145)로부터의 선택신호(SEL)에 응답하여 선택한다. 이 멀티플렉서(143)는 선택신호(SEL)의 제1 논리에 응답하여 1 프레임기간의 전반기에 해당하는 1/2 프레임기간 동안 디지털 비디오 데이터들(\times DATA)을 인터페이스회로(144)에 공급한 후, 선택신호(SEL)의 제2 논리에 응답하여 1 프레임기간의 후반기에 해당하는 1/2 프레임기간 동안 디지털 블랙 데이터(BDATA)를 인터페이스회로(144)에 공급한다.
- <77> 인터페이스회로(144)는 mini LVDS 방식으로 디지털 비디오 데이터(RGB), 디지털 블랙 데이터(BDATA)와 함께 mini LVDS 클럭을 데이터 구동회로(132)에 전송한다.
- <78> 타이밍 신호 체배회로(145)는 데이터 인에이블신호(DE)의 주파수를 2 배만큼 체배한다. 데이터 인에이블신호(DE)는 입력 주파수 기준으로 하여 1 수평기간의 주기로 발생한다. 따라서, 입력 프레임 주파수가 60Hz 일 때, 액정표시패널(130)은 120Hz의 프레임 주파수로 구동된다. 또한, 타이밍 신호 체배회로(145)는 체배된 데이터 인에이블신호(DE)를 카운트하여 1/2 프레임기간마다 카운트값을 리셋시키고 선택신호(SEL)의 논리를 제2 논리로 반전시킨다. 타이밍 신호 체배회로(145)로부터 체배된 데이터 인에이블신호(\times DE)는 메모리 콘트롤러(141)와 타이밍 제어신호 발생회로(146)에 입력된다.
- <79> 타이밍 제어신호 발생회로(146)는 체배된 데이터 인에이블신호(\times DE)를 기준으로 하여 임펄스비 효과가 없는 기존 기술보다 주파수가 2 배 빠른 게이트 타이밍 제어신호(GSP, GSC, GOE)와 데이터 타이밍 제어신호(SSC, SOE, POL)를 발생한다.
- <80> 주기신호 발생부(147)는 주기 데이터(Dt)에 따라 일정 시간 주기로 반전되는 반전 주기신호(Tinv)를 발생하여 배타적 논리합 회로(148)에 공급한다. 배타적 논리합 회로(148)는 극성제어신호(POL)와 반전 주기신호(Tinv)를 배타적 논리합 연산하여 반전 극성제어신호(POL_INV)를 출력한다.
- <81> 본 발명의 제2 실시예에 따른 액정표시장치는 120Hz의 프레임 주파수로 구동하여 도 15 및 도 16과 같이 게이트 스타트 펄스를 프레임기간의 시작과 동시에 1회 발생시킨 후, 그로부터 1/2 프레임기간 정도 경과된 시점에 다시 1회 발생시킨다. 그 결과, 액정표시패널(13)의 모든 액정셀들은 1 프레임기간의 전반기인 1/2 프레임기간 동안 비디오 데이터전압을 충전한 후, 나머지 1/2 프레임기간 동안 블랙계조 전압을 충전하여 임펄스비 형태로 구동한다.
- <82> 도 16에서, 도면 부호 "G1~Gn"는 게이트펄스를 나타낸다. 도면 부호 "1H"는 1 수평기간을 의미하며, 이 1 수평기간은 타이밍 콘트롤러(11)에 입력되는 데이터 인에이블(DE) 신호의 1 수평기간에 비하여 대략 1/2 정도로 짧다.

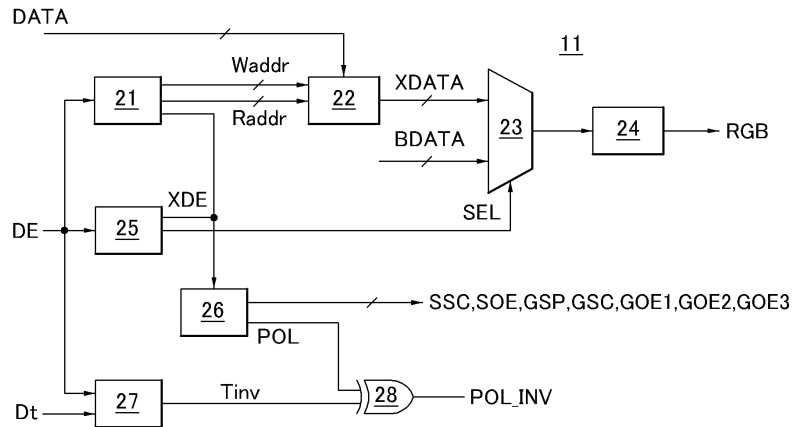
- <83> 본 발명의 제2 실시예에 따른 액정표시장치는 타이밍 콘트롤러(131)에서 주기적으로 반전되는 반전 극성제어신호(POL_INV)를 이용하여 블랙계조 전압의 극성을 주기적으로 반전시켜 액정분자들의 운동방향을 주기적으로 반전시킨다. 그 결과, 본 발명의 제2 실시예에 따른 액정표시장치는 액정셀에 비디오 데이터전압을 충전시킨 후, 블랙계조 전압을 충전시켜 임펄스 구동을 가능하게 함은 물론, 액정분자의 운동방향을 주기적으로 반전시킴으로써 액정층 내의 이온들의 분극 및 축적을 최소화하여 얼룩 발현을 예방할 수 있다. 이러한 반전 극성제어신호(POL_INV)의 반전주기와 반전기간은 도 17 내지 도 19와 같다.
- <84> 도 17 내지 도 19는 본 발명의 제2 실시예에 따른 액정표시장치에서 극성제어신호(POL), 반전 극성제어신호(POL_INV) 및 반전 주기신호(Tinv)의 파형과 함께 반전 극성제어신호(POL_INV)에 의해 제어되는 정극성/부극성 아날로그 비디오 데이터전압(+D, -D)과 정극성/부극성 블랙계조 전압(+B, -B)의 파형을 나타낸다. 도 17 내지 도 19에 도시된 정극성/부극성 아날로그 비디오 데이터전압(+D, -D)과 정극성/부극성 블랙계조 전압(+B, -B)은 동일한 액정셀에 충전되는 전압이다.
- <85> 도 17을 참조하면, 반전 주기신호(Tinv)는 i sec 주기로 발생하는 펄스를 포함한다. 반전 주기신호(Tinv)의 펄스 각각은 데이터 드라이브 IC(12A)로부터 출력되는 블랙계조 전압과 동기된다. 극성제어신호(POL)는 종래의 극성제어신호와 실질적으로 동일한 형태로 발생된다. 이 극성제어신호(POL)는 한 프레임기간 내에서 동일한 액정셀에 충전될 비디오 데이터전압과 블랙계조 전압이 동일한 극성을 갖도록 주기적으로 위상이 반전된다.
- <86> 액정셀들은 1 프레임기간(1/120 sec) 내에서 반전 극성제어신호(POL_INV)에 따라 극성이 제어되는 비디오 데이터전압과 블랙계조 전압을 연속으로 충전한다. 배타적 논리합 회로(148)는 블랙계조 전압에 동기되는 반전 주기신호(Tinv)의 펄스가 입력될 때마다 극성제어신호(POL)를 반전시켜 반전 극성제어신호(POL_INV)를 발생한다. 따라서, 반전 주기신호(Tinv)의 펄스가 입력될 때마다 액정셀들은 한 프레임기간 내에서 이전에 충전하였던 비디오 데이터전압의 극성과는 반대 극성의 블랙계조전압을 충전한다. 반전 주기신호(Tinv)가 로우 논리를 유지하는 동안, 액정셀들은 이전에 충전하였던 비디오 데이터전압과 동일한 극성의 블랙계조 전압을 충전한다.
- <87> 따라서, 액정셀들의 액정분자와 이온들은 반전 주기신호(Tinv)의 펄스 주기 간격으로 블랙계조 전압을 충전할 때마다 반대방향으로 운동하여 분극화되지 않는다. 그 결과, 액정층 내의 이온들이 극성별로 나뉘어 축적되지 않는다.
- <88> 도 18을 참조하면, 반전 주기신호(Tinv)는 $2i$ sec 주기로 발생되고 펄스폭이 i sec인 펄스를 포함한다. 반전 주기신호(Tinv)에서 펄스의 라이징 에지는 블랙계조 전압에 동기되며, 그 펄스의 폴링 에지는 라이징 에지로부터 i sec 경과된 시점에서 발생하는 블랙계조 전압에 동기된다. 극성제어신호(POL)는 종래의 극성제어신호와 실질적으로 동일한 형태로 발생된다. 이 극성제어신호(POL)는 한 프레임기간 내에서 동일한 액정셀에 충전될 비디오 데이터전압과 블랙계조 전압이 동일한 극성을 갖도록 주기적으로 위상이 반전된다.
- <89> 액정셀들은 1 프레임기간(1/120 sec) 내에서 반전 극성제어신호(POL_INV)에 따라 극성이 제어되는 비디오 데이터전압과 블랙계조 전압을 연속으로 충전한다. 배타적 논리합 회로(148)는 블랙계조 전압에 동기되는 반전 주기신호(Tinv)의 펄스가 입력되는 i sec 동안 극성제어신호(POL)를 반전시켜 반전 극성제어신호(POL_INV)를 발생한다. 따라서, 반전 주기신호(Tinv)의 펄스가 입력되는 동안 액정셀들은 한 프레임기간 내에서 그 이전 i sec 동안에 충전하였던 극성 패턴과는 반대 패턴의 극성으로 비디오 데이터전압과 블랙계조전압을 충전한다. 따라서, 액정층 내의 이온들이 주기적으로 반대방향으로 이동하기 때문에 그 이온들의 분극 및 축적이 억제된다.
- <90> 도 19를 참조하면, 반전 주기신호(Tinv)는 i sec 주기로 발생되고 펄스폭이 $i/2$ sec인 펄스를 포함한다. 반전 주기신호(Tinv)에서 펄스의 라이징 에지는 블랙계조 전압에 동기되며, 그 펄스의 폴링 에지는 라이징 에지로부터 i sec 경과된 시점에서 발생하는 블랙계조 전압 또는 비디오 데이터전압에 동기된다. 극성제어신호(POL)는 종래의 극성제어신호와 실질적으로 동일한 형태로 발생된다. 이 극성제어신호(POL)는 한 프레임기간 내에서 동일한 액정셀에 충전될 비디오 데이터전압과 블랙계조 전압이 동일한 극성을 갖도록 주기적으로 위상이 반전된다.
- <91> 액정셀들은 1 프레임기간(1/75 sec) 내에서 반전 극성제어신호(POL_INV)에 따라 극성이 제어되는 비디오 데이터전압과 블랙계조 전압을 연속으로 충전한다. 배타적 논리합 회로(148)는 블랙계조 전압에 동기되는 반전 주기신호(Tinv)의 펄스가 입력되는 $i/2$ sec 동안 극성제어신호(POL)를 반전시켜 반전 극성제어신호(POL_INV)를 발생한다. 따라서, 반전 주기신호(Tinv)의 펄스가 입력되는 동안 액정셀들은 한 프레임기간 내에서 그 이전 $i/2$ sec 동안에 충전하였던 극성 패턴과는 반대 패턴의 극성으로 비디오 데이터전압과 블랙계조전압을 충전한다. 따라서, 액정층 내의 이온들이 주기적으로 반대방향으로 이동하기 때문에 그 이온들의 분극 및 축적이

도면

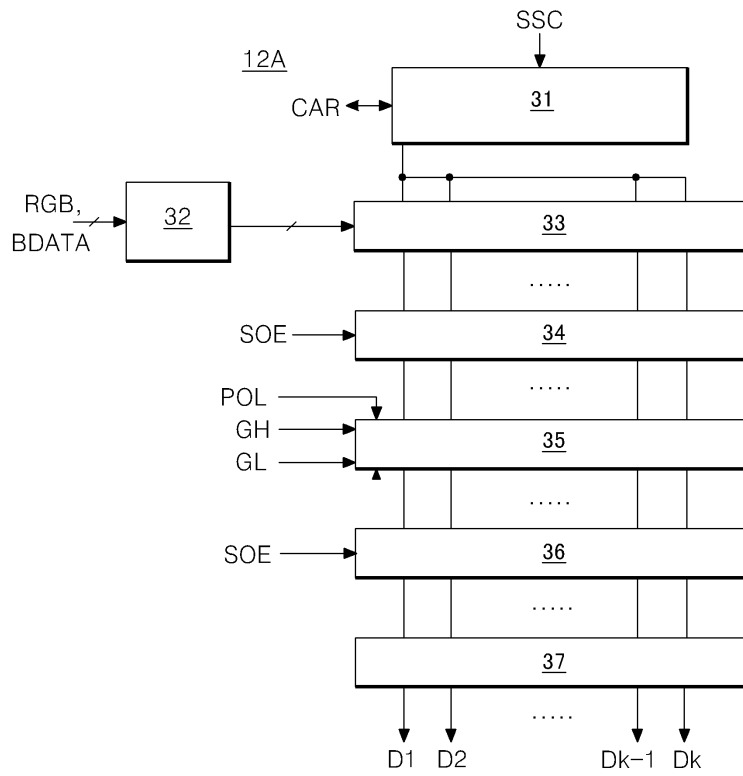
도면1



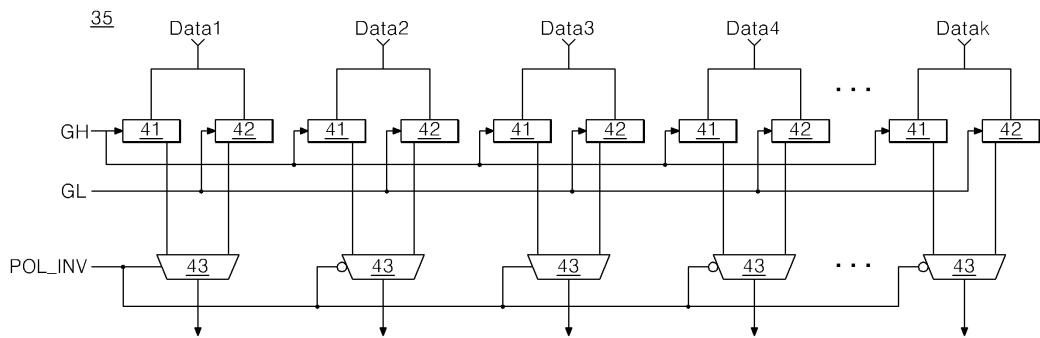
도면2



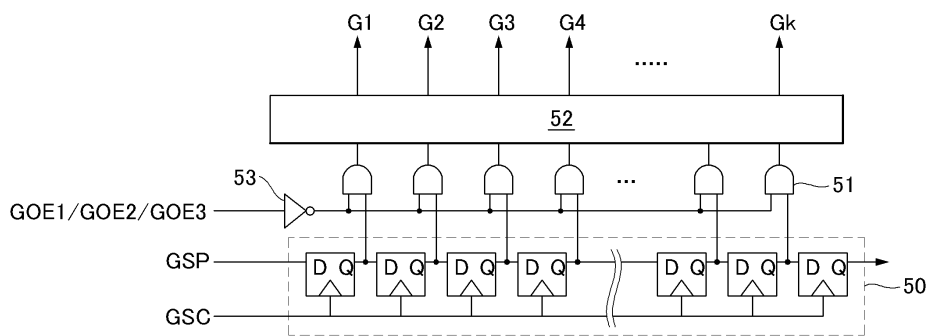
도면3



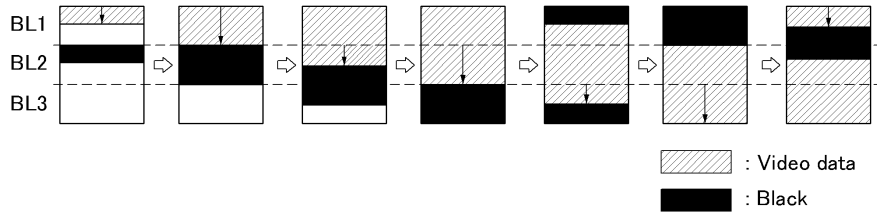
도면4



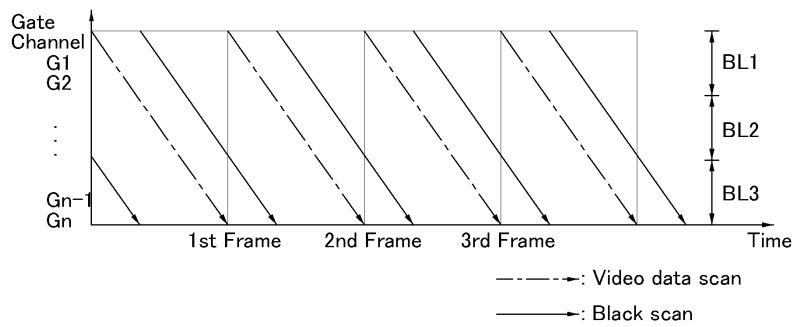
도면5



도면6



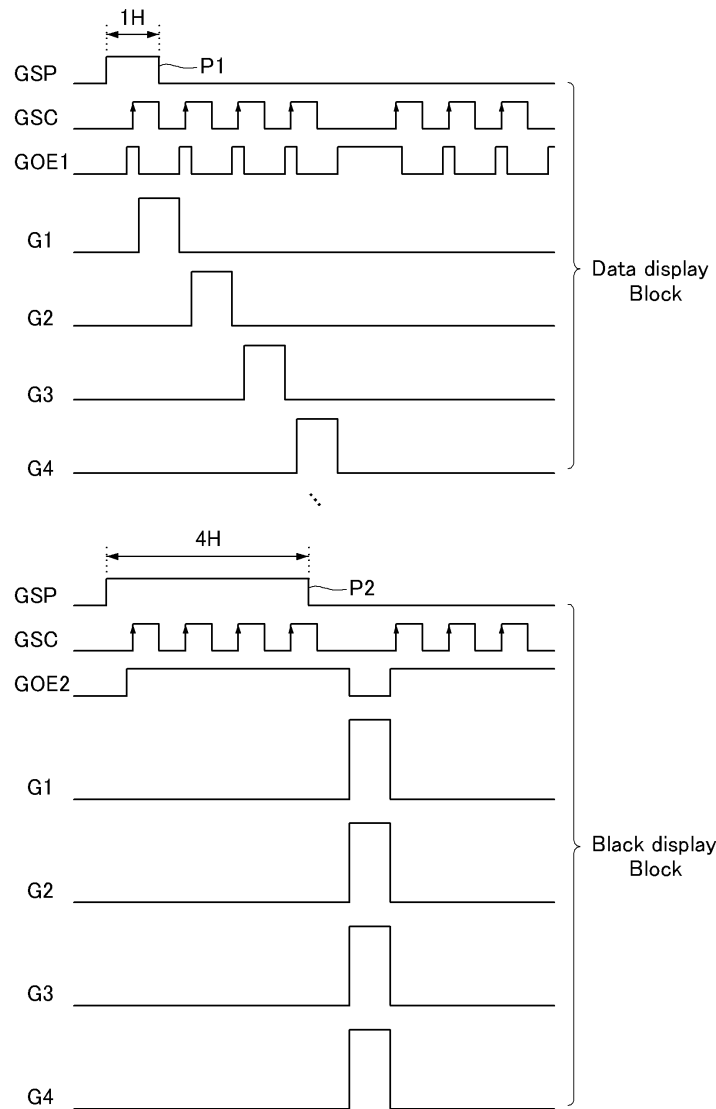
도면7



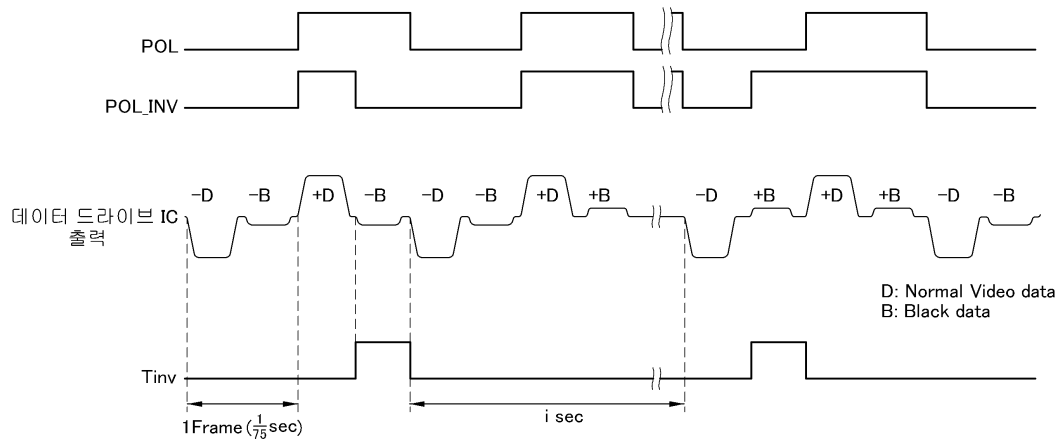
도면8

	(N-1)th Frame	Nth Frame			(N+1)th Frame
		T1	T2	T3	
BL1	블랙 충전	비디오 데이터충전	데이터 유지	블랙 충전	비디오 데이터충전
BL2	데이터 유지	블랙 충전	비디오 데이터충전	데이터 유지	블랙 충전
BL3	비디오 데이터충전	데이터 유지	블랙 충전	비디오 데이터충전	데이터 유지

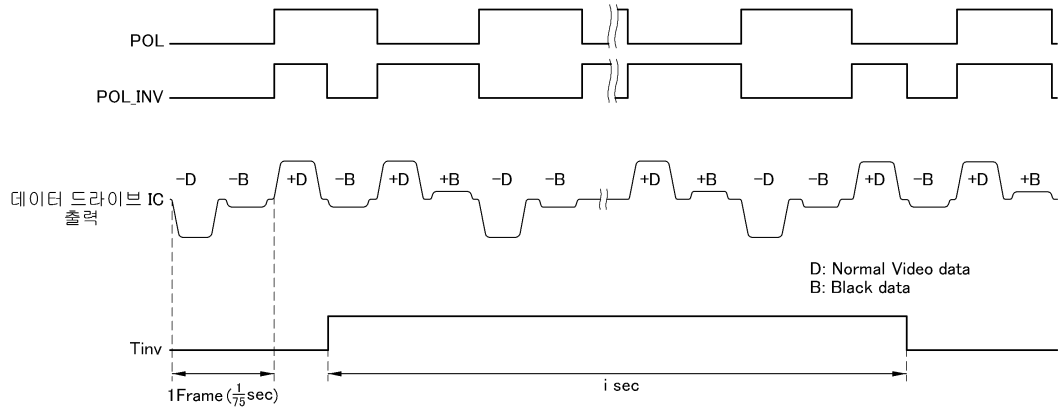
도면9



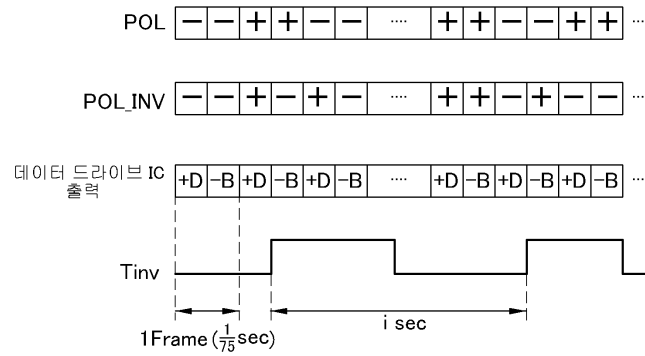
도면10



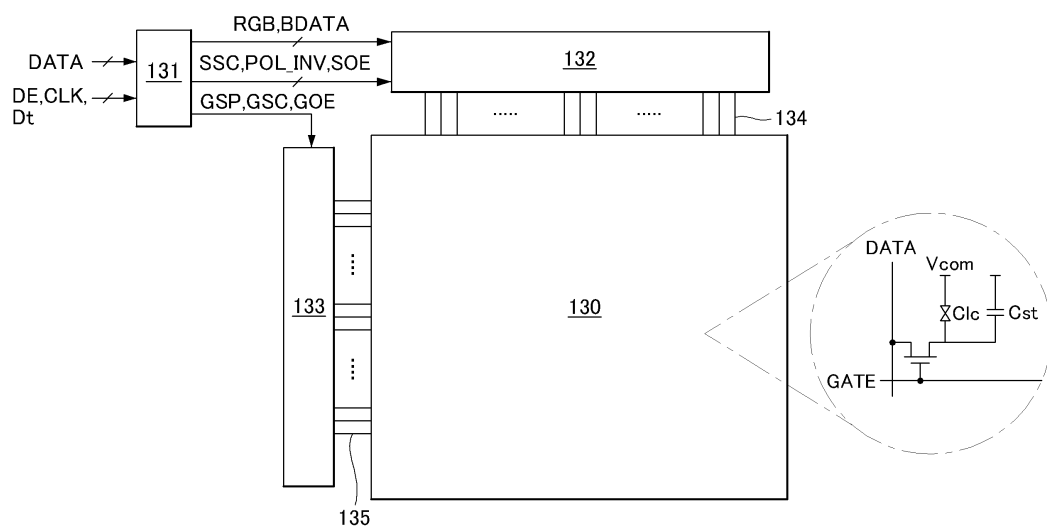
도면11



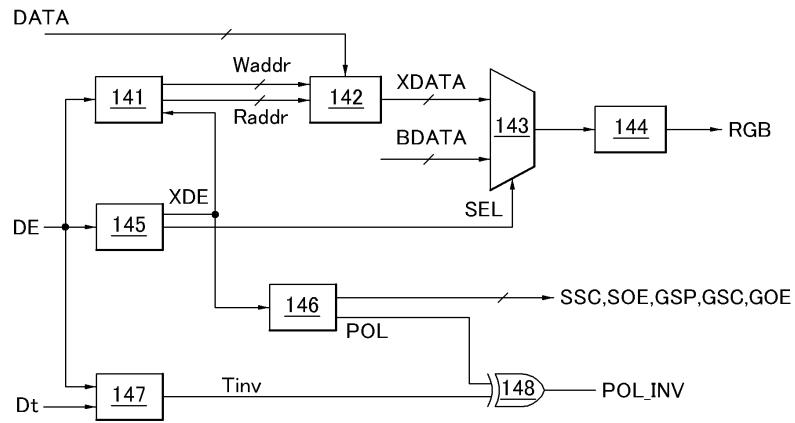
도면12



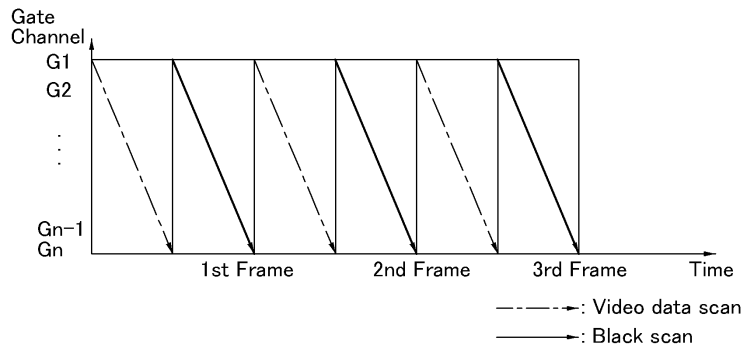
도면13



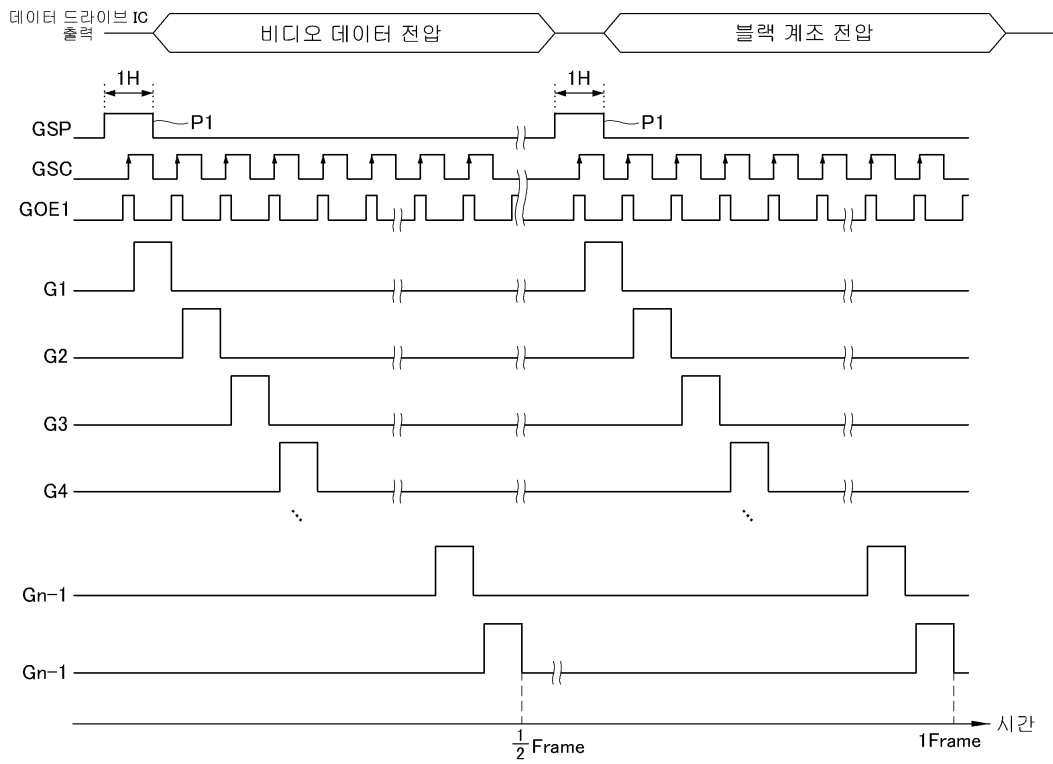
도면14



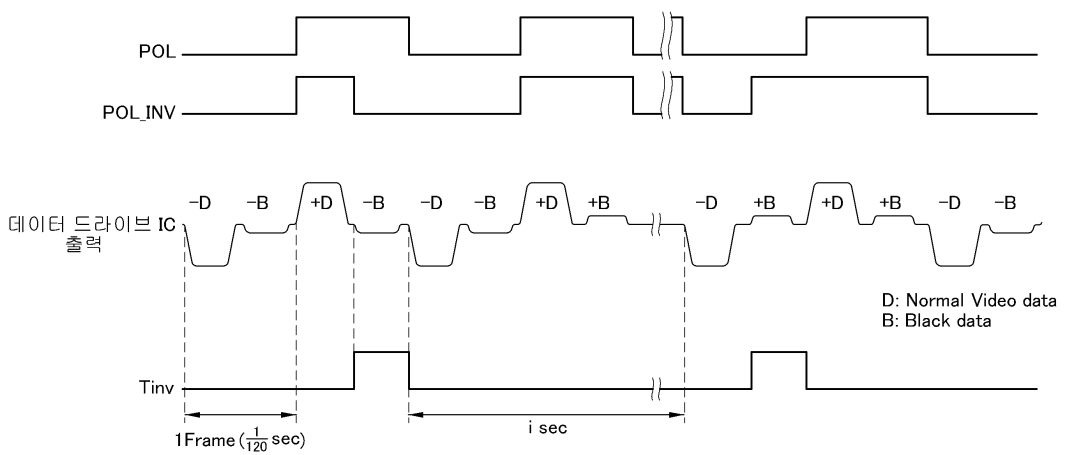
도면15



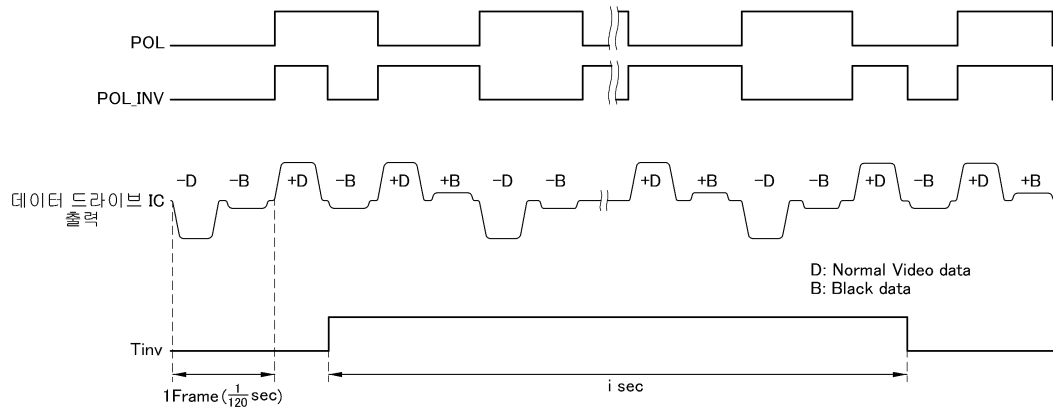
도면16



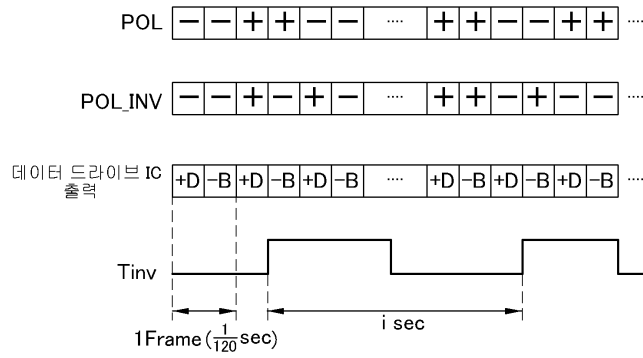
도면17



도면18



도면19



专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	KR1020090114692A	公开(公告)日	2009-11-04
申请号	KR1020080040460	申请日	2008-04-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	MIN WOONG KI 민웅기 SON YONG GI 손용기 JANG SU HYUK 장수혁 SONG HONG SUNG 송홍성		
发明人	민웅기 손용기 장수혁 송홍성		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G2310/0216 G09G2310/0205 G09G3/3614 G09G2310/08 G09G3/3688 G09G2310/02 G09G3/3666 G09G2310/062 G09G2320/0261		
其他公开文献	KR101303494B1		
外部链接	Espacenet		

摘要(译)

本发明涉及液晶显示器及其驱动方法。该液晶显示器包括LCD面板，该LCD面板包括液晶单元，其中多条栅极线与多条数据线交叉并且以矩阵的形式排列；定时信号乘法电路乘以输入定时信号的频率；产生反转极性控制信号的极性控制信号反相电路响应于定时控制信号发生电路反转极性控制信号：反转为固定周期的反转周期信号根据与定时信号相乘的定时信号产生极性控制信号。定时信号乘法电路：数字视频数据；用于将栅极脉冲提供给所提供的数据驱动电路和栅极线数字黑色数据的相应视频数据电压和栅极驱动电路。

