



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년09월01일
 (11) 등록번호 10-1774127
 (24) 등록일자 2017년08월28일

- | | |
|---|---|
| (51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01)
(52) CPC특허분류
G09G 3/36 (2013.01)
G09G 3/3611 (2013.01)
(21) 출원번호 10-2015-7018920
(22) 출원일자(국제) 2014년01월14일
심사청구일자 2015년07월14일
(85) 번역문제출일자 2015년07월14일
(65) 공개번호 10-2015-0094766
(43) 공개일자 2015년08월19일
(86) 국제출원번호 PCT/US2014/011419
(87) 국제공개번호 WO 2014/110553
국제공개일자 2014년07월17일
(30) 우선권주장
61/752,390 2013년01월14일 미국(US)
(56) 선행기술조사문헌
JP평성08184809 A
(뒷면에 계속) | (73) 특허권자
애플 인크.
미합중국 95014 캘리포니아 쿠퍼티노 인피니트 루프 1
(72) 발명자
남비, 프라산나
미국 95014 캘리포니아주 쿠퍼티노 인피니트 루프 1
고메즈, 제이슨 엔.
미국 95014 캘리포니아주 쿠퍼티노 인피니트 루프 1
(뒷면에 계속)
(74) 대리인
장덕순, 백만기 |
|---|---|

전체 청구항 수 : 총 25 항

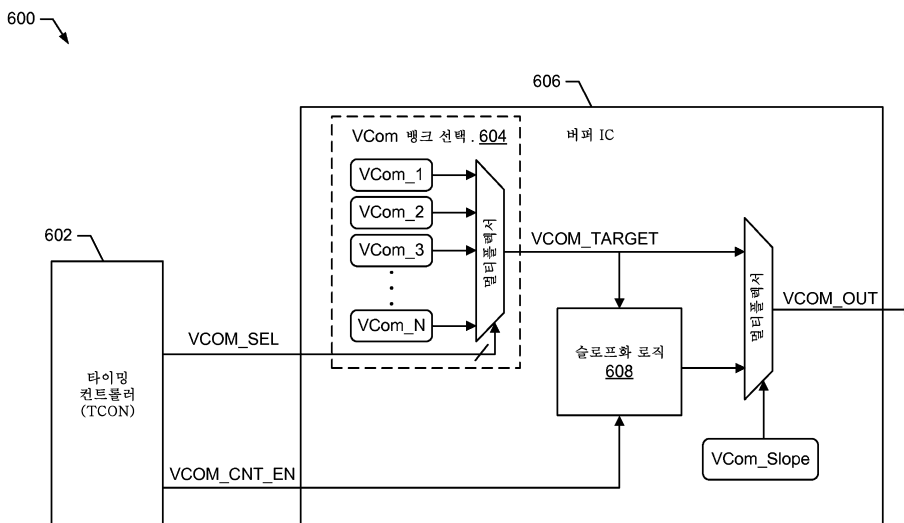
심사관 : 신영교

(54) 발명의 명칭 **가변 리프레시 레이트를 갖는 저전력 디스플레이 디바이스**

(57) 요약

본 개시는 랩탑 컴퓨터, 태블릿 컴퓨터, 모바일 폰, 또는 뮤직 플레이어 디바이스와 같은 소비자 전자 디바이스의 LCD 디스플레이에서 가변 리프레시 레이트를 동적으로 활용하는 프로시저들을 설명한다. 몇몇 구성들에서, 소비자 전자 디바이스는 하나 이상의 프로세서들을 구비하는 호스트 시스템 부분 및 타이밍 컨트롤러, 버퍼 회로, 디스플레이 드라이버 및 디스플레이 패널을 구비하는 디스플레이 시스템 부분을 포함할 수 있다. 디스플레이 시스템은 호스트 시스템의 GPU로부터 이미지 데이터 및 이미지 제어 데이터를 수신하고, 디스플레이 패널에서 활용하기 위한 감소된 리프레시 레이트(RRR)를 결정하기 위해 수신된 이미지 제어 데이터를 평가하고, 그리고 그 다음, 전력을 절약하기 위해 실행가능할 때마다 RRR로 전이할 수 있다. 몇몇 시나리오들에서, RRR로의 전이는 50 헤르츠 이상의 LRR로부터 40 헤르츠 이하의 RRR로의 전이일 수 있다.

대표도 - 도6



(52) CPC특허분류

G09G 3/3618 (2013.01)
G09G 3/3655 (2013.01)
G09G 3/3696 (2013.01)
G09G 2330/021 (2013.01)
G09G 2340/0435 (2013.01)
G09G 2360/18 (2013.01)
G09G 2370/08 (2013.01)

(56) 선행기술조사문헌

JP2005003692 A
US20120182332 A1
US20070097107 A1
WO2014143484 A1

(72) 발명자

정, 썬후아

미국 95014 캘리포니아주 쿠퍼티노 인피니트 루프
1

사체토, 파올로

미국 95014 캘리포니아주 쿠퍼티노 인피니트 루프
1

핀츠, 산드로 에이치.

미국 95014 캘리포니아주 쿠퍼티노 인피니트 루프
1

김, 태성

미국 95014 캘리포니아주 쿠퍼티노 인피니트 루프
1

탄, 크리스토퍼 피.

미국 95014 캘리포니아주 쿠퍼티노 인피니트 루프
1

알브레히트, 마르크

미국 95014 캘리포니아주 쿠퍼티노 인피니트 루프
1

럼, 데이비드 더블유.

미국 95014 캘리포니아주 쿠퍼티노 인피니트 루프
1

명세서

청구범위

청구항 1

액정 디스플레이(liquid crystal display; LCD)에서 가변 리프레시 레이트(variable refresh rate)를 활용하기 위한 방법으로서,

상기 LCD에 통신적으로 커플링된 컴퓨팅 디바이스의 프로세서로부터 이미지 데이터를 수신하는 단계;

상기 이미지 데이터에 기초하여 상기 LCD에 대한 리프레시 레이트를 결정하는 단계; 및

현재의 리프레시 레이트가 상기 결정된 리프레시 레이트로 변하는 것에 응답하여 상기 LCD의 밝기(brightness)를 조정하기 위한 보상 동작을 수행하는 단계를 포함하고, 상기 보상 동작을 수행하는 단계는:

상기 결정된 리프레시 레이트에 기초하여 디스플레이 드라이버에 대한 목표 전압을 선택하는 단계, 및

상기 LCD의 밝기를 조정하기 위해 상기 디스플레이 드라이버의 현재 전압을 상기 목표 전압으로 설정하는 단계를 포함하는, 가변 리프레시 레이트 활용 방법.

청구항 2

제1항에 있어서, 상기 디스플레이 드라이버의 상기 현재 전압을 상기 목표 전압으로 설정하는 단계는 상기 현재 전압을 상기 목표 전압으로 시간이 흐름에 따라 점진적으로 조정하는 단계를 포함하는, 가변 리프레시 레이트 활용 방법.

청구항 3

제2항에 있어서, 상기 현재 전압의 조정의 레이트는 상기 디스플레이 드라이버의 슬로프화 로직(sloping logic)에 의해 적용되는 슬로프에 의해 정의되는, 가변 리프레시 레이트 활용 방법.

청구항 4

제3항에 있어서, 상기 목표 전압은 상기 리프레시 레이트에 기초하여 상기 LCD의 소비 전력을 감소시키도록 선택되는, 가변 리프레시 레이트 활용 방법.

청구항 5

제1항에 있어서, 상기 LCD는 하나 이상의 감소된 리프레시 레이트들에서 상기 LCD를 구동하도록 구성된 클럭 회로부(clock circuitry)를 포함하는 타이밍 컨트롤러를 포함하는, 가변 리프레시 레이트 활용 방법.

청구항 6

제5항에 있어서, 상기 타이밍 컨트롤러는 상기 LCD의 버퍼 회로를 구동하기 위한 디스플레이 버퍼 구동 회로부, 및 상기 LCD의 상기 디스플레이 드라이버를 제어하기 위한 디스플레이 패널 구동 회로부를 더 포함하는, 가변 리프레시 레이트 활용 방법.

청구항 7

제6항에 있어서, 상기 LCD는 박막 트랜지스터(thin film transistor; TFT) 패널을 포함하고 상기 컴퓨팅 디바이스는 상기 LCD의 상기 버퍼 회로로 상기 이미지 데이터를 병렬로 전송하도록 구성된 다수의 그래픽 프로세서들을 포함하는, 가변 리프레시 레이트 활용 방법.

청구항 8

컴퓨팅 디바이스로서,

액정 디스플레이(LCD);

프로세서; 및

명령어들을 저장하도록 구성된 메모리를 포함하고, 상기 명령어들은 상기 프로세서에 의한 실행시 상기 컴퓨팅 디바이스로 하여금:

이미지 데이터를 생성하는 단계;

상기 이미지 데이터에 기초하여 상기 LCD에 대한 리프레시 레이트를 결정하는 단계; 및

현재의 리프레시 레이트가 상기 결정된 리프레시 레이트로 변하는 것에 응답하여 상기 LCD의 밝기를 조정하기 위한 보상 동작을 수행하는 단계를 수행하게 하고, 상기 보상 동작을 수행하는 단계는:

상기 결정된 리프레시 레이트에 기초하여 디스플레이 드라이버에 대한 목표 전압을 선택하는 단계, 및

상기 LCD의 밝기를 조정하기 위해 상기 디스플레이 드라이버의 현재 전압을 상기 목표 전압으로 설정하는 단계를 포함하는, 컴퓨팅 디바이스.

청구항 9

제8항에 있어서, 상기 디스플레이 드라이버의 상기 현재 전압을 상기 목표 전압으로 설정하는 단계는 상기 현재 전압을 상기 목표 전압으로 시간이 흐름에 따라 점진적으로 조정하는 단계를 포함하는, 컴퓨팅 디바이스.

청구항 10

제9항에 있어서, 상기 현재 전압의 조정의 레이트는 상기 디스플레이 드라이버의 슬로프화 로직에 의해 적용되는 슬로프에 의해 정의되는, 컴퓨팅 디바이스.

청구항 11

제10항에 있어서, 상기 목표 전압은 상기 LCD의 소비 전력을 감소시키도록 선택되는, 컴퓨팅 디바이스.

청구항 12

제8항에 있어서, LCD는 하나 이상의 감소된 리프레시 레이트들에서 동작하도록 구성되는, 컴퓨팅 디바이스.

청구항 13

제8항에 있어서, 상기 LCD는 박막 트랜지스터(TFT) 패널을 포함하고 상기 컴퓨팅 디바이스는 상기 LCD의 버퍼 회로로 이미지 데이터를 병렬로 전송하도록 구성된 다수의 그래픽 프로세서들을 포함하는, 컴퓨팅 디바이스.

청구항 14

액정 디스플레이(LCD)의 회로로서,

복수의 레지스터 값들을 저장하는 기준 전압 बैं크 선택 컴포넌트; 및

복수의 이미지 버퍼들을 포함하고, 상기 회로는:

타이밍 컨트롤러로부터 기준 전압 입력 선택을 수신하도록 - 상기 기준 전압 입력 선택은 이미지 표시 결함에 대한 보상과 연관됨 -;

상기 기준 전압 입력 선택을 상기 복수의 레지스터 값들과 비교하도록;

상기 비교에 기초하여 목표 기준 전압 값을 선택하도록;

상기 LCD가 감소된 리프레시 레이트에서 동작하고 있을 때, 상기 선택된 목표 기준 전압에 따라 상기 LCD의 명도(luminosity)를 증가시키도록;

상기 LCD가 증가된 리프레시 레이트에서 동작하고 있을 때, 상기 선택된 목표 기준 전압에 따라 상기 LCD의 명도를 감소시키도록 구성되는, 액정 디스플레이의 회로.

청구항 15

제14항에 있어서, 상기 기준 전압 입력 선택은 상기 회로의 전용 하드웨어 핀에서 수신되는, 액정 디스플레이의 회로.

청구항 16

제14항에 있어서, 상기 이미지 표시 결합은 하나 이상의 바람직하지 않은 이미지 아티팩트들 또는 변경된 이미지 명도와 관련되는, 액정 디스플레이의 회로.

청구항 17

제16항에 있어서, 상기 이미지 표시 결합은 상기 LCD를 구동하도록 구성되는 그래픽 프로세서 유닛(graphics processor unit; GPU)에서 식별되는, 액정 디스플레이의 회로.

청구항 18

제16항에 있어서, 상기 이미지 표시 결합의 식별은 상기 LCD에 의해 활용될 감소된 리프레시 레이트에 대응하는, 액정 디스플레이의 회로.

청구항 19

제14항에 있어서, 상기 회로는 현재의 기준 전압 출력으로부터 상기 목표 기준 전압 출력으로 점진적으로 전이하기 위해 상기 목표 기준 전압에 대한 슬로프 설정을 선택하도록 구성되는, 액정 디스플레이의 회로.

청구항 20

액정 디스플레이(LCD)에서 전력을 절약하기 위한 방법으로서,

디스플레이 드라이버에서:

상기 LCD의 리프레시 레이트에서의 변화와 관련된 입력 신호를 디스플레이 컨트롤러로부터 수신하는 단계;

상기 입력 신호를 프리로드된 레지스터 값들과 비교하는 것에 의해 상기 디스플레이 드라이버에 대한 목표 전압을 설정하는 단계;

상기 입력 신호에 기초하여 상기 LCD의 디스플레이 라인들의 수보다 적은 수를 선택적으로 섣다운하는 단계; 및

상기 목표 전압에 기초하여 기준 전압을 조정하는 단계를 포함하고, 상기 기준 전압을 조정하는 단계는 상기 LCD의 리프레시 레이트에서의 상기 변화에 의해 야기되는 명도 레벨에서의 변화를 보상하기 위해 상기 LCD의 명도 값을 수정하는, 전력 절약 방법.

청구항 21

제20항에 있어서, 상기 디스플레이 드라이버의 스위칭 디바이스는 상기 입력 신호에 기초하여 다수의 상이한 기준 전압들을 제공하도록 구성되는, 전력 절약 방법.

청구항 22

제21항에 있어서, 상기 디스플레이 드라이버의 디지털 회로 부분(digital circuit portion)은 상기 입력 신호의 설정을 결정하는, 전력 절약 방법.

청구항 23

제20항에 있어서, 상기 입력 신호에 기초하여 다수의 디스플레이 라인들을 선택적으로 섣다운하는 단계를 더 포함하는, 전력 절약 방법.

청구항 24

제20항에 있어서, 상기 디스플레이 드라이버는 상기 LCD의 디스플레이 패널을 구동하도록 구성되는 칼럼 드라이버인, 전력 절약 방법.

청구항 25

제20항에 있어서, 상기 입력 신호의 설정은 상기 디스플레이 드라이버의 출력에 임피던스를 설정하도록 추가로 구성되고, 상기 LCD의 디스플레이 패널은 상기 디스플레이 드라이버의 상기 출력에서의 부하인, 전력 절약 방법.

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

청구항 39

삭제

청구항 40

삭제

- 청구항 41
- 삭제
- 청구항 42
- 삭제
- 청구항 43
- 삭제
- 청구항 44
- 삭제
- 청구항 45
- 삭제
- 청구항 46
- 삭제
- 청구항 47
- 삭제
- 청구항 48
- 삭제
- 청구항 49
- 삭제
- 청구항 50
- 삭제
- 청구항 51
- 삭제
- 청구항 52
- 삭제
- 청구항 53
- 삭제
- 청구항 54
- 삭제
- 청구항 55
- 삭제
- 청구항 56
- 삭제

청구항 57

삭제

청구항 58

삭제

청구항 59

삭제

청구항 60

삭제

발명의 설명

기술 분야

[0001] 설명되는 실시형태들은, 일반적으로, 다양한 이미지 표시 프로세스들을 모니터링하고 실행가능할 때마다 디바이스의 이미지 리프레시 레이트를 동적으로 감소시키는 것에 의해 디바이스 디스플레이들의 소비 전력을 감소시키기 위한 장치 및 방법들에 관한 것이다.

배경 기술

[0002] 많은 현대의 퍼스널 컴퓨팅 디바이스들은, 스위칭 박막 트랜지스터(thin-film transistor; TFT)들과 픽셀 저장 커패시터들의 복합 매트릭스(예를 들면, 액티브 매트릭스), 수직 및 수평 편광 필터들, 컬러 필터들, 액정층, 발광 다이오드(light emitting diode; LED) 백라이트 시스템 등을 활용할 수 있는 고해상도의 컬러 액정 디스플레이(liquid crystal display; LCD)들과 함께 구성된다. 디스플레이 기술들에서 통상의 지식을 가진 자들에 의해 이해되는 바와 같이, 액티브 매트릭스의 주소지정된 TFT 디스플레이들은 통상적으로, 그들의 패시브 매트릭스의 주소지정된 TFT 디스플레이 대응부들(예를 들면, 유사한 사이즈의 패시브 매트릭스 디스플레이들)과 비교하여, 더 밝게 보이고, 더 선명한 이미지들을 제공하고, 향상된 응답 시간들을 나타낸다.

[0003] 이들 액티브 매트릭스 LCD 디스플레이들 내에서, 대응하는 픽셀 어드레스(들)(예를 들면, 단일의 로우 라인으로 주소지정된 픽셀)과 관련된 TFT(들)를 선택적으로 스위칭 온하는 것에 의해, 특정 칼럼 라인이 충전되어 단일의 디스플레이 픽셀, 또는 상이한 로우 라인들을 따른 다수의 디스플레이 픽셀들을 조명할 수도 있다. TFT가 스위칭 온되면, 대응하는 픽셀 저장 커패시터가 칼럼 라인을 따라 충전되어 LED 백라이트 시스템으로부터의 광이 액정층을 통과하여 픽셀을 조명하는 것을 허용하기에 충분하게 픽셀의 액정들을 트위스팅할 수도 있다. 조명된 픽셀의 컬러는 픽셀의 적용된 컬러 필터에 의해 정의된다. 이런 식으로, 개개의 픽셀들은 전류를, 결과적으로 전력을, LCD 디스플레이 내의 특정 칼럼 라인에 공급하는 것에 의해 조명될 수 있다. 디스플레이 드라이버 또는 컨트롤러는 LCD 디스플레이 내의 칼럼 라인들의 각각으로의 전류 흐름을 동적으로 관리하기 위해 그리고/또는 대응하는 로우 라인들 내의 TFT들을 게이팅하기 위해(예를 들면, TFT들을 턴온/턴오프하기 위해) 활용될 수도 있다.

[0004] 불행히도, LCD 디스플레이들의 하나의 주요한 전력 소모는, 디스플레이에 표시되는 이미지들이, 디바이스 제조자에 의해 할당될 수도 있는 라이브 리프레시 레이트(live refresh rate; LRR)에 따라 주기적으로 리프레시될 때 발생한다. 디바이스 디스플레이의 디폴트 LRR은, 디바이스에서 어떤 이미지 표시 프로세스들이 수행되고 있는지에 무관하게 또는 디스플레이에서 어떤 이미지 콘텐츠가 표시되고 있는지(또는 표시될 것인지)에 무관하게, 디스플레이에서 일정한 LRR이 유지되는 것을 보장하기 위해, 그래픽 프로세서 유닛(graphics processor unit; GPU)에 의해 정적으로 구성되는 타이밍 컨트롤러 엔터티에 의해, 또는 호스트 시스템의 다른 지정된 시스템 온 칩(system-on-chip; SoC) 컴포넌트에 의해 구동될 수 있다. 많은 상이한 타입들의 퍼스널 컴퓨팅 디바이스들에서 디바이스의 LCD 디스플레이에 대한 LRR은 50 또는 60 헤르츠(Hz)의 리프레시 레이트로 표준화된다. 그러나, 최근의 고선명(high-definition; HD) 3 차원(3D) 디스플레이 시스템들의 출현과 함께, LRR들은 120 Hz와 240 Hz로 증가되었다. 이러한 트렌드는, 미래의 디스플레이 기술들이 300 Hz 또는 그 이상의 LRR들을 가질 수도 있도록 계속될 것으로 예상된다.

[0005] 디바이스 디스플레이의 LRR은 그 소비 전력에 비례하며; 특정한 디스플레이 타입에 대해 LRR이 높을수록 그 디스플레이는 더 많은 전력을 소비할 것이다. 이와 같이, 디바이스 디스플레이 소비 전력은 소비자 전자 디스플레이들의 분야에서 종사하는 과학자들 및 엔지니어들의 관심이 증가하는 영역이다. 한정되고 고갈가능한 배터리 수명을 갖는 많은 휴대형 전자 디바이스들(예를 들면, 랩탑 컴퓨터들, 태블릿 컴퓨터들, 모바일 폰들, 전자책 디바이스들, 뮤직 플레이어들 등)은, 50 또는 60 Hz와 동일한 또는 50 또는 60 Hz를 초과하는 LRR을 필수로 하지 않는 루틴한 디스플레이 프로시저를 수행할 수 있다. 이들 시나리오들에서, 이러한 보수적인 LRR을 필요로 하지 않는 상이한 디바이스 상태들 및/또는 디스플레이 동작들을 동적으로 검출하고, 그 다음, 소비 전력을 최소화하고 디바이스 이동성을 확장하기 위해, 대응하는 디바이스의 디스플레이 리프레시 레이트를 그에 따라 낮출 수 있는 것이 유익할 것이다.

[0006] 예로서, 몇몇 상황들에서, 디바이스 디스플레이는 알려진 기간에 걸쳐 변하지 않을 단일 이미지 프레임을 표시하도록 제어될 수도 있다. 이 확립된 시간 간격 동안, 디바이스 디스플레이는 스크린 온 아이들(screen-on-idle) 모드로서 알려진 모드에 있을 수도 있는데, 이 모드는 디스플레이 스크린 이미지 리프레시 액션을 필요로 하지 않는다. 그러나, 유해한 "스크린 번(screen burn)"을 방지하기 위한, 그리고 디스플레이 컴포넌트 열화를 제한하기 위한 노력으로, 스크린 온 아이들 모드 동안 정적인 디스플레이 스크린 이미지를 리프레시하는 것이 여전히 필요할 수도 있다. 이와 같이, 위에서 설명된 시나리오들을 포함하는 많은 상황들에서, 디바이스 디스플레이의 리프레시 레이트를 디바이스의 디폴트 LRR보다 더 낮아지게 감소시킬 수 있는 유익할 것이다. 따라서, 유저의 시각적 경험을 저하시키지 않으면서, 소비 전력을 최소화하기 위해 디바이스의 디스플레이 리프레시 레이트를 동적으로 감소시킬 수 있는 해결책에 대한 요구가 존재한다. 이와 관련하여, 감소된 리프레시 레이트들에서 디스플레이를 동작시키는 것으로부터 유래할 수 있는 감소된 밝기(brightness) 레벨들 및 다른 시각적 아티팩트들을 보상할 수 있는 것이 바람직할 것이다.

발명의 내용

[0007] 본 개시는 고갈가능한 디바이스 리소스들을 절약하기 위해 디스플레이 시스템 내에서의 다양한 그래픽 표시 동작 결정들에 응답하여 디바이스 디스플레이 리프레시 레이트를 동적으로 조정하기 위한 장치 및 방법들을 설명한다. 본 개시의 몇몇 양태들에 따르면, 소비자 전자 디바이스(예를 들면, 랩탑 컴퓨터, 태블릿 컴퓨터, 모바일 폰, 또는 뮤직 플레이어 디바이스)의 액정 디스플레이(LCD)에서 가변 리프레시 레이트(variable refresh rate)가 동적으로 활용될 수 있다.

[0008] 다양한 양태들에서, 소비자 전자 디바이스는 하나 이상의 프로세서들을 구비하는 호스트 시스템 부분 및 타이밍 컨트롤러, 버퍼 회로, 디스플레이 드라이버, 및 디스플레이 패널을 구비하는 디스플레이 시스템 부분을 포함할 수 있다. 다양한 구성들에서, 디스플레이 시스템은 호스트 시스템의 중앙 처리 유닛(central processing unit; CPU) 또는 그래픽 프로세서 유닛(GPU)으로부터 이미지 데이터 및 이미지 제어 데이터 둘 다를 수신하고, 디스플레이 패널에서 활용하기 위한 감소된 리프레시 레이트(reduced refresh rate; RRR)를 결정하기 위해 수신된 이미지 제어 데이터를 평가하고, 그 다음, 전력을 절약하고 디바이스 이동성을 확장하기 위한 노력으로, 적용가능할 때마다, LCD를 (예를 들면, 이미지 데이터를 표시하는 동안) 라이브 리프레시 레이트(LRR)로부터 RRR로 전이(transition)할 수 있다.

[0009] 몇몇 양태들에 따르면, LCD 디스플레이 시스템의 버퍼 회로는 복수의 레지스터 값들을 저장하는 기준 전압 बैं크 선택 컴포넌트, 복수의 연산증폭기들, 및 수신된 이미지 데이터를 버퍼링하기 위한 복수의 이미지 버퍼들을 포함할 수 있다.

[0010] 일 양태에서, 버퍼 회로는 기준 전압 입력 선택을 수신하도록, 기준 전압 입력 선택을 복수의 레지스터 값들과 비교하도록, 비교에 기초하여 목표 기준 전압 값을 선택하도록, 그리고 LCD가 감소된 리프레시 레이트에서 동작하고 있을 때 LCD의 명도(luminosity)를 변경시키기 위해 LCD로 목표 기준 전압 값을 전송하도록 구성될 수도 있다.

[0011] 본 개시의 또 다른 양태에서는, 버퍼 회로에서, 기준 전압 입력 선택은 디스플레이 타이밍 컨트롤러로부터 버퍼 회로에 커플링되는 전용 하드웨어 핀에서 수신될 수 있다.

[0012] 다른 양태들에서, LCD의 칼럼 드라이버는 소스 GPU로부터 입력 신호들을 수신하기 위한 프론트엔드 회로부(frontend circuitry) 및 박막 트랜지스터(TFT) 패널과 같은 LCD 디스플레이 패널로 기준 전압을 출력하기 위한 백엔드 회로부(backend circuitry)를 포함할 수도 있다. 또한, 칼럼 드라이버는 디스플레이 컨트롤러로부터 적어도 하나의 입력 신호를 수신하도록, 적어도 하나의 입력 신호로부터 하나 이상의 설정들을 결정하도록, 그리

고 적어도 하나의 입력 신호의 하나 이상의 설정들에 기초하여 칼럼 드라이버의 적어도 일부를 셧다운하도록 구성될 수 있다.

[0013] 본 개시의 양태에 따르면, 하나 이상의 설정들 중 제1 설정은 칼럼 드라이버의 전용 하드웨어 핀에서 입력 신호로서 수신된다.

[0014] 본 개시의 다른 양태에서, 제1 설정은 칼럼 드라이버의 모든 회로부를 셧다운하도록 구성되는 비프로토콜(non-protocol) 설정일 수 있다.

[0015] 일 시나리오에서, 하나 이상의 설정들 중 제2 설정은 칼럼 드라이버의 디지털 회로 부분(digital circuit portion)을 셧다운할 수 없는 프로토콜 설정일 수도 있다.

[0016] 본 개시의 다른 양태에 따르면, LCD의 타이밍 컨트롤러는 리프레시 레이트 타이밍을 조절하기 위한 클록 회로부(clock circuitry), LCD의 버퍼 회로를 구동하기 위한 버퍼 구동 회로부, 및 LCD의 디스플레이 패널의 디스플레이 드라이버를 제어하기 위한 디스플레이 패널 구동 회로부를 포함할 수 있다.

[0017] 몇몇 양태들에서, 타이밍 컨트롤러는 호스트 시스템의 GPU로부터 이미지 제어 데이터를 수신하도록, 디스플레이 패널에 대한 RRR을 결정하기 위해 수신된 이미지 제어 데이터를 평가하도록, 그 다음, RRR로의 전이에 영향을 끼치기 위해 RRR과 관련된 디스플레이 제어 시그널링 정보를 LCD의 하나 이상의 컴포넌트들로 전송하도록 구성될 수도 있다.

[0018] 본 개시의 다른 양태에서, RRR로의 전이는 50 헤르츠 이상의 라이브 리프레시 레이트(LRR)로부터 40 헤르츠 이하의 RRR로의 전이이다.

도면의 간단한 설명

[0019] 설명되는 실시형태들 및 그 이점들은, 첨부된 도면들과 연계하여 취해지는 하기의 설명을 참조하여 가장 잘 이해될 수도 있을 것이다. 이들 도면들은 반드시 일정한 축적으로 그려질 필요는 없고, 또한 도면들은 본 개시의 시점에서 당업자에 의해 이루어질 수도 있는 형태 및 상세에서의 도면들에 대한 예상가능한 수정들을 전혀 제한하거나 배제하도록 의도된 것은 아니다.

도 1은, 본 개시의 다양한 실시형태들에 따른, 시스템 인터페이스에 의해 커플링되는 호스트 시스템과 디스플레이 시스템을 묘사하는 블록도를 도시한다.

도 2는, 본 개시의 몇몇 실시형태들에 따른, 가변 리프레시 레이트를 활용하기 위해 칼럼 드라이버(column driver; CD)를 구동하도록 구성되는 타이밍 컨트롤러(timing controller; TCON)를 묘사하는 디스플레이 시스템 도면을 도시한다.

도 3은, 본 개시의 몇몇 구현예들에 따른, 감소된 리프레시 레이트(RRR)를 활용하는 보상되지 않은 디바이스 디스플레이 표시 및 동일한 RRR을 활용하는 보상된 디바이스 디스플레이 표시 둘 다를 묘사하는 도면을 도시한다.

도 4는, 본 개시의 다양한 실시형태들에 따른, 디스플레이 시스템 버퍼 집적 회로(integrated circuit; IC)의 블록도를 도시한다.

도 5는, 본 개시의 몇몇 실시형태들에 따른, TCON으로부터 입력을 수신하기 위한 전용 하드웨어 핀을 사용하여 목표 출력 전압을 선택할 수 있는 버퍼 IC의 बैं크 선택 컴포넌트의 블록도를 도시한다.

도 6은, 본 개시의 다양한 실시형태들에 따른, 상이한 리프레시 레이트들 사이의 평활한 전이를 실현하기 위해 슬로프 제어 로직을 활용하는 버퍼 IC의 블록도를 도시한다.

도 7은, 본 개시의 몇몇 구현예들에 따른, 레지스터 설정이 VCom 점핑 모드로 귀결될 때의 VCom 슬로프 제어 출력을 묘사하는 그래프를 도시한다.

도 8은, 본 개시의 다양한 실시형태들에 따른, 레지스터 설정이 VCom 슬로프화 모드(sloping mode)로 귀결될 때의 VCom 슬로프 제어 출력을 묘사하는 그래프를 도시한다.

도 9는, 본 개시의 몇몇 실시형태들에 따른, 출력 바이어스 제어를 활용하는 버퍼 IC의 블록도를 도시한다.

도 10은, 본 개시의 다양한 구현예들에 따른, 액정 디스플레이(LCD)에서의 RRR의 적용을 보상하기 위한 프로시저를 묘사하는 흐름도를 도시한다.

도 11은, 본 개시의 몇몇 실시형태들에 따른, LCD에서의 RRR의 적용을 보상하기 위한 다른 프로시저를 묘사하는 흐름도를 도시한다.

도 12는, 본 개시의 다양한 구현예들에 따른, 디스플레이 시스템의 CD의 블록도를 도시한다.

도 13은, 본 개시의 다양한 구현예들에 따른, 디스플레이 시스템의 CD의 다른 블록도를 도시한다.

도 14는, 본 개시의 다양한 구현예들에 따른, LCD의 디스플레이 드라이버에서 전력을 절약하기 위한 프로시저를 묘사하는 흐름도를 도시한다.

도 15는, 본 개시의 몇몇 실시형태들에 따른, LCD의 디스플레이 드라이버에서 전력을 절약하기 위한 다른 프로시저를 묘사하는 흐름도를 도시한다.

도 16은, 본 개시의 다양한 실시형태들에 따른, 가변 리프레시 레이트에서 디스플레이 패널을 구동하도록 구성되는 디스플레이 시스템의 TCON의 블록도를 도시한다.

도 17은, 본 개시의 몇몇 구현예들에 따른, LCD 디스플레이 패널에서 RRR을 확립하기 위한 프로시저를 묘사하는 흐름도를 도시한다.

도 18은, 본 개시의 몇몇 실시형태들에 따른, LCD 디스플레이 패널에서 RRR을 확립하기 위한 다른 프로시저를 묘사하는 흐름도를 도시한다.

도 19는, 본 개시의 다양한 구현예들에 따른, 상이한 가변 리프레시 레이트들을 활용하도록 구성된 LCD 디스플레이의 동작을 도시하는 예시적인 리프레시 레이트 타이밍도를 도시한다.

도 20은, 본 개시의 다양한 실시형태들에 따른, 제1 리프레시 레이트와 제2 리프레시 레이트 사이의 전이 동안의 수직 블랭킹 시간들을 나타내는 다른 리프레시 레이트 타이밍도를 도시한다.

도 21은, 본 개시의 몇몇 실시형태들에 따른, 가변 리프레시 레이트 전이 프로시저 동안의 최적의 기준 전압 출력 플롯을 도시한다.

도 22은, 본 개시의 몇몇 구현예들에 따른, LCD를 RRR에서 동작시키는 동안 전력 절약을 위한 향상된 프로토콜을 묘사하는 플롯을 도시한다.

발명을 실시하기 위한 구체적인 내용

[0020] 소비자 전자 디바이스의 소비 전력을 감소시키기 위해 디바이스 디스플레이에서 가변 리프레시 레이트를 구현하기 위한 대표적인 예들이 이 섹션 내에서 설명된다. 몇몇 구성들에서, 디바이스를 디폴트의 라이브 리프레시 레이트(LRR)에서 동작시키는 것과는 대조적으로, 디바이스 디스플레이를 감소된 리프레시 레이트(RRR)에서 동작시키는 것과 관련된 하나 이상의 부정적인 영향들(예를 들면, 원치 않는 가시적인 아티팩트들의 표시)을 제거하거나 또는 실질적으로 감소시키기 위해, 다양한 디스플레이 밝기 및 이미지 표시 보상 기술들이 디바이스에서 활용될 수 있다. 본 개시는 상기 목적들을 달성하기 위해, 또한 본원에서 추가로 설명되는 다양한 다른 이점들을 실현하기 위해, 디바이스의 디스플레이 리프레시 레이트를 동적으로 감소시키기 위한 여러 예들을 설명한다.

[0021] 제공되는 예들은 본 개시의 누적된(cumulative) 주제에 맥락을 추가하도록, 그리고 그 누적된 주제의 이해를 돕도록 의도된다. 본 명세서에서, "일 실시형태", "한 실시형태", "몇몇 실시형태들" 또는 "다양한 실시형태들", "일 구현예", "한 구현예", "몇몇 구현예들", 또는 "다양한 구현예들" 등에 대한 참조는, 예시적인 구현예와 연계하여 설명되는 특정 특징(들), 구조(들), 또는 특성(들)이 본 개시의 적어도 하나의 실시형태에 포함될 수 있다는 표시들이다. 본 명세서 내의 상기 구들 중 임의의 것의 출현은 단일의 또는 관련 실시형태 또는 구현예를 반드시 참조하는 것은 아니다. 또한, 본원에서 설명되며 도면들에서 묘사되는 디스플레이 프로세스들은 하드웨어(예를 들면, 그래픽 프로세서 회로부, 전용 디스플레이 로직 유닛들 등), 소프트웨어(예를 들면, 퍼스널 컴퓨팅 디바이스에서 실행될 수 있는 프로그램 코드), 또는 이들의 임의의 조합을 포함하는 프로세싱 로직에 의해 수행될 수도 있다.

[0022] 다양한 디스플레이 표시 프로세스들이 하나 이상의 순차적인 동작들의 관점에서 하기에 설명되지만, 본원에서 설명되는 순차적인 동작들 중 임의의 부분은, 본 개시의 취지와 범위를 벗어나지 않으면서, 상이한 순서로, 또는 병렬로 수행될 수도 있음이 이해되어야 한다. 예를 들면, 많은 현대의 그래픽 프로세서들은 디스플레이 시스템에 대한 이미지 데이터 스트림을 향상시키기 위해 수많은 이미징 동작들을 병렬로 수행하도록 구성된다. 또한, 본 개시에서 논의되는 실시형태들은 본원에서 설명되는 특정 상세들 중 일부와 함께 또는 그 일부 없이도

실시될 수도 있음이 명백해야 한다. 이와 관련하여, 유사한 이점들 및 결과들을 달성하기 위해, 본원에서 개시되며 대응하는 도면들에서 예시되는 주제에 대해 다양한 수정들 및/또는 변형들이 이루어질 수 있다. 따라서, 본 개시의 다양한 실시형태들 및 예들은 과도하게 제한하거나 또는 모두 포함하는 것으로 간주되어선 안된다.

[0023] 도 1은, 본 개시의 다양한 실시형태들에 따른, 시스템 인터페이스(106)에 의해 커플링되는 호스트 시스템(102)과 디스플레이 시스템(104)을 묘사하는 블록도(100)를 도시한다. 몇몇 구현예들에서, 호스트 시스템(102)과 디스플레이 시스템(104)은 단일의 디바이스 내에 그리고/또는 동일한 디바이스 하우징 내에 통합될 수도 있다. 이 구성에서, 통합된 디바이스는 랩탑 컴퓨터, 태블릿 컴퓨터, 셀룰러 폰, 뮤직 플레이어 디바이스, 전자책 디바이스, 휴대형 게임용 디바이스, 또는 임의의 다른 타입의 미디어 플레이어 디바이스, 차량내 엔터테인먼트/내비게이션 시스템, 의료용 또는 과학용 디바이스 등에 대응할 수도 있다. 이러한 통합된 디바이스 내에서, 시스템 인터페이스(106)는, 시스템 버스 또는 호스트 시스템(102)과 디스플레이 시스템(104) 사이에서 이미지 데이터 및 이미지 표시 제어 데이터를 통신하기 위해 공통 와이어라인(wireline) 인터페이스 통신 프로토콜을 활용할 수 있는 임의의 다른 와이어라인 연결에 대응할 수도 있다.

[0024] 다른 실시형태들에서, 호스트 시스템(102)과 디스플레이 시스템(104)은 시스템 인터페이스(106)를 통해 커플링될 수 있는 분리된 또는 분리가능한 디바이스들로서 분포될 수도 있다. 이 시나리오에서, 시스템 인터페이스(106)는, 유선 또는 무선 로컬 에어리어 네트워크(local area network; LAN)의 일부로서, 또는 대안적으로, 유선 또는 무선 개인 영역 네트워크(personal area network; PAN)의 일부로서, 임의의 공통 타입의 와이어라인 통신 인터페이스 또는 임의의 공통 타입의 단거리 무선 통신 인터페이스로 구성될 수 있다. 예로서, 분포된 디바이스 구성에서, 디스플레이 시스템(104)은, 호스트 시스템(102)과 디스플레이 시스템(104) 사이에서 이미지 데이터 및 제어 데이터 통신들을 가능하게 하기 위한 독립형 전자 비주얼 디스플레이 디바이스, 예컨대 시스템 인터페이스(106)를 통해 호스트 시스템(102)(예를 들면, DVD 또는 Blu-Ray® 플레이어 디바이스, 랩탑 컴퓨터, 태블릿 컴퓨터 등)에 커플링될 수 있는 컴퓨터 모니터 또는 임의의 다른 플랫폼별 디스플레이 디바이스(예를 들면, 액정 디스플레이(LCD) 텔레비전)에 대응할 수도 있다.

[0025] 몇몇 구성들에 따르면, 호스트 시스템(102)은, 외부 디바이스들과 데이터를 통신하기 위한 입력/출력(I/O) 컴포넌트(108), 시스템 온 칩(SoC) 집적 회로(IC) 내에 집적될 수도 있는, 중앙 처리 유닛(central processing unit; CPU)과 임의의 수의 그래픽 프로세싱 유닛(GPU)들 또는 비주얼 프로세싱 유닛(visual processing unit; VPU)들과 같은 하나 이상의 프로세서(들)(110), 및 공통 타입들의 휘발성 및 비휘발성 메모리의 임의의 조합으로 구성될 수 있는 저장 또는 메모리 컴포넌트(112)를 포함할 수 있지만, 이들을 포함하는 것에 한정되는 것은 아니다. 또한, 몇몇 구현예들에서, 디스플레이 시스템(106)(예를 들면, LCD 디스플레이)은, 타이밍 컨트롤러(TCON)(114), 버퍼 IC 컴포넌트(116)(예를 들면, 이미지 프레임 버퍼들로 이루어짐), 칼럼 드라이버(CD)(118), 및 박막 트랜지스터(TFT) 디스플레이 패널(120)을 포함할 수도 있지만, 이들을 포함하는 것에 한정되는 것은 아니다. 호스트 시스템(102)과 디스플레이 시스템(104)이 하이레벨 도면 내에서 묘사되지만, 그 자체로서, 호스트 시스템(102) 또는 디스플레이 시스템(104)은, 본 개시의 취지와 범위를 벗어나지 않으면서, 본원에서 추가로 설명되는 디스플레이 리프레시 레이트와 디스플레이 이미지 보상 프로세스들 중 임의의 것을 수행하는 데 필요한 추가적인 회로 컴포넌트들을 옵션적으로 포함하도록 구성될 수도 있음이 이해되어야 한다.

[0026] 본원에서 더 상세히 설명되는 바와 같이, 몇몇 실시형태들에서, 호스트 시스템(102)의 하나 이상의 프로세서들(110)(예를 들면, CPU 및/또는 GPU)은, 하나 이상의 RRR들을 활용하도록 디스플레이 시스템(104)을 구성하기 위해, 이미지 데이터 및/또는 제어 데이터(예를 들면, 리프레시 레이트 정보 및/또는 이미지 보상 정보)를 디스플레이 시스템(104)의 TCON(114) 및/또는 버퍼 IC 컴포넌트(116)과 통신하는 데 활용될 수 있다. 몇몇 구현예들에서, 현재의 또는 미래의 이미징 동작 동안 특정 이미지 콘텐츠를 디스플레이하는 데 기존의 라이브 리프레시 레이트(LRR)가 필요하지 않다는 결정이 (예를 들면, 호스트 시스템(102)의 프로세서들(110) 및/또는 디스플레이 시스템(104)의 컴포넌트에 의해) 이루어지면, 프로세서들(110)은 RRR을 갖는 TCON(114)을 구성할 수 있다.

[0027] 예로서, 몇몇 실시형태들에서, 호스트 시스템(102)의 프로세서들(110) 중 임의의 것은, TFT 패널(120)에서 디스플레이되고 있는 이미지 콘텐츠, 또는 TFT 패널(120)에서 디스플레이될 이미지 콘텐츠(예를 들면, 버퍼 IC 컴포넌트(116)의 버퍼링된 이미지 데이터)가 기존의 LRR(예를 들면, 60 Hz의 디폴트 이미지 리프레시 레이트)에 따라 리프레시될 필요가 없는 정적 이미지 콘텐츠에 대응한다고 동적으로 결정하도록 구성될 수도 있다. 이 시나리오에서, CD(118)로 하여금 TFT 패널(120)에서 디스플레이되는 정적 이미지를 더 낮은 디스플레이 리프레시 레이트에서 리프레시하게 하여, RRR이 디스플레이 시스템(104)에 의해 활용되고 있을 때의 시간 간격 동안 디스플레이 시스템(104)에서 소비 전력을 실질적으로 감소시키기 위해, (결정에 응답하여) RRR(예를 들면, 30

Hz의 감소된 이미지 리프레시 레이트)이 TCON(114)에 의해 활용될 수 있다.

[0028] 대안적으로, 다른 실시형태에서, 버퍼 IC 컴포넌트(116)가 자신의 로컬 프레임 버퍼들 중 하나로부터의 특정 스크린 이미지를 리프레시하고 있는 동안, 버퍼 IC 컴포넌트(116)는 (호스트 시스템(102) 제어와는 독립적으로) 리프레시 레이트를 동적으로 낮추도록 구성될 수 있다. 이것은 버퍼 IC가 리프레시될 필요가 없는 이미지 버퍼 콘텐츠 또는 이미지 프레임을 식별할 때(예를 들면, TFT 패널(120)이 스크린 온 아이들 모드에 있을 때) 발생할 수도 있다. 다른 실시형태에서, TFT 패널(120)(CD(118)를 포함함)은, 반복된 이미지 프레임들을 식별하기 위해, 수신되는 이미지 프레임들(예를 들면, 비디오 데이터 프레임들)을 동적으로 비교하도록 구성될 수도 있다. 이 시나리오에서, TFT 패널(120)은, 드랍된 프레임 시간들 동안 전력을 절약하기 위한 노력으로, 하나 이상의 식별된 반복적 이미지 프레임들을 드랍하도록 결정할 수 있다. 이들 시나리오들에서, RRR 및/또는 감소된 프레임 표시들은, 호스트 시스템(102)의 프로세서들(110)로부터의 임의의 입력 없이(또는 입력을 최소로 하여), 디스플레이 시스템(104)에 의해 빠르고 자동적으로 관리될 수 있다.

[0029] 몇몇 실시형태들에 따르면, 디스플레이 시스템(106)의 버퍼 IC 컴포넌트(116)는 호스트 시스템(102)의 프로세서들(110) 중 임의의 것으로부터 이미지 데이터를 수신하도록, 수신된 이미지 데이터로부터 하나 이상의 이미지 프레임들을 버퍼링하도록, 그리고 그 다음 버퍼링된 이미지 프레임(들)의 표시를 TCON(114) 및/또는 CD(118) 엔티티들과 협력하여 TFT 패널(120)에서 구동하도록 구성될 수도 있다. 추가적으로, 몇몇 구성들에서, 2개의 별개의 디스플레이 리프레시 레이트들 사이에서 전이하는 동안, 또는 TFT 패널(120)에서 RRR을 활용하는 동안 발생할 수도 있는 다양한 이미지 표시 결함들 또는 아티팩트들의 발생을 제거하거나 또는 최소화하기 위해, 버퍼 IC 컴포넌트(116)는 다양한 이미지 보상 메커니즘들을 활용하도록 구성될 수 있다. 다양한 대응하는 이미지 보상 메커니즘들은 본원에서 더 상세히 설명된다.

[0030] 도 2는, 본 개시의 다양한 실시형태들에 따른, 가변 리프레시 레이트를 활용하기 위해 (예를 들면, CD(206)에서 하나 이상의 전용 입력 핀들을 통해) CD(206)를 구동하도록 구성되는 TCON(204)을 묘사하는 디스플레이 시스템 도면(200)을 도시한다. 본원에서 더 설명되는 바와 같이, 예컨대 디폴트 LRR이 다양한 이미지 프레임 콘텐츠를 표시하는 것에 대해 과도하게 보수적인 리프레시 레이트 값인 것으로 결정되면, CD(206)가 TFT 패널(120)의 픽셀 회로부(208)를 임의의 수의 상이한 RRR들에서 동작시키도록 하기 위해, TCON(204)으로부터의 타이밍 제어 시그널링은 CD(206)로 통신될 수 있다. 몇몇 구현예들에서, CD(206)는, 전압 공급 레일(202)로부터 TFT 패널(120)의 하나 이상의 칼럼 라인들로 다양한 방식들로 전하를 공급하기 위해 픽셀 회로부(208)의 개개의 칼럼들을 각각 제어할 수 있는 임의의 수의 칼럼 드라이버들(예를 들면, CD1 내지 CDN)로 구성될 수 있다. TCON(204)과 CD(206)가 하이레벨 도면 내에서 묘사되지만, 그 자체로서, TCON(204)과 CD(206)는, 본원에서 더 설명되는 디스플레이 리프레시 레이트 및 디스플레이 이미지 보상 프로세스들 중 임의의 것을 수행하는 데 필요한 추가적인 회로 컴포넌트들을 옵션적으로 포함하도록 구성될 수도 있음이 이해되어야 한다.

[0031] 몇몇 실시형태들에 따르면, 픽셀 회로부(208)는 TFT와 픽셀 저장 커패시터를 구비하는 개개의 픽셀 회로들(210a)의 액티브 매트릭스로 구성될 수도 있다. 픽셀 조명의 기본적인 원리들을 예시적으로 묘사하기 위해, 단일의 픽셀 회로(210b)의 분해도가 도시된다. 예를 들면, CD(206)가 CD1과 관련된 칼럼 라인으로 전하를 전송할 때, 픽셀 회로(210a-b)는 트랜지스터 게이트를 여는 것에 의해(예를 들면, 트랜지스터를 턴온하는 것에 의해) 활성화되어 픽셀 저장 커패시터를 충전하고 픽셀을 조명할 수도 있다. 몇몇 실시형태들에 따르면, 픽셀의 휘도(luminance)는 픽셀 저장 커패시터의 양단에 인가되는 전압들(예를 들면, VGamma 및 VCom)에 의해 정의될 수 있다. 픽셀 저장 커패시터의 전압들 사이의 차이(예를 들면, VGamma-VCom과 동일한 ΔV 로 나타냄)가 최대로 되면, 픽셀은 더 높은 휘도를 가지고 더 밝게 보일 것이고; 역으로, 픽셀 저장 커패시터의 전압들 사이의 차이가 최소로 되면, 픽셀은 더 낮은 휘도를 가질 것이고 덜 밝게 보일 것이다.

[0032] 사람의 눈은 작은 이미지 불일치들에 아주 민감한데, 이미지 불일치들은 이미지 아티팩트들로서 일반적으로 칭해진다. 현대의 LCD 디바이스 디스플레이들에서, 디바이스의 활용되는 디스플레이 리프레시 레이트는 디바이스의 디스플레이 스크린의 명도 또는 밝기에 직접적으로 비례한다. 따라서, 이미지 표시 보상이 없는 경우, 디바이스의 디스플레이 리프레시 레이트에서의 변화는 디스플레이의 밝기에서 인지가 가능한 변화를 초래할 것이다. 도 3은, 감소된 리프레시 레이트(RRR)를 활용하는 보상되지 않은 디바이스 디스플레이 표시(302) 및 동일한 RRR을 활용하는 보상된 디바이스 디스플레이 표시(304) 둘 다를 묘사하는 도면(300)을 도시한다. 임의의 명도 보상(306)이 적용되기 이전에, RRR을 활용하는 디바이스 디스플레이 표시의 스크린 밝기는 디바이스의 기존의 VCom(308) 및 VGamma(310) 기준 전압 레벨들에서 상대적으로 낮은 명도를 가질 수도 있다. 그러나, 본 개시의 몇몇 실시형태들에 따르면, 다양한 명도 보상 기술들(306)이 (예를 들면, 버퍼 IC(116)를 통해) 적용되면, 동일한 RRR을 활용하는 디바이스 디스플레이 표시(304)의 스크린 밝기는, 수정된/보상된 VCom(312) 및 VGamma(314)

기준 전압 레벨들에 비례하여 더 높은 명도를 달성할 수도 있다.

[0033] 몇몇 구성들에 따르면, 버퍼 IC(116)는, 예컨대 RRR이 TFT 패널(120)에서 적용되고 있을 때, 프레임 단위(frame-by-frame)의 리프레시 레이트 변화들을 보상하기 위해 기존의 감마 뱅크 스위칭 구현예들과 결합하여 활용될 수도 있다. 또한, 버퍼 IC(116)는, 본원에서 설명되는 바와 같이, 이미지 표시 프로세스들 동안 리프레시 레이트를 변경하는 것에 의해 야기되는 시각적 아티팩트들을 제거하거나 감소시키도록 또한 구성될 수 있다. 몇몇 구현예들에 따르면, 버퍼 IC(116)의 프로그램가능한 감마 버퍼(programmable gamma buffer; PGB) 회로들은 밝기 기준 레벨들(예를 들면, VGamma)을 TFT 패널(120)의 소스 드라이버 회로부(예를 들면, CD(118))로 제공하도록 구성될 수 있다. 추가적으로, 버퍼 IC(116)의 VCom 회로부는 TFT 패널(120)의 모든 픽셀에 대한 공통 전압 기준치를 제공하도록 구성될 수도 있다. 버퍼 IC(116)의 PGB 및 VCom 회로부 둘 다는 디스플레이 스크린 밝기에(예를 들면, ΔV 와 비례하여) 영향을 끼칠 수 있다.

[0034] 도 4는, 본 개시의 다양한 실시형태들에 따른, 디스플레이 시스템 버퍼 IC(402)의 블록도(400)를 도시한다. 버퍼 IC(402)는, VCom 뱅크 선택 컴포넌트(404) 및 임의의 수의 VCom 연산증폭기들(408)을 포함하는 VCom 회로부(404)뿐만 아니라, 감마 뱅크 선택 컴포넌트(412) 및 임의의 수의 프레임 버퍼들(414)을 구비하는 PGB 회로부(410)를 포함할 수도 있지만, 이들을 포함하는 것에 한정되는 것은 아니다. 다양한 실시형태들에 따르면, VCom 회로부(404)는 임의의 수의 별개의 VCom 출력들을 생성하도록 구성될 수도 있지만, 반면 PGB 회로부는 다양한 감마 출력들을 생성하도록 구성될 수 있다. 이들 VCom 및 감마 출력들은 TCON(114)으로부터 버퍼 IC(402)에서 수신되는 다양한 입력들로부터 생성/유도될 수도 있다. 버퍼 IC(402)가 하이레벨 도면으로서 묘사되지만, 그 자체로서, 버퍼 IC(402)는, 본원에서 더 설명되는 디스플레이 리프레시 레이트 및 디스플레이 이미지 보상 프로세스들 중 임의의 것을 수행하는 데 필요한 추가적인 회로 컴포넌트들을 옵션적으로 포함하도록 구성될 수 있음이 이해되어야 한다.

[0035] 몇몇 구현예들에서, 디스플레이 시스템(104)의 버퍼 IC(402)는 감소된 그리고 증가된 리프레시 레이트 구현예들 둘 다에 대한 동작의 비연속 모드들을 지원하도록 구성될 수 있다. 예를 들면, TCON(114)이 TFT 패널(120)에서 증가된 리프레시 레이트를 활용하여, 인지되는 디스플레이 스크린 밝기를 증가시키는 시나리오에서, 버퍼 IC(402)는(예를 들면, ΔV 를 감소시킴으로써) 그에 따라 스크린 밝기를 감소시키는 것에 의해 원치 않는 명도 증가들을 보상하도록 구성될 수도 있다. 이들 시나리오들에서, 버퍼 IC(402)는 가변 리프레시 레이트 전이들을 목표로 하는 즉석의(on-the-fly) 리프레시 레이트 수정을 지원하도록 구성될 수 있다. 몇몇 실시형태들에서, TCON(114)으로부터 나오는 전용 하드웨어 신호들은 VCom 회로부(404)의 VCom 출력들뿐만 아니라, PGB 회로부(410)의 감마 출력들을 동적으로 조정하기 위해 버퍼 IC(402)에 의해 활용될 수 있고; 이들 조정들은 프레임 단위 기반으로 수행될 수도 있다.

[0036] 도 5는, 본 개시의 몇몇 실시형태들에 따른, TCON(502)으로부터 입력을 수신하기 위한 전용 하드웨어 핀(VCOM_SEL)을 사용하여 목표 VCom 출력(VCOM_TARGET)을 선택할 수 있는 버퍼 집적 회로(IC)(402)의 뱅크 선택 컴포넌트(504)의 블록도(500)를 도시한다. 버퍼 IC(402)의 뱅크 선택 컴포넌트(504)가 하이레벨 도면으로서 묘사되지만, 그 자체로서, 뱅크 선택 컴포넌트(504)는, 본원에서 더 설명되는 디스플레이 리프레시 레이트 및 디스플레이 이미지 보상 프로세스들 중 임의의 것을 수행하는 데 필요한 추가적인 회로 컴포넌트들을 옵션적으로 포함하도록 구성될 수도 있음이 이해되어야 한다.

[0037] 예로서, 버퍼 IC(402)는, 목표 출력 값과 함께 프리로드될 수 있는 레지스터 또는 뱅크를 선택하기 위해 하나 이상의 전용 핀들로부터의 입력을 사용하여 자신의 VCom 뱅크 선택 컴포넌트(504)의 다양한 VCom 출력 설정들을 선택하도록 구성될 수 있다. 몇몇 실시형태들에서, VCOM_SEL 신호들은, 출력 신호(VCOM_TARGET)에 대한 소스로서 다수의 VCom 뱅크들 중 하나를 선택하기 위해, TCON(502)으로부터 전용 VCOM_SEL 핀에서 수신될 수도 있다. 일 구현예에서, VCOM_SEL 신호들의 특정 수 "N"은 2xN개의 가능한 VCom 뱅크들 중 하나를 선택하는 데 필요될 수도 있다.

[0038] 도 6은, 본 발명의 다양한 실시형태들에 따른, 슬로프 제어 로직(608)을 활용하도록 구성되는 버퍼 IC(606)의 블록도(600)를 도시한다. 버퍼 IC(606)가 하이레벨 도면으로서 묘사되지만, 그 자체로서, 버퍼 IC(606)는, 본원에서 더 설명되는 디스플레이 리프레시 레이트 및 디스플레이 이미지 보상 프로세스들 중 임의의 것을 수행하는 데 필요한 추가적인 회로 컴포넌트들을 옵션적으로 포함하도록 구성될 수 있음이 이해되어야 한다. 몇몇 구성들에서, 버퍼 IC(606)는 하나 이상의 전용 IC 하드웨어 입력 핀(들)을 사용하여 다양한 VCom 슬로프 제어 동작들을 수행하기 위해 자신의 VCom 뱅크 선택 컴포넌트(604)를 활용하도록 구성될 수 있다.

[0039] 일 구현예에서, 버퍼 IC(606)의 출력 핀 상에서 관측되는 주어진 VCom 값의 변화의 레이트는 하드웨어 핀과 레

지스터 설정에 의해 제어될 수도 있다. 레지스터 설정(VCOM_SLOPE)은 변화가 점핑에 의해 급격하게 적용되는지, 또는 슬로프화(sloping)에 의해 점진적으로 적용되는지를 결정할 수 있다. 변화가 (예를 들면, 점핑하는 동안) 급격하면, VCOM_TARGET 값은 출력 핀(VCOM_OUT)에 직접적으로 전달될 수 있다. 도 7은, 본 개시의 몇몇 구현예들에 따른, 레지스터 설정이 "점핑 모드" 동안 VCom 출력(702)으로 귀결될 때의 VCom 슬로프 제어 출력(VCOM_OUT)을 묘사하는 그래프(700)를 도시한다. 도 8은, 본 개시의 다양한 실시형태들에 따른, 레지스터 설정(VCOM_SLOPE)이 VCom "슬로프화 모드"로 귀결될 때의 VCom 슬로프 제어 출력(804)을 묘사하는 그래프를 도시한다.

[0040] VCom 출력(804)이 슬로프화 모드에 있으면, VCOM_TARGET 값은 카운터 회로의 단자 값으로서 슬로프화 로직(608)에 전달될 수 있다. 카운터 프리로드 값은 전력 인가시 또는 리셋시 VCOM_TARGET으로 초기화될 수 있다. 카운터 클럭 신호(802)는 TCON(602)으로부터 수신되는 VCOM_CNT_EN 입력의 내부적으로 동기화된 버전일 수도 있다. 카운터의 업 또는 다운 방향은, 카운트 값이 VCOM_TARGET과 동일한 방향에서 진전할 수 있도록 크기 비교기에 의해 설정될 수 있다. 다양한 구성들에서, VCOM_TARGET 값이 카운터에 의해 달성되면, 어떠한 추가 업데이트도 적용되지 않을 것이다. 이런 식으로, VCOM_OUT 값은 이전의 값으로부터 VCOM_SEL에 의해 선택된 값으로 점진적으로 조정될 수 있다. 몇몇 실시형태들에서, 슬로프화 로직(608)에 의해 적용되는 슬로프화 레이트는 VCOM_CNT_EN 입력 펄스들의 주파수에 의해 결정될 수 있다.

[0041] 도 9는, 본 개시의 몇몇 실시형태들에 따른, 출력 바이어스 제어를 활용하는 버퍼 IC(904)의 블록도(900)를 도시한다. 버퍼 IC(904)가 하이레벨 도면으로서 묘사되지만, 그 자체로서, 버퍼 IC는, 본원에서 더 설명되는 디스플레이 리프레시 레이트 및 디스플레이 이미지 보상 프로세스들 중 임의의 것을 수행하는 데 필요한 추가적인 회로 컴포넌트들을 옵션적으로 포함하도록 구성될 수 있음이 이해되어야 한다. 몇몇 구현예들에서, 버퍼 IC(904)를 활용하는 디스플레이 시스템이 가변 리프레시 레이트에 따라 동작하고 있는 동안(예를 들면, RRR 동작 동안), 버퍼 IC(904)는 하나 이상의 전용 하드웨어 핀(들)을 사용하여 출력 바이어스를 선택적으로 제어할 수도 있다. RRR 동안, 스크린 이미지 업데이트들 사이의 시간은 리프레시 싸이클들의 더 낮아진 주파수로 인해 증가된다. 이 아이들 시간 동안, 디스플레이 시스템은, 유익하게는, 에너지 절약을 위해 저전력 모드에 진입할 수도 있고, 따라서, TFT 패널에 대한 버퍼 IC(904) 구동은 감소될 수 있다.

[0042] 일 실시형태에서, 바이어스 제어를 수행할 수 있는 버퍼 IC(904)는, 하나 이상의 전용 하드웨어 핀들에 의해 제어될 수도 있는 동적 구동 세기(PGB_HIGH_DRIVE, PGB_LOW_DRIVE, VCOM_HIGH_DRIVE, 및 VCOM_LOW_DRIVE) 구현예들을 지원하도록 구성될 수 있다. 몇몇 구성들에서, 프리로드된 레지스터들은 PGB들 및 VCOM에 대한 구동 세기 값들을 포함할 수도 있다. 관련 핀(P_DRIVE_SEL 또는 V_DRIVE_SEL)은 VCom 생성(906) 및 감마 생성(908) 컴포넌트들과 연계하여 버퍼에 적용될 출력 바이어스를 선택하도록 활용될 수 있다. 다양한 저전력 아이들 기간들 동안, 출력 바이어스는 에너지 절약을 위해 감소될 수 있고; 이러한 전력 절약을 감소하는 리프레시 레이트와 비례하여 증가할 수 있다.

[0043] 도 10은, 본 개시의 다양한 구현예들에 따른, 액정 디스플레이(LCD)에서의 RRR의 적용을 보상하기 위한 프로시저(1000)의 흐름도를 도시한다. 도 10에 묘사된 프로세스들(1000)은 도 1에 묘사된 디스플레이 시스템(104)의 버퍼 IC(116) 컴포넌트에 의해 수행될 수도 있음이 이해되어야 한다. 도 1의 버퍼 IC(116)는 도 4 내지 도 6의 버퍼 IC 엔티티들/컴포넌트들 내에서 더 상세히 묘사된다. 최초, 동작 블록 1002에서, 버퍼 IC(402)의 VCom 뱅크 선택 컴포넌트(504)는 타이밍 컨트롤러(502)로부터 전압 입력 선택(VCOM_SEL)을 수신할 수 있다. 그 다음, 동작 블록 1004에서, 버퍼 IC(402)는 버퍼 IC(402)의 레지스터 뱅크 선택 컴포넌트(예를 들면, VCom 뱅크 선택 컴포넌트(504))에서 기준 전압 입력 선택(VCOM_SEL)을 다수의 프리로드된 레지스터 값들(VCom_1 내지 VCom_N)과 비교할 수도 있다.

[0044] 계속해서, 버퍼 IC(402)는 LCD 디스플레이에서의 명도에서의 변화에 영향을 끼치기 위해(예를 들면, RRR을 보상하기 위해), 비교에 기초하여 목표 기준 전압 값을 선택하도록 자신의 VCom 뱅크 선택 컴포넌트(504)를 활용할 수 있다. 이런 식으로, 버퍼 IC(402)는 LCD에서의 이미지 표시 결함을 효과적으로 보상할 수 있다. 몇몇 실시형태들에 따르면, 이미지 표시 결함은 LCD에서 가변 리프레시 레이트를 활용하는 것에 의해 야기되는 LCD의 변경된 명도 레벨과 관련될 수도 있다. 몇몇 구성들에서, 기준 전압 입력 선택은 디스플레이 타이밍 컨트롤러(502)로부터 버퍼 IC(402)의 전용 하드웨어 핀에서 수신될 수도 있고, 기준 전압 입력 선택은 이미지 표시 결함의 식별에 응답하여 수신될 수 있다.

[0045] 일 구현예에 따르면, 이미지 표시 결함은 버퍼 IC(402)에서 또는 LCD를 구동하도록 구성되는 GPU(110)에서 식별될 수도 있다. 또한, 이미지 프로세싱 결함의 식별은 LCD에 의해 활용되고 있는 RRR의 검출에 대응할 수 있다.

목표 기준 전압 값은 LCD가 RRR에서 동작하고 있을 때 LCD의 명도를 증가시키도록 또는 LCD가 증가된 리프레시 레이트에서 동작하고 있을 때 LCD의 명도를 감소시키도록 선택될 수도 있다.

[0046] 도 11은, 본 개시의 몇몇 실시형태들에 따른, 액정 디스플레이(LCD)에서 이미지 표시 결함을 보상하기 위한 다른 프로시저(1100)의 흐름도를 도시한다. 도 11에 묘사된 프로세스들(1100)은 도 1에 묘사된 디스플레이 시스템(104)의 버퍼 IC(116) 컴포넌트에 의해 수행될 수도 있음이 이해되어야 한다. 도 1의 버퍼 IC(116)는 도 4 내지 도 6의 버퍼 IC 엔티티들/컴포넌트들 내에서 더 상세히 묘사된다. 최초, 동작 블록 1102에서, 버퍼 IC(606)의 VCom 뱅크 선택 컴포넌트(604)는 복수의 레지스터 값들(VCom_1 내지 VCom_N)로부터 목표 기준 전압 값(VCOM_TARGET)을 선택하도록 구성될 수 있다. 그 다음, 동작 블록 1104에서, 버퍼 IC(606)의 카운터 클럭 신호는 디스플레이 타이밍 컨트롤러(602)로부터의 입력(VCOM_CNT_EN) 신호와 동기화될 수도 있다.

[0047] 계속해서, 동작 블록 1106에서, 목표 기준 전압 값(VCOM_TARGET) 및 동기화된 카운터 클럭 신호에 기초하여 (예를 들면, 버퍼 IC(606)의 슬로프 로직 컴포넌트(608)에서) 슬로프 설정이 선택될 수도 있다. 그 다음, 동작 블록 1108에서, 선택된 슬로프 설정은 현재의 기준 전압 출력으로부터 목표 기준 전압 출력으로의 점진적인 전이(gradual transition)에 영향을 끼치도록 버퍼 IC에서 적용될 수도 있다. 다양한 실시형태들에 따르면, 목표 기준 전압 출력은 목표 기준 전압 값과 동일한 또는 (예를 들면, 특정 허용 오차 내에서) 목표 기준 전압 값과 실질적으로 동일한 전압 값에 대응할 수도 있다. 현재의 기준 전압 출력으로부터 목표 기준 전압 출력으로의 점진적인 전이는, 전이(예를 들면, RRR로의 전이)에 의해 야기되는 인지가 가능한 이미지 표시 아티팩트들이 없는 LCD에서의 시각적 표시로 귀결될 수 있다는 것이 이해되어야 한다.

[0048] 또한, 현재의 기준 전압 출력으로부터 목표 기준 전압 출력으로의 점진적인 전이는 LCD에 의해 활용되는 제1 리프레시 레이트와 제2 리프레시 레이트 사이의 전이에 대응할 수도 있는데, 여기서 제1 리프레시 레이트는 제2 리프레시 레이트(예를 들면, RRR)보다 더 크고, 그 결과 제2 리프레시 레이트는 활용시 LCD가 전력을 절약하도록 구성된다. 추가적으로, 몇몇 구성들에 따르면, 버퍼 IC(606)에 의한 슬로프 설정의 적용은 목표 기준 전압 출력으로 하여금 동기화된 카운터 클럭 신호의 방향을 추적하게 할 수 있고, 그 결과 목표 기준 전압 출력은 카운터 클럭 신호를 추종하게 된다.

[0049] 본 개시의 몇몇 구현예들에 따르면, 디스플레이 시스템(104)의 버퍼 IC(116) 또는 CD(118)는, 대응하는 IC 내에서의 변환기의 적용에 의존하는 최적의 성능에 필요한 동작의 목표 범위를 갖는 하나 이상의 컴포넌트 아날로그-디지털 변환기(analog-to-digital converter; ADC)들 및/또는 하나 이상의 디지털-아날로그 변환기(digital-to-analog converter; DAC)들을 포함할 수도 있다. ADC 및 DAC 변환기들은 미분 비선형(differential non-linearity; DNL) 파라미터 또는 적분 비선형(integral non-linearity; INL) 파라미터를 포함하는 다양한 표준 연산 파라미터들을 사용하여 변환 프로세스들을 수행하도록 구성될 수 있다. 그러나, 많은 실세계 시나리오들에서, DNL 또는 INL 파라미터들은, IC 내에서의 최적의 용도에 대해 너무 극단적이고/이거나 고가인 변환기 성능의 과소 추정 동작 평가들 또는 과대 추정 동작 평가들 중 어느 하나를 제공한다.

[0050] 따라서, ADC 및/또는 DAC 변환 동작들에 대해 목표가 정해진 범위 추정들을 제공하는 범위 비선형(range nonlinear; RNL) 파라미터를 활용하는 것이 유익할 것이다. 몇몇 실시형태들에서, RNL 파라미터는 DNL 파라미터보다 크거나 같을 수도 있고, INL 파라미터보다 작거나 같을 수도 있다. 이와 같이, 다양한 구현예들에서, RNL 파라미터와 관련된 코드들의 범위는, ADC 또는 DAC에 대해 더 나은 신호 변환 프로세싱 성능을 제공할 허용 오차 내에서 더 좁게 집중될 수도 있다. 그러나, RNL 범위 파라미터는, 코드들의 광범위한 집중되지 않은 범위를 활용하는 것과는 대조적으로, 동작 코드들의 목표가 정해진 범위가 유용할 많은 다른 신호 프로세싱 동작들에 따라 유사하게 활용될 수도 있음이 이해되어야 한다.

[0051] 도 12는, 본 개시의 다양한 구현예들에 따른, 디스플레이 시스템(104)의 칼럼 드라이버(CD)(1204)의 블록도(1200)를 도시한다. CD(1204)가 하이레벨 도면으로서 묘사되지만, 그 자체로서, CD(1204)는, 본원에서 더 설명되는 디스플레이 리프레시 레이트 및 디스플레이 이미지 보상 프로세스들 중 임의의 것을 수행하는 데 필요한 추가적인 회로 컴포넌트들을 옵션적으로 포함하도록 구성될 수도 있음이 이해되어야 한다. 몇몇 실시형태들에서는, 예컨대 TFT 패널(1214)에서 가변 리프레시 레이트(예를 들면, RRR)를 활용하기 위한 프로시저와 연계하여 TFT 패널(1214)의 선택 부분들을 동적으로 섀다운하기 위해, TCON(1202)으로부터 하나 이상의 커맨드 신호들을 발행할 수 있는 전용 제어 핀(CD_VBLANK)으로 CD(1204)가 구성될 수도 있음이 이해되어야 한다.

[0052] 이와 관련하여, CD(1204)의 전용 제어 핀(CD_VBLANK)에서 수신되는 시그널링은 전력을 절약하기 위한 노력으로 CD(1204)의 프론트 엔드 회로부(예를 들면, RX 회로부)의 일부 또는 일부들을 선택적으로 섀다운하도록 구성될 수도 있다. 이 전용 제어 메커니즘을 활용하는 것에 의해, CD(1204)의 내부 감마 프로세스들은, 예를 들면, 감

마 증폭기(들)(1208), 감마 저항기 열(string)(1210), DAC들(1212) 등을 포함하지만 이들을 포함하는 것에 한정되지 않는 CD(1204)의 감마 프로세싱 컴포넌트들에서의 프로세싱에 대해 더 적은 감마 트레이스(Gamma trace)들을 경험할 수 있다. 이것은 더 간단한 감마 출력 및 더 낮은 전력 레일 저항으로 나타날 수 있다.

[0053] 도 13은, 본 개시의 몇몇 구현예들에 따른, 디스플레이 시스템(104)의 CD(1304)의 다른 블록도(1300)를 도시한다. CD(1304)가 하이레벨 도면으로서 묘사되지만, 그 자체로서, CD(1304)는, 본원에서 더 설명되는 디스플레이 리프레시 레이트 및 디스플레이 이미지 보상 프로세스들 중 임의의 것을 수행하는 데 필요한 추가적인 회로 컴포넌트들을 옵션적으로 포함하도록 구성될 수도 있음이 이해되어야 한다. 다양한 실시형태들에 따르면, CD(1304)는 표준 프로토콜 입력 및/또는 CD(1304)의 전용 하드웨어 핀(CD_VBLANK)에서 수신되는 입력 둘 다를 사용하여 TFT 패널(120)을 구동하는 동안 전력을 절약하도록 구성될 수도 있다. 몇몇 구성들에서, 이들 전력 절약 방법들의 각각에서, 선택가능한 입력들(예를 들면, 프로토콜 입력 및 전용 핀 입력)은 TCON(1302)으로부터 나올 수 있다. 프로토콜 방법을 사용하면, TCON(1302)으로부터의 프로토콜 입력은 CD(1304)의 프론트 엔드 회로부(1306)(예를 들면, 독점적(proprietary) 디지털 회로부에 대응할 수도 있음)의 RX 및 프로토콜 디코딩 컴포넌트들을 통해 진행하여 CD(1304) 회로부의 상이한 부분들(그러나 모든 부분들은 아님)을 선택적으로 셧다운할 수 있는 BIAS_CNTL 및 VB_PD 신호들을 출력할 수 있다.

[0054] 대안적으로, 전용 하드웨어 핀(CD_VBLANK) 방법을 사용하면, TCON(1302)으로부터의 프로토콜 입력은, 이전에 논의된 프로토콜 방법의 동작에 필요로 될 수도 있는 디지털 프론트 엔드 회로부(1306)를 포함해서, CD(1304)의 임의의 또는 모든 회로부(예를 들면, 전체적인 전력 셧다운으로 나타나게 됨)를 선택적으로 셧다운할 수 있다. 전용 하드웨어 핀(CD_VBLANK) 방법은, 전용 핀에서의 TCON(1302) 입력이 감마 버퍼(1308)의 출력 전압들 및 그 관련 부하 임피던스들을 정의하는 것을 여전히 허용하면서, CD(1304)의, 또는 그 일부들의 셧다운으로 나타날 수도 있음이 이해되어야 한다. 이런 식으로, 전용 하드웨어 핀 방법은 프로토콜 방법보다 더 제어가능한 기능성을 갖는다. 또한, 다양한 구성들에서, 특정 IC 구현예에 대해 소망의 출력을 산출하기 위해, 프로토콜과 전용 하드웨어 핀 방법들의 조합이 활용될 수도 있다.

[0055] 예로서, 하기의 표 1은 CD(1304) 회로부의 상이한 회로 블록 컴포넌트들(예를 들면, 감마 바이어스 블록, 메인 버퍼 바이어스 블록, 디지털 RX 블록, 및 CD 출력 블록)에 대한 다양한 셧다운 레벨들을 묘사한다. 이들 출력들은 로우, 하이, 또는 비(No)("X") 동작 상태에 있는 동안 상이한 전용 핀 입력(CD_VBLANK) 값들 및/또는 프로토콜 입력 결과(VB_PD 및 BIAS_CNTRL) 값들에 의해 정의될 수 있다. 특히, (단독으로 동작하는) CD_VBLANK만이 모든 CD 회로 블록들의 완전한 셧다운을 달성할 수 있다(예를 들면, 하기의 표 1의 마지막 행에서 알 수 있는 바와 같음).

[0056] [표 1]

CD_VBlank	프로토콜 비트들		감마 바이어스	메인 버퍼 바이어스	디지털 RX	CD 출력
	VB_PD	BIAS_CTRL				
로우	로우	XXX	정상	정상	정상	정상
로우	하이	LLL	정상	로우 바이어스	100%	최종 라인
		LLH	로우 바이어스	로우 바이어스	100%	최종 라인
		LHL	로우 바이어스	0%	100%	플로팅
		LHH	0%	0%	100%	플로팅
		HLL	100%	로우 바이어스	로우 바이어스	최종 라인
		HLH	로우 바이어스	로우 바이어스	로우 바이어스	최종 라인
		HHL	로우 바이어스	0%	로우 바이어스	플로팅
		HHH	0%	0%	로우 바이어스	플로팅
하이	X	LLL	정상	로우 바이어스	로우 바이어스	최종 라인
		LLH	로우 바이어스	로우 바이어스	로우 바이어스	최종 라인
		LHL	로우 바이어스	0%	로우 바이어스	플로팅
		LHH	0%	0%	로우 바이어스	플로팅
		HLL	정상	로우 바이어스	0%	최종 라인
		HLH	로우 바이어스	로우 바이어스	0%	최종 라인
		HHL	로우 바이어스	0%	0%	플로팅
		HHH	0%	0%	0%	플로팅

[0057]

[0058]

도 14는, 본 개시의 다양한 구현예들에 따른, LCD의 디스플레이 드라이버(예를 들면, CD(1304))에서 전력을 절약하기 위한 프로시저(1400)를 묘사하는 흐름도를 도시한다. 도 14에 묘사된 프로세스들(1400)은 도 1에 묘사된 디스플레이 시스템(104)의 CD(118) 컴포넌트에 의해 수행될 수도 있음이 이해되어야 한다. 도 1의 CD(118)는 도 12 및 도 13의 디스플레이 드라이버 엔티티들/컴포넌트들 내에서 더 상세히 묘사된다. 최초, 동작 블록 1402에서, CD(1304)의 프론트 엔드 회로부(1306)는 TCON(1302)으로부터 제1 입력 신호(CD_VBLANK)를 수신할 수도 있다. 다음에, 동작 블록 1404에서, CD(1304)는 제1 입력 신호의 설정을 결정할 수도 있다. 그 다음, 결정 블록 1406에서, CD(1304)는 다른 제2 입력 신호(프로토콜 신호)가 TCON(1302)로부터 수신되었는지를 결정할 수 있다.

[0059]

제2 입력 신호가 CD(1304)에서 수신된 시나리오에서, CD(1304)는, 동작 블록 1408에서, 제2 입력 신호(프로토콜 신호)의 설정을 결정할 수 있다. 계속해서, 프로세스는 동작 블록 1410으로 진행한다. 대안적으로, 제2 입력 신호(프로토콜 신호)가 수신되지 않은 시나리오에서, 프로세스는 동작 블록 1410으로 진행한다. 그 다음, 동작 블록 1410에서, 제1 입력 신호(CD_VBLANK) 또는 제2 입력 신호(프로토콜 신호)의 설정, 또는 둘 다에 기초하여 LCD의 하나 이상의 회로들(예를 들면, CD(1304)의 아날로그 및/또는 디지털 회로들)을 섀다운할지에 대한 결정이 CD(1304)의 프론트 엔드 회로부(1306)에서 행해진다. 그 후, 동작 블록 1412에서, 제1 입력 신호(CD_VBLANK)의 결정된 설정에 적어도 부분적으로 기초하여 CD(1304)의 출력 전압이 설정될 수도 있다.

[0060]

다양한 구현예들에 따르면, CD(1304)의 디지털 회로 부분(예를 들면, 프론트 엔드 회로부의 디지털 회로)은 제2 입력 신호(프로토콜 신호)의 설정을 결정하는 데 필요될 수도 있다. 몇몇 시나리오들에서, 제2 입력 신호의 설정은 CD(1304)의 디지털 회로 부분을 섀다운할 수 없는 프로토콜 설정일 수도 있다. 다른 시나리오에서, CD(1304)는 제1 입력 신호(CD_VBLANK)의 설정에 기초하여 CD(1304)의 디지털 회로 부분(예를 들면, 프론트 엔드 회로부의 디지털 회로)을 선택적으로 섀다운하도록 구성될 수도 있다. 다양한 구현예들에서, CD(1304)는 LCD의

디스플레이 패널(예를 들면, TFT 패널(1214))을 구동하도록 구성될 수 있고, 제1 입력 신호(CD_VBLANK)는 CD(1304)의 전용 하드웨어 핀에서 수신될 수도 있다.

[0061] 몇몇 구성들에서, 제1 입력 신호(CD_VBLANK)의 설정은 CD(1304)의 출력(V_OUT)에서 임피던스 값을 설정하도록 추가로 구성될 수도 있고, LCD의 디스플레이 패널(예를 들면, TFT 패널(1214))은 CD(1304)의 출력에서 부하로서 작용할 수도 있다. 또한, 제1 입력 신호(CD_VBLANK)의 설정은, 예컨대 LCD가 RRR에서 동작하고 있을 때, LCD의 디스플레이 패널의 명도 레벨을 증가시키기 위해, 또는 예컨대 LCD가 증가된 리프레시 레이트에서 동작하고 있을 때, LCD의 디스플레이 패널의 명도 레벨을 감소시키기 위해 디스플레이 드라이버의 출력 전압을 제어하도록 구성될 수 있다.

[0062] 도 15는, 본 개시의 몇몇 실시형태들에 따른, LCD의 디스플레이 드라이버(예를 들면, CD(1304))에서 전력을 절약하기 위한 다른 프로시저(1500)를 묘사하는 흐름도를 도시한다. 도 15에 묘사된 프로시저들(1500)은 도 1에 묘사된 디스플레이 시스템(104)의 CD(118) 컴포넌트에 의해 수행될 수도 있음이 이해되어야 한다. 도 1의 CD(118)는 도 12 및 도 13의 디스플레이 드라이버 엔티티들/컴포넌트들 내에서 더 상세히 묘사된다. 최초, 동작 블록 1402에서, CD(1304)의 프론트 엔드 회로부(1306)는 디스플레이 컨트롤러(예를 들면, TCON(1302))로부터 디스플레이 드라이버(예를 들면, CD(1304))에서 적어도 하나의 입력(CD_VBLANK 및/또는 프로토콜 신호)을 수신하도록 구성될 수도 있다. 다음에, 동작 블록 1504에서, CD(1304)는 적어도 하나의 입력(CD_VBLANK 및/또는 프로토콜 신호)으로부터 하나 이상의 설정들을 결정할 수 있다.

[0063] 계속해서, 동작 블록 1506에서, 디스플레이 드라이버의 적어도 일부는 하나 이상의 설정들에 기초하여 로직에 의해 디스플레이 드라이버에서 전력이 차단되고/되거나 셧다운될 수 있다. 그 다음, 동작 블록 1508에서, 디스플레이 패널(예를 들면, TFT 패널(1214))의 명도 레벨은 디스플레이 드라이버의 기준 전압 출력(V_OUT)을 설정하는 것에 의해 디스플레이 드라이버에 의해 확립될 수 있다. 몇몇 실시형태들에서, 하나 이상의 설정들 중 제1 설정은 디스플레이 드라이버의 전용 하드웨어 핀에서 입력 신호(CD_VBLANK)로서 수신될 수 있다. 몇몇 시나리오들에서, 제1 설정(CD_VBLANK)은 디스플레이 드라이버의 모든 회로부를 셧다운하도록 구성되는 비프로토콜 설정일 수도 있다.

[0064] 다양한 시나리오들에서, 하나 이상의 설정들 중 제2 설정은 디스플레이 드라이버의 디지털 회로 부분(예를 들면, 프론트 엔드 회로부의 디지털 회로)을 셧다운할 수 없는 프로토콜 설정(프로토콜 신호)일 수 있다. 또한, 제1 설정(CD_VBLANK)은 디스플레이 드라이버의 출력(V_OUT)에 특정 임피던스를 설정하도록 구성될 수도 있는데, 이 경우 디스플레이 패널은 디스플레이 드라이버의 출력에서의 부하이다. 몇몇 구현예들에서, 제1 설정(CD_VBLANK)은 LCD가 감소된 리프레시 레이트에서 동작하고 있을 때 디스플레이 패널(예를 들면, TFT 패널(1214))의 명도 레벨을 증가시키기 위해, 또는 LCD가 증가된 리프레시 레이트에서 동작하고 있을 때 디스플레이 패널(예를 들면, TFT 패널(1214))의 명도 레벨을 감소시키기 위해, 기준 전압 출력(V_OUT)의 전압 값을 제어하도록 구성될 수도 있다.

[0065] 도 16은, 본 개시의 다양한 실시형태들에 따른, 가변 리프레시 레이트에서 디스플레이 패널(1606)을 구동하도록 구성되는 디스플레이 시스템의 TCON(1602)의 블록도(1600)를 도시한다. TCON(1602)이 하이레벨 도면으로서 묘사되지만, 그 자체로서, TCON(1602)은, 본원에서 더 설명되는 디스플레이 리프레시 레이트 및 디스플레이 이미지 보상 프로시저들 중 임의의 것을 수행하는 데 필요한 추가적인 회로 컴포넌트들을 옵션적으로 포함하도록 구성될 수도 있음이 이해되어야 한다. TCON(1605)은, (이전에 설명된 바와 같은) 다양한 시그널링을 버퍼 IC(1604) 및 CD(1608)를 포함하는 TFT 패널(1606)로 통신할 수 있는 클록 회로부(1614), 버퍼 IC 구동 회로부(1610), 및 TFT 패널 구동 회로부(1612)를 포함할 수 있다. 이 TCON 시그널링은 VCOM_SEL, VCOM_CNT_EN, GAMMA_SEL, CD_VBLANK, 및 프로토콜(예를 들면, eRVDS 프로토콜) 통신들을 포함할 수도 있다.

[0066] CD_VBLANK와 프로토콜 시그널링은, 호스트 시스템(102)의 시스템 온 칩(SoC) 집적 회로(IC) 내에 집적될 수도 있는 임의의 수의 GPU들/VPU들(110) 또는 CPU로부터 TCON(1602)에 의해 수신되는 제어 데이터 및 이미지 데이터에 따라 TCON(1602)에 의해 설정될 수 있음이 이해되어야 한다. 몇몇 실시형태들에 따르면, TCON(1602)에 의해 활용되는 가변 리프레시 레이트들은, TFT 패널(1606) 인터페이스 링크를 통해 통신되는 CD_VBLANK를 변경하는 것에 의해, 소스(예를 들면, CPU, GPU(들), 또는 버퍼 IC(1604))가 TFT 패널(1606) 리프레시 레이트를(CD(1608)를 통해) 유효하게 제어하는 것을 허용할 수 있다. 몇몇 실시형태들에 따르면, 이러한 특징에 대한 지원은 단일의 RRR로(예를 들면, 60 Hz로부터 30 Hz로) 한정될 수도 있거나, 또는 그것은 다수의 RRR들을 포함할 수도 있는데, 소스가 LRR 프레임을 전송할지 또는 RRR 프레임 전송할지의 여부를 프레임 단위 기반으로 결정할 수 있다는 것을 의미한다. 이미지 프레임의 액티브 픽셀 부분은 LRR(예를 들면, 60 Hz) 프레임과 RRR(예

를 들면, 30 Hz) 프레임 사이에서 동일하게 유지될 수 있고, 그 결과 리프레시 레이트에서의 변화는 수직 블랭킹(VBlank)을 통해 지정된 변화로부터 독립적으로 나올 수도 있게 된다.

[0067] 가변 리프레시 레이트 지원은 여러 전용 특징들이 TCON(1602)에서(예를 들면, 버퍼 IC 구동 회로부(1610) 내에서 또는 TFT 패널 구동 회로부(1612) 내에서) 활용되어야 하는 것을 요구할 수 있다. 그 다양한 구현예들에 따르면, 유의한 전력 절약은, 예컨대 RRR을 활용하는 것에 응답하여, TCON(1602), 버퍼 IC(1604), CD(1608), 및 TFT 패널(1606), 또는 그 컴포넌트들을 연장된 VBlank 기간 동안 다양한 저전력 상태들로 동적으로 두는 것에 의해 달성될 수 있다. 몇몇 실시형태들에서, LRR로부터 RRR로의 전이 동안 또는 그 역 동안, TFT 패널(1606)에서 가시적인 아티팩트들이 나타나는 것이 가능할 수도 있는데, 이것은 LRR 프레임과 RRR 프레임 사이의 정적인 밝기에서의 차이로부터 유래할 수도 있다. 이들 이미지 아티팩트들은 다양한 리프레시 레이트들 간에 또는 사이에서 스윕할 때 인지가 가능할 수도 있다. 여러 보상 메커니즘들(본원에서 추가로 설명됨)은 이들 원치 않는 시각적 아티팩트들을 제거하거나 감소시키기 위한 보상을 제공하도록 TCON(1602)에 의해 지원받을 수도 있다.

[0068] 디스플레이 기술분야의 당업자에 의해 이해되는 바와 같이, 이미지 프레임 리프레시 레이트는 개개의 프레임의 관점에서 정의될 수 있다. 예로서, 이미지 프레임은 이전 프레임의 최종 액티브 픽셀 직후 시작할 수 있고, 이미지 프레임은 현재 프레임의 최종 액티브 픽셀이 조명될 때까지 계속될 수 있다. 이 기간의 길이는 현재 프레임에 대한 리프레시 레이트를 결정하는 것이다. RRR은, 하나 이상의 이미지 프레임(들)에 대해, 수직 프론트 포치(vertical front porch; VFP) 또는 수직 백 포치(vertical back porch; VBP), 또는 이들의 임의의 조합을 신장하는(stretching) 것에 의해 달성될 수 있다.

[0069] 본 개시의 다양한 실시형태들에 따르면, TFT 패널(1606)에 의해 소비되는 동적 전력은 (예를 들면, TCON(1602)의 TFT 패널 구동 회로부(1612)에 의해 구현되는 바와 같은) 디스플레이 시스템의 적용된 RRR에 비례하여 감소될 수 있다. 또한, 수직 블랭킹 기간들은, TCON(1602)의 클럭 회로부(1614)에서 동일한 클럭 주파수를 유지하는 동안, RRR들을 달성하도록 동적으로 연장될 수 있다. 몇몇 구현예들에서, TFT 패널(1606)에서 다양한 전력 레일들은, 다양한 디스플레이 픽셀들이 이 기간 동안 액티브하게 구동되지 않을 수도 있기 때문에, 연장된 블랭킹 시간들 동안 동적으로 셧다운될 수 있다. 또한, 몇몇 시나리오들에서, 대응하는 디지털 회로부는, (예를 들면, 디바이스 전력 리소스들을 절약하기 위한 추가적인 노력으로) 예컨대 수직 블랭킹 셧다운 기간들 동안, 회로부가 클럭 게이트식인(clock-gated) 상황에서 선택적으로 셧다운될 수도 있다.

[0070] 도 17은, 본 개시의 몇몇 구현예들에 따른, LCD 디스플레이 패널(1606)에서 RRR을 확립하기 위한 프로시저(1700)를 묘사하는 흐름도를 도시한다. 도 17에 묘사된 프로시저들(1700)은 도 1에 묘사된 디스플레이 시스템(104)의 TCON(114) 컴포넌트에 의해 수행될 수도 있음이 이해되어야 한다. 도 1의 TCON(114)은 도 16의 TCON(1602) 엔티티들/컴포넌트들 내에서 더 상세히 묘사된다. 최초, 동작 블록 1702에서, TCON(1602)은 호스트 시스템의 GPU로부터 이미지 제어 데이터를 수신할 수도 있다. 그 다음, 동작 블록 1704에서, TCON(1602)은, LCD의 디스플레이 패널(1606)에 대한 대응하는 RRR 할당을 결정하기 위해, 수신된 이미지 제어 정보를 평가할 수 있다.

[0071] 계속해서, 동작 블록 1706에서, TCON(1602)은, RRR과 관련되는 디스플레이 제어 시그널링 정보(예를 들면, VCOM_SEL, VCOM_CNT_EN, GAMMA_SEL, CD_VBLANK, 및 프로토콜 시그널링)를 LCD의 다른 회로 컴포넌트들(예를 들면, 버퍼 IC(1604) 및 CD(1608))로 전송할 수 있다. 그 후, 디스플레이 제어 시그널링 정보를 수신하는 것에 응답하여, LCD의 다른 회로 컴포넌트들(예를 들면, 버퍼 IC(1604) 및 CD(1608))은 TCON(1602)과 연계하여) 현재 활용되고 있는 라이프 리프레시 레이트(LRR)로부터 목표 RRR로의 LCD의 전이를 실현할 수 있다. 다양한 구현예들에 따르면, 디스플레이 제어 시그널링 정보는 디스플레이 패널을 RRR에서 동작시키는 것에 의해 야기되는 이미지 표시 결함을 수정하기 위한 하나 이상의 이미지 보상 프로시저들에 영향을 끼치도록 추가로 구성될 수도 있다.

[0072] 몇몇 실시형태들에서, 이미지 표시 결함은 디스플레이 패널의 감소된 명도 또는 RRR로의 전이에 의해 야기되는 하나 이상의 원치 않는 이미지 아티팩트들과 관련될 수 있고, RRR로의 전이는 50 헤르츠 이상의 LRR로부터 40 헤르츠 이하의 RRR로의 전이에 대응할 수도 있다. 몇몇 구성들에서, TCON(1602)은, 액티브 이미지 표시 프로시저들을 지원하기 위해, 디스플레이 패널을 RRR로부터 LRR로 다시 전이하는 것에 의해 호스트 시스템에서 액티비티(예를 들면, 호스트 시스템의 터치스크린 디스플레이에서 터치 입력이 검출되는 것)를 검출하는 것에 응답하여 디스플레이 패널에서의 RRR로부터의 즉시 종료(immediate exit)에 영향을 끼치도록 추가로 구성될 수도 있다.

[0073] 몇몇 구현예들에서, TCON(1602)은, 호스트 시스템의 GPU에 의해 지정되는 바와 같은 하나 이상의 RRR들에서 (예

를 들면, CD(1608)와 연계하여) 디스플레이 패널(1606)을 구동하도록 구성되는 클록 회로부(1614)를 포함할 수도 있다. 가변하는 레벨들의 표시 프로시저들(예를 들면, 비디오 표시, 인터넷 구동 애플리케이션 표시, 정적 로컬 애플리케이션 표시 등)로 귀결되는 특정 디바이스 액티비티에 의존하여, TCON(1602)은 특정 디바이스의 LCD 디스플레이 패널에 대해 고해상도의 리프레시 레이트 전이들(예를 들면, 5 내지 10 Hz 또는 그 이하의 작은 리프레시 레이트 상태 전이들) 또는 저해상도의 리프레시 레이트 전이들(예를 들면, 20 내지 30 Hz 또는 그 이상의 큰 리프레시 레이트 상태 전이들)을 필요로 하는 제어 데이터를 수신할 수도 있다. 이들 해상도 의존 전이들은, 디바이스 이동성, 현재의 배터리 수명 상태들, 이력적 또는 예측된 디스플레이 표시 프로세스들 등을 포함하는 임의의 수의 변수들에 의존할 수도 있다.

[0074] 다양한 구성들에서, TCON(1602)은 LCD의 버퍼 회로(1604)를 구동하기 위한 디스플레이 버퍼 구동 회로부(1610), 및 디스플레이 패널(1606)의 디스플레이 드라이버(1608)를 제어하기 위한 디스플레이 패널 구동 회로부(1612)로 또한 구성될 수도 있다. LCD의 디스플레이 패널(1606)은 박막 트랜지스터(TFT) 패널(1606)일 수도 있고, 호스트 시스템의 GPU(들)는, 병렬 그래픽 프로세싱을 사용하여 LCD의 버퍼 회로(1604)로 이미지 데이터를 동적으로 렌더링할 수 있는 다수의 GPU들을 포함하도록 구성될 수도 있다.

[0075] 도 18은, 본 개시의 몇몇 실시형태들에 따른, LCD 디스플레이 패널(1606)에서 RRR을 확립하기 위한 다른 프로시저(1800)를 묘사하는 흐름도를 도시한다. 도 18에 묘사된 프로세스들(1800)은 도 1에 묘사된 디스플레이 시스템(104)의 TCON(114) 컴포넌트에 의해 수행될 수도 있음이 이해되어야 한다. 도 1의 TCON(114)은 도 16의 TCON(1602) 엔티티들/컴포넌트들 내에서 더 상세히 묘사된다. 최초, 동작 블록 1802에서, TCON(1602)은 GPU로부터 이미지 제어 정보를 수신하는 것에 의해 액정 디스플레이(LCD)에서 리프레시 레이트를 제어하도록 구성될 수도 있다. 계속해서, 동작 블록 1804에서, TCON(1602)은 수신된 이미지 제어 정보를 사용하여 LCD의 디스플레이 패널(1606)에 대한 RRR을 결정할 수 있다.

[0076] 그 다음, 동작 블록 1806에서, TCON(1602)은 디스플레이 패널의 RRR에서의 동작에 의해 야기되는 하나 이상의 이미지 표시 결함들을 결정할 수 있다. 그 다음, 동작 블록 1808에서, TCON(1602)은 RRR과 관련된 디스플레이 제어 시그널링 정보를 LCD의 디스플레이 드라이버(예를 들면, CD(1608)) 및 버퍼 회로(예를 들면, 버퍼 IC(1604))로 전송할 수 있다. 계속해서, 동작 블록 1810에서, LCD를 RRR에서 동작시키는 것과 (동시적으로) 관련된 이미지 표시 결함들을 버퍼 IC(1604) 및/또는 CD(1608)가 보상하는 동안, LCD는 기존의 LRR로부터 RRR에서 동작하도록 전이될 수 있다. 이런 식으로, LCD의 패널 디스플레이(1606)는 RRR에서 전력 절약 모드로 동작할 수 있고, 이렇게 하는 것과 관련된 임의의 부정적인 이미지 표시 효과들은, LCD의 유저에 의해 인지될 때, 시각적 이미지 표시를 일관성 있게 유지할 수 있는 다양한 이미지 보상 메커니즘들을 활용하는 것에 의해 치유될 수 있다.

[0077] 몇몇 구성들에서, TCON(1602)은, RRR로의 전이에 영향을 끼치기 위해, 디스플레이 패널(1606)의 디스플레이 명도 또는 밝기에서의 원치 않는 증가 또는 원치 않는 감소와 관련된 이미지 표시 결함들을 보상하기 위해, 뿐만 아니라 새로운 리프레시 레이트로의 전이에 의해 야기되는 원치 않는 이미지 아티팩트들 또는 이미지 결점들을 보상하기 위해, RRR과 관련된 디스플레이 제어 시그널링 정보를 LCD의 하나 이상의 컴포넌트들로 선택적으로 전송할 수 있다. 이런 식으로, 두 리프레시 레이트들 사이의(예를 들면, LRR과 RRR 사이의, RRR과 LRR사이의, 또는 2개의 상이한 RRR들 사이의) 전이. 몇몇 실시형태들에서, RRR로의 전이는 50 헤르츠 이상의 LRR로부터 40 헤르츠 이하의 RRR로의 전이에 대응할 수도 있고, 디스플레이 표시 동안의 임의의 시점에서, TCON(1602)은 (예를 들면, 디스플레이 패널을 RRR로부터 LRR로 다시 전이하는 것에 의해) 디스플레이 패널에서의 RRR로부터의 즉시 종료에 영향을 끼치도록 추가적으로 구성될 수도 있다.

[0078] 도 19는, 본 개시의 다양한 구현예들에 따른, 상이한 가변 리프레시 레이트들을 활용하도록 구성되는 LCD의 동작을 묘사하는 예시적인 리프레시 레이트 타이밍도(1900)를 도시한다. 몇몇 구성들에서, 디폴트 디바이스 디스플레이 리프레시 레이트는 60 Hz로 설정될 수도 있는데(1902), 이 경우 60 Hz의 리프레시 레이트 사이클들은 LCD 디스플레이 패널(예를 들면, TFT 패널(1606))을 표준 리프레시 레이트에서 동작시키는 것에 기인하여 섀다운 간격들이 없을 수도 있다. 이와 관련하여, 60 Hz의 리프레시 레이트 사이클링 간격에서 주기적인 섀다운 간격들이 실질적으로 존재하지만; 그러나, 기준선인 LRR보다 더 낮은 RRR들에서 디스플레이 패널을 동작시키는 것에 기인한 전력 절약 이점들을 예시적으로 묘사하기 위한 목적으로 이 리프레시 레이트는 기준선인 LRR인 것으로 간주됨이 이해되어야 한다.

[0079] 다양한 실시형태들에서, 디바이스 디스플레이에 대한 RRR은 40 Hz로 설정될 수도 있는데(1904), 이 경우 40 Hz의 리프레시 레이트 사이클들은, LCD 디스플레이 패널(예를 들면, TFT 패널(1606))을 (LRR을 참조로 한) 제1

RRR에서 동작시키는 것에 기인하여 증가된 셋다운의 전력 절약 간격들을 가지게 된다. LCD를 40 Hz의 RRR에서 동작시키는 것과 관련된 전력 절약 이점은 20 Hz의 리프레시 레이트에서의 감소에 직접적으로 비례할 수도 있다. 마찬가지로, 다른 구성들에서, 디바이스 디스플레이에 대한 RRR은 30 Hz로 설정될 수도 있는데(1906), 이 경우 30 Hz의 리프레시 레이트 사이클들은 LCD를 제2의 더 낮은 RRR에서 동작시키는 것에 기인하여 증가된 셋다운의 전력 절약 간격들을 가지게 된다. LCD를 30 Hz의 RRR에서 동작시키는 것과 관련된 전력 절약 이점은, LRR의 절반인 30 Hz의 리프레시 레이트에서의 감소에 직접적으로 비례할 수도 있다. 이들 예들의 각각에서, 30 Hz와 40 Hz에서의 리프레시 레이트 시간들은 (예를 들면, 정상 구동 동안) 60 Hz의 LRR과 동일하지만, 수직 블랭킹 시간들은 상이한 리프레시 레이트들간의 전이들 동안 증가될 수 있다.

[0080] 도 20은, 본 개시의 몇몇 실시형태들에 따른, 2개의 상이한 리프레시 레이트들 사이의(예를 들면, 40 Hz의 리프레시 레이트와 60 Hz의 리프레시 레이트 사이의) 전이 동안 수직 블랭킹 간격들(2002a 내지 2002f)을 묘사하는 다른 리프레시 레이트 타이밍도(2000)를 도시한다. 40 Hz의 제1 리프레시 레이트와 60 Hz의 증가된 제2 리프레시 레이트 사이의 이 슬로프화 (평활한) 전이 동안, 액티브 비디오 이미지 프레임들(2004, 2006, 2008, 2010, 및 2012)은 수직 블랭킹 간격들 동안 주파수가 점진적으로 증가될 수도 있다.

[0081] 이 전이는 LCD의 버퍼 IC(606)의 슬로프화 로직(608)에 따라 발생할 수 있고, 그 결과 2 내지 3초의 기간(400 이미지 프레임들에 대응함) 동안, 블랭킹 시간들 동안의 전력 레일 셋다운들은 패널 구동 전력을 그에 따라 감소시킬 수 있다. 이 구성에서, LCD의 개개의 전력 공급 레일들은 다음 리프레시 레이트가 시작하기 이전에 선택적으로 다시 턴온될 수 있다. 이런 식으로, LCD의 디스플레이 패널에서의 시각적 아티팩트 표시가 방지될 수 있다. 리프레시 레이트 전이에 대한 전체 스위칭 시간은, 애플리케이션과 리프레시 레이트 전이에 대한 타이밍 요구들에 따라 변할 수도 있음이 이해되어야 한다.

[0082] 도 21은, 본 개시의 몇몇 실시형태들에 따른, 가변 리프레시 레이트 전이 프로시저(2100) 동안의 최적의 기준 전압 출력 플롯을 도시한다. TCON(602)으로부터 버퍼 IC(606)에서 수신되는 리프레시 레이트 선택(VCOM_SEL)에 의존하여, 디스플레이 패널의 다양한 픽셀들의 명도에 직접적으로 영향을 끼칠 수 있는 기준 전압 출력(VCOM_OUT)은 목표 기준 전압 출력(VCOM_TARGET)에 따라 (예를 들면, VCom बैंक 선택 컴포넌트(604)를 통해) 버퍼 IC(606)에서 선택될 수 있다. 이 목표 기준 전압(VCOM_TARGET)은, TCON(602)으로부터 나오는 특정 리프레시 레이트 선택(VCOM_SEL) 신호에 부분적으로 기초하여, 최적의 기준 전압 값이 되도록 선택되어야 한다.

[0083] 다양한 구성들에서, 최적의 VCom 출력 값(최적의 VCom 전압 곡선(2104)에서 묘사됨)은 리프레시 레이트 의존적일 수 있고, 따라서 동적으로 할당되어야 한다. 따라서, LCD에서 (예를 들면, 대응하는 GPU 제어 데이터에 따라) 리프레시 레이트가 변경되면(예를 들면, 증가되거나 또는 감소되면), VCom 출력 전압은, 특히 낮은 리프레시 레이트 구현예들 동안(예를 들면, LCD에서 RRR이 활용될 때), 인지가 가능한 밝기 변화를 최소로 하도록 선택될 수도 있다. 다양한 실시형태들에서, 시간이 흐름에 따라 VCom 전압을 동적으로 조정하기 위해, CD(1204) 회로부는 LCD에서 활용될 수도 있다.

[0084] 최적화된 VCom 기준 전압들(2104)이 40 내지 60 Hz 사이의 리프레시 레이트 범위를 갖는 상이한 디스플레이 패널 리프레시 레이트들과 어떻게 상관하는지를 예시하기 위해, 특정 리프레시 레이트 스위칭 간격(2106) 동안의 변하는 리프레시 레이트 곡선(2102)이 묘사된다. 도 21에 묘사되진 않았지만, (예를 들면, RRR들을 적용할 때의) 임의의 결과적인 밝기 변동들을 추가적으로 보상하기 위해, 감마 기준 전압들(VGamma)은 가변 리프레시 레이트 구동 시나리오들 동안 또한 변경될 수도 있음이 이해되어야 한다.

[0085] 몇몇 구현예들에서, RRR들은, 동일한 클록 주파수 값들을 유지하는 동안, 수직 블랭킹 기간들을 연장하는 것에 의해 달성될 수 있다. 또한, 다양한 정적인 그리고 동적인 이미지 표시 시나리오들에서, 수직 블랭킹 시간 동안 불필요한 회로 블록들을 동적으로 셋다운하는 것에 의해 연장된 수직 블랭킹 간격들 동안 소비 전력은 상당히 감소될 수도 있다. 몇몇 구성들에서, 아날로그 전력 레일 셋다운들은, 디지털 전력 레일 셋다운들과 비교하여, 가장 유의한 전력 절약 영향력을 가질 수 있는데, 그 이유는 통상적으로 아날로그 전력이 LCD의 전체 소비 전력의 상당 부분을 차지하기 때문이다. 추가적으로, 픽셀 충전 시간은, 대응하는 픽셀 클록 주파수가 동일한 레벨(들)에서 유지될 수 있기 때문에, 본 개시 내에서 설명되는 적용들과 함께 반드시 변경될 필요는 없다는 것이 이해되어야 한다.

[0086] 도 22는, 본 개시의 몇몇 구현예들에 따른, LCD를 LRR(2202)과 RRR(2204)에서 동작시키는 동안, LCD의 구동 회로부에서 전력을 절약하기 위한 프로토콜을 묘사하는 플롯(2200)을 도시한다. 60 Hz의 표준 LRR(2202)에서, 프로토콜은, LCD의 디스플레이 패널 내에서 최대 수의 대응하는 전력 공급 레일(들)을 유지하는 리프레시 사이클에 따라, 스위칭할 수 있다. 이 시나리오에서, LCD 내의(예를 들면, CD에서) 대응하는 구동 회로(들)은 액티브

이고 최대 전력에서 동작할 수도 있다. 그러나, 30 Hz의 RRR(2204)에서, 프로토콜은, LCD의 디스플레이 패널 내에서 더 적은 수의 대응하는 액티브 전력 공급 레일(들)을 유지하는 감소된 리프레시 사이클에 따라, 스위칭할 수 있다. 이 시나리오에서, LCD 내의 대응하는 구동 회로(들)은 지정된 "CD 오프" 기간들(2206) 동안 인액티브(inactive)인데, 이 경우 CD 회로부의 적어도 일부는 비활성으로 되고/되거나 전력 차단될 수도 있다.

[0087] 몇몇 구현예들에 따르면, 내부 전력 공급 레일은 CD의 DAC 회로부 및 다양한 증폭기들에 대해 최소 바이어스 전류들을 사용하는 것에 의해 지정된 "CD 오프" 기간들(2206) 동안 전력을 절약할 수 있다. "CD 오프" 상태의 종료 이후, CD에서의 최소 바이어스로부터 CD에서의 최대 동작 전류로의 전이까지의 시간은 최소일 수도 있고, "CD 온" 상태로 다시 급격히 전이하게 된다. 또한, 다양한 구성들에서, CD 컴포넌트들은 특정 전압 공급 레일에 걸쳐 경험되는 전류 변동을 순차적으로 줄이기 위해 활성화/비활성화될 수 있다.

[0088] 몇몇 실시형태들에 따르면, 소스(예를 들면, GPU)는 액티브 픽셀 데이터를 TCON(1602)으로 전송할 수도 있고, 그 다음 표준 ALPM(advanced link power management; 향상된 연결 전력 관리) 셋다운으로 진행한다. 예로서, 표준 LRR 프레임에 대해, 대응하는 인터페이스 링크는 미리 지정된 시간 간격 동안 셋다운될 수도 있고, 그 후, 링크는(예를 들면, 다음 액티브 픽셀 데이터의 전송을 재개할 적절한 레벨에서) 다시 확립될 수도 있다. 한 프레임의 엔드 오브 액티브(end of active; EOA) 지점과 다음 프레임의 스타트 오브 액티브(start of active; SOA) 지점 사이의 전체 시간은(예를 들면, 대응하는 이미지 타이밍 레벨(예를 들면, 60 Hz)에 의해 정의된 바와 같은) 요구되는 수직 블랭킹 시간과 동일할 수도 있다.

[0089] 몇몇 시나리오들에서, 소스(예를 들면, GPU)가 RRR 이미지 프레임(들)을 전송하기로 결정하면, 프로시저는 이전에 설명된 것과 동일할 수 있다. 예로서, 소스는 액티브 픽셀들 중 마지막 것을 전송할 수 있고, 그 다음, 60 Hz 이미지 프레임에 따라, 데이터 프로세싱 링크를 셋다운할 수 있다. 그러나, 몇몇 시나리오들에서, 링크를 재개하기 이전의 시간 간격은 증가될 수도 있고, 그 결과 한 프레임의 EOA와 다음 프레임의 SOA 사이의 총 시간은 RRR 프레임에 대한 요구되는 수직 블랭킹 시간과 동일할 수 있다.

[0090] 몇몇 구현예들에 따르면, LCD는 프로세싱 동안 RRR 이미지 프레임으로부터의 즉시 종료 프로시저를 활용할 수 있다. 예를 들면, 몇몇 구성들에서, 소스 GPU가 RRR 이미지 프레임의 프로세싱을 개시하고, 유저 입력(예를 들면, 모바일 폰 또는 태블릿 컴퓨터의 터치스크린 디스플레이에서의 입력)이 발생하면, RRR과 LRR 사이의 레이턴시를 최소화 하기 위해(예를 들면, 유저의 시각적 경험을 향상시키기 위해), 프로세스 중의 RRR 이미지 프레임의 수직 블랭킹을 즉시 중단하는 것이 바람직할 수도 있다. 몇몇 시나리오들에서, 이 급격한 전이는, 중단하고 있는 RRR과 LRR 사이의 어느 지점의 중간 리프레시 레이트에 따라 유저에게 보충 이미지 프레임을 표시하는 것을 포함할 수 있다. 몇몇 구현예들에서, GPU 소스는, LRR과 RRR 사이의 임의의 곳에 범위가 있는 리프레시 레이트들을 갖는 프레임들의 시퀀스를 유효하게 생성하기 위해, 매 새로운 프레임 마다 이들 빠른 응답의 중단 프레임들을 전송할 수도 있다.

[0091] 몇몇 실시형태들에 따르면, LCD에서의 가변 리프레시 레이트 구현에는, 현재의 이미지 프레임에 적용되는 현재의 리프레시 레이트의 지식을 TCON(1602)이 가질 것을 요구하는 다양한 보상 특징들을 포함하는 리프레시 레이트 검출 메커니즘을 포함할 수 있다. 몇몇 시나리오들에서, GPU 소스는 버퍼 IC(1604)로 전송되고 있는 프레임 데이터의 현재의 리프레시 레이트를 통고할 필요가 없을 수도 있다. 이 구성에서, 리프레시 레이트는 TCON(1602) 자체에 의해 결정될 수 있고, 그 결과 GPU는 LRR 프레임 또는 RRR 프레임을 임의의 시간에 전송할 수 있게 되고, TCON(1602) 그 자체는 현재의 프레임의 리프레시 레이트의 자기 자신의 결정에 기초하여 적절한 액션을 결정하도록 구성될 수 있다.

[0092] 다양한 실시형태들에서, TCON(1602)은 현재의 링크 셋다운 동안 수직 블랭킹에 대한 유효 라인들의 카운트를 유지하는 것에 의해 이 목적을 달성할 수 있다. 이와 관련하여, 이 시간 간격 동안 링크 또는 데이터 프로세싱 클럭 소스가 없을 수도 있기 때문에, TCON(1602)은, 이 기간 동안 활용되는 수직 블랭킹 라인들의 수를 정확히 카운트하기 위해, 자기 자신의 내부 클럭 회로부(1614), 및 미리 프로그래밍된 라인 타이밍 구성을 사용할 수 있다. 소스 GPU와 TCON(1602)이 이 시간 동안 동기화되지 않을 수도 있다는 사실은, 상대적인 클럭 드리프트, 수직 클럭 프로그래밍에서의 차이들 등과 같은 요인들로 인해, TCON(1602)에서의 수직 블랭킹 라인 카운트가 호스트 시스템의(예를 들면, 호스트 CPU 또는 GPU에서의) 것과 약간 차이가 날 수도 있다는 것을 의미할 수 있다.

[0093] 이 시나리오를 보상하기 위해, 픽셀 파이프라인 클럭들에서의 수직 블랭킹 시간의 프로그래밍이 호스트 시스템에서 소스로부터의 값과 더 밀접하게 매치하는 것을 허용하도록, 전용되는 레지스터가 제공될 수도 있다. 또한, 몇몇 구성들에서, 즉시 종료를 지원할 필요성으로 인해, 유입 프레임들은, 예를 들면, LRR 수직 블랭킹과 RRR 수직 블랭킹 사이에, 임의적인 수의 수직 블랭킹 라인들을 가질 수도 있다. 특정 프레임이 LRR 프레임인지

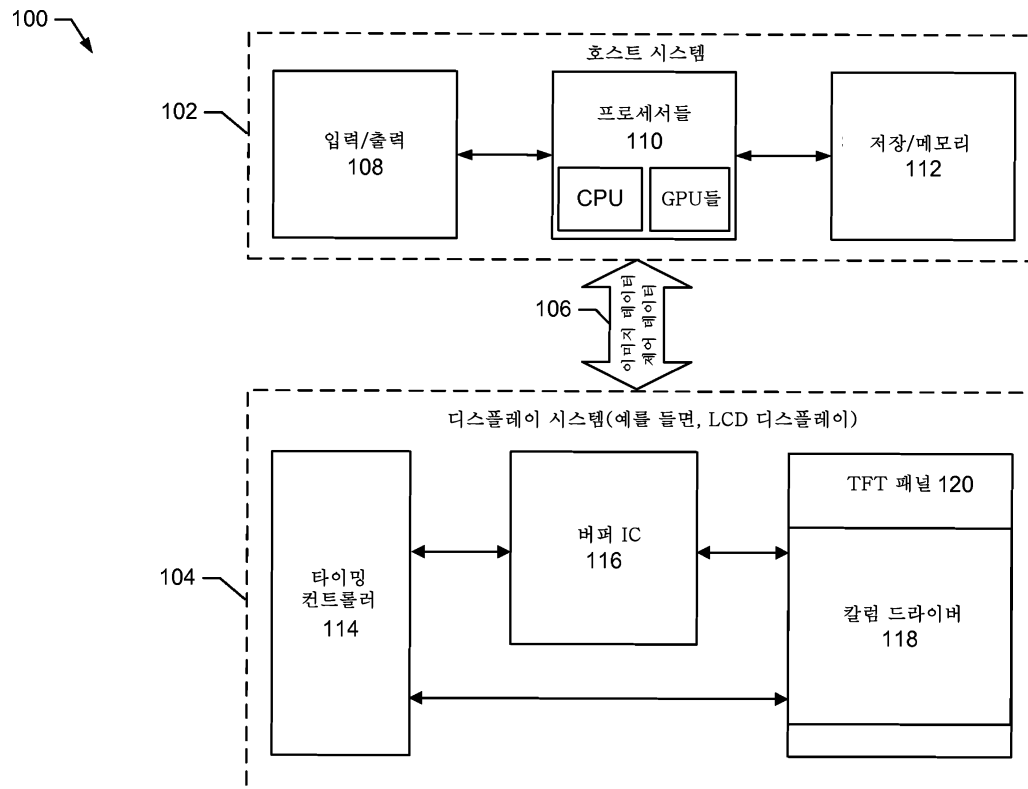
또는 RRR 프레임인지의 여부의 결정을 행하기 위해 프로그램가능한 임계치가 사용될 수도 있고, 그 정보는, 필요에 따라, LCD 내의 다운스트림 로직으로 전송될 수 있다. 몇몇 실시형태들에서, 수직 블랭킹 라인들의 절대 카운트는, 절대 카운트 데이터를 사용하는 것에 의해 지능적인 보상 결정들을 행할 수 있는 임의의 다운스트림 LCD 로직으로 제공될 수 있다. 다양한 구성들에서, VRR 레이트 검출 구현예들은 다양한 RRR 트리거 설정들에 부분적으로 기초하여 평가될 수 있다. 몇몇 시나리오들에서, LRR, RRR, 및/또는 수직 블랭킹 카운트는 후속 트리거 이벤트까지 유지될 수 있다(일정하게 유지될 수 있다).

[0094] 설명된 실시형태들의 다양한 양태들, 실시형태들, 구현예들, 또는 특징들은 개별적으로 또는 임의의 조합으로 사용될 수 있다. 또한, 설명된 실시형태들의 몇몇 양태들은 소프트웨어, 하드웨어 또는 하드웨어와 소프트웨어의 조합에 의해 구현될 수 있다. 설명된 실시형태들은 비일시적 컴퓨터 판독가능 매체 상에 저장되는 컴퓨터 프로그램 코드로서 또한 구체화될 수 있다. 컴퓨터 판독 가능 매체는, 추후 컴퓨터 또는 컴퓨터 시스템에 의해 판독될 수 있는 데이터를 저장할 수 있는 임의의 데이터 저장 디바이스와 관련될 수도 있다. 컴퓨터 판독가능 매체의 예들은 판독전용 메모리, 랜덤 액세스 메모리, CD-ROM들, 솔리드 스테이트 디스크들(SSD 또는 플래시), HDD들, DVD들, 자기 테이프, 및 광학 데이터 저장 디바이스들을 포함한다. 또한, 컴퓨터 판독가능 매체는, 컴퓨터 프로그램 코드가 분산 방식으로 실행될 수도 있도록, 네트워크에 커플링된 컴퓨터 시스템들을 통해 분산될 수도 있다.

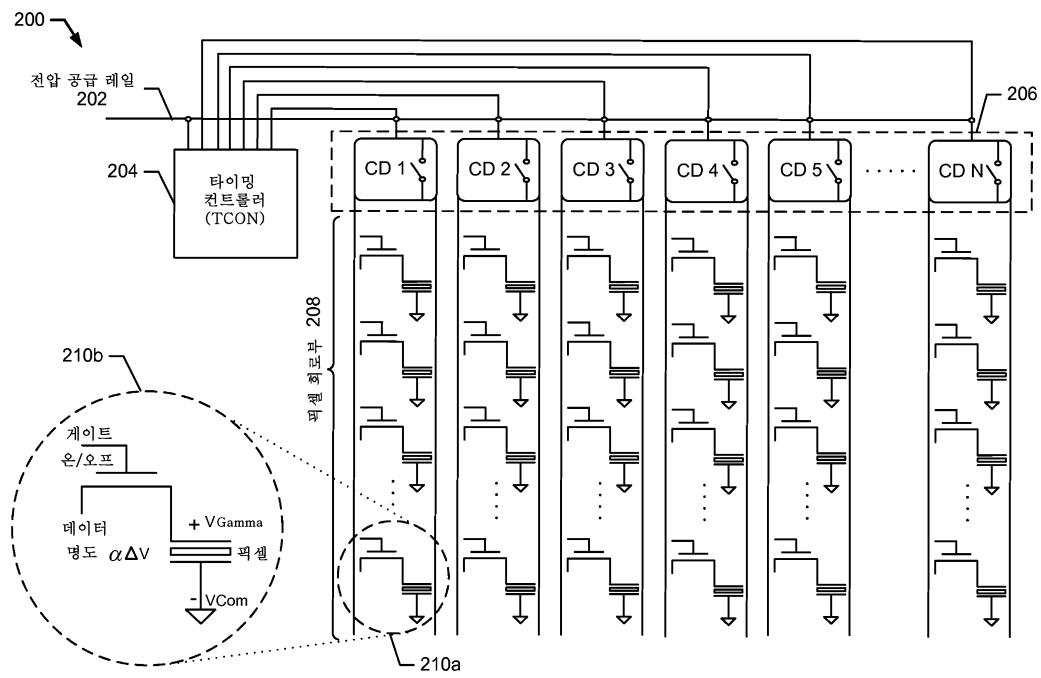
[0095] 상기 설명은, 설명의 목적들을 위해, 설명된 실시형태들의 완전한 이해를 제공하도록 특정한 명명법을 사용하였다. 그러나, 설명된 실시형태들을 실시하기 위해 특정 상세들의 일부가 요구되지 않는다는 것이 당업자에게는 명확할 것이다. 따라서, 특정 실시형태들의 상기 설명들은 예시 및 설명의 목적들을 위해 본원에서 제공된다. 이들 설명들은 총망라하거나, 모두 포괄하거나, 또는 설명된 실시형태들을 개시된 정확한 형태들 또는 상세들로 한정하도록 의도되지 않는다. 본 개시의 취지와 범위를 벗어나지 않으면서, 상기 교시들의 관점에서 많은 수정예들 및 변형예들이 가능하다는 것이 당업자에게는 명확할 것이다.

도면

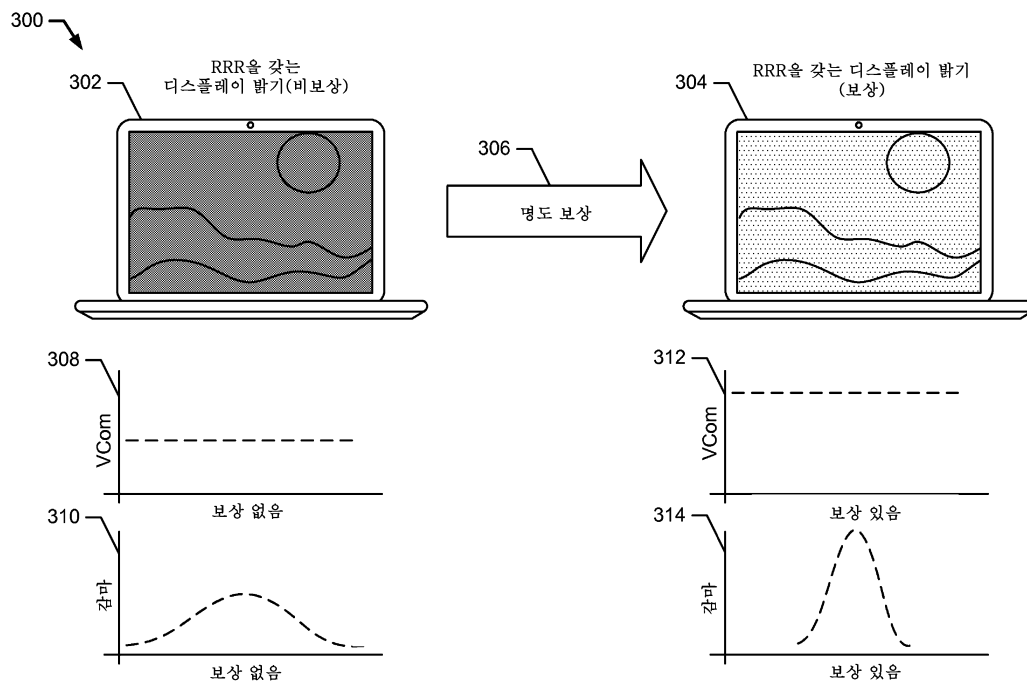
도면1



도면2

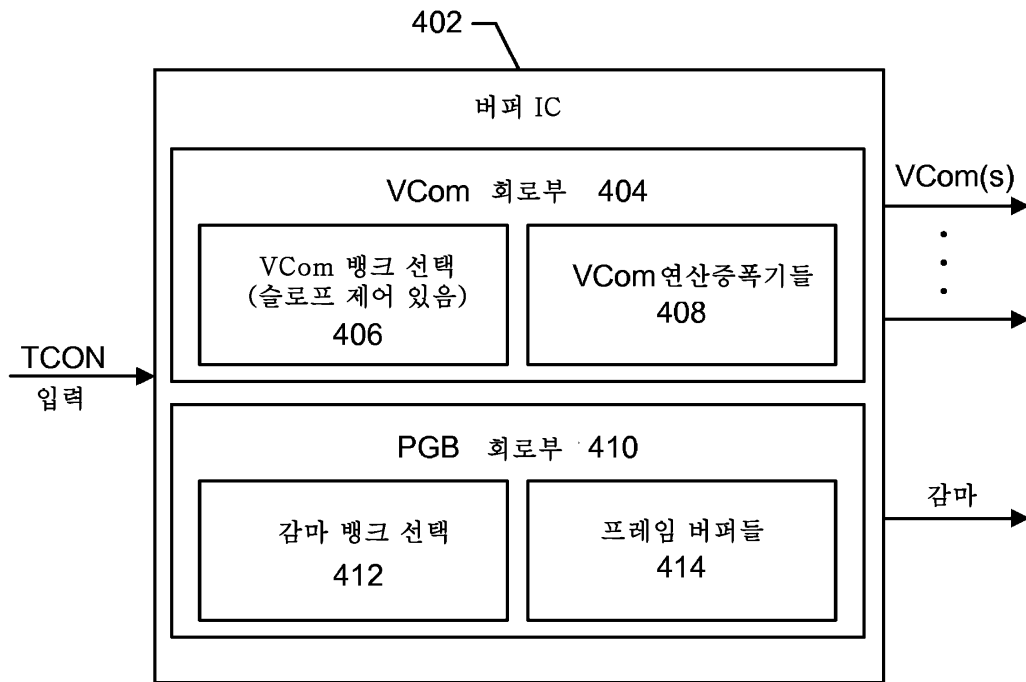


도면3



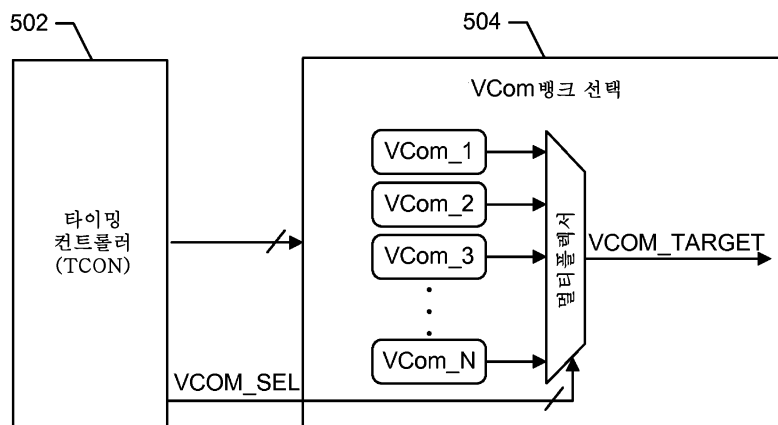
도면4

400 ↘



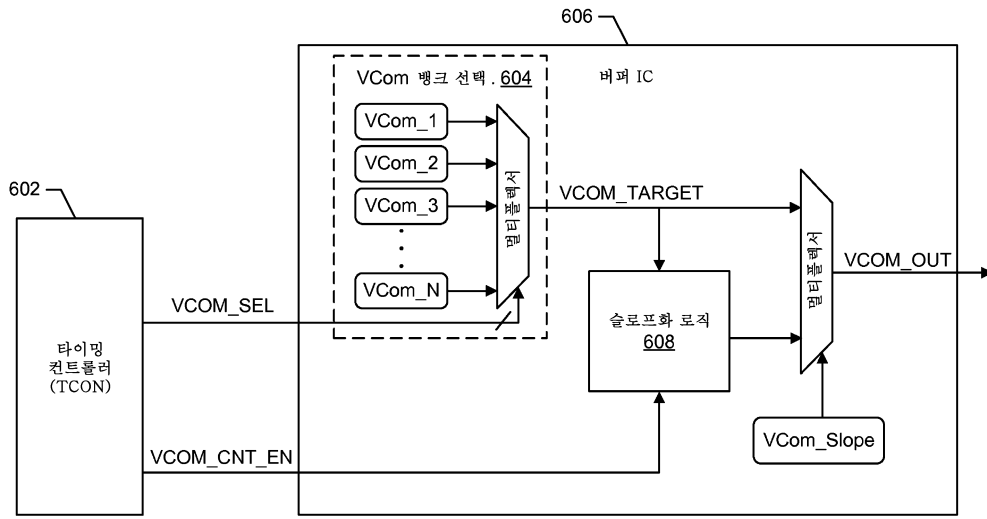
도면5

500 ↘



도면6

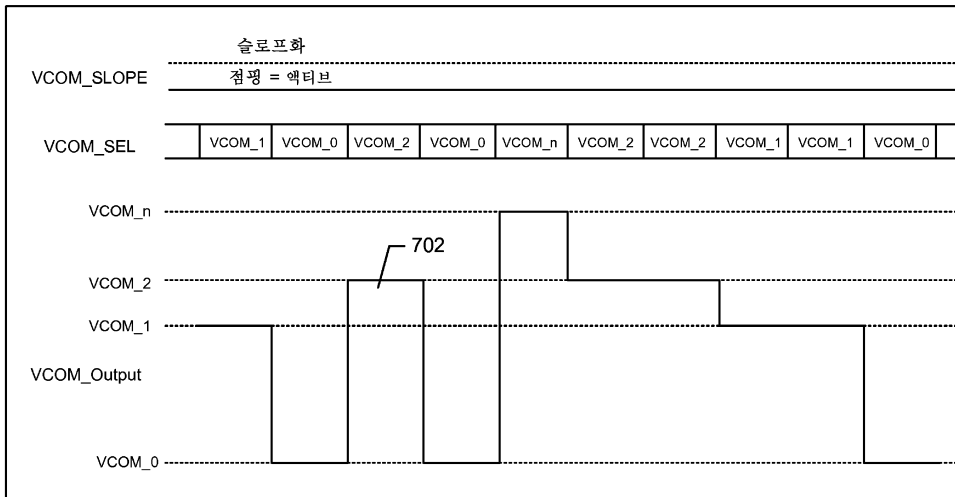
600



도면7

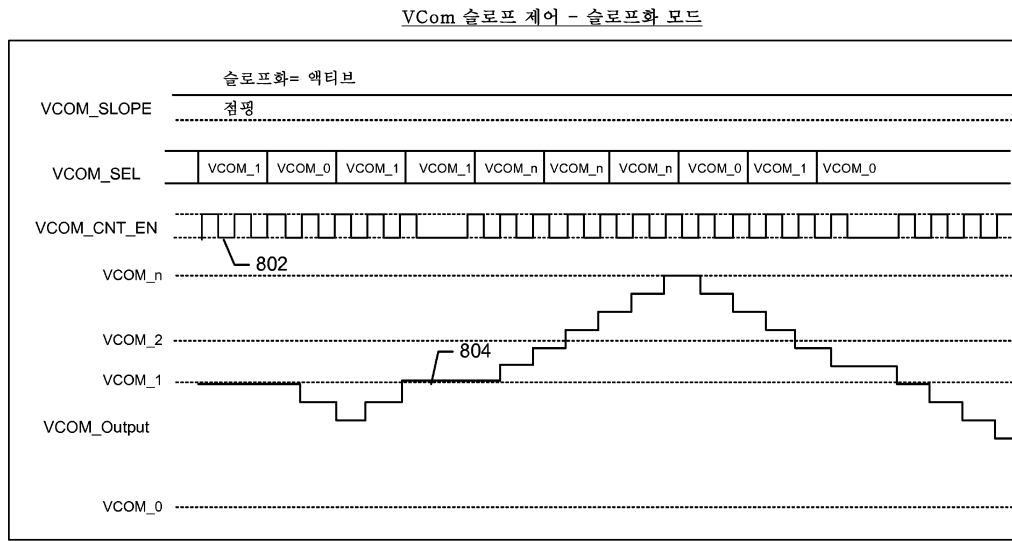
700

VCom 슬로프 제어 - 점평 모드



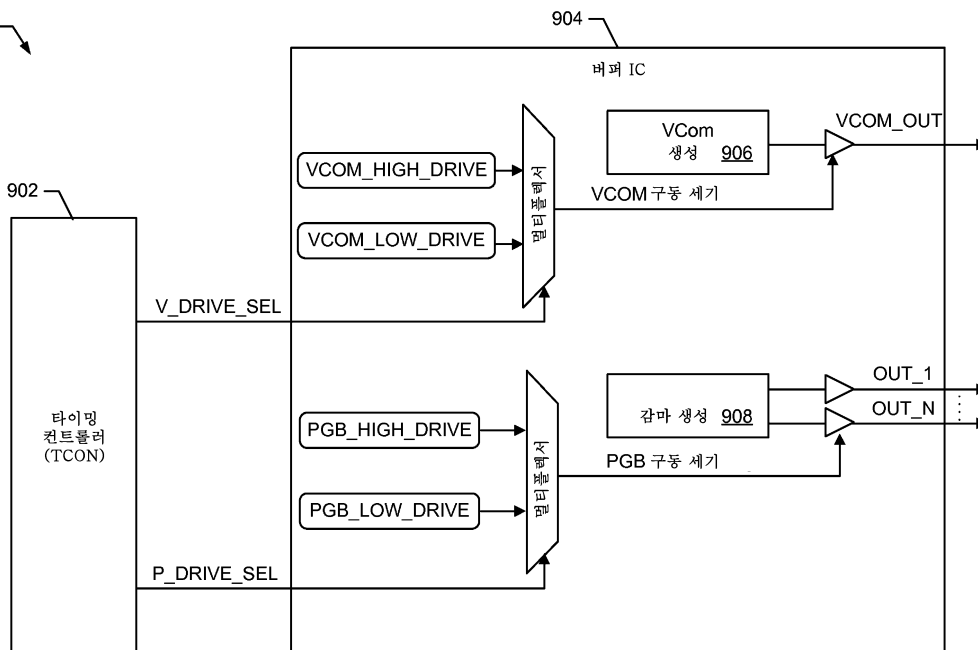
도면8

800 ↘



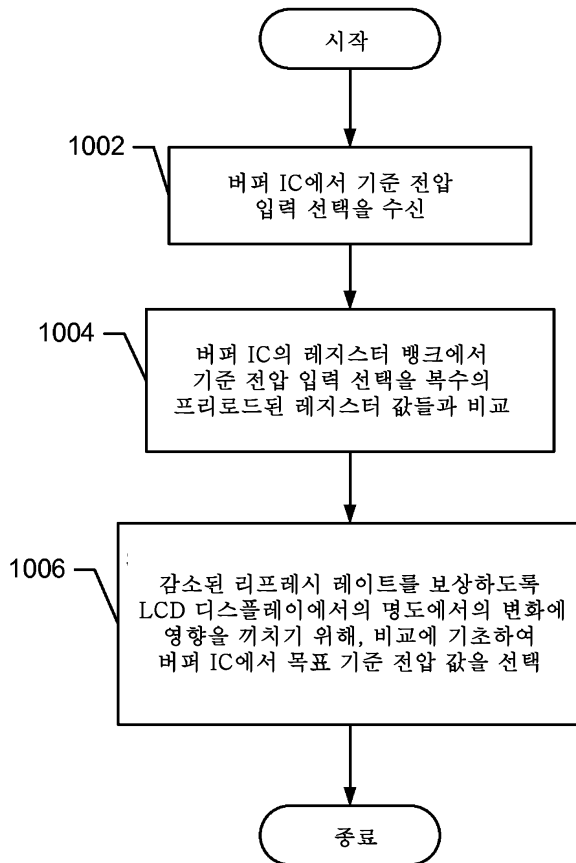
도면9

900 ↘



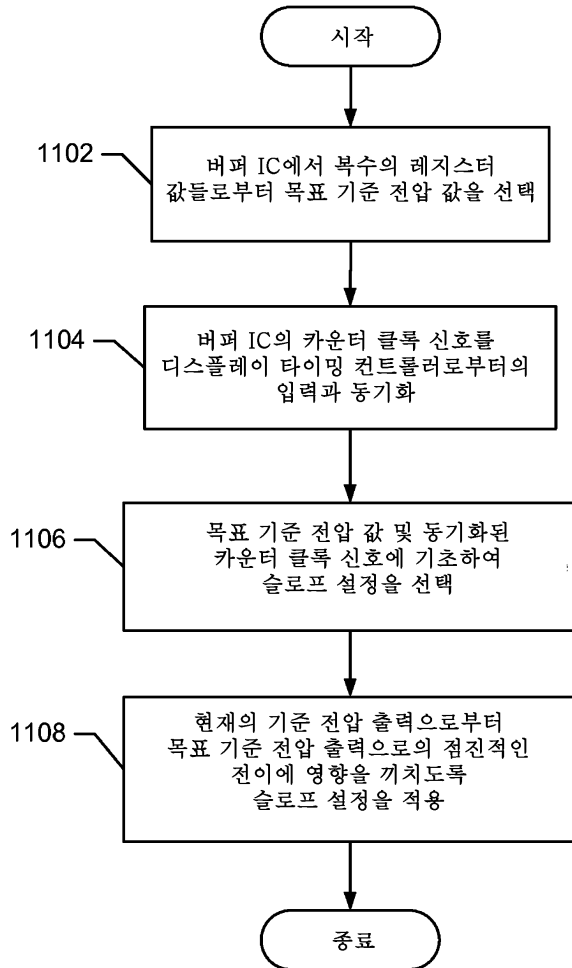
도면10

1000 ↘



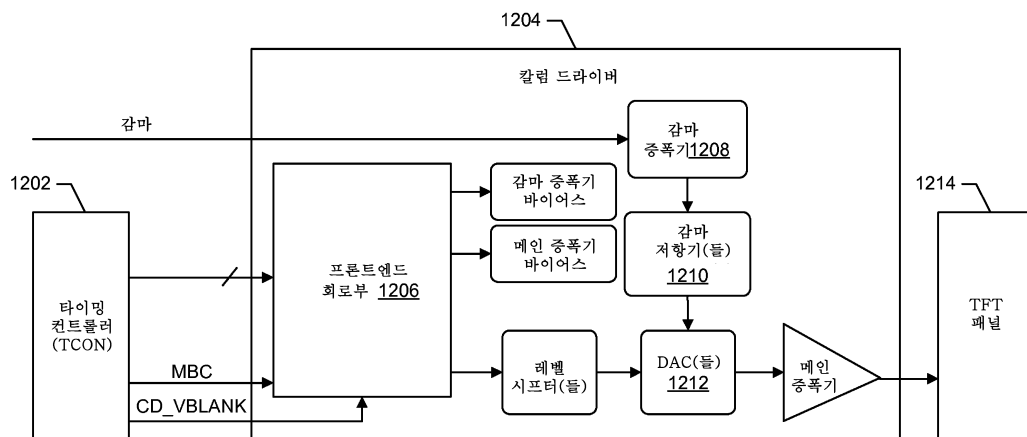
도면11

1100 ↘

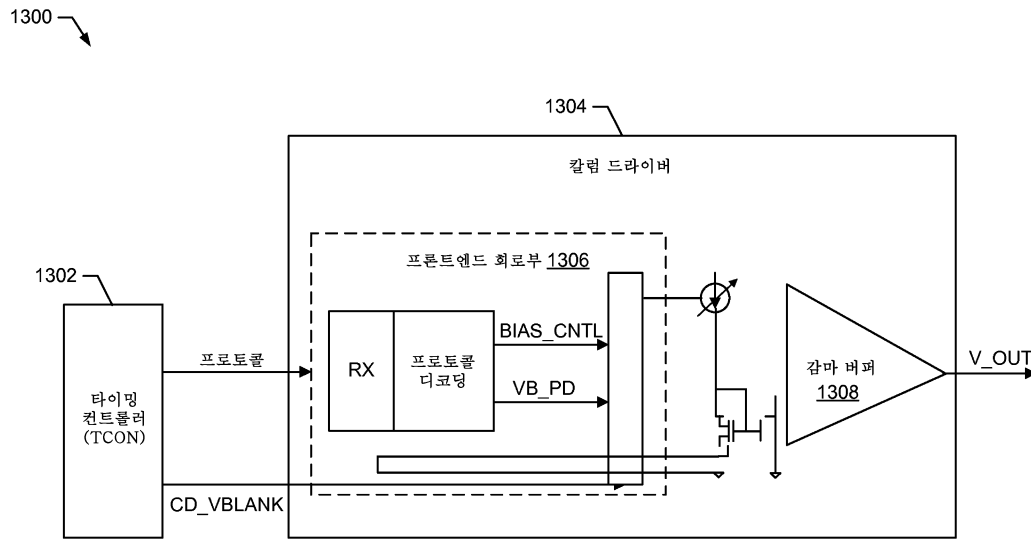


도면12

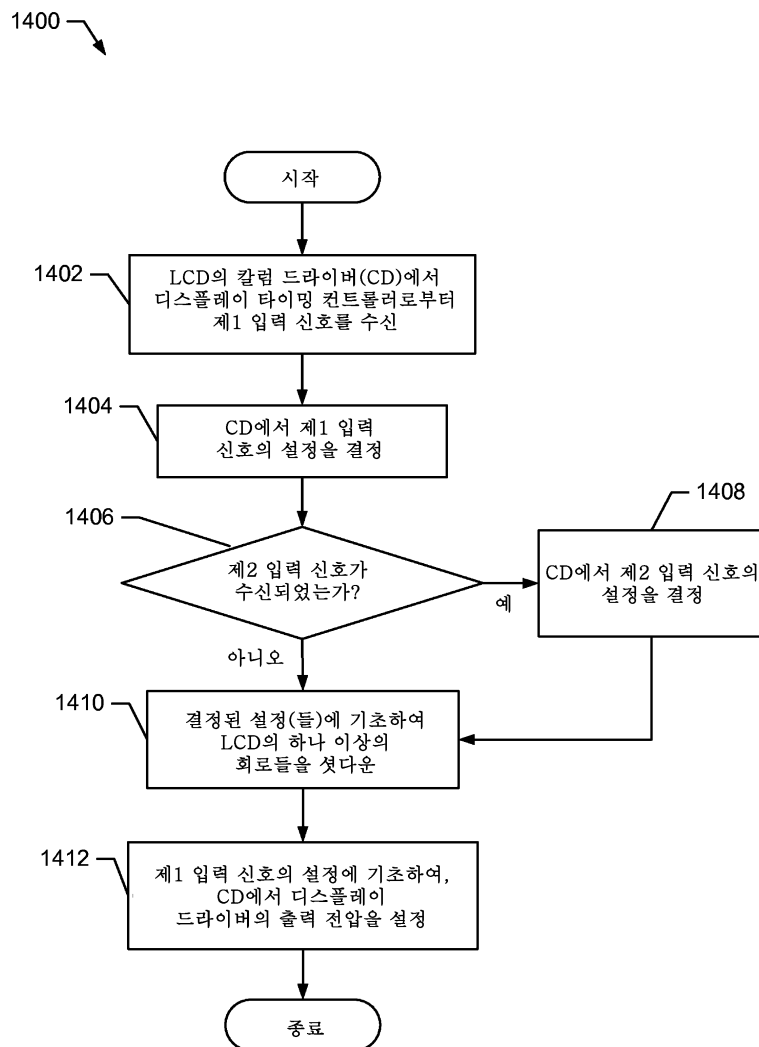
1200 ↘



도면13

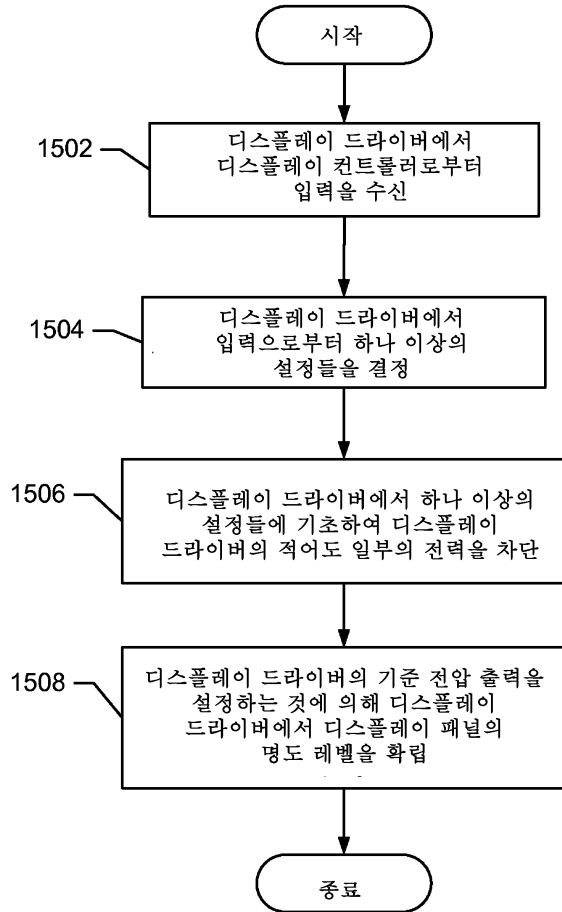


도면14



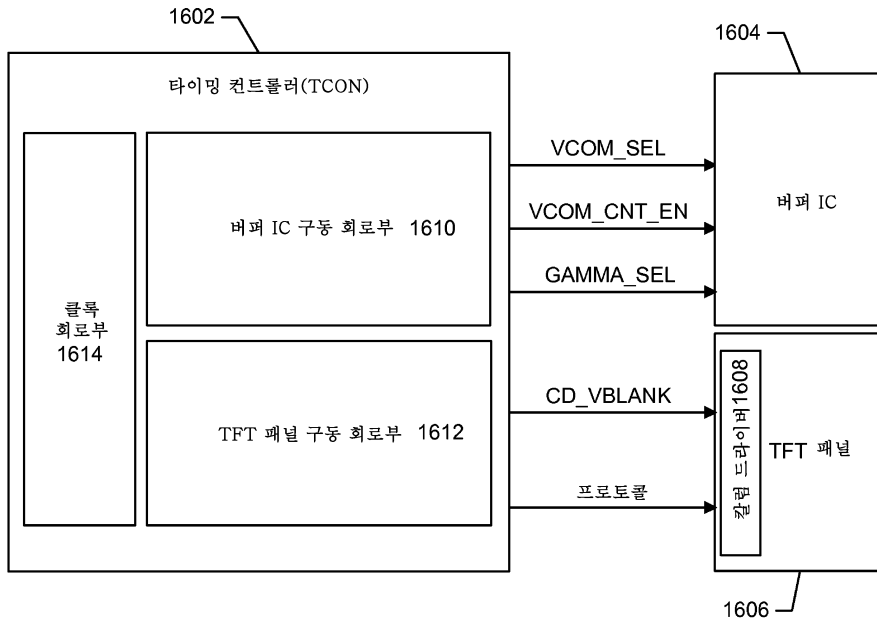
도면15

1500 ↘



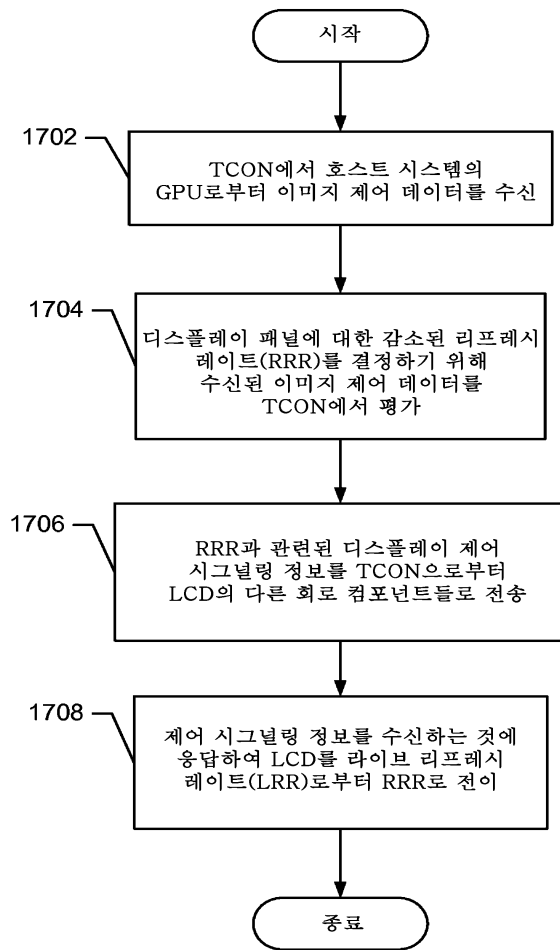
도면16

1600 ↘



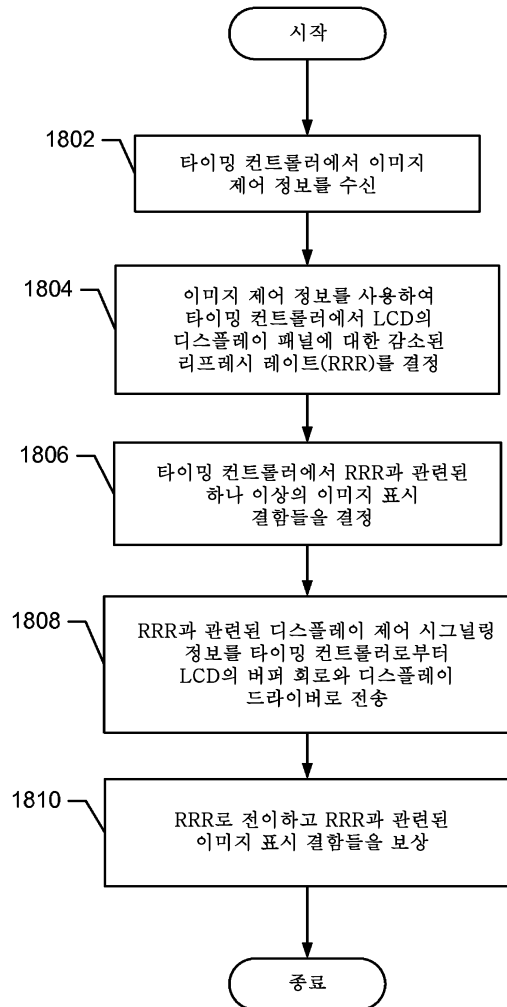
도면17

1700 ↘

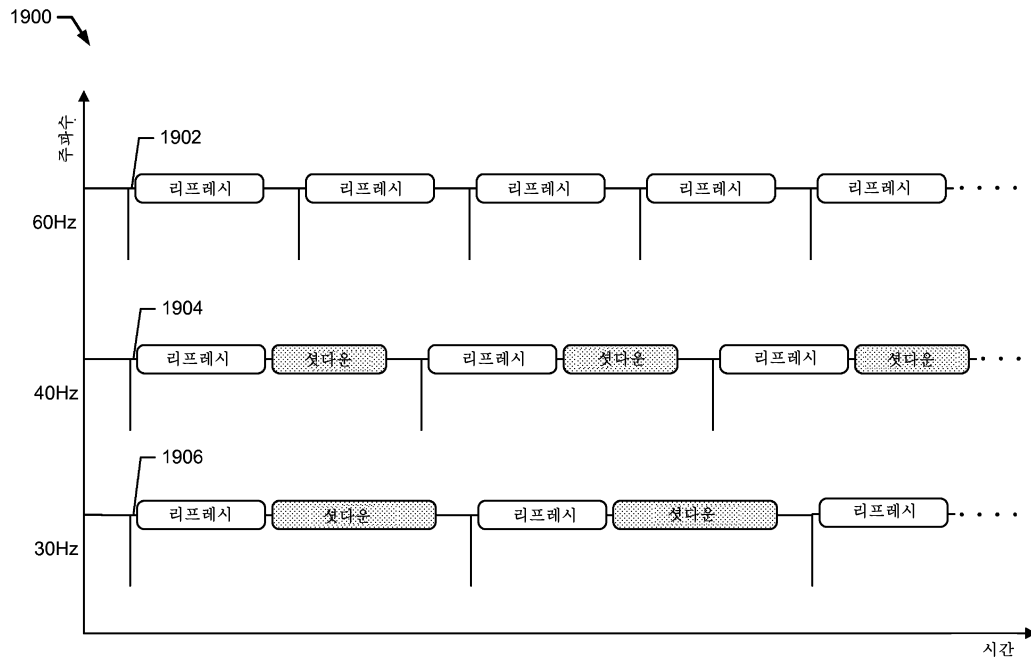


도면18

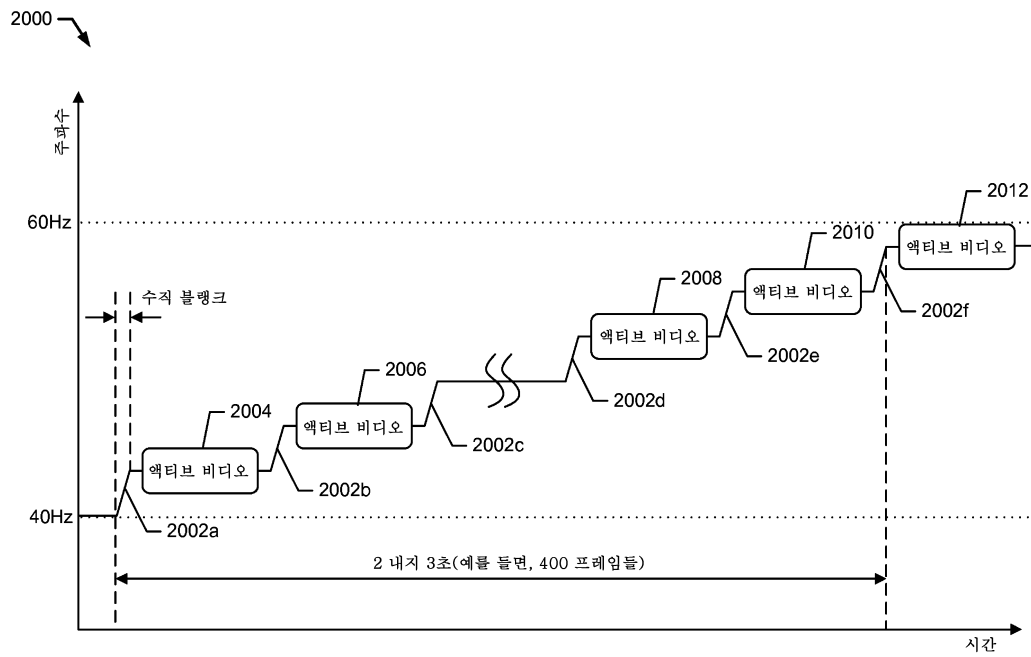
1800 ↘



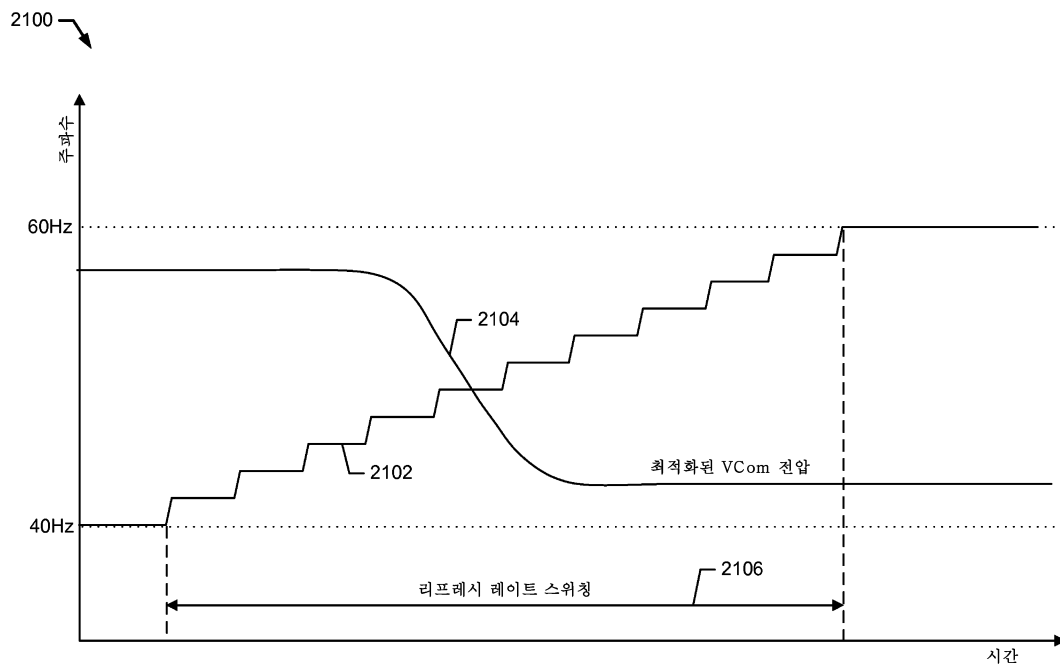
도면19



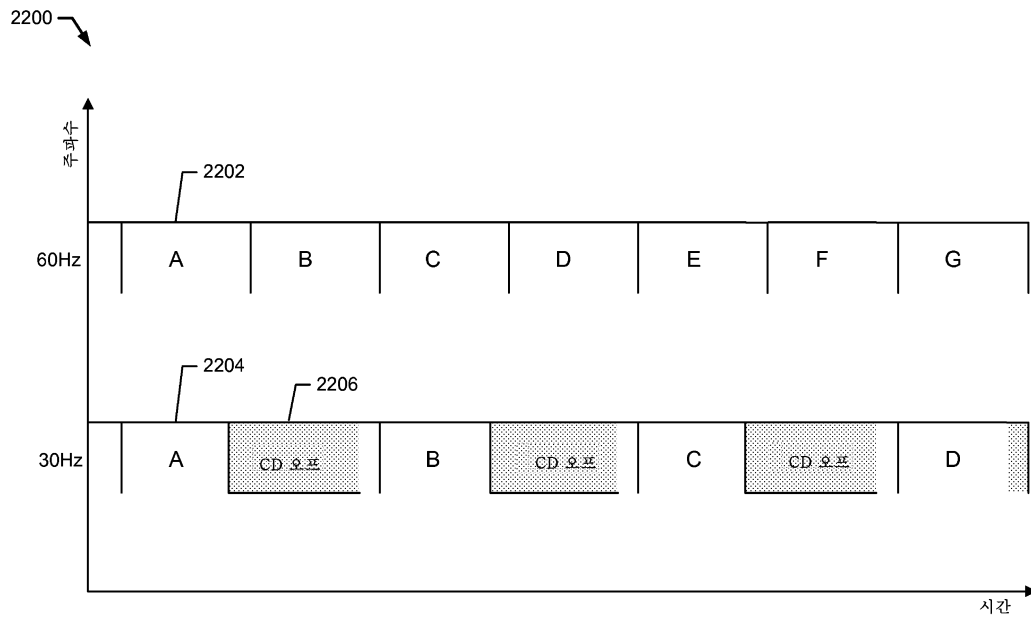
도면20



도면21



도면22



专利名称(译)	具有可变刷新率的低功率显示设备		
公开(公告)号	KR101774127B1	公开(公告)日	2017-09-01
申请号	KR1020157018920	申请日	2014-01-14
[标]申请(专利权)人(译)	苹果公司		
申请(专利权)人(译)	苹果公司.		
当前申请(专利权)人(译)	苹果公司		
[标]发明人	NAMBI PRASANNA 남비프라산나 GOMEZ JASON N 고메즈제이슨엔 ZHENG FENGHUA 쟁펑후아 SACCHETTO PAOLO 사체토파올로 PINTZ SANDRO H 핀츠산드로에이치 KIM TAESUNG 김태성 TANN CHRISTOPHER P 탄크리스토퍼피 ALBRECHT MARC 알브레히트마르크 LUM DAVID W 럼데이비드더블유		
发明人	남비,프라산나 고메즈,제이슨엔. 쟁,펑후아 사체토,파올로 핀츠,산드로에이치. 김,태성 탄,크리스토퍼피. 알브레히트,마르크 럼,데이비드더블유.		
IPC分类号	G09G3/36		
CPC分类号	G09G3/36 G09G3/3696 G09G2370/08 G09G3/3618 G09G3/3655 G09G2330/021 G09G2340/0435 G09G2360/18 G09G3/3611 G09G2330/02 G06T1/20 G06T2210/52 G09G3/3648 G09G2310/08 G09G2320/0626		
代理人(译)	Jangdeoksun Baekmangi		
优先权	61/752390 2013-01-14 US		
其他公开文献	KR1020150094766A		
外部链接	Espacenet		

摘要(译)

本公开描述了用于在诸如膝上型计算机，平板计算机，移动电话或音乐播放器设备之类的消费电子设备的LCD显示器中动态利用可变刷新率的过程。在一些布置中，消费电子设备可以包括具有一个或多个处理器的主机系统部分和包括定时控制器，缓冲电路，显示驱动器和显示面板的显示系统部分。显示系统从主机系统的GPU接收图像数据和图像控制数据，评估接收的图像控制数据以确定用于显示面板的降低的刷新率（RRR），要保存，只要可行，您就可以转换为RRR。在某些情况下，向RRR的过渡可能是从大于或等于50赫兹的LRR过渡到小于或等于40赫兹的RRR。

