



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년06월09일
(11) 등록번호 10-1744920
(24) 등록일자 2017년06월01일

(51) 국제특허분류(Int. Cl.)
G02F 1/1337 (2006.01) G02F 1/1343 (2006.01)
G02F 1/1362 (2006.01)
(21) 출원번호 10-2010-0128411
(22) 출원일자 2010년12월15일
심사청구일자 2015년12월10일
(65) 공개번호 10-2012-0067023
(43) 공개일자 2012년06월25일
(56) 선행기술조사문헌
KR1020000005064 A*
KR1020100073285 A*
KR1020080114353 A*
US20090002588 A1
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
창학선
경기도 용인시 수지구 수지로 323, 동부 아파트
103동 203호 (풍덕천동)
신용환
경기도 용인시 기흥구 사은로126번길 33, 203동
703호 (보라동, 민속마을신창미션힐아파트)
(74) 대리인
특허법인 고려

전체 청구항 수 : 총 17 항

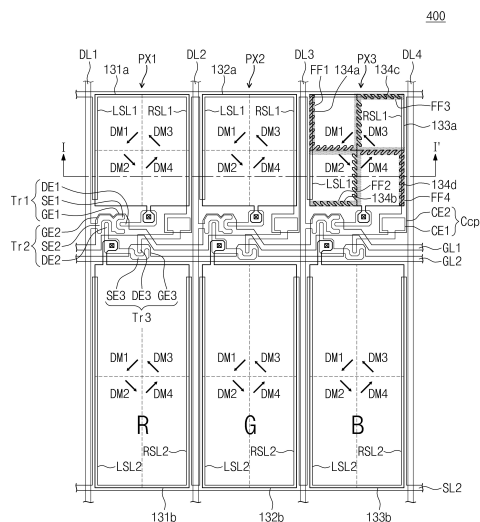
심사관 : 차건숙

(54) 발명의 명칭 액정 표시 패널

(57) 요약

액정 표시 패널에 있어서, 화소부는 서로 다른 컬러를 표시하는 세 개의 화소로 이루어지고, 각 화소는 제1 전압을 충전하는 제1 서브 화소 및 제1 전압보다 낮은 계조의 제2 전압을 충전하는 제2 서브 화소로 이루어진다. 제1 서브 화소에는 제1 서브 화소전극이 구비되고, 제2 서브 화소에는 제2 서브 화소전극이 구비된다. 제1 및 제2 서브 화소 각각은 액정 배향 방향이 다른 적어도 두 개의 도메인을 포함하고, 적어도 한 화소의 제1 서브 화소전극에는 도메인들 각각에 대응하여 다수의 슬릿이 제공된다. 다수의 슬릿은 대응하는 도메인의 액정 배향 방향에 평행하게 형성된다. 따라서, 액정 표시 패널의 측면 시인성 및 응답 속도를 개선할 수 있다.

대표도 - 도1



(72) 발명자

정민식

서울특별시 강남구 도곡로78길 22, 111동 101호 (대치동, 대치삼성아파트)

신경주

경기도 화성시 영통로27번길 53, 신영통현대2차아파트 205동 602호 (반월동)

명세서

청구범위

청구항 1

화소들 각각이 제1 전압을 충전하는 제1 서브 화소 및 제1 전압보다 낮은 계조의 제2 전압을 충전하는 제2 서브 화소로 이루어진 액정 표시 패널에서,

상기 제1 서브 화소에 제공되는 제1 서브 화소전극 및 상기 제2 서브 화소에 제공되는 제2 서브 화소전극을 구비하는 제1 기판;

상기 제1 기판 상에 구비되고, 각 서브 화소 내에서 제1 방향으로 광 배향된 제1 배향막;

상기 제1 기판에 대향하는 제2 기판;

상기 제2 기판 상에 구비되어 상기 제1 배향막과 마주하며, 상기 각 서브 화소 내에서 상기 제1 방향과 다른 제2 방향으로 광 배향되어 각 서브 화소에 다수의 도메인을 형성하는 제2 배향막; 및

상기 제1 배향막과 상기 제2 배향막 사이에 개재된 액정층을 포함하며,

상기 다수의 화소들 중 적어도 한 화소의 제1 서브 화소전극에는 각 도메인의 액정 배향 방향에 평행하게 형성된 다수의 슬릿이 제공되고,

상기 화소들은 레드, 그린 및 블루 컬러를 각각 표시하는 제1 화소, 제2 화소 및 제3 화소를 포함하고,

상기 다수의 슬릿은 상기 제3 화소의 상기 제1 서브 화소전극에 제공되며,

상기 각 화소의 상기 제1 서브 화소전극과 상기 제2 서브 화소전극은 서로 다른 크기를 가지며, 상기 제3 화소의 상기 제2 서브 화소전극에 대한 상기 제1 서브 화소전극의 면적비는 상기 제2 화소의 상기 제2 서브 화소전극에 대한 상기 제1 서브 화소전극의 면적비보다 큰 것을 특징으로 하는 액정 표시 패널.

청구항 2

삭제

청구항 3

제1항에 있어서, 상기 제1 및 제2 서브 화소전극 각각은 제1 내지 제4 도메인을 포함하고, 상기 제1 내지 제4 도메인의 액정 배향 방향들은 서로 다른 것을 특징으로 하는 액정 표시 패널.

청구항 4

제3항에 있어서, 상기 다수의 슬릿은 상기 제1 내지 제4 도메인에 각각 대응하여 구비된 다수의 제1 내지 제4 슬릿으로 이루어지고, 상기 제1 내지 제4 슬릿들 각각은 대응하는 도메인의 액정 배향 방향에 평행하게 형성된 것을 특징으로 하는 액정 표시 패널.

청구항 5

제4항에 있어서, 상기 제1 서브 화소전극은 상기 제1 도메인의 가장자리를 따라 L자 형상으로 형성된 제1 프린지 필드 영역, 상기 제2 도메인의 가장자리를 따라 형성되고, 반시계 방향으로 90°로 회전된 L자 형상을 갖는 제2 프린지 필드 영역, 상기 제3 도메인의 가장자리를 따라 형성되고, 시계 방향으로 90°로 회전된 L자 형상을 갖는 제3 프린지 필드 영역, 및 상기 제4 도메인의 가장자리를 따라 형성되고, 반시계 방향으로 180°로 회전된 L자 형상을 갖는 제4 프린지 필드 영역을 포함하는 것을 특징으로 하는 액정 표시 패널.

청구항 6

제5항에 있어서, 상기 제1 내지 제4 슬릿들은 상기 제1 내지 제4 프린지 필드 영역 내에 각각 제공되는 것을 특징으로 하는 액정 표시 패널.

청구항 7

제5항에 있어서, 상기 제1 내지 제4 슬릿들은 상기 제1 서브 화소전극의 가장자리에 형성되되, 상기 제1 내지 제4 프린지 필드 영역 이외의 영역에 형성되는 것을 특징으로 하는 액정 표시 패널.

청구항 8

제1항에 있어서, 상기 슬릿들 각각은 상기 제1 서브 화소전극의 폭의 1/10 이하에 해당하는 길이로 형성되는 것을 특징으로 하는 액정 표시 패널.

청구항 9

제8항에 있어서, 상기 다수의 슬릿이 형성된 영역은 상기 제1 서브 화소전극이 형성된 영역의 10% 내지 90%에 해당하는 면적을 갖는 것을 특징으로 하는 액정 표시 패널.

청구항 10

제1항에 있어서, 상기 제3 화소에서 상기 제1 전압에 대한 상기 제2 전압의 전압비는 상기 제1 및 제2 화소의 상기 제1 전압에 대한 상기 제2 전압의 전압비와 같거나 다른 것을 특징으로 하는 액정 표시 패널.

청구항 11

제10항에 있어서, 상기 제3 화소의 상기 제1 전압에 대한 상기 제2 전압의 전압비는 상기 제2 화소의 상기 제1 전압에 대한 상기 제2 전압의 전압비보다 크고,

상기 제1 화소의 상기 제1 전압에 대한 상기 제2 전압의 전압비는 상기 제2 화소의 상기 제1 전압에 대한 상기 제2 전압의 전압비와 같거나 작은 것을 특징으로 하는 액정 표시 패널.

청구항 12

제11항에 있어서, 상기 제1 화소의 상기 제1 전압에 대한 상기 제2 전압의 전압비는 0.59 내지 0.845로 설정되고, 상기 제2 화소의 상기 제1 전압에 대한 상기 제2 전압의 전압비는 0.6 내지 0.85로 설정되며, 상기 제3 화소의 상기 제1 전압에 대한 상기 제2 전압의 전압비는 0.61 내지 0.9로 설정되는 것을 특징으로 하는 액정 표시 패널.

청구항 13

삭제

청구항 14

삭제

청구항 15

제1항에 있어서, 상기 제3 화소의 상기 제2 서브 화소전극에 대한 상기 제1 서브 화소전극의 면적비는 1:1.1 내지 1:3.5이고, 상기 제2 화소의 상기 제2 서브 화소전극에 대한 상기 제1 서브 화소전극의 면적비는 1:1 내지 1:2.5인 것을 특징으로 하는 액정 표시 패널.

청구항 16

제1항에 있어서, 상기 제1 및 제2 배향막 각각은 조사되는 광에 의해 분해(decomposition), 이합체화 반응(dimerization), 및 이성질체화반응(isomerization) 중 어느 하나의 반응이 일어나는 고분자 물질로 이루어진 것을 특징으로 하는 액정 표시 패널.

청구항 17

화소들 각각이 제1 전압을 충전하는 제1 서브 화소 및 제1 전압보다 낮은 계조의 제2 전압을 충전하는 제2 서브 화소로 이루어진 액정 표시 패널에서,

상기 제1 서브 화소에 제공되는 제1 서브 화소전극 및 상기 제2 서브 화소에 제공되는 제2 서브 화소전

극을 구비하는 제1 기관;

상기 제1 기관에 대향하는 제2 기관; 및

상기 제1 기관과 상기 제2 기관 사이에 개재된 액정층을 포함하며,

상기 제1 및 제2 서브 화소 각각은 액정 배향 방향이 다른 적어도 두 개의 도메인을 포함하고, 적어도 한 화소의 제1 서브 화소전극에는 상기 도메인들 각각에 대응하여 다수의 슬릿이 제공되며, 상기 다수의 슬릿은 대응하는 도메인의 액정 배향 방향에 평행하게 형성되고,

상기 화소들은 레드, 그린 및 블루 컬러를 각각 표시하는 제1 화소, 제2 화소 및 제3 화소를 포함하고,

상기 다수의 슬릿은 상기 제3 화소의 상기 제1 서브 화소전극에 제공되고,

상기 제3 화소의 상기 제1 전압에 대한 상기 제2 전압의 전압비는 상기 제2 화소의 상기 제1 전압에 대한 상기 제2 전압의 전압비보다 크고,

상기 제1 화소의 상기 제1 전압에 대한 상기 제2 전압의 전압비는 상기 제2 화소의 상기 제1 전압에 대한 상기 제2 전압의 전압비와 같거나 작은 것을 특징으로 하는 액정 표시 패널.

청구항 18

제17항에 있어서, 상기 제3 화소의 상기 제2 서브 화소전극에 대한 상기 제1 서브 화소전극의 면적비는 상기 제2 화소의 상기 제2 서브 화소전극에 대한 상기 제1 서브 화소전극의 면적비보다 큰 것을 특징으로 하는 액정 표시 패널.

청구항 19

화소들 각각이 제1 전압을 충전하는 제1 서브 화소 및 제1 전압보다 낮은 계조의 제2 전압을 충전하는 제2 서브 화소로 이루어진 액정 표시 패널에서,

상기 제1 서브 화소에 제공되는 제1 서브 화소전극 및 상기 제2 서브 화소에 제공되는 제2 서브 화소전극을 구비하는 제1 기관;

상기 제1 기관 상에 구비되고, 각 서브 화소 내에서 제1 방향으로 광 배향된 제1 배향막;

상기 제1 기관에 대향하는 제2 기관;

상기 제2 기관 상에 구비되어 상기 제1 배향막과 마주하며, 상기 각 서브 화소 내에서 상기 제1 방향과 다른 제2 방향으로 광 배향되어 각 서브 화소에 다수의 도메인을 형성하는 제2 배향막; 및

상기 제1 배향막과 상기 제2 배향막 사이에 개재된 액정층을 포함하며,

상기 다수의 화소들 중 적어도 한 화소의 제1 서브 화소전극에는 각 도메인의 액정 배향 방향에 평행하게 형성된 다수의 슬릿이 제공되고상기 화소들은 레드, 그린 및 블루 컬러를 각각 표시하는 제1 화소, 제2 화소 및 제3 화소를 포함하고,

상기 다수의 슬릿은 상기 제3 화소의 상기 제1 서브 화소전극에 제공되며,

상기 제1 및 제2 서브 화소전극 각각은 제1 내지 제4 도메인을 포함하고, 상기 제1 내지 제4 도메인의 액정 배향 방향들은 서로 다르고,

상기 다수의 슬릿은 상기 제1 내지 제4 도메인에 각각 대응하여 구비된 다수의 제1 내지 제4 슬릿으로 이루어지고, 상기 제1 내지 제4 슬릿들 각각은 대응하는 도메인의 액정 배향 방향에 평행하게 형성되고, 상기 제1 서브 화소전극은 상기 제1 도메인의 가장자리를 따라 L자 형상으로 형성된 제1 프린지 필드 영역, 상기 제2 도메인의 가장자리를 따라 형성되고, 반시계 방향으로 90°로 회전된 L자 형상을 갖는 제2 프린지 필드 영역, 상기 제3 도메인의 가장자리를 따라 형성되고, 시계 방향으로 90°로 회전된 L자 형상을 갖는 제3 프린지 필드 영역, 및 상기 제4 도메인의 가장자리를 따라 형성되고, 반시계 방향으로 180°로 회전된 L자 형상을 갖는 제4 프린지 필드 영역을 포함하는 것을 특징으로 하는 액정 표시 패널.

청구항 20

제19항에 있어서, 상기 제1 내지 제4 슬릿들은 상기 제1 내지 제4 프린지 필드 영역 내에 각각 제공되

는 것을 특징으로 하는 액정 표시 패널.

발명의 설명

기술 분야

[0001] 본 발명은 액정 표시 패널에 관한 것으로, 특히 측면 시인성을 개선하고, 응답 속도를 향상시킬 수 있는 액정 표시 패널에 관한 것이다.

배경 기술

[0002] 일반적으로, 액정표시장치는 액정층에 전압을 인가하여 광의 투과율을 제어함으로써 영상을 표시한다. 액정 표시 장치는 액정층의 특성에 따라 트위스티드 네마틱형 액정 표시 장치, 수평 전계형 액정 표시 장치, 또는 수직 배향형 액정 표시 장치 등으로 구분된다.

[0003] 수직 배향형 액정 표시 장치는 전기장이 인가되지 않은 상태에서 소정 방향으로 배향되고 액정 분자들의 장축이 상기 기판면에 수직하게 배열된다. 이에 따라, 시야각이 넓고 콘트라스트 비가 크다.

[0004] 액정 분자들을 전기장이 인가되지 않은 상태에서 소정 방향으로 배향시키기 위한 방법으로는 러빙 방법이나 광 배향 방법 등이 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 목적은 측면 시인성을 개선하고, 응답 속도를 향상시키기 위한 액정 표시 패널을 제공하는 것이다.

과제의 해결 수단

[0006] 본 발명의 일 측면에 따른 액정 표시 패널은 서로 다른 컬러를 표시하는 적어도 두 개 이상의 화소로 이루어진 화소부를 포함한다. 각 화소는 제1 전압을 충전하는 제1 서브 화소 및 제1 전압보다 낮은 계조의 제2 전압을 충전하는 제2 서브 화소로 이루어진다. 상기 액정 표시 패널은 상기 제1 서브 화소에 제공되는 제1 서브 화소전극 및 상기 제2 서브 화소에 제공되는 제2 서브 화소전극을 구비하는 제1 기판을 포함한다. 상기 액정 표시 패널은 상기 제1 기판 상에 구비되고, 각 서브 화소 내에서 제1 방향으로 광 배향된 제1 배향막, 상기 제1 기판에 대향하는 제2 기판, 상기 제2 기판 상에 구비되어 상기 제1 배향막과 마주하며, 상기 각 서브 화소 내에서 상기 제1 방향과 다른 제2 방향으로 광 배향되어 상기 각 서브 화소에 다수의 도메인을 정의하는 제2 배향막, 및 상기 제1 배향막과 상기 제2 배향막 사이에 개재된 액정층을 더 포함한다.

[0007] 상기 다수의 화소들 중 적어도 한 화소의 제1 서브 화소전극에는 상기 도메인들의 액정 배향 방향에 평행하게 형성된 다수의 슬릿이 제공된다.

[0008] 본 발명의 일 측면에 따른 액정 표시 패널은 서로 다른 컬러를 표시하는 적어도 두 개 이상의 화소로 이루어진 화소부를 포함한다. 각 화소는 제1 전압을 충전하는 제1 서브 화소 및 제1 전압보다 낮은 계조의 제2 전압을 충전하는 제2 서브 화소로 이루어진다. 상기 액정 표시 패널은, 상기 제1 서브 화소에 제공되는 제1 서브 화소전극 및 상기 제2 서브 화소에 제공되는 제2 서브 화소전극을 구비하는 제1 기판, 상기 제1 기판에 대향하는 제2 기판, 및 상기 제1 기판과 상기 제2 기판 사이에 개재된 액정층을 포함한다.

[0009] 상기 제1 및 제2 서브 화소 각각은 액정 배향 방향이 다른 적어도 두 개의 도메인을 포함하고, 적어도 한 화소의 제1 서브 화소전극에는 상기 도메인들 각각에 대응하여 다수의 슬릿이 제공된다. 상기 다수의 슬릿은 대응하는 도메인의 액정 배향 방향에 평행하게 형성된다.

발명의 효과

[0010] 상술한 바와 같은 액정 표시 패널에 따르면, 제1 및 제2 서브 화소 각각은 액정 배향 방향이 다른 적어도 두 개의 도메인을 포함하고, 블루 화소의 제1 서브 화소전극에는 도메인들 각각에 대응하여 다수의 슬릿이 제공된다. 다수의 슬릿은 대응하는 도메인의 액정 배향 방향에 평행하게 형성된다.

[0011] 따라서, 광배향 액정 표시 패널에서 블루 화소의 감마값과 레드 및 그린 화소의 감마값의 차이를 보완하고, 그

결과와 액정 표시 패널의 측면 시인성을 개선할 수 있고, 블루 화소의 응답 속도를 개선할 수 있다.

도면의 간단한 설명

[0012]

- 도 1은 본 발명의 일 실시예에 따른 액정표시패널의 화소부를 나타낸 평면도이다.
- 도 2는 도 1에 도시된 제1 및 제2 서브 화소의 등가 회로도이다.
- 도 3은 도 1에 도시된 절단선 I-I'에 따라 절단한 단면도이다.
- 도 4a는 제1 배향막의 배향 방향을 나타낸 평면도이다.
- 도 4b는 제2 배향막의 배향 방향을 나타낸 평면도이다.
- 도 4c는 제1 및 제2 서브 화소전극의 평면도이다.
- 도 5a는 제1 배향막의 배향 방향을 나타낸 평면도이다.
- 도 5b는 제2 배향막의 배향 방향을 나타낸 평면도이다.
- 도 5c는 제1 및 제2 서브 화소전극의 평면도이다.
- 도 6은 액정표시패널의 측면 감마 곡선을 나타낸 그래프이다.
- 도 7은 레드, 그린 및 블루 컬러를 각각 표시하는 제1 내지 제3 화소의 감마 커브를 나타낸 그래프이다.
- 도 8은 화이트 색좌표의 x 좌표값과 y 좌표값을 나타낸 그래프이다.
- 도 9는 제1 서브 화소전극에 대한 제2 서브 화소전극의 전압비에 따른 감마 곡선의 변화를 나타낸 그래프이다.
- 도 10은 제1 서브 화소전극에 대한 제2 서브 화소전극의 면적비에 따른 감마 곡선의 변화를 나타낸 그래프이다.
- 도 11은 본 발명의 다른 실시예에 따른 액정표시패널의 화소부를 나타낸 평면도이다.
- 도 12a는 본 발명의 일 실시예에 따른 제3 화소의 제1 서브 화소전극을 나타낸 평면도이다.
- 도 12b는 본 발명의 다른 실시예에 따른 제3 화소의 제1 서브 화소전극을 나타낸 평면도이다.
- 도 13은 제1 및 제3 화소의 액정 응답 특성을 나타낸 그래프이다.
- 도 14는 본 발명의 다른 실시예에 따른 액정표시장치에 구비된 화소의 등가 회로도이다.
- 도 15는 도 14에 도시된 화소를 구비하는 어레이 기판의 평면도이다.
- 도 16은 본 발명의 또 다른 실시예에 따른 액정표시장치에 구비된 화소의 등가 회로도이다.
- 도 17은 도 16에 도시된 화소를 구비하는 어레이 기판의 평면도이다.
- 도 18은 본 발명의 또 다른 실시예에 따른 액정표시패널에 구비된 화소의 등가 회로도이다.
- 도 19는 도 18에 도시된 화소가 구비된 어레이 기판의 평면도이다.

발명을 실시하기 위한 구체적인 내용

[0013]

본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

[0014]

각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다. 첨부된 도면에 있어서, 구조물들의 치수는 본 발명의 명확성을 위하여 실제보다 확대하여 도시한 것이다. 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

[0015]

본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계,

동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 경우, 이는 다른 부분 "바로 위에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 층, 막, 영역, 판 등의 부분이 다른 부분 "아래에" 있다고 할 경우, 이는 다른 부분 "바로 아래에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

- [0016] 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다.
- [0017] 도 1은 본 발명의 일 실시예에 따른 액정표시패널의 화소부를 나타낸 평면도이고, 도 2는 도 1에 도시된 제1 및 제2 서브 화소의 등가 회로도이다.
- [0018] 도 1을 참조하면, 본 발명의 일 실시예에 따른 액정표시패널(400)은 다수의 화소부를 포함하고, 각 화소부는 서로 다른 컬러를 표시하는 적어도 두 개 이상의 화소로 이루어진다. 본 발명의 일 실시예로 도 1에서는 각 화소부가 레드, 그린 및 블루 컬러(R, G, B)를 각각 표시하는 제1 화소(PX1), 제2 화소(PX2) 및 제3 화소(PX3)를 포함하는 구조를 개시한다. 도면에 도시하지는 않았지만, 상기 다수의 화소부는 매트릭스 형태로 배열될 수 있다.
- [0019] 상기 액정표시패널(400)에는 다수의 게이트 라인 및 다수의 데이터 라인이 구비된다. 도 1에서는 상기 제1 내지 제3 화소(PX1, PX2, PX3)에 연관된 게이트 라인들과 데이터 라인들만을 도시하였다. 구체적으로, 도 1에 도시된 바와 같이, 상기 액정표시패널(400)에는 서로 평행하게 배열된 제1 내지 제4 데이터 라인(DL1, DL2, DL3, DL4) 및 상기 제1 내지 제4 데이터 라인(DL1~DL4)과 절연되게 교차하는 제1 및 제2 게이트 라인(GL1, GL2)이 구비된다.
- [0020] 또한, 상기 액정표시패널(400)은 서로 평행한 제1 및 제2 스토리지 라인(SL1, SL2), 상기 제1 스토리지 라인(SL1)으로부터 분기된 제1 및 제2 분기 전극(LSL1, RSL2), 상기 제2 스토리지 라인(SL2)으로부터 분기된 제3 및 제4 분기 전극(LSL2, RSL2)을 더 포함한다.
- [0021] 상기 제1 내지 제3 화소(PX1, PX2, PX3) 각각은 제1 서브 화소 및 제2 서브 화소를 포함한다. 상기 제1 내지 제3 화소(PX1, PX2, PX3)는 유사한 구조를 가지므로, 여기서는 상기 제1 화소(PX1)를 설명하는 것으로서 상기 제2 및 제3 화소(PX2, PX3)의 설명을 대신한다.
- [0022] 또한, 도 2에서는 제1 화소(PX1)의 등가 회로를 도시하였으나, 상기 제2 및 제3 화소(PX2, PX3)도 이와 동일한 등가 회로를 갖는다.
- [0023] 도 1 및 도 2를 참조하면, 상기 제1 화소(PX1)는 제1 및 제2 서브 화소(SPX1, SPX2)를 포함한다. 상기 제1 서브 화소(SPX1)는 제1 박막 트랜지스터(Tr1) 및 제1 서브 화소전극(131a)으로 이루어지고, 상기 제2 서브 화소(SPX2)는 제2 박막 트랜지스터(Tr2), 제2 서브 화소전극(131b), 제3 박막 트랜지스터(Tr3) 및 커패시터(Ccp)로 이루어진다. 상기 제1 및 제2 서브 화소(SPX1, SPX2)는 서로 인접하는 상기 제1 및 제2 데이터 라인(DL1, DL2) 사이에 구비된다.
- [0024] 상기 제1 박막 트랜지스터(Tr1)는 상기 제1 데이터 라인(DL1) 및 상기 제1 게이트 라인(GL1)에 연결되고, 상기 제2 박막 트랜지스터(Tr2)는 상기 제1 데이터 라인(DL1) 및 상기 제1 게이트 라인(GL1)에 연결된다. 구체적으로, 상기 제1 박막 트랜지스터(Tr1)는 상기 제1 데이터 라인(DL1)에 연결된 제1 소스 전극(SE1), 상기 제1 게이트 라인(GL1)에 연결된 제1 게이트 전극(GE1), 및 상기 제1 서브 화소전극(131a)에 연결된 제1 드레인 전극(DE1)을 포함한다. 상기 제1 서브 화소전극(131a)은 액정층(미도시)을 사이에 두고 공통전극(미도시)과 마주하여 제1 액정 커패시터(Clc1)를 형성한다. 또한, 상기 제1 서브 화소전극(131a)은 상기 제1 스토리지 라인(SL1), 제1 및 제2 분기전극(LSL1, RSL1)과 오버랩되어 제1 스토리지 커패시터(Cst1)를 형성한다. 따라서, 상기 제1 스토리지 커패시터(Cst1)는 상기 제1 액정 커패시터(Clc1)에 병렬 연결될 수 있다.
- [0025] 상기 제2 박막 트랜지스터(Tr2)는 상기 제1 데이터 라인(DL1)에 연결된 제2 소스 전극(SE2), 상기 제1 게이트 라인(GL1)에 연결된 제2 게이트 전극(GE2) 및 제2 서브 화소전극(131b)에 연결된 제2 드레인 전극(DE2)을 포함한다. 상기 제2 서브 화소전극(131b)은 액정층을 사이에 두고 상기 공통전극과 마주하여 제2 액정 커패시터(Clc2)를 형성한다. 또한, 상기 제2 서브 화소전극(131b)은 상기 제2 스토리지 라인(SL2), 제3 및 제4 분기전극(LSL2, RSL2)과 오버랩되어 제2 스토리지 커패시터(Cst2)를 형성한다. 따라서, 상기 제2 스토리지 커패시터(Cst2)는 상기 제2 액정 커패시터(Clc2)에 병렬 연결될 수 있다.
- [0026] 상기 제1 게이트 라인(GL1)에 제1 게이트 신호가 인가되면, 상기 제1 및 제2 박막 트랜지스터(Tr1, Tr2)가 동시에 턴-온된다. 상기 제1 데이터 라인(DL1)으로 인가된 데이터 전압은 턴-온된 상기 제1 및 제2 박막 트랜지스터

(Tr1, Tr2)를 통해 상기 제1 및 제2 서브 화소전극(131a, 131b)으로 각각 인가된다. 따라서, 상기 제1 게이트 신호의 하이 구간동안 상기 제1 및 제2 액정 커패시터(C1c1, C1c2)에는 동일한 크기의 화소 전압이 충전된다.

[0027] 한편, 상기 제3 박막 트랜지스터(Tr3)는 상기 제2 박막 트랜지스터(Tr2)의 제2 드레인 전극(DE2)에 연결된 제3 소스 전극(SE3), 상기 제2 게이트 라인(GL2)에 연결된 제3 게이트 전극(GE3) 및 상기 커플링 커패시터(Ccp)에 연결된 제3 드레인 전극(DE3)을 포함한다. 본 발명의 일 실시예로, 상기 커플링 커패시터(Ccp)는 상기 제3 드레인 전극으로부터 연장된 제1 전극(CE1) 및 상기 제2 분기 전극(RSL1)으로부터 연장되어 절연층(미도시)을 사이에 두고 상기 제1 전극(CE1)과 마주하는 제2 전극(CE2)으로 이루어질 수 있다. 그러나, 상기 커플링 커패시터(Ccp)의 구조는 여기에 한정되지는 않는다.

[0028] 상기 제2 게이트 라인(GL2)은 상기 제1 게이트 신호가 폴링된 이후에 라이징되는 제2 게이트 신호를 수신한다. 상기 제2 게이트 신호에 응답하여 상기 제3 박막 트랜지스터(Tr3)가 턴-온되면, 상기 제2 액정 커패시터(C1c2)와 상기 커플링 커패시터(Ccp) 사이에서 전압 분배가 일어나고, 그 결과 상기 제2 액정 커패시터(C1c2)에 충전된 화소 전압이 다운된다. 상기 화소 전압이 다운되는 크기는 상기 커플링 커패시터(Ccp)의 충전율에 따라서 변화될 수 있다.

[0029] 결국, 상기 제2 게이트 신호가 발생된 이후에, 상기 제1 액정 커패시터(C1c1)에는 제1 화소 전압이 충전되고, 상기 제2 액정 커패시터(C1c2)에는 상기 제1 화소 전압보다 낮은 크기의 제2 화소 전압이 충전될 수 있다.

[0030] 도 1에 도시된 바와 같이, 상기 제2 화소(PX2)는 상기 제1 화소(PX1)와 마찬가지로 제1 서브 화소전극(132a) 및 제2 서브 화소전극(132b)을 포함하고, 또한, 상기 제3 화소(PX3)도 제1 서브 화소전극(133a) 및 제2 서브 화소전극(133b)을 포함한다.

[0031] 여기서, 상기 제3 화소(PX3)의 제1 화소 전압에 대한 제2 화소 전압의 전압비는 상기 제1 및 제2 화소(PX1, PX2)의 상기 제1 화소 전압에 대한 상기 제2 화소 전압의 전압비와 동일하게 설정할 수 있다.

[0032] 또한, 상기 제3 화소(PX3)의 제1 서브 화소전극(133a)에 대한 제2 서브 화소전극(133b)의 면적비는 상기 제1 및 제2 화소(PX1, PX2)의 상기 제1 서브 화소전극(131a, 132a)에 대한 제2 서브 화소전극(131b, 132b) 면적비와 동일하게 설정할 수 있다.

[0033] 상기 제1 서브 화소전극들(131a, 132a, 133a) 각각은 서로 다른 액정 배향 방향을 갖는 상기 제1 내지 제4 도메인(DM1~DM4)으로 구분된다. 본 발명의 일 예로, 상기 제1 내지 제4 도메인(DM1~DM4)의 액정 배향 방향은 반시계 방향으로 순환한다. 또한, 상기 제2 서브 화소전극들(131b, 132b, 133b) 각각은 서로 다른 액정 배향 방향을 갖는 상기 제1 내지 제4 도메인(DM1~DM4)으로 구분된다. 본 발명의 일 예로, 상기 제1 내지 제4 도메인(DM1~DM4)의 액정 배향 방향은 반시계 방향으로 순환한다.

[0034] 상기 제1 내지 제4 도메인(DM1~DM4)의 액정 배향 방향에 대해서는 이후 도 4a 내지 5c를 참조하여 구체적으로 설명하기로 한다.

[0035] 한편, 상기 화소부를 구성하는 제1 내지 제3 화소들(PX1, PX2, PX3) 중 적어도 한 화소의 제1 서브 화소전극에는 다수의 슬릿(134a, 134b, 134c, 134d)이 형성된다. 본 발명의 일 예로, 상기 다수의 슬릿(134a, 134b, 134c, 134d)은 상기 제1 내지 제3 화소들(PX1, PX2, PX3) 중 블루 컬러를 표시하는 상기 제3 화소(PX3)에 구비된 상기 제1 서브 화소전극(133a)에 제공될 수 있다. 상기 다수의 슬릿(134a, 134b, 134c, 134d)은 상기 제1 내지 제4 도메인(DM1~DM4)에 대응하여 구비된 다수의 제1 내지 제4 슬릿(134a, 134b, 134c, 134d)으로 이루어지고, 상기 제1 내지 제4 슬릿들(134a, 134b, 134c, 134d) 각각은 대응하는 도메인의 액정 배향 방향에 평행하게 형성된다.

[0036] 상기 제1 내지 제4 도메인(DM1~DM4)의 액정 배향 방향은 반시계 방향으로 순환하는 경우, 상기 제1 서브 화소전극(133a)에는 제1 내지 제4 프린지 필드 영역(FF1, FF2, FF3, FF4)이 형성된다.

[0037] 상기 제1 프린지 필드 영역(FF1)은 상기 제1 도메인(DM1)의 가장자리를 따라 'L'자 형상으로 이루어지고, 상기 제2 프린지 필드 영역(FF2)은 상기 제2 도메인(DM2)의 가장자리를 따라 형성되고, 반시계 방향으로 90° 회전된 'L'자 형상을 갖는다. 상기 제3 프린지 필드 영역(FF3)은 제3 도메인(DM3)의 가장자리를 따라 형성되고, 시계 방향으로 90° 회전된 'L'자 형상을 갖는다. 상기 제4 프린지 필드 영역(FF4)은 제4 도메인(DM4)의 가장자리를 따라 형성되고, 반시계 방향으로 180° 회전된 'L'자 형상을 갖는다. 여기서, 상기 제1 내지 제4 프린지 필드 영역(FF1, FF2, FF3, FF4)은 액정 방향자들이 서로 충돌하여 액정 분자들이 오배향되는 영역으로 정의될 수 있다.

- [0038] 상기 제1 슬릿들(134a)은 상기 제1 프린지 필드 영역(FF1)에 제공된다. 구체적으로, 상기 제1 슬릿들(134a)은 상기 제1 프린지 필드 영역(FF1)에 위치하는 변으로부터 상기 제1 도메인(DM1)의 내측으로 절개되어 형성되고, 상기 제1 도메인(DM1)의 액정 배향 방향과 평행하게 배열된다. 상기 제2 슬릿들(134b)은 상기 제2 프린지 필드 영역(FF2)에 제공된다. 구체적으로, 상기 제2 슬릿들(134b)은 상기 제2 프린지 필드 영역(FF2)에 위치하는 변으로부터 상기 제2 도메인(DM2)의 내측으로 절개되어 형성되고, 상기 제2 도메인(DM2)의 액정 배향 방향과 평행하게 배열된다.
- [0039] 상기 제3 슬릿들(134c)은 상기 제3 프린지 필드 영역(FF3)에 제공된다. 구체적으로, 상기 제3 슬릿들(134c)은 상기 제3 프린지 필드 영역(FF3)에 위치하는 변으로부터 상기 제3 도메인(DM3)의 내측으로 절개되어 형성되고, 상기 제3 도메인(DM3)의 액정 배향 방향과 평행하게 배열된다. 상기 제4 슬릿들(134d)은 상기 제4 프린지 필드 영역(FF4)에 제공된다. 구체적으로, 상기 제4 슬릿들(134d)은 상기 제4 프린지 필드 영역(FF4)에 위치하는 변으로부터 상기 제4 도메인(DM4)의 내측으로 절개되어 형성되고, 상기 제4 도메인(DM4)의 액정 배향 방향과 평행하게 배열된다.
- [0040] 본 발명의 일 예로, 상기 제1 내지 제4 슬릿들(134a~134d) 각각은 상기 제1 서브 화소전극(133a)의 폭의 1/10 이하에 해당하는 길이로 형성될 수 있다. 또한, 상기 제1 내지 제4 슬릿들(134a~134d)이 형성된 영역의 전체 면적은 상기 제1 서브 화소전극(133a)의 전체 면적의 10% 내지 90%에 해당하는 값을 가질 수 있다.
- [0041] 도 3은 도 1에 도시된 절단선 I-I'에 따라 절단한 단면도이다.
- [0042] 도 3을 참조하면, 액정 표시 패널(400)은 어레이 기판(100), 상기 어레이 기판(100)과 마주하여 결합하는 대향 기판(200) 및 상기 어레이 기판(100)과 상기 대향 기판(200) 사이에 개재된 액정층(300)을 포함한다.
- [0043] 상기 어레이 기판(100)은 투명한 절연성 기판으로 이루어진 제1 베이스 기판(110)을 포함한다. 상기 제1 베이스 기판(110) 상에는 상기 제1 및 제2 게이트 라인(GL1, GL2), 상기 제1 및 제2 스토리지 라인(SL1, SL2), 제1 내지 제4 분기 전극(1SL1, 1SL2, 2SL1, 2SL2)으로 이루어진 게이트 배선부가 구비된다.
- [0044] 상기 어레이 기판(100)은 상기 게이트 배선부를 커버하는 게이트 절연막(121)을 포함하고, 상기 게이트 절연막(121) 상에는 제1 내지 제4 데이터 라인(DL1~DL4)으로 이루어진 데이터 배선부가 구비된다. 상기 데이터 배선부는 보호막(122)에 의해서 커버되고, 상기 보호막(122) 위로는 유기 절연막(123)이 구비된다.
- [0045] 상기 유기 절연막(123) 상에는 상기 제1 서브 화소전극들(131a, 132a, 133a) 및 상기 제2 서브 화소전극들(131b, 132b, 133b)이 구비된다.
- [0046] 상기 어레이 기판(100)은 상기 제1 서브 화소전극들(131a, 132a, 133a) 및 상기 제2 서브 화소전극들(131b, 132b, 133b)을 커버하는 제1 배향막(140)을 더 포함한다. 상기 제1 배향막(140)은 광(예를 들어, 자외선(UV) 또는 레이저)의 조사에 의해 분해(decomposition), 이합체화 반응(dimerization), 이성질체화반응(isomerization) 중 하나의 반응이 이루어지는 고분자 물질을 포함할 수 있다. 또한, 상기 제1 배향막(140)은 올리고머 신나메이트와 고분자계 신나메이트의 블랜드(blend)로 이루어질 수 있다.
- [0047] 한편, 상기 대향 기판(200)은 상기 제1 베이스 기판(110)과 마주하는 제2 베이스 기판(210)을 포함한다. 상기 제2 베이스 기판(210) 상에는 레드, 그린 및 블루 색화소(R,G,B)를 포함하는 컬러필터층(220)을 포함한다. 상기 레드, 그린 및 블루 색화소(R, G, B)는 상기 제1, 제2 및 제3 화소(PX1, PX2, PX3, 도 1에 도시됨)에 각각 대응하여 구비된다.
- [0048] 상기 컬러필터층(220) 상에는 공통 전극(230)이 구비된다. 상기 공통 전극(230)은 상기 제1 서브 화소전극들(131a, 132a, 133a)과 마주하여 상기 제1 액정 커패시터(C1c1)를 형성한다. 도면에 도시하지는 않았지만, 상기 공통 전극(230)은 상기 제2 서브 화소전극(131b, 132b, 133b)과 마주하여 상기 제2 액정 커패시터(C1c2)를 형성한다.
- [0049] 상기 대향 기판(200)은 상기 공통 전극(230)을 커버하는 제2 배향막(240)을 더 포함한다. 상기 제2 배향막(240)은 광(예를 들어, 자외선(UV) 또는 레이저)의 조사에 의해 분해(decomposition), 이합체화 반응(dimerization), 이성질체화반응(isomerization) 중 하나의 반응이 이루어지는 고분자 물질을 포함할 수 있다. 또한, 상기 제2 배향막(240)은 올리고머 신나메이트와 고분자계 신나메이트의 블랜드(blend)로 이루어질 수 있다.
- [0050] 도 4a는 제1 배향막의 배향 방향을 나타낸 평면도이고, 도 4b는 제2 배향막의 배향 방향을 나타낸 평면도이며,

도 4c는 제1 및 제2 서브 화소전극의 평면도이다.

- [0051] 도 4a를 참고하면, 제3 화소(PX3)에 대응하여 제1 배향막(140)은 제1 서브 화소 영역(SPA1) 및 제2 서브 화소 영역(SPA2)으로 구분된다. 또한, 상기 제1 및 제2 서브 화소 영역(SPA1, SPA2) 각각은 제1 방향(D1)과 수직한 방향으로 이분할된 제1 영역(A1)과 제2 영역(A2)을 포함한다. 상기 제1 영역(A1)은 상기 제1 방향(D1)으로 광배향되고, 상기 제2 영역(A2)은 상기 제1 방향(D1)과 반대하는 제2 방향(D2)으로 광배향된다.
- [0052] 상기 제1 배향막(140)에 편광 방향이 다른 자외선을 조사하거나, 상기 제1 배향막(140)의 표면에 대하여 광을 기울어지게 조사함으로써, 상기 제1 배향막(140)의 배향 향을 결정할 수 있다.
- [0053] 이하에서는 광을 기울어지게 조사하는 방법에 대하여 설명하기로 한다.
- [0054] 상기 제1 배향막(140) 상부에는 개구부가 형성된 마스크가 배치된다. 상기 개구부가 상기 제1 영역(A1)에 대하여 배치되면, 상기 광을 비스듬한 각도로 조사하여 상기 제1 배향막(140)의 상기 제1 영역(A1)을 1차 노광한다. 특히, 상기 1차 노광시 상기 광을 출사하는 노광 장치(미도시)는 상기 제1 방향(D1)으로 이동하면서 상기 제1 영역(A1)에 상기 광을 조사할 수 있다.
- [0055] 상기 제1 배향막(140) 표면에 비스듬하게 상기 광을 조사하는 방법은 상기 제1 베이스 기판(110)을 기울이거나 상기 노광 장치를 기울임으로써 가능하다.
- [0056] 이어서, 상기 개구부가 상기 제2 영역(A2)에 대응하도록 상기 마스크를 쉬프트시킨 후, 상기 제1 배향막(140)의 상기 제2 영역(A2)에 상기 광을 비스듬하게 기울여 조사함으로써 2차 노광을 수행한다. 특히, 상기 2차 노광시 상기 노광 장치는 상기 제1 방향(D1)과 반대하는 제2 방향(D2)으로 이동하며 상기 제2 영역(A2)에 상기 광을 조사한다. 노광 공정이 완료되면, 상기 제1 배향막(140)의 상기 제1 영역(A1)에는 상기 제1 방향(D1)으로 기울어진 선경사각(Pretilt angle)이 형성되고, 상기 제2 영역(A2)에는 상기 제2 방향(D2)으로 이루어진 선경사각이 형성된다. 예를 들어, 상기 선경사각은 85° 내지 89° 일 수 있다. 따라서, 상기 제1 배향막(140)은 무전계 상태에서 상기 선경사각 만큼 상기 액정층(300)의 액정분자들을 기울어지게 수직 배향시킬 수 있다. 여기서, 상기 선경사각의 크기는 상기 광의 조사량에 따라서 달라질 수 있다. 즉, 조사량이 증가할수록 선경사각의 크기는 증가하며, 조사량이 감소할수록 선경사각의 크기는 감소한다.
- [0057] 본 실시예에서는, 정교하게 액정의 배향 방향을 제어할 수 있는 광 배향 방식을 예로 들어 상기 제1 배향막(140)을 배향하는 경우를 설명하였지만, 이에 한정되는 것은 아니며 러빙 방식 또는 반응성 메조젠(Reactive Mesogens) 방식과 같은 다양한 방식을 적용하여 배향할 수 있음은 물론이다.
- [0058] 도 4b를 참조하면, 상기 제3 화소(PX3)에 대응하여 제2 배향막(240) 역시 상기 제1 및 제2 서브 화소 영역(SPA1, SPA2)으로 구분된다. 또한, 상기 제1 및 제2 서브 화소 영역(SPA1, SPA2) 각각은 제1 방향(D1)으로 이분할된 제3 영역(A3)과 제4 영역(A4)을 포함한다. 상기 제3 영역(A3)은 상기 제1 방향(D1)과 수직한 제3 방향(D3)으로 광배향되고, 상기 제4 영역(A4)은 상기 제3 방향(D3)과 반대하는 제4 방향(D4)으로 광배향된다.
- [0059] 상기 제2 배향막(240)은 상기 제1 배향막(140)과 유사한 방법으로 배향되므로, 상기 제2 배향막(240)의 배향 방법에 대한 구체적인 설명은 생략한다.
- [0060] 상기 어레이 기판(100)과 상기 대향 기판(200)이 서로 마주하여 결합하면, 도 4c에 도시된 바와 같이, 상기 제1 서브 화소 영역(SPA1)에는 제1 내지 제4 도메인(DM1~DM4)이 형성된다. 구체적으로, 상기 제1 및 제3 영역(A1, A3)이 중첩하여 상기 제1 도메인(DM1)이 형성되고, 상기 제1 및 제4 영역(A1, A4)이 중첩하여 상기 제2 도메인(DM2)이 형성되며, 상기 제2 및 제3 영역(A2, A3)이 중첩하여 상기 제3 도메인(DM3)이 형성되고, 상기 제2 및 제4 영역(A2, A4)이 중첩하여 상기 제4 도메인(DM4)이 형성된다.
- [0061] 이와 마찬가지로, 상기 제2 서브 화소 영역(SPA2)에도 상기 제1 내지 제4 도메인(DM1~DM4)이 형성된다.
- [0062] 상기 제1 내지 제4 도메인(DM1~DM4)에서 액정층(300)에 포함된 액정 분자들은 서로 다른 방향으로 배열된다. 구체적으로, 상기 액정 분자들은 상기 제1 도메인(DM1)에서 상기 제2 및 제3 방향(D1, D3)의 벡터 합으로 정의된 제5 방향(D5)으로 배열되고, 상기 제2 도메인(DM2)에서 상기 제2 및 제4 방향(D2, D4)의 벡터 합으로 정의된 제6 방향(D6)으로 배열되며, 상기 제3 도메인(DM3)에서 상기 제1 및 제3 방향(D1, D3)의 벡터 합으로 정의된 제7 방향(D7)으로 배열되고, 상기 제4 도메인(DM4)에서 상기 제1 및 제4 방향(D1, D4)의 벡터 합으로 정의된 제8 방향(D8)으로 배열된다.
- [0063] 따라서, 상기 제1 내지 제4 도메인(DM1~DM4)에서 상기 액정층(300)의 배향 방향은 반시계 방향으로 순환한다.

이처럼, 상기 각 서브 화소 영역(SPA1, SPA2)에 서로 다른 배향 방향을 갖는 다수의 도메인(DM1~DM4)이 형성됨으로써, 액정표시패널(400)은 넓은 시야각을 확보할 수 있다.

- [0064] 한편, 상기 제1 내지 제4 슬릿들(134a, 134b, 134c, 134d)은 상기 제1 내지 제4 도메인(DM1~DM4)에 각각 대응하여 형성된다. 특히, 상기 제1 도메인(DM1)에서 상기 제1 슬릿들(134a)은 상기 제5 방향(D5)과 평행하게 배열되고, 상기 제2 도메인(DM2)에서 상기 제2 슬릿들(134b)은 상기 제6 방향(D6)과 평행하게 배열된다. 상기 제3 도메인(DM3)에서 상기 제3 슬릿들(134c)은 상기 제7 방향(D7)과 평행하게 배열되며, 상기 제4 도메인(DM4)에서 상기 제4 슬릿들(134d)은 상기 제8 방향(D8)과 평행하게 배열될 수 있다.
- [0065] 도 5a는 제1 배향막의 배향 방향을 나타낸 평면도이고, 도 5b는 제2 배향막의 배향 방향을 나타낸 평면도이며, 도 5c는 제1 및 제2 서브 화소전극의 평면도이다.
- [0066] 도 5a를 참고하면, 제3 화소(PX3)에 대응하여 제1 배향막(140)은 제1 서브 화소 영역(SPA1) 및 제2 서브 화소 영역(SPA2)으로 구분된다. 또한, 상기 제1 및 제2 서브 화소 영역(SPA1, SPA2) 각각은 제1 방향(D1)과 수직한 방향으로 이분할된 제1 영역(A1)과 제2 영역(A2)을 포함한다. 상기 제1 영역(A1)은 상기 제1 방향(D1)으로 광배향되고, 상기 제2 영역(A2)은 상기 제1 방향(D1)과 반대하는 제2 방향(D2)으로 광배향된다.
- [0067] 상기 광을 비스듬한 각도로 조사하여 상기 제1 배향막(140)의 상기 제1 영역(A1)을 1차 노광한다. 이어서, 상기 제1 배향막(140)의 상기 제2 영역(A2)에 상기 광을 비스듬하게 기울여 조사함으로써 2차 노광을 수행한다. 노광공정이 완료되면, 상기 제1 배향막(140)의 상기 제1 영역(A1)에는 상기 제1 방향(D1)으로 기울어진 선경사각(Pretilt angle)이 형성되고, 상기 제2 영역(A2)에는 상기 제2 방향(D2)으로 이루어진 선경사각이 형성된다. 따라서, 상기 제1 배향막(140)은 무전계 상태에서 상기 선경사각 만큼 상기 액정층(300)의 액정분자들을 기울어지게 수직 배향시킬 수 있다.
- [0068] 도 5b를 참조하면, 상기 제3 화소(PX3)에 대응하여 제2 배향막(140) 역시 상기 제1 및 제2 서브 화소 영역(SPA1, SPA2)으로 구분된다. 또한, 상기 제1 및 제2 서브 화소 영역(SPA1, SPA2) 각각은 제1 방향(D1)으로 이분할된 제3 영역(A3)과 제4 영역(A4)을 포함한다. 상기 제3 영역(A3)은 상기 제1 방향(D1)과 수직한 제3 방향(D3)으로 광배향되고, 상기 제4 영역(A4)은 상기 제3 방향(D3)과 반대하는 제4 방향(D4)으로 광배향된다.
- [0069] 상기 어레이 기관(100)과 상기 대향 기관(200)이 서로 마주하여 결합하면, 도 5c에 도시된 바와 같이, 상기 제1 서브 화소 영역(SPA1)에는 제1 내지 제4 도메인(DM1~DM4)이 형성된다. 구체적으로, 상기 제1 및 제3 영역(A1, A3)이 중첩하여 상기 제1 도메인(DM1)이 형성되고, 상기 제1 및 제4 영역(A1, A4)이 중첩하여 상기 제2 도메인(DM2)이 형성되며, 상기 제2 및 제3 영역(A2, A3)이 중첩하여 상기 제3 도메인(DM3)이 형성되고, 상기 제2 및 제4 영역(A2, A4)이 중첩하여 상기 제4 도메인(DM4)이 형성된다.
- [0070] 이와 마찬가지로, 상기 제2 서브 화소 영역(SPA2)에도 상기 제1 내지 제4 도메인(DM1~DM4)이 형성된다.
- [0071] 상기 제1 내지 제4 도메인(DM1~DM4)에서 액정층에 포함된 액정 분자들은 서로 다른 방향으로 배열된다. 구체적으로, 상기 액정 분자들은 상기 제1 도메인(DM1)에서 상기 제2 및 제3 방향(D1, D3)의 벡터 합으로 정의된 제5 방향(D5)으로 배열되고, 상기 제2 도메인(DM2)에서 상기 제2 및 제4 방향(D2, D4)의 벡터 합으로 정의된 제6 방향(D6)으로 배열되며, 상기 제3 도메인(DM3)에서 상기 제1 및 제3 방향(D1, D3)의 벡터 합으로 정의된 제7 방향(D7)으로 배열되고, 상기 제4 도메인(DM4)에서 상기 제1 및 제4 방향(D1, D4)의 벡터 합으로 정의된 제8 방향(D8)으로 배열된다.
- [0072] 따라서, 상기 제2 및 제3 도메인(DM2, DM3)에서 상기 액정층의 배향 방향은 서로 마주하고, 상기 제1 및 제4 도메인(DM1, DM4)에서 상기 액정층의 배향 방향은 서로 반대한다. 이처럼, 상기 제1 및 제2 서브 화소 영역(SPA1, SPA2) 각각에 서로 다른 배향 방향을 갖는 다수의 도메인(DM1~DM4)이 형성됨으로써, 액정표시패널(400)은 넓은 시야각을 확보할 수 있다.
- [0073] 한편, 상기 제1 내지 제4 슬릿들(134a, 134b, 134c, 134d)은 상기 제1 내지 제4 도메인(DM1~DM4)에 각각 대응하여 형성된다. 특히, 상기 제1 도메인(DM1)에서 상기 제1 슬릿들(134a)은 상기 제5 방향(D5)과 평행하게 배열되고, 상기 제2 도메인(DM2)에서 상기 제2 슬릿들(134b)은 상기 제6 방향(D6)과 평행하게 배열된다. 상기 제3 도메인(DM3)에서 상기 제3 슬릿들(134c)은 상기 제7 방향(D7)과 평행하게 배열되며, 상기 제4 도메인(DM4)에서 상기 제4 슬릿들(134d)은 상기 제8 방향(D8)과 평행하게 배열될 수 있다.
- [0074] 도 6은 액정표시패널의 측면 감마 곡선을 나타낸 그래프이다. 단, 도 6에서 제1 그래프(G1)는 제1 서브 화소전극(133a)에 다수의 슬릿(134a, 134b, 134c, 134d)이 형성되는 얇은 비교예의 측면 감마 곡선을 나타내고, 제2

그래프(G2)는 제1 서브 화소전극(133a)에 다수의 슬릿(134a, 134b, 134c, 134d)이 형성된 실시예에 따른 측면 감마 곡선을 나타낸다.

- [0075] 도 6을 참조하면, 제1 서브 화소전극(133a)에 다수의 슬릿(134a, 134b, 134c, 134d)이 형성되지 않은 경우보다 상기 제1 서브 화소전극(133a)에 상기 다수의 슬릿(134a, 134b, 134c, 134d)이 형성된 경우에 감마 곡선이 좌측으로 쉬프트되는 것을 확인할 수 있다.
- [0076] 결국, 상기 제1 서브 화소전극(133a)에 상기 다수의 슬릿(134a, 134b, 134c, 134d)이 형성되면, 특정 입력 계조 이상부터 동일 입력 계조에 대한 출력 계조가 상기 다수의 슬릿(134a, 134b, 134c, 134d)이 형성되지 않은 경우에 비하여 높게 나타난다.
- [0077] 도 7은 레드, 그린 및 블루 컬러를 각각 표시하는 제1 내지 제3 화소의 측면 감마 곡선을 나타낸 그래프이다. 도 7에서, 제3 그래프(G3)는 제1 화소(PX1)의 측면 감마 곡선을 나타내고, 제4 그래프(G4)는 제2 화소(PX2)의 측면 감마 곡선을 나타내며, 제5 그래프(G5)는 제3 화소(PX3)의 측면 감마 곡선을 나타낸다.
- [0078] 도 7을 참조하면, 특정 입력 계조 이상이 되면, 동일 입력 계조에서 제1 및 제2 화소(PX1, PX2)의 출력 계조보다 제3 화소(PX3)의 출력 계조가 현저하게 낮게 나타났다. 결국, 특정 계조 영역에서 블루 감마값이 레드 및 그린 감마값과 다르게 나타나면, 화이트 색좌표(W_x , W_y)가 황색 파장 대역 측으로 이동하게 되고, 그 결과 측면 시인성이 저하된다.
- [0079] 그러나, 도 1에 도시된 바와 같이, 상기 제3 화소(PX3)의 제1 서브 화소전극(133a)에 다수의 슬릿(134a, 134b, 134c, 134d)이 형성되면, 블루 감마 곡선이 좌측으로 이동하게 된다. 결과적으로, 상기 제3 화소(PX3)의 제1 서브 화소전극(133a)에 다수의 슬릿(134a, 134b, 134c, 134d)이 형성되면, 화이트 색좌표(W_x , W_y)가 황색 파장 대역으로 이동하는 것을 방지할 수 있다.
- [0080] 도 8은 화이트 색좌표의 x 좌표값과 y 좌표값을 나타낸 그래프이다. 도 8에서 제6 및 제7 그래프(G6, G7)는 제1 서브 화소전극(133a)에 다수의 슬릿(134a, 134b, 134c, 134d)이 형성되지 않은 비교예에 따른 x 좌표값(W_x)과 y 좌표값(W_y)을 각각 나타내고, 제8 및 제9 그래프(G8, G9)는 다수의 슬릿(134a, 134b, 134c, 134d)이 형성된 실시예에 따른 x 좌표값(W_x)과 y 좌표값(W_y)을 각각 나타낸다.
- [0081] 도 8을 참조하면, 제1 서브 화소전극(133a)에 다수의 슬릿(134a, 134b, 134c, 134d)이 형성되지 않은 경우, 화이트 색좌표(W_x , W_y)가 특정 계조 영역에서 상승하는 것으로 나타났다.
- [0082] 그러나, 제1 서브 화소전극(133a)에 다수의 슬릿(134a, 134b, 134c, 134d)이 형성되면, 화이트 색좌표(W_x , W_y)가 전계조 영역에서 거의 일정한 값으로 나타났다. 즉, 제1 서브 화소전극(133a)에 다수의 슬릿(134a, 134b, 134c, 134d)이 형성되면, 특정 계조 영역에서 화이트 색좌표(W_x , W_y)가 황색 파장 대역 측으로 이동하는 것을 방지할 수 있다.
- [0083] 도 9는 제1 서브 화소전극에 대한 제2 서브 화소전극의 전압비에 따른 측면 감마 곡선의 변화를 나타낸 그래프이다. 도 9에서, 제10 그래프(G10)는 제1 서브 화소에 충전된 제1 화소 전압에 대한 제2 서브 화소에 충전된 제2 화소 전압의 전압비가 0.75이고, 제11 그래프(G11)는 제1 화소 전압에 대한 제2 화소 전압의 전압비가 0.8이며, 제12 그래프(G12)는 제1 화소 전압에 대한 제2 화소 전압의 전압비가 0.85인 경우를 도시하였다.
- [0084] 도 9를 참조하면, 제1 화소 전압에 대한 제2 화소 전압의 전압비가 클수록 상기 측면 감마 곡선이 좌측으로 이동하는 것으로 나타났다. 결국, 제1 화소 전압과 상기 제2 화소 전압의 전압차가 클수록 블루 화소(즉, 제3 화소(PX3))의 측면 감마 곡선이 좌측으로 이동한다.
- [0085] 도 7에 도시된 바와 같이, 동일 입력 계조에서 블루 감마값이 레드 및 그린 감마값과 다르게 나타나는 것을 보완하기 위하여, 상기 제3 화소(PX3)의 제1 화소 전압에 대한 제2 화소 전압의 전압비를 상기 제1 및 제2 화소(PX1, PX2)의 상기 제1 화소 전압에 대한 상기 제2 화소 전압의 전압비와 다르게 설정할 수 있다.
- [0086] 구체적으로, 상기 제3 화소(PX3)의 상기 제1 화소 전압에 대한 상기 제2 화소 전압의 전압비는 상기 제2 화소(PX2)의 상기 제1 화소 전압에 대한 상기 제2 화소 전압의 전압비보다 크다. 또한, 상기 제1 화소(PX1)의 상기 제1 화소 전압에 대한 상기 제2 화소 전압의 전압비는 상기 제2 화소(PX2)의 상기 제1 화소 전압에 대한 상기 제2 화소 전압의 전압비와 같거나 작다.
- [0087] 본 발명의 일 예로, 상기 제1 화소(PX1)의 상기 제1 화소 전압에 대한 상기 제2 화소 전압의 전압비는 0.59 내지 0.845로 설정되고, 상기 제2 화소(PX2)의 상기 제1 화소 전압에 대한 상기 제2 화소 전압의 전압비는 0.6 내

지 0.85로 설정된다. 이 경우, 상기 제3 화소(PX3)의 상기 제1 화소 전압에 대한 상기 제2 화소 전압의 전압비는 0.61 내지 0.9로 설정된다.

[0088] 이처럼, 상기 제3 화소(PX3)의 상기 제1 화소 전압에 대한 상기 제2 화소 전압의 전압비를 상기 제1 및 제2 화소(PX1, PX2)의 상기 제1 화소 전압에 대한 상기 제2 화소 전압의 전압비보다 크게함으로써, 블루 감마값과 레드 및 그린 감마값을 차이를 감소시킬 수 있다.

[0089] 도 10은 제1 서브 화소전극에 대한 제2 서브 화소전극의 면적비에 따른 감마 곡선의 변화를 나타낸 그래프이다. 도 10에서, 제13 그래프(G13)는 제1 서브 화소전극에 대한 제2 서브 화소전극의 면적비가 1:1.6이고, 제14 그래프(G14)는 제1 서브 화소전극에 대한 제2 서브 화소전극의 면적비가 1:2이며, 제15 그래프(G15)는 제1 서브 화소전극에 대한 제2 서브 화소전극의 전압비가 1:2.4인 경우를 도시하였다.

[0090] 도 10을 참조하면, 제1 서브 화소전극(133a)에 대한 제2 서브 화소전극(133b)의 면적비가 클수록 상기 감마 곡선이 좌측으로 이동하는 것으로 나타났다. 결국, 상기 제1 서브 화소전극(133a)의 면적 대비 상기 제2 서브 화소전극(133b)의 면적이 클수록 블루 감마 곡선이 좌측으로 이동한다.

[0091] 도 7에 도시된 바와 같이, 동일 입력 계조에서 블루 감마값이 레드 및 그린 감마값과 다르게 나타나는 것을 보완하기 위하여, 상기 제3 화소(PX3)의 제1 서브 화소전극(133a)에 대한 제2 서브 화소전극(133b)의 면적비를 상기 제1 및 제2 화소(PX1, PX2)의 상기 제1 서브 화소전극(131a, 132a)에 대한 제2 서브 화소전극(131b, 132b) 면적비와 다르게 설정할 수 있다.

[0092] 구체적으로, 상기 제3 화소(PX3)의 상기 제1 서브 화소전극(133a)에 대한 상기 제2 서브 화소전극(133b)의 면적비는 상기 제2 화소(PX2)의 상기 제1 서브 화소전극(132a)에 대한 상기 제2 서브 화소전극(132b)의 면적비보다 크다. 본 발명의 일 예로, 상기 제3 화소(PX3)의 상기 제1 서브 화소전극(133a)에 대한 상기 제2 서브 화소전극(133b)의 면적비는 1:1.1 내지 1:3.5이고, 상기 제2 화소(PX2)의 상기 제1 서브 화소전극(132a)에 대한 상기 제2 서브 화소전극(132b)의 면적비는 1:1 내지 1:2.5이다. 여기서, 상기 제2 화소(PX2)의 상기 제1 서브 화소전극(132a)에 대한 상기 제2 서브 화소전극(132b)의 면적비는 상기 제1 화소(PX1)의 상기 제1 서브 화소전극(131a)에 대한 상기 제2 서브 화소전극(131b)의 면적비와 동일하다.

[0093] 이처럼, 상기 제3 화소(PX3)의 상기 제1 서브 화소전극(133a)에 대한 상기 제2 서브 화소전극(133b)의 면적비를 상기 제1 및 제2 화소의 상기 제1 서브 화소전극(131a, 132a)에 대한 상기 제2 서브 화소전극(131b, 132b)의 면적비보다 크게함으로써, 블루 감마값과 레드 및 그린 감마값을 차이를 감소시킬 수 있다.

[0094] 도 11은 본 발명의 다른 실시예에 따른 액정표시패널의 화소부를 나타낸 평면도이다. 단, 도 11에 도시된 구성요소 중 도 1에 도시된 구성요소와 동일한 구성요소에 대해서는 동일한 참조부호를 병기하고, 그에 대한 구체적인 설명은 생략한다.

[0095] 도 11을 참조하면, 상기 제1 서브 화소전극들(131a, 132a, 133a) 각각은 서로 다른 액정 배향 방향을 갖는 상기 제1 내지 제4 도메인(DM1~DM4)으로 구분된다. 본 발명의 일 예로, 상기 제1 내지 제4 도메인(DM1~DM4)의 액정 배향 방향은 반시계 방향으로 순환한다. 또한, 상기 제2 서브 화소전극들(131b, 132b, 133b) 각각은 서로 다른 액정 배향 방향을 갖는 상기 제1 내지 제4 도메인(DM1~DM4)으로 구분된다. 본 발명의 일 예로, 상기 제1 내지 제4 도메인(DM1~DM4)의 액정 배향 방향은 반시계 방향으로 순환한다.

[0096] 상기 화소부를 구성하는 제1 내지 제3 화소들(PX1, PX2, PX3) 중 적어도 하나의 화소의 제1 및 제2 서브 화소전극에는 다수의 슬릿이 제공될 수 있다. 본 발명의 일 예로, 상기 제1 내지 제3 화소들(PX1, PX2, PX3) 중 블루 컬러를 표시하는 상기 제3 화소(PX3)에 구비된 상기 제1 서브 화소전극(133a)에 다수의 슬릿이 제공될 수 있다.

[0097] 상기 다수의 슬릿은 상기 제1 내지 제4 도메인(DM1~DM4)에 대응하여 구비된 다수의 제5 내지 제8 슬릿(135a, 135b, 135c, 135d)으로 이루어지고, 상기 제5 내지 제8 슬릿들(135a, 135b, 135c, 135d) 각각은 대응하는 도메인의 액정 배향 방향에 평행하게 형성된다. 본 발명의 일 예로, 상기 제5 내지 제8 슬릿들(135a, 135b, 135c, 135d)은 상기 제1 서브 화소전극(133a) 내에서 프린지 필드가 형성되는 영역 이외의 영역에 형성된다.

[0098] 구체적으로, 상기 제5 슬릿(135a)은 상기 제1 서브 화소전극(133a)의 네 개의 변 중 상기 제1 스토리지 라인(SL1)과 평행하며 그 위에 위치하는 제1 변으로부터 내측으로 절개되어 형성된다. 상기 제5 슬릿(135a)은 상기 제1 도메인(DM1)의 액정 배향 방향과 평행한 방향으로 형성된다. 상기 제6 슬릿(135b)은 상기 제1 서브 화소전극(133a)의 네 개의 변 중 상기 제1 분기 전극(LSL1)과 평행하며 그 위에 위치하는 제2 변으로부터 내측으로 절개되어 형성된다. 상기 제6 슬릿(135b)은 상기 제2 도메인(DM2)의 액정 배향 방향과 평행한 방향으로 형성된다.

- [0099] 상기 제7 슬릿(135c)은 상기 제1 서브 화소전극(133a)의 네 개의 변 중 상기 제1 스토리지 라인(SL1)과 평행하며 상기 제1 게이트 라인(GL1)과 인접하는 제3 변으로부터 내측으로 절개되어 형성된다. 상기 제7 슬릿(135c)은 상기 제3 도메인(DM3)의 액정 배향 방향과 평행한 방향으로 형성된다. 상기 제8 슬릿(135d)은 상기 제1 서브 화소전극(133a)의 네 개의 변 중 상기 제2 분기 전극(RSL1)과 평행하며 그 위에 위치하는 제4 변으로부터 내측으로 절개되어 형성된다. 상기 제8 슬릿(135d)은 상기 제4 도메인(DM4)의 액정 배향 방향과 평행한 방향으로 형성된다.
- [0100] 본 발명의 일 예로, 상기 제5 내지 제8 슬릿들(135a~135d) 각각은 상기 제1 서브 화소전극(133a)의 폭의 1/10 이하에 해당하는 길이로 형성될 수 있다. 또한, 상기 제5 내지 제8 슬릿들(135a~135d)이 형성된 영역의 전체 면적은 상기 제1 서브 화소전극(133a)의 전체 면적의 10% 내지 90%에 해당하는 값을 가질 수 있다.
- [0101] 도 12a는 본 발명의 일 실시예에 따른 제3 화소의 제1 서브 화소전극을 나타낸 평면도이고, 도 12b는 본 발명의 다른 실시예에 따른 제3 화소의 제1 서브 화소전극을 나타낸 평면도이다.
- [0102] 도 12a를 참조하면, 상기 제1 서브 화소전극(133a)은 서로 다른 액정 배향 방향을 갖는 제1 내지 제4 도메인(DM1~DM4)을 포함한다.
- [0103] 상기 제1 내지 제4 도메인(DM1~DM4)에서 상기 액정층(300)의 배향 방향은 반시계 방향으로 순환한다. 이 경우, 상기 제1 서브 화소전극(133a)에는 상기 제1 내지 제4 도메인(DM1~DM4)의 경계에 대응하여 나치 형상(Nazi-shape)의 프린지 필드 영역(FFT)이 형성된다.
- [0104] 또한, 상기 제1 서브 화소전극(133a)은 실질적으로 영상이 표시되는 유효 표시영역(AA)과 상기 유효 표시영역(AA)의 외측에 구비된 비표시 영역(NA)으로 구분된다.
- [0105] 한편, 상기 제5 내지 제8 슬릿들(135a, 135b, 135c, 135d)은 상기 제1 내지 제4 도메인(DM1~DM4)에 각각 대응하여 형성되되, 상기 프린지 필드 영역(FFT)이 형성되지 않은 나머지 영역에 형성된다. 또한, 상기 제5 내지 제8 슬릿들(135a, 135b, 135c, 135d)은 상기 비표시 영역(NA) 내에 형성될 수 있다. 따라서, 상기 제5 내지 제8 슬릿들(135a, 135b, 135c, 135d)에 의해서 상기 제3 화소(PX3)의 투과율이 감소하는 것을 방지할 수 있다.
- [0106] 도 12b에 도시된 바와 같이, 상기 제5 내지 제8 슬릿들(135a, 135b, 135c, 135d)은 상기 유효 표시영역(AA)까지 연장하여 형성될 수 있다.
- [0107] 도 13은 제1 및 제3 화소의 액정 응답 특성을 나타낸 그래프이다. 도 13에서, 제16 그래프(G16)는 제1 화소(PX1)의 액정 응답 특성을 나타내고, 제17 그래프(G17)는 제3 화소(PX3)의 액정 응답 특성을 나타낸다.
- [0108] 도 13을 참조하면, 상기 다수의 슬릿이 형성되지 않은 제1 화소(PX1)의 초기 응답 속도보다 상기 다수의 슬릿(135a, 135b, 135c)이 형성되는 제3 화소(PX3)의 초기 응답 속도가 더 빠르게 나타났다.
- [0109] 도 11 내지 도 12b에서는 상기 제3 화소(PX3)의 제1 서브 화소전극(133a)에 다수의 슬릿(135a, 135b, 135c)이 형성된 구조를 도시하였으나, 상기 제3 화소(PX3) 뿐만 아니라 상기 제1 및 제2 화소(PX1, PX2)의 제1 서브 화소전극(133a)에도 다수의 슬릿을 형성하여 각 화소의 응답 속도를 향상시킬 수 있다.
- [0110] 도 14는 본 발명의 다른 실시예에 따른 액정표시장치에 구비된 화소의 등가 회로도이고, 도 15는 도 14에 도시된 화소를 구비하는 어레이 기관의 평면도이다.
- [0111] 도 14 및 도 15를 참조하면, 본 발명의 다른 실시예에 따른 화소(PX)는 제1 서브 화소(SPX1) 및 제2 서브 화소(SPX2)를 포함한다. 상기 제1 서브 화소(SPX1)는 제1 박막 트랜지스터(Tr1), 제1 액정 커패시터(Clc1) 및 제1 스토리지 커패시터(Cst1)로 이루어지고, 상기 제2 서브 화소(SPX2)는 제2 박막 트랜지스터(Tr2), 제2 액정 커패시터(Clc2), 제2 스토리지 커패시터(Cst2), 제3 박막 트랜지스터(Tr3) 및 커플링 커패시터(Ccp)로 이루어진다.
- [0112] 상기 제1 박막 트랜지스터(Tr1)의 제1 게이트 전극(GE1)은 상기 제1 게이트 라인(GL1)으로부터 분기되고, 제1 소스 전극(SE1)은 상기 제1 데이터 라인(DL1)으로부터 분기된다. 상기 제1 박막 트랜지스터(Tr1)의 제1 드레인 전극(DE1)은 제1 서브 화소전극(133a)과 전기적으로 연결된다. 상기 제1 서브 화소전극(133a)은 상기 제1 스토리지 라인(SL1), 제1 및 제2 분기 전극(LSL1, RSL1)과 부분적으로 오버랩되어 상기 제1 스토리지 커패시터(Cst1, 도 14에 도시됨)를 형성한다.
- [0113] 상기 제1 서브 화소전극(133a)은 서로 다른 배향 방향을 갖는 상기 제1 내지 제4 도메인(DM1~DM4)으로 구분된다. 특히, 상기 제1 내지 제4 도메인(DM1~DM4)의 배향 방향은 반시계 방향으로 순환한다. 상기 제1 내지 제4 도메인(DM1~DM4)에는 제5 내지 제8 슬릿들(135a, 135b, 135c, 135d)이 각각 형성된다. 상기 제5 내지 제8

슬릿들(135a, 135b, 135c, 135d) 각각은 대응하는 도메인의 액정 배향 방향에 평행하게 형성된다.

- [0114] 상기 제1 서브 화소전극(133a)은 도 1에 도시된 제1 내지 제4 슬릿(134a, 134b, 134c, 134d)을 포함할 수도 있다.
- [0115] 한편, 상기 제2 박막 트랜지스터(Tr2)의 제2 게이트 전극(GE2)은 상기 제1 게이트 라인(GL1)으로부터 분기되고, 제2 소스 전극(SE2)은 상기 제1 데이터 라인(DL1)으로부터 분기된다. 상기 제2 박막 트랜지스터(Tr2)의 제2 드레인 전극(DE2)은 제2 서브 화소전극(133b)과 전기적으로 연결된다. 상기 제2 서브 화소전극(133b)은 서로 다른 배향 방향을 갖는 상기 제1 내지 제4 도메인(DM1~DM4)으로 구분된다. 특히, 상기 제1 내지 제4 도메인(DM1~DM4)의 배향 방향은 반시계 방향으로 순환한다.
- [0116] 상기 제3 박막 트랜지스터(Tr3)의 제3 게이트 전극(GE3)은 상기 제1 스토리지 라인(SL1)으로부터 분기되고, 제3 소스 전극(SE3)은 상기 제2 드레인 전극(DE2)으로부터 연장되며, 제3 드레인 전극(DE3)은 상기 커패시터 커패시터(Ccp)에 연결된다. 상기 커패시터 커패시터(Ccp)는 상기 제3 드레인 전극(DE3)으로부터 연장된 제1 전극(CE1) 및 상기 제1 스토리지 라인(SL1)으로부터 연장되어 상기 제1 전극(CE1)과 마주하는 제2 전극(CE2)으로 이루어진다. 그러나, 상기 커패시터 커패시터(Ccp)의 구조는 여기에 한정되지는 않는다.
- [0117] 상기 제1 게이트 라인(GL1)에 제1 게이트 신호가 인가되면, 상기 제1 및 제2 박막 트랜지스터(Tr1, Tr2)가 동시에 턴-온된다. 상기 제1 데이터 라인(DL1)으로 인가된 데이터 전압은 턴-온된 상기 제1 및 제2 박막 트랜지스터(Tr1, Tr2)를 통해 상기 제1 및 제2 액정 커패시터(Clc1, Clc2)로 각각 인가된다. 따라서, 상기 제1 및 제2 액정 커패시터(Clc1, Clc2)에는 동일한 크기의 화소 전압이 충전된다.
- [0118] 상기 제3 박막 트랜지스터(Tr3)는 상기 제1 스토리지 라인(SL1)으로 인가되는 스토리지 전압에 응답하여 턴-온된다. 상기 스토리지 전압에 의해서 상기 제3 박막 트랜지스터(Tr3)는 턴-온되면, 상기 제1 액정 커패시터(Clc1)의 충전율과 상기 커패시터 커패시터(Ccp)의 충전율에 따라서 상기 제1 액정 커패시터(Clc1)와 상기 커패시터 커패시터(Ccp) 사이에서 전압 분배가 일어난다. 결국, 상기 제1 액정 커패시터(Clc1)에 제1 화소 전압이 충전될 때, 상기 제2 액정 커패시터(Clc2)에는 상기 제3 박막 트랜지스터(Tr3) 및 상기 커패시터 커패시터(Ccp)에 의해서 상기 제1 화소 전압보다 작은 크기의 제2 화소 전압이 충전된다.
- [0119] 도 16은 본 발명의 또 다른 실시예에 따른 액정표시장치에 구비된 화소의 등가 회로도이고, 도 17은 도 16에 도시된 화소를 구비하는 어레이 기판의 평면도이다. 단, 도 16 및 도 17의 화소는 제2 커패시터 커패시터(Ccp2)를 추가로 구비한다는 점을 제외하고는 도 11과 유사한 구조를 갖는다.
- [0120] 도 16 및 도 17을 참조하면, 제1 커패시터 커패시터(Ccp1)는 제3 박막 트랜지스터(Tr3)의 제3 드레인 전극(DE3)과 제1 스토리지 라인(SL1) 사이에 제공된다. 구체적으로, 상기 제1 커패시터 커패시터(Ccp1)는 상기 제3 드레인 전극(DE3)으로부터 연장된 제1 전극(CE1) 및 상기 제1 스토리지 라인(SL1)으로부터 연장되어 상기 제1 전극(CE1)과 마주하는 제2 전극(CE2)을 포함한다.
- [0121] 한편, 상기 제2 커패시터 커패시터(Ccp2)는 상기 제3 박막 트랜지스터(Tr3)의 제3 드레인 전극(DE3)과 상기 제1 액정 커패시터(Ccp1)의 제1 화소전극(141) 사이에 제공된다. 구체적으로, 상기 제2 커패시터 커패시터(Ccp2)는 상기 제1 전극(CE1)으로부터 연장된 제3 전극(CE3) 및 상기 제1 화소 전극(141)으로부터 연장되어 상기 제3 전극(CE3)과 마주하는 제4 전극(CE4)을 포함한다.
- [0122] 상기 제1 서브 화소전극(133a)은 서로 다른 배향 방향을 갖는 상기 제1 내지 제4 도메인(DM1~DM4)으로 구분된다. 상기 제1 내지 제4 도메인(DM1~DM4)의 액정 배향 방향은 반시계 방향으로 순환한다. 상기 제1 내지 제4 도메인(DM1~DM4)에는 제5 내지 제8 슬릿들(135a, 135b, 135c, 135d)이 각각 형성된다. 상기 제5 내지 제8 슬릿들(135a, 135b, 135c, 135d) 각각은 대응하는 도메인의 액정 배향 방향에 평행하게 형성된다.
- [0123] 상기 제1 서브 화소전극(133a)은 도 1에 도시된 제1 내지 제4 슬릿(134a, 134b, 134c, 134d)을 포함할 수도 있다.
- [0124] 한편, 상기 제2 박막 트랜지스터(Tr2)의 제2 게이트 전극(GE2)은 상기 제1 게이트 라인(GL1)으로부터 분기되고, 제2 소스 전극(SE2)은 상기 제1 데이터 라인(DL1)으로부터 분기된다. 상기 제2 박막 트랜지스터(Tr2)의 제2 드레인 전극(DE2)은 제2 화소 전극(142)과 전기적으로 연결된다. 상기 제2 서브 화소전극(133b)은 서로 다른 배향 방향을 갖는 상기 제1 내지 제4 도메인(DM1~DM4)으로 구분된다. 상기 제1 내지 제4 도메인(DM1~DM4)의 액정 배향 방향은 반시계 방향으로 순환한다.
- [0125] 상기 제2 게이트 라인(GL2)으로 인가되는 제2 게이트 신호에 응답하여 상기 제3 박막 트랜지스터(Tr3)가 턴-온

되면, 상기 제1 커플링 커패시터(Ccp1)와 상기 제2 액정 커패시터(Ccp2) 사이에서 전압 분배가 일어난다. 전압 분배에 의해서, 상기 제1 커플링 커패시터(Ccp1)와 상기 제2 액정 커패시터(Cl1c2)에는 동일한 전압이 충전되지만, 상기 제2 액정 커패시터(Cc12)에 충전된 제2 화소 전압은 상기 제1 액정 커패시터(Cl1c1)에 충전된 제1 화소 전압보다 낮아진다.

[0126] 또한, 상기 제2 커플링 커패시터(Ccp2)를 통해 상기 제1 액정 커패시터(Clcl1)와 상기 제1 커플링 커패시터(Ccp1)를 연결하면, 상기 제1 커플링 커패시터(Ccp2)의 커플링에 의해서 상기 제1 액정 커패시터(Clcl1)에 충전된 상기 제1 화소 전압이 상승하게 된다.

[0127] 도 18은 본 발명의 또 다른 실시예에 따른 액정표시패널에 구비된 화소의 등가 회로도이고, 도 19는 도 18에 도시된 화소가 구비된 어레이 기판의 평면도이다.

[0128] 도 18 및 도 19를 참조하면, 화소(PX)는 제1 서브 화소(SPX1) 및 제2 서브 화소(SPX2)를 포함한다. 상기 제1 서브 화소(SPX1)는 제1 박막 트랜지스터(Tr1), 제1 액정 커패시터(C1c1) 및 제1 스토리지 커패시터(Cst1)로 이루어지고, 상기 제2 서브 화소(SPX2)는 제2 박막 트랜지스터(Tr2), 제2 액정 커패시터(C1c2) 및 제2 스토리지 커패시터(Cst2)로 이루어진다.

[0129] 상기 제1 박막 트랜지스터(Tr1)의 제1 게이트 전극(GE1)은 상기 제1 게이트 라인(GL1)으로부터 분기되고, 제1 소스 전극(SE1)은 상기 제1 데이터 라인(DLm)으로부터 분기된다. 상기 제1 박막 트랜지스터(Tr1)의 제1 드레인 전극(DE1)은 제1 서브 화소전극(133a)과 전기적으로 연결된다. 상기 제1 서브 화소전극(133a)은 상기 제1 스토리지 라인(SL1), 제1 및 제2 분기 전극(LSL1, RSL1)과 부분적으로 오버랩되어 상기 제1 스토리지 커패시터(Cst1)를 형성한다.

[0130] 상기 제1 서브 화소전극(133a)은 서로 다른 배향 방향을 갖는 상기 제1 내지 제4 도메인(DM1~DM4)으로 구분된다. 상기 제1 내지 제4 도메인(DM1~DM4)의 액정 배향 방향은 반시계 방향으로 순환한다. 상기 제1 내지 제4 도메인(DM1~DM4)에는 제5 내지 제8 슬릿들(135a, 135b, 135c, 135d)이 각각 형성된다. 상기 제5 내지 제8 슬릿들(135a, 135b, 135c, 135d) 각각은 대응하는 도메인의 액정 배향 방향에 평행하게 형성된다.

[0131] 상기 제1 서브 화소전극(133a)은 도 1에 도시된 제1 내지 제4 슬릿(134a, 134b, 134c, 134d)을 포함할 수도 있다.

[0132] 상기 제2 박막 트랜지스터(Tr2)의 제2 게이트 전극(GE2)은 상기 제1 게이트 라인(GL1)으로부터 분기되고, 제2 소스 전극(SE2)은 상기 제2 데이터 라인(DL2)으로부터 분기된다. 상기 제2 박막 트랜지스터(Tr2)의 제2 드레인 전극(DE2)은 제2 서브 화소전극(133b)과 전기적으로 연결된다.

[0133] 상기 제2 서브 화소전극(133b)은 상기 제2 스토리지 라인(SL2), 제3 및 제4 분기 전극(LSL2, RSL2)과 부분적으로 오버랩되어 상기 제2 스토리지 커패시터(Cst2)를 형성한다. 상기 제2 서브 화소전극(133b)은 서로 다른 배향 방향을 갖는 상기 제1 내지 제4 도메인(DM1~DM4)으로 구분된다. 상기 제1 내지 제4 도메인(DM1~DM4)의 액정 배향 방향은 반시계 방향으로 순환한다.

[0134] 상기 제1 게이트 라인(GL1)에 게이트 신호가 인가되면, 상기 제1 및 제2 박막 트랜지스터(Tr1, Tr2)가 동시에 턴-온된다. 상기 제1 데이터 라인(DL1)으로 인가된 제1 데이터 전압은 턴-온된 상기 제1 박막 트랜지스터(Tr1)를 통해 상기 제1 액정 커패시터(Clc1)로 인가되고, 상기 제2 데이터 라인(DL2)으로 인가된 제2 데이터 전압은 턴-온된 상기 제2 박막 트랜지스터(Tr2)를 통해 상기 제2 액정 커패시터(Clc2)로 인가된다. 상기 제1 및 제2 데이터 전압의 크기는 서로 다르다. 따라서, 상기 제1 및 제2 액정 커패시터(Clc1, Clc2)에는 서로 다른 크기의 화소 전압이 충전된다. 본 발명의 일 예로, 상기 제1 액정 커패시터(Clc1)에 제1 화소 전압이 충전되면, 상기 제2 액정 커패시터(Clc2)에는 상기 제1 화소 전압보다 낮은 크기의 제2 화소 전압이 충전될 수 있다.

[0135] 이상 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

[0136] 100: 어레이 기관 140: 제1 배향막
200: 대향기관 240: 제2 배향막

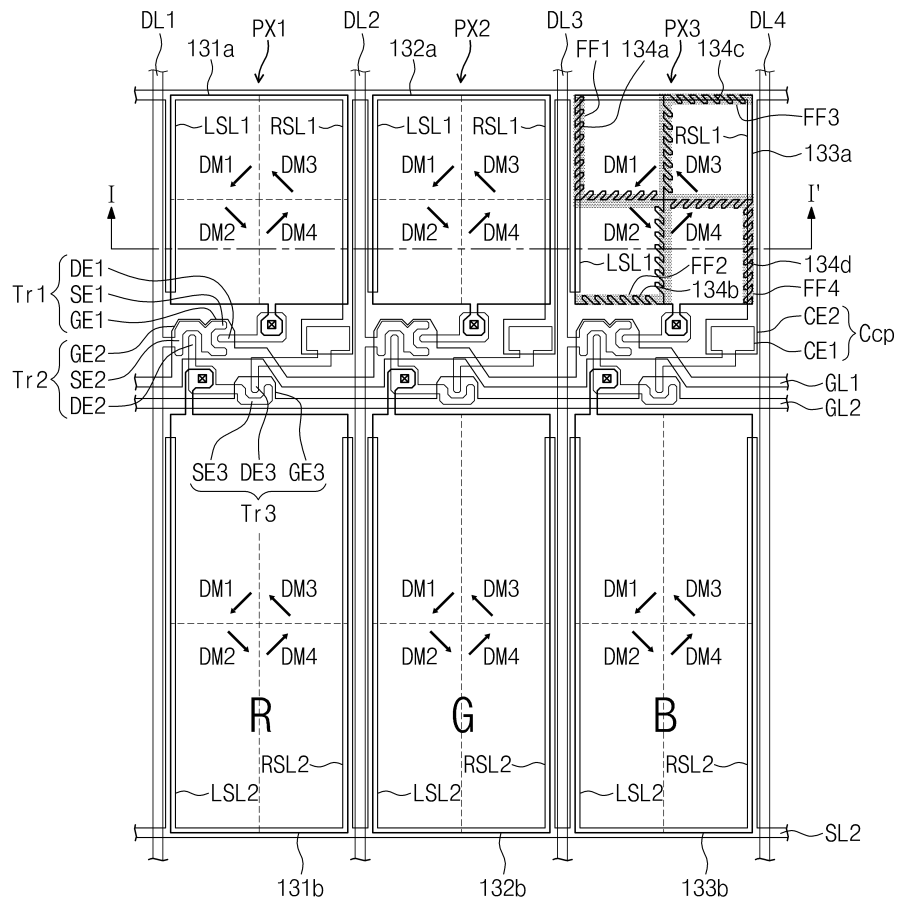
300 : 액정층

400 : 액정표시패널

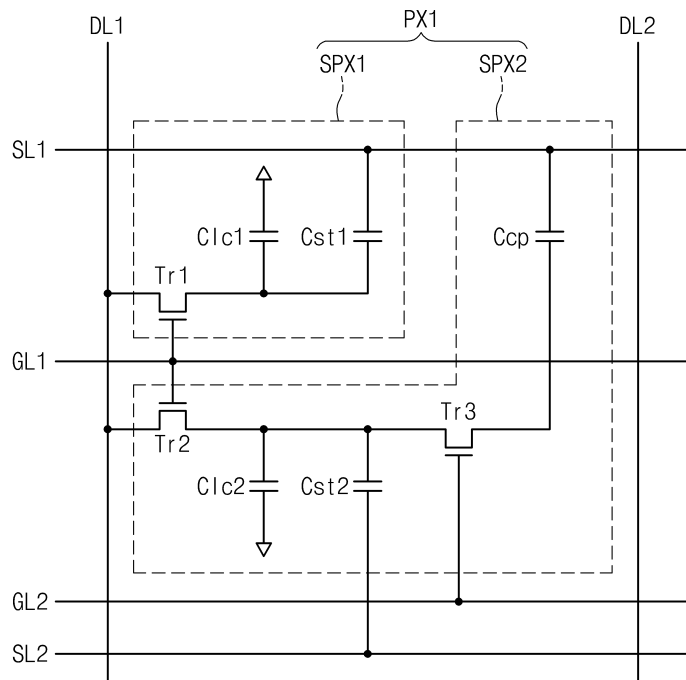
도면

도면1

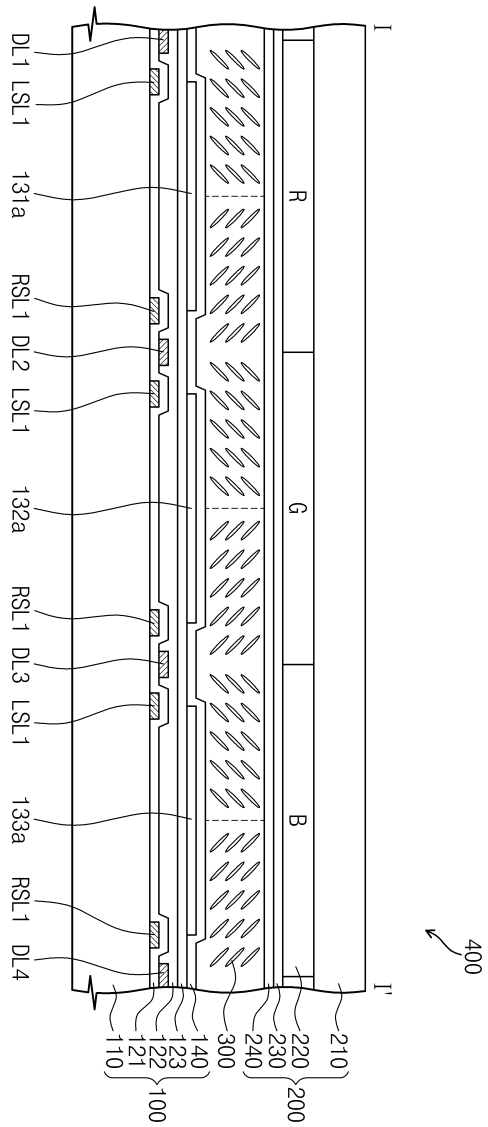
400



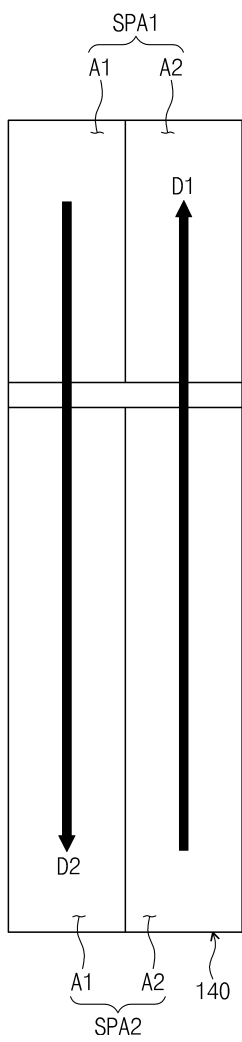
도면2



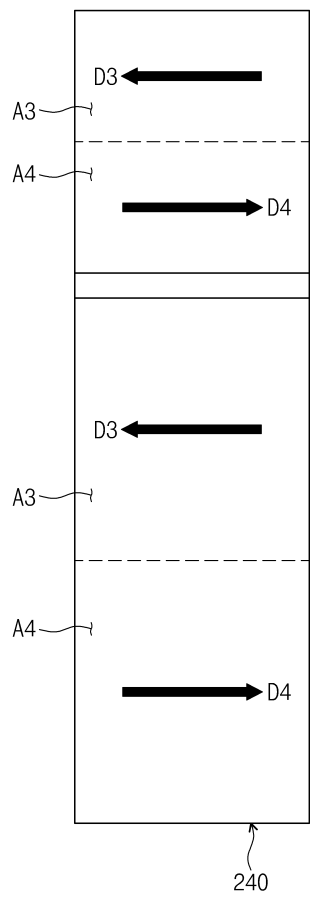
도면3



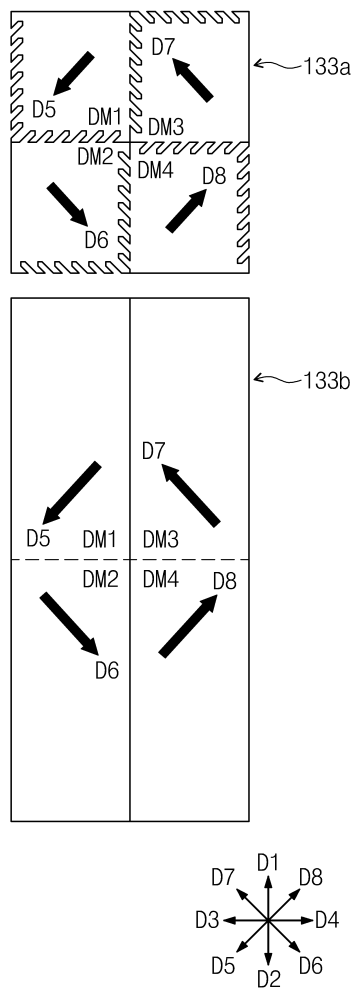
도면4a



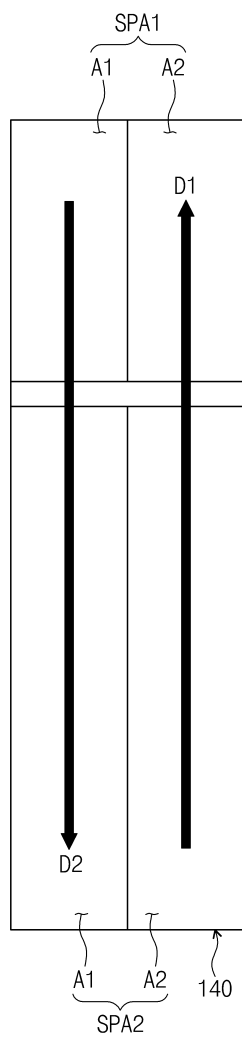
도면4b



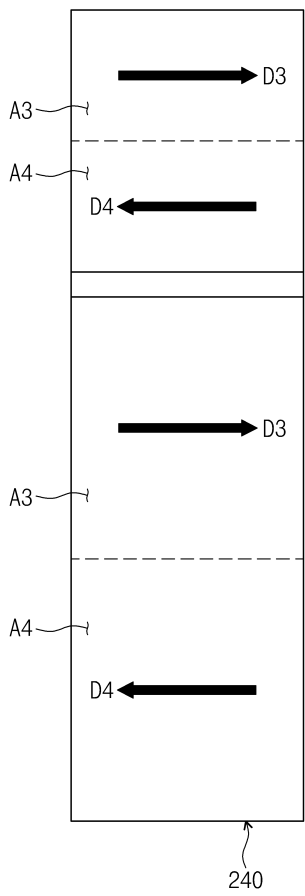
도면4c



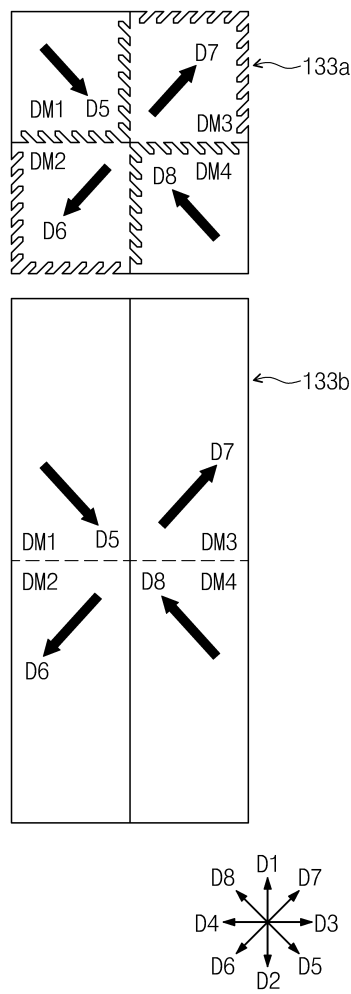
도면5a



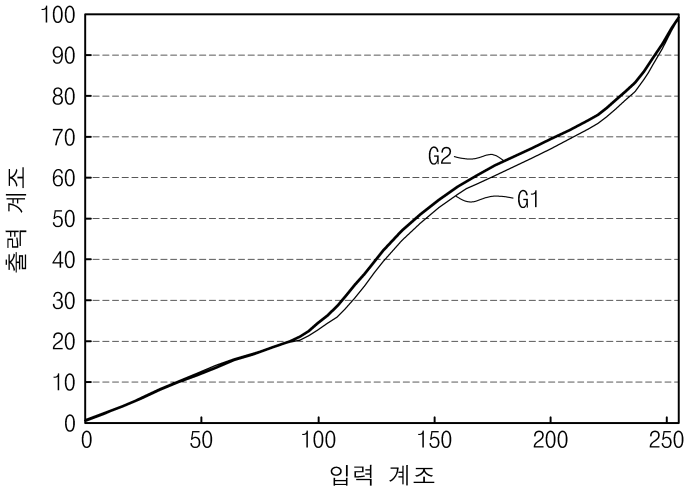
도면5b



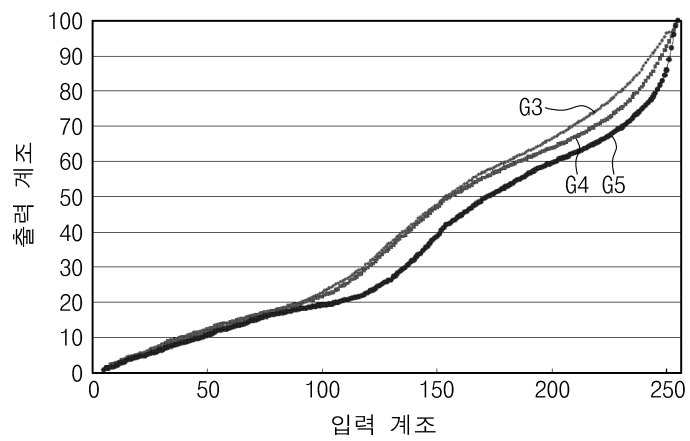
도면5c



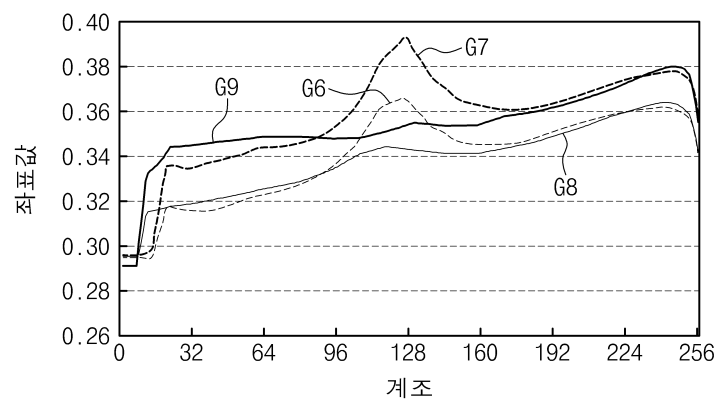
도면6



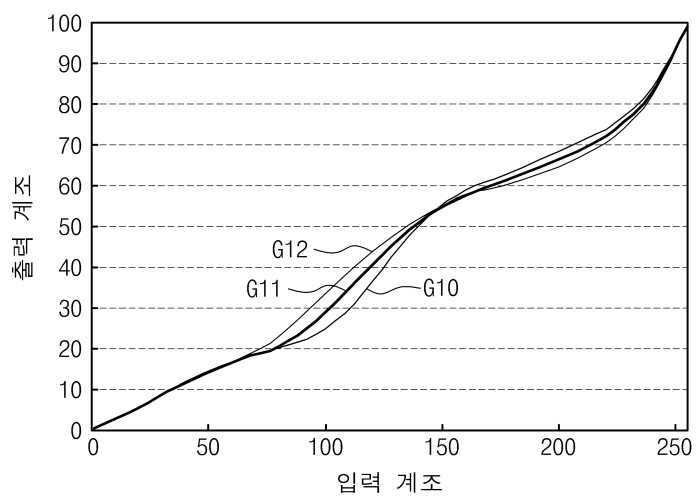
도면7



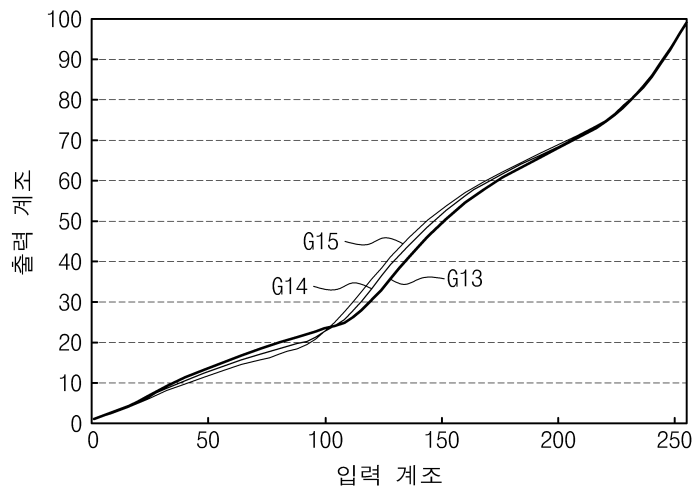
도면8



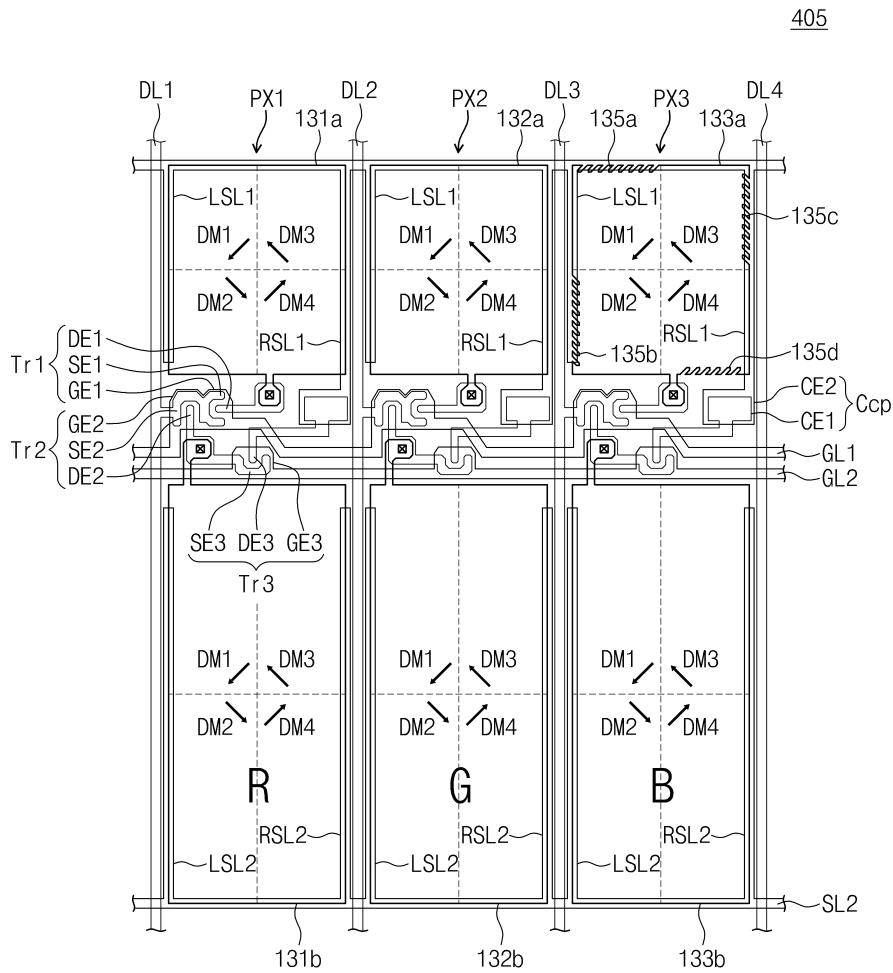
도면9



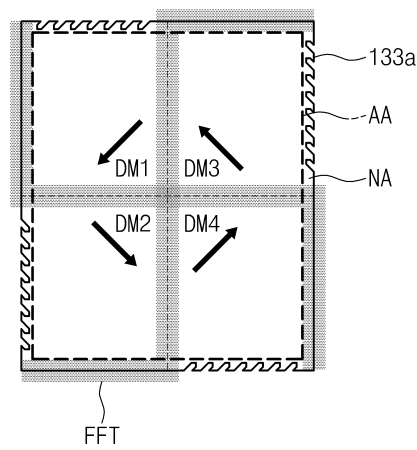
도면10



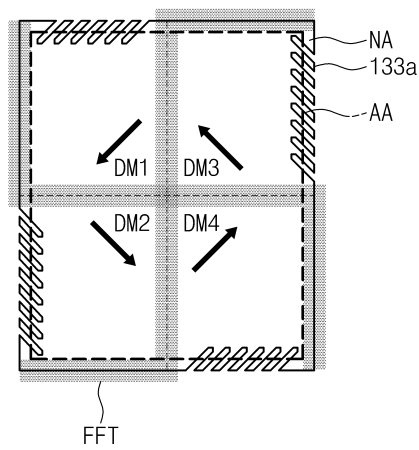
도면11



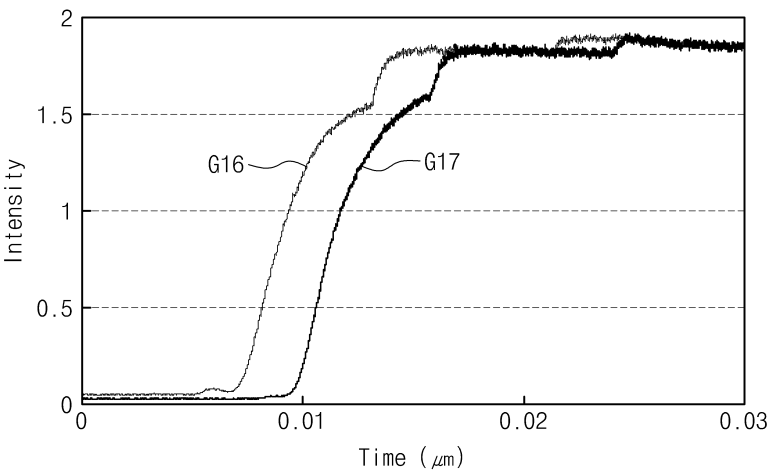
도면12a



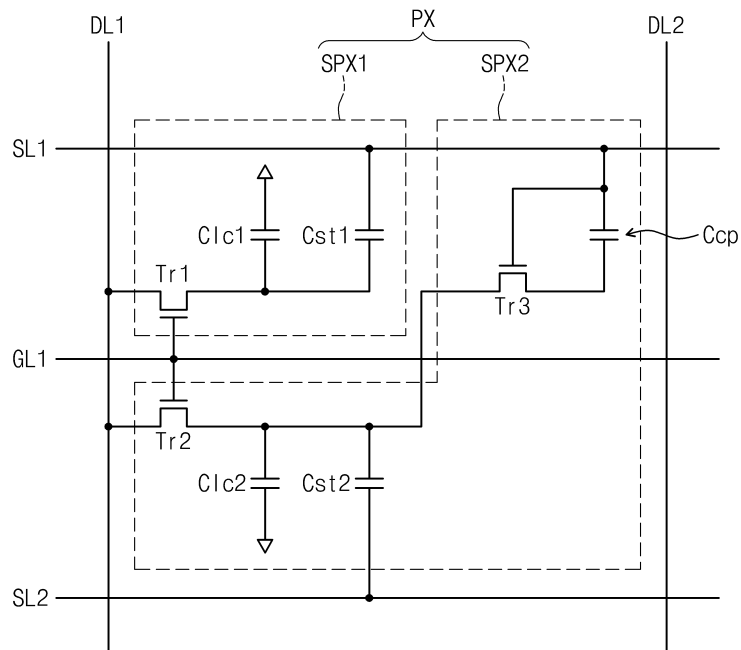
도면12b



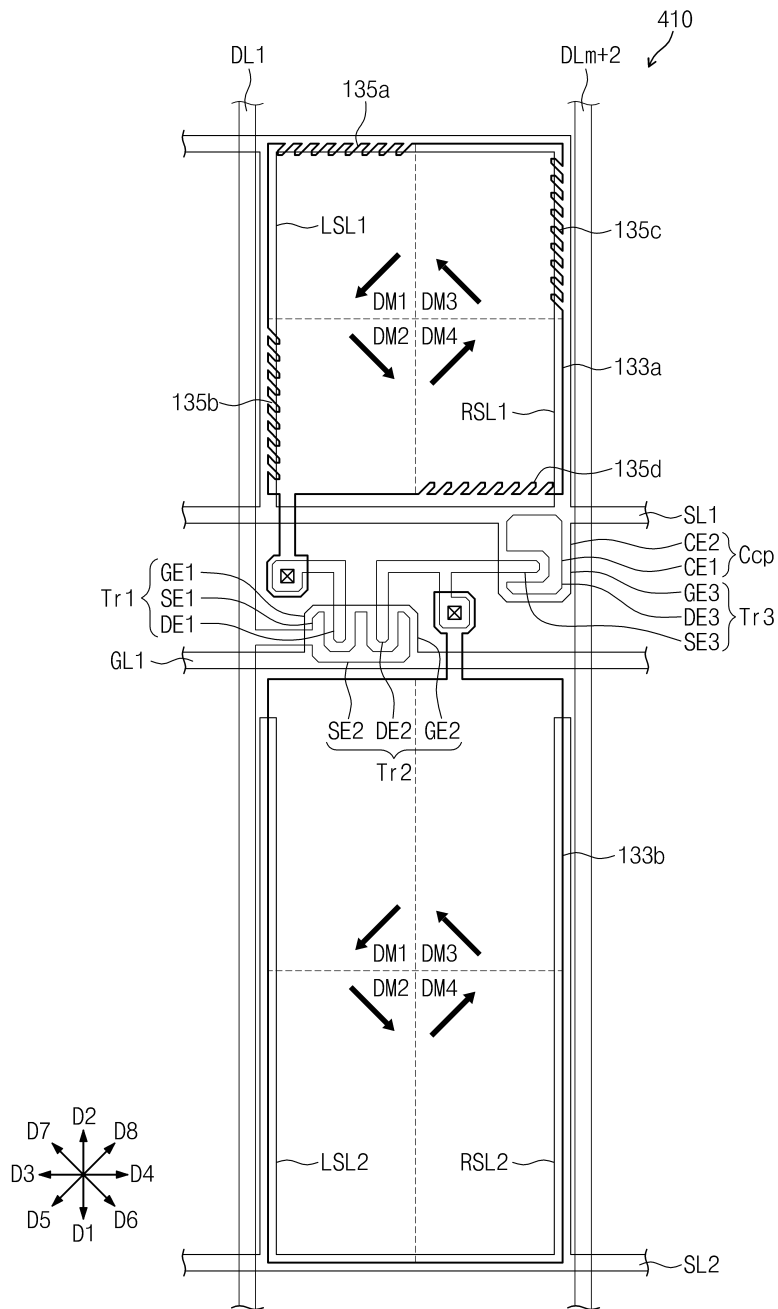
도면13



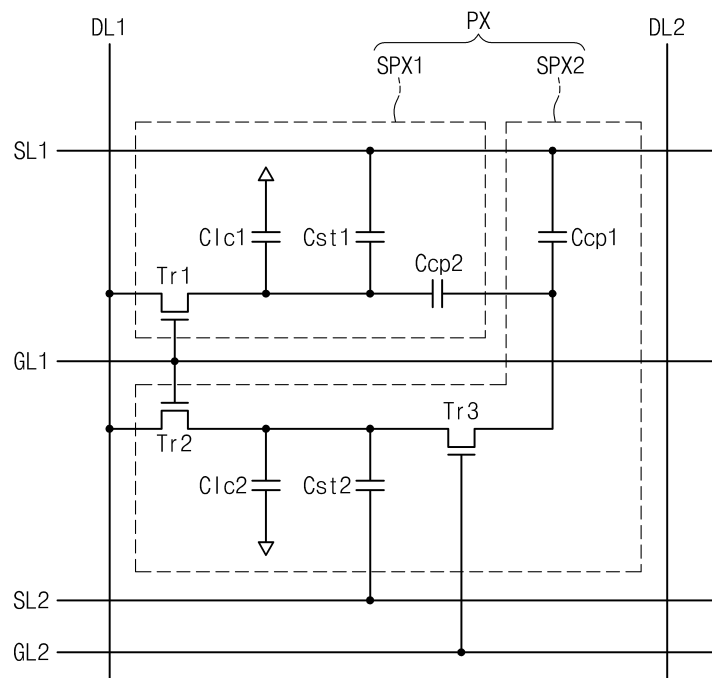
도면14



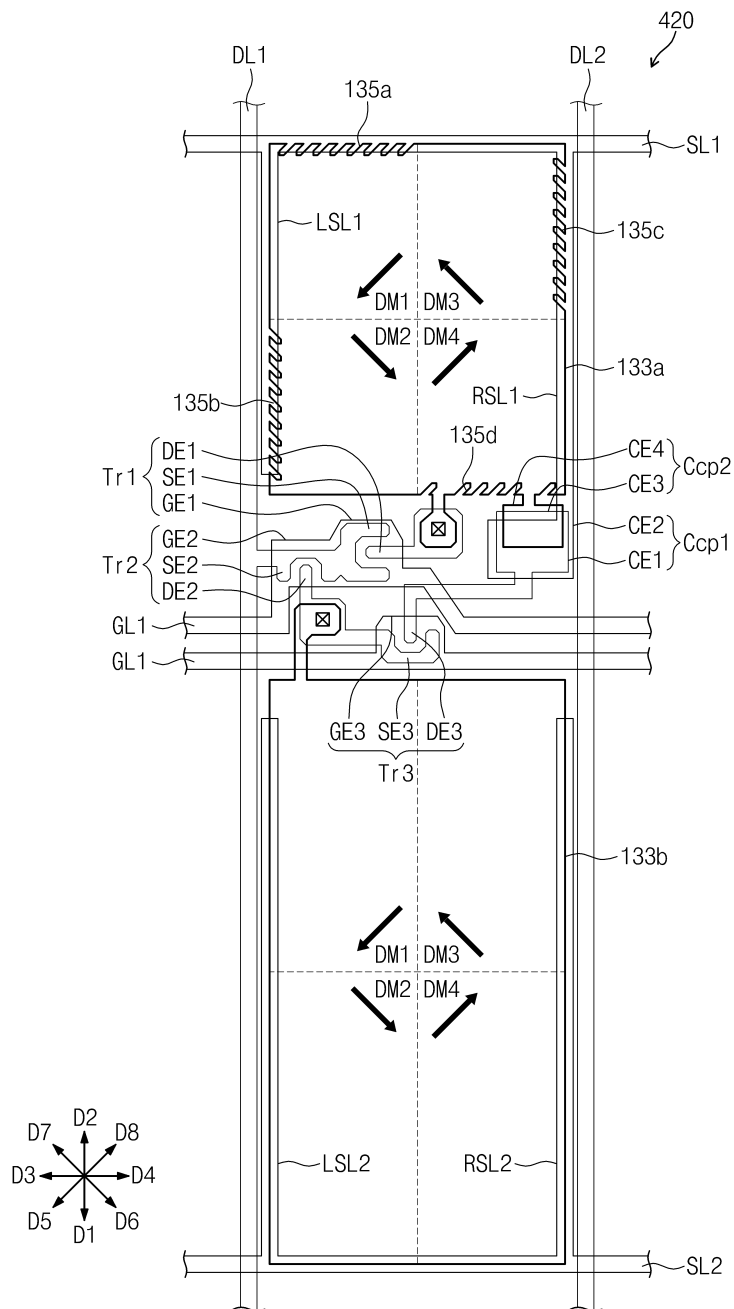
도면15



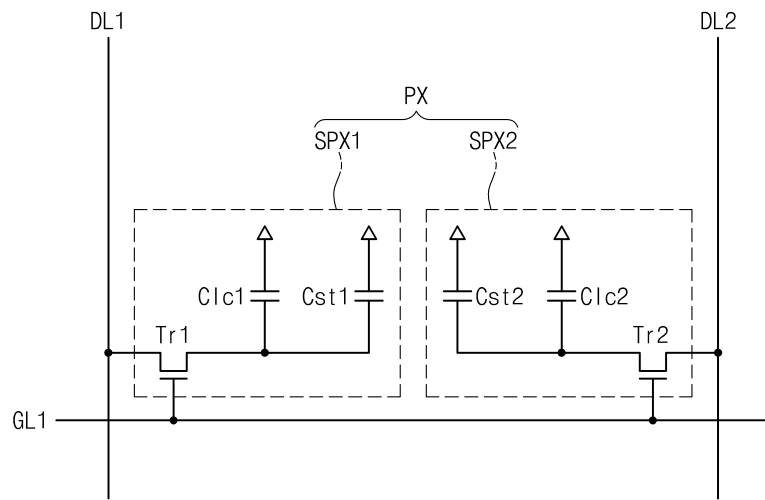
도면16



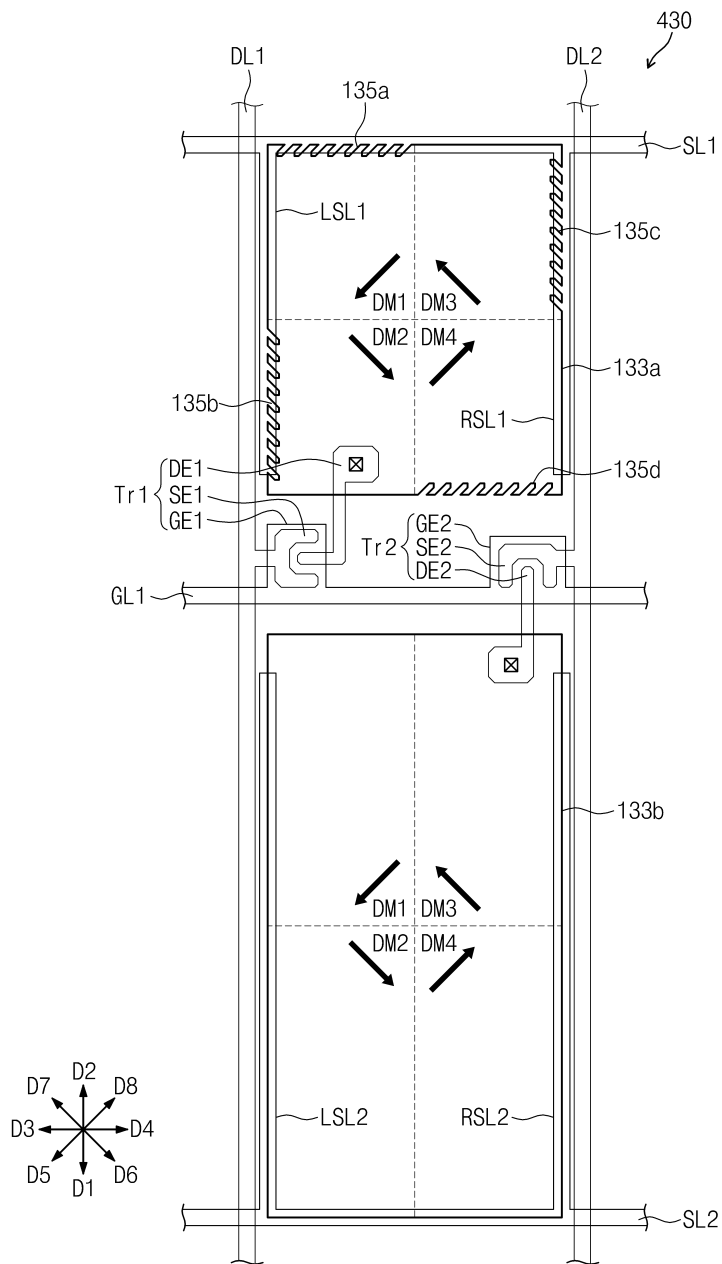
도면17



도면18



도면19



专利名称(译)	液晶显示面板		
公开(公告)号	KR101744920B1	公开(公告)日	2017-06-09
申请号	KR1020100128411	申请日	2010-12-15
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	CHANG HAKSUN 창학선 SHIN YONGHWAN 신용환 JUNG MIN SIK 정민식 SHIN KYOUNGJU 신경주		
发明人	창학선 신용환 정민식 신경주		
IPC分类号	G02F1/1337 G02F1/1343 G02F1/1362		
CPC分类号	G02F1/133707 G02F1/133753 G02F1/13624 G02F2001/134345 G02F1/1337		
其他公开文献	KR1020120067023A		
外部链接	Espacenet		

摘要(译)

用途：提供液晶显示板以增加蓝色像素的响应速度并增加侧面可见度。
 组成：第二对准层（240）包括在第二基板上。第二取向层面向第一取向层。第二对准层与每个子像素内的第一方向对准。第二对准层在每个子像素中形成多个域。液晶层（300）布置在第一取向层和第二取向层之间。COPYRIGHT KIPO 2012

