

특허청구의 범위

청구항 1

액정 표시 장치에 있어서,
기판 위의 트랜지스터로서,
상기 기판 위의 게이트 전극;
상기 게이트 전극 위의 게이트 절연막;
상기 게이트 절연막 위의 산화물 반도체층; 및
상기 산화물 반도체층 위의 소스 전극 및 드레인 전극을 포함하고,
상기 산화물 반도체층의 상면 및 측면은 n^+ 층을 사이에 두지 않고, 상기 소스 전극 및 상기 드레인 전극과 직접 접촉하고, 상기 산화물 반도체층의 하면은 상기 게이트 절연막과 직접 접촉하고, 상기 산화물 반도체층의 하나의 가장자리 부분과 다른 하나의 가장자리 부분은 상기 게이트 전극의 내측에 위치하는, 상기 기판 위의 상기 트랜지스터;
상기 기판 위의 제1 전극층;
상기 기판 위의, 개구를 가지는 제2 전극층;
상기 트랜지스터 및 상기 제2 전극층 사이의 제1 유채색의 투광성 수지층 및 제2 유채색의 투광성 수지층;
금속막을 포함하는 차광성의 무기막; 및
액정층을 포함하고,
상기 제1 전극층과 상기 제2 전극층은 상기 기판과 상기 액정층 사이에 제공되고,
상기 제1 전극층 및 상기 제2 전극층 중 하나는 상기 트랜지스터와 전기적으로 접속되는 화소 전극층이고, 상기 제1 전극층 및 상기 제2 전극층 중 다른 하나는 공통 전극층이고,
상기 제1 유채색의 투광성 수지층 및 상기 제2 유채색의 투광성 수지층 중 하나는, 상기 화소 전극층 및 상기 트랜지스터의 상기 산화물 반도체층과 중첩되고,
상기 액정 표시 장치는 횡전계 모드에 의해 화상을 표시하고,
상기 제1 유채색의 투광성 수지층 및 상기 제2 유채색의 투광성 수지층은, 상기 제1 유채색의 투광성 수지층의 가장자리 및 상기 제2 유채색의 투광성 수지층의 가장자리 사이에 위치한 상기 차광성의 무기막과 함께 상기 트랜지스터 위에 제공되고,
상기 제1 유채색의 투광성 수지층의 일부 및 상기 제2 유채색의 투광성 수지층의 일부는 상기 차광성의 무기막과 중첩되는, 액정 표시 장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

액정 표시 장치에 있어서,

기판 위의 트랜지스터로서,

상기 기판 위의 게이트 전극;

상기 게이트 전극 위의 게이트 절연막;

상기 게이트 절연막 위의 산화물 반도체층; 및

상기 산화물 반도체층 위의 소스 전극 및 드레인 전극을 포함하고,

상기 산화물 반도체층의 상면 및 측면은 n^+ 층을 사이에 두지 않고, 상기 소스 전극 및 상기 드레인 전극과 직접 접촉하고, 상기 산화물 반도체층의 하면은 상기 게이트 절연막과 직접 접촉하고, 상기 산화물 반도체층의 하나의 가장자리 부분과 다른 하나의 가장자리 부분은 상기 게이트 전극의 내측에 위치하는, 상기 기판 위의 상기 트랜지스터;

상기 기판 위의 제1 전극층;

상기 기판 위의, 개구를 가지는 제2 전극층;

상기 트랜지스터 및 상기 제2 전극층 사이의 제1 유채색의 투광성 수지층 및 제2 유채색의 투광성 수지층;

금속막을 포함하는 차광성의 무기막;

액정층; 및

차광층을 포함하고,

상기 제1 전극층과 상기 제2 전극층은 상기 기판과 상기 액정층 사이에 제공되고,

상기 제1 전극층 및 상기 제2 전극층 중 하나는 상기 트랜지스터와 전기적으로 접속되는 화소 전극층이고, 상기 제1 전극층 및 상기 제2 전극층 중 다른 하나는 공통 전극층이고,

상기 제1 유채색의 투광성 수지층 및 상기 제2 유채색의 투광성 수지층 중 하나는, 상기 화소 전극층과 중첩되고,

상기 차광층은 상기 트랜지스터의 상기 산화물 반도체층과 중첩되고,

상기 액정 표시 장치는 횡전계 모드에 의해 화상을 표시하고,

상기 제1 유채색의 투광성 수지층 및 상기 제2 유채색의 투광성 수지층은, 상기 제1 유채색의 투광성 수지층의 가장자리 및 상기 제2 유채색의 투광성 수지층의 가장자리 사이에 위치한 상기 차광성의 무기막과 함께 상기 트랜지스터 위에 제공되고,

상기 제1 유채색의 투광성 수지층의 일부 및 상기 제2 유채색의 투광성 수지층의 일부는 상기 차광성의 무기막과 중첩되는, 액정 표시 장치.

청구항 13

제 1 항 또는 제 12 항에 있어서,

상기 산화물 반도체층은 상기 트랜지스터의 채널 형성 영역이고, 상기 트랜지스터의 게이트 전극층과 중첩된, 액정 표시 장치.

청구항 14

제 1 항 또는 제 12 항에 있어서,

상기 산화물 반도체층은 인듐, 갈륨, 및 아연으로 이루어진 군으로부터 선택된 적어도 하나를 포함하는, 액정 표시 장치.

청구항 15

제 1 항 또는 제 12 항에 있어서,

상기 제1 유채색의 투광성 수지층은 상기 제1 전극층과 상기 제2 전극층 사이에 제공된, 액정 표시 장치.

청구항 16

제 1 항 또는 제 12 항에 있어서,

상기 제1 전극층은 평판 형상인, 액정 표시 장치.

청구항 17

제 1 항 또는 제 12 항에 있어서,

상기 제2 전극층은 빗살 형상인, 액정 표시 장치.

청구항 18

제 1 항 또는 제 12 항에 있어서,

상기 제1 유채색의 투광성 수지층은 상기 산화물 반도체층보다 낮은 투광성을 가진, 액정 표시 장치.

청구항 19

제 1 항 또는 제 12 항에 있어서,

상기 제1 유채색의 투광성 수지층은 적색 착색층, 녹색 착색층, 및 청색 착색층 중의 하나인, 액정 표시 장치.

청구항 20

제 1 항 또는 제 12 항에 있어서,

상기 액정층은 블루상을 나타내는 액정 재료를 포함하는, 액정 표시 장치.

청구항 21

제 1 항 또는 제 12 항에 있어서,

상기 액정층은 카이럴제를 포함하는, 액정 표시 장치.

청구항 22

제 1 항 또는 제 12 항에 있어서,

상기 액정층은 광경화 수지 및 광 중합 개시제를 포함하는, 액정 표시 장치.

청구항 23

제 12 항에 있어서,

상기 차광층은 흑색 수지를 포함하는, 액정 표시 장치.

청구항 24

제 12 항에 있어서,

상기 액정층은 상기 트랜지스터와 상기 차광층 사이에 제공된, 액정 표시 장치.

청구항 25

제 1 항 또는 제 12 항에 있어서,

상기 산화물 반도체층의 모든 가장자리 부분은 상기 게이트 전극의 내측에 위치하는, 액정 표시 장치.

명세서**발명의 상세한 설명****기술 분야**

본 발명은 산화물 반도체를 이용하는 액정 표시 장치 및 그 제작 방법에 관한 것이다.

배경기술

액정 표시 장치로 대표되는 바와 같이, 유리 기판 등의 평판에 형성되는 박막 트랜지스터는, 아몰퍼스 (amorphous) 실리콘, 다결정 실리콘에 의해 제작된다. 아몰퍼스 실리콘을 이용한 박막 트랜지스터는, 전계 효과 이동도가 낮지만 유리 기판의 대면적화에 대응할 수 있고, 한편, 다결정 실리콘을 이용한 박막 트랜지스터는 전계 효과 이동도가 높지만, 레이저 어닐 등의 결정화 공정이 필요하고, 유리 기판의 대면적화에 반드시 적응하는 것은 아니라는 특성을 가지고 있다.

이것에 대하여, 산화물 반도체를 이용하여 박막 트랜지스터를 제작하고, 전자 디바이스나 광디바이스에 응용하는 기술이 주목받고 있다. 예를 들면, 산화물 반도체막으로서 산화아연, In-Ga-Zn-O계 산화물 반도체를 이용하여 박막 트랜지스터를 제작하고, 화상 표시 장치의 스위칭 소자 등에 이용하는 기술이 특허 문헌 1 및 특허 문헌 2에 개시되어 있다.

산화물 반도체에 채널 형성 영역을 형성하는 박막 트랜지스터는, 아몰퍼스 실리콘을 이용한 박막 트랜지스터보다 높은 전계 효과 이동도를 얻을 수 있다. 산화물 반도체막은 스펀터링법 등에 의해 300°C 이하의 온도로 막 형성이 가능하고, 다결정 실리콘을 이용한 박막 트랜지스터보다 제조 공정이 간단하다.

산화물 반도체는, 가시광 영역의 광을 투과하는 투명 반도체이기 때문에, 표시 장치의 화소에 이용함으로써, 고개구화가 가능하다고 알려져 있다.

이와 같은 산화물 반도체를 이용하여 유리 기판, 플라스틱 기판 등에 박막 트랜지스터를 형성하여, 표시 장치에의 응용이 기대되고 있다.

[특허 문헌 1] 일본국 공개특허 제 2007-123861 호 공보

[특허 문헌 2] 일본국 공개특허 제 2007-96055 호 공보

발명의 내용**해결 하고자하는 과제**

따라서, 산화물 반도체를 이용한 박막 트랜지스터에 적절한 액정 표시 장치를 제공하는 것을 목적으로 한다.

과제 해결수단

산화물 반도체층을 포함하는 박막 트랜지스터를 가지는 액정 표시 장치에서, 적어도 이 산화물 반도체층을 덮는 충간막에, 투과하는 가시광의 광강도를 감쇠시키는 기능을 가지는 막을 이용한다. 투과하는 가시광의 광강도를 감쇠시키는 기능을 가지는 막은 산화물 반도체층보다 가시광의 광투과율이 낮은 막이다. 투과하는 가시광의 광강도를 감쇠시키는 기능을 가지는 막으로서는 착색층을 이용할 수 있고, 유채색의 투광성 수지층을 이용하면 좋다. 또한, 유채색의 투광성 수지층 및 차광층을 포함하는 충간막에서, 투과하는 가시광의 광강도를 감쇠시키는 기능을 가지는 막으로서 차광층을 이용해도 좋다.

박막 트랜지스터 위에 형성하는 충간막으로서, 유채색의 투광성 수지층의 착색층을 이용하면, 화소의 개구율을 저하시키지 않고 박막 트랜지스터의 반도체층에 입사하는 광의 강도를 감쇠시킬 수 있어, 산화물 반도체의 광감도에 의한 박막 트랜지스터의 전기 특성의 변동을 방지하여 안정화시키는 효과를 얻을 수 있다. 또한, 유채색의 투광성 수지층은 컬러 필터층으로서 기능시킬 수 있다. 컬러 필터층을 대향 기판측에 형성하는 경우, 박막 트랜지스터가 형성되는 소자 기판과의 정확한 화소 영역의 위치 맞춤이 어렵고 화질을 손상시킬 우려가 있지만, 충간막을 컬러 필터층으로서 직접 소자 기판측에 형성하므로, 보다 정밀한 형성 영역의 제어를 할 수 있어, 미세한 패턴의 화소에도 대응할 수 있다. 또한, 충간막과 컬러 필터층을 동일한 절연층에서 겹하므로, 공정이 간략화되어 보다 저비용으로 액정 표시 장치를 제작할 수 있게 된다.

또한, 넓은 시야각을 실현하는 기술로서, 기판에 개략 평행(즉, 수평인 방향)인 전계를 일으키게 하여, 기판과 평행한 면 내에서 액정 분자를 움직여, 계조를 제어하는 방식을 이용한다. 이러한 방식으로서, FFS(Fringe Field Switching) 모드에서 이용하는 전극 구성을 적용할 수 있다.

FFS 모드 등에 나타나는 횡전계 모드는, 액정층의 하방에 평판상의 제1 전극층(예를 들면, 각 화소별로 전압이 제어되는 화소 전극층), 및 그 전극의 상방과 중첩되도록 개구 패턴을 가지는 제2 전극층(예를 들면, 모든 화소에 공통의 전압이 공급되는 공통 전극층)을 배치한다. 화소 전극층과 공통 전극층과의 사이에 전계를 가함으로써 액정을 제어한다. 액정에는 수평 방향의 전계가 가해지기 때문에, 그 전계를 이용하여 액정 분자를 제어할 수 있다. 즉, 액정 분자를 기판과 평행한 방향으로 제어할 수 있기 때문에, 시야각이 넓어진다. 따라서, 시야각 특성을 개선하여, 보다 고화질의 액정 표시 장치를 제공할 수 있다.

유채색은 검은색, 회색, 흰색 등의 무채색을 제외한 색이며, 유채색의 투광성 수지층은 컬러 필터로서 기능시키기 위해, 그 착색된 유채색의 광만을 투과하는 재료로 형성된다. 유채색으로서는, 적색, 녹색, 청색 등을 이용할 수 있다. 또한, 청록색, 진홍색, 노란색 등을 이용해도 좋다. 착색된 유채색의 광만을 투과한다는 것은, 유채색의 투광성 수지층에서 투과하는 광은 그 유채색의 광의 파장에 피크를 가진다고 한다.

유채색의 투광성 수지층은, 컬러 필터층으로서 기능시키기 위해, 포함시키는 착색 재료의 농도와 광의 투과율의 관계를 고려하여, 최적의 막 두께를 적절히 제어하면 좋다. 충간막을 복수의 박막으로 적층하는 경우, 적어도 일층이 유채색의 투광성 수지층이라면, 컬러 필터로서 기능시킬 수 있다.

유채색의 색에 따라 막 두께가 다른 경우나 박막 트랜지스터에 기인하는 요철을 가지는 경우는, 가시광 영역의 파장의 광을 투과하는(소위 무색 투명) 절연층을 적층하여, 충간막 표면을 평탄화해도 좋다. 충간막의 평탄성을 높이면 그 위에 형성되는 화소 전극층이나 공통 전극층의 피복성도 좋고, 또한, 액정층의 캡(막 두께)을 균일하게 할 수 있기 때문에, 보다 액정 표시 장치의 시인성을 향상시켜, 고화질화가 가능하게 된다.

박막 트랜지스터 위에 형성하는 충간막으로서 차광층(블랙 매트릭스)을 이용하면, 차광층은 박막 트랜지스터의 반도체층에 대한 광의 입사를 차단할 수 있기 때문에, 산화물 반도체의 광감도에 의한 박막 트랜지스터의 전기 특성의 변동을 방지하여 안정화시키는 효과가 있다. 또한, 차광층은 서로 인접하는 화소에 대한 광누출을 방지할 수도 있기 때문에, 보다 고콘트라스트 및 고정세한 표시를 행하는 것이 가능하게 된다. 따라서, 액정 표시 장치의 고정세, 고신뢰성을 달성할 수 있다.

따라서, 소자층, 화소 전극층, 공통 전극층, 및 충간막(유채색의 투광성 수지층)이 동일 기판에 형성되어, 액정 층을 통하여 대향하는 기판에 의해 봉지되는 구조가 된다. 화소 전극층과 공통 전극층은 절연막(또는 충간막)을 통하여 적층하도록 배치된다. 화소 전극층 및 공통 전극층 중 어느 한쪽은, 하방(액정층에 보다 면 쪽)에 형성되고, 또한, 평판상이며, 다른 한쪽은 상방(액정층에 보다 가까운 쪽)에 형성되고, 또한, 다양한 개구 패턴을 가지고, 굴곡부나 나누어진 빗살 형상을 포함하는 형상이다. 본 명세서에서는, 액정층보다 면(소자 기판에

보다 가까운) 하층에 형성되는 전극층을 제1 전극층이라고 하고, 이 제1 전극층을 평판상의 전극층으로 한다. 한편, 액정층에 가까운(소자 기판으로부터 보다 면) 상층에 형성되는 전극층을 제2 전극층이라고 하고, 이 제2 전극층은 개구 패턴(슬릿)을 가지는 전극층으로 한다. 화소 전극층 및 공통 전극층은 그 전극간에 전계를 발생시키기 때문에, 평판상의 제1 전극층과, 제2 전극층의 개구 패턴(슬릿)은 중첩되는 배치로 한다.

본 명세서에서, 화소 전극층 및 공통 전극층이 가지는 개구 패턴(슬릿)은, 폐공간에 개구된 패턴 외에, 일부 열려진 빗살 형상과 같은 패턴도 포함되는 것으로 한다.

본 명세서에서는, 박막 트랜지스터, 화소 전극층, 공통 전극층, 및 층간막이 형성되어 있는 기판을 소자 기판(제1 기판)이라고 하고, 이 소자 기판과 액정층을 통하여 대향하는 기판을 대향 기판(제2 기판)이라고 한다.

차광층은, 액정 표시 장치의 대향 기판측에도 소자 기판측에도 형성할 수 있다. 콘트라스트 향상이나 박막 트랜지스터의 안정화의 효과를 보다 높일 수 있다. 차광층을 박막 트랜지스터와 대응하는 영역(적어도 박막 트랜지스터의 반도체층과 중첩하는 영역)에 형성하면, 대향 기판으로부터 입사하는 광에 의한 박막 트랜지스터의 전기 특성의 변동을 방지할 수 있다. 차광층을 대향 기판측에 형성하는 경우, 액정층을 통하여 박막 트랜지스터와 대응하는 영역(적어도 박막 트랜지스터의 반도체층과 중첩하는 영역)에 형성하면 좋다. 차광층을 소자 기판측에 형성하는 경우, 박막 트랜지스터 위(적어도 박막 트랜지스터의 반도체층을 덮는 영역)에 직접, 또는 절연층을 통하여 차광층을 형성하면 좋다.

대향 기판측에도 차광층을 형성하는 경우, 박막 트랜지스터의 반도체층이 차광성의 배선층이나 전극층 등에 의해 소자 기판으로부터의 광도 대향 기판으로부터의 광도 차단할 수 있는 경우도 있으므로, 반드시 차광층을 박막 트랜지스터를 덮도록 형성하지 않아도 된다.

본 명세서에서 개시하는 발명의 구성의 일 형태는, 게이트 전극층과 중첩하는 산화물 반도체층을 채널 형성 영역으로 하는 박막 트랜지스터와, 평판상의 제1 전극층과, 개구 패턴을 가지는 제2 전극층과, 상기 박막 트랜지스터 및 상기 제2 전극층의 사이에 형성된 층간막과, 상기 층간막, 상기 제1 전극층 및 상기 제2 전극층 위에 액정층을 가지고, 상기 제1 전극층 및 상기 제2 전극층 중 어느 한쪽은 상기 박막 트랜지스터와 전기적으로 접속하는 화소 전극층이며, 다른 한쪽은 공통 전극층이며, 상기 층간막은 상기 산화물 반도체층보다 광투과율이 낮은 유채색의 투광성 수지층이며, 상기 유채색의 투광성 수지층은, 상기 화소 전극층과 중첩함과 동시에 상기 산화물 반도체층을 피복하도록 형성되어 있다.

본 명세서에서 개시하는 발명의 구성의 다른 일 형태는, 게이트 전극층과 중첩하는 산화물 반도체층을 채널 형성 영역으로 하는 박막 트랜지스터와, 평판상의 제1 전극층과, 개구 패턴을 가지는 제2 전극층과, 상기 박막 트랜지스터 및 상기 제2 전극층 사이에 형성된 층간막과, 상기 층간막, 상기 제1 전극층 및 상기 제2 전극층 위에 액정층을 가지고, 상기 제1 전극층 및 상기 제2 전극층 중 어느 한쪽은 상기 박막 트랜지스터와 전기적으로 접속하는 화소 전극층이며, 다른 한쪽은 공통 전극층이며, 상기 층간막은 상기 산화물 반도체층보다 광투과율이 낮은 유채색의 투광성 수지층 및 차광층을 포함하고, 상기 차광층은 상기 산화물 반도체층을 피복하도록 형성되고, 상기 유채색의 투광성 수지층은 상기 화소 전극층과 중첩하도록 형성되어 있다.

본 명세서에서, 액정 표시 장치는 광원의 광을 투과하는 것에 의해 표시를 행하는 투과형의 액정 표시 장치(또는 반투과형의 액정 표시 장치)인 경우, 적어도 화소 영역에서 광을 투과시킬 필요가 있다. 따라서, 광이 투과하는 화소 영역에 존재하는 제1 기판, 제2 기판, 소자층에 포함되는 화소 전극층, 공통 전극층, 다른 절연막, 도전막 등의 박막은 모두 가시광의 파장 영역의 광에 대하여 투광성으로 한다.

또한, 제1, 제2로서 붙여지는 서수사는 편의상 이용하는 것이며, 공정순 또는 적층순을 나타낸 것은 아니다. 또한, 본 명세서에서 발명을 특정하기 위한 사항으로서 고유의 명칭을 나타낸 것은 아니다.

또한, 본 명세서 중에서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키고, 전기 광학 장치, 반도체 회로 및 전자기기는 모두 반도체 장치이다.

효과

산화물 반도체층에서 채널을 형성하는 박막 트랜지스터를 가지는 액정 표시 장치에서, 적어도 이 산화물 반도체층을 덮는 층간막을 투과하는 가시광의 광강도를 감쇠시키는 재질로 형성함으로써, 개구율을 손상시키지 않고, 이 박막 트랜지스터의 동작 특성을 안정화시킬 수 있다.

또한, 시야각 특성을 개선하여, 보다 고화질의 액정 표시 장치를 제공할 수 있다.

발명의 실시를 위한 구체적인 내용

실시형태에 대하여, 도면을 이용하여 상세하게 설명한다. 단, 이하의 설명에 한정되지 않고, 취지 및 그 범위로부터 벗어남이 없이 그 형태 및 상세한 사항을 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해할 수 있을 것이다. 따라서, 이하에 나타낸 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또한, 이하에 설명하는 구성에서, 동일 부분 또는 동일한 기능을 가지는 부분에는 동일한 부호를 다른 도면간에 공통으로 이용하고, 그 반복의 설명은 생략한다.

[실시형태 1]

액정 표시 장치를 도 1을 이용하여 설명한다.

도 1(A)는 액정 표시 장치의 평면도이며 1화소분의 화소를 나타낸다. 도 1(B)는 도 1(A)의 선 X1-X2에서의 단면도이다.

도 1(A)에서, 복수의 소스 배선층(배선층(405a)을 포함함)이 서로 평행하고(도면 중 상하 방향으로 연장), 또한, 서로 이격된 상태로 배치되어 있다. 복수의 게이트 배선층(게이트 전극층(401)을 포함함)은, 소스 배선층과 대략 직교하는 방향(도면 중 좌우 방향)으로 연장되고, 또한, 서로 이격되도록 배치되어 있다. 공통 배선층(공통 전극층)은, 복수의 게이트 배선층 각각에 인접하는 위치에 배치되어 있고, 게이트 배선층과 대략 평행한 방향, 즉, 소스 배선층과 대략 직교하는 방향(도면 중 좌우 방향)으로 연장되어 있다. 소스 배선층과, 공통 배선층(공통 전극층) 및 게이트 배선층에 의해, 대략 직사각형의 공간이 둘러싸여 있지만, 이 공간에 액정 표시 장치의 화소 전극층 및 공통 전극층이 배치되어 있다. 화소 전극층을 구동하는 박막 트랜지스터(420)는, 도면 중 왼쪽 위의 코너에 배치되어 있다. 화소 전극층 및 박막 트랜지스터는, 매트릭스 형상으로 복수 배치되어 있다.

도 1의 액정 표시 장치에서, 박막 트랜지스터(420)에 접속하는 제2 전극층(446)이 화소 전극층으로서 기능하고, 공통 배선층과 전기적으로 접속하는 제1 전극층(447)이 공통 전극층으로서 기능한다. 또한, 도 1에 나타낸 바와 같이, 제1 전극층(447)은 화소에 있어서 공통 배선층도 겹하고 있고, 서로 인접하는 화소간은 공통 전극층(409)에 의해 전기적으로 접속되어 있다. 또한, 화소 전극층과 공통 전극층에 의해 용량이 형성되어 있다. 공통 전극층은 플로팅 상태(전기적으로 고립된 상태)로 하여 동작시키는 것도 가능하지만, 고정 전위, 바람직하게는 공통 전위(데이터로서 보내지는 화상 신호의 중간 전위) 근방에서 플리커가 생기지 않는 레벨로 설정해도 좋다.

기판에 대략 평행(즉, 수평인 방향)인 전계를 발생시켜, 기판과 평행한 면 내에서 액정 분자를 움직여, 계조를 제어하는 방식을 이용한다. 이러한 방식으로서, 도 1에 나타낸 바와 같은 FFS 모드로 이용하는 전극 구성을 적용할 수 있다.

FFS 모드 등에 나타나는 횡전계 모드는, 액정층의 하방에 평판상의 제1 전극층(예를 들면, 각 화소별로 전압이 제어되는 화소 전극층), 및 그 전극의 상방과 중첩되도록 개구 패턴을 가지는 제2 전극층(예를 들면, 전 화소에 공통의 전압이 공급되는 공통 전극층)을 배치한다. 따라서, 제1 기판(441) 위에는, 한쪽이 화소 전극층이며, 다른 한쪽이 공통 전극층인 제1 전극층 및 제2 전극층이 형성되고, 화소 전극층과 공통 전극층은 절연막(또는 중간 절연층)을 통하여 적층하도록 배치된다. 화소 전극층 및 공통 전극층 중 어느 한쪽은 하방에 형성되고, 평판상이며, 다른 한쪽은 상방에 형성되고, 다양한 개구 패턴을 가지고, 굴곡부나 분기한 빗살 형상을 포함하는 형상이다. 제1 전극층(447) 및 제2 전극층(446)은 그 전극간에 전계를 발생시키기 위하여, 같은 형상으로 중첩되지 않는 배치로 한다.

본 명세서에서는, 액정층보다 면(소자 기판에 보다 가까운) 하층에 형성되는 전극층을 제1 전극층이라고 하고, 이 제1 전극층을 평판상의 전극층으로 한다. 한편, 액정층에 가까운(소자 기판으로부터 보다 면) 상층에 형성되는 전극층을 제2 전극층으로 하고, 이 제2 전극층은 개구 패턴(슬릿)을 가지는 전극층으로 한다. 화소 전극층 및 공통 전극층은 그 전극간에 전계를 발생시키기 위해, 평판상의 제1 전극층과, 제2 전극층의 개구 패턴(슬릿)과는 중첩되는 배치로 한다.

화소 전극층과 공통 전극층과의 사이에 전계를 더함으로써, 액정을 제어한다. 액정에는 수평 방향의 전계가 더해지기 때문에, 그 전계를 이용하여 액정 분자를 제어할 수 있다. 즉, 기판과 평행으로 배향되고 있는 액정 분자를 기판과 평행한 방향으로 제어할 수 있기 때문에, 시야각이 넓어진다.

제1 전극층(447) 및 제2 전극층(446)의 예를 도 8에 나타낸다. 도 8(A) 내지 도 8(D)과 같이, 제1 전극층

(447a 내지 447d)과 제2 전극층(446a 내지 446d)은 중첩되도록 배치되고, 제1 전극층(447a 내지 447d)과 제2 전극층(446a 내지 446d) 사이에는 절연막을 형성하고, 다른 막 위에 제1 전극층(447a 내지 447d)과 제2 전극층(446a 내지 446d)을 각각 형성한다.

도 8(A) 내지 도 8(D)의 상면도에 나타낸 바와 같이, 제1 전극층(447a 내지 447d) 위에 다양한 패턴으로 형성된 제2 전극층(446a 내지 446d)이 형성되어 있고, 도 8(A)에서는 제1 전극층(447a) 위의 제2 전극층(446a)은 굴곡 하는 V자 형상이며, 도 8(B)에서는 제1 전극층(447b) 위의 제2 전극층(446b)은 동심원 형상이며, 도 8(C)에서는 제1 전극층(447c) 위의 제2 전극층(446c)은 빗살 형상으로 전극끼리 맞물리는 형상이며, 도 8(D)에서는 제1 전극층(447d) 위의 제2 전극층(446d)은 빗살 형상이다.

박막 트랜지스터(420)는 역스태거형의 박막 트랜지스터이며, 절연 표면을 가지는 기판인 제1 기판(441) 위에, 게이트 전극층(401), 게이트 절연층(402), 반도체층(403), 소스 영역 또는 드레인 영역으로서 기능하는 n^+ 층(404a, 404b), 소스 전극층 또는 드레인 전극층으로서 기능하는 배선층(405a, 405b)을 포함한다. 제1 전극층(447)은 제1 기판(441) 위에 게이트 전극층(401)과 같은 층에 형성되고, 화소에서 평판상의 전극층이다.

박막 트랜지스터(420)를 덮어, 반도체층(403)에 접하는 절연막(407)이 형성되어 있다. 절연막(407) 위에 충간막(413)이 형성되고, 충간막(413) 위에 개구 패턴을 가지는 제2 전극층(446)이 형성되어 있다. 따라서, 제1 전극층(447)과 제2 전극층(446)은 사이에 게이트 절연층(402), 절연막(407), 충간막(413)을 사이에 두고 중첩되도록 배치되어 있다.

도 1의 액정 표시 장치는, 충간막(413)에 투과하는 가시광의 광강도를 감쇠시키는 기능을 가지는 막으로서 유채색의 투광성 수지층(417)을 이용한다. 유채색의 투광성 수지층(417)의 가시광의 광투과율은 산화물 반도체층인 반도체층(403)의 가시광의 광투과율보다 낮다.

박막 트랜지스터(420) 위에 형성하는 충간막(413)으로서, 유채색의 투광성 수지층(417)의 착색층을 이용하면, 화소의 개구율을 저하시키지 않고 박막 트랜지스터(420)의 반도체층(403)에 입사하는 광의 강도를 감쇠시킬 수 있어, 산화물 반도체의 광감도에 의한 박막 트랜지스터(420)의 전기 특성의 변동을 방지하여 안정화시키는 효과를 얻을 수 있다. 또한, 유채색의 투광성 수지층(417)은 컬러 필터층으로서 기능시킬 수 있다. 컬러 필터층을 대향 기판측에 형성하는 경우, 박막 트랜지스터가 형성되는 소자 기판과의 정확한 화소 영역의 위치 맞춤이 어렵고, 화질을 손상시킬 우려가 있지만, 충간막을 컬러 필터층으로서 직접 소자 기판측에 형성하므로 보다 정밀한 형성 영역의 제어를 할 수 있어, 미세한 패턴의 화소에도 대응할 수 있다. 또한, 충간막과 컬러 필터층을 동일한 절연층에서 겹하므로, 공정이 간략화되어 보다 저비용으로 액정 표시 장치를 제작할 수 있게 된다.

유채색은, 검은색, 회색, 흰색 등의 무채색을 제외한 색이며, 착색층은 컬러 필터로서 기능시키기 위해, 그 착색된 유채색의 광만을 투과하는 재료로 형성된다. 유채색으로서는, 적색, 녹색, 청색 등을 이용할 수 있다. 또한, 청록색, 진홍색, 노란색 등을 이용해도 좋다. 착색된 유채색의 광만을 투과한다는 것은, 착색층에서 투과하는 광은 그 유채색의 광의 파장에 피크를 가진다.

유채색의 투광성 수지층은, 착색층(컬러 필터)으로서 기능시키기 위하여, 포함시킨 착색 재료의 농도와 광의 투과율의 관계에 고려하여, 최적의 막 두께를 적절히 제어하면 좋다. 충간막을 복수의 박막으로 적층하는 경우, 적어도 일층이 유채색의 투광성 수지층이라면, 컬러 필터로서 기능시킬 수 있다.

유채색의 색에 의해 유채색의 투광성 수지층의 막 두께가 다른 경우나, 차광층, 박막 트랜지스터에 기인하는 요철을 가지는 경우는, 가시광 영역의 파장의 광을 투과하는(소위 무색 투명) 절연층을 적층하여, 충간막 표면을 평탄화해도 좋다. 충간막의 평탄성을 높이면 그 위에 형성되는 화소 전극층이나 공통 전극층의 피복성도 좋고, 또한, 액정층의 캡(막 두께)을 균일하게 할 수 있기 때문에, 보다 액정 표시 장치의 시인성을 향상시켜, 고화질화가 가능하게 된다.

유채색의 투광성 수지층(417)으로서는, 투광성의 유기 수지, 유채색의 안료, 염료를 이용할 수 있고, 유기 수지에 안료, 또는 염료 등을 혼합시켜 이용하면 좋다. 투광성의 유기 수지로서는, 감광성, 또는 비감광성의 수지를 이용할 수 있다. 감광성의 유기 수지층을 이용하면 레지스트 마스크수를 삭감할 수 있기 때문에, 공정이 간략화되어 바람직하다. 또한, 충간막에 형성하는 콘택트홀도 곡률을 가지는 개구 형상이 되기 때문에, 콘택트홀에 형성되는 전극층 등의 막의 피복성도 향상시킬 수 있다.

충간막(413)(유채색의 투광성 수지층(417))의 형성법은, 특별히 한정되지 않고, 그 재료에 따라, 스판 코트, 딥, 스프레이 도포, 액적 토출법(잉크젯법, 스크린 인쇄, 오프셋 인쇄 등) 등의 습식법을 이용하여, 필요에 따라

라 에칭법(드라이 에칭 또는 웨트 에칭)에 의해 소망의 패턴으로 가공하면 좋다.

제1 전극층(447) 및 제2 전극층(446) 위에는 액정층(444)이 형성되고, 대향 기판인 제2 기판(442)으로 봉지되어 있다.

제1 기판(441) 및 제2 기판(442)은 투광성 기판이며, 각각 외측(액정층(444)과 반대측)에 편광판(443a, 443b)이 설치되어 있다.

제1 전극층(447) 및 제2 전극층(446)은, 산화텅스텐을 포함하는 인듐 산화물, 산화텅스텐을 포함하는 인듐 아연 산화물, 산화티탄을 포함하는 인듐 산화물, 산화티탄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO라고 나타냄), 인듐 아연 산화물, 산화규소를 첨가한 인듐 주석 산화물 등의 투광성을 가지는 도전성 재료를 이용할 수 있다.

또한, 제1 전극층(447) 및 제2 전극층(446)으로서, 도전성 고분자(도전성 폴리미라고도 함)를 포함하는 도전성 조성물을 이용하여 형성할 수 있다. 도전성 조성물을 이용하여 형성한 화소 전극은 시트 저항이 10000 Ω/□ 이하, 파장 550 nm에서의 투광율이 70% 이상인 것이 바람직하다. 또한, 도전성 조성물에 포함되는 도전성 고분자의 저항율이 0.1 Ω · cm 이하인 것이 바람직하다.

도전성 고분자로서는, 소위 π 전자 공액계 도전성 고분자를 이용할 수 있다. 예를 들면, 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 혹은 이들의 2종 이상의 공중합체 등을 들 수 있다.

하지막이 되는 절연막을 제1 기판(441)과, 게이트 전극층(401) 및 제1 전극층(447)과의 사이에 형성해도 좋다. 하지막은, 제1 기판(441)으로부터의 불순물 원소의 확산을 방지하는 기능이 있고, 질화규소막, 산화규소막, 질화산화규소막, 또는 산화질화규소막으로부터 선택된 하나 또는 복수의 막에 의한 적층 구조에 의해 형성할 수 있다. 게이트 전극층(401)의 재료는, 몰리브덴, 티탄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 금속 재료 또는 이것들을 주성분으로 하는 합금 재료를 이용하여, 단층 또는 적층하여 형성할 수 있다. 게이트 전극층(401)에 차광성을 가지는 도전막을 이용함으로써, 백 라이트로부터의 광(제1 기판(441)으로부터 입사하는 광)이, 반도체층(403)에 입사하는 것을 방지할 수 있다.

예를 들면, 게이트 전극층(401)의 2층의 적층 구조로서는, 알루미늄층 위에 몰리브덴층이 적층된 2층의 적층 구조, 또는 구리층 위에 몰리브덴층을 적층한 2층 구조, 또는 구리층 위에 질화티탄층 혹은 질화탄탈을 적층한 2층 구조, 질화티탄층과 몰리브덴층을 적층한 2층 구조로 하는 것이 바람직하다. 3층의 적층 구조로서는, 텅스텐층 또는 질화텅스텐과, 알루미늄과 실리콘의 합금 또는 알루미늄과 티탄의 합금과, 질화티탄 또는 티탄층을 적층한 적층으로 하는 것이 바람직하다.

게이트 절연층(402)은, 플라즈마 CVD법 또는 스퍼터링법 등을 이용하여, 산화규소층, 질화규소층, 산화질화규소층 또는 질화산화규소층을 단층 또는 적층하여 형성할 수 있다. 또한, 게이트 절연층(402)으로서, 유기 실란 가스를 이용한 CVD법에 의해 산화규소층을 형성하는 것도 가능하다. 유기 실란 가스로서는, 규산에틸(TEOS: 화학식 $\text{Si}(\text{OC}_2\text{H}_5)_4$), 테트라메틸실란(TMS: 화학식 $\text{Si}(\text{CH}_3)_4$), 테트라메틸시클로테트라실록산(TMCTS), 옥타메틸시클로테트라실록산(OMCTS), 헥사메틸디실라잔(HMDS), 트리에톡시실란($\text{SiH}(\text{OC}_2\text{H}_5)_3$), 트리스디메틸아미노실란($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$) 등의 실리콘 함유 화합물을 이용할 수 있다.

반도체층(403)으로서 이용하는 산화물 반도체막을 성막하기 전에, 아르곤 가스를 도입하여 플라즈마를 발생시키는 역스퍼터를 행하여, 게이트 절연층의 표면에 부착되어 있는 오물을 제거하는 것이 바람직하다. 또한, 아르곤 분위기 대신에 질소, 헬륨 등을 이용해도 좋다. 또한, 아르곤 분위기에 산소, 수소, N_2O 등을 첨가한 분위기에서 행하여도 좋다. 또한, 아르곤 분위기에 Cl_2 , CF_4 등을 첨가한 분위기에서 행하여도 좋다.

본 명세서에서는 산화물 반도체로서, $\text{InMn}_3(\text{ZnO})_m$ ($m > 0$)으로 표기되는 박막을 적합하게 이용한다. 박막 트랜지스터(420)는, $\text{InMn}_3(\text{ZnO})_m$ ($m > 0$)으로 표기되는 박막을 형성하고, 그 박막을 반도체층(403)으로서 이용한다. 또한, M은, 갈륨(Ga), 철(Fe), 니켈(Ni), 망간(Mn) 및 코발트(Co)로부터 선택된 하나의 금속 원소 또는 복수의 금속 원소를 나타낸다. 예를 들면, M으로서, Ga의 경우 외에, Ga와 Ni 또는 Ga와 Fe 등, Ga 이외의 상기 금속 원소가 포함되는 경우가 있다. 또한, 상기 산화물 반도체에서, M으로서 포함되는 금속 원소 외에, 불순물 원소로서, Fe, Ni 그 외의 천이 금속 원소, 또는 이 천이 금속의 산화물이 포함되어 있는 것이 있다. 예를 들면, 산

화물 반도체층으로서 In-Ga-Zn-O계 비단결정막을 이용할 수 있다.

InMO₃(ZnO)_m(m>0)막(층)에서, M이 갈륨(Ga)인 경우, 본 명세서에서는 이 박막을 In-Ga-Zn-O계 비단결정막이라 고도 부른다. In-Ga-Zn-O계 비단결정막의 결정 구조는 스퍼터링법으로 성막한 후, 가열 처리를 200°C~500°C, 대표적으로는 300~400°C에서 10분~100분 행하여도, 아몰퍼스 구조가 XRD(X선 회절)인 분석에서는 관찰된다. 또한, 박막 트랜지스터의 전기 특성도 게이트 전압±20 V에서, 온 오프비가 10⁹ 이상, 이동도가 10 이상의 것을 제작할 수 있다. 또한, In₂O₃ : Ga₂O₃ : ZnO = 1 : 1 : 1로 한 타겟을 이용하여, 스퍼터링법으로 성막한 In-Ga-Zn-O계 비단결정막은 파장 450 nm 이하에 광감도를 가진다.

반도체층(403) 및 소스 영역 또는 드레인 영역으로서 기능하는 n⁺층(404a, 404b)에는, In-Ga-Zn-O계 비단결정 막을 이용할 수 있다. n⁺층(404a, 404b)은, 반도체층(403)보다 저저항인 산화물 반도체층이다. 예를 들면, n⁺층(404a, 404b)은, n형의 도전형을 가지고, 활성화 에너지(ΔE)가 0.01 eV 이상 0.1 eV 이하이다. n⁺층(404a, 404b)은, In-Ga-Zn-O계 비단결정막이며, 적어도 아몰퍼스 성분을 포함하고 있는 것으로 한다. n⁺층(404a, 404b)은 비정질 구조 중에 결정립(나노 크리스탈)을 포함하는 경우가 있다. 이 n⁺층(404a, 404b) 중의 결정립(나노 크리스탈)은 직경 1 nm~10 nm, 대표적으로는 2 nm~4 nm 정도이다.

n⁺층(404a, 404b)을 형성함으로써, 금속층인 배선층(405a, 405b)과, 산화물 반도체층인 반도체층(403) 사이를 양호한 접합으로 하여 쇼트키(Schottky) 접합에 비하여 열적으로도 안정적인 동작을 가지게 한다. 또한, 채널의 캐리어를 공급하거나(소스측), 또는 채널의 캐리어를 안정적으로 흡수하거나(드레인측), 또는 저항 성분을 배선층과의 계면에 만들지 않기 위해서라도 적극적으로 n⁺층을 형성하면 효과적이다. 또한, 저저항화에 의해, 높은 드레인 전압에서도 양호한 이동도를 보유할 수 있다.

반도체층(403)으로서 이용하는 제1 In-Ga-Zn-O계 비단결정막은, n⁺층(404a, 404b)으로서 이용하는 제2 In-Ga-Zn-O계 비단결정막의 성막 조건과 다르게 한다. 예를 들면, 제2 In-Ga-Zn-O계 비단결정막의 성막 조건에서의 산소 가스 유량과 아르곤 가스 유량의 비보다 제1 In-Ga-Zn-O계 비단결정막의 성막 조건에서의 산소 가스 유량이 차지하는 비율이 많은 조건으로 한다. 구체적으로는, 제2 In-Ga-Zn-O계 비단결정막의 성막 조건은, 희가스(아르곤, 또는 헬륨 등) 분위기하(또는, 산소 가스 10% 이하, 아르곤 가스 90% 이상)로 하고, 제1 In-Ga-Zn-O계 비단결정막의 성막 조건은, 산소 분위기하(또는, 산소 가스의 유량이 아르곤 가스의 유량과 동일하거나 그 이상)로 한다.

예를 들면, 반도체층(403)으로서 이용하는 제1 In-Ga-Zn-O계 비단결정막은, 직경 8 인치의 In, Ga, 및 Zn을 포함하는 산화물 반도체 타겟(In₂O₃ : Ga₂O₃ : ZnO = 1 : 1 : 1)을 이용하여, 기판과 타겟 사이의 거리를 170 mm, 압력 0.4 Pa, 직류(DC) 전원 0.5 kW, 아르곤 또는 산소 분위기하에서 성막한다. 또한, 펄스 직류(DC) 전원을 이용하면, 오물을 경감할 수 있고, 막 두께 분포도 균일하게 되기 때문에 바람직하다. 제1 In-Ga-Zn-O계 비단결정막의 막 두께는, 5 nm~200 nm로 한다.

한편, n⁺층(404a, 404b)으로서 이용하는 제2 In-Ga-Zn-O계 비단결정막은, In₂O₃ : Ga₂O₃ : ZnO = 1 : 1 : 1로 한 타겟을 이용하고, 성막 조건은 압력을 0.4 Pa로 하고, 전력을 500 W로 하고, 성막 온도를 실온으로 하고, 아르곤 가스 유량 40 sccm를 도입하여 스퍼터링법에 의해 성막한다. 성막 직후에 크기 1 nm~10 nm의 결정립을 포함하는 In-Ga-Zn-O계 비단결정막이 형성되는 경우가 있다. 또한, 타겟의 성분비, 성막 압력(0.1 Pa~2.0 Pa), 전력(250 W~3000 W: 8 인치Φ, 온도(실온~100°C), 반응성 스퍼터의 성막 조건 등을 적절히 조절함으로써 결정립의 유무나, 결정립의 밀도나, 직경 사이즈는 1 nm~10 nm의 범위에서 조절될 수 있다고 할 수 있다. 제2 In-Ga-Zn-O계 비단결정막의 막 두께는 5 nm~20 nm로 한다. 물론, 막 중에 결정립이 포함되는 경우, 포함되는 결정립의 사이즈가 막 두께를 넘는 크기가 되지 않는다. 제2 In-Ga-Zn-O계 비단결정막의 막 두께는 5 nm로 한다.

스퍼터링법에는 스퍼터용 전원에 고주파 전원을 이용하는 RF 스퍼터링법과, DC 스퍼터링법이 있고, 또한, 펄스적으로 바이어스를 부여하는 펄스 DC 스퍼터링법도 있다. RF 스퍼터링법은 주로 절연막을 성막하는 경우에 이용되고, DC 스퍼터링법은 주로 금속막을 성막하는 경우에 이용된다.

또한, 재료가 다른 타겟을 복수 형성할 수 있는 다원 스퍼터 장치도 있다. 다원 스퍼터 장치는, 동일 체임버에

서 다른 재료막을 적층 성막할 수도 있고, 동일 체임버에서 복수 종류의 재료를 동시에 방전시켜 성막할 수도 있다.

또한, 체임버 내부에 자석 기구를 구비한 마그네트론 스퍼터링법을 이용하는 스퍼터 장치나, 글로우 방전을 사용하지 않고 마이크로파를 이용하여 발생시킨 플라즈마를 이용하는 ECR 스퍼터링법을 이용하는 스퍼터 장치가 있다.

또한, 스퍼터법을 이용하는 성막 방법으로서, 성막 중에 타겟 물질과 스퍼터 가스 성분을 화학 반응시키고 그들의 화합물 박막을 형성하는 리액티브 스퍼터법이나, 성막 중에 기판에도 전압을 가하는 바이어스 스퍼터법도 있다.

반도체층, n^+ 층, 배선층의 제작 공정에서, 박막을 소망의 형상으로 가공하기 위하여 에칭 공정을 이용한다. 에칭 공정은, 드라이 에칭이나 웨트 에칭을 이용할 수 있다.

드라이 에칭에 이용하는 에칭 가스로서는, 염소를 포함하는 가스(염소계 가스, 예를 들면, 염소(Cl_2), 염화붕소(BCl_3), 염화규소($SiCl_4$), 사염화탄소(CCl_4) 등)가 바람직하다.

또한, 불소를 포함하는 가스(불소계 가스, 예를 들면, 사불화탄소(CF_4), 불화유황(SF_6), 불화질소(NF_3), 트리플루오로메탄(CHF_3) 등), 브롬화수소(HBr), 산소(O_2), 이들 가스에 헬륨(He)이나 아르곤(Ar) 등의 희가스를 첨가한 가스 등을 이용할 수 있다.

드라이 에칭에 이용하는 에칭 장치로서는, 반응성 이온 에칭법(RIE법)을 이용한 에칭 장치나, ECR(Electron Cyclotron Resonance)나 ICP(Inductively Coupled Plasma) 등의 고밀도 플라즈마원을 이용한 드라이 에칭 장치를 이용할 수 있다. 또한, ICP 에칭 장치와 비교하여 넓은 면적에 걸쳐 일정한 방전을 얻기 쉬운 드라이 에칭 장치로서는, 상부 전극을 접지시키고, 하부 전극에 13.56 MHz의 고주파 전원을 접속하고, 또한, 하부 전극에 3.2 MHz의 저주파 전원을 접속한 ECCP(Enhanced Capacitively Coupled Plasma) 모드의 에칭 장치가 있다. 이 ECCP 모드의 에칭 장치는, 예를 들면, 기판으로서, 제10 세대의 3 μ m를 넘는 사이즈의 기판을 이용하는 경우에도 대응할 수 있다.

소망의 가공 형상으로 에칭할 수 있도록, 에칭 조건(코일형의 전극에 인가되는 전력량, 기판측의 전극에 인가되는 전력량, 기판측의 전극 온도 등)을 적절히 조절한다.

웨트 에칭에 이용하는 에칭액으로서는, 인산과 초산과 황산을 혼합한 용액, 암모니아과수(과산화수소 : 암모니아 : 물 = 5 : 2 : 2) 등을 이용할 수 있다. 또한, ITO07N(Kanto Chemical Co., Inc. 제품)을 이용해도 좋다.

또한, 웨트 에칭 후의 에칭액은 에칭된 재료와 함께 세정에 의해 제거된다. 그 제거된 재료를 포함하는 에칭액의 폐수를 정제하여, 포함되는 재료를 재이용해도 좋다. 이 에칭 후의 폐수로부터 산화물 반도체층에 포함되는 인듐 등의 재료를 회수하여 재이용함으로써, 자원을 유효하게 활용하여 저비용화할 수 있다.

소망의 가공 형상으로 에칭할 수 있도록, 재료에 맞추어 에칭 조건(에칭액, 에칭 시간, 온도 등)을 적절히 조절한다.

배선층(405a, 405b)의 재료로서는, Al, Cr, Ta, Ti, Mo, W로부터 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금이나, 상술한 원소를 조합한 합금막 등을 들 수 있다. 또한, 200°C~600°C의 열처리를 행하는 경우에는, 이 열처리에 견딜 수 있는 내열성을 도전막에 갖게 하는 것이 바람직하다. Al 단체(單體)는 내열성이 뛰어지고, 또한, 부식하기 쉽다는 등의 문제점이 있으므로, 내열성 도전성 재료와 조합하여 형성한다. Al과 조합하는 내열성 도전성 재료로서는, 티탄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), Nd(네오디뮴), Sc(스칸듐)로부터 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금이나, 상술한 원소를 조합한 합금막, 또는 상술한 원소를 성분으로 하는 질화물로 형성한다.

게이트 절연층(402), 반도체층(403), n^+ 층(404a, 404b), 배선층(405a, 405b)을 대기에 접하게 하는 일 없이 연속적으로 형성해도 좋다. 대기에 접하게 하는 일 없이 연속 성막함으로써, 대기 성분이나 대기 중에 부유하는 오염 불순물 원소에 오염되는 일 없이 각 적층 계면을 형성할 수 있으므로, 박막 트랜지스터 특성의 편차를 저감할 수 있다.

또한, 반도체층(403)은 일부만이 에칭되어, 홈부(오목부)를 가지는 반도체층이다.

반도체층(403), n^+ 층(404a, 404b)에 200°C ~ 600°C, 대표적으로는 300°C ~ 500°C의 열처리를 행하면 좋다. 예를 들면, 질소 분위기하에서 350°C, 1시간의 열처리를 행한다. 이 열처리에 의해 반도체층(403), n^+ 층(404a, 404b)을 구성하는 In-Ga-Zn-O계 산화물 반도체의 원자 레벨의 재배열을 한다. 이 열처리(광어닐 등도 포함함)는, 반도체층(403), n^+ 층(404a, 404b) 중에서의 캐리어의 이동을 저해하는 변형을 해방시킬 수 있다는 점에서 중요하다. 또한, 상기의 열처리를 행하는 타이밍은, 반도체층(403), n^+ 층(404a, 404b)의 형성 후라면 특별히 한정되지 않는다.

또한, 노출되어 있는 반도체층(403)의 오목부에 대하여 산소 라디칼 처리를 행하여도 좋다. 라디칼 처리는, O₂, N₂O, 산소를 포함하는 N₂, He, Ar 등의 분위기하에서 행하는 것이 바람직하다. 또한, 상기 분위기에 Cl₂, CF₄를 첨가한 분위기하에서 행하여도 좋다. 또한, 라디칼 처리는, 제1 기판(441)측에 바이어스 전압을 인가하지 않고 행하는 것이 바람직하다.

또한, 액정 표시 장치에 형성되는 박막 트랜지스터 구조는, 특별히 한정되지 않는다. 박막 트랜지스터는 채널 형성 영역이 1개 형성되는 싱글 게이트 구조이어도, 2개 형성되는 더블 게이트 구조 혹은 3개 형성되는 트리플 게이트 구조이어도 좋다. 또한, 주변 구동 회로 영역의 트랜지스터도 싱글 게이트 구조, 더블 게이트 구조 혹은 트리플 게이트 구조이어도 좋다.

박막 트랜지스터는, 탑 게이트형(예를 들면, 순스테거형, 코플래너형), 보텀 게이트형(예를 들면, 역스테거형, 역코플래너형), 혹은 채널 영역의 상하에 게이트 절연막을 통하여 배치된 2개의 게이트 전극층을 가지는 듀얼 게이트형이나 그 외의 구조에서도 적용할 수 있다.

또한, 배향막이나, 편광판, 위상차판, 반사 방지막 등의 광학 필름 등을 적절히 형성한다. 예를 들면, 편광판 및 위상차판에 의한 원편광을 이용해도 좋다. 또한, 광원으로서 백 라이트, 사이드 라이트 등을 이용해도 좋다.

박막 트랜지스터(420)를 덮는 절연막(407)은, 건식법이나 습식법으로 형성되는 무기 절연막, 유기 절연막을 이용할 수 있다. 예를 들면, CVD법이나 스퍼터링법 등을 이용하여 얻어지는 질화규소막, 산화규소막, 산화질화규소막, 산화알루미늄막, 산화탄탈막 등을 이용할 수 있다. 또한, 아크릴, 폴리아미드, 벤조시클로부텐, 폴리아미드, 에폭시 등의 유기 재료를 이용할 수 있다. 또한, 상기 유기 재료 외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(phosphosilicate glass: 인 유리), BPSG(borophosphosilicate glass: 인 붕소 유리) 등을 이용할 수 있다.

또한, 실록산계 수지란, 실록산계 재료를 출발 재료로 하여 형성된 Si-O-Si결합을 포함하는 수지에 상당한다. 실록산계 수지는 치환기로서는 유기기(예를 들면, 알킬기나 아릴기)나 플루오로기를 이용해도 좋다. 또한, 유기기는 플루오로기를 가지고 있어도 좋다. 실록산계 수지는 도포법에 의해 성막하여, 소성함으로써 절연막(407)으로서 이용할 수 있다.

또한, 이들 재료로 형성되는 절연막을 복수 적층시킴으로써, 절연막(407)을 형성해도 좋다. 예를 들면, 무기 절연막 위에 유기 수지막을 적층하는 구조로 해도 좋다.

액정층(444)의 액정 재료로서는, 다양한 액정을 이용할 수 있고, 리오토로픽(lyotropic) 액정, 서모트로픽(thermotropic) 액정, 저분자 액정, 고분자 액정, 디스코틱 액정, 강유전 액정, 반강유전 액정 등을 적절히 선택하여 이용하면 좋다.

본 명세서에서, 액정 표시 장치는 광원의 광을 투과하는 것에 의해 표시를 행하는 투과형의 액정 표시 장치(또는 반투과형의 액정 표시 장치)인 경우, 적어도 화소 영역에서 광을 투과시킬 필요가 있다. 따라서, 광이 투과하는 화소 영역에 존재하는 제1 기판, 제2 기판, 소자층에 포함되는 화소 전극층, 공통 전극층, 다른 절연막, 도전막 등의 박막은 모두 가시광의 파장 영역의 광에 대하여 투광성으로 한다.

제1 기판(441), 제2 기판(442)에는 바륨 붕규산 유리나 알루미노 붕규산 유리 등의 유리 기판, 석영 기판, 플라스틱 기판 등을 이용할 수 있다.

또한, 다제조 마스크에 의해 형성한 복수(대표적으로는 2종류)의 두께의 영역을 가지는 레지스트 마스크를 이용하면, 레지스트 마스크의 수를 줄일 수 있기 때문에, 공정 간략화, 저비용화를 도모할 수 있다.

콘트라스트나 시야각 특성을 개선함으로써, 보다 고화질의 액정 표시 장치를 제공할 수 있다. 또한, 이 액정

표시 장치를 보다 저비용으로 생산성 좋게 제작할 수 있다.

또한, 박막 트랜지스터의 특성을 안정화하여, 액정 표시 장치의 신뢰성을 향상시킬 수 있다.

[실시형태 2]

액정 표시 장치의 다른 형태를 도 3에 나타낸다. 상세하게는, 하층에 형성되는 평판상의 제1 전극층을 화소 전극층으로 하여, 상층에 형성되는 개구 패턴을 가지는 제2 전극층을 공통 전극층으로서 이용하는 액정 표시 장치의 예를 나타낸다. 또한, 실시형태 1과 같은 것에 관해서는 같은 재료 및 제작 방법을 적용할 수 있고, 동일 부분 또는 동일한 기능을 가지는 부분의 상세한 설명은 생략한다.

도 3(A)는 액정 표시 장치의 평면도이며, 1화소분의 화소를 나타낸다. 도 3(B)는 도 3(A)의 선 X1-X2에서의 단면도이다.

도 3(A)에서, 복수의 소스 배선층(배선층(405a)을 포함함)이 서로 평행(도면 중 상하 방향으로 연장)하고, 또한, 서로 이격한 상태로 배치되어 있다. 복수의 게이트 배선층(게이트 전극층(401)을 포함함)은, 소스 배선층과 대략 직교하는 방향(도면 중 좌우 방향)으로 연장되고, 또한, 서로 이격하도록 배치되어 있다. 공통 배선층(408)은, 복수의 게이트 배선층 각각에 인접하는 위치에 배치되어 있고, 게이트 배선층과 대략 평행한 방향, 즉, 소스 배선층과 대략 직교하는 방향(도면 중 좌우 방향)으로 연장되어 있다. 소스 배선층과, 공통 배선층(408) 및 게이트 배선층에 의해, 대략 직사각형의 공간이 둘러싸여 있지만, 이 공간에 액정 표시 장치의 화소 전극층 및 공통 전극층이 배치되어 있다. 화소 전극층을 구동하는 박막 트랜지스터(420)는, 도면 중 왼쪽 위의 코너에 배치되어 있다. 화소 전극층 및 박막 트랜지스터는, 매트릭스 형상으로 복수 배치되어 있다.

도 3의 액정 표시 장치에서, 박막 트랜지스터(420)에 전기적으로 접속하는 제1 전극층(447)이 화소 전극층으로서 기능하고, 공통 배선층과 전기적으로 접속하는 제2 전극층(446)이 공통 전극층으로서 기능한다. 제1 전극층(447)은, 게이트 절연층(402)에 형성된 콘택트홀에서, 박막 트랜지스터(420)와 전기적으로 접속되어 있다. 또한, 제2 전극층(446)은, 게이트 절연층(402), 절연막(407), 및 충간막(413)에 형성된 콘택트홀에서 공통 배선층(408)과 전기적으로 접속되어 있다. 또한, 화소 전극층과 공통 전극층에 의해 용량이 형성되어 있다.

박막 트랜지스터(420) 위에 형성하는 충간막(413)으로서, 유채색의 투광성 수지층(417)의 착색층을 이용하면, 화소의 개구율을 저하시키는 일 없이 박막 트랜지스터의 반도체층(403)에 입사하는 광의 강도를 감쇠시킬 수 있어, 산화물 반도체의 광감도에 의한 박막 트랜지스터(420)의 전기 특성의 변동을 방지하여 안정화시키는 효과를 얻을 수 있다. 또한, 유채색의 투광성 수지층(417)은, 컬러 필터층으로서 기능시킬 수 있다. 컬러 필터층을 대향 기판측에 형성하는 경우, 박막 트랜지스터가 형성되는 소자 기판과의 정확한 화소 영역의 위치 맞춤이 어렵고 화질을 손상시킬 우려가 있지만, 충간막을 컬러 필터층으로서 직접 소자 기판측에 형성하므로 보다 정밀한 형성 영역의 제어를 할 수 있어, 미세한 패턴의 화소에도 대응할 수 있다. 또한, 충간막과 컬러 필터층을 동일한 절연층에서 겹하므로, 공정이 간략화되어 보다 저비용으로 액정 표시 장치를 제작할 수 있게 된다.

콘트라스트나 시야각 특성을 개선함으로써, 보다 고화질의 액정 표시 장치를 제공할 수 있다. 또한, 이 액정 표시 장치를 보다 저비용으로 생산성 좋게 제작할 수 있다.

또한, 박막 트랜지스터의 특성을 안정화하여, 액정 표시 장치의 신뢰성을 향상시킬 수 있다.

[실시형태 3]

액정 표시 장치의 다른 형태를 도 4, 도 7에 나타낸다. 상세하게는, 제1 전극층을 박막 트랜지스터보다 상방에 형성하는 구성을 나타낸다. 또한, 실시형태 1 및 실시형태 2와 같은 것에 관해서는 같은 재료 및 제작 방법을 적용할 수 있고, 동일 부분 또는 동일한 기능을 가지는 부분의 상세한 설명은 생략한다.

도 4(A), 도 7(A)는 액정 표시 장치의 평면도이며, 1화소분의 화소를 나타내고 있다. 도 4(B), 도 7(B)는, 도 4(A), 도 7(A) 각각의 선 X1-X2에서의 단면도이다.

도 4(A), 도 7(A)의 평면도에서는, 실시형태 2와 마찬가지로, 복수의 소스 배선층(배선층(405a)을 포함함)이 서로 평행(도면 중 상하 방향으로 연장)하고, 또한, 서로 이격한 상태로 배치되어 있다. 복수의 게이트 배선층(게이트 전극층(401)을 포함함)은, 소스 배선층과 대략 직교하는 방향(도면 중 좌우 방향)으로 연장되고, 또한, 서로 이격하도록 배치되어 있다. 공통 배선층(408)은 복수의 게이트 배선층 각각에 인접하는 위치에 배치되어 있고, 게이트 배선층과 대략 평행한 방향, 즉, 소스 배선층과 대략 직교하는 방향(도면 중 좌우 방향)으로 연장되어 있다. 소스 배선층과, 공통 배선층(408) 및 게이트 배선층에 의해, 대략 직사각형의 공간이 둘러싸여 있

지만, 이 공간에 액정 표시 장치의 화소 전극층 및 공통 전극층이 배치되어 있다. 화소 전극층을 구동하는 박막 트랜지스터(420)는, 도면 중 왼쪽 위의 코너에 배치되어 있다. 화소 전극층 및 박막 트랜지스터는 매트릭스 형상으로 복수 배치되어 있다.

도 4(B), 도 7(B)의 액정 표시 장치에서, 박막 트랜지스터(420)에 전기적으로 접속하는 평판상의 제1 전극층(447)이 화소 전극층으로서 기능하고, 공통 배선층(408)과 전기적으로 접속하는 개구 패턴을 가지는 제2 전극층(446)이 공통 전극층으로서 기능한다.

도 4에서는, 제1 전극층(447)이 절연막(407) 위에 형성되어 있고, 제1 전극층(447) 위에는 충간막(413)이 적층되고, 충간막(413) 위에 제2 전극층(446)이 형성되어 있다. 또한, 도 4에서는, 제1 전극층과 공통 전극층에 의해 용량이 형성되어 있다.

도 7에서는, 제1 전극층(447)이 충간막(413) 위에 형성되어 있고, 제1 전극층(447) 위에는 절연막(416)이 적층되고, 절연막(416) 위에 제2 전극층(446)이 형성되어 있다. 또한, 도 7에서는, 제1 전극층과 공통 전극층에 의해 용량이 형성되어 있다.

박막 트랜지스터(420) 위에 형성하는 충간막(413)으로서, 유채색의 투광성 수지층(417)의 착색층을 이용하면, 화소의 개구율을 저하시키는 일 없이 박막 트랜지스터(420)의 반도체층(403)에 입사하는 광의 강도를 감쇠시킬 수 있어, 산화물 반도체의 광감도에 의한 박막 트랜지스터(420)의 전기 특성의 변동을 방지하여 안정화시키는 효과를 얻을 수 있다. 또한, 유채색의 투광성 수지층(417)은 컬러 필터층으로서 기능시킬 수 있다. 컬러 필터층을 대향 기판측에 형성하는 경우, 박막 트랜지스터가 형성되는 소자 기판과의 정확한 화소 영역의 위치 맞춤이 어렵고 화질을 손상시킬 우려가 있지만, 충간막을 컬러 필터층으로서 직접 소자 기판측에 형성하므로 보다 정밀한 형성 영역의 제어를 할 수 있어, 미세한 패턴의 화소에도 대응할 수 있다. 또한, 충간막과 컬러 필터층을 동일한 절연층에서 겹하므로, 공정이 간략화되어 보다 저비용으로 액정 표시 장치를 제작할 수 있게 된다.

콘트라스트나 시야각 특성을 개선함으로써, 보다 고화질의 액정 표시 장치를 제공할 수 있다. 또한, 이 액정 표시 장치를 보다 저비용으로 생산성 좋게 제작할 수 있다.

또한, 박막 트랜지스터의 특성을 안정화하여, 액정 표시 장치의 신뢰성을 향상시킬 수 있다.

[실시형태 4]

차광층(블랙 매트릭스)을 가지는 액정 표시 장치를 도 5를 이용하여 설명한다.

도 5에 나타낸 액정 표시 장치는, 실시형태 1의 도 1(A), 도 1(B)에 나타낸 액정 표시 장치에서, 대향 기판인 제2 기판(442)측에 차광층(414)을 더 형성하는 예이다. 따라서, 실시형태 1과 같은 것에 관해서는 같은 재료 및 제작 방법을 적용할 수 있고, 동일 부분 또는 동일한 기능을 가지는 부분의 상세한 설명은 생략한다.

도 5(A)는 액정 표시 장치의 평면도이며, 도 5(B)는 도 5(A)의 선 X1-X2의 단면도이다. 또한, 도 5(A)의 평면도에서는 소자 기판측만 도시하고 있고, 대향 기판측의 기재는 생략한다.

제2 기판(442)의 액정층(444)측에, 차광층(414)이 형성되고, 평탄화막으로서 절연층(415)이 형성되어 있다. 차광층(414)은, 액정층(444)을 통하여 박막 트랜지스터(420)와 대응하는 영역(박막 트랜지스터의 반도체층과 중첩하는 영역)에 형성하는 것이 바람직하다. 차광층(414)이 박막 트랜지스터(420)의 적어도 반도체층(403) 상방을 덮게 배치되도록, 제1 기판(441) 및 제2 기판(442)은 액정층(444)을 협지하여 고착된다.

차광층(414)의 가시광의 광투과율은, 산화물 반도체층인 반도체층(403)의 가시광의 광투과율보다 낮다.

차광층(414)은, 광을 반사, 또는 흡수하여, 차광성을 가지는 재료를 이용한다. 예를 들면, 흑색의 유기 수지를 이용할 수 있고, 감광성 또는 비감광성의 폴리이미드 등의 수지 재료에, 안료계의 흑색 수지나 카본 블랙, 티탄 블랙 등을 혼합시켜 형성하면 좋다. 또한, 차광성의 금속막을 이용할 수도 있고, 예를 들면, 크롬, 몰리브덴, 니켈, 티탄, 코발트, 구리, 텉스텐, 또는 알루미늄 등을 이용하면 좋다.

차광층(414)의 형성 방법은 특별히 한정되지 않고, 재료에 따라, 증착법, 스팍터링법, CVD법 등의 건식법, 또는 스픈 코트, 딥, 스프레이 도포, 액적 토출법(잉크젯법, 스크린 인쇄, 오프셋 인쇄 등) 등의 습식법을 이용하여, 필요에 따라 에칭법(드라이 에칭 또는 웨트 에칭)에 의해 소망의 패턴으로 가공하면 좋다.

절연층(415)도 아크릴이나 폴리이미드 등의 유기 수지 등을 이용하여, 스픈 코트나 각종 인쇄법 등의 도포법으로 형성하면 좋다.

이와 같이 대향 기판측에 차광층(414)을 더 형성하면, 콘트라스트 향상이나 박막 트랜지스터의 안정화의 효과를 더욱 높일 수 있다. 차광층(414)은 박막 트랜지스터(420)의 반도체층(403)에 대한 광의 입사를 차단할 수 있기 때문에, 산화물 반도체의 광감도에 의한 박막 트랜지스터(420)의 전기 특성의 변동을 방지하여 보다 안정화시킨다. 또한, 차광층(414)은 서로 인접하는 화소에 대한 광누출을 방지할 수도 있기 때문에, 보다 고콘트라스트 및 고정세한 표시를 행하는 것이 가능하게 된다. 따라서, 액정 표시 장치의 고정세, 고신뢰성을 달성할 수 있다.

콘트라스트나 시야각 특성을 개선함으로써, 보다 고화질의 액정 표시 장치를 제공할 수 있다. 또한, 이 액정 표시 장치를 보다 저비용으로 생산성 좋게 제작할 수 있다.

또한, 박막 트랜지스터의 특성을 안정화하여, 액정 표시 장치의 신뢰성을 향상시킬 수 있다.

본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.

[실시형태 5]

차광층(블랙 매트릭스)을 가지는 액정 표시 장치를, 도 6을 이용하여 설명한다.

투과하는 가시광의 광강도를 감쇠시키는 기능을 가지는 막으로서는, 차광층이 되는 착색층도 이용할 수 있다. 도 6에 나타낸 액정 표시 장치는, 실시형태 1의 도 1(A), 도 1(B)에 나타낸 액정 표시 장치에서, 소자 기판인 제1 기판(441)측에 충간막(413)의 일부로서 차광층(414)을 형성하는 예이다. 따라서, 실시형태 1과 같은 것에 관해서는 같은 재료 및 제작 방법을 적용할 수 있고, 동일 부분 또는 동일한 기능을 가지는 부분의 상세한 설명은 생략한다.

도 6(A)는 액정 표시 장치의 평면도이며, 도 6(B)는 도 6(A)의 선 X1-X2의 단면도이다. 또한, 도 6(A)의 평면도에서는 소자 기판측만 도시하고 있고, 대향 기판측의 기재는 생략한다.

충간막(413)은 차광층(414) 및 유채색의 투광성 수지층(417)을 포함한다. 차광층(414)은, 소자 기판인 제1 기판(441)측에 형성되어 있고, 박막 트랜지스터(420) 위(적어도 박막 트랜지스터의 반도체층을 덮는 영역)에 절연막(407)을 통하여 형성되고, 반도체층(403)에 대한 차광층으로서 기능한다. 한편, 유채색의 투광성 수지층(417)은, 제1 전극층(447) 및 제2 전극층(446)과 중첩되는 영역에 형성되어, 컬러 필터층으로서 기능한다. 도 6(B)의 액정 표시 장치에서, 제2 전극층(446)의 일부는, 차광층(414) 위에 형성되고, 그 위에 액정층(444)이 형성되어 있다.

차광층(414)의 가시광의 광투과율은 산화물 반도체층(403)의 가시광의 광투과율보다 낮다.

차광층(414)을 충간막으로서 이용하기 때문에, 흑색의 유기 수지를 이용하는 것이 바람직하다. 예를 들면, 감광성 또는 비감광성의 폴리아미드 등의 수지 재료에, 안료계의 흑색 수지나 카본 블랙, 티탄 블랙 등을 혼합시켜 형성하면 좋다. 차광층(414)의 형성 방법은 재료에 따라, 스플 코트, 딥, 스프레이 도포, 액적 토출법(잉크젯법, 스크린 인쇄, 오프셋 인쇄 등) 등의 습식법을 이용하거나, 또는, 증착법, 스퍼터링법, CVD법 등의 건식법을 이용하거나, 또는, 필요에 따라 에칭법(드라이 에칭 또는 웨트 에칭)에 의해 소망의 패턴으로 가공하면 좋다.

차광층을 액정 표시 장치의 대향 기판측에 더 형성해도 좋다. 콘트라스트 향상이나 박막 트랜지스터의 안정화의 효과를 더욱 높일 수 있다. 차광층을 대향 기판측에 형성하는 경우, 액정층을 통하여 박막 트랜지스터와 대응하는 영역(적어도 박막 트랜지스터의 반도체층과 중첩하는 영역)에 형성하면, 대향 기판으로부터 입사하는 광에 의한 박막 트랜지스터의 전기 특성의 변동을 보다 방지할 수 있다.

대향 기판측에 차광층을 형성하는 경우, 박막 트랜지스터의 반도체층이 차광성의 배선층이나 전극층 등에 의해 소자 기판으로부터의 광도 대향 기판으로부터의 광도 차단할 수 있는 경우도 있으므로, 차광층은 반드시 박막 트랜지스터를 덮도록 형성될 필요는 없다.

또한, 차광층은, 유채색의 투광성 수지층 위나 아래에 적층하여 형성해도 좋다. 차광층과 유채색의 투광성 수지층의 적층 구조의 예를 도 17에 나타낸다. 도 17(A), 도 17(B)는 소자 기판인 제1 기판(200) 위에 소자층(203)이 형성되고, 소자층(203) 위에 충간막(209)이 형성되어 있다. 충간막(209)은 유채색의 투광성 수지층(204a, 204b, 204c) 및 차광층(205a, 205b, 205c, 205d)을 포함하고, 유채색의 투광성 수지층(204a, 204b, 204c)의 사이에 차광층(205a, 205b, 205c, 205d)이 각각 형성되는 구성이다. 또한, 도 17(A), 도 17(B)에서는 포함되는 화소 전극층 및 공통 전극층은 생략한다.

유채색은 복수색 이용할 수 있고, 예를 들면, 도 17의 액정 표시 장치에서는, 유채색의 투광성 수지층(204a)은 적색, 유채색의 투광성 수지층(204b)은 녹색, 유채색의 투광성 수지층(204c)은 청색의 착색층으로 하고, 복수색의 유채색의 투광성 수지층을 이용한다.

도 17(A), 도 17(B)는, 차광층으로서 유채색의 투광성 수지층보다 막 두께가 얇은 박막을 이용하여, 유채색의 투광성 수지층의 상방, 또는 하방에 차광층을 적층하는 예이다. 이러한 차광층으로서는, 박막의 차광성의 무기막(예를 들면, 금속막)이 적합하다.

도 17(A)는 소자층(203) 위에 박막의 차광층(205a, 205b, 205c, 205d)이 형성되고, 차광층(205a, 205b, 205c, 205d) 위에 유채색의 투광성 수지층(204a, 204b, 204c)이 적층되어 있다. 또한, 도 17(B)은 소자층(203) 위에 유채색의 투광성 수지층(204a, 204b, 204c)이 형성되고, 유채색의 투광성 수지층(204a, 204b, 204c) 위에 박막의 차광층(205a, 205b, 205c, 205d)이 적층되고, 차광층(205a, 205b, 205c, 205d) 위에 오버코트막으로서 절연막(211)이 형성되어 있다. 도 17(B)과 같이 소자층, 차광층, 유채색의 투광성 수지층은 직접 적층되어도 좋고, 각각의 위, 아래, 혹은 사이에 절연막이 형성된 구조이어도 좋다.

시일재(202a, 202b)로서는, 대표적으로는 가시광 경화성, 자외선 경화성 또는 열강화성의 수지를 이용하는 것이 바람직하다. 대표적으로는, 아크릴 수지, 에폭시 수지, 아민 수지 등을 이용할 수 있다. 또한, 광(대표적으로는 자외선) 중합 개시제, 열경화제, 필러, 커플링제를 포함해도 좋다.

이와 같이 차광층을 형성하면, 차광층은 화소의 개구율을 저하시키는 일 없이, 박막 트랜지스터의 반도체층(403)에 대한 광의 입사를 차단할 수 있는 산화물 반도체의 광감도에 의한 박막 트랜지스터의 전기 특성의 변동을 방지하여 안정화시키는 효과를 얻을 수 있다. 또한, 차광층은 서로 인접하는 화소에 대한 광누출을 방지할 수도 있기 때문에, 보다 고콘트라스트 및 고정세한 표시를 행하는 것이 가능하게 된다. 따라서, 액정 표시 장치의 고정세, 고신뢰성을 달성할 수 있다.

또한, 유채색의 투광성 수지층(417)은, 컬러 필터층으로서 기능시킬 수 있다. 컬러 필터층을 대향 기판측에 형성하는 경우, 박막 트랜지스터가 형성되는 소자 기판과의 정확한 화소 영역의 위치 맞춤이 어렵고, 화질을 손상시킬 우려가 있지만, 충간막에 포함되는 유채색의 투광성 수지층(417)을 컬러 필터층으로서 직접 소자 기판측에 형성하므로 보다 정밀한 형성 영역의 제어를 할 수 있어, 미세한 패턴의 화소에도 대응할 수 있다. 또한, 충간막과 컬러 필터층을 동일한 절연층에서 겸하므로, 공정이 간략화되어 보다 저비용으로 액정 표시 장치를 제작할 수 있게 된다.

콘트라스트나 시야각 특성을 개선함으로써, 보다 고화질의 액정 표시 장치를 제공할 수 있다. 또한, 이 액정 표시 장치를 보다 저비용으로 생산성 좋게 제작할 수 있다.

또한, 박막 트랜지스터의 특성을 안정화하여, 액정 표시 장치의 신뢰성을 향상시킬 수 있다.

본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.

[실시형태 6]

실시형태 1 내지 5에 있어서, 액정 표시 장치에 적용할 수 있는 박막 트랜지스터의 다른 예를 나타낸다. 또한, 실시형태 1 내지 5와 같은 것에 관해서는 같은 재료 및 제작 방법을 적용할 수 있고, 동일 부분 또는 동일한 기능을 가지는 부분의 상세한 설명은 생략한다.

소스 전극층 및 드레인 전극층과 반도체층이 n^+ 층을 통하지 않고 접하는 구성의 박막 트랜지스터를 가지는 액정 표시 장치의 예를 도 10에 나타낸다.

도 10(A)는 액정 표시 장치의 평면도이며 1화소분의 화소를 나타낸다. 도 10(B)는, 도 10(A)의 선 V1-V2에서의 단면도이다.

도 10(A)의 평면도에서는, 실시형태 1과 마찬가지로, 복수의 소스 배선층(배선층(405a)을 포함함)이 서로 평행(도면 중 상하 방향으로 연장)하고, 또한, 서로 이격한 상태로 배치되어 있다. 복수의 게이트 배선층(게이트 전극층(401)을 포함함)은, 소스 배선층과 대략 직교하는 방향(도면 중 좌우 방향)으로 연장되고, 또한, 서로 이격하도록 배치되어 있다. 공통 배선층(공통 전극층)은, 복수의 게이트 배선층 각각에 인접하는 위치에 배치되어 있고, 게이트 배선층과 대략 평행한 방향, 즉, 소스 배선층과 대략 직교하는 방향(도면 중 좌우 방향)으로 연장되어 있다. 소스 배선층과, 공통 배선층(공통 전극층) 및 게이트 배선층에 의해, 대략 직사각형의 공간이 둘러싸여 있지만, 이 공간에 액정 표시 장치의 화소 전극층 및 공통 전극층이 배치되어 있다. 화소 전극층을

구동하는 박막 트랜지스터(422)는, 도면 중 왼쪽 위의 코너에 배치되어 있다. 화소 전극층 및 박막 트랜지스터는 매트릭스 형상으로 복수 배치되어 있다.

도 10의 액정 표시 장치에서, 박막 트랜지스터(422)에 전기적으로 접속하는 제2 전극층(446)이 화소 전극층으로서 기능하고, 공통 배선층과 전기적으로 접속하는 제1 전극층(447)이 공통 전극층으로서 기능한다. 또한, 도 10에 나타낸 바와 같이, 제1 전극층(447)은 화소에서, 공통 배선층도 겹하고 있고, 서로 인접하는 화소간은 공통 전극층(409)에 의해 전기적으로 접속되어 있다. 또한, 화소 전극층과 공통 전극층에 의해 용량이 형성되어 있다.

박막 트랜지스터(422), 유채색의 투광성 수지층인 충간막(413), 제1 전극층(447), 및 제2 전극층(446)이 형성된 제1 기판(441)과, 제2 기판(442)은 액정층(444)을 사이에 협지하여 고착되어 있다.

박막 트랜지스터(422)는, 소스 전극층 및 드레인 전극층으로서 기능하는 배선층(405a, 405b)과 반도체층(403)의 n^+ 층을 통하지 않고 접하는 구조이다.

박막 트랜지스터(422) 위에 형성하는 충간막(413)으로서, 유채색의 투광성 수지층(417)의 착색층을 이용하면, 화소의 개구율을 저하시키는 일 없이, 박막 트랜지스터(422)의 반도체층(403)에 입사하는 광의 강도를 감쇠시킬 수 있는 산화물 반도체의 광감도에 의한 박막 트랜지스터(422)의 전기 특성의 변동을 방지하여 안정화시키는 효과를 얻을 수 있다. 또한, 유채색의 투광성 수지층(417)은 컬러 필터층으로서 기능시킬 수 있다. 컬러 필터층을 대향 기판측에 형성하는 경우, 박막 트랜지스터가 형성되는 소자 기판과의 정확한 화소 영역의 위치 맞춤이 어렵고, 화질을 손상시킬 우려가 있지만, 충간막을 컬러 필터층으로서 직접 소자 기판측에 형성하므로 보다 정밀한 형성 영역의 제어를 할 수 있어, 미세한 패턴의 화소에도 대응할 수 있다. 또한, 충간막과 컬러 필터층을 동일한 절연층에서 겹하므로, 공정이 간략화되어 보다 저비용으로 액정 표시 장치를 제작할 수 있게 된다.

콘트라스트나 시야각 특성을 개선하여, 고속 응답을 가능하게 함으로써, 보다 고화질 및 고성능의 액정 표시 장치를 제공할 수 있다. 또한, 이 액정 표시 장치를 보다 저비용으로 생산성 좋게 제작할 수 있다.

또한, 박막 트랜지스터의 특성을 안정화하여, 액정 표시 장치의 신뢰성을 향상시킬 수 있다.

본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.

[실시형태 7]

실시형태 1 내지 5에서, 액정 표시 장치에 적용할 수 있는 박막 트랜지스터의 다른 예를 도 9를 이용하여 설명 한다.

도 9(A)는 액정 표시 장치의 평면도이며, 1화소분의 화소를 나타낸다. 도 9(B)는 도 9(A)의 선 Z1-Z2에서의 단면도이다.

도 9(A)의 평면도에서는, 실시형태 1과 마찬가지로, 복수의 소스 배선층(배선층(405a)을 포함함)이 서로 평행 (도면 중 상하 방향으로 연장)하고, 또한, 서로 이격된 상태로 배치되어 있다. 복수의 게이트 배선층(게이트 전극층(401)을 포함함)은, 소스 배선층과 대략 직교하는 방향(도면 중 좌우 방향)으로 연장되고, 또한, 서로 이격하도록 배치되어 있다. 공통 배선층(공통 전극층)은, 복수의 게이트 배선층 각각에 인접하는 위치에 배치되어 있고, 게이트 배선층과 대략 평행한 방향, 즉, 소스 배선층과 대략 직교하는 방향(도면 중 좌우 방향)으로 연장되어 있다. 소스 배선층과, 공통 배선층(공통 전극층) 및 게이트 배선층에 의해, 대략 직사각형의 공간이 둘러싸여 있지만, 이 공간에 액정 표시 장치의 화소 전극층 및 공통 전극층이 배치되어 있다. 화소 전극층을 구동하는 박막 트랜지스터(421)는 도면 중 왼쪽 위의 코너에 배치되어 있다. 화소 전극층 및 박막 트랜지스터는, 매트릭스 형상으로 복수 배치되어 있다.

도 9의 액정 표시 장치에서, 박막 트랜지스터(421)에 전기적으로 접속하는 제2 전극층(446)이 화소 전극층으로서 기능하고, 공통 배선층과 전기적으로 접속하는 제1 전극층(447)이 공통 전극층으로서 기능한다. 또한, 도 9에 나타낸 바와 같이 제1 전극층(447)은 화소에서, 공통 배선층도 겹하고 있고, 서로 인접하는 화소간은 공통 전극층(409)에 의해 전기적으로 접속되어 있다. 또한, 화소 전극층과 공통 전극층에 의해 용량이 형성되어 있다.

박막 트랜지스터(421), 유채색의 투광성 수지층인 충간막(413), 제1 전극층(447), 및 제2 전극층(446)이 형성된 제1 기판(441)과, 제2 기판(442)은 액정층(444)을 사이에 협지하여 고착되어 있다.

박막 트랜지스터(421)는 보텀 게이트형의 박막 트랜지스터이며, 절연 표면을 가지는 기판인 제1 기판(441)

위에, 게이트 전극층(401), 게이트 절연층(402), 소스 전극층 또는 드레인 전극층으로서 기능하는 배선층(405a, 405b), 소스 영역 또는 드레인 영역으로서 기능하는 n^+ 층(404a, 404b), 및 반도체층(403)을 포함한다. 또한, 박막 트랜지스터(421)를 덮어, 반도체층(403)에 접하는 절연막(407)이 형성되어 있다. 반도체층(403) 및 n^+ 층(404a, 404b)은, In-Ga-Zn-O계 비단결정막을 이용한다. 이러한 구조의 박막 트랜지스터(421)는, 이동도 $20 \text{ cm}^2/\text{Vs}$ 이상, S값 0.4 V/dec 이하의 특성을 얻을 수 있다. 따라서, 고속 동작이 가능하게 되어, 시프트 레지스터 등의 구동 회로(소스 드라이버 또는 게이트 드라이버)를 화소부와 동일 기판 위에 형성할 수 있다.

또한, 반도체층(403)을 스퍼터링법에 의해 성막하기 전에, 게이트 절연층(402), 배선층(405a, 405b)에 아르곤 가스를 도입하여 플라즈마를 발생시키는 역스퍼터를 행하여, 표면에 부착되어 있는 오물을 제거하는 것이 바람직하다.

반도체층(403) 및 n^+ 층(404a, 404b)에, $200^\circ\text{C} \sim 600^\circ\text{C}$, 대표적으로는 $300^\circ\text{C} \sim 500^\circ\text{C}$ 의 열처리를 행하면 좋다. 예를 들면, 질소 분위기하에서 350°C , 1시간의 열처리를 행한다. 이 열처리를 행하는 타이밍은, 반도체층(403) 및 n^+ 층(404a, 404b)에 이용하는 산화물 반도체막의 형성 후라면 특별히 한정되지 않는다.

또한, 반도체층(403)에 대하여 산소 라디칼 처리를 행하여도 좋다.

박막 트랜지스터(421)는, 박막 트랜지스터(421)를 포함하는 영역 모두에서 게이트 절연층(402)이 존재하고, 게이트 절연층(402)과 절연 표면을 가지는 기판인 제1 기판(441) 사이에 게이트 전극층(401)이 형성되어 있다. 게이트 절연층(402) 위에는 배선층(405a, 405b), 및 n^+ 층(404a, 404b)이 형성되어 있다. 그리고, 게이트 절연층(402), 배선층(405a, 405b), 및 n^+ 층(404a, 404b) 위에 반도체층(403)이 형성되어 있다. 또한, 도시하지 않았지만, 게이트 절연층(402) 위에는 배선층(405a, 405b)에 더하여 배선층을 가지고, 이 배선층은 반도체층(403)의 외주부보다 외측으로 연장되어 있다.

박막 트랜지스터(421) 위에 형성하는 충간막(413)으로서, 유채색의 투광성 수지층(417)의 착색층을 이용하면, 화소의 개구율을 저하시키는 일 없이, 박막 트랜지스터(421)의 반도체층(403)에 입사하는 광의 강도를 감쇠시킬 수 있어, 산화물 반도체의 광감도에 의한 박막 트랜지스터(421)의 전기 특성의 변동을 방지하여 안정화시키는 효과를 얻을 수 있다. 또한, 유채색의 투광성 수지층(417)은, 컬러 필터층으로서 기능시킬 수 있다. 컬러 필터층을 대향 기판측에 형성하는 경우, 박막 트랜지스터가 형성되는 소자 기판과의 정확한 화소 영역의 위치 맞춤이 어렵고, 화질을 손상시킬 우려가 있지만, 충간막을 컬러 필터층으로서 직접 소자 기판측에 형성하므로, 보다 정밀한 형성 영역의 제어를 할 수 있어, 미세한 패턴의 화소에도 대응할 수 있다. 또한, 충간막과 컬러 필터층을 동일한 절연층에서 겹하므로, 공정이 간략화되어 보다 저비용으로 액정 표시 장치를 제작할 수 있게 된다.

콘트라스트나 시야각 특성을 개선함으로써, 보다 고화질의 액정 표시 장치를 제공할 수 있다. 또한, 이 액정 표시 장치를 보다 저비용으로 생산성 좋게 제작할 수 있다.

또한, 박막 트랜지스터의 특성을 안정화하여, 액정 표시 장치의 신뢰성을 향상시킬 수 있다.

본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.

[실시형태 8]

실시형태 1 내지 5에서, 액정 표시 장치에 적용할 수 있는 박막 트랜지스터의 다른 예를 나타낸다. 또한, 실시 형태 1 내지 5와 같은 것에 관해서는 같은 재료 및 제작 방법을 적용할 수 있고, 동일 부분 또는 동일한 기능을 가지는 부분의 상세한 설명은 생략한다.

소스 전극층 및 드레인 전극층과 반도체층이, n^+ 층을 통하지 않고 접하는 구성의 박막 트랜지스터를 가지는 액정 표시 장치의 예를 도 11에 나타낸다.

도 11(A)는 액정 표시 장치의 평면도이며 1화소분의 화소를 나타낸다. 도 11(B)는, 도 11(A)의 선 Y1-Y2에서의 단면도이다.

도 11(A)의 평면도에서는, 실시형태 1과 마찬가지로, 복수의 소스 배선층(배선층(405a)을 포함함)이 서로 평행(도면 중 상하 방향으로 연장)하고, 또한, 서로 이격한 상태로 배치되어 있다. 복수의 게이트 배선층(게이트

전극층(401)을 포함함)은, 소스 배선층과 대략 직교하는 방향(도면 중 좌우 방향)으로 연장되고, 또한, 서로 이격되도록 배치되어 있다. 공통 배선층(공통 전극층)은 복수의 게이트 배선층 각각에 인접하는 위치에 배치되어 있고, 게이트 배선층과 개략 평행한 방향, 즉, 소스 배선층과 개략 직교하는 방향(도면 중 좌우 방향)으로 연장되어 있다. 소스 배선층과, 공통 배선층(공통 전극층) 및 게이트 배선층에 의해, 대략 직사각형의 공간이 둘러싸여 있지만, 이 공간에 액정 표시 장치의 화소 전극층 및 공통 전극층이 배치되어 있다. 화소 전극층을 구동하는 박막 트랜지스터(423)는, 도면 중 왼쪽 위의 코너에 배치되어 있다. 화소 전극층 및 박막 트랜지스터는, 매트릭스 형상으로 복수 배치되어 있다.

도 11의 액정 표시 장치에서, 박막 트랜지스터(423)에 전기적으로 접속하는 제2 전극층(446)이 화소 전극층으로서 기능하고, 공통 배선층과 전기적으로 접속하는 제1 전극층(447)이 공통 전극층으로서 기능한다. 또한, 도 11에 나타낸 바와 같이 제1 전극층(447)은 화소에 있어서, 공통 배선층도 겹하고 있고, 서로 인접하는 화소간은 공통 전극층(409)에 의해 전기적으로 접속되어 있다. 또한, 화소 전극층과 공통 전극층에 의해 용량이 형성되어 있다.

박막 트랜지스터(423), 유채색의 투광성 수지층인 층간막(413), 제1 전극층(447), 및 제2 전극층(446)이 형성된 제1 기판(441)과, 제2 기판(442)은 액정층(444)을 사이에 협지하여 고착되어 있다.

박막 트랜지스터(423)는, 박막 트랜지스터(423)를 포함하는 영역 전체에 있어서 게이트 절연층(402)이 존재하고, 게이트 절연층(402)과 절연 표면을 가지는 기판인 제1 기판(441) 사이에 게이트 전극층(401)이 형성되어 있다. 게이트 절연층(402) 위에는 배선층(405a, 405b)이 형성되어 있다. 그리고 게이트 절연층(402), 배선층(405a, 405b) 위에 반도체층(403)이 형성되어 있다. 또한, 도시하지 않았지만, 게이트 절연층(402) 위에는 배선층(455a, 455b)에 더하여 배선층을 가지고, 이 배선층은 반도체층(403)의 외주부보다 외측으로 연장되어 있다.

박막 트랜지스터(423) 위에 형성하는 층간막(413)으로서, 유채색의 투광성 수지층(417)의 착색층을 이용하면, 화소의 개구율을 저하시키는 일 없이 박막 트랜지스터(423)의 반도체층(403)에 입사하는 광의 강도를 감쇠시킬 수 있어, 산화물 반도체의 광감도에 의한 박막 트랜지스터(423)의 전기 특성의 변동을 방지하여 안정화시키는 효과를 얻을 수 있다. 또한, 유채색의 투광성 수지층(417)은, 컬러 필터층으로서 기능시킬 수 있다. 컬러 필터층을 대향 기판측에 형성하는 경우, 박막 트랜지스터가 형성되는 소자 기판과의 정확한 화소 영역의 위치 맞춤이 어렵고, 화질을 손상시킬 우려가 있지만, 층간막을 컬러 필터층으로서 직접 소자 기판측에 형성하므로 보다 정밀한 형성 영역의 제어를 할 수 있어, 미세한 패턴의 화소에도 대응할 수 있다. 또한, 층간막과 컬러 필터층을 동일한 절연층에서 겹하므로, 공정이 간략화되어 보다 저비용으로 액정 표시 장치를 제작할 수 있게 된다.

콘트라스트나 시야각 특성을 개선함으로써, 보다 고화질의 액정 표시 장치를 제공할 수 있다. 또한, 이 액정 표시 장치를 보다 저비용으로 생산성 좋게 제작할 수 있다.

또한, 박막 트랜지스터의 특성을 안정화하여, 액정 표시 장치의 신뢰성을 향상시킬 수 있다.

본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.

[실시형태 9]

상기 실시형태에서, 액정층으로서 블루상(blue phase)을 나타낸 액정 재료를 이용할 수 있다. 블루상을 나타낸 액정층을 이용하는 액정 표시 장치에 대하여 도 2를 이용하여 설명한다.

도 2(A) 내지 도 2(D)는 액정 표시 장치 및 이의 제작 공정의 단면도이다.

도 2(A)에서, 소자 기판인 제1 기판(200) 위에 소자층(203)이 형성되고, 소자층(203) 위에 층간막(209)이 형성되어 있다.

층간막(209)은, 유채색의 투광성 수지층(204a, 204b, 204c) 및 차광층(205a, 205b, 205c, 205d)을 포함하고, 유채색의 투광성 수지층(204a, 204b, 204c)의 사이에 차광층(205a, 205b, 205c, 205d)이 각각 형성되는 구성이다. 또한, 도 2(A) 내지 도 2(D)에서는 포함되는 화소 전극층 및 공통 전극층은 생략한다. 예를 들면, 화소 전극층 및 공통 전극층은 실시형태 1 내지 8의 구조를 이용할 수 있고, 횡전계 모드를 적용할 수 있다.

도 2(B)에 나타낸 바와 같이, 제1 기판(200)과 대향 기판인 제2 기판(201)을, 액정층(206)을 사이에 협지시켜 시일재(202a, 202b)로 고착한다. 액정층(206)을 형성하는 방법으로서, 디스펜서법(적하법)이나, 제1 기판(200)

0)과 제2 기판(201)을 부착시키고 나서 모세관 현상을 이용하여 액정을 주입하는 주입법을 이용할 수 있다.

액정층(206)에는, 블루상을 나타낸 액정 재료를 이용할 수 있다. 블루상을 나타낸 액정 재료는 응답 속도가 1 msec 이하로 짧고 고속 응답이 가능하기 때문에, 액정 표시 장치의 고성능화가 가능하게 된다.

블루상을 나타내는 액정 재료로서 액정 및 카이럴제를 포함한다. 카이럴제는, 액정을 나선 구조로 배향시켜, 블루상을 발현시키기 위하여 이용한다. 예를 들면, 5 중량% 이상의 카이럴제를 혼합시킨 액정 재료를 액정층에 이용하면 좋다.

액정은, 서모트로픽 액정, 저분자 액정, 고분자 액정, 강유전 액정, 반강유전 액정 등을 이용한다.

카이럴제는, 액정에 대한 상용성이 좋고, 또한, 트위스팅 파워(twisting power)가 강한 재료를 이용한다. 또한, R체, S체 중 어느 한쪽의 재료가 좋고, R체와 S체의 비율이 50 : 50인 라세미체는 사용하지 않는다.

상기 액정 재료는, 조건에 따라, 콜레스테릭상(cholesteric phase), 콜레스테릭 블루상(cholesteric blue phase), 스메틱상(smectic phase), 스메틱 블루상(smectic blue phase), 큐빅상, 카이럴 네마티상, 등방상 등을 나타낸다.

블루상인 콜레스테릭 블루상 및 스메틱 블루상은, 나선 피치가 500 nm 이하로 비교적 짧은 콜레스테릭상 또는 스메틱상을 가지는 액정 재료에서 보여진다. 액정 재료의 배향은 이중 트위스트 구조를 가진다. 가시광의 파장 이하의 질서를 가지고 있기 때문에, 투명하고, 전압 인가에 의해 배향 질서가 변화하여 광학적 변조 작용이 생긴다. 블루상은 광학적으로 등방이기 때문에 시야각 의존성이 없고, 배향막을 형성하지 않아도 좋으므로, 표시 화상의 질 향상 및 비용 절감이 가능하다. 또한, 배향막에 대한 러빙 처리도 불필요해지기 때문에, 러빙 처리에 의해 발생되는 정전 파괴를 방지할 수 있어, 제작 공정 중의 액정 표시 장치의 불량이나 파손을 경감할 수 있다. 따라서 액정 표시 장치의 생산성을 향상시키는 것이 가능하게 된다. 특히, 산화물 반도체층을 이용하는 박막 트랜지스터는, 정전기의 영향에 의해 박막 트랜지스터의 전기적인 특성이 현저하게 변동하여 설계 범위를 일탈할 우려가 있다. 따라서 산화물 반도체층을 이용하는 박막 트랜지스터를 가지는 액정 표시 장치에 블루상의 액정 재료를 이용하는 것은 보다 효과적이다.

또한, 블루상은 좁은 온도 범위에서밖에 발현이 어렵고, 온도 범위를 넓게 개선하기 위해 액정 재료에 광경화 수지 및 광 중합 개시제를 첨가하여, 고분자 안정화 처리를 행하는 것이 바람직하다. 고분자 안정화 처리는, 액정, 카이럴제, 광경화 수지, 및 광 중합 개시제를 포함하는 액정 재료에 광경화 수지, 및 광 중합 개시제가 반응하는 파장의 광을 조사하여 행한다. 이 고분자 안정화 처리는, 등방상을 나타낸 액정 재료에 광조사하여 행하여도 좋고, 온도를 제어하여 블루상을 발현한 액정 재료에 광조사하여 행하여도 좋다. 예를 들면, 액정층의 온도를 제어하여, 블루상을 발현한 상태로 액정층에 광을 조사함으로써 고분자 안정화 처리를 행한다. 단, 이것에 한정되지 않고, 블루상과 등방상 간의 상전이(相轉移) 온도로부터 +10°C 이내, 바람직하게는 +5°C 이내의 등방상을 발현한 상태로 액정층에 광을 조사함으로써 고분자 안정화 처리를 행하여도 좋다. 블루상과 등방상 간의 상전이 온도란, 승온시에 블루상으로부터 등방상으로 전이하는 온도 또는 강온시에 등방상으로부터 블루상으로 상전이하는 온도를 말한다. 고분자 안정화 처리의 일례로서는, 액정층을 등방상까지 가열한 후, 서서히 강온시켜 블루상에까지 상전이시켜, 블루상이 발현하는 온도를 보유한 상태로 광을 조사할 수 있다. 그 밖에도, 액정층을 서서히 가열하여 등방상으로 상전이시킨 후, 블루상과 등방상 간의 상전이 온도로부터 +10°C 이내, 바람직하게는, +5°C 이내 상태(등방상을 발현한 상태)에서 광을 조사할 수 있다. 또한, 액정 재료에 포함되는 광경화 수지로서 자외선 경화 수지(UV 경화 수지)를 이용하는 경우, 액정층에 자외선을 조사하면 좋다. 또한, 블루상을 발현시키지 않아도, 블루상과 등방상 간의 상전이 온도로부터 +10°C 이내, 바람직하게는 +5°C 이내 상태(등방상을 발현한 상태)에서 광을 조사하여 고분자 안정화 처리를 행하면, 응답 속도가 1 msec 이하로 짧고 고속 응답이 가능하다.

광경화 수지는, 아크릴레이트, 메타크릴레이트 등의 단관능(單官能) 모노머이어도 좋고, 디아크릴레이트, 트리아크릴레이트, 디메타크릴레이트, 트리메타크릴레이트 등의 다관능 모노머이어도 좋고, 이것들을 혼합시킨 것이 어도 좋다. 또한, 액정성의 것이어도 비액정성의 것이어도 좋고, 양자를 혼합시켜도 좋다. 광경화 수지는, 이용하는 광 중합 개시제의 반응하는 파장의 광으로 경화하는 수지를 선택하면 좋고, 대표적으로는 자외선 경화 수지를 이용할 수 있다.

광 중합 개시제는, 광조사에 의해 라디칼을 발생시키는 라디칼 중합 개시제이어도 좋고, 산을 발생시키는 산발생제이어도 좋고, 염기를 발생시키는 염기 발생제이어도 좋다.

구체적으로는, 액정 재료로서, JC-1041XX(Chisso Corporation 제품)와 4-시아노-4'-펜틸비페닐의 혼합물을 이용

할 수 있고, 카이럴제로서는 ZLI-4572(Merck Ltd., Japan 제품)를 이용할 수 있고, 광경화 수지는 2-에틸헥실아크릴레이트, RM257(Merck Ltd., Japan 제품), 트리메티콜프로판 트리아크릴레이트를 이용할 수 있고, 광 중합 개시제로서는 2,2-디메톡시-2-페닐아세트페논을 이용할 수 있다.

액정층(206)은 액정, 카이럴제, 광경화 수지, 및 광 중합 개시제를 포함하는 액정 재료를 이용하여 형성한다.

도 2(C)에 나타낸 바와 같이, 액정층(206)에 광(207)을 조사하여 고분자 안정화 처리를 행하여, 액정층(208)을 형성한다. 광(207)은 액정층(206)에 포함되는 광경화 수지, 및 광 중합 개시제가 반응하는 과정의 광으로 한다. 이 광조사에 의한 고분자 안정화 처리에 의해, 액정층(208)이 블루상을 나타낸 온도 범위를 넓게 개선할 수 있다.

시일재에 자외선 등의 광경화 수지를 이용하여, 적하법으로 액정층을 형성하는 경우 등, 고분자 안정화 처리의 광조사 공정에 의해 시일재의 경화를 행하여도 좋다.

도 2와 같이, 소자 기판 위에 컬러 필터층 및 차광층을 만드는 액정 표시 장치의 구성이라면, 컬러 필터층 및 차광층에 의해 대향 기판층으로부터 조사되는 광이 흡수, 차단되는 일이 없기 때문에, 액정층 전체에 균일하게 조사할 수 있다. 따라서, 광 중합의 불균일에 의한 액정의 배향의 흐트러짐이나 그에 따른 표시 편차 등을 방지할 수 있다. 또한, 차광층에 의해 박막 트랜지스터는 차광되므로, 그 전기 특성은 안정된 채이다.

도 2(D)에 나타낸 바와 같이, 제1 기판(200)의 외측(액정층(208)과 반대측)에 편광판(210a)을, 제2 기판(201)의 외측(액정층(208)과 반대측)에 편광판(210b)을 형성한다. 또한, 편광판 외에, 위상차판, 반사 방지막 등의 광학 필름 등을 형성해도 좋다. 예를 들면, 편광판 및 위상차판에 의한 원 편광을 이용해도 좋다. 이상의 공정으로, 액정 표시 장치를 완성시킬 수 있다.

또한, 대형 기판을 이용하여 복수의 액정 표시 장치를 제작하는 경우(소위 다면취), 그 분단 공정은 고분자 안정화 처리 전이나, 편광판을 형성하기 전에 행할 수 있다. 분단 공정에 의해 액정층에 미치는 영향(분단 공정 시에 가해지는 힘 등에 의한 배향의 흐트러짐 등)을 고려하면, 제1 기판과 제2 기판을 부착시킨 후, 고분자 안정화 처리의 전이 바람직하다.

도시하지 않았지만, 광원으로서 백 라이트, 사이드 라이트 등을 이용하면 좋다. 광원은 소자 기판인 제1 기판(200)측으로부터, 시인측인 제2 기판(201)으로 투과하도록 조사된다.

콘트라스트나 시야각 특성을 개선하여, 고속 응답을 가능하게 함으로써, 보다 고화질 및 고성능의 액정 표시 장치를 제공할 수 있다. 또한, 이 액정 표시 장치를 보다 저비용으로 생산성 좋게 제작할 수 있다.

또한, 박막 트랜지스터의 특성을 안정화하여, 액정 표시 장치의 신뢰성을 향상시킬 수 있다.

본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.

[실시형태 10]

박막 트랜지스터를 제작하고, 이 박막 트랜지스터를 화소부, 또한, 구동 회로에 이용하여 표시 기능을 가지는 액정 표시 장치를 제작할 수 있다. 또한, 박막 트랜지스터를 구동 회로의 일부 또는 전체를 화소부와 같은 기판 위에 일체 형성하여, 시스템 온 패널을 형성할 수 있다.

액정 표시 장치는 표시 소자로서 액정 소자(액정 표시 소자라고도 함)를 포함한다.

또한, 액정 표시 장치는 표시 소자가 봉지된 상태에 있는 패널과, 이 패널에 콘트롤러를 포함하는 IC 등을 실장한 상태에 있는 모듈을 포함한다. 또한, 이 액정 표시 장치를 제작하는 과정에서의 표시 소자가 완성되기 전의 일 형태에 상당하는 소자 기판에 관한 것이고, 이 소자 기판은, 전류를 표시 소자에 공급하기 위한 수단을 복수의 각 화소에 구비한다. 소자 기판은 구체적으로는, 표시 소자의 화소 전극만이 형성된 상태이어도 좋고, 화소 전극이 되는 도전막을 성막한 후이며, 에칭하여 화소 전극을 형성하기 전의 상태이어도 좋고, 모든 형태가 적합하다.

또한, 본 명세서 중에서의 액정 표시 장치란, 화상 표시 디바이스, 표시 디바이스, 혹은 광원(조명 장치 포함함)을 가리킨다. 또한, 커넥터, 예를 들면, FPC(Flexible printed circuit) 혹은 TAB(Tape Automated Bonding) 테이프 혹은 TCP(Tape Carrier Package)가 장착된 모듈, TAB 테이프나 TCP의 끝에 프린트 배선판이 설치된 모듈, 또는 표시 소자에 COG(Chip On Glass) 방식에 의해 IC(집적회로)가 직접 실장된 모듈도 모두 액정 표시 장치에 포함하는 것으로 한다.

액정 표시 장치의 일 형태에 상당하는 액정 표시 패널의 외관 및 단면에 대하여, 도 12를 이용하여 설명한다. 도 12(A), 도 12(B)는, 제1 기판(4001) 위에 형성된 산화물 반도체막을 반도체층으로서 포함하는 신뢰성이 높은 박막 트랜지스터(4010, 4011), 및 액정 소자(4013)를 제2 기판(4006)과의 사이에 시일재(4005)에 의해 봉지한 패널의 상면도이며, 도 12(C)는 도 12(A), 도 12(B)의 M-N에서의 단면도에 상당한다.

제1 기판(4001) 위에 형성된 화소부(4002)와, 주사선 구동 회로(4004)를 둘러싸도록 하여, 시일재(4005)가 형성되어 있다. 또한, 화소부(4002)와 주사선 구동 회로(4004) 위에 제2 기판(4006)이 설치되어 있다. 따라서, 화소부(4002)와 주사선 구동 회로(4004)는 제1 기판(4001)과 시일재(4005)와 제2 기판(4006)에 의해, 액정층(4008)과 함께 봉지되어 있다.

또한, 도 12(A1)는 제1 기판(4001) 위의 시일재(4005)에 의해 둘러싸여 있는 영역과는 다른 영역에, 별도 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막으로 형성된 신호선 구동 회로(4003)가 실장되어 있다. 또한, 도 12(A2)는 신호선 구동 회로의 일부를 제1 기판(4001) 위에 산화물 반도체를 이용한 박막 트랜지스터로 형성하는 예이며, 제1 기판(4001) 위에 신호선 구동 회로(4003b)가 형성되고, 또한, 별도 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막으로 형성된 신호선 구동 회로(4003a)가 실장되어 있다.

또한, 별도 형성한 구동 회로의 접속 방법은 특별히 한정되는 것은 아니고, COG 방법, 와이어 본딩 방법, 혹은 TAB 방법 등을 이용할 수 있다. 도 12(A1)는, COG 방법에 의해 신호선 구동 회로(4003)를 실장하는 예이며, 도 12(A2)는, TAB 방법에 의해 신호선 구동 회로(4003)를 실장하는 예이다.

또한, 제1 기판(4001) 위에 형성된 화소부(4002)와, 주사선 구동 회로(4004)는, 박막 트랜지스터를 복수 가지고 있고, 도 12(B)에서는 화소부(4002)에 포함되는 박막 트랜지스터(4010)와, 주사선 구동 회로(4004)에 포함되는 박막 트랜지스터(4011)를 예시하고 있다. 박막 트랜지스터(4010, 4011) 위에는 절연층(4020), 층간막(4021)이 형성되어 있다.

박막 트랜지스터(4010, 4011)는, 실시형태 1 내지 8에 나타낸 산화물 반도체막을 반도체층으로서 포함하는 신뢰성이 높은 박막 트랜지스터를 적용할 수 있다. 박막 트랜지스터(4010, 4011)는 n채널형 박막 트랜지스터이다.

또한, 제1 기판(4001) 위에 화소 전극층(4030) 및 공통 전극층(4031)이 형성되고, 화소 전극층(4030)은 박막 트랜지스터(4010)와 전기적으로 접속되어 있다. 액정 소자(4013)는 화소 전극층(4030), 공통 전극층(4031), 및 액정층(4008)을 포함한다. 또한, 제1 기판(4001), 제2 기판(4006)의 외측에는 각각 편광판(4032, 4033)이 설치되어 있다.

또한, 제1 기판(4001), 제2 기판(4006)으로서는, 투광성을 가지는 유리, 플라스틱 등을 이용할 수 있다. 플라스틱으로서는, FRP(Fiberglass-Reinforced Plastics)판, PVF(폴리비닐플루오라이드) 필름, 폴리에스테르 필름, 또는 아크릴 수지 필름을 이용할 수 있다. 또한, 알루미늄 호일을 PVF 필름이나 폴리에스테르 필름으로 끼운 구조의 시트를 이용할 수도 있다.

또한, 부호 4035는 절연막을 선택적으로 에칭함으로써 얻어지는 주상(柱狀)의 스페이서이며, 액정층(4008)의 막 두께(셀 캡)를 제어하기 위해서 설치되어 있다. 또한, 구상의 스페이서를 이용하여도 좋다. 또한, 액정층(4008)을 이용하는 액정 표시 장치는 액정층(4008)의 막 두께(셀 캡)를 5 μm 이상 20 μm 정도로 하는 것이 바람직하다.

또한, 도 12는 투과형 액정 표시 장치의 예이지만, 반투과형 액정 표시 장치에서도 적용할 수 있다.

또한, 도 12의 액정 표시 장치에서는, 기판의 외측(시인측)에 편광판을 형성하는 예를 나타내지만, 편광판은 기판의 내측에 설치해도 좋다. 편광판의 재료나 제작 공정 조건에 따라 적절히 설정하면 좋다. 또한, 블랙 매트 릴스로서 기능하는 차광층을 형성해도 좋다.

층간막(4021)은, 유채색의 투광성 수지층이며, 컬러 필터층으로서 기능한다. 또한, 층간막(4021)의 일부를 차광층으로 해도 좋다. 도 12에서는, 박막 트랜지스터(4010, 4011) 상방을 덮도록 차광층(4034)이 제2 기판(4006)측에 형성되어 있다. 차광층(4034)을 형성함으로써, 콘트라스트 향상이나 박막 트랜지스터의 안정화의 효과를 더욱 높일 수 있다.

박막 트랜지스터 위에 형성하는 층간막(4021)으로서, 유채색의 투광성 수지층의 착색층을 이용하면, 화소의 개구율을 저하시키는 일 없이 박막 트랜지스터의 반도체층에 입사하는 광의 강도를 감쇠시킬 수 있어, 산화물 반도체의 광감도에 의한 박막 트랜지스터의 전기 특성의 변동을 방지하여 안정화시키는 효과를 얻을 수 있다. 또한, 유채색의 투광성 수지층은 컬러 필터층으로서 기능시킬 수 있다. 컬러 필터층을 대량 기판측에 형성하는

경우, 박막 트랜지스터가 형성되는 소자 기판과의 정확한 화소 영역의 위치 맞춤이 어렵고, 화질을 손상시킬 우려가 있지만, 충간막을 컬러 필터층으로서 직접 소자 기판측에 형성하므로 보다 정밀한 형성 영역의 제어를 할 수 있어, 미세한 패턴의 화소에도 대응할 수 있다. 또한, 충간막과 컬러 필터층을 동일한 절연층에서 겹하므로, 공정이 간략화되어 보다 저비용으로 액정 표시 장치를 제작할 수 있게 된다.

박막 트랜지스터의 보호막으로서 기능하는 절연층(4020)으로 덮는 구성으로 해도 좋지만, 특별히 한정되지 않는다.

또한, 보호막은 대기 중에 부유하는 유기물이나 금속물, 수증기 등의 오염 불순물의 침입을 막기 위한 것이며, 치밀한 막이 바람직하다. 보호막은, 스퍼터링법을 이용하여, 산화규소막, 질화규소막, 산화질화규소막, 질화산화규소막, 산화알루미늄막, 질화알루미늄막, 산화질화알루미늄막, 또는 질화산화알루미늄막의 단층, 또는 적층으로 형성하면 좋다.

또한, 보호막을 형성한 후에, 반도체층의 아닐($300^{\circ}\text{C} \sim 400^{\circ}\text{C}$)을 행하여도 좋다.

또한, 평탄화 절연막으로서 투광성의 절연층을 더 형성하는 경우, 폴리이미드, 아크릴, 벤조시클로부텐, 폴리아미드, 에폭시 등의 내열성을 가지는 유기 재료를 이용할 수 있다. 또한, 상기 유기 재료 외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(인 유리), BPSG(인 붕소 유리) 등을 이용할 수 있다. 또한, 이러한 재료로 형성되는 절연막을 복수 적층시킴으로써, 절연층을 형성해도 좋다.

적층하는 절연층의 형성법은 특별히 한정되지 않고, 그 재료에 따라, 스퍼터링법, SOG법, 스판 코트, 딥, 스프레이 도포, 액적 토출법(잉크젯법, 스크린 인쇄, 오프셋 인쇄 등), 닥터 나이프, 롤코터, 커튼 코터, 나이프 코터 등을 이용할 수 있다. 절연층을, 재료액을 이용하여 형성하는 경우, 베이크하는 공정과 동시에, 반도체층의 아닐($200^{\circ}\text{C} \sim 400^{\circ}\text{C}$)을 행하여도 좋다. 절연층의 소성 공정과 반도체층의 아닐을 겹함으로써 효율적으로 액정 표시 장치를 제작하는 것이 가능하게 된다.

화소 전극층(4030), 공통 전극층(4031)은, 산화텅스텐을 포함하는 인듐 산화물, 산화텅스텐을 포함하는 인듐 아연 산화물, 산화티탄을 포함하는 인듐 산화물, 산화티탄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO라고 나타냄), 인듐 아연 산화물, 산화규소를 첨가한 인듐 주석 산화물 등의 투광성을 가지는 도전성 재료를 이용할 수 있다.

또한, 화소 전극층(4030), 공통 전극층(4031)으로서, 도전성 고분자(도전성 폴리머라고도 함)를 포함하는 도전성 조성물을 이용하여 형성할 수 있다.

또한, 별도 형성된 신호선 구동 회로(4003)와, 주사선 구동 회로(4004) 또는 화소부(4002)에 부여되는 각종 신호 및 전위는 FPC(4018)로부터 공급된다.

또한, 박막 트랜지스터는 정전기 등에 의해 파괴되기 쉽기 때문에, 게이트선 또는 소스선에 대하여, 구동 회로 보호용의 보호 회로를 동일 기판 위에 형성하는 것이 바람직하다. 보호 회로는 산화물 반도체를 이용한 비선형 소자를 이용하여 구성하는 것이 바람직하다.

도 12에서는, 접속 단자 전극(4015)이 화소 전극층(4030)과 같은 도전막으로 형성되고, 단자 전극(4016)은 박막 트랜지스터(4010, 4011)의 소스 전극층 및 드레인 전극층과 같은 도전막으로 형성되어 있다.

접속 단자 전극(4015)은 FPC(4018)가 가지는 단자와, 이방성 도전막(4019)을 통하여 전기적으로 접속되어 있다.

또한, 도 12에서는 신호선 구동 회로(4003)를 별도 형성하여, 제1 기판(4001)에 실장하고 있는 예를 나타내었지만, 이 구성에 한정되는 것은 아니다. 주사선 구동 회로를 별도 형성하여 실장해도 좋고, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만을 별도 형성하여 실장해도 좋다.

도 16은, 본 명세서에 개시하는 액정 표시 장치로서 액정 표시 모듈을 구성하는 일례를 나타낸다.

도 16은 액정 표시 모듈의 일례이며, 소자 기판(2600)과 대향 기판(2601)이 시일재(2602)에 의해 고착되고, 그 사이에 TFT 등을 포함하는 소자층(2603), 액정층을 포함하는 표시 소자(2604), 컬러 필터로서 기능하는 유채색의 투광성 수지층을 포함하는 충간막(2605)이 형성되어 표시 영역을 형성한다. 유채색의 투광성 수지층을 포함하는 충간막(2605)은 컬러 표시를 행하는 경우에 필요하고, RGB 방식의 경우는, 적, 녹, 청의 각 색에 대응한 유채색의 투광성 수지층이 각 화소에 대응하여 형성되어 있다. 소자 기판(2600)과 대향 기판(2601)의 외측에는 편광판(2606), 편광판(2607), 확산판(2613)이 배치되어 있다. 광원은 냉음극관(2610)과 반사판(2611)에 의해 구성되고, 회로 기판(2612)은 플렉서블 배선 기판(2609)에 의해 소자 기판(2600)의 배선 회로부(2608)와 접속되

고, 컨트롤 회로나 전원 회로 등의 외부 회로가 내장되어 있다. 또한, 광원으로서, 백색의 다이오드를 이용해도 좋다. 또한, 편광판과 액정총파의 사이에 위상차판을 가진 상태로 적층해도 좋다.

이상의 공정에 의해, 액정 표시 장치로서 신뢰성이 높은 액정 표시 패널을 제작할 수 있다.

본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.

[실시형태 11]

본 명세서에 개시하는 액정 표시 장치는, 다양한 전자기기(유기기도 포함함)에 적용할 수 있다. 전자기기로서는, 예를 들면, 텔레비전 장치(TV, 또는 텔레비전 수신기라고도 함), 컴퓨터용 등의 모니터, 디지털 카메라, 디지털 비디오 카메라, 디지털 포토 프레임, 휴대전화기(휴대전화, 휴대전화 장치라고도 함), 휴대형 게임기, 휴대 정보 단말, 음향 재생 장치, 파칭코기 등의 대형 게임기 등을 들 수 있다.

도 13(A)는, 텔레비전 장치(9600)의 일례를 나타낸다. 텔레비전 장치(9600)는 케이스(9601)에 표시부(9603)가 내장되어 있다. 표시부(9603)에 의해, 영상을 표시하는 것이 가능하다. 또한, 여기에서는, 스탠드(9605)에 의해 케이스(9601)를 지지한 구성을 나타낸다.

텔레비전 장치(9600)의 조작은, 케이스(9601)가 구비하는 조작 스위치나, 별체의 리모콘 조작기(9610)에 의해 행할 수 있다. 리모콘 조작기(9610)가 구비하는 조작 키(9609)에 의해, 채널이나 음량의 조작을 행할 수 있고, 표시부(9603)에 표시되는 영상을 조작할 수 있다. 또한, 리모콘 조작기(9610)에, 이 리모콘 조작기(9610)로부터 출력하는 정보를 표시하는 표시부(9607)를 형성하는 구성으로 해도 좋다.

또한, 텔레비전 장치(9600)는, 수신기나 모뎀 등을 구비한 구성으로 한다. 수신기에 의해 일반의 텔레비전 방송의 수신을 행할 수 있고, 또한, 모뎀을 통하여 유선 또는 무선에 의한 통신 네트워크에 접속함으로써, 일방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자 간, 혹은 수신자들간 등)의 정보통신을 행하는 것도 가능하다.

도 13(B)는, 디지털 포토 프레임(9700)의 일례를 나타낸다. 예를 들면, 디지털 포토 프레임(9700)은, 케이스(9701)에 표시부(9703)가 내장되어 있다. 표시부(9703)는 각종 화상을 표시하는 것이 가능하고, 예를 들면, 디지털 카메라 등으로 촬영한 화상 데이터를 표시시킴으로써, 통상의 사진 장치와 마찬가지로 기능시킬 수 있다.

또한, 디지털 포토 프레임(9700)은, 조작부, 외부 접속용 단자(USB 단자, USB 케이블 등의 각종 케이블과 접속 가능한 단자 등), 기록 매체 삽입부 등을 구비하는 구성으로 한다. 이러한 구성은, 표시부와 동일면에 내장되어 있어도 좋지만, 측면이나 이면에 구비하면 디자인성이 향상되기 때문에 바람직하다. 예를 들면, 디지털 포토 프레임의 기록 매체 삽입부에 디지털 카메라로 촬영한 화상 데이터를 기억한 메모리를 삽입하여 화상 데이터를 관리하고, 관리한 화상 데이터를 표시부(9703)에 표시시킬 수 있다.

또한, 디지털 포토 프레임(9700)은, 무선으로 정보를 송수신할 수 있는 구성으로 해도 좋다. 무선에 의해, 소망의 화상 데이터를 관리하여, 표시시키는 구성으로 할 수도 있다.

도 14(A)는 휴대형 유기기이며, 케이스(9881)와 케이스(9891)의 2개의 케이스로 구성되어 있고, 연결부(9893)에 의해, 개폐 가능하게 연결되어 있다. 케이스(9881)에는 표시부(9882)가 내장되고, 케이스(9891)에는 표시부(9883)가 내장되어 있다. 또한, 도 14(A)에 나타낸 휴대형 유기기는, 그 외에, 스피커부(9884), 기록 매체 삽입부(9886), LED 램프(9890), 입력 수단(조작 키(9885), 접속 단자(9887), 센서(9888)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액, 자기, 온도, 화학 물질, 음성, 시간, 경도, 전장, 전류, 전압, 전력, 방사선, 유량, 습도, 경도, 진동, 냄새 또는 적외선을 측정하는 기능을 포함하는 것), 마이크로폰(9889)) 등을 구비하고 있다. 물론, 휴대형 유기기의 구성은 상술한 것에 한정되지 않고, 적어도 본 명세서에 개시하는 액정 표시 장치를 구비한 구성이면 좋고, 그 외 부속 설비가 적절히 설치된 구성으로 할 수 있다. 도 14(A)에 나타낸 휴대형 유기기는, 기록 매체에 기록되어 있는 프로그램 또는 데이터를 관리하여 표시부에 표시하는 기능이나, 다른 휴대형 유기기와 무선 통신을 행하여 정보를 공유하는 기능을 가진다. 또한, 도 14(A)에 나타낸 휴대형 유기기가 가지는 기능은 이것에 한정되는 것은 아니고, 다양한 기능을 가질 수 있다.

도 14(B)는 대형 유기기인 슬롯 머신(9900)의 일례를 나타낸다. 슬롯 머신(9900)은, 케이스(9901)에 표시부(9903)가 내장되어 있다. 또한, 슬롯 머신(9900)은, 그 외, 스트리트 레버나 스톱 스위치 등의 조작 수단, 코인 투입구, 스피커 등을 구비한다. 물론, 슬롯 머신(9900)의 구성은 상술한 것에 한정되는 것은 아니고, 적어도 본 명세서에 개시하는 액정 표시 장치를 구비한 구성이면 좋고, 그 외 부속 설비가 적절히 설치된 구성으로 할

수 있다.

도 15(A)는, 휴대전화기(1000)의 일례를 나타낸다. 휴대전화기(1000)는, 케이스(1001)에 내장된 표시부(1002) 외에, 조작 버튼(1003), 외부 접속 포트(1004), 스피커(1005), 마이크(1006) 등을 구비한다.

도 15(A)에 나타낸 휴대전화기(1000)는, 표시부(1002)를 손가락 등으로 터치함으로써, 정보를 입력할 수 있다. 또한, 전화를 걸거나, 혹은 문자 메세지를 입력하는 등의 조작은 표시부(1002)를 손가락 등으로 터치함으로써 행할 수 있다.

표시부(1002)의 화면은 주로 3개의 모드가 있다. 제1은, 화상의 표시를 주로 하는 표시 모드이며, 제2는, 문자 등의 정보의 입력을 주로 하는 입력 모드이다. 제3은 표시 모드와 입력 모드의 2개의 모드가 혼합된 표시+입력 모드이다.

예를 들면, 전화를 걸거나, 혹은 메세지를 작성하는 경우는, 표시부(1002)를 문자의 입력을 주로 하는 문자 입력 모드로 하고, 화면에 표시시킨 문자의 입력 조작을 행하면 좋다. 이 경우, 표시부(1002)의 화면의 대부분에 키보드 또는 번호 버튼을 표시시키는 것이 바람직하다.

또한, 휴대전화기(1000) 내부에, 자이로 스코프, 가속도 센서 등의 기울기를 검출하는 센서를 가지는 검출 장치를 형성함으로써, 휴대전화기(1000)의 방향(세로인지 가로인지)을 판단하여, 표시부(1002)의 화면 표시를 자동적으로 바꾸도록 할 수 있다.

또한, 화면 모드의 변환은, 표시부(1002)를 터치하는 것, 또는 케이스(1001)의 조작 버튼(1003)의 조작에 의해 행해진다. 또한, 표시부(1002)에 표시되는 화상의 종류에 따라 전환하도록 할 수도 있다. 예를 들면, 표시부에 표시하는 화상 신호가 동영상의 데이터인 경우에는 표시 모드, 텍스트 데이터인 경우에는 입력 모드로 전환한다.

또한, 입력 모드에서, 표시부(1002)의 광 센서로 검출되는 신호를 검지하여, 표시부(1002)의 터치 조작에 의한 입력이 일정 기간 없는 경우에는, 화면의 모드를 입력 모드로부터 표시 모드로 전환하도록 제어해도 좋다.

표시부(1002)는, 이미지 센서로서 기능시킬 수도 있다. 예를 들면, 표시부(1002)에 손바닥이나 손가락을 댐으로써, 장문, 지문 등을 활성하여, 본인 인증을 행할 수 있다. 또한, 표시부에 근적외광을 발광하는 백 라이트 또는 근적외광을 발광하는 센싱용 광원을 이용하면, 손가락 정맥, 손바닥 정맥 등을 활성화할 수도 있다.

도 15(B)도 휴대전화기의 일례이다. 도 15(B)의 휴대전화기는 케이스(9411)에, 표시부(9412), 및 조작 버튼(9413)을 포함하는 표시 장치(9410)와, 케이스(9401)에 주사 버튼(9402), 외부 입력 단자(9403), 마이크(9404), 스피커(9405), 및 착신시에 발광하는 발광부(9406)를 포함하는 통신 장치(9400)를 가지고 있고, 표시 기능을 가지는 표시 장치(9410)는 전화 기능을 가지는 통신 장치(9400)와 화살표의 2 방향으로 탈착 가능하다. 따라서, 표시 장치(9410)와 통신 장치(9400)의 단축(短軸)들을 부착시킬 수도, 표시 장치(9410)와 통신 장치(9400)의 장축(長軸)들을 부착시킬 수도 있다. 또한, 표시 기능만을 필요로 하는 경우, 통신 장치(9400)로부터 표시 장치(9410)를 떼어내어, 표시 장치(9410)를 단독으로 이용할 수도 있다. 통신 장치(9400)와 표시 장치(9410)는 무선 통신 또는 유선 통신에 의해 화상 또는 입력 정보를 수수(授受)할 수 있고, 각각 충전 가능한 배터리를 가진다.

도면의 간단한 설명

도 1은 액정 표시 장치를 설명한 도면.

도 2는 액정 표시 장치의 제작 방법을 설명한 도면.

도 3은 액정 표시 장치를 설명한 도면.

도 4는 액정 표시 장치를 설명한 도면.

도 5는 액정 표시 장치를 설명한 도면.

도 6은 액정 표시 장치를 설명한 도면.

도 7은 액정 표시 장치를 설명한 도면.

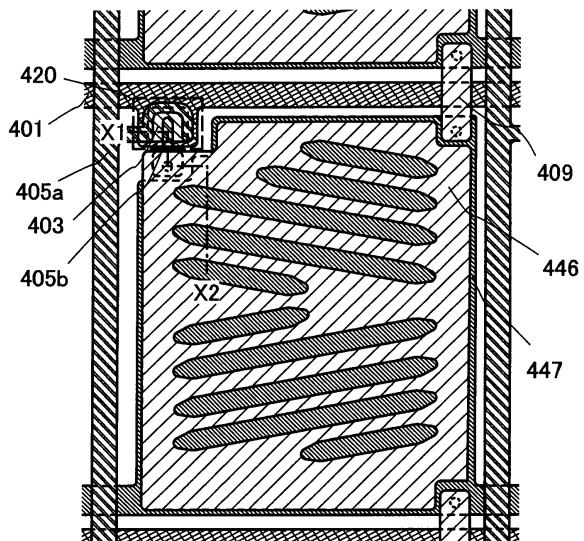
도 8은 액정 표시 장치의 전극층을 설명한 도면.

- 도 9는 액정 표시 장치를 설명한 도면.
- 도 10은 액정 표시 장치를 설명한 도면.
- 도 11은 액정 표시 장치를 설명한 도면.
- 도 12는 액정 표시 장치를 설명한 도면.
- 도 13은 텔레비전 장치 및 디지털 포토 프레임의 예를 나타낸 외관도.
- 도 14는 유기기의 예를 나타낸 외관도.
- 도 15는 휴대전화기의 일례를 나타낸 외관도.
- 도 16은 액정 표시 모듈을 설명한 도면.
- 도 17은 액정 표시 장치를 설명한 도면.

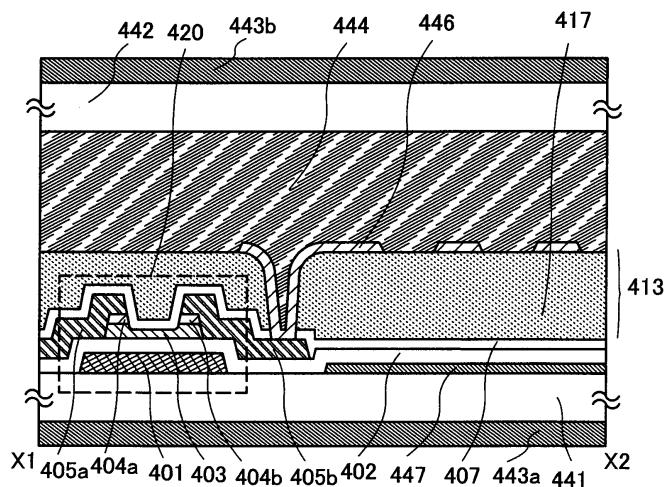
도면

도면1

(A)

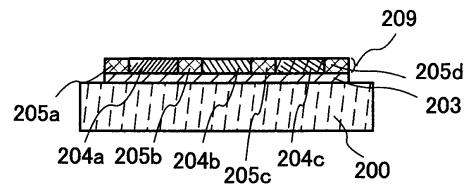


(B)

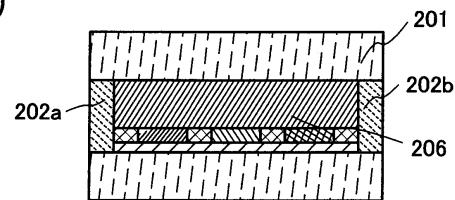


도면2

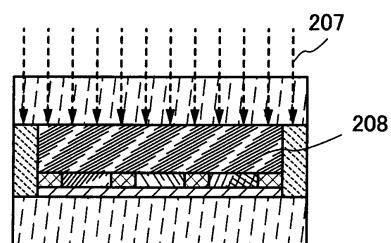
(A)



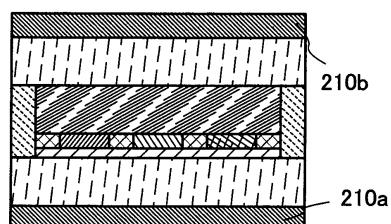
(B)



(C)

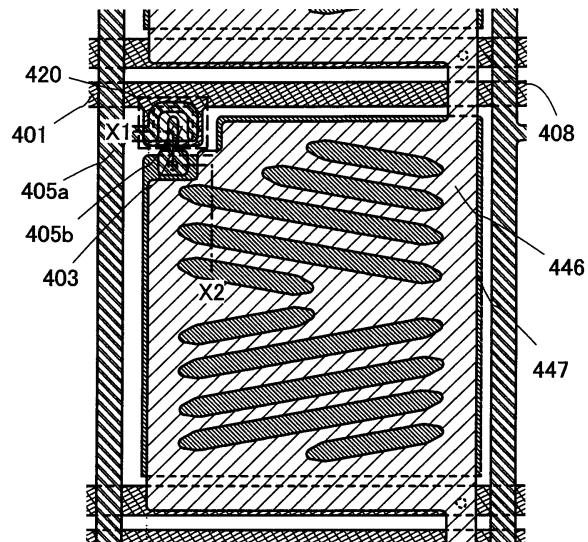


(D)

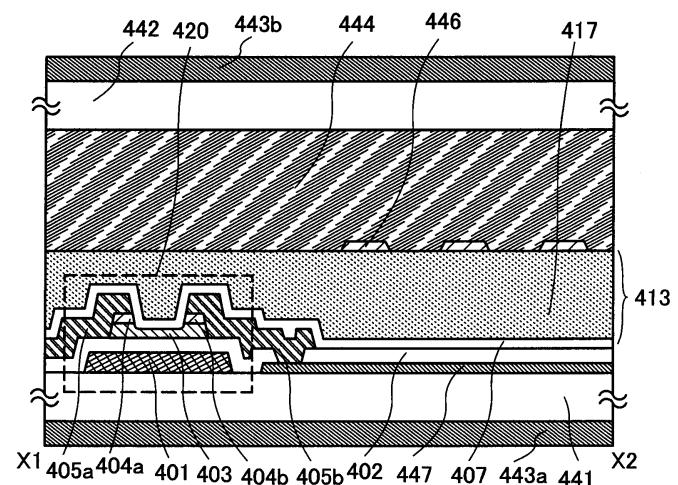


도면3

(A)

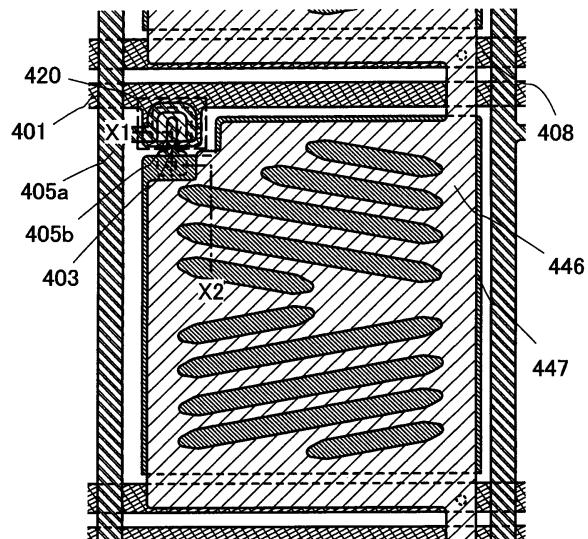


(B)

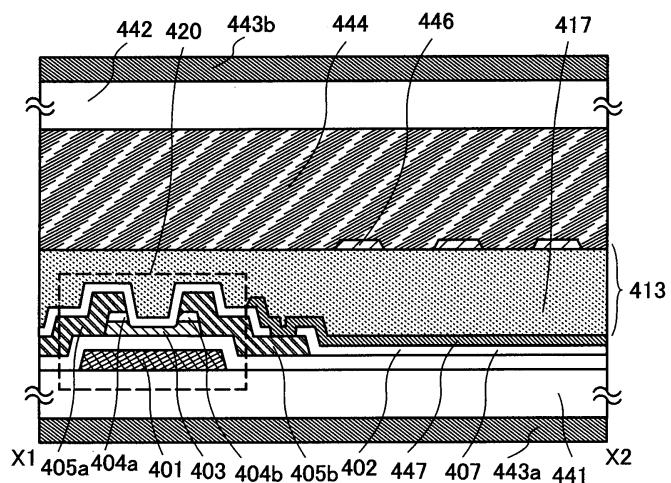


도면4

(A)

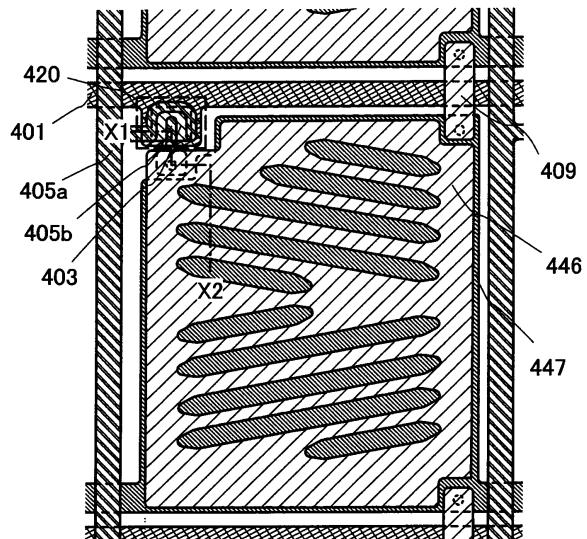


(B)

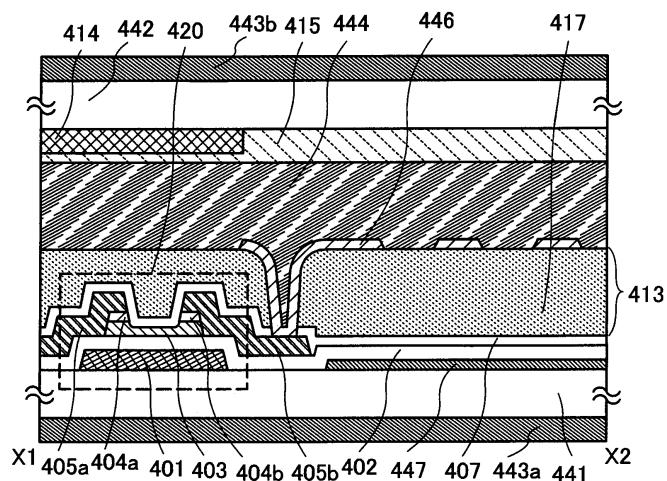


도면5

(A)

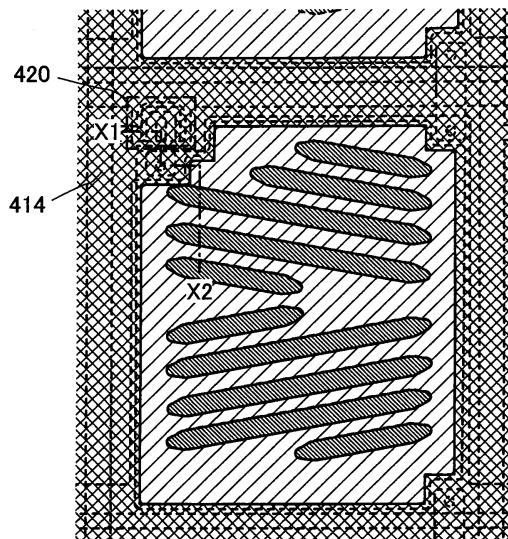


(B)

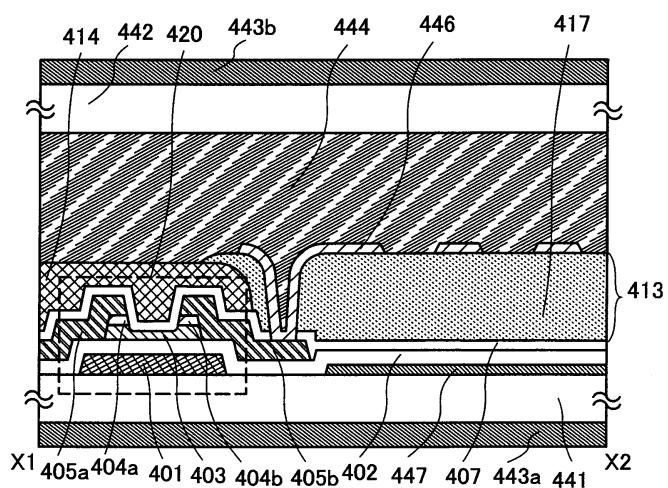


도면6

(A)

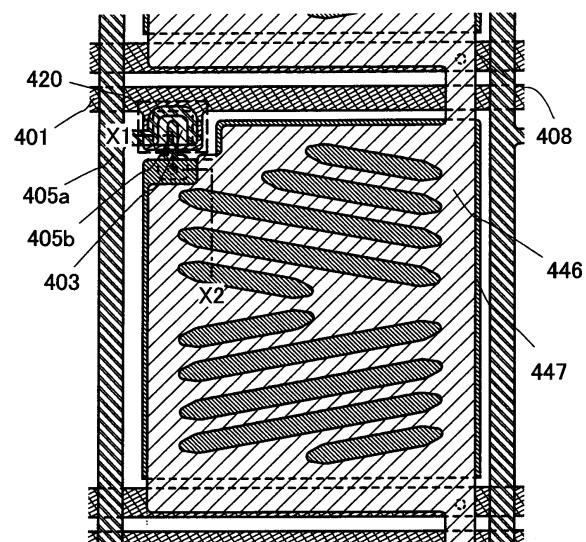


(B)

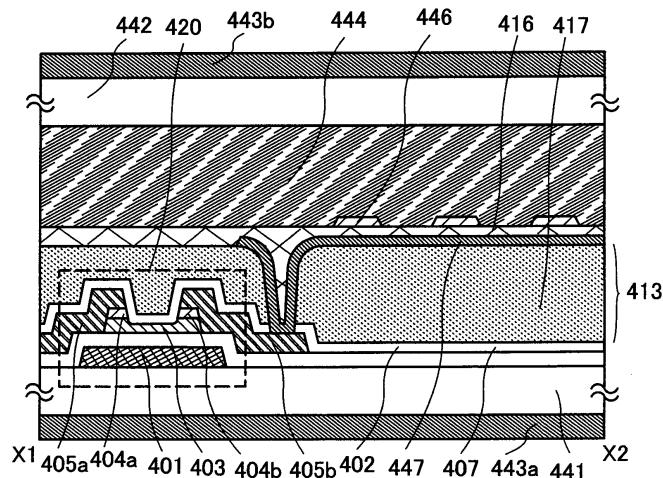


도면7

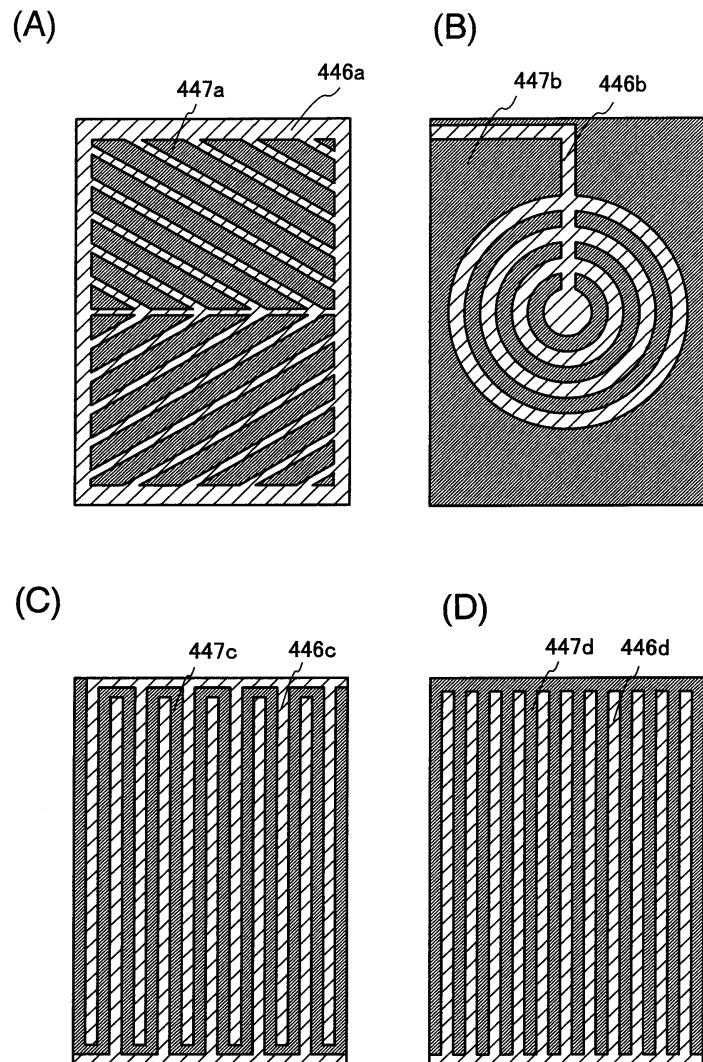
(A)



(B)

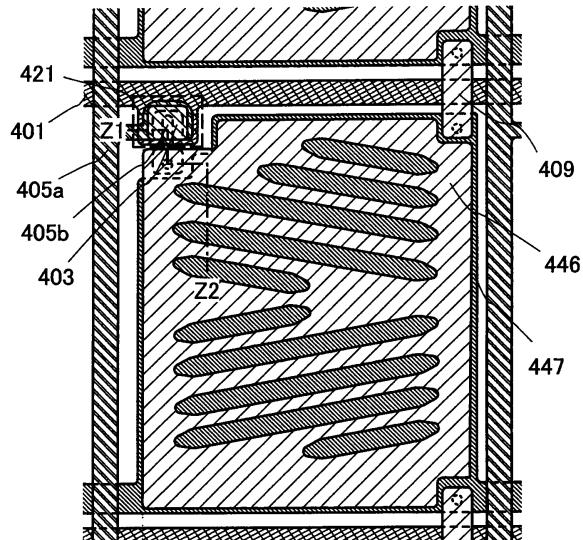


도면8

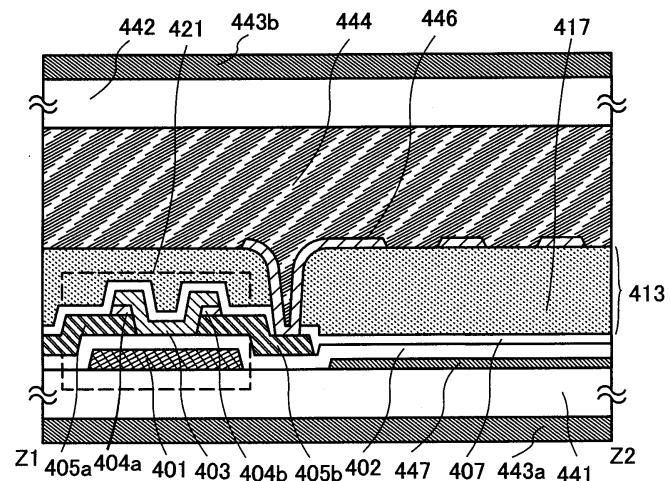


도면9

(A)

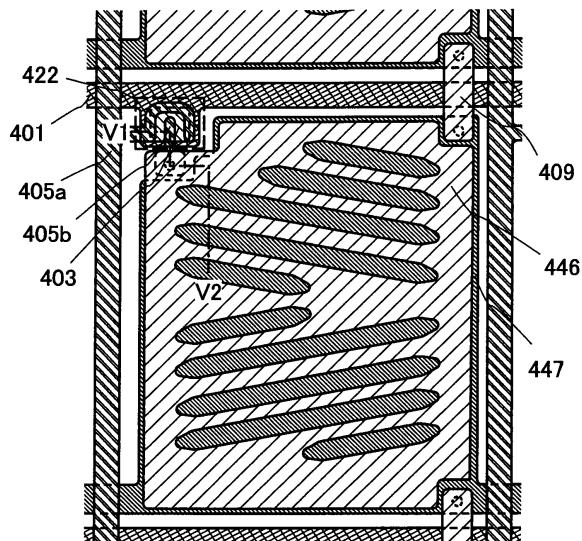


(B)

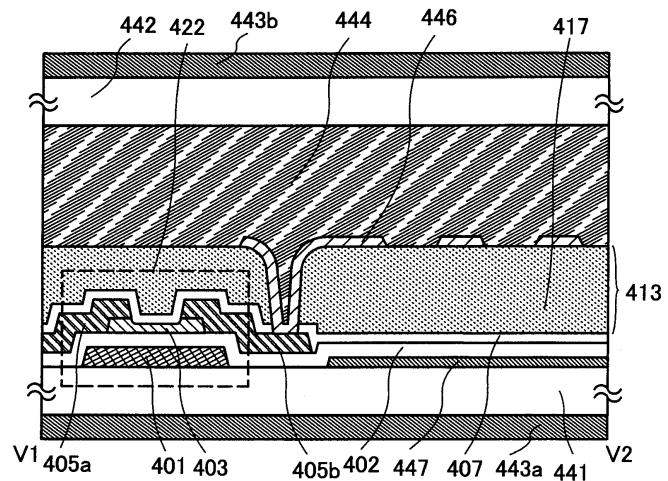


도면10

(A)

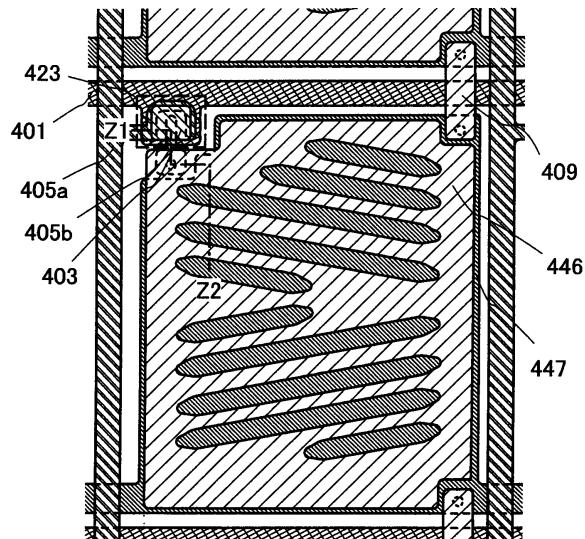


(B)

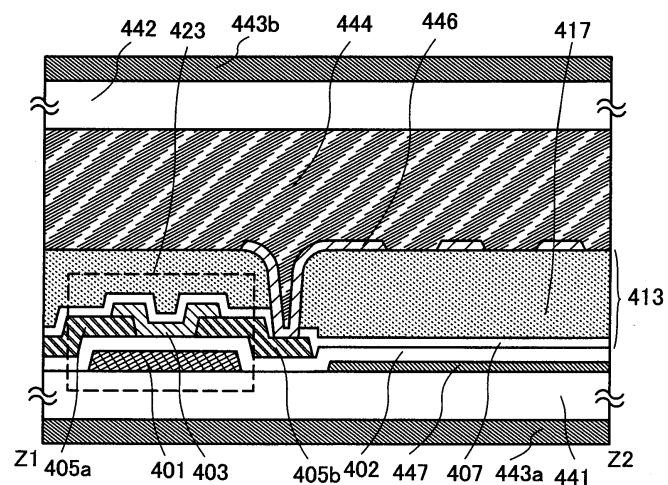


도면11

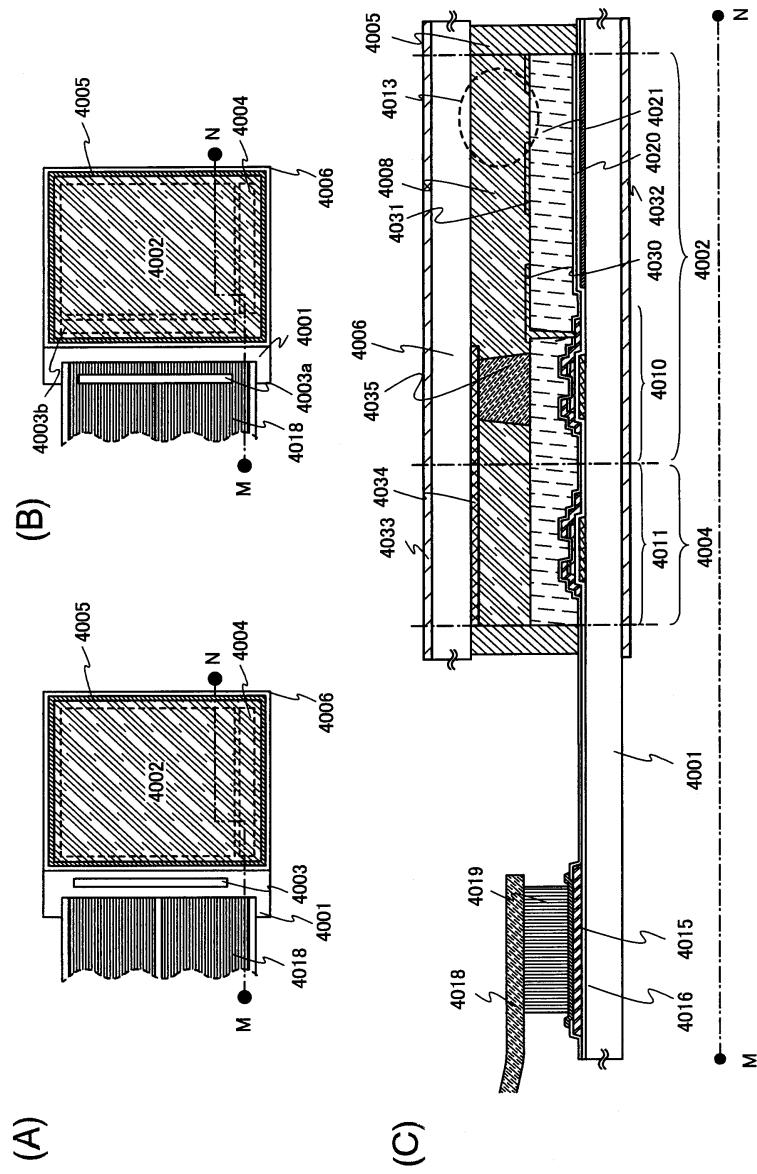
(A)



(B)

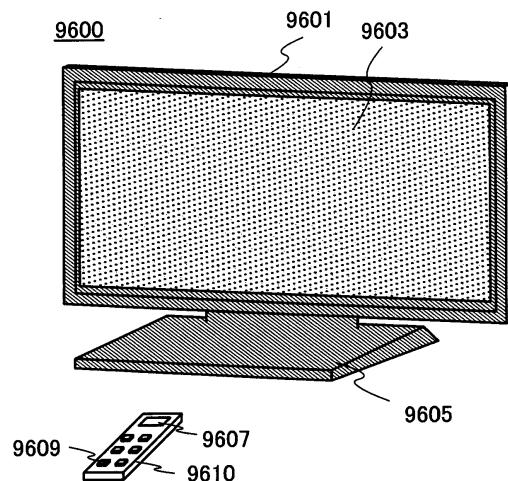


도면12

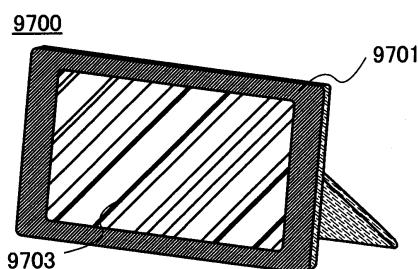


도면13

(A)

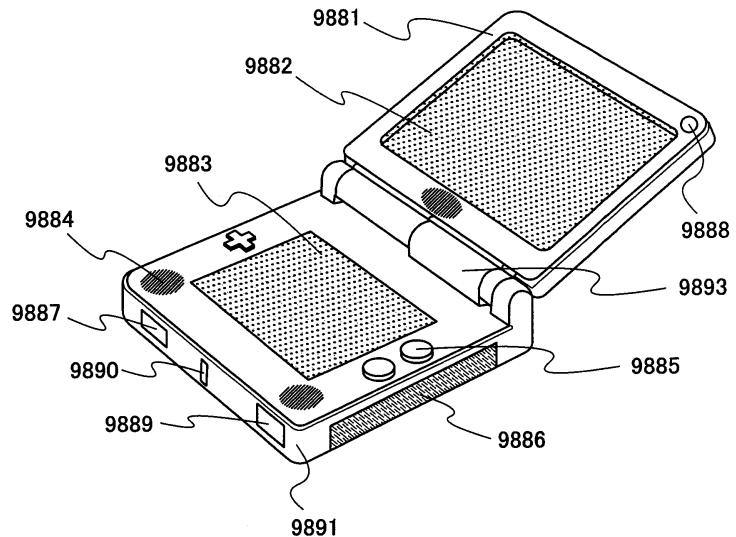


(B)

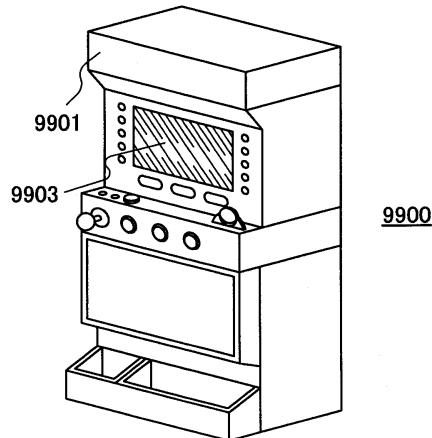


도면14

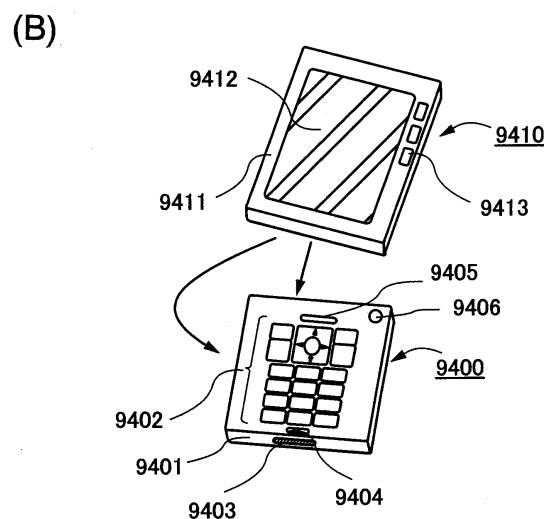
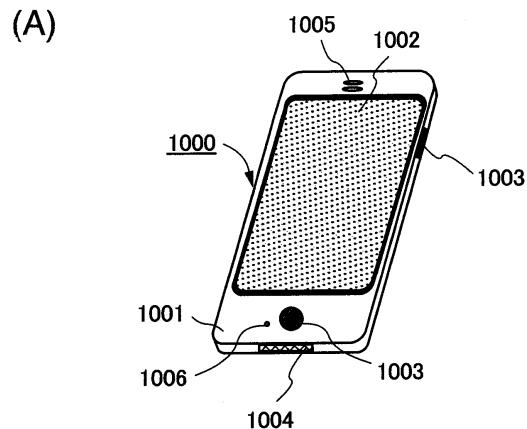
(A)



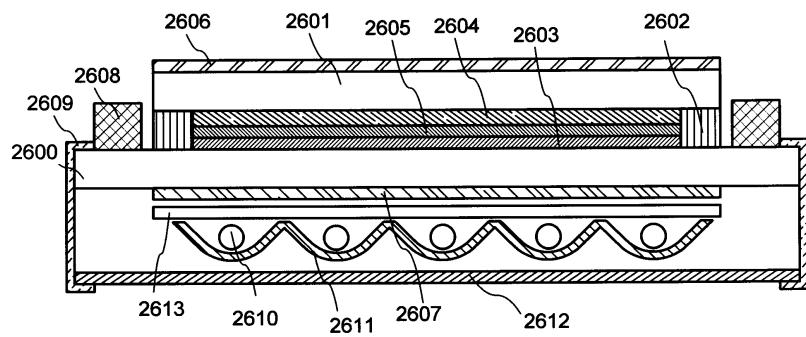
(B)



도면15

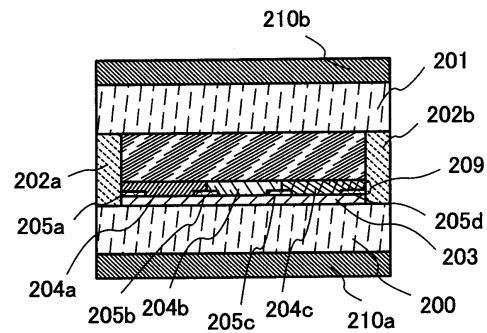


도면16

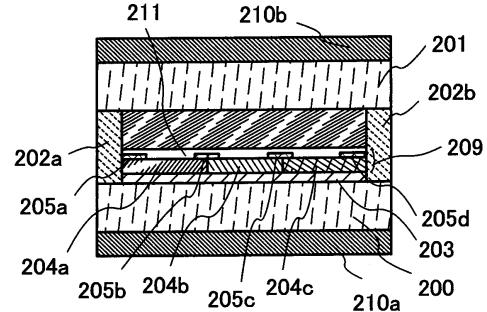


도면17

(A)



(B)

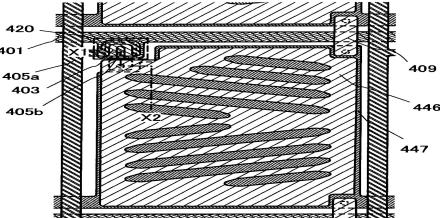


专利名称(译)	液晶显示器		
公开(公告)号	KR101551305B1	公开(公告)日	2015-09-08
申请号	KR1020090116753	申请日	2009-11-30
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	ISHITANI TETSUJI 이시타니테츠지 KUBOTA DAISUKE 쿠보타다이스케		
发明人	이시타니테츠지 쿠보타다이스케		
IPC分类号	G02F1/136 G02F1/1343		
CPC分类号	G02F1/134309 G02F1/136227 G02F1/1368 G02F1/133514 G02F2001/134372 G02F2001/136222 G02F1/13439		
代理人(译)	黄的.		
优先权	2008308787 2008-12-03 JP		
其他公开文献	KR1020100063660A		
外部链接	Espacenet		

摘要(译)

用途：提供一种LCD（液晶显示器）装置，用于通过降低穿透覆盖氧化物半导体层的层间膜的观察光的光强度的材料形成来稳定TFT（薄膜晶体管）的工作特性。组成：TFT（薄膜晶体管）（420）包括氧化物半导体层，第二电极层（446）具有开口。在TFT和第二电极层之间形成彩色的透光树脂层（417）。第一电极层（447）或第二电极层是像素电极层。另一电极层是公共电极层（409）。COPYRIGHT KIPO 2010

(A)



(B)

