



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년12월26일
(11) 등록번호 10-2059691
(24) 등록일자 2019년12월19일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01)
(21) 출원번호 10-2011-0081082
(22) 출원일자 2011년08월16일
심사청구일자 2016년08월05일
(65) 공개번호 10-2012-0041653
(43) 공개일자 2012년05월02일
(30) 우선권주장
JP-P-2010-181539 2010년08월16일 일본(JP)
(56) 선행기술조사문헌
JP2004138958 A*
(뒷면에 계속)

(73) 특허권자
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
교야마 준
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
(74) 대리인
장수길, 이중희, 박충범

전체 청구항 수 : 총 19 항

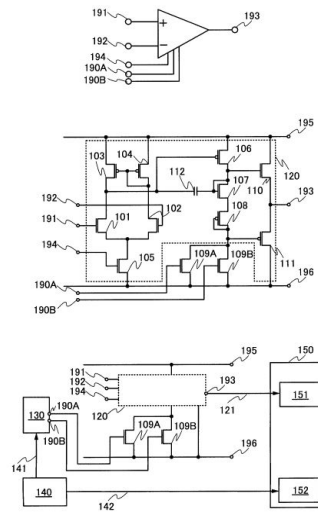
심사관 : 이옥우

(54) 발명의 명칭 액정 표시 장치의 제어 회로, 액정 표시 장치, 및 상기 액정 표시 장치를 구비한 전자 기기

(57) 요약

본 발명은 연산 증폭기에서의 전류 증폭 회로에 형성된 소스 접지 증폭 회로를 흐르는 전류를 동영상 표시시와 정지 영상 표시시에서 다르게 하는 것이다. 구체적으로는, 본 발명의 일 형태는 연산 증폭기에서의 전류 증폭 회로에 형성된 전류원 회로를 동영상 표시시에 사용하는 전류원 회로와 정지 영상 표시시에 사용하는 전류원 회로로 전환시켜 동작시킨다. 상기 전류원 회로를 전환함으로써 소스 접지 증폭 회로에서의 전류의 증폭을 제어하여, 전원 회로에서의 저소비 전력화를 도모한다. 또한, 동영상 표시 및 정지 영상 표시를 전환하기 위해서 액정 표시 패널을 제어하는 표시 제어 회로에 의해, 연산 증폭기에서의 전류원 회로가 전환된다.

대표도



(56) 선행기술조사문헌

KR100266212 B1*

JP2003228347 A

JP2002169499 A

JP2002099262 A

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

액정 표시 장치의 제어 회로로서,

제 1 기간에서 동영상을 표시하고 제 2 기간에서 정지 영상을 표시하는 액정 표시 패널을 제어하는 표시 제어 회로와;

연산 증폭기(operational amplifier)를 포함하고, 상기 표시 제어 회로에 전기적으로 접속된 전원 회로로서,

상기 연산 증폭기는

차동 증폭 회로와;

상기 차동 증폭 회로에 전기적으로 접속된 전류 증폭 회로와;

상기 전류 증폭 회로에 전기적으로 접속된 소스 팔로워 회로를 포함하고,

상기 전류 증폭 회로는

제 1 전류원 회로와;

제 2 전류원 회로를 포함하는, 상기 전원 회로와;

상기 제 1 전류원 회로와 상기 제 2 전류원 회로에 전기적으로 접속된 제어 회로를 포함하고,

상기 연산 증폭기의 전류 공급 능력은 상기 제 1 기간에서 상기 제 1 전류원 회로를 흐르는 전류량과 상기 제 2 기간에서 상기 제 2 전류원 회로를 흐르는 전류량에 따라 변화될 수 있고,

상기 제 1 기간에서 상기 제 1 전류원 회로를 흐르는 상기 전류량은 상기 제 2 기간에서 상기 제 2 전류원 회로를 흐르는 상기 전류량과 상이하고,

상기 제어 회로는 상기 제 1 기간에서 상기 제 1 전류원 회로를 동작시키고, 상기 제 2 기간에서 상기 제 2 전류원 회로를 동작시키는, 액정 표시 장치의 제어 회로.

청구항 8

삭제

청구항 9

제 7 항에 있어서,
 상기 액정 표시 패널은 화소 전극과 대향 전극을 포함하는 액정 소자를 포함하고,
 상기 연산 증폭기는 상기 대향 전극의 전위를 제어하는, 액정 표시 장치의 제어 회로.

청구항 10

제 9 항에 있어서,
 상기 표시 제어 회로에 전기적으로 접속된 게이트 드라이버 및 소스 드라이버를 더 포함하고,
 상기 게이트 드라이버 및 상기 소스 드라이버는 상기 화소 전극의 전위를 제어하는, 액정 표시 장치의 제어 회로.

청구항 11

제 7 항에 있어서,
 상기 표시 제어 회로는 기억 회로, 비교 회로, 제어 신호 출력 회로, 및 선택 회로를 포함하는, 액정 표시 장치의 제어 회로.

청구항 12

제 7 항에 있어서,
 상기 액정 표시 패널은 액정 소자와 트랜지스터를 포함하고,
 상기 트랜지스터의 반도체막은 산화물 반도체인, 액정 표시 장치의 제어 회로.

청구항 13

제 7 항에 따른 액정 표시 장치가 제공된 전자 기기.

청구항 14

액정 표시 장치의 제어 회로로서,
 제 1 기간에서 동영상 표시하고 제 2 기간에서 정지 영상을 표시하는 액정 표시 패널을 제어하는 표시 제어 회로와;

연산 증폭기를 포함하고, 상기 표시 제어 회로에 전기적으로 접속된 전원 회로로서,

상기 연산 증폭기는

차동 증폭 회로와;

제 1 트랜지스터와;

제 2 트랜지스터와;

제 3 트랜지스터와;

제 4 트랜지스터와;

제 5 트랜지스터

를 포함하는, 상기 전원 회로를 포함하고,

상기 제 1 트랜지스터의 게이트는 상기 차동 증폭 회로의 출력 단자에 전기적으로 접속되고,

상기 제 1 트랜지스터의 소스와 드레인 중 하나는 고전원 전압측 단자에 전기적으로 접속되고,

상기 제 1 트랜지스터의 상기 소스와 상기 드레인 중 다른 하나는 상기 제 2 트랜지스터의 소스와 드레인 중 하나, 상기 제 3 트랜지스터의 소스와 드레인 중 하나, 및 상기 제 4 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제 2 트랜지스터의 상기 소스와 상기 드레인 중 다른 하나와 상기 제 3 트랜지스터의 상기 소스와 상기 드레인 중 다른 하나는 저전원 전압측 단자에 전기적으로 접속되고,

상기 제 4 트랜지스터의 소스와 드레인 중 하나는 상기 고전원 전압측 단자에 전기적으로 접속되고,

상기 제 4 트랜지스터의 상기 소스와 상기 드레인 중 다른 하나는 상기 제 5 트랜지스터의 소스와 드레인 중 하나에 전기적으로 접속되고,

상기 제 5 트랜지스터의 상기 소스와 상기 드레인 중 다른 하나는 상기 저전원 전압측 단자에 전기적으로 접속되고,

상기 연산 증폭기의 전류 공급 능력은 상기 제 1 기간에서 상기 제 2 트랜지스터를 흐르는 전류량과 상기 제 2 기간에서 상기 제 3 트랜지스터를 흐르는 전류량에 따라 변화될 수 있고,

상기 제 1 기간에서 상기 제 2 트랜지스터를 흐르는 상기 전류량은 상기 제 2 기간에서 상기 제 3 트랜지스터를 흐르는 상기 전류량과 상이한, 액정 표시 장치의 제어 회로.

청구항 15

제 14 항에 있어서,

상기 제 2 트랜지스터의 게이트와 상기 제 3 트랜지스터의 게이트에 전기적으로 접속된 제어 회로를 더 포함하는, 액정 표시 장치의 제어 회로.

청구항 16

제 14 항에 있어서,

상기 액정 표시 패널은 화소 전극과 대향 전극을 포함하는 액정 소자를 포함하고,

상기 연산 증폭기는 상기 대향 전극의 전위를 제어하는, 액정 표시 장치의 제어 회로.

청구항 17

제 16 항에 있어서,

상기 표시 제어 회로에 전기적으로 접속된 게이트 드라이버 및 소스 드라이버를 더 포함하고,

상기 게이트 드라이버 및 상기 소스 드라이버는 상기 화소 전극의 전위를 제어하는, 액정 표시 장치의 제어 회로.

청구항 18

제 14 항에 있어서,

상기 표시 제어 회로는 기억 회로, 비교 회로, 제어 신호 출력 회로, 및 선택 회로를 포함하는, 액정 표시 장치의 제어 회로.

청구항 19

제 14 항에 있어서,

상기 액정 표시 패널은 액정 소자와 트랜지스터를 포함하고,

상기 트랜지스터의 반도체막은 산화물 반도체인, 액정 표시 장치의 제어 회로.

청구항 20

제 14 항에 따른 액정 표시 장치가 제공된 전자 기기.

청구항 21

액정 표시 장치로서,
 제 1 기간에서 동영상을 표시하고 제 2 기간에서 정지 영상을 표시하는 액정 표시 패널과;
 상기 액정 표시 패널을 제어하는 표시 제어 회로와;
 연산 증폭기를 포함하고, 상기 표시 제어 회로에 전기적으로 접속된 전원 회로로서,
 상기 연산 증폭기는
 차동 증폭 회로와;
 상기 차동 증폭 회로에 전기적으로 접속된 전류 증폭 회로로서,
 제 1 전류원 회로와;
 제 2 전류원 회로를 포함하는, 상기 전류 증폭 회로와;
 상기 전류 증폭 회로에 전기적으로 접속된 소스 팔로워 회로를 포함하는, 상기 전원 회로와;
 상기 제 1 전류원 회로와 상기 제 2 전류원 회로에 전기적으로 접속된 제어 회로를 포함하고,
 상기 연산 증폭기의 전류 공급 능력은 상기 제 1 기간에서 상기 제 1 전류원 회로를 흐르는 전류량과 상기 제 2 기간에서 상기 제 2 전류원 회로를 흐르는 전류량에 따라 변화될 수 있고,
 상기 제 1 기간에서 상기 제 1 전류원 회로를 흐르는 상기 전류량은 상기 제 2 기간에서 상기 제 2 전류원 회로를 흐르는 상기 전류량과 상이하고,
 상기 제어 회로는 상기 제 1 기간에서 상기 제 1 전류원 회로를 동작시키고, 상기 제 2 기간에서 상기 제 2 전류원 회로를 동작시키는, 액정 표시 장치.

청구항 22

제 21 항에 있어서,
 상기 액정 표시 패널은 화소 전극과 대향 전극을 포함하는 액정 소자를 포함하고,
 상기 연산 증폭기는 상기 대향 전극의 전위를 제어하는, 액정 표시 장치.

청구항 23

제 22 항에 있어서,
 상기 표시 제어 회로에 전기적으로 접속된 게이트 드라이버 및 소스 드라이버를 더 포함하고,
 상기 게이트 드라이버 및 상기 소스 드라이버는 상기 화소 전극의 전위를 제어하는, 액정 표시 장치.

청구항 24

제 21 항에 있어서,
 상기 표시 제어 회로는 기억 회로, 비교 회로, 제어 신호 출력 회로, 및 선택 회로를 포함하는, 액정 표시 장치.

청구항 25

제 21 항에 있어서,
 상기 액정 표시 패널은 액정 소자와 트랜지스터를 포함하고,
 상기 트랜지스터의 반도체막은 산화물 반도체인, 액정 표시 장치.

청구항 26

제 21 항에 따른 액정 표시 장치가 제공된 전자 기기.

발명의 설명

기술 분야

[0001] 본 발명은 액정 표시 장치의 제어 회로, 액정 표시 장치, 또는 액정 표시 장치를 구비한 전자 기기에 관한 것이다.

배경 기술

[0002] 액정 표시 장치는 텔레비전 수상기 등 대형 표시 장치에서 휴대 전화 등 소형 표시 장치에 이르기까지 보급되고 있다. 앞으로는 부가가치가 더 높은 제품이 요구되어 개발이 진행되고 있다. 최근에는 지구 환경에 대한 관심이 높아져 저소비 전력형 액정 표시 장치의 개발이 주목을 받고 있다.

[0003] 비특허 문헌 1에서는 액정 표시 장치의 저소비 전력화를 도모하기 위해서 동영상 표시시와 정지 영상 표시시의 리프레시 레이트(refresh rate)를 다르게 하는 구성에 대해서 개시되어 있다.

[0004] 또한, 액정 표시 장치는 액정 분자를 화소 전극과 대향 전극 사이에 두고 화소 전극과 대향 전극에 인가되는 전압으로 액정 분자의 배향을 제어한다. 화소 전극은 화소마다 형성된 박막 트랜지스터로 스위칭 제어됨으로써 원하는 전압으로 설정된다. 대향 전극은 화소 전극이 형성된 기판과의 사이에 액정 분자를 끼워서 형성되는 대향 기판에 형성된다. 대향 전극은 화소마다 형성되지 않고 전체에 걸쳐 형성되고, 전원 회로의 연산 증폭기(operational amplifier)에 의해 대향 전극의 전압이 소정의 전압이 되도록 제어된다.

[0005] 액정 표시 장치에 사용되는 연산 증폭기의 회로 구성에 대해서는 특허 문헌 1(예를 들어 도 6 참조)에 개시한다.

[0006] [선행 기술 문헌]

[0007] [특허 문헌]

[0008] (특허 문헌 1)

[0009] 일본국 특개평11-160673호 공보

[0010] [비특허 문헌]

[0011] (비특허 문헌 1)

[0012] Kazuhiko Tsuda et al., IDW'2, pp295-298

발명의 내용

해결하려는 과제

[0013] 액정 표시 장치의 저소비 전력화를 도모하기 위해서 동영상 표시시와 정지 영상 표시시의 리프레시 레이트를 다르게 하는 구성에 대해서 설명한다.

[0014] 액정 표시 장치에 있어서 동영상 표시를 하는 경우, 화소 전극의 전압이 수시(隨時) 갱신된다. 그러므로, 화소 전극으로부터 액정 분자를 통하여 전류가 누설되어 대향 전극의 전압이 변화하지 않도록 대향 전극의 전압을 일정하게 할 필요가 있다. 대향 전극을 정전압화하기 위해서는 전원 회로의 연산 증폭기의 전류 공급 능력을 높게 설정할 필요가 있다.

[0015] 한편, 액정 표시 장치에 있어서 리프레시 레이트를 저하시켜 정지 영상 표시를 하는 경우, 화소 전극의 전압은 일정하게 유지된다. 따라서, 동영상 표시와 마찬가지로 화소 전극으로부터 액정 분자를 통하여 전류가 누설되어 대향 전극의 전압이 변화한다. 다만, 화소 전극의 전압이 유지되기 때문에 대향 전극의 전압을 일정하게 하기 위한 전원 회로의 연산 증폭기의 전류 공급 능력은 동영상 표시시처럼 높게 설정할 필요가 없다.

[0016] 여기서, 연산 증폭기의 회로 구성에 대해서 도 15a 및 도 15b를 사용하여 설명한다. 도 15a에는 연산 증폭기의 회로 기호를 도시하고, 각 단자에 부호를 붙인다. 도 15a에는 비반전 입력 단자(991), 반전 입력 단자(992), 출력 단자(993), 바이어스 전압 입력 단자(994)를 갖는다.

[0017] 도 15b는 연산 증폭기의 등가 회로도이다. 이 연산 증폭기는 트랜지스터(901) 및 트랜지스터(902)로 구성되는

차동 회로, 트랜지스터(903) 및 트랜지스터(904)로 구성되는 전류 미러(current mirror) 회로, 트랜지스터(905) 및 트랜지스터(909)로 구성되는 전류원 회로, 트랜지스터(906)로 구성되는 소스 접지 증폭 회로, 트랜지스터(907) 및 트랜지스터(908)로 구성되는 아이들링 회로, 트랜지스터(910) 및 트랜지스터(911)로 구성되는 소스 팔로워 회로, 및 위상 보상 커패시터(912)를 갖는다. 트랜지스터(903), 트랜지스터(904), 트랜지스터(906), 및 트랜지스터(910)는 고전원 전압측 단자(995)에 접속되고, 트랜지스터(905), 트랜지스터(909), 및 트랜지스터(911)는 저전원 전압측 단자(996)에 접속된다. 또한, 도 15b에서는 도 15a에서 설명한 비반전 입력 단자(991), 반전 입력 단자(992), 출력 단자(993), 바이어스 전압 입력 단자(994)의 각 단자에 대해서도 함께 도시한다.

[0018] 또한, 도 15b는 차동 회로, 전류 미러 회로, 및 트랜지스터(905)로 구성되는 전류원 회로를 통틀어 차동 증폭 회로(921)라고 한다. 또한, 소스 접지 증폭 회로, 아이들링 회로, 및 트랜지스터(909)로 구성되는 전류원 회로를 통틀어 전류 증폭 회로(922)라고 한다. 또한, 트랜지스터(910) 및 트랜지스터(911)를 통틀어 소스 팔로워 회로(923)로 한다.

[0019] 도 15b에 도시한 회로의 동작을 간단하게 설명한다. 비반전 입력 단자(991)에 H레벨의 신호가 입력되면, 트랜지스터(901)의 드레인 전류가 트랜지스터(902)의 드레인 전류보다 커진다. 차동 회로를 구성하는 트랜지스터의 소스에는 트랜지스터(905)로 구성되는 전류원 회로가 접속되기 때문이다. 트랜지스터(903)의 드레인 전류는 트랜지스터(904)와 트랜지스터(903)가 전류 미러 회로를 구성하기 때문에 트랜지스터(902)의 드레인 전류와 마찬가지로 같다. 그리고, 트랜지스터(903)의 드레인 전류와 트랜지스터(901)의 드레인 전류에 차이(차이 전류)가 생긴다. 트랜지스터(903)의 드레인 전류와 트랜지스터(901)의 드레인 전류의 차이 전류에 의해 트랜지스터(906)의 게이트 전위가 저하된다. 트랜지스터(906)는 P형 트랜지스터이기 때문에, 트랜지스터(906)의 게이트 전위가 저하되면, 드레인 전류가 증가한다. 따라서, 트랜지스터(910)의 게이트 전위는 상승하고, 그것에 따라 트랜지스터(910)의 소스 전위, 즉 출력 단자(993)의 출력 전위도 상승한다. 또한, 반전 입력 단자(992)에 L레벨의 신호가 입력되어도 같은 동작이 된다.

[0020] 또한, 비반전 입력 단자(991)에 L레벨의 신호가 입력되면, 트랜지스터(901)의 드레인 전류가 트랜지스터(902)의 드레인 전류보다 작아진다. 트랜지스터(903)의 드레인 전류는 트랜지스터(902)의 드레인 전류와 마찬가지로 같다. 트랜지스터(903)의 드레인 전류와 트랜지스터(901)의 드레인 전류의 차이 전류에 의해, 트랜지스터(906)의 게이트 전위가 상승한다. 트랜지스터(906)는 P형 트랜지스터이기 때문에, 트랜지스터(906)의 게이트 전위가 상승하면, 드레인 전류가 감소한다. 따라서, 트랜지스터(910)의 게이트 전위는 저하되고, 그것에 따라 트랜지스터(910)의 소스 전위, 즉 출력 단자(993)의 출력 전압도 저하된다. 이와 같이 비반전 입력 단자(991)의 신호와 같은 위상을 갖는 신호가 출력 단자(993)로부터 출력된다. 또한, 반전 입력 단자(992)에 H레벨의 신호가 입력되어도 같은 동작이 된다.

[0021] 도 15b에 도시한 회로 구성에서는 차동 회로를 N형 트랜지스터, 전류 미러 회로를 P형 트랜지스터로 제작하지만, 각 트랜지스터의 극성, 각 단자에 입력되는 신호의 극성을 반전시킨 구성이라도 마찬가지로 같다.

[0022] 도 15a, 도 15b를 사용하여 설명한 연산 증폭기의 회로 구성에서는 액정 표시 패널에 있어서 동영상 표시를 하는 경우, 대향 전극을 정전압화하기 위해서 전원 회로의 연산 증폭기의 전류 공급 능력을 크게 설정할 필요가 있다. 즉, 도 15b를 예로 들면, 전류 증폭 회로(922)가 구비한 트랜지스터(909)로 구성되는 전류원 회로를 흐르는 전류를 크게 설정할 필요가 있다.

[0023] 그러나, 도 15a, 도 15b를 사용하여 설명한 연산 증폭기의 회로 구성에서는 액정 표시 패널에 있어서 리프레시 레이트를 저하시켜서 정지 영상 표시를 하는 경우에도, 전원 회로의 연산 증폭기의 전류 공급 능력이 높은 상태가 유지된다. 이것은 정지 영상 표시를 하는 경우에, 동영상 표시시와 비교하여 액정 표시 패널에서의 대향 전극의 전압의 변동이 작으므로, 연산 증폭기의 전류 공급 능력이 그다지 높지 않아도 되기 때문이다. 결과적으로 액정 표시 패널에서의 대향 전극을 정전압화할 때, 전원 회로의 연산 증폭기의 전류 공급 능력이 과잉으로 되어, 트랜지스터(909)를 갖는 전류 증폭 회로에서의 소비 전력이 증가해 버린다.

[0024] 리프레시 레이트를 전환시켜 동영상 표시 및 정지 영상 표시를 하는 액정 표시 장치의 제어 회로에서는 표시 제어 회로에 있어서, 게이트 드라이버 및 소스 드라이버와 같은 구동 회로에서의 계기록 횟수를 줄임으로써 저소비 전력을 도모한다. 한편, 리프레시 레이트를 전환시켜 동영상 표시 및 정지 영상 표시를 하는 액정 표시 장치의 전원 회로에서는 연산 증폭기의 저소비 전력화를 충분히 달성할 수 없다는 과제가 있다.

[0025] 상술한 과제를 감안하여, 본 발명의 일 형태는 액정 표시 장치의 제어 회로에 있어서 리프레시 레이트를 전환시켜 동영상 표시 및 정지 영상 표시를 할 때 전원 회로의 저소비 전력화를 도모하는 것을 목적으로 한다.

과제의 해결 수단

- [0026] 상술한 과제를 해결하기 위해서 본 발명의 일 형태는 연산 증폭기에서의 전류 증폭 회로에 형성된 소스 접지 증폭 회로를 흐르는 전류를 동영상 표시시와 정지 영상 표시시에서 다르게 한다. 구체적으로는 본 발명의 일 형태는 연산 증폭기에서의 전류 증폭 회로에 형성된 전류원 회로를 동영상 표시시에 사용하는 전류원 회로와 정지 영상 표시시에 사용하는 전류원 회로로 전환시켜 동작시킨다. 상기 전류원 회로를 전환시킴으로써 소스 접지 증폭 회로에서의 전류의 증폭을 제어하여 전원 회로에서의 저소비 전력화를 도모한다. 또한, 동영상 표시 및 정지 영상 표시를 전환시키기 위해서 액정 표시 패널을 제어하는 표시 제어 회로에 의해 연산 증폭기에서의 전류원 회로가 전환된다.
- [0027] 본 발명의 일 형태는 화상 제어 신호 출력 기간에 동영상 표시, 또는 화상 제어 신호 정지 기간에 정지 영상 표시를 하는 액정 표시 패널을 제어하기 위한 표시 제어 회로와, 차동 증폭 회로, 소스 접지 증폭 회로를 갖는 전류 증폭 회로, 및 소스 팔로워 회로를 갖는 전원 회로를 가지며, 소스 접지 증폭 회로는 화상 제어 신호 출력 기간과 화상 제어 신호 정지 기간에서 흐르는 전류량을 다르게 함으로써 전류를 증폭시키는 회로인 액정 표시 장치의 제어 회로이다.
- [0028] 본 발명의 일 형태는 화상 제어 신호 출력 기간에 동영상 표시, 또는 화상 제어 신호 정지 기간에 정지 영상 표시를 하는 액정 표시 패널을 제어하기 위한 표시 제어 회로와, 차동 증폭 회로, 소스 접지 증폭 회로와 제 1 전류원 회로와 제 2 전류원 회로를 갖는 전류 증폭 회로, 및 소스 팔로워 회로를 갖는 전원 회로를 가지며, 소스 접지 증폭 회로는 화상 제어 신호 출력 기간에서 제 1 전류원 회로를 흐르는 전류량에 따라 전류를 증폭시키는 회로이며, 화상 제어 신호 정지 기간에서는 제 2 전류원 회로를 흐르는 전류량에 따라 전류를 증폭시키는 회로인 액정 표시 장치의 제어 회로이다.
- [0029] 본 발명의 일 형태는 화소 전극과 대향 전극으로 액정의 배향을 제어하는 액정 표시 패널, 화상 제어 신호 출력 기간에 동영상 표시 또는 화상 제어 신호 정지 기간에 정지 영상 표시를 하는 액정 표시 패널을 제어하기 위한 표시 제어 회로, 및 차동 증폭 회로와, 소스 접지 증폭 회로를 갖는 전류 증폭 회로와, 소스 팔로워 회로를 갖는 전원 회로를 가지며, 전원 회로는 대향 전극의 전위를 제어하는 회로이고, 소스 접지 증폭 회로는 화상 제어 신호 출력 기간과 화상 제어 신호 정지 기간에서 흐르는 전류량을 다르게 함으로써 전류를 증폭시키는 회로인 액정 표시 장치이다.
- [0030] 본 발명의 일 형태에 있어서, 제 1 전류원 회로 및 제 2 전류원 회로는 제 1 전류원 회로 및 제 2 전류원 회로를 흐르는 전류량을 다르게 하여, 제 1 전류원 회로 또는 제 2 전류원 회로를 동작시키는 전류원 회로 제어 회로에 접속되는 액정 표시 장치의 제어 회로라도 좋다.
- [0031] 본 발명의 일 형태는 화소 전극과 대향 전극으로 액정의 배향을 제어하는 액정 표시 패널, 화상 제어 신호 출력 기간에 동영상 표시 또는 화상 제어 신호 정지 기간에 정지 영상 표시를 하는 액정 표시 패널을 제어하기 위한 표시 제어 회로, 및 차동 증폭 회로와, 소스 접지 증폭 회로와 제 1 전류원 회로와 제 2 전류원 회로를 갖는 전류 증폭 회로와, 소스 팔로워 회로를 갖는 전원 회로를 가지며, 전원 회로는 대향 전극의 전위를 제어하는 회로이고, 소스 접지 증폭 회로는 화상 제어 신호 출력 기간에서 제 1 전류원 회로를 흐르는 전류량에 따라 전류를 증폭시키는 회로이며, 화상 제어 신호 정지 기간에서는 제 2 전류원 회로를 흐르는 전류량에 따라 전류를 증폭시키는 회로인 액정 표시 장치이다.
- [0032] 본 발명의 일 형태는 화소 전극과 대향 전극으로 액정의 배향을 제어하는 액정 표시 패널, 화소 전극의 전위를 제어하기 위한 게이트 드라이버 및 소스 드라이버와 게이트 드라이버 및 소스 드라이버를 구동하는 제어 신호를 출력하여 화상 제어 신호 출력 기간에서의 동영상 표시 또는 제어 신호를 정지하여 정지 영상 표시를 하는 액정 표시 패널을 제어하기 위한 표시 제어 회로, 및 차동 증폭 회로와, 소스 접지 증폭 회로와 제 1 전류원 회로와 제 2 전류원 회로를 갖는 전류 증폭 회로와, 소스 팔로워 회로를 갖는 전원 회로를 가지며, 전원 회로는 대향 전극의 전위를 제어하는 회로이고, 소스 접지 증폭 회로는 화상 제어 신호 출력 기간에서 제 1 전류원 회로를 흐르는 전류량에 따라 전류를 증폭시키는 회로이며, 화상 제어 신호 정지 기간에서는 제 2 전류원 회로를 흐르는 전류량에 따라 전류를 증폭시키는 회로인 액정 표시 장치이다.
- [0033] 본 발명의 일 형태에 있어서, 제 1 전류원 회로 및 제 2 전류원 회로는 제 1 전류원 회로 및 제 2 전류원 회로를 흐르는 전류량을 다르게 하여, 제 1 전류원 회로 또는 제 2 전류원 회로를 동작시키는 전류원 회로 제어 회로에 접속되는 액정 표시 장치라도 좋다.
- [0034] 본 발명의 일 형태에 있어서, 표시 제어 회로는 기억 회로, 비교 회로, 제어 신호 출력 회로, 및 선택 회로를

갖는 액정 표시 장치라도 좋다.

[0035] 본 발명의 일 형태에 있어서, 화소 전극을 갖는 화소는 트랜지스터를 가지며, 트랜지스터의 반도체막은 산화물 반도체인 액정 표시 장치라도 좋다.

발명의 효과

[0036] 본 발명의 일 형태에 의해, 액정 표시 장치의 제어 회로에 있어서 리프레시 레이트를 전환시켜 동영상 표시 및 정지 영상 표시를 할 때의 전원 회로의 저소비 전력화를 도모할 수 있다.

도면의 간단한 설명

[0037] 도 1a 내지 도 1c는 실시형태 1에 따른 회로 구성을 설명하기 위한 도면.

도 2a 및 도 2b는 실시형태 1에 따른 사시도 및 회로 구성을 설명하기 위한 도면.

도 3a 및 도 3b는 실시형태 1에 따른 회로 구성을 설명하기 위한 도면.

도 4는 실시형태 1에 따른 타이밍 차트를 설명하기 위한 도면.

도 5a 및 도 5b는 실시형태 1에 따른 회로 구성을 설명하기 위한 도면.

도 6은 실시형태 2에 따른 블록도를 설명하기 위한 도면.

도 7은 실시형태 2에 따른 회로 구성을 설명하기 위한 도면.

도 8은 실시형태 2에 따른 타이밍 차트를 설명하기 위한 도면.

도 9a 및 도 9b는 실시형태 2에 따른 타이밍 차트를 설명하기 위한 도면.

도 10은 실시형태 2에 따른 타이밍 차트를 설명하기 위한 도면.

도 11a 내지 도 11d는 실시형태 3을 설명하기 위한 단면도.

도 12a 및 도 12b는 실시형태 3을 설명하기 위한 단면도.

도 13a 내지 도 13c는 실시형태 4를 설명하기 위한 단면도.

도 14a 내지 도 14d는 실시형태 5에 따른 전자 기기를 설명하기 위한 단면도.

도 15a 및 도 15b는 연산 증폭기의 회로 구성을 설명하기 위한 도면.

발명을 실시하기 위한 구체적인 내용

[0038] 이하에서는 본 발명의 실시형태에 대해서 도면을 참조하여 설명한다. 다만, 본 발명은 많은 상이한 형태로 실시할 수 있으며, 본 발명의 취지 및 그 범위에서 벗어남이 없이 그 형태 및 상세한 사항을 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 실시형태에 기재하는 내용에 한정하여 해석되는 것이 아니다. 또한, 이하에 설명하는 본 발명의 구성에 있어서, 같은 것을 가리키는 부호는 다른 도면에서도 공통적으로 사용한다.

[0039] 또한, 각 실시형태의 도면 등에서 도시한 각 구성의 크기, 층 두께, 신호 파형 또는 영역은 명료화를 위해서 과장되어 표기되는 경우가 있다. 따라서, 반드시 그 스케일에 한정되는 것은 아니다.

[0040] 또한, 본 명세서에서 사용하는 제 1, 제 2, 제 3, 내지 제 N(N은 자연수)이라는 용어는 구성 요소의 혼동을 피하기 위해서 붙인 것이며, 수적으로 한정하는 것이 아니다. 또한, 자연수는 특별한 설명이 없는 한, 1 이상이라는 전제로 설명한다.

[0041] (실시형태 1)

[0042] 본 실시형태에 제시하는 전원 회로에서의 연산 증폭기의 회로 구성의 일례를 설명한다.

[0043] 도 1a에는 연산 증폭기의 회로 기호를 도시하며 각 단자에 부호를 붙인다. 도 1a에서는 비반전 입력 단자(191), 반전 입력 단자(192), 출력 단자(193), 바이어스 전압 입력 단자(194), 제 1 전류원 회로용 바이어스 전압 입력 단자(190A), 제 2 전류원 회로용 바이어스 전압 입력 단자(190B)를 갖는다. 도 1a에 도시한 회로 기호가 도 15a를 사용하여 설명한 연산 증폭기의 회로 기호와 다른 점은 연산 증폭기에서의 전류 증폭 회로에 형성

된 소스 접지 증폭 회로를 흐르는 전류를 동영상 표시시와 정지 영상 표시시에서 다르게 하기 위해서 제 1 전류원 회로용 바이어스 전압 입력 단자(190A) 및 제 2 전류원 회로용 바이어스 전압 입력 단자(190B)를 구비한다는 것이다.

- [0044] 도 1b는 도 1a에 도시한 연산 증폭기의 등가 회로도이다. 이 연산 증폭기는 트랜지스터(101) 및 트랜지스터(102)로 구성되는 차동 회로, 트랜지스터(103) 및 트랜지스터(104)로 구성되는 전류 미러 회로, 트랜지스터(105)로 구성되는 전류원 회로, 트랜지스터(109A)로 구성되는 전류원 회로, 트랜지스터(109B)로 구성되는 전류원 회로, 트랜지스터(106)로 구성되는 소스 접지 증폭 회로, 트랜지스터(107) 및 트랜지스터(108)로 구성되는 아이들링 회로, 트랜지스터(110) 및 트랜지스터(111)로 구성되는 소스 팔로워 회로, 및 위상 보상 커패시터(112)를 갖는다. 트랜지스터(103), 트랜지스터(104), 트랜지스터(106), 및 트랜지스터(110)는 고전원 전압측 단자(195)에 접속되고, 트랜지스터(105), 트랜지스터(109A), 트랜지스터(109B), 및 트랜지스터(111)는 저전원 전압측 단자(196)에 접속된다. 또한, 도 1b에서는 도 1a에 도시한 비반전 입력 단자(191), 반전 입력 단자(192), 출력 단자(193), 바이어스 전압 입력 단자(194), 제 1 전류원 회로용 바이어스 전압 입력 단자(190A) 및 제 2 전류원 회로용 바이어스 전압 입력 단자(190B)의 각 단자에 대해서도 함께 도시한다.
- [0045] 또한, 도 1b에서는 도 15b와 마찬가지로 차동 회로, 전류 미러 회로, 및 트랜지스터(105)로 구성되는 전류원 회로를 통틀어 차동 증폭 회로라고 한다. 또한, 소스 접지 증폭 회로, 아이들링 회로, 트랜지스터(109A)로 구성되는 전류원 회로(제 1 전류원 회로라고 함), 및 트랜지스터(109B)로 구성되는 전류원 회로(제 2 전류원 회로)를 통틀어 전류 증폭 회로라고 한다. 또한, 트랜지스터(110) 및 트랜지스터(111)를 통틀어 소스 팔로워 회로로 한다. 또한, 도 15b를 사용하여 설명한 연산 증폭기의 회로 구성과 같은 부분에 대해서는, 도 1b를 사용한 이후의 설명에서는 통틀어 신호 입력측 회로(120)로 약기하여 설명하기로 한다.
- [0046] 또한, 도 1b에 도시한 회로 구성에서는 차동 회로를 n형 트랜지스터, 전류 미러 회로를 p형 트랜지스터로 제작하지만, 각 트랜지스터의 극성, 각 단자에 입력되는 신호의 극성을 반전시킨 구성이라도 마찬가지이다.
- [0047] 또한, 도 1b에 도시한 구성에 있어서, 각 트랜지스터에 적용할 수 있는 트랜지스터의 종류에 한정은 없고, 비정질 실리콘이나 다결정 실리콘으로 대표되는 비단결정 반도체막을 사용한 박막 트랜지스터(TFT), 반도체 기판이나 SOI 기판을 사용하여 형성되는 트랜지스터, MOS형 트랜지스터, 접합형 트랜지스터, 바이폴러 트랜지스터 등을 적용할 수 있다.
- [0048] 또한, 도 1a, 도 1b에 도시한 연산 증폭기는 도 3a에 도시한 바와 같이, 출력 단자(193)로부터 반전 입력 단자(192)를 네거티브 피드백(negative feedback) 구성으로 함으로써 전원 회로로 할 수 있다. 도 3a에 도시한 예에서는 비반전 입력 단자(191)에 입력되는 기준 전원의 전압값을 그대로 출력 단자로부터 출력할 수 있다. 또한, 기준 전원의 n배(n은 양의 수)의 전압을 출력 단자로부터 출력하는 경우에는 도 3b에 도시한 바와 같이, 출력 단자(193)의 전압값을 2개의 저항, 여기서는 저항 소자(198), 저항 소자(199)에서 1:n-1로 분압(分壓)하여 반전 입력 단자(192)에 접속하는 구성으로 하면 좋다. 이와 같이 하여 출력 단자(193)의 출력 전압을 기준 전압의 n배로 하여 전류 공급 능력이 큰 전원 회로를 구성할 수 있다.
- [0049] 또한, 도 3a, 도 3b에 도시한 비반전 입력 단자(191)에 입력하는 기준 전원에는 밴드 갭 레귤레이터 등의 기준 전원 생성 회로를 사용하면 좋다. 밴드 갭 레귤레이터는 온도 계수가 거의 0이며 흔히 사용된다. 또한, 도 3a, 도 3b에서는 제 1 전류원 회로용 바이어스 전압 입력 단자(190A) 및 제 2 전류원 회로용 바이어스 전압 입력 단자(190B)를 생략하여 도시한다.
- [0050] 도 1c는 도 1b에서 도시한 연산 증폭기에 대해서 주변 회로 등과 함께 도시한 회로도이다. 구체적으로는 도 1c에서는 연산 증폭기 외에 전류원 회로 제어 회로(130), 표시 제어 회로(140), 액정 표시 패널(150)에 대해서 도시한다. 액정 표시 패널(150)은 대향 전극(151), 화소 전극을 갖는 화소 회로(152)에 대해서 도시한다.
- [0051] 또한, 표시 제어 회로(140)로부터 전류원 회로 제어 회로(130)에는 액정 표시 패널(150)에서의 표시가 동영상 표시인지 정지 영상 표시인지에 따라 전류원 회로 제어 회로(130)를 제어하기 위한 신호가 공급된다(화살표(141)).
- [0052] 또한, 전류원 회로 제어 회로(130)로부터 트랜지스터(109A) 및 트랜지스터(109B)에는 제 1 전류원 회로용 바이어스 전압 입력 단자(190A) 및 제 2 전류원 회로용 바이어스 전압 입력 단자(190B)를 통하여 트랜지스터(109A) 및 트랜지스터(109B) 중 어느 하나가 전류 증폭 회로의 전류원 회로로서 기능하도록 제어하기 위한 신호가 공급된다. 전류원 회로 제어 회로(130)는 표시 제어 회로(140)로부터의 신호에 따라 상술한 트랜지스터(109A) 및 트랜지스터(109B) 중 어느 하나가 전류원 회로로서 기능하도록 제어를 한다. 그리고, 연산 증폭기에서의 전류

증폭 회로에 형성된 소스 접지 증폭 회로를 흐르는 전류를 표시 제어 회로(140)로부터의 신호에 의해 동영상 표시시와 정지 영상 표시시에서 다르게 할 수 있다.

- [0053] 또한, 표시 제어 회로(140)로부터 화소 회로(152)에는 액정 표시 패널(150)에서의 표시가 동영상 표시인지 정지 영상 표시인지에 따라 화소 회로(152)를 구동하기 위한 신호가 공급된다(화살표(142)).
- [0054] 또한, 신호 입출력 회로(120)로부터 대향 전극(151)에는 출력 단자(193)를 통하여 공통 전압(COMMON 전압이라고도 함)이 공급된다(화살표(121)).
- [0055] 다음에, 도 2a에서는 도 1a 내지 도 1c에 도시한 전원 회로에서의 연산 증폭기의 주변 회로도 함께 나타낸 사시도를 도시하고, 도 2b에서는 액정 표시 패널(150)의 상세한 구성에 대해서 도시한다.
- [0056] 도 2a에 도시한 바와 같이 외부 기관(301) 위에는 표시 제어 회로(302) 및 전원 회로(303)를 구비한다.
- [0057] 도 2a에서 액정 표시 패널(150)을 구성하는 제 1 표시 기관(304) 위에는 복수의 화소 회로(311)가 형성된 화소부(310)를 구비한다. 또한, 화소 회로(311)에는 외부 접속 배선(306) 및 외부 접속 단자(307)를 통하여 화소 회로(311)를 구동하기 위한 신호가 공급된다.
- [0058] 도 2a에서는 액정 표시 패널(150)을 구성하는 제 2 표시 기관(305) 위에는 대향 전극(312)을 구비한다. 또한, 대향 전극(312)에는 전원 회로(303)로부터 외부 접속 배선(306), 외부 접속 단자(307), 및 공통 접속부(308)(COMMON 콘택트부라고도 함)를 통하여 공통 전압이 공급된다.
- [0059] 또한, 도 2a에서 화소부(310)의 화소 전극과 대향 전극(312) 사이에는 액정 분자(도시하지 않음)가 개재되고, 2개의 전극 사이의 전계에 따라 액정 분자의 배향이 제어된다.
- [0060] 도 2b에서는 도 2a에 도시한 액정 표시 패널(150)에 상응하는 제 1 표시 기관(304) 및 제 2 표시 기관(305)의 구성, 및 외부 기관(301)으로부터 액정 표시 패널(150)에 공급되는 각 신호를 도시한다.
- [0061] 도 2b에 도시한 제 1 표시 기관(304)은 화소부(310)에 복수의 화소 회로(311)를 갖는다. 복수의 화소 회로(311)는 매트릭스 형태로 형성된 게이트선(321), 소스선(322), 및 용량선(323)에 접속된다. 또한, 도 2b에 도시한 제 2 표시 기관(305)은 먼 전체에 형성된 대향 전극(312)을 갖는다.
- [0062] 도 2b에 도시한 게이트선(321)에는 표시 제어 회로(302)로부터 게이트선을 선택하기 위한 선택 신호(Se1)가 공급된다. 또한, 도 2b에 도시한 소스선(322)에는 표시 제어 회로(302)로부터 각 화소 회로(311)에 입력하기 위한 화상 신호(Data)가 공급된다. 또한, 도 2b에 도시한 용량선(323)에는 전원 회로(303)로부터 용량 전압(Vcs)이 공급된다. 또한, 도 2b에 도시한 대향 전극(312)에는 전원 회로(303)로부터 공통 전압(Vcom)이 공급된다. 또한, 선택 신호(Se1), 화상 신호(Data) 및 용량 전압(Vcs)은 외부 접속 배선(도 2a에 도시한 외부 접속 배선(306)) 및 외부 접속 단자(307)를 통하여 공급된다. 또한, 공통 전압(Vcom)은 외부 접속 배선(도 2a에 도시한 외부 접속 배선(306)), 외부 접속 단자(307), 및 공통 접속부(도 2a에 도시한 공통 접속부(308))를 통하여 공급된다.
- [0063] 또한, 선택 신호(Se1), 화상 신호(Data)는 표시 제어 회로(302)에 형성되는 게이트 드라이버 및 소스 드라이버로 생성되는 신호이다. 본 실시형태에서는 선택 신호(Se1) 및 화상 신호(Data)를 통틀어 화상 제어 신호라고도 한다. 화상 제어 신호는 상술한 도 1c를 사용하여 설명한 화살표(142)에서 공급되는 신호에 상당한다.
- [0064] 액정 표시 패널에서 동영상 표시를 하는 경우, 화상 제어 신호는 화소 전극의 전압을 수시 갱신하기 위해서 표시 제어 회로(302)로부터 연속적으로 출력된다. 액정 표시 패널에서 리프레시 레이트를 작게 하여 정지 영상 표시를 하는 경우, 화상 제어 신호는 화소 전극의 전압을 일정 기간마다 갱신하기 위해서 표시 제어 회로(302)로부터 간헐적으로 출력된다.
- [0065] 본 실시형태의 구성에 따른 액정 표시 패널에서는 리프레시 레이트를 작게 하여 정지 영상 표시를 하는 경우, 화소 전극의 전압을 일정 기간마다 갱신한다. 즉, 바꿔 말하면 화소 전극의 전압은 일정 기간 동안 갱신되지 않기 때문에, 화소 전극의 전압을 일정 기간 동안 유지하는 구성으로 하는 것이 중요하다. 예를 들어 화소 회로에 형성되는 스위칭 소자인 트랜지스터를 오프 상태로 했을 때의 누설 전류를 작게 하는 구성, 및/또는 화소 회로에 형성되는 화소 전극의 전압을 유지하기 위한 용량 소자의 정전 용량을 크게 설계하는 구성으로 하면 좋다.
- [0066] 또한, 화상 제어 신호를 생성하는 게이트 드라이버 및 소스 드라이버는 클럭 신호 및 스타트 펄스 등의 타이밍 신호로 동작한다. 액정 표시 패널에서 리프레시 레이트를 작게 하여 정지 영상 표시를 할 때는 타이밍 신호의

게이트 드라이버 및 소스 드라이버에 입력을 간헐적으로 정지하여, 화상 제어 신호의 표시 제어 회로(302)로부터의 간헐적인 출력을 실현할 수 있다. 결과적으로 게이트 드라이버 및 소스 드라이버를 일시적으로 정지할 수 있어, 게이트 드라이버 및 소스 드라이버의 저소비 전력화를 도모할 수 있다.

[0067] 또한, 이하의 설명에서는 동영상 표시를 하기 위한 화상 제어 신호를 연속적으로 출력하는 기간을 화상 제어 신호 출력 기간이라고 한다. 또한, 정지 영상 표시를 하기 위한 화상 제어 신호를 정지하는 기간, 즉 타이밍 신호를 게이트 드라이버 및 소스 드라이버에 입력하는 것을 정지하는 기간을 화상 제어 신호 정지 기간이라고 한다.

[0068] 또한, 정지 영상 표시를 하는 기간에 있어서, 화소 전극에 유지된 전압을 리프레시하기 위해서 정기적으로 같은 전압의 화상 신호를 기록하는 경우에도 화상 제어 신호를 액정 표시 패널에 출력한다. 그래서, 화상 제어 신호를 표시 제어 회로(302)로부터 출력하는 기간을 화상 제어 신호 출력 기간이라고 하고, 화상 제어 신호를 표시 제어 회로(302)로부터 출력하지 않는 기간을 화상 제어 신호 정지 기간이라고 할 수도 있다.

[0069] 다음에, 도 1b, 도 1c에 도시한 회로의 동작을 간단하게 설명한다. 비반전 입력 단자(191)에 H레벨의 신호가 입력되면, 트랜지스터(101)의 드레인 전류가 트랜지스터(102)의 드레인 전류보다 커진다. 차동 회로를 구성하는 트랜지스터(101, 102)의 소스에는 트랜지스터(105)로 구성되는 전류원 회로가 접속되기 때문이다. 트랜지스터(103)의 드레인 전류는 트랜지스터(104)와 트랜지스터(103)가 전류 미러 회로를 구성하기 때문에, 트랜지스터(102)의 드레인 전류와 같게 된다. 그리고, 트랜지스터(103)의 드레인 전류와 트랜지스터(101)의 드레인 전류에 차이(차이 전류)가 생긴다. 트랜지스터(103)의 드레인 전류와 트랜지스터(101)의 드레인 전류의 차이 전류에 의해 트랜지스터(106)의 게이트 전위가 저하된다. 트랜지스터(106)는 P형 트랜지스터이기 때문에, 트랜지스터(106)의 게이트 전위가 저하되면 드레인 전류가 증가한다. 트랜지스터(106)의 드레인 전류는 제 1 전류원 회로(109A) 및 제 2 전류원 회로(109B) 중 어느 하나를 흐르는 전류에 따라 변화한다. 트랜지스터(106)로 구성되는 소스 접지 증폭 회로를 흐르는 전류에 따라, 트랜지스터(110)의 게이트 전위는 상승하고, 그것에 따라 트랜지스터(110)의 소스 전위 즉 출력 단자(193)의 출력 전위도 상승한다. 또한, 반전 입력 단자(192)에 L레벨의 신호가 입력되어도 같은 동작이 된다.

[0070] 또한, 비반전 입력 단자(191)에 L레벨의 신호가 입력되면, 트랜지스터(101)의 드레인 전류가 트랜지스터(102)의 드레인 전류보다 작아진다. 차동 회로를 구성하는 트랜지스터(101, 102)의 소스에는 트랜지스터(105)로 구성되는 전류원 회로가 접속되기 때문이다. 트랜지스터(103)의 드레인 전류는 트랜지스터(104)와 트랜지스터(103)가 전류 미러 회로를 구성하기 때문에, 트랜지스터(102)의 드레인 전류와 같게 된다. 그리고, 트랜지스터(103)의 드레인 전류와 트랜지스터(101)의 드레인 전류에 차이(차이 전류)가 생긴다. 트랜지스터(103)의 드레인 전류와 트랜지스터(101)의 드레인 전류의 차이 전류에 의해, 트랜지스터(106)의 게이트 전위가 상승한다. 트랜지스터(106)는 P형 트랜지스터이기 때문에, 트랜지스터(106)의 게이트 전위가 상승하면 드레인 전류가 감소한다. 트랜지스터(106)의 드레인 전류는 제 1 전류원 회로(109A) 및 제 2 전류원 회로(109B) 중 어느 하나를 흐르는 전류에 따라 변화한다. 트랜지스터(106)로 구성되는 소스 접지 증폭 회로를 흐르는 전위에 의해, 트랜지스터(110)의 게이트 전위는 저하되고 그것에 따라 트랜지스터(110)의 소스 전위 즉 출력 단자(193)의 출력 전압도 저하한다. 또한, 반전 입력 단자(192)에 H레벨의 신호가 입력되어도 같은 동작이 된다.

[0071] 상승한 도 1b, 도 1c의 동작의 특징은 전류를 증폭하기 위한 트랜지스터(106)를 흐르는 드레인 전류를 제 1 전류원 회로(109A) 및 제 2 전류원 회로(109B) 중 어느 하나를 흐르는 전류에 따라 변화시키는 점이다. 구체적으로는 동영상 표시를 하는 화상 제어 신호 출력 기간에서는 제 2 전류원 회로보다 큰 전류를 흘리는 제 1 전류원 회로를 선택하고, 정지 영상 표시를 하는 화상 제어 신호 정지 기간에서는 제 1 전류원 회로보다 작은 전류를 흘리는 제 2 전류원 회로를 선택한다. 또한, 다른 동작은 도 15b와 마찬가지로이다.

[0072] 도 1b, 도 1c에 도시한 회로에서는 상승한 바와 같이 액정 표시 패널의 표시가 동영상 표시인지 또는 정지 영상 표시인지에 따라, 제 1 전류원 회로 또는 제 2 전류원 회로 중 하나를 소정의 전류가 흐르도록 동작시킨다. 구체적으로는 동영상 표시를 하는 화상 제어 신호 출력 기간에서는 트랜지스터(109A)로 구성되는 제 1 전류원 회로를 흐르는 전류에 의해, 트랜지스터(106)로 구성되는 소스 접지 증폭 회로의 전류의 증폭률을 제어한다. 또한, 정지 영상 표시를 하는 화상 제어 신호 정지 기간에서는 제 1 전류원 회로를 흐르는 전류와 다른, 트랜지스터(109B)로 구성되는 제 2 전류원 회로를 흐르는 전류에 의해, 트랜지스터(106)로 구성되는 소스 접지 증폭 회로의 전류의 증폭률을 제어한다. 그리고, 연산 증폭기에서의 전류 증폭 회로에 형성된 소스 접지 증폭 회로인 트랜지스터(106)를 흐르는 전류를 표시 제어 회로(140)로부터의 신호에 의해 동영상 표시시와 정지 영상 표시시에서 다르게 할 수 있다.

- [0073] 또한, 제 1 전류원 회로 또는 제 2 전류원 회로 중 어느 하나에 전류를 흘리는 구성이라도 연산 증폭기의 출력 단자(193)로부터 반전 입력 단자(192)를 네거티브 피드백 구성으로 함으로써, 출력하는 전압의 레벨을 입력 신호의 전압 레벨과 같은 전위 회로로 할 수 있다. 이 경우의 상이점은 제 1 전류원 회로 또는 제 2 전류원 회로를 흐르는 전류량, 바꿔 말하면 연산 증폭기의 출력 단자의 전류 공급 능력이다. 상술한 바와 같이, 동영상 표시 또는 정지 영상 표시에서는 필요한 전류 공급 능력을 전환시켜 동작함으로써, 전류 증폭 회로의 전류원 회로를 흐르는 소비 전류를 저감할 수 있어 전원 회로의 저소비 전력화를 도모할 수 있다.
- [0074] 또한, 비반전 입력 단자(191)에 L레벨의 신호가 입력되는 동작 및 반전 입력 단자(192)에 H레벨의 신호가 입력되는 동작에서도 제 1 전류원 회로 또는 제 2 전류원 회로 중 어느 하나를 소정의 전류가 흐르도록 동작시키는 구성으로 하고, 연산 증폭기의 출력 단자의 전류 공급 능력을 다르게 하는 구성으로 하면 좋다.
- [0075] 상술한 제 1 전류원 회로 또는 제 2 전류원 회로를 전환시키는 연산 증폭기의 동작을 도 4에 도시한 플로우 차트로 설명하기로 한다.
- [0076] 도 4에 도시한 제 1 단계(351)에서는 표시 제어 회로에 입력되는 화상 신호가 동영상인지 정지 영상인지를 판정한다. 일례로서는 연속하는 프레임 간에서의 화상 신호를 비교함으로써 동영상인지 정지 영상인지를 판정하여, 동영상 표시를 하는 화상 제어 신호 출력 기간인지 정지 영상 표시를 하는 화상 제어 신호 정지 기간인지 판단하는 구성으로 하면 좋다. 또는, 표시 제어 회로는 입력되는 화상 신호의 종류에 따라 동영상 표시인지 정지 영상 표시인지를 판정하는 구성으로 하여도 좋다. 예를 들어 화상 신호의 바탕이 되는 전자 데이터의 파일 형식 등을 참조함으로써, 동영상 표시인지 정지 영상 표시인지를 판정하는 구성으로 하면 좋다. 또는, 표시 제어 회로는 외부로부터의 전환 신호에 따라 동영상 표시 또는 정지 영상 표시를 전환시키는 구성이라면, 상기 전환 신호에 따라서 판정하는 구성으로 하여도 좋다.
- [0077] 제 2 단계(352)는 제 1 단계(351)에서의 판정이 화상 제어 신호 출력 기간인지 여부에 따라 처리가 갈라진다.
- [0078] 제 1 분기(分岐) 단계(353)에서는 제 2 단계(352)에서 화상 제어 신호 출력 기간인 경우에 제 1 전류원 회로가 소정의 전류를 흘리도록 동작시킨다.
- [0079] 제 2 분기(分岐) 단계(354)에서는 제 2 단계(352)에서 화상 제어 신호 출력 기간이 아닌 경우에 제 2 전류원 회로가 소정의 전류를 흘리도록 동작시킨다.
- [0080] 도 4에 도시한 바와 같이, 본 실시형태에서 설명하는 액정 표시 장치의 제어 회로는 전원 회로의 연산 증폭기에 있어서 전류 증폭 회로에서의 제 1 전류원 회로 또는 제 2 전류원 회로를 선택적으로 동작시키는 것이다. 그리고, 전원 회로의 연산 증폭기에 있어서 전류 증폭 회로가 갖는 소스 접지 증폭 회로는 화상 제어 신호 출력 기간에서 제 1 전류원 회로를 흐르는 전류량에 따라 전류를 증폭시키고, 화상 제어 신호 정지 기간에서는 제 2 전류원 회로를 흐르는 전류량에 따라 전류를 증폭시키는 회로이다. 그리고, 연산 증폭기에 있어서 전류 증폭 회로에 형성된 소스 접지 증폭 회로를 흐르는 전류를 동영상 표시시와 정지 영상 표시시에서 다르게 할 수 있다.
- [0081] 다음에, 도 1c에 도시한 전류원 회로 제어 회로(130)의 구체적인 구성에 대해서 도 5a, 도 5b에 도시하여 설명한다. 여기서는 2개의 회로 구성의 예를 도시하여 설명한다.
- [0082] 도 5a에 도시한 전류원 회로 제어 회로(130)는 제 1 전류원 회로(361A), 제 1 트랜지스터(362A), 제 1 스위치(363A), 제 2 전류원 회로(361B), 제 2 트랜지스터(362B), 및 제 2 스위치(363B)를 갖는다.
- [0083] 도 5a에 도시한 전류원 회로 제어 회로(130)의 동작을 간단하게 설명한다. 또한, 제 1 전류원 회로(361A) 및 제 2 전류원 회로(361B)를 흐르는 전류값은 같은 값으로서 설명한다. 도 5a에 도시한 제 1 트랜지스터(362A)와 트랜지스터(109A)는 전류 미러 회로를 구성한다. 또한, 도 5a에 도시한 제 2 트랜지스터(362B)와 트랜지스터(109B)는 전류 미러 회로를 구성한다. 즉, 제 1 트랜지스터(362A)와 제 2 트랜지스터(362B)는 같은 전류를 흘릴 수 있는 구성이 된다. 따라서, 트랜지스터(109A)와 트랜지스터(109B)의 채널 폭 비율을 다르게 함으로써, 2개의 트랜지스터 사이에서 흐르는 전류 비율을 다르게 할 수 있다. 또한, 제 1 스위치(363A)와 제 2 스위치(363B)는 표시 제어 회로에 의해 교대로 전환시켜 온 상태 또는 오프 상태를 제어함으로써, 트랜지스터(109A) 및 트랜지스터(109B) 중 어느 하나에 선택적으로 전류를 흘리는 구성으로 할 수 있다.
- [0084] 상술한 구성에서는, 트랜지스터(109A) 및 트랜지스터(109B)의 채널 폭 비율을 다르게 함으로써, 트랜지스터(109A) 및 트랜지스터(109B)를 흐르는 전류의 비율을 다르게 하는 구성에 대해서 제시하였지만 다른 구성을 사용하여도 좋다. 다른 예로서는 제 1 트랜지스터(362A) 및 제 2 트랜지스터(362B)의 채널 폭 비율을 다르게 하는 구성으로 함으로써, 트랜지스터(109A) 및 트랜지스터(109B)를 흐르는 전류의 비율을 다르게 하는 구성으로

하여도 좋다.

- [0085] 또한, 상기 도 1c를 사용하여 설명한 전류원 회로 제어 회로(130)를 제어하기 위한 신호(화살표(141))에 의해, 도 5a에 도시한 제 1 스위치(363A) 및 제 2 스위치(363B)의 온 상태 또는 오프 상태가 제어된다.
- [0086] 도 5b에 도시한 전류원 회로 제어 회로(130)는 제 1 저항 소자(371A), 제 2 저항 소자(372A), 제 1 트랜지스터(373A), 제 3 저항 소자(374A), 제 1 스위치(375A), 제 4 저항 소자(371B), 제 5 저항 소자(372B), 제 2 트랜지스터(373B), 제 6 저항 소자(374B), 및 제 2 스위치(375B)를 갖는다.
- [0087] 도 5b에 도시한 전류원 회로 제어 회로(130)의 동작을 간단하게 설명한다. 도 5b에 도시한 제 1 저항 소자(371A) 및 제 2 저항 소자(372A)에 의해 제 1 트랜지스터(373A)의 게이트에 인가하는 전압을 설정한다. 또한, 도 5b에 도시한 제 4 저항 소자(371B) 및 제 5 저항 소자(372B)에 의해 제 2 트랜지스터(373B)의 게이트에 인가하는 전압을 설정한다. 제 1 저항 소자(371A)와 제 2 저항 소자(372A), 및 제 4 저항 소자(371B) 및 제 5 저항 소자(372B)의 저항 비율을 다르게 함으로써, 제 1 트랜지스터(373A)의 게이트에 인가하는 전압 및 제 2 트랜지스터(373B)의 게이트에 인가하는 전압을 다르게 한다. 그리고, 제 1 트랜지스터(373A)와 제 3 저항 소자(374A) 사이의 노드에 생성되는 전압을 인가하거나, 제 2 트랜지스터(373B)와 제 6 저항 소자(374B) 사이의 노드에 생성되는 전압을 인가함으로써, 트랜지스터(109A)와 트랜지스터(109B) 사이에서 흐르는 전류 비율을 다르게 할 수 있다. 또한, 제 1 스위치(375A)와 제 2 스위치(375B)는 표시 제어 회로에 의해 교대로 전환시켜 온 상태 또는 오프 상태를 제어함으로써, 트랜지스터(109A) 또는 트랜지스터(109B) 중 어느 하나에 선택적으로 전류를 흘리는 구성으로 할 수 있다.
- [0088] 또한, 상기 도 1c를 사용하여 설명한 전류원 회로 제어 회로(130)를 제어하기 위한 신호(화살표(141))에 의해, 도 5b에 도시한 제 1 스위치(375A) 및 제 2 스위치(375B)의 온 상태 또는 오프 상태가 제어된다.
- [0089] 상술한 바와 같이 본 발명의 일 형태는 동영상 표시시에 사용하는 전류원 회로와 정지 영상 표시시에 사용하는 전류원 회로를 전환시켜 연산 증폭기에서의 전류 증폭 회로에 형성된 전류원 회로를 동작시킨다. 상기 전류원 회로를 전환시킴으로써, 소스 접지 증폭 회로에서의 전류의 증폭을 동영상 표시시와 정지 영상 표시시에서 다르게 되도록 제어하여, 전원 회로에서의 저소비 전력화를 도모하는 것이다. 또한, 동영상 표시 및 정지 영상 표시를 전환하기 위해서 액정 표시 패널을 제어하는 표시 제어 회로에 의해 연산 증폭기에서의 전류원 회로가 전환된다. 결과적으로 액정 표시 장치의 제어 회로에 있어서, 리프레시 레이트를 전환시켜 동영상 표시 및 정지 영상 표시가 실시될 때의 전원 회로의 저소비 전력화를 도모할 수 있다.
- [0090] 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.
- [0091] (실시형태 2)
- [0092] 본 실시형태에서는 실시형태 1에서 도 1c를 사용하여 설명한 표시 제어 회로(140), 도 2a 및 도 2b를 사용하여 설명한 표시 제어 회로(302)의 구체적인 구성, 및 각 회로에서의 타이밍 차트에 대해서 도 6 내지 도 10에 도시하여 설명한다.
- [0093] 본 실시형태에서 구체적으로 설명하는 표시 제어 회로는 연속하는 프레임의 화상 신호가 다른 표시(동영상 표시)인 경우에, 프레임마다 화상 신호를 기록하기 위한 화상 제어 신호를 출력한다. 한편, 연속하는 프레임의 화상 신호가 같은 표시(정지 영상 표시)인 경우에는 화상 제어 신호를 정지하여, 액정에 전압을 인가하는 화소 전극의 전위를 부유 상태(플로팅 상태)로 하여 액정 소자에 인가되는 전압을 유지함으로써 리프레시 레이트를 저감한다.
- [0094] 도 1c, 도 2a, 및 도 2b에 도시한 표시 제어 회로의 구체적인 구성을 도 6에 도시한 블록도를 사용하여 설명한다. 도 6에서는 도 2a, 도 2b에서 부호를 붙여서 설명한 외부 기관(301) 위의 표시 제어 회로(302) 및 전원 회로(303), 액정 표시 패널(150), 게이트 드라이버(505), 소스 드라이버(506)에 대해서 도시한다. 또한, 액정 표시 패널(150)의 각 구성에 대해서는 도 2b에서 부호를 붙여서 설명한 부분과 마찬가지로, 실시형태 1의 설명을 인용한다.
- [0095] 또한, 도 6에서는 게이트 드라이버(505) 및 소스 드라이버(506)를 외부 기관(301)의 외부에 형성하는 구성에 대해서 도시하였지만, 외부 기관(301) 위에 형성하는 구성으로 하여도 좋다.
- [0096] 표시 제어 회로(302)에는 액정 표시 장치에 접속된 외부 기기로부터 화상 신호(화상 신호 Data)가 공급된다. 표시 제어 회로(302)는 화상 신호 Data에 따라 게이트 드라이버(505) 및 소스 드라이버(506)에 대한 타이밍 신호의 공급 또는 정지를 제어한다. 또한, 전원은 전원 회로(303)에 입력되고, 전원 회로(303)로부터 액정 표시

패널(150)을 구동하기 위한 복수의 전원 전압을 생성한다. 복수의 전원 전압으로서의 액정 표시 패널(150)의 용량선(323)에 공급하는 용량 전압 Vcs, 대향 전극(312)에 공급하는 공통 전압 Vcom 외, 고전원 전압 Vdd 및 저전원 전압 Vss를 생성한다.

- [0097] 다음에, 표시 제어 회로(302)의 구성 및 표시 제어 회로(302)가 화상 신호를 처리하는 방법에 대해서 설명한다.
- [0098] 표시 제어 회로(302)는 기억 회로(501), 비교 회로(502), 타이밍 신호 출력 회로(503) 및 선택 회로(504)를 갖는다.
- [0099] 기억 회로(501)는 복수의 프레임에 관한 화상 신호를 기억하기 위한 복수의 프레임 메모리를 갖는다. 기억 회로(501)가 갖는 프레임 메모리 수는 특별히 한정되지 않고, 복수의 프레임에 관한 화상 신호를 기억할 수 있는 소자라면 좋다. 또한, 프레임 메모리는 예를 들어 DRAM(Dynamic Random Access Memory), SRAM(Static Random Access Memory) 등의 기억 소자를 사용하여 구성하면 좋다.
- [0100] 또한, 프레임 메모리는 프레임 기간마다 화상 신호를 기억하는 구성이라면 좋고, 프레임 메모리 수에 대해서 특별히 한정하는 것이 아니다. 또한, 프레임 메모리의 화상 신호는 비교 회로(502) 및 타이밍 신호 출력 회로(503)에 의해 선택적으로 판독되는 것이다. 또한, 도면의 프레임 메모리(501A)는 1프레임 당 메모리 영역을 개념적으로 도시한 것이다.
- [0101] 비교 회로(502)는 기억 회로(501)에 기억된 연속하는 프레임 기간의 화상 신호를 선택적으로 판독하여 상기 연속하는 프레임간에서 화상 신호를 화소마다 비교하여 차분(差分)을 검출하기 위한 회로이다.
- [0102] 또한, 본 실시형태에서는 프레임간의 화상 신호에 차분이 있는지 없는지에 따라 타이밍 신호 출력 회로(503) 및 선택 회로(504)의 동작을 결정한다. 상기 비교 회로(502)가 프레임들 중 어느 화소에서 차분을 검출한 경우(차분이 있는 경우), 비교 회로(502)는 화상 신호가 정지 영상 표시가 아니라고 판단하여, 차분을 검출한 연속한 프레임 기간을 동영상 표시 기간이라고 판단한다.
- [0103] 한편, 비교 회로(502)에서 화상 신호를 비교하여, 모든 화소에서 차분이 검출되지 않은 경우(차분이 없는 경우), 상기 차분을 검출하지 않은 연속하는 프레임 기간은 정지 영상 표시 기간이라고 판단한다. 즉, 비교 회로(502)는 연속하는 프레임 기간의 화상 신호에 차분이 있는지 여부를 검출함으로써, 동영상을 표시하기 위한 화상 신호인지 또는 정지 영상을 표시하기 위한 화상 신호인지를 판단하는 것이다.
- [0104] 또한, 상기 비교에 의해, '차분이 있다'고 검출되는 기준은 차분의 크기가 일정한 수준을 초과했을 때 '차분이 있다'고 검출되었다고 판단되도록 설정하여도 좋다. 또한, 비교 회로(502)가 검출하는 차분은 차분의 절대값으로 판단하는 설정으로 하면 좋다.
- [0105] 선택 회로(504)는 예를 들어 트랜지스터로 형성되는 복수의 스위치가 형성되는 구성으로 한다. 비교 회로(502)가 연속하는 프레임간에 차분을 검출한 경우, 즉 화상이 동영상 표시되는 경우, 기억 회로(501) 내의 프레임 메모리로부터 동영상의 화상 신호를 선택하여 타이밍 신호 출력 회로(503)에 출력한다.
- [0106] 또한, 선택 회로(504)는 비교 회로(502)가 연속하는 프레임간에 차분을 검출하지 않는 경우, 즉 화상이 정지 영상 표시되는 경우, 기억 회로(501) 내의 프레임 메모리로부터 타이밍 신호 출력 회로(503)에 화상 신호를 출력하지 않는다. 화상 신호를 프레임 메모리로부터 타이밍 신호 출력 회로(503)에 출력하지 않는 구성으로 함으로써 외부 기관(301)에서의 소비 전력을 삭감할 수 있다.
- [0107] 타이밍 신호 출력 회로(503)는 게이트 드라이버(505) 및 소스 드라이버(506)에 선택 회로(504)로 선택된 화상 신호 및 타이밍 신호의 공급 또는 정지를 제어하는 회로이다.
- [0108] 다음에, 전원 회로(303)의 구성에 대해서 설명한다. 여기서는 전원 회로가 생성하는 복수의 전원 전압으로서 액정 표시 패널(150)의 용량선(323)에 공급하는 용량 전압 Vcs, 대향 전극(312)에 공급하는 공통 전압 Vcom을 예로 들어 설명한다.
- [0109] 전원 회로(303)는 기준 전원 전압 생성 회로(507), 용량 전압 생성 회로(508), 및 공통 전압 생성 회로(509)를 갖는다.
- [0110] 기준 전원 전압 생성 회로(507)에는 밴드 갭 레귤레이터 등을 사용하면 좋다. 밴드 갭 레귤레이터는 온도 계수가 거의 0이며 흔히 사용된다.
- [0111] 용량 전압 생성 회로(508)는 연산 증폭기를 가지며, 용량선에 공급하는 용량 전압을 생성하는 회로이다.

- [0112] 공통 전압 생성 회로(509)는 실시형태 1에서 설명한 전류원 회로 제어 회로에 의해 제 1 전류원 회로 및 제 2 전류원 회로가 전환되어 제어되는 연산 증폭기를 가지며, 대향 전극에 공급하는 공통 전압을 생성하는 회로이다. 또한, 공통 전압 생성 회로(509)가 구비하는 전류원 회로 제어 회로는 표시 제어 회로(302)에서의 동영상 표시인지 정지 영상 표시인지의 판단에 따라 제어된다. 구체적으로는 공통 전압 생성 회로(509)가 구비하는 전류원 회로 제어 회로는 표시 제어 회로(302) 내의 선택 회로(504)에 의해 선택되는, 타이밍 신호 출력 회로(503)로부터의 화상 신호 및 타이밍 신호의 공급 또는 정지에 따라 제어된다.
- [0113] 또한, 화소 회로(311)는 스위칭 소자로서 트랜지스터(603), 상기 트랜지스터(603)에 접속된 용량 소자(604), 및 액정 소자(605)를 갖는다(도 7 참조).
- [0114] 트랜지스터(603)에는 오프 전류가 저감된 트랜지스터를 사용한다. 트랜지스터(603)가 오프 상태일 때, 오프 전류가 저감된 트랜지스터(603)에 접속된 액정 소자(605), 및 용량 소자(604)에 축적된 전하가 트랜지스터(603)를 통하여 누설하기 어렵고, 트랜지스터(603)가 오프 상태가 되기 전에 기록된 상태를 오랜 시간 동안 유지할 수 있다.
- [0115] 본 실시형태에서는 액정 분자는 제 1 기관에 형성된 화소 전극과 대향하는 제 2 기관에 형성된 대향 전극으로 형성된 전계에 의해 제어된다.
- [0116] 게이트선(321)에는 게이트 드라이버(505)로부터 외부 접속 단자(307)를 통하여 선택 신호가 공급된다. 소스선(322)에는 소스 드라이버(506)로부터 외부 접속 단자(307)를 통하여 화상 신호가 공급된다. 용량선(323)에는 용량 전압 생성 회로(508)로부터 외부 접속 단자(307)를 통하여 용량 전압 V_{cs} 가 공급된다. 대향 전극(312)에는 공통 전압 생성 회로(509)로부터 외부 접속 단자(307)를 통하여 공통 전압 V_{com} 이 공급된다.
- [0117] 다음에, 화소에 공급하는 신호에 대해서 도 7에 도시한 액정 표시 장치의 회로도 및 도 8에 도시한 타이밍 차트를 사용하여 설명한다.
- [0118] 도 8에 타이밍 신호 출력 회로(503)가 게이트 드라이버(505)에 공급하는 클록 신호 GCK, 및 스타트 펄스 GSP를 도시한다. 또한, 타이밍 신호 출력 회로(503)가 소스 드라이버(506)에 공급하는 클록 신호 SCK 및 스타트 펄스 SSP를 도시한다. 또한, 클록 신호의 출력의 타이밍을 설명하기 위해서, 도 8에서는 클록 신호의 파형을 단순한 구형파로 나타낸다.
- [0119] 또한, 도 8에 소스선(322)의 상태(Data line), 화소 전극의 상태, 및 대향 전극의 전환 상태를 도시한다.
- [0120] 도 8에 있어서, 기간(401)은 동영상을 표시하기 위한 화상 신호를 기록하는 기간에 상당한다. 기간(401)에서는 화상 신호가 화소부(310)의 각 화소에 공급되고, 전원 회로에서 제 1 전류원 회로를 사용하여 생성되는 공통 전압이 대향 전극에 공급되도록 동작한다.
- [0121] 또한, 기간(402)은 정지 영상을 표시하는 기간에 상당한다. 기간(402)에서는 화소부(310)의 각 화소에 대한 화상 신호를 정지하고, 전원 회로에서 제 2 전류원 회로를 사용하여 생성되는 공통 전압이 대향 전극에 공급되도록 동작한다.
- [0122] 또한, 도 8에 도시한 기간(402)에서는 게이트 드라이버(505) 및 소스 드라이버(506)의 동작을 정지하도록 각 신호를 공급하는 구성에 대해서 도시하였지만, 기간(402)의 길이 및 리프레시 레이트에 따라 정기적으로 화상 신호를 기록함으로써, 정지 영상의 화상 열화를 방지하는 구성으로 하는 것이 바람직하다.
- [0123] 우선, 도 8에 도시한 타이밍 차트의 기간(401)을 설명한다. 기간(401)에서는 클록 신호 GCK로서 상시적으로 클록 신호가 공급되고, 스타트 펄스 GSP로서 수직 동기 주파수에 따른 펄스가 공급된다. 또한, 기간(401)에서는 클록 신호 SCK로서 상시적으로 클록 신호가 공급되고, 스타트 펄스 SSP로서 하나의 게이트 선택 기간에 따른 펄스가 공급된다.
- [0124] 또한, 각 행의 화소에 화상 신호 Data가 소스선(322)을 통하여 공급된다. 소스선(322)의 화상 신호 Data의 전위는 게이트선(321)의 전위에 따라 화소 전극에 공급된다.
- [0125] 또한, 타이밍 신호 출력 회로(503)가 공통 전압 생성 회로(509)에서 연산 증폭기 내의 제 1 전류원 회로를 선택하고, 생성되는 공통 전압을 대향 전극에 공급한다.
- [0126] 다음에, 도 8에 도시한 타이밍 차트의 기간(402)을 설명한다. 기간(402)에서는 게이트 드라이버(505) 및 소스 드라이버(506)의 타이밍 신호가 되는 클록 신호 GCK, 스타트 펄스 GSP, 클록 신호 SCK, 및 스타트 펄스 SSP를 정지한다. 그리고, 기간(402)에 있어서, 게이트선(321)에 공급한 선택 신호 Sel 및 소스선(322)에 공급한 화상

신호 Data를 정지한다. 클록 신호 GCK 및 스타트 펄스 GSP가 모두 정지하는 기간(402)에서는 트랜지스터(603)가 비도통 상태가 되어 화소 전극의 전위가 부유 상태가 된다.

- [0127] 즉, 기간(402)에서는 액정 소자(605)의 화소 전극의 전위를 부유 상태로 하여, 전위를 다시 공급하지 않고 정지 영상을 표시한다. 또한, 게이트 드라이버(505) 및 소스 드라이버(506)의 타이밍 신호인 클록 신호, 및 스타트 펄스를 정지함으로써, 저소비 전력화를 도모할 수 있다.
- [0128] 특히, 트랜지스터(603)에 오프 전류가 저감된 트랜지스터를 사용함으로써, 액정 소자(605)의 양쪽 단자에 인가되는 전압이 경시적으로 저하되는 현상을 억제할 수 있다.
- [0129] 다음에, 동영상으로부터 정지 영상으로 전환하는 기간(도 8에 도시한 기간(403)), 및 정지 영상으로부터 동영상으로 전환하는 기간(도 8에 도시한 기간(404))에서의 타이밍 신호 출력 회로(503)의 동작을 도 9a, 도 9b를 사용하여 설명한다. 도 9a, 도 9b는 타이밍 신호 출력 회로(503)가 게이트 드라이버(505) 및 소스 드라이버(506)에 출력하는, 고전원 전압 Vdd, 클록 신호(여기서는 GCK), 및 스타트 펄스 신호(여기서는 GSP)의 전위를 도시한다.
- [0130] 동영상으로부터 정지 영상으로 전환하는 기간(403)의 타이밍 신호 출력 회로(503)의 동작을 도 9a에 도시한다. 타이밍 신호 출력 회로(503)는 스타트 펄스 GSP를 정지한다(도 9a의 E1, 제 1 단계). 다음에, 스타트 펄스 신호 GSP의 정지 후, 펄스 출력이 시프트 레지스터의 마지막단까지 도달한 후, 복수의 클록 신호 GCK를 정지한다(도 9a의 E2, 제 2 단계). 다음에, 전원 전압의 고전원 전압 Vdd를 저전원 전압 Vss로 한다(도 9a의 E3, 제 3 단계).
- [0131] 상술한 방법에 의해, 게이트 드라이버(505) 및 소스 드라이버(506)의 오동작을 일으키지 않고 게이트 드라이버(505) 및 소스 드라이버(506)에 공급하는 타이밍 신호를 정지할 수 있다. 동영상으로부터 정지 영상으로 전환할 때의 오동작은 노이즈(noise)를 발생시키고 노이즈는 정지 영상으로서 유지된다. 그러므로, 오동작이 적은 게이트 드라이버(505) 및 소스 드라이버(506)를 탑재한 액정 표시 장치는 화상 열화가 적은 정지 영상을 표시할 수 있다.
- [0132] 다음에, 정지 영상으로부터 동영상으로 전환하는 기간(404)의 타이밍 신호 출력 회로(503)의 동작을 도 9b에 도시한다. 타이밍 신호 출력 회로(503)는 전원 전압을 저전원 전압 Vss로부터 고전원 전압 Vdd로 한다(도 9b의 S1, 제 1 단계). 다음에, 클록 신호 GCK로서 먼저 H레벨의 전위를 공급하고 나서, 복수의 클록 신호 GCK를 공급한다(도 9b의 S2, 제 2 단계). 다음에, 스타트 펄스 신호 GSP를 공급한다(도 9b의 S3, 제 3 단계).
- [0133] 상술한 방법에 의해 게이트 드라이버(505) 및 소스 드라이버(506)의 오동작을 일으키지 않고 게이트 드라이버(505) 및 소스 드라이버(506)에 대한 타이밍 신호의 공급을 다시 시작할 수 있다. 각 배선의 전위를 순차적으로 동영상 표시시의 전위로 되돌림으로써 오동작 없이 게이트 드라이버(505) 및 소스 드라이버(506)를 구동시킬 수 있다.
- [0134] 또한, 동영상을 표시하는 기간(801), 또는 정지 영상을 표시하는 기간(802)에 있어서, 각 프레임 기간의 화상 신호의 기록 빈도를 도 10에 모식적으로 도시한다. 도 10에 있어서, 'W'는 화상 신호의 기록 기간인 것을 나타내고, 'H'는 화상 신호를 유지하는 기간인 것을 나타낸다. 또한, 도 10에 있어서, 기간(803)은 1프레임 기간을 나타낸 것이지만, 다른 기간이라도 좋다.
- [0135] 이와 같이, 본 실시형태의 액정 표시 장치의 구성에 있어서, 기간(802)에서 표시되는 정지 영상의 화상 신호는 기간(804)에 기록되고, 기간(804)에서 기록된 화상 신호는 기간(802)의 다른 기간에서 유지된다.
- [0136] 본 실시형태에 예시한 액정 표시 장치는 정지 영상을 표시하는 기간에 있어서 화상 신호의 기록 빈도를 저감할 수 있다. 결과적으로, 정지 영상을 표시할 때의 저소비 전력화를 도모할 수 있다.
- [0137] 또한, 동일 화상을 복수회 재기록하여 정지 영상을 표시하는 경우, 화상의 전환을 시인할 수 있으면 사람이 눈에 피로감을 느낄 수도 있다. 본 실시형태의 액정 표시 장치는 화상 신호의 기록 빈도가 삭감되기 때문에 눈의 피로감을 줄인다는 효과도 있다.
- [0138] 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.
- [0139] (실시형태 3)
- [0140] 본 실시형태에서는 실시형태 1에서 설명한 액정 표시 패널(150)에 있어서 화소의 트랜지스터 구조의 일례에 대해서 설명하기로 한다.

- [0141] 트랜지스터의 구조의 일례로서 반도체층으로서 산화물 반도체층을 포함한 트랜지스터의 구조에 대해서 도 11a 내지 도 12b를 참조하여 설명한다. 도 11a 내지 도 12b는 트랜지스터의 단면 모식도이다.
- [0142] 도 11a에 도시한 트랜지스터는 하부 게이트 구조를 갖는 트랜지스터의 하나이며, 역스태거형 트랜지스터라고도 한다.
- [0143] 도 11a에 도시한 트랜지스터는 기판(710) 위에 형성된 도전층(711)과, 도전층(711) 위에 형성된 절연층(712)과, 절연층(712)을 사이에 두고 도전층(711) 위에 형성된 산화물 반도체층(713)과, 산화물 반도체층(713)의 일부 위에 각각 형성된 도전층(715) 및 도전층(716)을 갖는다.
- [0144] 또한, 도 11a에 트랜지스터의 산화물 반도체층(713)의 다른 일부(도전층(715) 및 도전층(716)이 형성되지 않는 부분)에 접하는 산화물 절연층(717)과, 산화물 절연층(717) 위에 형성된 보호 절연층(719)을 도시한다.
- [0145] 도 11b에 도시한 트랜지스터는 하부 게이트 구조를 갖는 트랜지스터의 하나인 채널 보호형(채널 스톱형이라고도 함) 트랜지스터이며, 역스태거형 트랜지스터라고도 한다.
- [0146] 도 11b에 도시한 트랜지스터는 기판(720) 위에 형성된 도전층(721)과, 도전층(721) 위에 형성된 절연층(722)과, 절연층(722)을 사이에 두고 도전층(721) 위에 형성된 산화물 반도체층(723)과, 절연층(722) 및 산화물 반도체층(723)을 사이에 두고 도전층(721) 위에 형성된 절연층(727)과, 산화물 반도체층(723)의 일부 위 및 절연층(727)의 일부 위에 각각 형성된 도전층(725) 및 도전층(726)을 갖는다.
- [0147] 여기서, 산화물 반도체층(723)의 일부 또는 모두와 도전층(721)이 겹치는 구조로 하면, 산화물 반도체층(723)에 광이 입사하는 것을 억제할 수 있다.
- [0148] 또한, 도 11b에 트랜지스터 위에 형성된 보호 절연층(729)을 도시한다.
- [0149] 도 11c에 도시한 트랜지스터는 하부 게이트 구조를 갖는 트랜지스터의 하나이다.
- [0150] 도 11c에 도시한 트랜지스터는 기판(730) 위에 형성된 도전층(731)과, 도전층(731) 위에 형성된 절연층(732)과, 절연층(732)의 일부 위에 각각 형성된 도전층(735) 및 도전층(736)과, 절연층(732), 도전층(735) 및 도전층(736)을 사이에 두고 도전층(731) 위에 형성된 산화물 반도체층(733)을 갖는다.
- [0151] 여기서, 산화물 반도체층(733)의 일부 또는 모두와 도전층(731)이 겹치는 구조로 하면 산화물 반도체층(733)에 광이 입사하는 것을 억제할 수 있다.
- [0152] 또한, 도 11c에 산화물 반도체층(733)의 상면 및 측면과 접하는 산화물 절연층(737)과 산화물 절연층(737) 위에 형성된 보호 절연층(739)을 도시한다.
- [0153] 도 11d에 도시한 트랜지스터는 상부 게이트 구조를 갖는 트랜지스터의 하나이다.
- [0154] 도 11d에 도시한 트랜지스터는 절연층(747)을 사이에 두고 기판(740) 위에 형성된 산화물 반도체층(743)과, 산화물 반도체층(743)의 일부 위에 각각 형성된 도전층(745) 및 도전층(746)과, 산화물 반도체층(743), 도전층(745), 및 도전층(746) 위에 형성된 절연층(742)과, 절연층(742)을 사이에 두고 산화물 반도체층(743) 위에 형성된 도전층(741)을 갖는다.
- [0155] 기판(710), 기판(720), 기판(730), 기판(740)의 각각에는 일례로서 유리 기판(바륨 보로실리케이트 유리 기판이나 알루미늄 보로실리케이트 유리 기판 등), 절연체로 이루어진 기판(세라믹 기판, 석영 기판, 사파이어 기판 등), 결정화 유리 기판, 플라스틱 기판, 또는 반도체 기판(실리콘 기판 등)을 사용한다.
- [0156] 도 11d에 도시한 트랜지스터에 있어서, 절연층(747)은 기판(740)으로부터 불순물 원소가 확산되는 것을 방지하는 하지층으로서의 기능을 갖는다. 절연층(747)에는 일례로서 질화실리콘층, 산화실리콘층, 질화산화실리콘층, 산화질화실리콘층, 산화알루미늄층, 및 산화질화알루미늄층을 단층 구조 또는 적층 구조로 사용한다. 또는, 절연층(747)에는 상술한 층과 차광성을 갖는 재료의 층을 적층시켜 사용한다. 또는, 절연층(747)에는 차광성을 갖는 재료의 층을 사용한다. 또한, 절연층(747)으로서 차광성을 갖는 재료의 층을 사용하면, 산화물 반도체층(743)에 광이 입사하는 것을 억제할 수 있다.
- [0157] 또한, 도 11d에 도시한 트랜지스터와 마찬가지로 도 11a 내지 도 11c에 도시한 트랜지스터에 있어서도, 기판(710)과 도전층(711) 사이, 기판(720)과 도전층(721) 사이, 기판(730)과 도전층(731) 사이에 각각 절연층(747)을 형성하여도 좋다.

- [0158] 도전층(도전층(711), 도전층(721), 도전층(731), 도전층(741))은 트랜지스터의 게이트로서의 기능을 갖는다. 이들 도전층에는 일례로서 폴리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 및 스칸듐 등의 금속 재료의 층, 또는 상기 금속 재료를 주성분으로 하는 합금 재료의 층을 사용한다.
- [0159] 절연층(절연층(712), 절연층(722), 절연층(732), 절연층(742))은 트랜지스터의 게이트 절연층으로서의 기능을 갖는다.
- [0160] 절연층(절연층(712), 절연층(722), 절연층(732), 절연층(742))에는 일례로서 산화실리콘층, 질화실리콘층, 산화질화실리콘층, 질화산화실리콘층, 산화알루미늄층, 질화알루미늄층, 산화질화알루미늄층, 질화산화알루미늄층, 산화하프늄층, 또는 산화알루미늄갈륨층을 사용한다.
- [0161] 산화물 반도체층(산화물 반도체층(713), 산화물 반도체층(723), 산화물 반도체층(733), 산화물 반도체층(743))과 접하는 게이트 절연층으로서의 기능을 갖는 절연층(절연층(712), 절연층(722), 절연층(732), 절연층(742))에는 산소를 함유한 절연층을 사용하는 것이 바람직하고, 상기 산소를 함유한 절연층이 화학양론적 조성비보다 산소가 많은 영역(산소 과잉 영역이라고도 표기함)을 포함하는 것이 더 바람직하다.
- [0162] 상기 게이트 절연층으로서의 기능을 갖는 절연층이 산소 과잉 영역을 가짐으로써 산화물 반도체층으로부터 게이트 절연층으로서의 기능을 갖는 절연층에 산소가 이동하는 것을 억제할 수 있다. 또한, 게이트 절연층으로서의 기능을 갖는 절연층으로부터 산화물 반도체층에 산소를 공급할 수도 있다. 따라서, 게이트 절연층으로서의 기능을 갖는 절연층과 접하는 산화물 반도체층을 충분한 양의 산소를 함유한 층으로 할 수 있다.
- [0163] 또한, 게이트 절연층으로서의 기능을 갖는 절연층(절연층(712), 절연층(722), 절연층(732), 절연층(742))은 수소나 물 등의 불순물을 혼입시키지 않는 방법을 이용하여 성막하는 것이 바람직하다. 게이트 절연층으로서의 기능을 갖는 절연층에 수소나 물 등의 불순물이 함유되면, 산화물 반도체층(산화물 반도체층(713), 산화물 반도체층(723), 산화물 반도체층(733), 산화물 반도체층(743))에 수소나 물 등의 불순물이 침입하거나 수소나 물 등의 불순물로 인한 산화물 반도체층 내의 산소 추출 등에 의해 산화물 반도체층이 저저화(n형화)되어, 기생 채널이 형성될 우려가 있기 때문이다. 예를 들어 게이트 절연층으로서의 기능을 갖는 절연층은 스퍼터링법으로 성막하고, 스퍼터링 가스로서는 수소나 물 등의 불순물이 제거된 고순도 가스를 사용하는 것이 바람직하다.
- [0164] 또한, 게이트 절연층으로서의 기능을 갖는 절연층에는 산소를 공급하는 처리를 하는 것이 바람직하다. 산소를 공급하는 처리로서는 산소 분위기하에서의 열처리나 산소 도핑 처리 등이 있다. 또는, 전계로 가속된 산소 이온을 조사하여 산소를 첨가하여도 좋다. 또한, 본 명세서 등에 있어서, 산소 도핑 처리란 산소를 벌크에 첨가하는 것을 가리키며, 상기 벌크라는 용어는 산소를 막 표면뿐만 아니라 막 내부에 첨가하는 것을 명확하게 하는 취지로 사용한다. 또한, 산소 도핑에는 플라즈마화된 산소를 벌크에 첨가하는 산소 플라즈마 도핑이 포함된다.
- [0165] 게이트 절연층으로서의 기능을 갖는 절연층에 대해서 산소 도핑 처리 등의 산소를 공급하는 처리를 함으로써, 게이트 절연층으로서의 기능을 갖는 절연층에는 화학양론적 조성비보다 산소가 많은 영역이 형성된다. 이러한 영역을 구비함으로써 산화물 반도체층에 산소를 공급하여, 산화물 반도체층 내 또는 계면의 산소 결함을 저감할 수 있다.
- [0166] 예를 들어 게이트 절연층으로서의 기능을 갖는 절연층으로서 산화알루미늄갈륨층을 사용한 경우, 산소 도핑 처리 등의 산소를 공급하는 처리를 함으로써, $Ga_xAl_{2-x}O_{3+\alpha}$ ($0 < x < 2$, $0 < \alpha < 1$)로 할 수 있다.
- [0167] 또는, 스퍼터링법을 이용하여 게이트 절연층으로서의 기능을 갖는 절연층을 성막할 때, 산소 가스, 또는 불활성 가스(예를 들어 아르곤 등의 희(稀) 가스, 또는 질소)와 산소의 혼합 가스를 도입함으로써, 게이트 절연층으로서의 기능을 갖는 절연층에 산소 과잉 영역을 형성하여도 좋다. 또한, 스퍼터링법에 의한 성막 후, 열처리를 하여도 좋다.
- [0168] 산화물 반도체층(산화물 반도체층(713), 산화물 반도체층(723), 산화물 반도체층(733), 산화물 반도체층(743))은 트랜지스터의 채널 형성층으로서의 기능을 갖는다. 이들 산화물 반도체층에 사용할 수 있는 산화물 반도체로서는, 4원계 금속 산화물(In-Sn-Ga-Zn-0계 금속 산화물 등), 3원계 금속 산화물(In-Ga-Zn-0계 금속 산화물, In-Sn-Zn-0계 금속 산화물, In-Al-Zn-0계 금속 산화물, Sn-Ga-Zn-0계 금속 산화물, Al-Ga-Zn-0계 금속 산화물, Sn-Al-Zn-0계 금속 산화물, Hf-In-Zn-0계 금속 산화물 등), 및 2원계 금속 산화물(In-Zn-0계 금속 산화물, Sn-Zn-0계 금속 산화물, Al-Zn-0계 금속 산화물, Zn-Mg-0계 금속 산화물, Sn-Mg-0계 금속 산화물, In-Mg-0계 금속 산화물, In-Ga-0계 금속 산화물, In-Sn-0계 금속 산화물 등)을 들 수 있다. 또한, 산화물 반도체로서 In-0계 금속 산화물, Sn-0계 금속 산화물, Zn-0계 금속 산화물 등을 사용할 수도 있다. 또한, 산화물 반도체로서, 상

기 산화물 반도체로서 사용할 수 있는 금속 산화물에 SiO₂를 함유시킨 산화물 반도체도 사용할 수 있다.

- [0169] 또한, 산화물 반도체로서, InM₀3(ZnO)_m(m>0)으로 표기되는 재료를 사용할 수 있다. 여기서, M은 Ga, Al, Mn, 및 Co 중에서 선택된 하나의 금속 원소 또는 복수의 금속 원소를 나타낸다. 예를 들어 M으로서, Ga, Ga 및 Al, Ga 및 Mn, 또는 Ga 및 Co 등을 들 수 있다.
- [0170] 도전층(도전층(715) 및 도전층(716), 도전층(725) 및 도전층(726), 도전층(735) 및 도전층(736), 도전층(745) 및 도전층(746))은 트랜지스터의 소스 또는 드레인으로서의 기능을 갖는다. 이들 도전층에는 예를 들어 알루미늄, 크롬, 구리, 탄탈, 티타늄, 몰리브덴, 또는 텅스텐 등의 금속 재료, 또는 이들 금속 재료를 주성분으로 하는 합금 재료의 층을 사용한다.
- [0171] 예를 들어, 트랜지스터의 소스 또는 드레인으로서의 기능을 갖는 도전층으로서는 알루미늄 및 구리 등의 금속 재료의 층과 티타늄, 몰리브덴, 및 텅스텐 등의 고용점 금속 재료층을 적층시켜 사용한다. 또는, 복수의 고용점 금속 재료층 사이에 알루미늄 및 구리 등의 금속 재료의 층을 형성하여 사용한다. 또한, 상기 도전층으로서 힐록(hillock)이나 위스커(whisker)의 발생을 방지하는 원소(실리콘, 네오디뮴, 스칸듐 등)가 첨가된 알루미늄 층을 사용하면, 트랜지스터의 내열성을 향상시킬 수 있다.
- [0172] 또한, 상기 도전층의 재료로서 산화인듐(In₂O₃), 산화주석(SnO₂), 산화아연(ZnO), 산화인듐-산화주석 합금(In₂O₃-SnO₂, ITO라고 약기함), 산화인듐-산화아연 합금(In₂O₃-ZnO), 또는 상기 금속 산화물 재료에 산화 실리콘을 함유시킨 금속 산화물을 사용한다.
- [0173] 절연층(727)은 트랜지스터의 채널 형성층을 보호하는 층(채널 보호층이라고도 함)으로서의 기능을 갖는다.
- [0174] 산화물 절연층(717) 및 산화물 절연층(737)에는 일례로서 산화실리콘층 등의 산화물 절연층을 사용한다.
- [0175] 보호 절연층(719), 보호 절연층(729), 및 보호 절연층(739)에는 일례로서 질화실리콘층, 질화알루미늄층, 질화산화실리콘층, 및 질화산화알루미늄층 등의 무기 절연층을 사용한다.
- [0176] 또한, 산화물 반도체층(743)과 도전층(745) 사이, 및 산화물 반도체층(743)과 도전층(746) 사이에 소스 영역 및 드레인 영역으로서 기능하는 산화물 도전층을 버퍼층으로서 형성하여도 좋다. 도 11d의 트랜지스터에 산화물 도전층을 형성한 트랜지스터를 도 12a에 도시한다.
- [0177] 도 12a에 도시한 트랜지스터는 산화물 반도체층(743)과 소스 및 드레인으로서 기능하는 도전층(745) 및 도전층(746) 사이에 소스 영역 및 드레인 영역으로서 기능하는 산화물 도전층(792) 및 산화물 도전층(794)이 형성된다. 도 12b에 도시한 트랜지스터는 제작 공정에 따라 산화물 도전층(792) 및 산화물 도전층(794)의 형상이 다른 예이다.
- [0178] 도 12a에 도시한 트랜지스터에서는 산화물 반도체막과 산화물 도전막의 적층을 형성하고, 산화물 반도체막과 산화물 도전막의 적층을 같은 포토리소그래피 공정으로 형상을 가공하여 섬 형상의 산화물 반도체층(743)과 섬 형상의 산화물 도전막을 형성한다. 산화물 반도체층(743) 및 산화물 도전막 위에 소스 및 드레인으로서 기능하는 도전층(745) 및 도전층(746)을 형성한 후, 도전층(745) 및 도전층(746)을 마스크로 하여 섬 형상의 산화물 도전막을 에칭하여 소스 영역 및 드레인 영역으로서 기능하는 산화물 도전층(792) 및 산화물 도전층(794)을 형성한다.
- [0179] 도 12b의 트랜지스터에서는 산화물 반도체층(743) 위에 산화물 도전막을 형성하고, 그 위에 금속 도전막을 형성하고, 산화물 도전막 및 금속 도전막을 같은 포토리소그래피 공정으로 가공하여 소스 영역 및 드레인 영역으로서 기능하는 산화물 도전층(792) 및 산화물 도전층(794), 소스 및 드레인으로서 기능하는 도전층(745) 및 도전층(746)을 형성한다.
- [0180] 또한, 산화물 도전층의 형상을 가공하기 위한 에칭 처리를 할 때, 산화물 반도체층이 과잉 에칭되지 않도록 에칭 조건(에천트의 종류, 농도, 에칭 시간 등)을 적절히 조정한다.
- [0181] 산화물 도전층(792) 및 산화물 도전층(794)의 형성 방법은 스퍼터링법이나 진공 증착법(전자빔 증착법 등)이나 아크 방전 이온 플레이팅법이나 스프레이법을 이용한다. 산화물 도전층의 재료로서는 산화아연, 산화아연알루미늄, 산질화아연알루미늄, 산화아연갈륨, 산화실리콘을 함유한 인듐주석산화물(ITSO) 등을 적용할 수 있다. 또한, 상기 재료에 산화실리콘을 함유시켜도 좋다.
- [0182] 소스 영역 및 드레인 영역으로서 산화물 도전층을 산화물 반도체층(743)과 소스 및 드레인으로서 기능하는 도전

층(745)과 도전층(746) 사이에 형성함으로써, 소스 영역 및 드레인 영역의 저저항화를 도모할 수 있어, 트랜지스터가 고속으로 동작할 수 있다.

- [0183] 또한, 산화물 반도체층(743), 드레인 영역으로서 기능하는 산화물 도전층(산화물 도전층(792) 또는 산화물 도전층(794)), 드레인으로서 기능하는 도전층(도전층(745) 또는 도전층(746))의 구성으로 함으로써 트랜지스터의 내압을 향상시킬 수 있다.
- [0184] 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.
- [0185] (실시형태 4)
- [0186] 본 실시형태에서는, 액정 표시 패널(150)에서의 화소의 트랜지스터의 반도체층에 사용할 수 있는 산화물 반도체층의 일례를 도 13a 내지 도 13c를 사용하여 설명하기로 한다.
- [0187] 본 실시형태의 산화물 반도체층은 제 1 결정성 산화물 반도체층 위에 제 1 결정성 산화물 반도체층보다 두꺼운 제 2 결정성 산화물 반도체층을 갖는 적층 구조이다.
- [0188] 절연층(1600) 위에 절연층(1602)을 형성한다. 본 실시형태에서는 절연층(1602)으로서 PCVD법 또는 스퍼터링법을 이용하여 50nm 이상 600nm 이하의 막 두께를 갖는 산화물 절연층을 형성한다. 예를 들어 산화실리콘막, 산화갈륨막, 산화알루미늄막, 산화질화실리콘막, 산화질화알루미늄막, 또는 질화산화실리콘막 중에서 선택된 한 층 또는 이들을 적층한 것을 사용할 수 있다.
- [0189] 다음에, 절연층(1602) 위에 막 두께 1nm 이상 10nm 이하의 제 1 산화물 반도체막을 형성한다. 스퍼터링법을 이용하고 스퍼터링법으로 성막할 때의 기판 온도를 200℃ 이상 400℃ 이하로 하여, 제 1 산화물 반도체막을 형성한다.
- [0190] 본 실시형태에서는 산화물 반도체용 타깃(In-Ga-Zn-O계 산화물 반도체용 타깃(In_2O_3 : Ga_2O_3 : ZnO =1: 1: 2[mol수 비율]))을 사용하여 기판과 타깃 사이의 거리를 160mm, 기판 온도 250℃, 압력 0.4Pa, 직류(DC) 전원 0.5kW, 산소만, 또는 아르곤만, 또는 아르곤 및 산소 분위기하에서 막 두께 5nm의 제 1 산화물 반도체막을 형성한다.
- [0191] 다음에, 기판을 배치하는 챔버 분위기를 질소, 또는 건조 공기로 하여 제 1 가열 처리를 한다. 제 1 가열 처리의 온도는 400℃ 이상 750℃ 이하로 한다. 제 1 가열 처리에 의해 제 1 결정성 산화물 반도체층(1604)을 형성한다(도 13a 참조).
- [0192] 제 1 가열 처리의 온도에 따라 다르지만, 제 1 가열 처리에 의해 막 표면으로부터 결정화되고 막 표면으로부터 내부로 향하여 결정 성장되고, C축 배향한 결정이 얻어진다. 제 1 가열 처리에 의해 아연과 산소가 막 표면에 다수 모여서 상평면이 육각형인 아연과 산소로 이루어진 그래핀(graphene)형 2차원 결정이 최표면에 한 층 또는 복수층 형성되고, 이것이 제 1 산화물 반도체막의 막 두께 방향으로 성장하여 겹쳐 적층된다. 제 1 가열 처리의 온도를 상승시키면, 표면으로부터 내부, 그리고 내부로부터 하부로 결정 성장이 진행된다.
- [0193] 제 1 가열 처리에 의해, 산화물 절연층인 절연층(1602) 내의 산소를 제 1 결정성 산화물 반도체층(1604)과의 계면 또는 그 근방(계면±5nm)으로 확산시켜서 제 1 결정성 산화물 반도체층(1604)의 산소 결손을 저감시킨다. 따라서, 하지 절연층으로서 사용되는 절연층(1602)은 막 내(벌크 내), 제 1 결정성 산화물 반도체층(1604)과 절연층(1602)의 계면 중 어느 하나에는 적어도 화학양론비를 초과하는 양의 산소가 존재하는 것이 바람직하다.
- [0194] 다음에, 제 1 결정성 산화물 반도체층(1604) 위에 10nm보다 두꺼운 제 2 산화물 반도체막을 형성한다. 제 2 산화물 반도체막을 형성하기에는 스퍼터링법을 이용하고 그 성막시의 기판 온도는 200℃ 이상 400℃ 이하로 한다. 성막시의 기판 온도를 200℃ 이상 400℃ 이하로 함으로써, 제 1 결정성 산화물 반도체층(1604)의 표면 위에 접하여 성막하는 산화물 반도체층에 전구체(precursor)가 정렬되어 소위 질서성을 가질 수 있다.
- [0195] 본 실시형태에서는 산화물 반도체용 타깃(In-Ga-Zn-O계 산화물 반도체용 타깃(In_2O_3 : Ga_2O_3 : ZnO =1: 1: 2[mol수 비율]))을 사용하고, 기판과 타깃 사이의 거리를 170mm, 기판 온도 400℃, 압력 0.4Pa, 직류(DC) 전원 0.5kW, 산소만, 아르곤만, 또는 아르곤 및 산소 분위기하에서 막 두께 25nm의 제 2 산화물 반도체막을 형성한다.
- [0196] 다음에, 기판을 배치하는 챔버 분위기를 질소, 또는 건조 공기로 하여 제 2 가열 처리를 실시한다. 제 2 가열 처리의 온도는 400℃ 이상 750℃ 이하로 한다. 제 2 가열 처리에 의해 제 2 결정성 산화물 반도체층(1606)을 형성한다(도 13b 참조). 질소 분위기하, 산소 분위기하, 또는 질소와 산소의 혼합 분위기하에서 제 2 가열 처리를 실시함으로써, 제 2 결정성 산화물 반도체층의 고밀도화 및 결함 수의 감소를 도모한다. 제 2 가열 처리

에 의해, 제 1 결정성 산화물 반도체층(1604)을 핵으로서 이용하여 제 2 산화물 반도체막의 막 두께 방향, 즉 하부로부터 내부로 결정 성장이 진행되어 제 2 결정성 산화물 반도체층(1606)이 형성된다.

- [0197] 또한, 절연층(1602)의 형성 공정으로부터 제 2 가열 처리 공정까지를 대기에 노출시키지 않고 연속적으로 실시하는 것이 바람직하다. 절연층(1602)의 형성 공정으로부터 제 2 가열 처리 공정까지는 수소 및 수분을 거의 포함하지 않는 분위기(불활성 분위기, 감압 분위기, 건조 공기 분위기 등)하에서 실시되도록 제어하는 것이 바람직하고, 예를 들어 수분에 대해서는 노점 -40°C 이하, 바람직하게는 노점 -50°C 이하의 건조 질소 분위기로 한다.
- [0198] 다음에, 제 1 결정성 산화물 반도체층(1604) 및 제 2 결정성 산화물 반도체층(1606)으로 이루어진 산화물 반도체 적층을 가공하여 섬 형태의 산화물 반도체 적층으로 이루어진 산화물 반도체층(1608)을 형성한다(도 13c 참조). 도면에서는, 제 1 결정성 산화물 반도체층(1604)과 제 2 결정성 산화물 반도체층(1606)의 계면을 점선으로 나타내서 산화물 반도체 적층으로 설명하지만, 명확한 계면이 존재하는 것이 아니라 설명하기 쉽게 하기 위해서 도시하는 것에 불과하다.
- [0199] 산화물 반도체 적층은 원하는 형상의 마스크를 산화물 반도체 적층 위에 형성한 후, 상기 산화물 반도체 적층을 에칭함으로써 가공할 수 있다. 상술한 마스크는 포토리소그래피 등의 방법을 이용하여 형성할 수 있다. 또는, 잉크젯법 등의 방법을 이용하여 마스크를 형성하여도 좋다.
- [0200] 또한, 산화물 반도체 적층을 에칭하기에는, 드라이 에칭이든 웨트 에칭이든 어느 쪽을 이용하여도 좋다. 물론, 이들을 조합하여 이용하여도 좋다.
- [0201] 또한, 상기 제작 방법에 의해, 얻어지는 제 1 결정성 산화물 반도체층 및 제 2 결정성 산화물 반도체층은 C축 배향을 갖는 것이 특징의 하나이다. 다만, 제 1 결정성 산화물 반도체층 및 제 2 결정성 산화물 반도체층은 다 결정 구조도 비정질 구조도 아닌 구조이며, C축 배향을 갖는 결정성(C Axis Aligned Crystal; CAAC라고도 불림)을 포함하는 산화물을 갖는다. 또한, 제 1 결정성 산화물 반도체층 및 제 2 결정성 산화물 반도체층은 일부에 결정 입계를 갖는다.
- [0202] 또한, 제 1 결정성 산화물 반도체층 및 제 2 결정성 산화물 반도체층은 적어도 Zn을 갖는 산화물 재료이며, 4원계 금속 산화물인 In-Al-Ga-Zn-O계 재료나 In-Si-Ga-Zn-O계 재료나, 3원계 금속 산화물인 In-Ga-Zn-O계 재료, In-Al-Zn-O계 재료, In-Sn-Zn-O계 재료, Sn-Ga-Zn-O계 재료, Al-Ga-Zn-O계 재료, Sn-Al-Zn-O계 재료, Hf-In-Zn-O계 재료나, 2원계 금속 산화물인 In-Zn-O계 재료, Sn-Zn-O계 재료, Al-Zn-O계 재료, Zn-Mg-O계 재료나, Zn-O계 재료 등이 있다. 또한, In-Si-Ga-Zn-O계 재료나 In-Ga-B-Zn-O계 재료나, In-B-Zn-O계 재료를 사용하여도 좋다. 또한, 상술한 재료에 SiO_2 를 함유시켜도 좋다. 여기서, 예를 들어 In-Ga-Zn-O계 재료란 인듐(In), 갈륨(Ga), 아연(Zn)을 갖는 산화물막이라는 뜻이고, 그 조성 비율은 특별히 한정되지 않는다. 또한, In, Ga, Zn 이외의 원소를 함유하여도 좋다.
- [0203] 또한, 제 1 결정성 산화물 반도체층 위에 제 2 결정성 산화물 반도체층을 형성하는 2층 구조에 한정되지 않고, 제 2 결정성 산화물 반도체층을 형성한 후에 제 3 결정성 산화물 반도체층을 형성하기 위한 성막 처리와 가열 처리 공정을 반복함으로써, 3층 이상의 적층 구조로 하여도 좋다.
- [0204] 상기 제작 방법으로 형성된 산화물 반도체 적층으로 이루어진 산화물 반도체층(1608)을 본 명세서에 개시하는 반도체 장치에 적용할 수 있는 트랜지스터(예를 들어 실시형태 2 및 실시형태 3에서 설명한 트랜지스터)에 적절히 사용할 수 있다.
- [0205] 또한, 본 실시형태의 제 1 결정성 산화물 반도체층과 제 2 결정성 산화물 반도체층의 적층을 산화물 반도체층으로서 사용한 실시형태 3에 제시한 도 11d의 트랜지스터에 있어서는, 산화물 반도체층의 한쪽 면으로부터 다른 쪽 면에 전계가 인가되지 않는다. 또한, 전류가 산화물 반도체 적층의 두께 방향(한쪽 면으로부터 다른 쪽으로 흐르는 방향, 구체적으로는 도 11d의 상하 방향)으로 흐르는 구조가 아니다. 전류는 주로 산화물 반도체 적층의 계면을 흐르는 트랜지스터 구조이기 때문에, 트랜지스터에 광이 조사되거나 BT 스트레스가 가해진 경우라도 트랜지스터 특성의 열화가 억제되거나 저감된다.
- [0206] 산화물 반도체층(1608)과 같은 제 1 결정성 산화물 반도체층과 제 2 결정성 산화물 반도체층의 적층을 트랜지스터에 사용함으로써, 안정된 전기적 특성을 갖고 또 신뢰성이 높은 트랜지스터를 실현할 수 있다.
- [0207] 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.

- [0208] (실시형태 5)
- [0209] 본 명세서에 개시하는 제어 회로를 구비한 액정 표시 장치는 다양한 전자 기기(게임기도 포함함)에 적용할 수 있다. 전자 기기로서는, 예를 들어, 텔레비전 장치(텔레비전, 또는 텔레비전 수신기라고도 함), 컴퓨터용 등의 모니터, 디지털 카메라, 디지털 비디오 카메라 등의 카메라, 디지털 포토 프레임, 휴대 전화기(휴대 전화, 휴대 전화 장치라고도 함), 휴대형 게임기, 휴대 정보 단말, 음향 재생 장치, 파칭코기 등의 대형 게임기 등을 들 수 있다. 상기 실시형태에서 설명한 제어 회로를 갖는 액정 표시 장치를 구비한 전자 기기의 예에 대해서 설명한다.
- [0210] 도 14a는 전자 서적의 일례를 도시한 것이다. 도 14a에 도시한 전자 서적은 하우징(1700) 및 하우징(1701)의 2개의 하우징으로 구성된다. 하우징(1700) 및 하우징(1701)은 경첩(1704)에 의해 일체로 되어 있어 개폐 동작을 할 수 있다. 이러한 구성에 의해 서적과 같은 동작을 할 수 있다.
- [0211] 하우징(1700)에는 표시부(1702)가 내장되고, 하우징(1701)에는 표시부(1703)가 내장된다. 표시부(1702) 및 표시부(1703)는 연속한 하나의 화면을 표시하는 구성으로 하여도 좋고, 다른 화면을 표시하는 구성으로 하여도 좋다. 다른 화면을 표시하는 구성으로 함으로써, 예를 들어 오른쪽 표시부(도 14a에서는 표시부(1702))에 글을 표시하고, 왼쪽 표시부(도 14a에서는 표시부(1703))에 화상을 표시할 수 있다.
- [0212] 또한, 도 14a에서는 하우징(1700)에 조작부 등을 구비한 예를 도시한다. 예를 들어, 하우징(1700)은 전원 입력 단자(1705), 조작 키(1706), 스피커(1707) 등을 구비한다. 조작 키(1706)에 의해 페이지를 넘길 수 있다. 또한, 하우징의 표시부와 동일면에 키보드나 포인팅 디바이스 등을 구비한 구성으로 하여도 좋다. 또한, 하우징의 이면이나 측면에 외부 접속용 단자(이어폰 단자, USB 단자, 및 USB 케이블 등의 각종 케이블과 접속할 수 있는 단자 등), 기록 매체 삽입부 등을 구비한 구성으로 하여도 좋다. 또한, 도 14a에 도시한 전자 서적은 전자 사전으로서의 기능을 갖는 구성으로 하여도 좋다.
- [0213] 도 14b는 본 명세서에 개시하는 제어 회로를 구비한 액정 표시 장치를 사용한 디지털 포토 프레임의 일례를 도시한다. 예를 들어, 도 14b에 도시한 디지털 포토 프레임은 하우징(1711)에 표시부(1712)가 내장된다. 표시부(1712)는 각종 화상을 표시할 수 있으며, 예를 들어 디지털 카메라 등으로 촬영한 화상을 표시시킴으로써, 일반적인 사진들과 같이 기능시킬 수 있다.
- [0214] 또한, 도 14b에 도시한 디지털 포토 프레임은 조작부, 외부 접속용 단자(USB 단자, USB 케이블 등의 각종 케이블과 접속할 수 있는 단자 등), 기록 매체 삽입부 등을 구비한 구성이다. 이들의 구성은 표시부와 동일면에 내장되어도 좋지만, 측면이나 이면에 구비하면 디자인성이 향상되기 때문에 바람직하다. 예를 들어, 디지털 포토 프레임의 기록 매체 삽입부에, 디지털 카메라로 촬영한 화상 데이터를 기억한 메모리를 삽입하여 화상 데이터를 취득하고, 취득한 화상 데이터를 표시부(1712)에 표시시킬 수 있다.
- [0215] 도 14c는 제어 회로를 구비한 액정 표시 장치를 사용한 텔레비전 장치의 일례를 도시한다. 도 14c에 도시한 텔레비전 장치는 하우징(1721)에 표시부(1722)가 내장된다. 표시부(1722)에 의해 영상을 표시할 수 있다. 또한, 여기에서는 스탠드(1723)에 의해 하우징(1721)을 지지한 구성을 도시한다. 표시부(1722)는 상기 실시형태에 개시한 제어 회로를 구비한 액정 표시 장치를 적용할 수 있다.
- [0216] 도 14c에 도시한 텔레비전 장치는 하우징(1721)이 구비한 조작 스위치나 별체의 리모트 컨트롤러로 조작할 수 있다. 리모트 컨트롤러가 구비한 조작 키에 의해 채널이나 음량을 조작할 수 있고, 표시부(1722)에 표시되는 영상을 조작할 수 있다. 또한, 리모트 컨트롤러에 상기 리모트 컨트롤러로부터 출력되는 정보를 표시하는 표시부를 설치하는 구성으로 하여도 좋다.
- [0217] 도 14d는 본 명세서에 개시한 제어 회로를 구비한 액정 표시 장치를 사용한 휴대 전화기의 일례를 도시한다. 도 14d에 도시한 휴대 전화기는 하우징(1731)에 내장된 표시부(1732) 이외에, 조작 버튼(1733), 조작 버튼(1737), 외부 접속 포트(1734), 스피커(1735), 및 마이크로폰(1736) 등을 구비한다.
- [0218] 도 14d에 도시한 휴대 전화기는 표시부(1732)가 터치 패널이고, 손가락 등이 터치함으로써 표시부(1732)의 표시 내용을 조작할 수 있다. 또한, 표시부(1732)를 손가락 등으로 터치함으로써 전화를 걸거나 문자 메시지의 작성 등이 가능하다.
- [0219] 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.

부호의 설명

[0220]

- 101: 트랜지스터
- 102: 트랜지스터
- 103: 트랜지스터
- 104: 트랜지스터
- 105: 트랜지스터
- 106: 트랜지스터
- 107: 트랜지스터
- 108: 트랜지스터
- 109A: 트랜지스터
- 109B: 트랜지스터
- 110: 트랜지스터
- 111: 트랜지스터
- 112: 위상 보상 커패시터
- 120: 신호 입출력 회로
- 121: 화살표
- 130: 전류원 회로 제어 회로
- 140: 표시 제어 회로
- 141: 화살표
- 142: 화살표
- 150: 액정 표시 패널
- 151: 대향 전극
- 152: 화소 회로
- 190A: 제 1 전류원 회로용 바이어스 전압 입력 단자
- 190B: 제 2 전류원 회로용 바이어스 전압 입력 단자
- 191: 비반전 입력 단자
- 192: 반전 입력 단자
- 193: 출력 단자
- 194: 바이어스 전압 입력 단자
- 195: 고전원 전압측 단자
- 196: 저전원 전압측 단자
- 198: 저항 소자
- 199: 저항 소자
- 301: 외부 기관
- 302: 표시 제어 기관
- 303: 전원 회로
- 304: 표시 기관

- 305: 표시 기관
- 306: 외부 접속 배선
- 307: 외부 접속 단자
- 308: 공통 접속부
- 310: 화소부
- 311: 화소 회로
- 312: 대향 전극
- 321: 게이트선
- 322: 소스선
- 323: 용량선
- 351: 제 1 단계
- 352: 제 2 단계
- 353: 제 1 분기(分岐) 단계
- 354: 제 2 분기 단계
- 361A: 전류원 회로
- 361B: 전류원 회로
- 362A: 트랜지스터
- 362B: 트랜지스터
- 363A: 스위치
- 363B: 스위치
- 371A: 저항 소자
- 371B: 저항 소자
- 372A: 저항 소자
- 372B: 저항 소자
- 373A: 트랜지스터
- 373B: 트랜지스터
- 374A: 저항 소자
- 374B: 저항 소자
- 375A: 스위치
- 375B: 스위치
- 401: 기간
- 402: 기간
- 403: 기간
- 404: 기간
- 501: 기억 회로
- 501A: 프레임 메모리

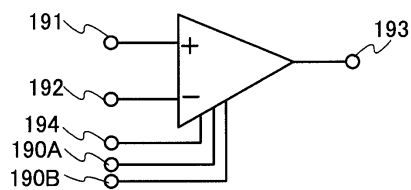
- 502: 비교 회로
- 503: 타이밍 신호 출력 회로
- 504: 선택 회로
- 505: 게이트 드라이버
- 506: 소스 드라이버
- 507: 기준 전원 전압 생성 회로
- 508: 용량 전압 생성 회로
- 509: 공통 전압 생성 회로
- 603: 트랜지스터
- 604: 용량 소자
- 605: 액정 소자
- 710: 기관
- 711: 도전층
- 712: 절연층
- 713: 산화물 반도체층
- 715: 도전층
- 716: 도전층
- 717: 산화물 절연층
- 719: 보호 절연층
- 720: 기관
- 721: 도전층
- 722: 절연층
- 723: 산화물 반도체층
- 725: 도전층
- 726: 도전층
- 727: 절연층
- 729: 보호 절연층
- 730: 기관
- 731: 도전층
- 732: 절연층
- 733: 산화물 반도체층
- 735: 도전층
- 736: 도전층
- 737: 산화물 절연층
- 739: 보호 절연층
- 740: 기관

- 741: 도전층
- 742: 절연층
- 743: 산화물 반도체층
- 745: 도전층
- 746: 도전층
- 747: 절연층
- 792: 산화물 도전층
- 794: 산화물 도전층
- 801: 기간
- 802: 기간
- 803: 기간
- 804: 기간
- 901: 트랜지스터
- 902: 트랜지스터
- 903: 트랜지스터
- 904: 트랜지스터
- 905: 트랜지스터
- 906: 트랜지스터
- 907: 트랜지스터
- 908: 트랜지스터
- 910: 트랜지스터
- 911: 트랜지스터
- 912: 위상 보상 커패시터
- 921: 차동 증폭 회로
- 922: 전류 증폭 회로
- 923: 소스 팔로워 회로
- 991: 비반전 입력 단자
- 992: 반전 입력 단자
- 993: 출력 단자
- 994: 바이어스 전압 입력 단자
- 995: 고전원 전압측 단자
- 996: 저전원 전압측 단자
- 1600: 절연층
- 1602: 절연층
- 1604: 제 1 결정성 산화물 반도체층
- 1606: 제 2 결정성 산화물 반도체층

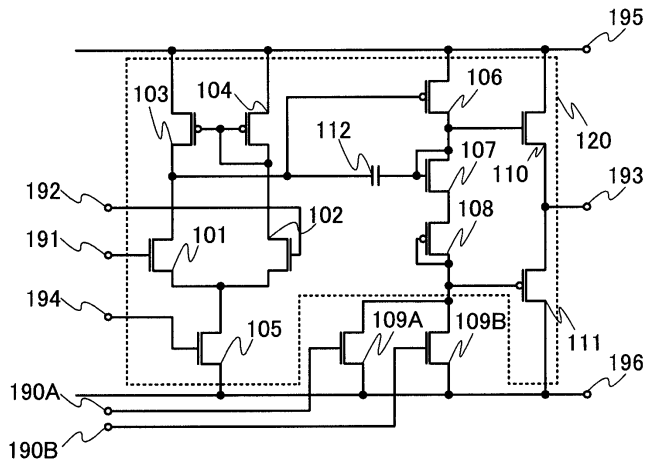
- 1608: 산화물 반도체층
- 1700: 하우징
- 1701: 하우징
- 1702: 표시부
- 1703: 표시부
- 1704: 경첩
- 1705: 전원 입력 단자
- 1706: 조작 키
- 1707: 스피커
- 1711: 하우징
- 1712: 표시부
- 1721: 하우징
- 1722: 표시부
- 1723: 스텐드
- 1731: 하우징
- 1732: 표시부
- 1733: 조작 버튼
- 1734: 외부 접속 포트
- 1735: 스피커
- 1736: 마이크로폰
- 1737: 조작 버튼

도면

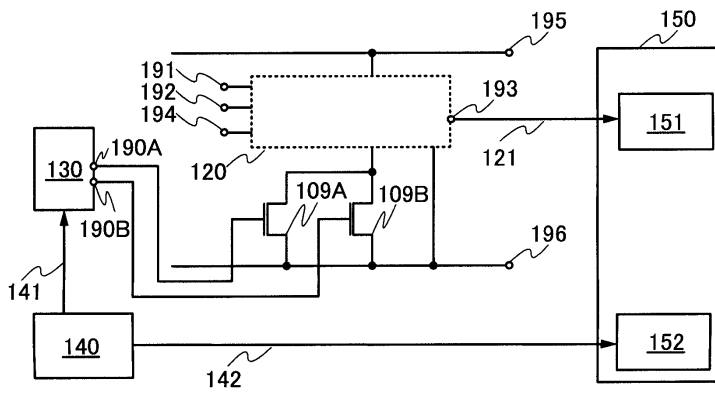
도면1a



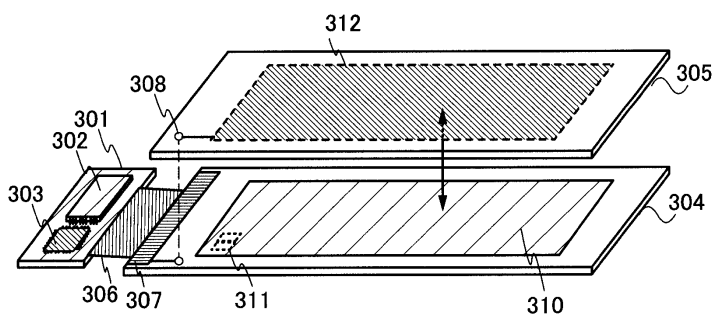
도면1b



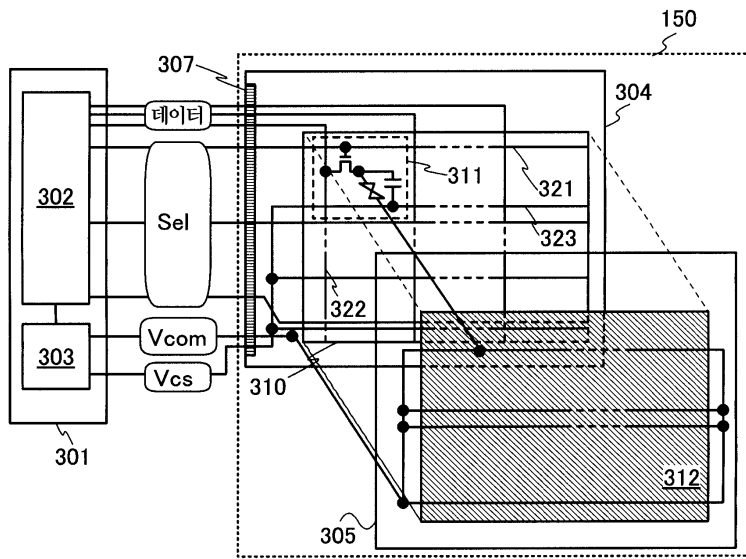
도면1c



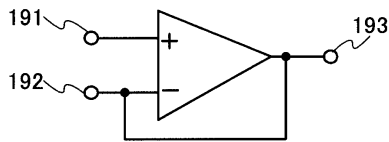
도면2a



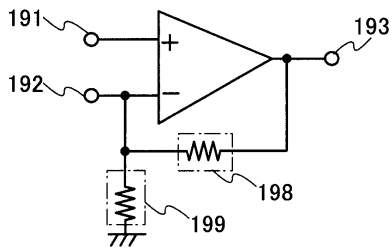
도면2b



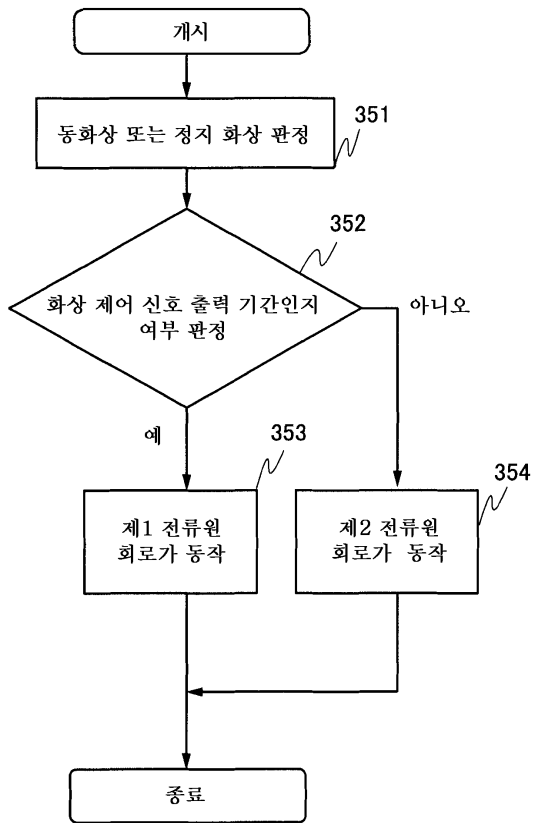
도면3a



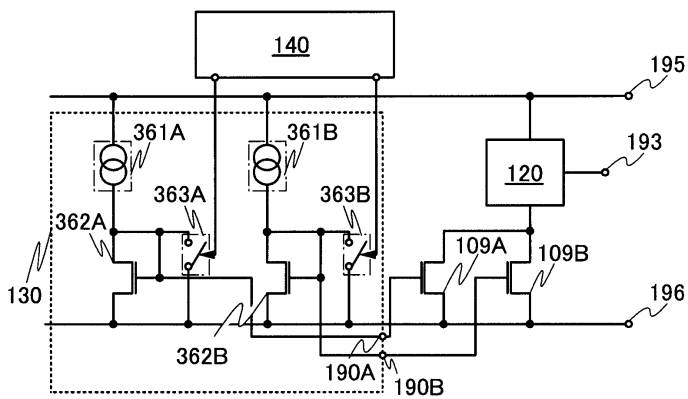
도면3b



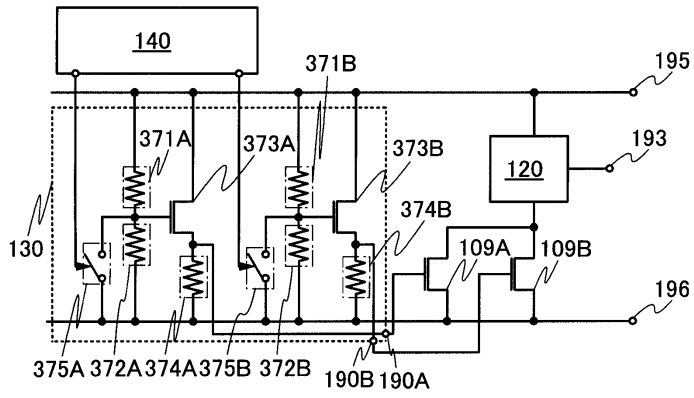
도면4



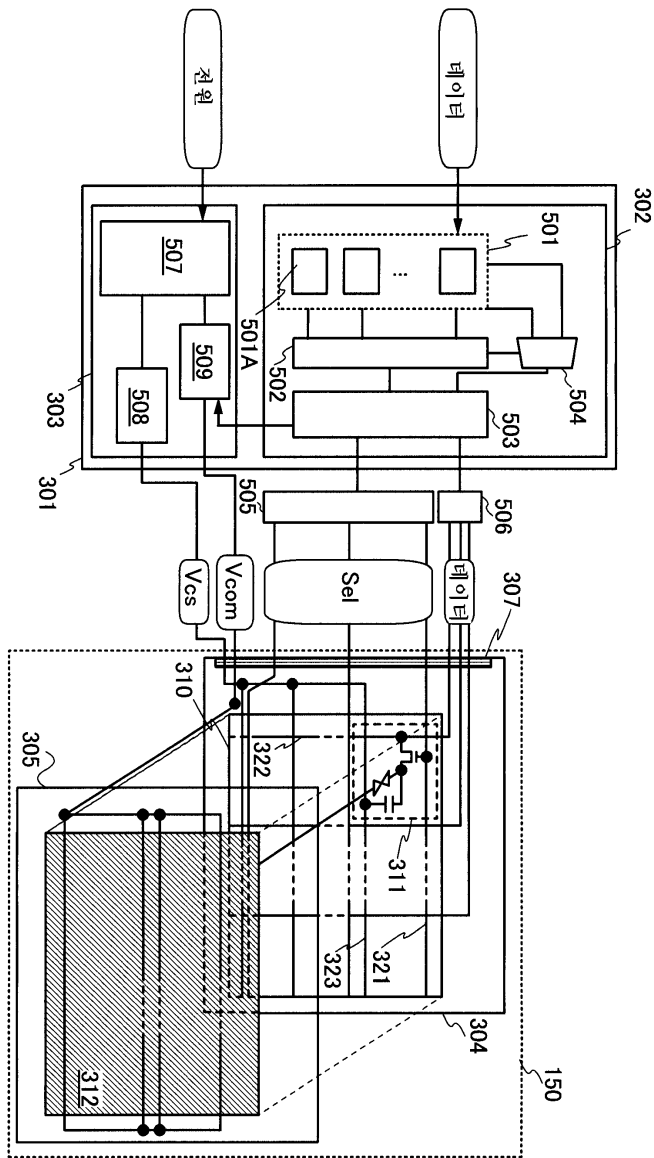
도면5a



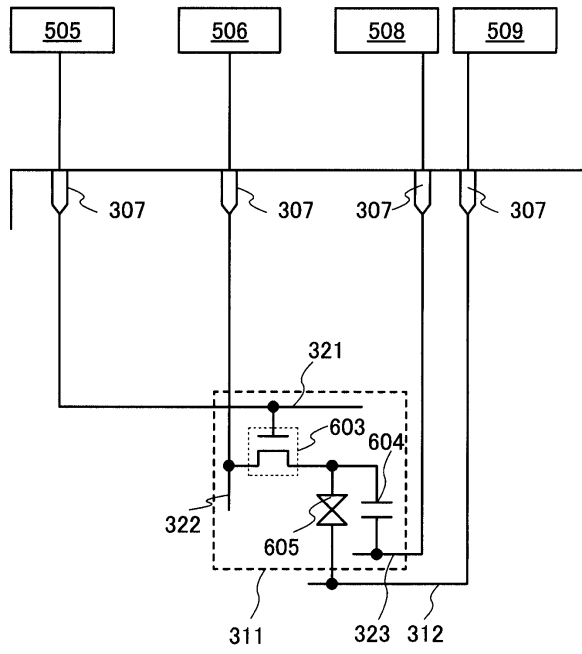
도면5b



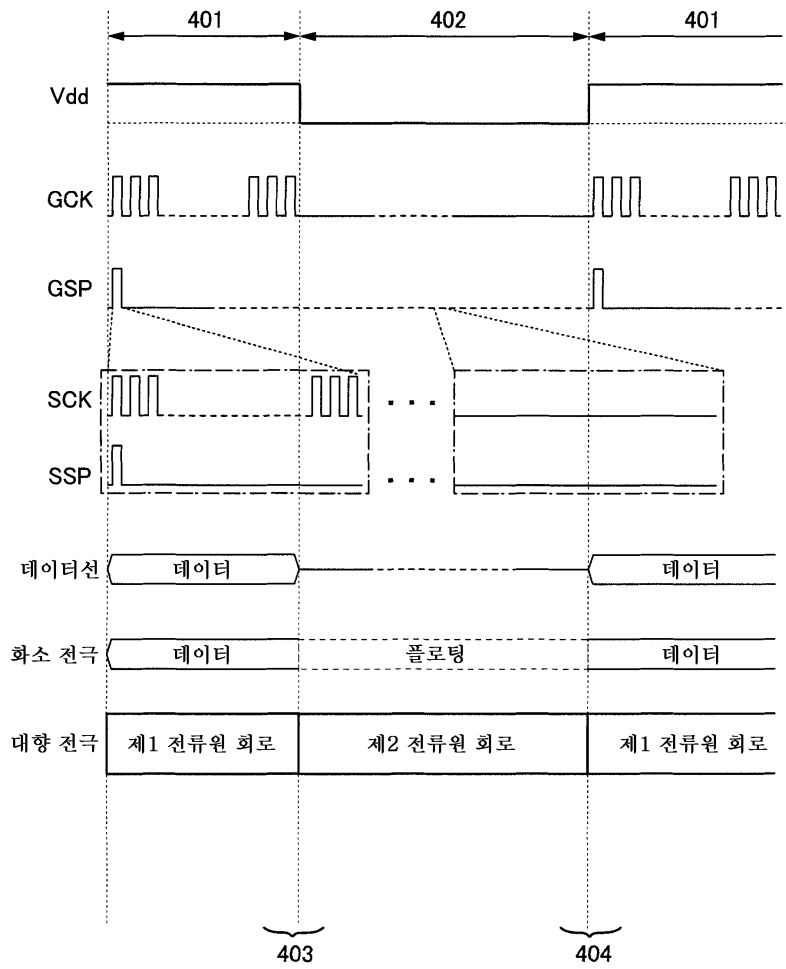
도면6



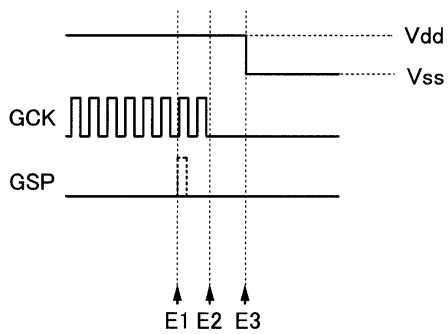
도면7



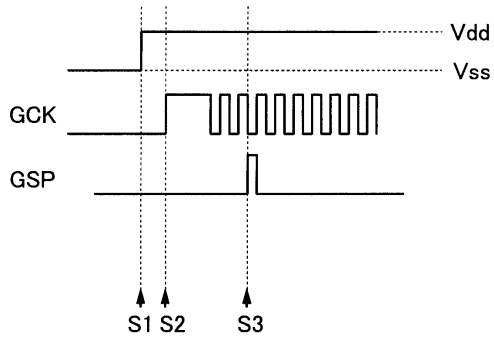
도면8



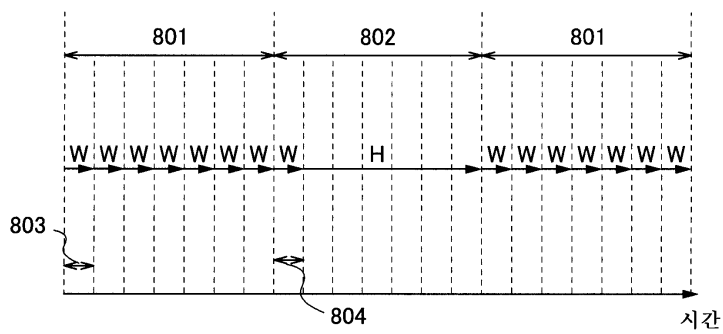
도면9a



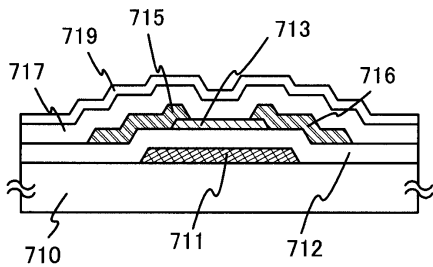
도면9b



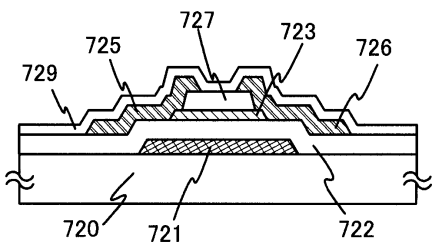
도면10



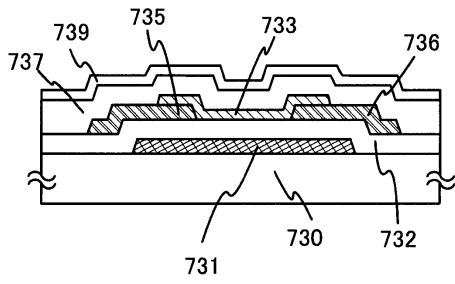
도면11a



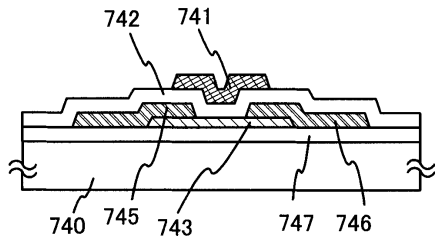
도면11b



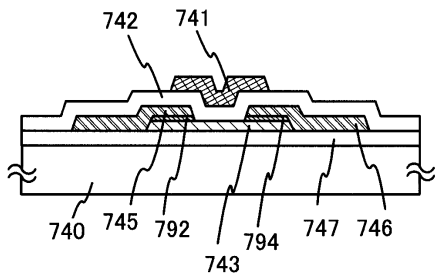
도면11c



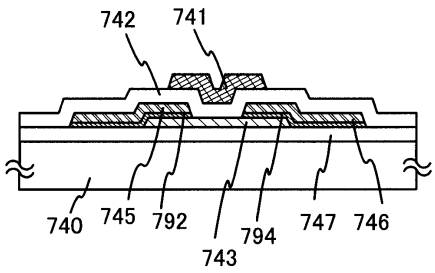
도면11d



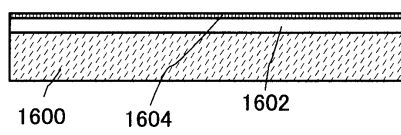
도면12a



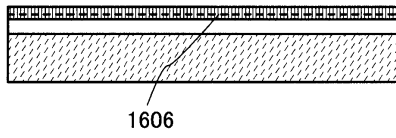
도면12b



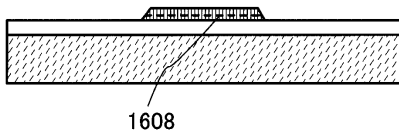
도면13a



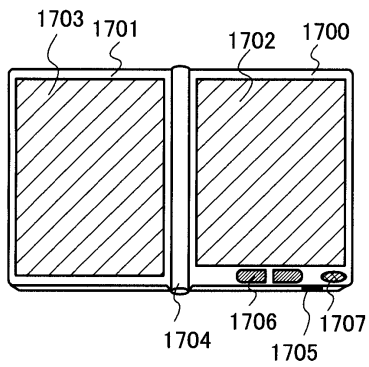
도면13b



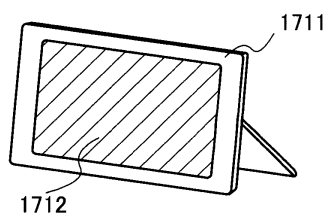
도면13c



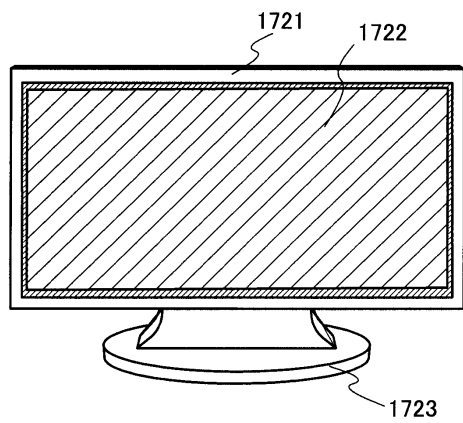
도면14a



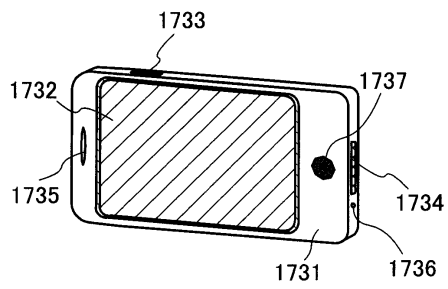
도면14b



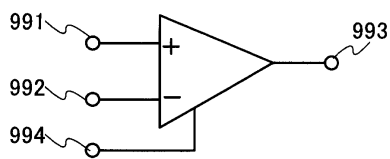
도면14c



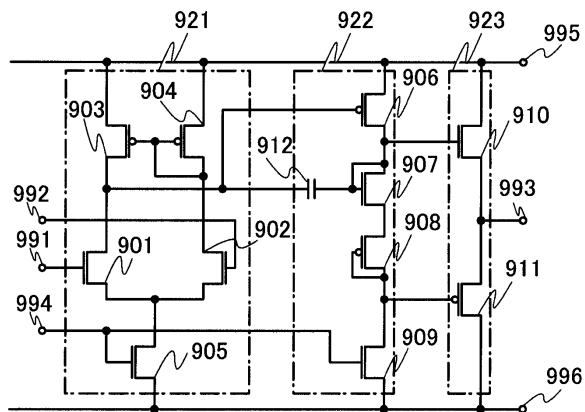
도면14d



도면15a



도면15b



专利名称(译)	液晶显示装置的控制电路，液晶显示装置以及包括该液晶显示装置的电子设备		
公开(公告)号	KR102059691B1	公开(公告)日	2019-12-26
申请号	KR1020110081082	申请日	2011-08-16
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	고야마준		
发明人	고야마 준		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3688 G09G2320/106 G09G2330/021		
代理人(译)	Jangsugil Yijunghui Bakchungbeom		
审查员(译)	这蓬莱		
优先权	2010181539 2010-08-16 JP		
其他公开文献	KR1020120041653A		
外部链接	Espacenet		

摘要(译)

使在显示运动图像时流过设置在运算放大器的电流放大器电路中的公共源极放大器电路的电流与在显示静止图像时不同。具体地，在本发明的一个实施例中，设置在运算放大器的电流放大器电路中的电流源电路通过切换用于显示运动图像的电流源电路和用于显示静止图像的电流源电路来进行操作。通过切换电流源电路来控制公共源极放大器电路中的电流幅度，从而实现电源电路中的低功耗。运算放大器中的电流源电路的切换由用于控制液晶显示面板的显示控制电路执行，以切换运动图像显示和静止图像显示。

