



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0051887

(43) 공개일자 2020년05월14일

(51) 국제특허분류(Int. Cl.)
G02F 1/1368 (2006.01) *G02F 1/1362* (2006.01)
H01L 27/12 (2006.01) *H01L 29/786* (2006.01)

(52) CPC특허분류
G02F 1/1368 (2013.01)
G02F 1/136286 (2013.01)

(21) 출원번호 10-2018-0134496

(22) 출원일자 2018년11월05일
 심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자
홍기표
경기도 화성시 노작로 177, 1704호 (반송동)

남궁완
충청남도 아산시 탕정면 탕정로 380-2, 삼성크리스탈기숙사 가넷동 1001호
(뒷면에 계속)

(74) 대리인
팬코리아특허법인

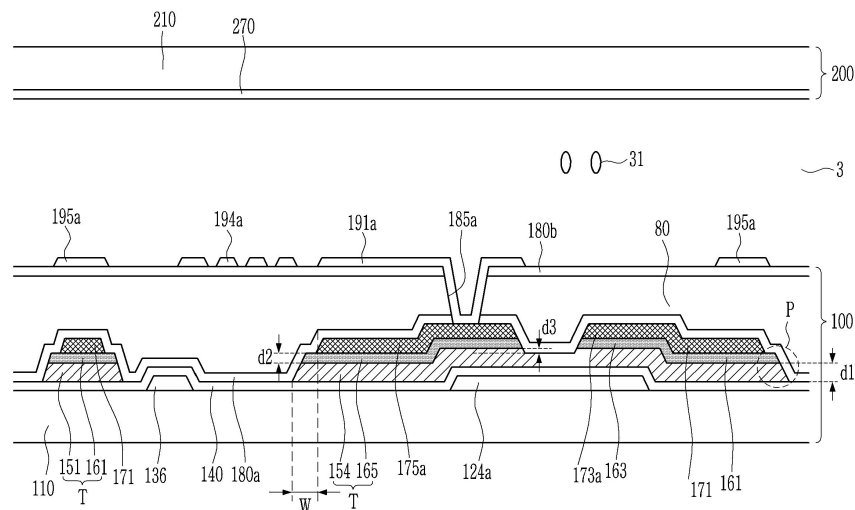
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 액정 표시 장치 및 그 제조 방법

(57) 요약

본 발명의 일 실시예에 따른 액정 표시 장치는 게이트 전극을 포함하는 게이트선; 상기 게이트선 위에 위치하고, 규소를 포함하는 반도체층; 상기 반도체층 위에 위치하는 오믹 접촉층; 및 상기 오믹 접촉층 위에 위치하는 데이터 도전체를 포함하고, 상기 반도체층은 소스 영역, 드레인 영역 및 상기 소스 영역과 상기 드레인 영역 사이에 위치하는 채널 영역을 포함하고, 상기 데이터 도전체는 데이터 신호를 전달하는 데이터선, 상기 소스 영역에 대응하는 소스 전극 및 상기 드레인 영역에 대응하는 드레인 전극을 포함하고, 상기 반도체층의 채널 단차는 0Å 초과 50Å 이하이고, 상기 채널 단차는 상기 소스 영역 또는 상기 드레인 영역에서의 상부면 및 상기 채널 영역에서의 상부면의 높이차이고, 상기 소스 영역 또는 상기 드레인 영역에서의 상부면은 상기 반도체층의 최대 높이이다.

대표도



(52) CPC특허분류

H01L 27/1214 (2013.01)

H01L 29/786 (2013.01)

(72) 발명자

이승규

충청남도 천안시 동남구 통정3로 77, 103동 803호
(신방동, 하나리움 아인스파크)

강현승

충청남도 천안시 서북구 충무로 124-25, 203동
1201호 (쌍용동, 현대아이파크홈타운)

안병재

충청남도 아산시 탕정면 탕정면로 37, 201동 1304
호 (탕정삼성트라펠리스아파트)

명세서

청구범위

청구항 1

게이트 전극을 포함하는 게이트선;

상기 게이트선 위에 위치하고, 규소를 포함하는 반도체층;

상기 반도체층 위에 위치하는 오믹 접촉층; 및

상기 오믹 접촉층 위에 위치하는 데이터 도전체;

를 포함하고,

상기 반도체층은 소스 영역, 드레인 영역 및 상기 소스 영역과 상기 드레인 영역 사이에 위치하는 채널 영역을 포함하고,

상기 데이터 도전체는 데이터 신호를 전달하는 데이터선, 상기 소스 영역에 대응하는 소스 전극 및 상기 드레인 영역에 대응하는 드레인 전극을 포함하고,

상기 반도체층의 채널 단차는 $0\text{\AA}$ 초과 $50\text{\AA}$ 이하이고,

상기 채널 단차는 상기 소스 영역 또는 상기 드레인 영역에서의 상부면 및 상기 채널 영역에서의 상부면의 높이 차이이고, 상기 소스 영역 또는 상기 드레인 영역에서의 상부면은 상기 반도체층의 최대 높이인 액정 표시 장치.

청구항 2

제1항에서,

상기 반도체층 및 상기 오믹 접촉층은 상기 채널 영역이 아닌 영역에서 상기 데이터 도전체와 중첩하지 않는 돌출부를 포함하고,

상기 돌출부의 최대 폭은 $1.3\text{ }\mu\text{m}$ 인 액정 표시 장치.

청구항 3

제2항에서,

상기 반도체층 및 상기 오믹 접촉층은 상기 채널 영역 및 상기 돌출부 영역을 제외하고 상기 데이터 도전체와 동일한 평면 형태를 가지는 액정 표시 장치.

청구항 4

제1항에서,

상기 오믹 접촉층의 두께는 $0\text{\AA}$ 초과 $200\text{\AA}$ 이하인 액정 표시 장치.

청구항 5

제1항에서,

상기 반도체층의 두께는 $800\text{\AA}$ 내지 $900\text{\AA}$ 인 액정 표시 장치.

청구항 6

제1항에서,

상기 반도체층의 두께 대비 상기 채널 단차의 비율은 0 초과 0.056 이하인 액정 표시 장치.

청구항 7

제1항에서,

색빠짐 불량이 발생하는 색빠짐 전압(V_{ss})과 기준 전압(V_{off}) 간의 차이가 2.5V 이상 6V 이하이고,
상기 색빠짐 불량은 상기 색빠짐 전압이 상기 기준 전압보다 작은 경우 발생하는 액정 표시 장치.

청구항 8

제2항에서,

상기 돌출부의 폭은 상기 반도체층의 두께 및 상기 오믹 접촉층의 두께의 합 대비 11.5 내지 16.3 배인 액정 표시 장치.

청구항 9

제1항에서,

상기 게이트선 및 상기 데이터선과 연결된 제1 스위칭 소자 및 제2 스위칭 소자;

상기 게이트선, 상기 제2 스위칭 소자 및 기준 전압선에 연결되어 있는 제3 스위칭 소자;

상기 제1 스위칭 소자와 연결되어 있는 제1 부화소 전극; 및

상기 제2 스위칭 소자 및 상기 제3 스위칭 소자와 연결되어 있는 제2 부화소 전극을 포함하는 액정 표시 장치.

청구항 10

제9항에서,

상기 데이터선 및 상기 기준 전압선은 동일한 층에 위치하는 액정 표시 장치.

청구항 11

제9항에서,

상기 게이트선과 동일한 층에 일정 전압을 전달하는 유지 전압선이 위치하고,

상기 유지 전압선으로부터 상기 제1 부화소 전극과 중첩하는 제1 유지 전극과 상기 제2 부화소 전극과 중첩하는 제2 유지 전극이 뻗어 나와있는 액정 표시 장치.

청구항 12

제11항에서,

상기 제1 유지 전극 및 상기 제2 유지 전극은 상기 제1 부화소 전극 또는 상기 제2 부화소 전극의 세로 줄기부와 중첩하는 액정 표시 장치.

청구항 13

기관 위에 게이트선을 형성하는 단계;

상기 게이트선 위에 제1 규소막, 제2 규소막 및 금속층을 적층하는 단계;

감광막 패턴을 마스크로 하여 상기 금속층을 식각하여 데이터선 및 데이터 금속층을 형성하는 단계;

상기 제1 규소막 및 상기 제2 규소막을 식각하여 오믹 접촉층 및 반도체층을 형성하는 단계;

제2 감광막 패턴을 마스크로 하여 상기 데이터 금속층을 습식 식각하여 소스 전극 및 드레인 전극을 형성하는 단계;

상기 제2 감광막 패턴을 마스크로 하여 상기 오믹 접촉층을 식각하여 상기 반도체층의 채널 영역을 노출시키는 단계; 및

상기 제2 감광막 패턴을 마스크로 하여 상기 반도체층의 상기 채널 영역을 건식 식각하는 단계;

를 포함하고,

상기 소스 전극 및 상기 드레인 전극을 형성하는 단계 및 상기 채널 영역을 노출시키는 단계는 상기 데이터 금속층 및 오믹 접촉층을 습식 식각하는 단계를 포함하고,

상기 반도체층을 건식 식각하는 단계에서, 식각되는 상기 반도체층의 두께는 0Å 초과 50Å 이하인 액정 표시 장치의 제조 방법.

청구항 14

제13항에서,

상기 건식 식각에서 사용되는 식각 가스는 염소(Cl)를 포함하지 않는 액정 표시 장치의 제조 방법.

청구항 15

제13항에서,

식각되는 상기 오믹 접촉층의 두께 및 식각되는 상기 반도체층의 두께의 합이 0Å 초과 200Å 이하인 액정 표시 장치의 제조 방법.

청구항 16

제13항에서,

상기 오믹 접촉층의 두께는 0Å 초과 150Å 이하인 액정 표시 장치의 제조 방법.

청구항 17

제13항에서,

상기 오믹 접촉층 및 상기 반도체층을 형성하는 단계 이전 또는 이후에 상기 감광막 패턴을 에치백(etch-back)하여 제2 감광막 패턴을 형성하는 단계를 포함하는 액정 표시 장치의 제조 방법.

청구항 18

제13항에서,

상기 오믹 접촉층 및 상기 반도체층을 형성하는 단계에서 상기 오믹 접촉층 및 상기 반도체층이 상기 데이터선 또는 상기 데이터 금속층과 접촉하지 않는 돌출부가 형성되고,

상기 돌출부의 최대 폭은 1.3 μm 인 액정 표시 장치의 제조 방법.

청구항 19

제13항에서,

상기 반도체층을 건식 식각하는 단계 이후에,

상기 제2 감광막 패턴을 제거하고 상기 드레인 전극의 일부를 노출시키는 접촉 구멍을 포함하는 보호막을 형성하는 단계; 및

상기 보호막 위에 상기 접촉 구멍을 통하여 상기 드레인 전극과 연결되는 화소 전극을 형성하는 단계를 포함하는 액정 표시 장치의 제조 방법.

청구항 20

제13항에서,

상기 반도체층의 두께는 800Å 내지 900Å인 액정 표시 장치의 제조 방법.

발명의 설명

기술 분야

본 개시는 액정 표시 장치 및 그 제조 방법에 관한 것이다.

[0001]

배경 기술

- [0002] 액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 화소 전극과 공통 전극 등 전기장 생성 전극(field generating electrode)이 형성되어 있는 두 장의 표시판과 그 사이에 들어 있는 액정층을 포함한다. 액정 표시 장치는 전기장 생성 전극에 전압을 인가하여 액정층에 전기장을 생성하고 이를 통하여 액정층의 액정 분자들의 방향을 결정하고 입사광의 편광을 제어함으로써 영상을 표시한다.
- [0003] 최근 액정 표시 장치의 대형화 및 고품질화에 따라, 액정을 구동하는 박막 트랜지스터의 전기적 특성을 향상시킬 것이 요구되고 있다. 박막 트랜지스터의 형성을 위한 식각 공정시 반도체층의 경사가 생길 수 있고, 이로 인해 표시 품질이 저하되는 문제가 발생할 수 있다.

발명의 내용

해결하려는 과제

- [0004] 실시예들은 반도체 패턴의 돌출부를 감소시킴으로써 워터폴(waterfall) 현상이 시인되는 정도를 감소시키기 위한 것이다. 또한, 반도체층의 채널 단차를 완하시킴으로써 누설 전류의 발생을 방지하고, 색빠짐 전압과 기준 전압 간의 차이를 증가시켜 색빠짐 불량이 개선된 액정 표시 장치 및 그 제조 방법을 제공하기 위한 것이다.

과제의 해결 수단

- [0005] 본 발명의 일 실시예에 따른 액정 표시 장치는 게이트 전극을 포함하는 게이트선; 상기 게이트선 위에 위치하고, 규소를 포함하는 반도체층; 상기 반도체층 위에 위치하는 오믹 접촉층; 및 상기 오믹 접촉층 위에 위치하는 데이터 도전체를 포함하고, 상기 반도체층은 소스 영역, 드레인 영역 및 상기 소스 영역과 상기 드레인 영역 사이에 위치하는 채널 영역을 포함하고, 상기 데이터 도전체는 데이터 신호를 전달하는 데이터선, 상기 소스 영역에 대응하는 소스 전극 및 상기 드레인 영역에 대응하는 드레인 전극을 포함하고, 상기 반도체층의 채널 단차는 0Å 초과 50Å 이하이고, 상기 채널 단차는 상기 소스 영역 또는 상기 드레인 영역에서의 상부면 및 상기 채널 영역에서의 상부면의 높이차이고, 상기 소스 영역 또는 상기 드레인 영역에서의 상부면은 상기 반도체층의 최대 높이이다.
- [0006] 상기 반도체층 및 상기 오믹 접촉층은 상기 채널 영역이 아닌 영역에서 상기 데이터 도전체와 중첩하지 않는 돌출부를 포함하고, 상기 돌출부의 최대 폭은 1.3 μm 일 수 있다.
- [0007] 상기 반도체층 및 상기 오믹 접촉층은 상기 채널 영역 및 상기 돌출부 영역을 제외하고 상기 데이터 도전체와 동일한 평면 형태를 가질 수 있다.
- [0008] 상기 오믹 접촉층의 두께는 0Å 초과 200Å 이하일 수 있다.
- [0009] 상기 반도체층의 두께는 800Å 내지 900Å일 수 있다.
- [0010] 상기 반도체층의 두께 대비 상기 채널 단차의 비율은 0 초과 0.056 이하일 수 있다.
- [0011] 색빠짐 불량이 발생하는 색빠짐 전압(V_{ss})과 기준 전압(V_{off}) 간의 차이가 2.5V 이상 6V 이하이고, 상기 색빠짐 불량은 상기 색빠짐 전압이 상기 기준 전압보다 작은 경우 발생할 수 있다.
- [0012] 상기 돌출부의 폭은 상기 반도체층의 두께 및 상기 오믹 접촉층의 두께의 합 대비 11.5 내지 16.3 배일 수 있다.
- [0013] 상기 게이트선 및 상기 데이터선과 연결된 제1 스위칭 소자 및 제2 스위칭 소자; 상기 게이트선, 상기 제2 스위칭 소자 및 기준 전압선에 연결되어 있는 제3 스위칭 소자; 상기 제1 스위칭 소자와 연결되어 있는 제1 부화소 전극; 및 상기 제2 스위칭 소자 및 상기 제3 스위칭 소자와 연결되어 있는 제2 부화소 전극을 포함할 수 있다.
- [0014] 상기 데이터선 및 상기 기준 전압선은 동일한 층에 위치할 수 있다.
- [0015] 상기 게이트선과 동일한 층에 일정 전압을 전달하는 유지 전압선이 위치하고,
- [0016] 상기 유지 전압선으로부터 상기 제1 부화소 전극과 중첩하는 제1 유지 전극과 상기 제2 부화소 전극과 중첩하는 제2 유지 전극이 뺀 나와있을 수 있다.
- [0017] 상기 제1 유지 전극 및 상기 제2 유지 전극은 상기 제1 부화소 전극 또는 상기 제2 부화소 전극의 세로 줄기부

와 중첩할 수 있다.

- [0018] 본 발명의 일 실시예에 따른 액정 표시 장치의 제조 방법은 기판 위에 게이트선을 형성하는 단계; 상기 게이트선 위에 제1 규소막, 제2 규소막 및 금속층을 적층하는 단계; 감광막 패턴을 마스크로 하여 상기 금속층을 식각하여 데이터선 및 데이터 금속층을 형성하는 단계; 상기 제1 규소막 및 상기 제2 규소막을 식각하여 오믹 접촉층 및 반도체층을 형성하는 단계; 제2 감광막 패턴을 마스크로 하여 상기 데이터 금속층을 습식 식각하여 소스 전극 및 드레인 전극을 형성하는 단계; 상기 제2 감광막 패턴을 마스크로 하여 상기 오믹 접촉층을 식각하여 상기 반도체층의 채널 영역을 노출시키는 단계; 및 상기 제2 감광막 패턴을 마스크로 하여 상기 반도체층의 상기 채널 영역을 건식 식각하는 단계를 포함하고, 상기 소스 전극 및 상기 드레인 전극을 형성하는 단계 및 상기 채널 영역을 노출시키는 단계는 상기 데이터 금속층 및 오믹 접촉층을 습식 식각하는 단계를 포함하고, 상기 반도체층을 건식 식각하는 단계에서, 식각되는 상기 반도체층의 두께는 0Å 초과 50Å 이하이다.
- [0019] 상기 건식 식각에서 사용되는 식각 가스는 염소(Cl)를 포함하지 않을 수 있다.
- [0020] 식각되는 상기 오믹 접촉층의 두께 및 식각되는 상기 반도체층의 두께의 합이 0Å 초과 200Å 이하일 수 있다.
- [0021] 상기 오믹 접촉층의 두께는 0Å 초과 150Å 이하일 수 있다.
- [0022] 상기 오믹 접촉층 및 상기 반도체층을 형성하는 단계 이전 또는 이후에 상기 감광막 패턴을 에치백(etch-back)하여 제2 감광막 패턴을 형성하는 단계를 포함할 수 있다.
- [0023] 상기 오믹 접촉층 및 상기 반도체층을 형성하는 단계에서 상기 오믹 접촉층 및 상기 반도체층이 상기 데이터선 또는 상기 데이터 금속층과 접촉하지 않는 돌출부가 형성되고, 상기 돌출부의 최대 폭은 1.3 μm 일 수 있다.
- [0024] 상기 반도체층을 건식 식각하는 단계 이후에, 상기 제2 감광막 패턴을 제거하고 상기 드레인 전극의 일부를 노출시키는 접촉 구멍을 포함하는 보호막을 형성하는 단계; 및 상기 보호막 위에 상기 접촉 구멍을 통하여 상기 드레인 전극과 연결되는 화소 전극을 형성하는 단계를 포함할 수 있다.
- [0025] 상기 반도체층의 두께는 800Å 내지 900Å 일 수 있다.

발명의 효과

- [0026] 실시예들에 따르면, 반도체 패턴의 돌출부를 감소시킴으로써 워터폴(waterfall) 현상을 개선하여 표시 장치의 화질을 향상시킬 수 있다. 또한, 반도체층의 채널 단차를 최소화함으로써 누설 전류의 발생을 방지하고, 색빠짐 불량으로부터 안정성이 확보되어 표시 품질을 개선할 수 있다.

도면의 간단한 설명

- [0027] 도 1은 일 실시예에 따른 액정 표시 장치의 등가 회로도이다.
- 도 2는 일 실시예에 따른 액정 표시 장치의 배치도이다.
- 도 3은 도 2의 액정 표시 장치를 III-III' 선을 따라 잘라 도시한 단면도이다.
- 도 4는 도 2의 액정 표시 장치를 IV-IV' 선을 따라 잘라 도시한 단면도이다.
- 도 5 내지 도 13은 일 실시예에 따른 액정 표시 장치의 제조 방법을 차례대로 도시한 단면도로, 도 2의 III-III' 선을 따라 잘라 도시한 단면도이다.
- 도 14는 일 실시예에 따른 액정 표시 장치의 일측 단면을 찍은 사진이다.
- 도 15는 도 14의 일부를 확대한 사진이다.
- 도 16은 반도체 패턴의 돌출부의 폭에 따른 워터폴(waterfall) 현상의 목시 수준을 도시한 그래프이다.
- 도 17은 일 실시예에 따른 액정 표시 장치에서 누설 전류의 감소를 나타내는 그래프이다.
- 도 18은 일 실시예에 따른 액정 표시 장치에서 색빠짐 전압(Vss)의 개선을 나타내는 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0028] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수

있으며 여기에서 설명하는 실시예들에 한정되지 않는다.

- [0029] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.
- [0030] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다. 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다.
- [0031] 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다. 또한, 기준이 되는 부분 "위에" 또는 "상에" 있다고 하는 것은 기준이 되는 부분의 위 또는 아래에 위치하는 것이고, 반드시 중력 반대 방향 쪽으로 "위에" 또는 "상에" 위치하는 것을 의미하는 것은 아니다.
- [0032] 또한, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함" 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0033] 또한, 명세서 전체에서, "평면상"이라 할 때, 이는 대상 부분을 위에서 보았을 때를 의미하며, "단면상"이라 할 때, 이는 대상 부분을 수직으로 자른 단면을 옆에서 보았을 때를 의미한다.
- [0034] 이하에서 도면을 참고로 하여 본 발명의 실시예에 대하여 설명한다.
- [0035] 먼저 도 1을 사용하여, 본 발명의 일 실시예에 따른 액정 표시 장치의 신호선 및 화소의 배치와 그 구동 방법에 대하여 설명한다. 도 1은 일 실시예에 따른 액정 표시 장치의 등가 회로도이다.
- [0036] 도 1을 참고하면, 일 실시예에 따른 액정 표시 장치의 한 화소(PX)는 게이트 신호를 전달하는 게이트선(GL) 및 데이터 신호를 전달하는 데이터선(DL), 분압 기준 전압을 전달하는 분압 기준 전압선(RL)을 포함하는 복수의 신호선, 그리고 복수의 신호선에 연결되어 있는 제1 스위칭 소자(Qa), 제2 스위칭 소자(Qb) 및 제3 스위칭 소자(Qc), 제1 액정 축전기(C1ca) 및 제2 액정 축전기(C1cb), 제1 유지 축전기(Csta) 및 제2 유지 축전기(Cstb)를 포함한다.
- [0037] 제1 스위칭 소자(Qa) 및 제2 스위칭 소자(Qb)는 각각 게이트선(GL) 및 데이터선(DL)에 연결되어 있으며, 제3 스위칭 소자(Qc)는 분압 기준 전압선(RL)과 제2 액정 축전기(C1cb)의 출력 단자에 연결되어 있다.
- [0038] 제1 스위칭 소자(Qa) 및 제2 스위칭 소자(Qb)는 박막 트랜지스터 등의 삼단자 소자로서, 그 제어 단자는 게이트선(GL)과 연결되어 있고, 입력 단자는 데이터선(DL)과 연결되어 있으며, 제1 스위칭 소자(Qa)의 출력 단자는 제1 액정 축전기(C1ca)에 연결되어 있고, 제2 스위칭 소자(Qb)의 출력 단자는 제2 액정 축전기(C1cb) 및 제3 스위칭 소자(Qc)의 입력 단자에 연결되어 있다.
- [0039] 제3 스위칭 소자(Qc) 역시 박막 트랜지스터 등의 삼단자 소자로서, 제어 단자는 게이트선(GL)과 연결되어 있고, 입력 단자는 제2 액정 축전기(C1cb)와 연결되어 있으며, 출력 단자는 분압 기준 전압선(RL)에 연결되어 있다.
- [0040] 게이트선(GL)에 게이트 온 신호가 인가되면, 이에 연결된 제1 스위칭 소자(Qa), 제2 스위칭 소자(Qb), 그리고 제3 스위칭 소자(Qc)가 턴 온된다. 이에 따라 데이터선(DL)에 인가된 데이터 전압은 턴 온된 제1 스위칭 소자(Qa) 및 제2 스위칭 소자(Qb)를 통하여 제1 부화소 전극(PXa) 및 제2 부화소 전극(PXb)에 인가된다. 이 때 제1 부화소 전극(PXa) 및 제2 부화소 전극(PXb)에 인가된 데이터 전압은 서로 동일하고, 제1 액정 축전기(C1ca) 및 제2 액정 축전기(C1cb)는 공통 전압과 데이터 전압의 차이만큼 동일한 값으로 충전된다.
- [0041] 이와 동시에, 제2 액정 축전기(C1cb)에 충전된 전압은 턴 온된 제3 스위칭 소자(Qc)를 통해 분압된다. 이에 의해 제2 액정 축전기(C1cb)에 충전된 전압 값은 공통 전압과 분압 기준 전압의 차이에 의해 낮아지게 된다. 즉, 제1 액정 축전기(C1ca)에 충전된 전압은 제2 액정 축전기(C1cb)에 충전된 전압보다 더 높게 된다.
- [0042] 이와 같이 제2 액정 축전기(C1cb)의 충전 전압을 분압 스위칭 소자(Qc), 기준 전압 등의 제어를 통해 조절함으로써 두 부화소(PXa, PXb)의 휘도가 달라지게 할 수 있고, 제1 액정 축전기(C1ca)에 충전되는 전압(C1ca)과 제2 액정 축전기(C1cb)의 충전되는 전압을 적절히 조절하면 측면에서 바라보는 영상이 정면에서 바라보는 영상에 최대한 가깝게 되도록 할 수 있고, 이에 따라 측면 시인성을 개선할 수 있다.
- [0043] 제1 유지 축전기(Csta)의 양 단자는 제1 스위칭 소자(Qa)의 출력 단자와 유지 전압선(도시하지 않음)의 제1 유

지 전극이다. 또한, 제2 유지 축전기(Cstb)의 양 단자는 제2 스위칭 소자(Qb)의 출력 단자와 유지 전압선의 제2 유지 전극이다.

- [0044] 제1 유지 축전기(Csta)와 제2 유지 축전기(Cstb)는 제1 액정 축전기(Clca) 및 제2 액정 축전기(Clcb)의 유지 능력을 강화하고 유지하는 역할을 한다.
- [0045] 이하, 도 2 내지 도 4를 사용하여, 일 실시예에 따른 표시 장치에 대하여 설명한다. 도 2는 일 실시예에 따른 액정 표시 장치의 배치도이고, 도 3은 도 2의 액정 표시 장치를 III-III' 선을 따라 잘라 도시한 단면도이고, 도 4는 도 2의 액정 표시 장치를 IV-IV' 선을 따라 잘라 도시한 단면도이다.
- [0046] 일 실시예에 따른 액정 표시 장치는 서로 마주보는 하부 표시판(100)과 상부 표시판(200) 및 두 표시판(100, 200) 사이에 주입되어 있는 액정층(3)을 포함한다.
- [0047] 먼저 하부 표시판(100)에 대하여 설명한다.
- [0048] 하부 표시판(100)은 하부 기관(110), 데이터선(171), 이와 교차하는 게이트선(121), 데이터선(171) 및 게이트선(121)에 연결되어 있는 스위칭 소자(박막 트랜지스터; Qa, Qb, Qc), 유기막(80), 보호막(180a, 180b), 화소 전극(191), 차폐 전극(195)을 포함한다.
- [0049] 투명한 유리 또는 플라스틱 등으로 만들어진 하부 기관(110) 위에 게이트 도전체가 형성되어 있다. 게이트 도전체는 복수의 게이트선(121) 및 복수의 유지 전압선(131)을 포함한다.
- [0050] 게이트선(121)은 게이트 신호를 전달하며, 제1 게이트 전극(124a), 제2 게이트 전극(124b) 및 제3 게이트 전극(124c)을 포함한다.
- [0051] 유지 전압선(131)은 게이트선(121)과 나란한 가로 방향으로 위치할 수 있다. 하나의 화소(PX) 영역의 가장자리 상하에 가로로 위치하는 유지 전압선(131)으로부터 제1 유지 전극(131a) 및 제2 유지 전극(131b)이 뻗어 나와있다. 유지 전압선(131)은 공통 전압(Vcom) 등의 정해진 전압을 전달한다.
- [0052] 제1 유지 전극(131a)은 제1 부화소 전극(PXa)에 위치하고, 세로부(136) 및 굴곡부(135)를 포함한다.
- [0053] 제1 유지 전극(131a)의 굴곡부(135)는 제1 부화소 전극(PXa)의 중앙 세로 줄기부(192a)와 중첩하고 이와 나란한 세로 방향으로 연장되다가, 제1 부화소 전극(PXa)의 우측 하단의 미세 줄기부(194a)의 일부와 중첩하고 가로 방향으로 연장되다가, 다시 제1 부화소 전극(PXa)의 우측 세로 줄기부(192a)와 중첩하고 이와 나란한 세로 방향으로 연장된다. 즉, 굴곡부(135)는 유지 전압선(131)으로부터 뻗어 나와 제1 부화소 전극(PXa)의 3 번을 둘러싸는 U자 형태로 굴곡지게 형성되어 있다.
- [0054] 제1 유지 전극(131a)의 세로부(136)는 제1 부화소 전극(PXa)의 상단에 가로 방향으로 위치한 유지 전압선(131)으로부터 뻗어 나와있다. 세로부(136)는 제1 부화소 전극(PXa)의 좌측 세로 줄기부(192a)와 중첩하고, 이와 나란한 세로 방향으로 연장되어 위치한다.
- [0055] 제2 유지 전극(131b)은 제2 부화소 전극(PXb)에 위치하고, 제2 부화소 전극(PXb)의 하단에 가로 방향으로 위치한 유지 전압선(131)으로부터 뻗어 나와있다.
- [0056] 구체적으로, 제2 유지 전극(131b)은 제2 부화소 전극(PXb)의 중앙 세로 줄기부(192b)와 중첩하고 이와 나란한 세로 방향으로 연장되다가, 제2 부화소 전극(PXb)의 우측 상단의 미세 줄기부(194b)의 일부와 중첩하고 가로 방향으로 연장되다가, 다시 미세 줄기부(194b)의 일부와 중첩하면서 세로 방향으로 연장된다.
- [0057] 또한, 제2 유지 전극(131b)은 후술할 기준 전압선(172)을 따라 이와 중첩하게 형성되어 있다.
- [0058] 유지 전압선(131)의 폭은 기준 전압선(172)의 폭보다 넓게 형성될 수 있다.
- [0059] 게이트선(121) 및 유지 전압선(131) 위에는 게이트 절연막(140)이 위치한다.
- [0060] 게이트 절연막(140) 위에는 반도체층(151, 154)이 위치한다. 반도체층(151, 154)은 데이터선(171)과 중첩하는 선형의 반도체층(151) 및 복수의 박막 트랜지스터를 이루는 반도체층(154)을 포함한다. 반도체층(154)은 제1 반도체(154a), 제2 반도체(154b) 및 제3 반도체(154c)를 포함한다. 반도체층(151, 154)은 불순물이 도핑되어 있는 소스 영역, 드레인 영역과 불순물이 도핑되어 있지 않은 채널 영역을 포함한다. 소스 영역 및 드레인 영역은 후술할 소스 전극(173a, 173b, 173c) 및 드레인 전극(175a, 175b, 175c)과 대응되는 부분이다.
- [0061] 반도체층(151, 154)은 비정질 규소(amorphous silicon; a-Si) 또는 다결정 규소(polycrystalline silicon;

poly-Si) 등을 포함할 수 있다.

- [0062] 반도체층(151, 154)의 두께인 제1 두께(d1)는 800Å 내지 900Å 일 수 있고, 일 예로 850Å 이하일 수 있으나 이에 한정되지 않는다.
- [0063] 반도체층(151, 154) 위에는 오믹 접촉층(161, 165)이 위치한다. 오믹 접촉층(161)은 돌출부(163)를 포함할 수 있다. 오믹 접촉층(161, 165)의 두께인 제2 두께(d2)는 0Å 초과 200Å 이하일 수 있고, 일 예로 0Å 초과 150Å 이하일 수 있으나 이에 한정되지 않는다.
- [0064] 오믹 접촉층(161, 165) 및 게이트 절연막(140) 위에는 제1 소스 전극(173a) 및 제2 소스 전극(173b)을 포함하는 복수의 데이터선(171), 제3 드레인 전극(175c)을 포함하는 기준 전압선(172), 제1 드레인 전극(175a), 제2 드레인 전극(175b) 및 제3 소스 전극(173c)을 포함하는 데이터 도전체가 위치한다.
- [0065] 반도체층(151)과 오믹 접촉층(161) 및 반도체층(154)과 오믹 접촉층(161, 165)을 반도체 패턴(T)이라고 한다. 반도체 패턴(T)은 데이터 도전체(171, 173c, 175a, 175b, 175c)의 가장 자리에서 데이터 도전체(171, 173c, 175a, 175b, 175c)와 중첩하지 않는 돌출부(P)를 포함한다. 이는 데이터 도전체(171, 173c, 175a, 175b, 175c) 및 반도체 패턴(T)을 동일한 마스크로 식각하는 과정에서 습식 식각의 등방성 특성이나 감광막 패턴의 에치백(etch-back) 공정 등으로 인하여 형성될 수 있다. 이에 대하여는 도 5 내지 도 13에서 상세히 설명하기로 한다.
- [0066] 이때, 돌출부(P)로 인해 반도체 패턴(T)이 백라이트 유닛(Back light unit) 등에서 공급되는 외부 광에 노출될 수 있다. 특히 반도체층(151, 154)이 비정질 규소(a-Si)로 이루어진 경우 광의 세기에 따라 전기 전도율이 변하여 도전성을 띌 수 있다. 이에 따라 기생 커패시턴스(capacitance)가 생겨 기존의 정전 용량이 변하고, 화면이 부분적으로 밝고 어둡게 시인되는 문제가 발생한다. 이와 같이 밝기 차이에 따라 화면 상에 밝고 어두운 띠가 위 아래로 흐르는 것처럼 시인되는 현상을 워터폴(waterfall) 현상이라 한다.
- [0067] 이에 일 실시예에 따르면, 반도체 패턴(T)의 돌출부(P)의 폭(w)을 감소시킴으로써 반도체 패턴(T)이 외부 광에 노출되는 것을 방지할 수 있다. 이에 따라 반도체층(154)의 전기 전도성의 변동 폭이 감소되고 정전 용량의 변동을 방지함으로써 워터폴 현상 등의 불량을 개선할 수 있다. 일 실시예에 의한 액정 표시 장치에 의하면, 돌출부(P)의 폭(w)은 0 μm 초과 1.3 μm일 수 있다.
- [0068] 한편, 데이터 도전체(171, 173c, 175a, 175b, 175c)는 그 하부에 위치하는 반도체층(151, 154) 및 오믹 접촉층(161, 165)과 중첩한다. 구체적으로는, 미세한 폭으로 형성되는 반도체 패턴(T)의 돌출부(P)를 제외하면 반도체 패턴(T)은 그 상부의 데이터선(171) 및 데이터 금속층(174)과 실질적으로 동일한 평면 형태를 가질 수 있다. 이는 데이터 도전체(171, 173c, 175a, 175b, 175c) 및 반도체 패턴(T)을 동일한 감광막 패턴(미도시)을 마스크로 하여 식각하기 때문이다. 이에 대하여는 도 5 내지 도 13에서 더 상세히 설명하기로 한다.
- [0069] 기준 전압선(172)은 제1 세로부(172a), 제2 세로부(172b) 및 굴곡부(172c)를 포함한다. 제1 세로부(172a) 및 제2 세로부(172b)는 각각 제1 부화소 전극(191a) 및 제2 부화소 전극(191b)의 세로 줄기부(192a, 192b)와 중첩하게 위치한다. 이때, 세로부(172a, 172b)의 폭은 부화소 전극(191a, 191b)의 세로 줄기부(192a, 192b)의 폭보다 좁을 수 있다.
- [0070] 굴곡부(172c)는 제3 드레인 전극(175c)을 포함하고, 세로부(172a, 172b)로부터 부화소 전극(191a, 191b)의 미세 줄기부(194a, 194b)의 일부와 중첩되도록 가로 방향으로 뻗어 나오다가, 다시 데이터선(171)과 나란한 세로 방향으로 이어지도록 형성되어 있다.
- [0071] 기준 전압선(172)의 세로부(172a, 172b)는 유지 전압선(131)과 중첩하게 위치한다. 제1 세로부(172a)와 굴곡부(172c)의 가로부는 제1 유지 전극(131a)의 굴곡부(135)와 중첩하게 위치한다. 제2 세로부(172b), 굴곡부(172c)의 가로부 및 굴곡부(172c)의 세로부 중 일부는 제2 유지 전극(131b)의 일부와 중첩하게 위치한다.
- [0072] 이때, 기준 전압선(172)의 폭은 유지 전압선(131)의 폭보다 좁을 수 있다.
- [0073] 제1 소스 전극(173a) 및 제1 드레인 전극(175a)은 제1 반도체(154a)와 함께 하나의 제1 스위칭 소자(또는 제1 박막 트랜지스터)(thin film transistor, TFT)(Qa)를 이루며, 박막 트랜지스터의 채널(channel)은 제1 소스 전극(173a)과 제1 드레인 전극(175a) 사이의 제1 반도체(154a)에 형성된다.
- [0074] 유사하게, 제2 게이트 전극(124b), 제2 소스 전극(173b) 및 제2 드레인 전극(175b)은 제2 반도체(154b)와 함께 하나의 제2 스위칭 소자(또는 제2 박막 트랜지스터)(Qb)를 이루며, 채널은 제2 소스 전극(173b)과 제2 드레인 전극(175b) 사이의 제2 반도체(154b)에 형성된다.

- [0075] 마찬가지로, 제3 게이트 전극(124c), 제3 소스 전극(173c) 및 제3 드레인 전극(175c)은 제3 반도체(154c)와 함께 하나의 제3 스위칭 소자(또는 분압 스위칭 소자, 제3 박막 트랜지스터)(Qc)를 이루며, 채널은 제3 소스 전극(173c)과 제3 드레인 전극(175c) 사이의 제3 반도체(154c)에 형성된다. 이때 제2 드레인 전극(175b)은 제3 소스 전극(173c)과 연결되어 있으며, 넓게 확장된 확장부(177)를 포함한다.
- [0076] 스위칭 소자(Qa, Qb, Qc)의 채널이 형성되기 위해 반도체층(154), 오믹 접촉층(161, 165) 및 데이터 도전체(171, 173c, 175a, 175b, 175c)가 식각되어 있다. 채널 영역에서 데이터 도전체(171, 173c, 175a, 175b, 175c) 및 오믹 접촉층(165)은 모두 식각되고, 반도체층(154)은 그 상부가 제3 두께(d3)만큼 식각되어 있다. 그 결과, 반도체층(154)의 채널 영역에 채널 단차가 형성되어 있다. 상기 채널 단차는 반도체층(154)의 소스 영역(또는 드레인 영역)에서의 상부면과 채널 영역에서 상부면 간의 높이차이다.
- [0077] 도 3을 참고하면, 스위칭 소자(Qa, Qb, Qc)의 채널 형성을 위해 반도체층(154)이 식각되는 최대 두께를 50Å 이하가 되도록 하여, 반도체층(154)의 상기 높이차가 0Å 초과 50Å 이하가 되도록 형성되어 있다. 다시 말해, 반도체층(154)의 채널 단차는 0Å 초과 50Å 이하이다.
- [0078] 전술한 바와 같이 반도체층(151, 154)의 두께인 제1 두께(d1)는 800Å 내지 900Å일 수 있다. 따라서, 반도체층(151, 154)의 두께(d1) 대비 반도체층(154)의 채널 단차의 두께(d3)의 비율(d3/d1)은 0.07 이하일 수 있으며, 구체적으로는 0.056 이하의 값을 가질 수 있다. 일 예로 반도체층(154)의 채널 단차인 제3 두께(d3)가 50Å이고 제1 두께(d1)가 900Å일 때, 상기 비율(d3/d1)은 약 0.056의 작은 값을 가져 채널 단차를 줄일 수 있다.
- [0079] 스위칭 소자(Qa, Qb, Qc)의 채널 단차가 클수록 누설 전류(leakage current)가 크게 발생하는 문제점이 발생한다. 누설 전류가 흐르면 턴 오프(turn off) 된 스위칭 소자가 턴 온(turn on) 된 것처럼 동작하여 색이 왜곡되는 색빠짐 불량이 발생할 수 있다.
- [0080] 이에 일 실시예에 따른 액정 표시 장치에 의하면 반도체층(154)의 채널 단차를 최소화하여 채널에서의 반도체층(154)의 단면이 거의 평평(flat)하게 형성되도록 한다. 이와 같이, 반도체층(154)의 채널 단차를 최소화함으로써 누설 전류의 생성을 방지하고 이에 따른 색빠짐 불량을 개선하여 표시 장치의 화질을 개선할 수 있다.
- [0081] 반도체층(154)의 두께인 제1 두께(d1)는 800Å 내지 900Å, 오믹 접촉층(164)의 두께인 제2 두께(d2)는 0Å 초과 200Å 이하일 수 있다. 따라서, 반도체층(154)과 오믹 접촉층(164)의 두께의 합(d1+d2)은 800Å 초과 1100Å 이하일 수 있다. 전술한 바에 따라 반도체 패턴(T)의 돌출부(P)의 폭(w)은 0 μm 초과 1.3 μm 이하이므로, 반도체층(154)과 오믹 접촉층(164)의 두께의 합(d1+d2) 대비 돌출부(P)의 폭(w)의 비(w/(d1+d2))는 10 내지 17의 값을 가질 수 있다. 구체적으로는 상기 비(w/(d1+d2))는 11.5 내지 16.3의 값일 수 있다.
- [0082] 오믹 접촉층(161, 165)은 전술한 바와 같이 그 두께(d2)가 0Å 초과 150Å 이하가 되도록 형성할 수 있다. 스위칭 소자(Qa, Qb, Qc)의 채널이 형성되기 위해 오믹 접촉층(165)은 모두 식각되므로, 식각되는 오믹 접촉층(165)의 두께(d2)는 0Å 초과 150Å 이하가 될 수 있다.
- [0083] 이에 따라, 스위칭 소자(Qa, Qb, Qc)의 채널 형성을 위해 식각되는 오믹 접촉층(161, 165)의 두께(d2) 및 식각되는 반도체층(154)의 두께(d3)의 합은 0Å 초과 200Å 이하가 될 수 있다. 즉, 식각되는 오믹 접촉층(161, 165) 및 반도체층(154)의 두께를 최소화함으로써 채널 영역 및 소스(또는 드레인) 영역에서의 반도체층(154)의 상부면의 높이차를 최소화하고, 반도체층(154)이 식각됨에 따른 불순물 등의 유입으로 인한 박막 트랜지스터 특성의 저하를 방지할 수 있다.
- [0084] 데이터 도전체(171, 173c, 175a, 175b, 175c) 및 노출된 반도체(154a, 154b, 154c) 부분 위에는 제1 보호막(180a)이 위치한다. 제1 보호막(180a)은 질화규소 또는 산화규소 등의 무기 절연물 또는 유기 절연물을 포함할 수 있다. 제1 보호막(180a)은 유기막(80)의 안료가 노출된 반도체(154a, 154b, 154c) 부분으로 유입되는 것을 방지할 수 있다.
- [0085] 제1 보호막(180a) 위에는 유기막(80)이 위치한다. 유기막(80)은 제1 보호막(180a)보다 두께가 두꺼우며, 평탄한 표면을 가질 수 있다. 유기막(80)은 선풍터일 수 있다. 유기막(80)은 서로 인접한 두 개의 데이터선(171)을 따라 세로 방향으로 뻗어 있다.
- [0086] 유기막(80) 위에는 제2 보호막(180b)이 형성되어 있다. 제2 보호막(180b)은 무기 절연물 또는 유기 절연물을 포함할 수 있다. 제2 보호막(180b)은 생략 가능하다. 제2 보호막(180b)은 질화규소 또는 산화규소 등의 무기 절연막을 포함할 수 있다. 제2 보호막(180b)은 유기막(80)이 선풍터인 경우, 선풍터가 들뜨는 것을 방지하고 선풍터로부터 유입되는 용제(solvent)와 같은 유기물에 의한 액정층(3)의 오염을 억제하여 화면 구동 시 초래할 수 있

는 잔상과 같은 불량을 방지할 수 있다.

- [0087] 제1 보호막(180a), 유기막(80) 및 제2 보호막(180b)에는 제1 드레인 전극(175a) 및 제2 드레인 전극(175b)을 드러내는 제1 접촉 구멍(contact hole)(185a) 및 제2 접촉 구멍(185b)이 형성되어 있다.
- [0088] 제2 보호막(180b) 위에는 복수의 화소 전극(pixel electrode)(191) 및 차폐 전극(195)이 위치한다.
- [0089] 각 화소 전극(191)은 게이트선(121)을 사이에 두고 서로 분리되어, 게이트선(121)을 중심으로 열 방향으로 이웃하는 제1 부화소 전극(191a)과 제2 부화소 전극(191b)을 포함한다. 화소 전극(191)은 ITO 및 IZO 등의 투명한 재질일 수 있다. 화소 전극(191)은 또한 알루미늄, 은, 크롬 또는 그 합금 등의 반사성 금속 재질일 수도 있다.
- [0090] 상기 제1 부화소 전극(191a) 및 제2 부화소 전극(191b)의 전체적인 모양은 사각형이며 가로 줄기부(193a) 및 이와 직교하는 세로 줄기부(192a)로 이루어진 십자 줄기부 및 이로부터 연장된 미세 줄기부(194)를 포함한다.
- [0091] 제1 부화소 전극(191a) 및 제2 부화소 전극(191b)은 제1 접촉 구멍(185a) 및 제2 접촉 구멍(185b)을 통하여 각각 제1 드레인 전극(175a) 및 제2 드레인 전극(175b)과 물리적, 전기적으로 연결되어 있으며, 제1 드레인 전극(175a) 및 제2 드레인 전극(175b)으로부터 데이터 전압을 인가받는다. 이때, 제2 드레인 전극(175b)에 인가된 데이터 전압 중 일부는 제3 소스 전극(173c)을 통해 분압되어, 제1 부화소 전극(191a)에 인가되는 전압의 크기는 제2 부화소 전극(191b)에 인가되는 전압의 크기보다 크게 된다.
- [0092] 데이터 전압이 인가된 제1 부화소 전극(191a) 및 제2 부화소 전극(191b)은 상부 표시판(200)의 공통 전극(270)과 함께 전기장을 생성함으로써 두 전극(191, 270) 사이의 액정층(3)의 액정 분자의 방향을 결정한다. 이와 같이 결정된 액정 분자의 방향에 따라 액정층(3)을 통과하는 빛의 휘도가 달라진다.
- [0093] 제1 부화소 전극(191a)과 제1 유지 전극(131a)이 서로 중첩하여 제1 유지 축전기(Csta)를 형성하고, 제2 부화소 전극(191b)과 제2 유지 전극(131b)이 서로 중첩하여 제2 유지 축전기(Cstb)를 형성한다.
- [0094] 앞서 설명한 유지 전압선(131), 그리고 유지 전압선(131)으로부터 뺀어 나와 있는 제1 유지 전극(131a) 및 제2 유지 전극(131b)은 유지 축전기를 이루고, 이와 동시에 인접한 화소 영역 사이, 화소 전극과 데이터선 사이 등에서 발생할 수 있는 빛샘을 차단하는 역할을 한다.
- [0095] 차폐 전극(195)은 세로 방향으로 위치하는 세로부(195a) 및 가로 방향으로 위치하는 가로부(195b)를 포함한다.
- [0096] 차폐 전극(195)에는 후술하는 상부 기관(210)에 형성되는 공통 전극(270)과 동일한 전압이 인가된다. 차폐 전극(195)과 공통 전극(270)에 동일한 전압이 인가되기 때문에, 차폐 전극(195)과 공통 전극(270) 사이에는 전계가 생기지 않고, 그 사이에 위치하는 액정층(3)은 배향되지 않는다. 따라서 차폐 전극(195)과 공통 전극(270) 사이의 액정은 블랙(black) 상태가 된다. 액정이 블랙 상태가 되는 경우, 액정 스스로 차광 부재(black matrix, 미도시)의 기능을 할 수 있다.
- [0097] 이때, 차폐 전극(195)의 세로부(195a)는 데이터선(171)과 나란한 방향으로 데이터선(171)과 중첩하게 위치할 수 있다. 차폐 전극(195)의 가로부(195b)는 세로부(195a)로부터 뺀어나와 제1 부화소 전극(191a) 및 제2 부화소 전극(191b) 사이에 위치할 수 있다. 따라서, 차폐 전극(195)이 도 2와 같이 데이터선(171)을 따라 형성되는 경우 데이터선(171) 상부에는 차광 부재(미도시)가 형성되지 않을 수 있다.
- [0098] 차폐 전극(195)은 하나의 화소 영역마다 분리되어 존재하는 것이 아니라, 인접한 전체 화소에 대하여 연결되어 하나로 형성되어 있을 수 있다.
- [0099] 이제 상부 표시판(200)에 대하여 설명한다.
- [0100] 상부 기관(210) 위에 공통 전극(270)이 형성되어 있다. 공통 전극(270) 위에는 상부 배향막(도시하지 않음)이 형성되어 있다. 상부 배향막은 수직 배향막일 수 있다.
- [0101] 액정층(3)은 음의 유전율 이방성을 가지며, 액정층(3)의 액정 분자(31)는 전기장이 없는 상태에서 그 장축이 두 표시판(100, 200)의 표면에 대하여 수직을 이루도록 배향되어 있다.
- [0102] 상기에서 설명한 화소 영역의 배치 형태, 박막 트랜지스터의 구조 및 화소 전극의 형상은 하나의 예에 불과하며, 본 발명은 이에 한정되지 아니하고 다양한 변형이 가능하다.
- [0103] 이하, 도 5 내지 도 13 및 도 3을 사용하여 일 실시예에 따른 액정 표시 장치를 제조하는 방법에 대하여 설명한다. 도 5 내지 도 13은 일 실시예에 따른 액정 표시 장치의 제조 방법을 차례대로 도시한 단면도로, 도 2의

III-III' 선을 따라 잘라 도시한 단면도이다.

- [0104] 이하에서는 앞서 설명한 구성요소와 동일 유사한 구성에 대한 설명은 생략하고, 부가되는 부분이나 특징적인 부분만 발췌하여 설명한다.
- [0105] 도 5를 참고하여, 제1 마스크 공정에 대하여 설명한다.
- [0106] 도 5를 참고하면, 투명한 유리 또는 플라스틱 따위로 만들어진 하부 기판(110) 위에 게이트 도전체를 형성하기 위한 게이트 도전층을 적층한다. 게이트 도전체는 제1 게이트 전극(124a)을 가지는 게이트선(121) 및 제1 유지 전극(131a) 및 제2 유지 전극(131b)을 포함하는 유지 전압선(131)을 포함할 수 있다.
- [0107] 게이트 도전층은 알루미늄(Al)과 알루미늄 합금 등 알루미늄 계열의 금속, 은(Ag)과 은 합금 등 은 계열의 금속, 구리(Cu)와 구리 합금 등 구리 계열의 금속, 몰리브덴(Mo)과 몰리브덴 합금 등 몰리브덴 계열의 금속, 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta) 따위로 이루어질 수 있으며, 본 발명은 이에 한정되지 않는다.
- [0108] 게이트 도전층을 적층한 후, 감광막(미도시)을 적층하고 패터닝하여 패터닝된 감광막(미도시)을 마스크로 게이트 도전층을 식각하여 게이트 도전체를 형성한다. 이를 제1 마스크 공정이라 한다. 도 5에는 제1 게이트 전극(124a) 및 제1 유지 전극(131a)의 세로부(136)의 일부 단면이 도시되어 있다.
- [0109] 이하, 도 6 내지 도 11을 사용하여 제2 마스크 공정에 대하여 설명한다.
- [0110] 도 6을 참고하면, 제1 게이트 전극(124a)을 포함하는 게이트선(121) 및 세로부(136)를 포함하는 유지 전압선(131) 위에 게이트 절연막(140)을 형성한다. 게이트 절연막(140)은 예를 들어, 플라즈마 강화 화학 기상 증착법(Plasma Enhanced CVD, PECVD) 또는 리액티브 스퍼터링(reactive sputtering)을 이용하여 증착할 수 있다.
- [0111] 이어서, 게이트 절연막(140) 위에 제1 규소막(150), 제2 규소막(160) 및 금속층(170)을 적층한다.
- [0112] 제1 규소막(150)은 불순물을 포함하지 않을 수 있고, 제2 규소막(160)은 도전형 불순물이 도핑되어 있을 수 있다. 이때 제1 규소막(150)은 제1 두께(d1)로 적층하고, 제1 두께(d1)는 800Å 내지 900Å일 수 있으나 본 발명은 이에 한정되지 않는다. 제2 규소막(160)은 제2 두께(d2)로 적층하고, 제2 두께(d2)는 0Å 초과 150Å 이하일 수 있으나 본 발명은 이에 한정되지 않는다.
- [0113] 게이트 절연막(140), 제1 규소막(150) 및 제2 규소막(160)을 적층한 후 원하는 반도체층(151, 154) 및 데이터 도전체(171, 173c, 175a, 175b, 175c)의 패턴에 대응하는 위치에 각각의 감광막 패턴(50a, 50b)을 형성한다. 감광막 패턴(50a, 50b)은 감광막(photo resist, 미도시)을 적층한 후 이를 패터닝하여 형성한다.
- [0114] 감광막 패턴(50a, 50b)은 반도체층(151, 154), 오믹 접촉층(161, 164), 데이터선(171), 소스 전극(173a) 및 드레인 전극(175a)이 형성될 위치에 배치되어 있다. 도 6에서 감광막 패턴(50a)은 스위칭 소자(Qa)가 형성될 영역에 배치되며, 게이트 전극(124a) 위에 스위칭 소자(Qa)의 채널이 형성될 부분의 두께가 다른 부분에 비하여 얇다. 감광막 패턴(50b)은 데이터선(171)이 형성될 영역에 배치되어 있다.
- [0115] 그 후, 도 7에 도시된 바와 같이 감광막 패턴(50a, 50b)을 마스크로 하여 금속층(170)을 식각하여 데이터선(171) 및 스위칭 소자(Qa)의 데이터 금속층(174)을 형성하며, 그 하부의 제2 규소막(160)을 노출시킨다. 금속층(170)을 식각할 때 습식 식각(wet etch) 또는 건식 식각(dry etch)을 모두 이용할 수 있다. 이때, 습식 식각의 등방성 식각 특성 등으로 인해 데이터선(171) 및 데이터 금속층(174)의 폭은 감광막 패턴(50a, 50b)의 폭보다 약간 작게 형성될 수 있다.
- [0116] 그 후 도 8을 참고하면, 감광막 패턴(50a, 50b)을 마스크로 하여 제1 규소막(150) 및 제2 규소막(160)을 식각한다. 그 결과 데이터선(171) 하부에는 선형의 오믹 접촉층(161)과 선형의 반도체층(151)이, 데이터 금속층(174) 하부에는 오믹 접촉층(164)과 반도체층(154)이 형성된다. 이하, 오믹 접촉층(161)과 반도체층(151), 오믹 접촉층(164)과 반도체층(154)을 각각 반도체 패턴(T)이라 한다.
- [0117] 반도체 패턴(T)의 폭은 감광막 패턴(50a, 50b)의 폭과 유사하게 형성될 수 있다. 이는 건식 식각의 일방성 식각 특성 등으로 인한 것일 수 있다. 이에 따라 반도체 패턴(T)은 상부의 데이터선(171)이나 데이터 금속층(174) 보다 큰 폭으로 돌출되어 형성될 수 있는데, 이 부분을 돌출부(P)라 한다.
- [0118] 반도체 패턴(T)의 돌출부(P)로 인해 반도체 패턴(T)이 백라이트 유닛 등에서 공급되는 외부 광에 노출될 수 있다. 특히 반도체층(151, 154)이 비정질 규소(a-Si)로 이루어진 경우 빛의 세기에 따라 반도체층(151, 154)이 전기 전도성을 나타낼 수 있다. 이에 따라 정전 용량이 변동되고, 화면이 부분적으로 밝고 어둡게 시인되는 워터

폴(waterfall) 불량이 발생한다.

- [0119] 이에 일 실시예에 따르면, 반도체 패턴(T)의 돌출부(P)의 폭(w)을 감소시킴으로써 반도체 패턴(T)이 외부 광에 노출되는 것을 방지함으로써 워터폴 현상 등의 불량을 개선할 수 있다. 워터폴 개선 효과에 대하여는 도 15에서 더 상세히 설명하기로 한다.
- [0120] 상기 돌출부(P)를 제외하면 반도체 패턴(T)은 그 상부의 데이터선(171) 및 데이터 금속층(174)과 실질적으로 동일한 평면 형태를 가질 수 있다. 이는 금속층(170)과 제2 규소막(160), 제1 규소막(150)을 감광막 패턴(50a, 50b)을 동일한 마스크로 하여 식각하기 때문이다.
- [0121] 다음으로 도 9를 참고하면, 에치백(etch-back) 공정으로 감광막 패턴(50a, 50b)의 두께가 얇은 부분을 식각하여 채널 영역 상의 데이터 금속층(174)을 노출시킨다. 이와 동시에 감광막 패턴(50a, 50b)의 두께가 두꺼운 부분도 일부 식각되어 감광막 패턴(50a, 50b)의 전체 높이가 감소한다. 그 후 애싱(ashing)으로 노출된 데이터 금속층(174) 표면에 남아 있는 감광막 패턴(50a, 50b)의 잔재를 제거하여, 감광막 패턴(51a, 51b)을 형성한다. 일 실시예에 따라서 에치백(etch-back) 공정은 도 8의 반도체 패턴(T)을 형성하기 전에 실시될 수도 있다.
- [0122] 이때, 반도체 패턴(T)의 돌출부(P)의 폭(w)은 0 μm 초과 1.3 μm 이하일 수 있다. 이는 표시 장치의 4 마스크(mask) 공정을 수행하는 단계 중에서 도 9에서 설명한 에치백(etch-back) 공정의 순서를 바꿈으로써 인한 결과일 수 있다. 그러나, 이에 한정되지 않고 기타 공정 상의 변경으로 돌출부의 폭(w)이 0 μm 초과 1.3 μm 이하가 되게 형성할 수 있다.
- [0123] 그 후 도 10을 참고하면, 감광막 패턴(51a, 51b)을 마스크로 하여 제1 스위칭 소자(Qa)의 채널이 될 영역의 데이터 금속층(174) 및 오믹 접촉층(164)을 식각하여 제거한다. 이에 따라 오믹 접촉층(161, 165), 제1 소스 전극(173a) 및 제1 드레인 전극(175a)이 형성되고, 반도체층(154)의 채널 영역이 노출된다. 오믹 접촉층(161)은 돌출부(163)를 포함할 수 있다. 제1 드레인 전극(175a)은 반도체층(154)의 드레인 영역에 대응되고, 제1 소스 전극(173a)은 반도체층(154)의 소스 영역에 대응되는 부분이다. 제1 소스 전극(173a)은 데이터선(171)으로부터 뻗어나온 부분일 수 있다.
- [0124] 이때, 데이터 금속층(174) 및 오믹 접촉층(164)을 함께 식각할 수 있는 식각액(etchant)을 사용하여 데이터 금속층(174) 및 오믹 접촉층(164)을 습식 식각(wet etch) 할 수 있다. 이와 같이 습식 식각으로 식각할 경우, 반도체층(154)이 건식 식각으로 인한 손상을 받지 않도록 하는 점에서 유리할 수 있다.
- [0125] 한편, 도 10에서는 도 9의 오믹 접촉층(164)을 그 두께(d2)만큼 모두 식각하는 것으로 도시하였으나, 실시예에 따라서는 도 9의 오믹 접촉층(164)의 일부는 식각되지 않고 남아있을 수도 있다. 즉, 채널 형성을 위해 식각되는 오믹 접촉층(164)의 두께는 0Å 초과 200Å 이하일 수 있다. 또 일 실시예에 따라서는 다음의 도 11과 같이 데이터 금속층(174) 및 오믹 접촉층(164)의 식각과 함께 반도체층(154)의 일부도 식각될 수 있다.
- [0126] 도 11을 참고하면, 반도체층(154)의 일부를 건식 식각하여 제1 스위칭 소자(Qa)의 채널을 형성한다. 반도체층(154)이 상기 건식 식각으로 식각되는 두께인 제3 두께(d3)는 0Å 초과 50Å 이하이다. 제3 두께(d3)는 반도체층(154)의 소스 영역(또는 드레인 영역)에서의 상부면과 채널 영역에서 상부면 간의 높이차라고도 할 수 있다. 즉, 반도체층(154)의 소스 영역(또는 드레인 영역)과 채널 영역의 상부면의 높이차가 0Å 초과 50Å 이하로 형성됨으로써 채널에서의 반도체층(154)의 단면이 거의 평평하게 형성되는 것처럼 보인다.
- [0127] 이와 같이, 일 실시예에 따른 액정 표시 장치의 제조 방법에 따르면, 채널 형성을 위한 반도체층(154)의 식각을 최소화하여 반도체층(154)의 단차를 최소화하고 채널에서의 반도체층(154)의 단면을 최대한 평평하게 형성함으로써 채널 단차에 의한 화질 불량을 방지할 수 있다.
- [0128] 이때, 반도체층(154)의 식각되지 않은 부분의 두께(d1)는 도 6에서 설명한 바와 같이 800Å 내지 900Å일 수 있으나 이에 한정되지 않는다. 일 예로, 제1 두께(d1)가 850Å이고, 건식 식각에 의해 식각되는 반도체층(154)의 두께인 제3 두께(d3)가 50Å일 경우, 식각되고 남은 채널에서의 반도체층(154)의 잔류 두께(d1-d3)는 800Å일 수 있다. 또한, 도 9의 오믹 접촉층(164)의 두께인 제2 두께(d2)는 0Å 초과 200Å 이하이므로, 식각되는 오믹 접촉층(164)의 두께(d2) 및 식각되는 반도체층(154)의 두께(d3)의 총합(d2+d3)은 0Å 초과 250Å 이하일 수 있으며, 일 예로 0Å 초과 200Å 이하일 수 있다.
- [0129] 전술한 도 10에서 일 실시예에 따라 도 9의 오믹 접촉층(164)의 일부가 식각되지 않고 남아있을 경우, 잔류한 오믹 접촉층(164)은 도 11의 단계에서 반도체층(154)과 함께 건식 식각될 수 있다.
- [0130] 반도체층(154)의 건식 식각시 염소(C1) 계열의 식각 가스는 사용하지 않는다. 즉, 반도체층(154)의 건식 식각시

사용되는 식각 가스는 염소(C1)를 포함하지 않는다. 반도체층(154)의 건식 식각시 식각 가스가 염소(C1)를 포함할 경우, 염소(C1) 원자가 실리콘(silicon)을 포함하는 반도체층(154)으로 침투하여 전자 주개(electron donor)로 작용하여, 반도체층(154)의 채널 영역에서 전자의 새로운 에너지 준위(energy state)를 형성한다. 이에 따라 채널에서의 전자의 흐름이 불안정해지고, 누설 전류(leakage current)가 생기는 문제점이 발생한다.

[0131] 누설 전류가 흐르게 되면 다른 액정 화소에 인가되어야 할 데이터 신호가 누설 전류만큼 턴 오프(turn off)된 스위칭 소자에 연결된 액정 화소에 인가되어 턴 온(turn on)된 것처럼 동작할 수 있다. 그러면 턴 오프된 스위칭 소자에 연결된 액정 화소의 색상이 누설 전류에 의해 왜곡되어 색이 빠진 것처럼 보이는 색빠짐 불량이 발생한다. 다시 말해, 색빠짐 불량이란 입력 영상 신호에 따라 표현되는 색상이 시간이 지남에 따라 다른 색상으로 왜곡되는 현상이다.

[0132] 특히, 최근에는 표시 패널의 초대형화에 따라 패널의 면적이 증대되어, 이러한 색빠짐 불량을 제어하는 것이 더 어려워지는 문제점이 있다. 이에 일 실시예에 따른 액정 표시 장치의 제조 방법에 의하면, 반도체층(154)의 건식 식각시 염소(C1)가 제거된 식각 가스를 사용함으로써 채널로의 염소(C1) 침투를 방지하여 누설 전류의 발생을 방지할 수 있다. 이에 따라 색빠짐 불량이 개선되어 액정 표시 장치의 표시 품질이 개선될 수 있다.

[0133] 다음으로 도 12를 사용하여 제3 마스크 공정에 대하여 설명한다.

[0134] 도 12를 참고하면, 도 11의 감광막 패턴(51a, 51b)을 제거한 후에 제1 보호막(180a), 유기막(80) 및 제2 보호막(180b)을 적층한다. 제1 보호막(180a), 제2 보호막(180b)은 유기 물질 또는 무기 물질을 포함하고, 유기막(80)은 색필터일 수 있다. 제2 보호막(180b), 유기막(80) 및 제1 보호막(180a)을 적층한 후 감광막 패턴(미도시)를 마스크로 식각하여 제1 드레인 전극(175a)의 일부를 노출시키는 제1 접촉 구멍(185a)을 형성한다.

[0135] 다음으로 도 13을 사용하여 제4 마스크 공정에 대하여 설명한다.

[0136] 도 13을 참고하면, 제2 보호막(180b) 위에 ITO 또는 IZO와 같은 투명 도전체를 적층하고 감광막 패턴(미도시)를 마스크로 식각하여 화소 전극(191) 및 차폐 전극(195)을 형성한다. 화소 전극(191)은 제1 접촉 구멍(185a)을 통해 노출된 제1 드레인 전극(175a)과 전기적으로 연결될 수 있다. 차폐 전극(195)에는 후술하는 공통 전극(270)과 동일한 전압이 인가될 수 있다. 도 13에는 세로부(195a)를 포함하는 차폐 전극(195)과 미세 줄기부(194a)를 포함하는 제1 부화소 전극(191a)이 도시되어 있다.

[0137] 이와 같이, 액정 표시 장치의 4 마스크 공정에서는 데이터 도전체(171, 173c, 175a, 175b, 175c), 그 아래에 위치하는 오믹 접촉층(161, 165) 및 반도체층(151, 154)이 하나의 마스크를 이용하여 동시에 형성된다. 따라서, 도 10 및 도 11에서 설명한 반도체 패턴(T)의 돌출부(P)를 제외하면 데이터 도전체(171, 173c, 175a, 175b, 175c)와 그 하부의 오믹 접촉층(161, 165) 및 반도체층(151, 154)은 실질적으로 동일한 평면 패턴을 가진다.

[0138] 다음으로 다시 도 3을 참고하면, 상부 기판(210) 위에 공통 전극(270)을 형성하고, 그 위에 상부 배향막(미도시)을 형성하여 상부 표시판(200)을 형성한다. 상부 표시판(200) 및 전술한 하부 표시판(100) 사이에 액정을 주입하여 액정층(3)을 형성한다.

[0139] 이하, 도 14 및 도 15를 통하여 일 실시예에 따른 액정 표시 장치의 일부 단면 형상을 자세히 살펴본다. 도 14는 일 실시예에 따른 액정 표시 장치의 일측 단면을 찍은 사진이고, 도 15는 도 14의 일부를 확대한 사진이다. 이하에서는 앞서 설명한 구성요소와 동일 유사한 구성에 대한 설명은 생략하고, 부가되는 부분이나 특징적인 부분만 발췌하여 설명한다.

[0140] 도 14를 참고하면, 하부 기판(110) 위에 버퍼층(111)이 위치할 수 있다.

[0141] 버퍼층(111)은 무기 절연 물질 또는 유기 절연 물질을 포함할 수 있다. 버퍼층(111)은 불순물이 박막 트랜지스터로 유입되는 것을 방지하고 하부 기판(110) 일면을 평탄하게 할 수 있다. 실시예에 따라 버퍼층(111)은 생략될 수 있다.

[0142] 버퍼층(111) 위에 제1 게이트 전극(124a)이 위치하고, 그 위에 게이트 절연막(140)이 위치한다. 게이트 절연막(140) 위에 반도체층(154)이 위치하고, 그 위에 제1 소스 전극(173a) 및 제1 드레인 전극(175a)이 위치하고, 그 위에 제1 보호막(180a)이 위치한다. 도 5에서는 반도체층(154)과 그 위의 오믹 접촉층(165)이 명확히 구분되지 않아서 오믹 접촉층(165)은 별도로 표시하지 않았다.

[0143] 반도체층(154)은 불순물이 도핑되어 있는 소스 영역, 드레인 영역과 이들 사이의 불순물이 도핑되어 있지 않은 채널 영역을 포함한다. 소스 영역 및 드레인 영역은 제1 소스 전극(173a) 및 제1 드레인 전극(175a)과 대응되는

부분이다.

- [0144] 도 14를 보면, 반도체층(154)이 채널 영역에서 단차없이 거의 평평하게 형성되어 있는 것을 확인할 수 있다. 이는 채널을 형성할 때 오믹 접촉층(미도시) 및 반도체층(154)을 최소한으로 식각함으로써 채널 영역에서의 반도체층(154)의 두께의 편차를 최소화하였기 때문이다. 특히, 식각되는 반도체층(154)의 두께는 0Å 초과 50Å 이하이다.
- [0145] 이때, 오믹 접촉층 및 반도체층(154)의 식각은 건식 식각(dry etch)으로 수행될 수 있고, 이때 사용되는 식각 가스는 염소(C1)를 포함하지 않는다.
- [0146] 도 15를 참고하면, 도 14에서 제1 드레인 전극(175a)과 반도체층(154)이 접하는 A 부분의 확대도를 보여주고 있으며, 도 14에서 표시되지 않았던 오믹 접촉층(165)을 표시하였다.
- [0147] 반도체층(154) 위에 오믹 접촉층(165)이 위치하고, 그 위에 제1 드레인 전극(175a) 및 제1 보호막(180a)이 순차로 위치한다. 오믹 접촉층(165)의 두께인 제2 두께(d2)는 0Å 초과 150Å 이하일 수 있다.
- [0148] 반도체층(154)의 채널 영역에서 오믹 접촉층(165)이 식각되어 제거되어 있고, 반도체층(154) 또한 일부가 식각되어 있다. 이때 오믹 접촉층(165)은 습식 식각으로 수행되고, 반도체층(154)은 건식 식각으로 수행될 수 있다. 만약 오믹 접촉층(165)이 전술한 바와 같이 습식 식각에 의해 모두 제거되지 않고 남아 있다면, 잔류 오믹 접촉층(165)은 반도체층(154)과 함께 건식 식각에 의해 식각될 수도 있다.
- [0149] 제2 두께(d2)는 0Å 초과 150Å 이하이고, 식각되는 반도체층(154)의 두께인 제3 두께(d3)는 0Å 초과 50Å 이하이므로, 채널 형성을 위해 식각되는 오믹 접촉층의 두께(d2) 및 식각되는 반도체층(154)의 두께(d3)의 총합은 0Å 초과 200Å 이하이다. 이와 같이 식각되는 반도체층(154)의 두께를 50Å 이하로 최소화함으로써 채널에서의 반도체층(154)의 단차를 최소화하여, 채널 단차에 의한 누설 전류 및 화질 불량을 개선할 수 있다.
- [0150] 이하, 도 16 내지 도 18을 이용하여 일 실시예에 따른 액정 표시 장치의 개선된 표시 품질을 설명한다. 도 16은 반도체 패턴의 돌출부의 폭에 따른 워터폴(waterfall) 현상의 목시 수준을 도시한 그래프이고, 도 17은 일 실시예에 따른 액정 표시 장치에서 누설 전류의 감소를 나타내는 그래프이고, 도 18은 일 실시예에 따른 액정 표시 장치에서 색빠짐 전압(Vss)의 개선을 나타내는 그래프이다. 이하에서는 앞서 설명한 구성요소와 동일 유사한 구성에 대한 설명은 생략하고, 부가되는 부분이나 특징적인 부분만 발췌하여 설명한다.
- [0151] 도 16을 참고하면, 가로축은 반도체 패턴(T)의 돌출부(P)의 폭(w)(μm)이고, 세로축은 워터폴(waterfall) 현상의 목시 수준(수준)으로, 워터폴이 육안으로 시인되는 정도를 나타낸다. 일 예로 돌출부(P)의 폭(w)이 1.8 μm 일 때는 워터폴 현상의 목시 수준이 약 6 수준으로 시인되었으나, 그 폭(w)이 1.5 μm 로 감소할 경우 워터폴 현상의 목시 수준이 약 5.2 수준으로 감소된 것을 확인할 수 있다.
- [0152] 일 실시예에 따르면, 반도체 패턴(T)의 돌출부(P)의 폭(w)이 0 μm 초과 1.3 μm 이하이므로, 워터폴 현상의 목시 수준은 약 4.6 이하로 감소하게 된다. 즉, 반도체 패턴(T)의 돌출부(P)의 폭(w)을 감소시킴으로써 워터폴 불량을 2 수준 이상 만큼 감소시켜 표시 품질을 개선할 수 있다.
- [0153] 도 17을 참고하면, 가로축은 게이트 전극의 전압(V_g)이고, 세로 축은 드레인 전극 및 소스 전극 사이에 흐르는 드레인-소스 전류(I_{ds})를 나타낸다. 실시예들은 반도체층의 건식 식각 공정에서 염소(C1)가 제거된 식각 가스를 이용한 경우이며, 비교예들은 반도체층의 건식 식각 공정에서 염소(C1)가 포함된 식각 가스를 이용한 경우이다.
- [0154] 비교예 곡선군보다 실시예 곡선군이 더 음의 방향으로, 즉 더 아래로 이동되어 있다. 드레인-소스 전류(I_{ds}) 좌측에 점선으로 표시된 세로축의 값은 게이트 오프 전압(V_{off})으로 본 실시예에서는 일 예로 -7.5V이다. 게이트 오프 전압(V_{off})은 이에 한정되는 것은 아니며, 액정 표시 장치의 특성상 다른 값을 가질 수도 있다. 게이트 오프 전압(V_{off})은 턴 온(또는 턴 오프)된 박막 트랜지스터를 턴 오프(또는 턴 온)시키는 전압이라고 할 수 있다.
- [0155] 이하에서는 게이트 오프 전압(V_{off})에서 흐르는 전류를 누설 전류(I_{off1} , I_{off2})라 한다. 게이트 오프 전압(V_{off})이 -7.5V일 때, 비교예의 누설 전류(I_{off1}) 보다 실시예의 누설 전류(I_{off2})가 감소한 것을 확인할 수 있다. 즉, 반도체층(154)의 건식 식각 공정시 염소(C1)가 제거된 식각 가스를 사용함으로써 누설 전류를 감소시키고, 이에 따라 색빠짐 등의 불량을 방지하여 표시 품질을 향상시킬 수 있다.
- [0156] 도 18을 참고하면, 가로축은 액정 표시 장치의 구동 시간(hr)이고, 세로축은 색빠짐 불량이 발생하는 색빠짐 전압(V_{ss})이다. 위에서부터 차례로 실시예 1 내지 실시예 3 및 비교예 1 내지 비교예 3에 따른 색빠짐 전압(V_{ss})

곡선이 도시되어 있다. 이하에서는 설명의 편의상 도 17에서 설명한 게이트 오프 전압(V_{off})을 기준 전압(V_{off})으로 설명한다.

- [0157] 색빠짐 전압(V_{ss})이 기준 전압(V_{off})보다 작으면 색빠짐 불량이 발생하고, 기준 전압(V_{off})보다 크면 색빠짐 불량이 발생하지 않는다. 본 실시예에서는 기준 전압(V_{off})을 -7.5V로 설정하였고 도 18에 도시된 바와 같이 점선으로 표시되어 있다.
- [0158] 색빠짐 불량은 박막 트랜지스터의 특성이 시간에 따라 네가티브(negative) 측으로 이동되어 발생되고, 이에 따라 색빠짐 전압(V_{ss}) 곡선이 기준 전압(V_{off})에 가까워진다. 구동 시간이 지남에 따라 각 비교예 및 실시예들에 따른 색빠짐 전압(V_{ss}) 곡선은 더 이상 내려가지 않는 것을 확인할 수 있다. 이때, 색빠짐 전압(V_{ss}) 곡선의 포화되는 수치와 기준 전압간의 차이를 색빠짐 마진이라 한다. 색빠짐 전압(V_{ss}) 곡선이 기준 색빠짐 전압보다 위에 있을수록, 다시 말해 0에 가까울수록 색빠짐 마진이 크고, 색빠짐 불량으로부터의 안정성이 확보된다. 색빠짐 전압(V_{ss}) 곡선과 기준 전압 간의 차이가 클수록 색빠짐 마진 확보에 유리하여 색빠짐 불량을 방지할 수 있다.
- [0159] 실시예들의 색빠짐 전압(V_{ss}) 곡선이 비교예들의 색빠짐 전압(V_{ss}) 곡선보다 위에 위치하는 것을 확인할 수 있다.
- [0160] 먼저 비교예 4를 보면, 이미 색빠짐 전압(V_{ss})이 기준 전압(V_{off})보다 작은 음수의 값을 가져 색빠짐 불량이 발생한 경우이다. 비교예 1 내지 비교예 3의 곡선은 기준 전압(V_{off}) 보다는 위에 위치하나 기준 전압(V_{off})과 근접하게 위치하여 색빠짐 마진이 작다.
- [0161] 특히 비교예 3은 기준 전압(V_{off})이 -7.5V일 때, 색빠짐 마진이 0.5V 미만으로서, 구동 시간이 오래될 경우 색빠짐 불량이 시인될 가능성이 크다. 실시예 1 또한 색빠짐 마진이 약 1V로서 색빠짐 불량으로부터 안전하다고 보기 어렵다.
- [0162] 이와 대비하여, 실시예 1 내지 실시예 3의 경우 기준 전압(V_{off})으로부터 비교예 1 내지 비교예 3 보다 위에 위치하여 비교예들보다 색빠짐 마진이 더 확보된다.
- [0163] 특히 실시예 1의 경우, 색빠짐 전압(V_{ss})이 약 -2V 내외의 값을 가지는데, 기준 전압(V_{off})이 -7.5V일때, 약 5.5V의 색빠짐 마진이 확보된다. 실시예 2의 경우, 색빠짐 전압(V_{ss})이 약 -3.5 내지 -2V로, 약 4V의 색빠짐 마진이 확보된다. 실시예 3의 경우 색빠짐 전압(V_{ss})이 약 -5 내지 -3.5V로, 약 2.5V의 색빠짐 마진이 확보된다.
- [0164] 이와 같이 본 발명의 실시예들은 비교예들과 비교하였을 때, 최대 11배 이상의 색빠짐 마진을 확보할 수 있어, 색빠짐 불량으로부터의 안정성이 확보되고 표시 품질이 향상될 수 있다.
- [0165] 이상에서 본 발명의 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

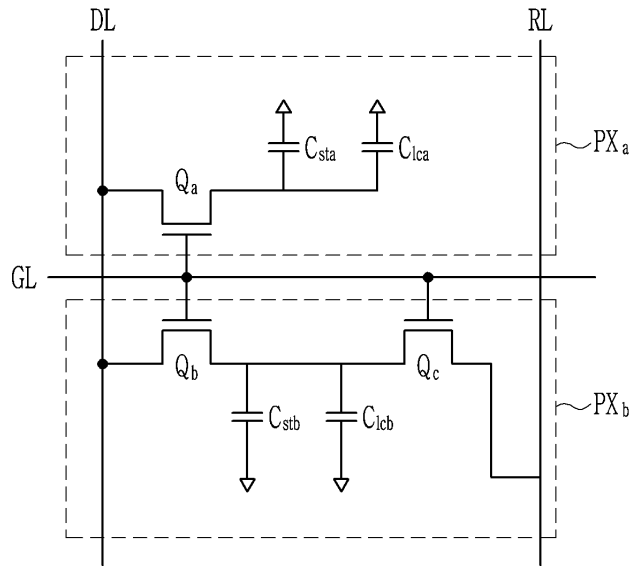
부호의 설명

- [0166] GL, 121: 게이트선 DL, 171: 데이터선
- RL, 172: 기준 전압선
- 131: 유지 전압선 131a, 131b: 유지 전극
- Clca, Clab: 액정 축전기 Csta, Cstb: 유지 축전기
- Qa, Qb, Qc: 스위칭 소자(박막 트랜지스터)
- 110, 210: 기관 124a, 124b, 124c: 게이트 전극
- 140: 게이트 절연막 151, 154: 반도체층
- 154a, 154b, 154c: 반도체 161, 165: 오믹 접촉층
- 173a, 173b, 173c: 소스 전극 175a, 175b, 175c: 드레인 전극
- 180a, 180b: 보호막 191a, 191b: 부화소 전극

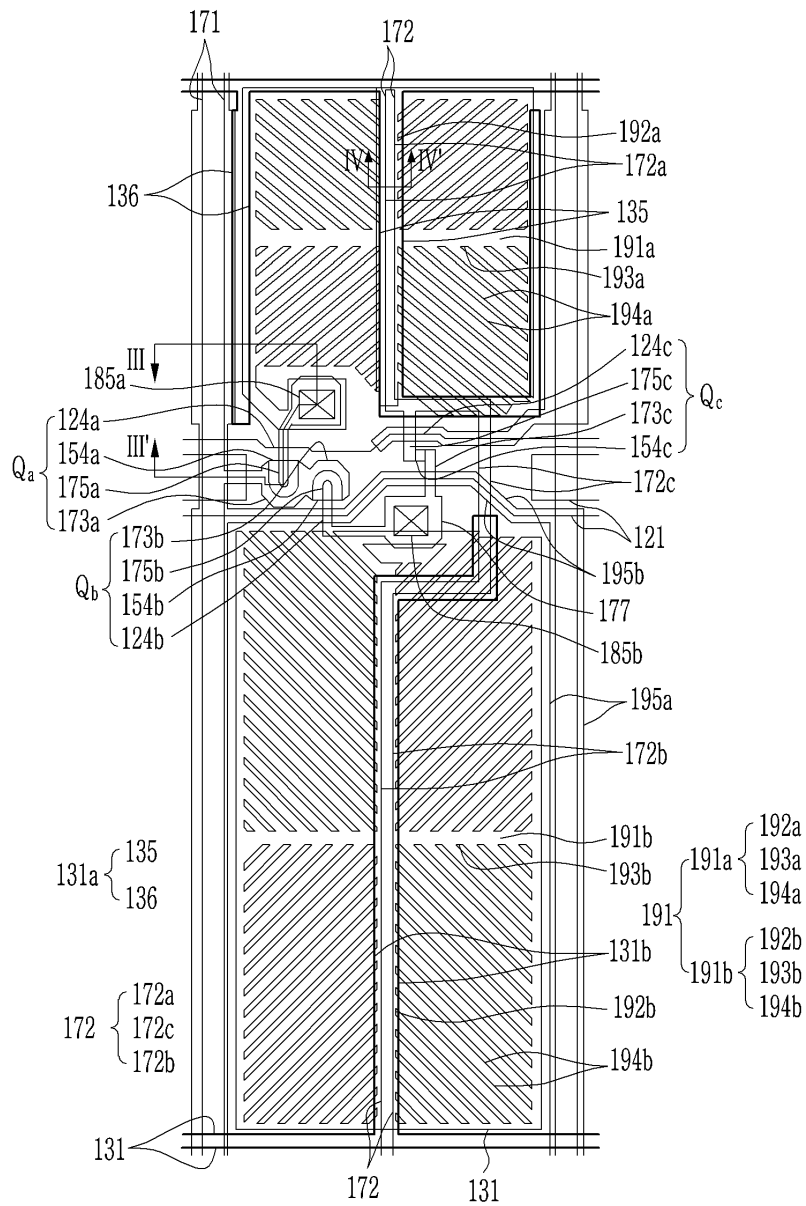
50a, 50b, 51a, 51b: 감광막 패턴

도면

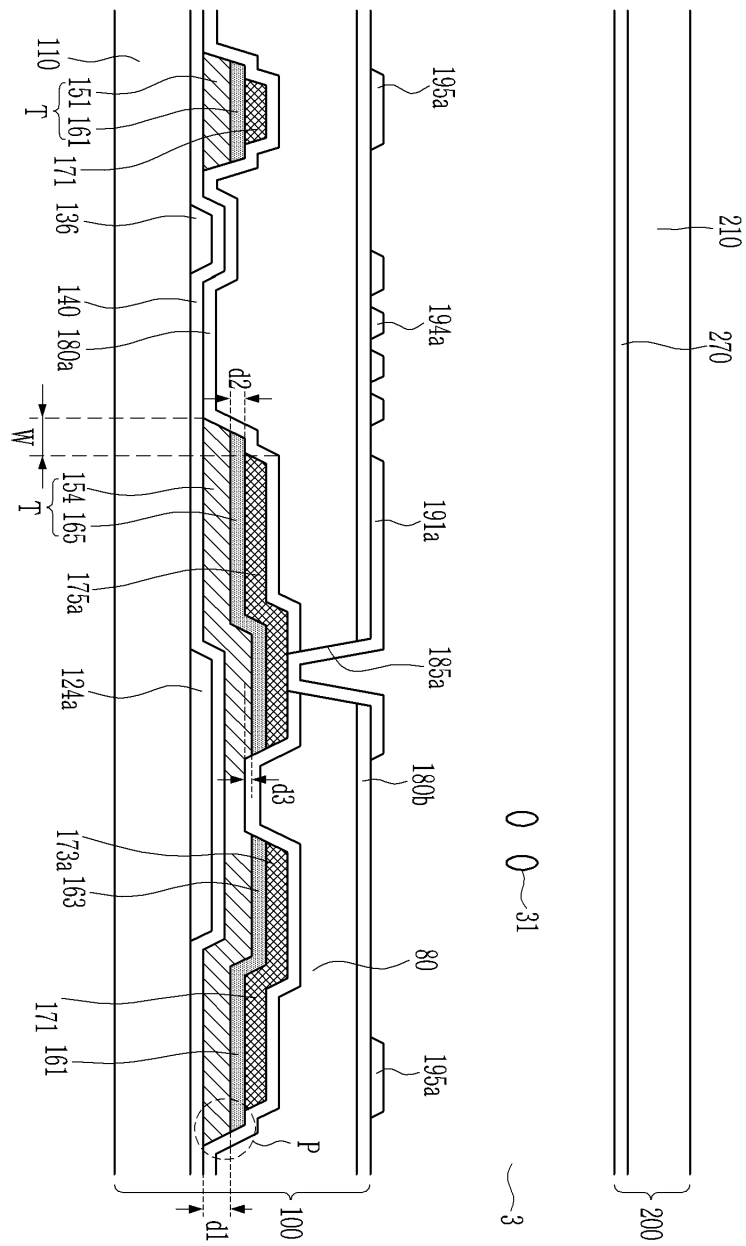
도면1



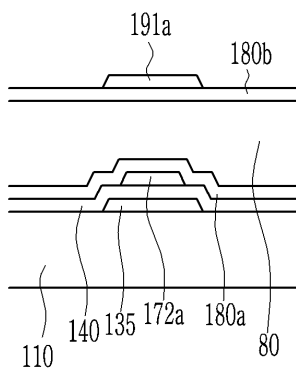
도면2



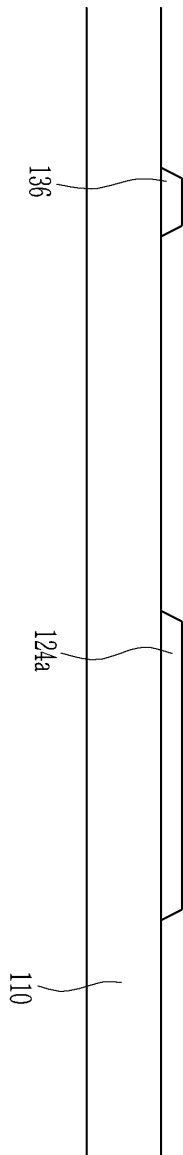
도면3



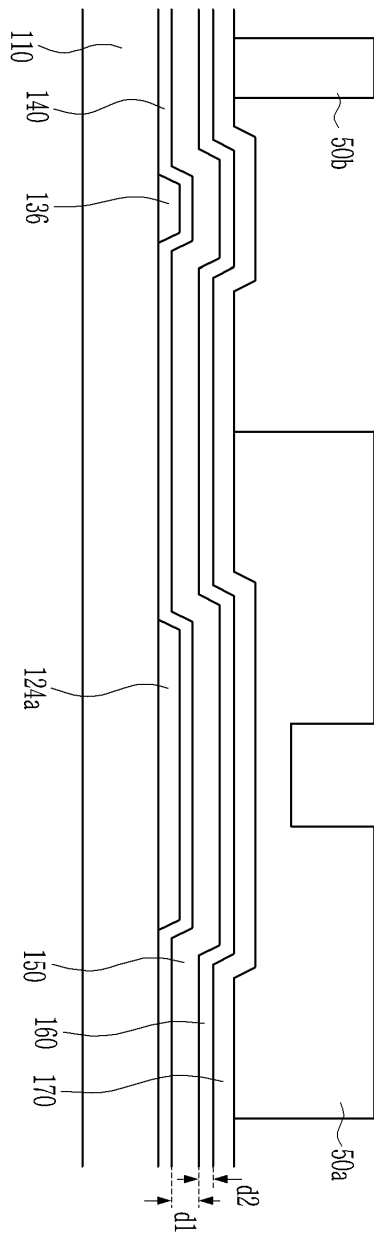
도면4



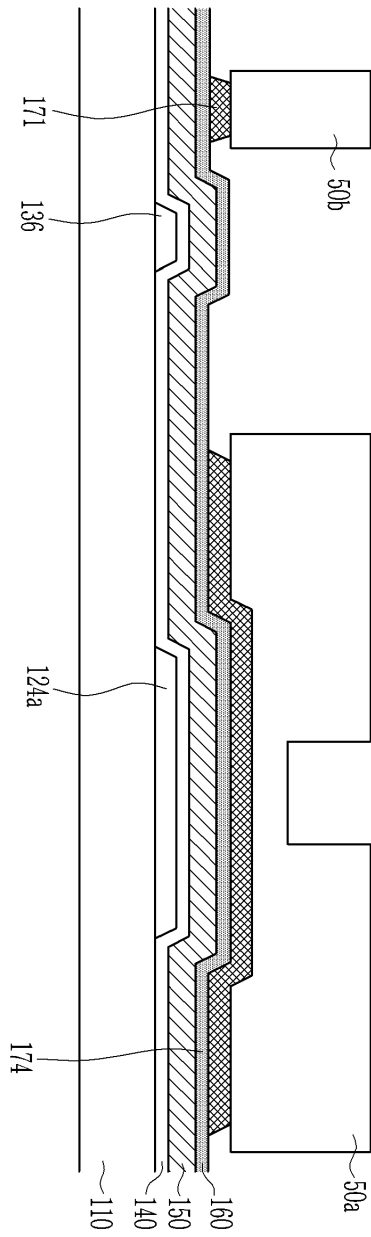
도면5



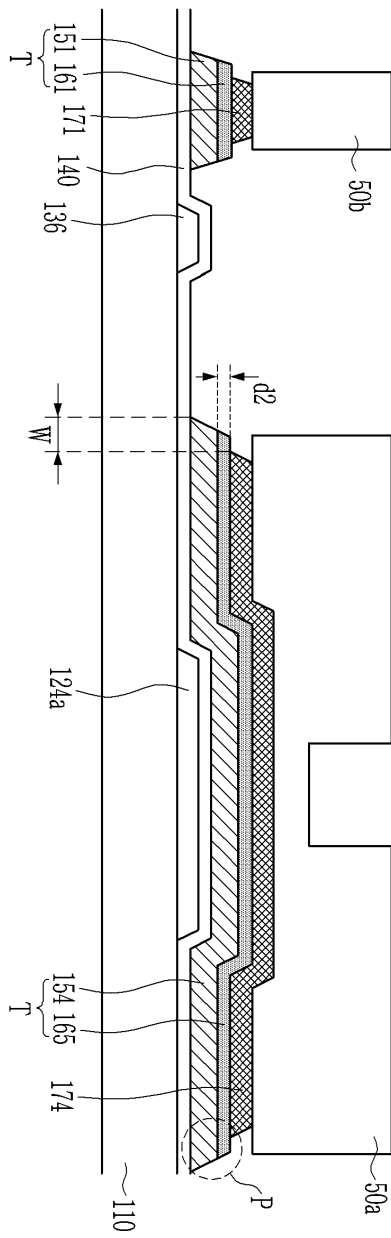
도면6



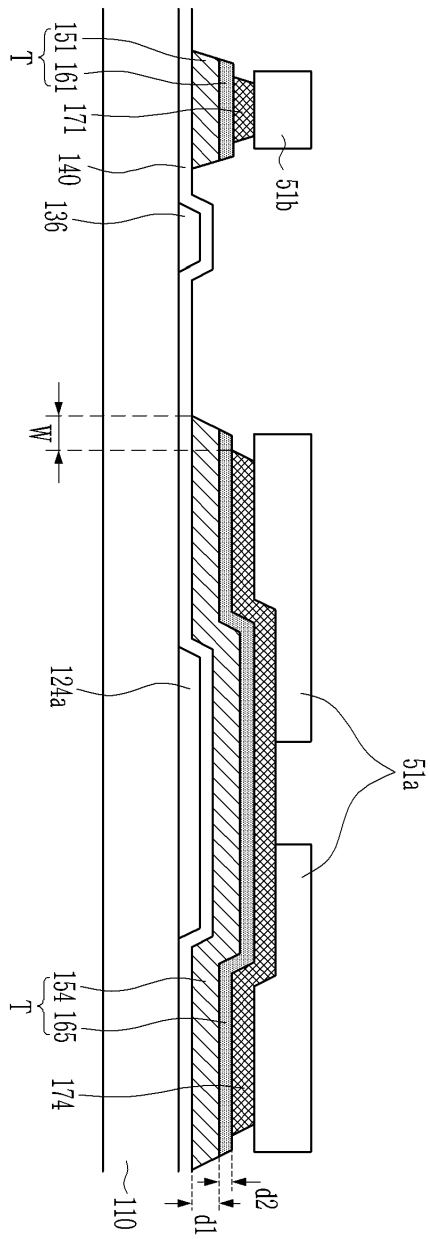
도면7



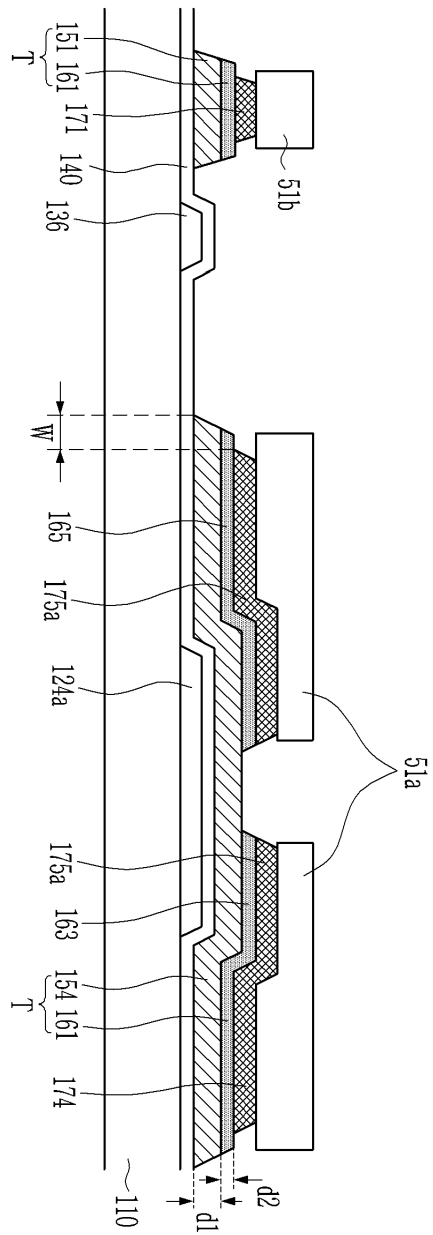
도면8



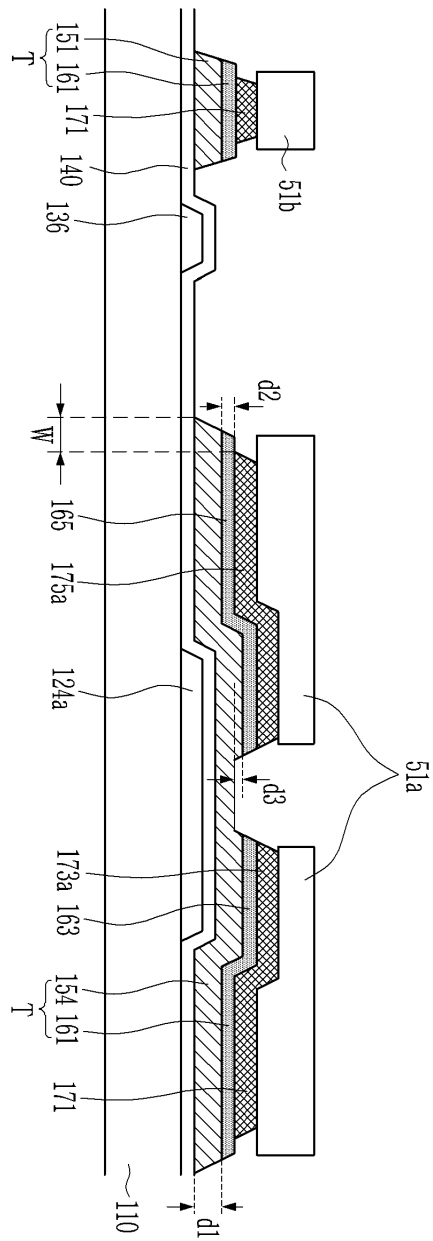
도면9



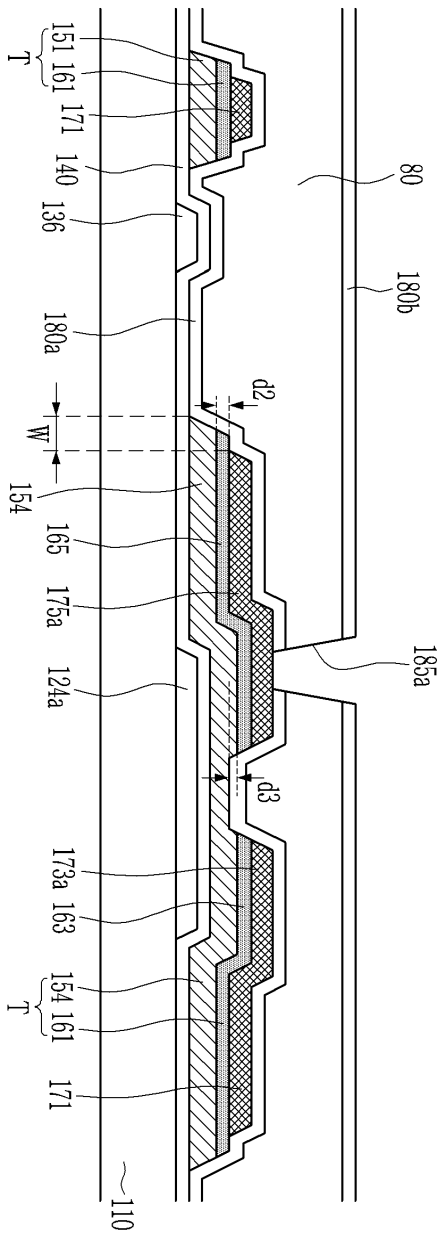
도면10



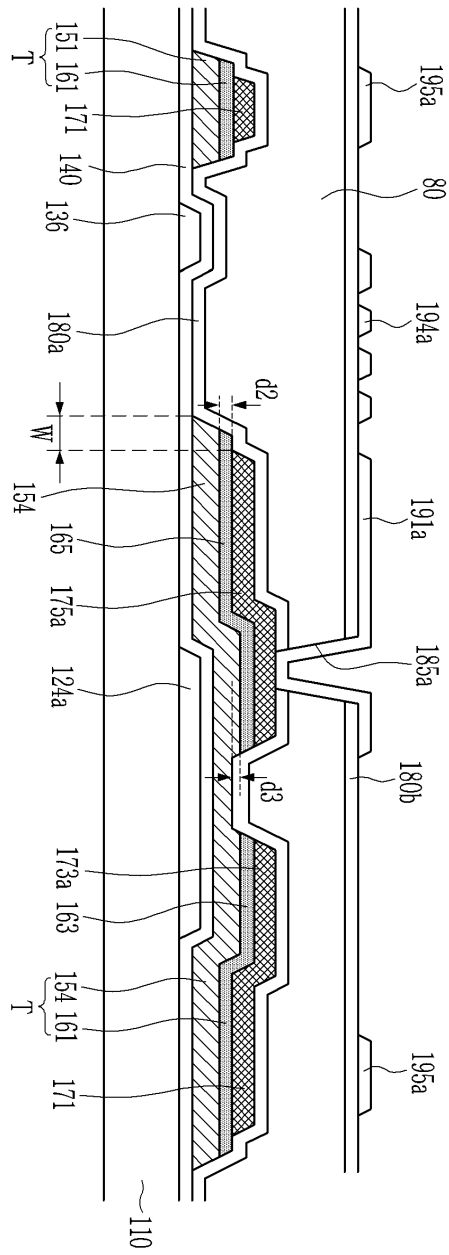
도면11



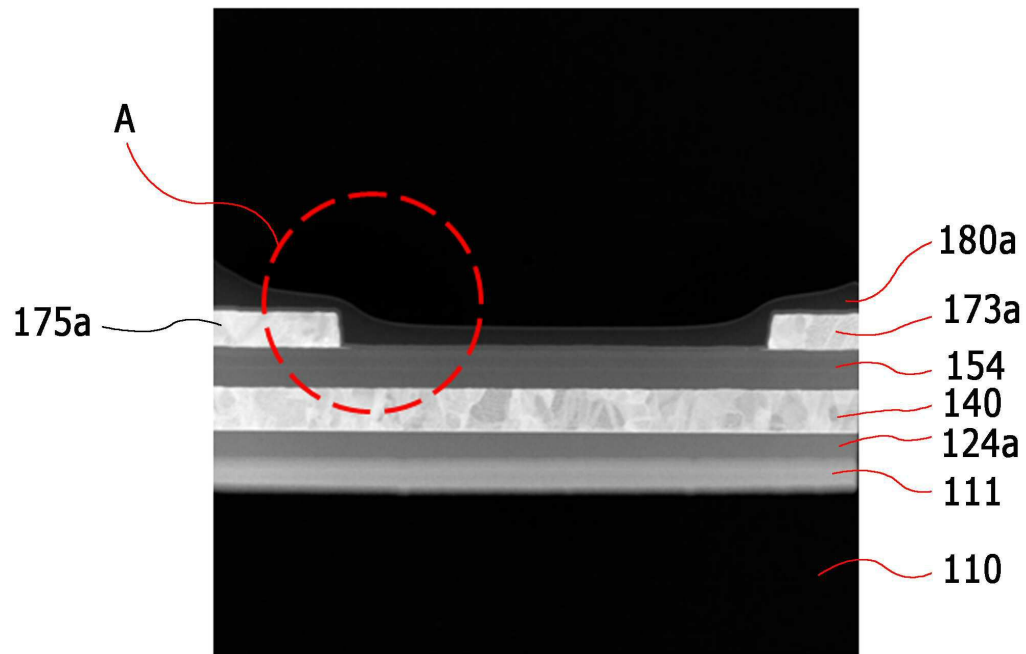
도면12



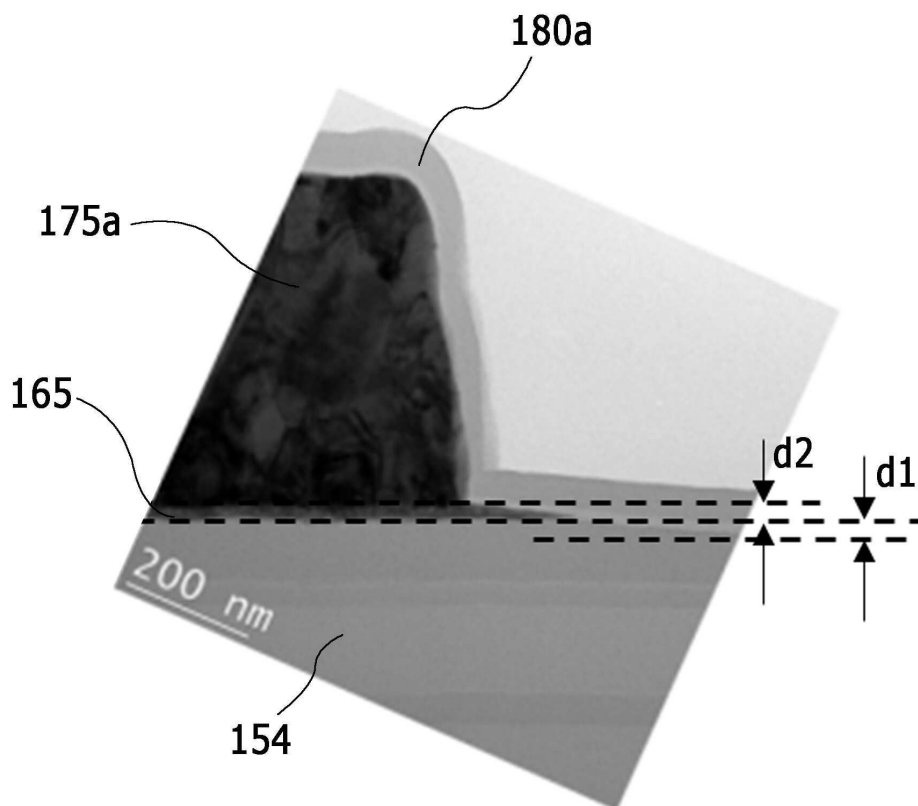
도면 13



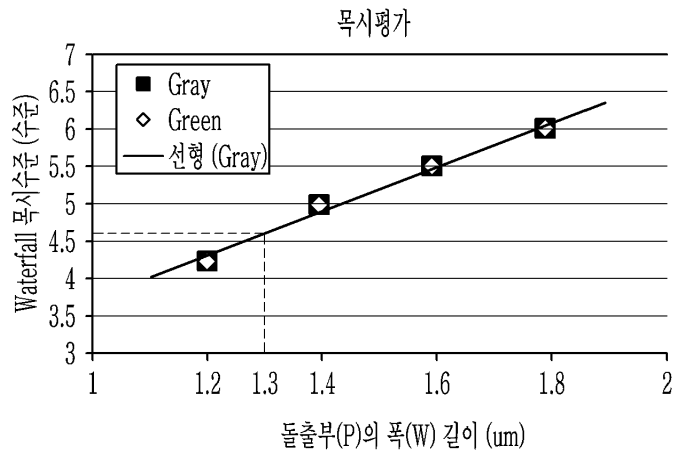
도면14



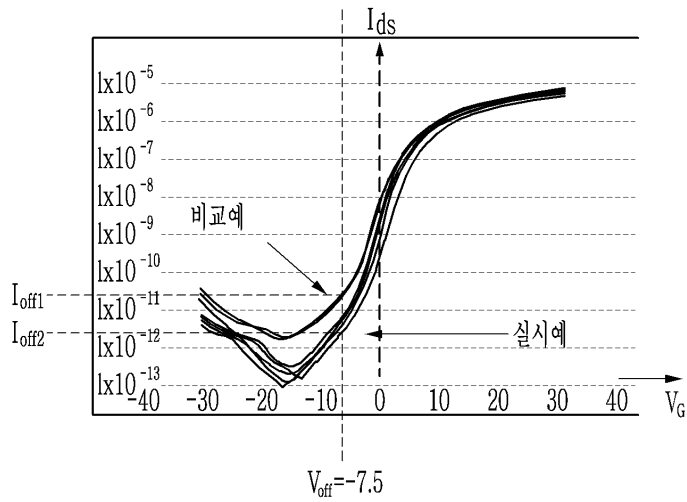
도면15



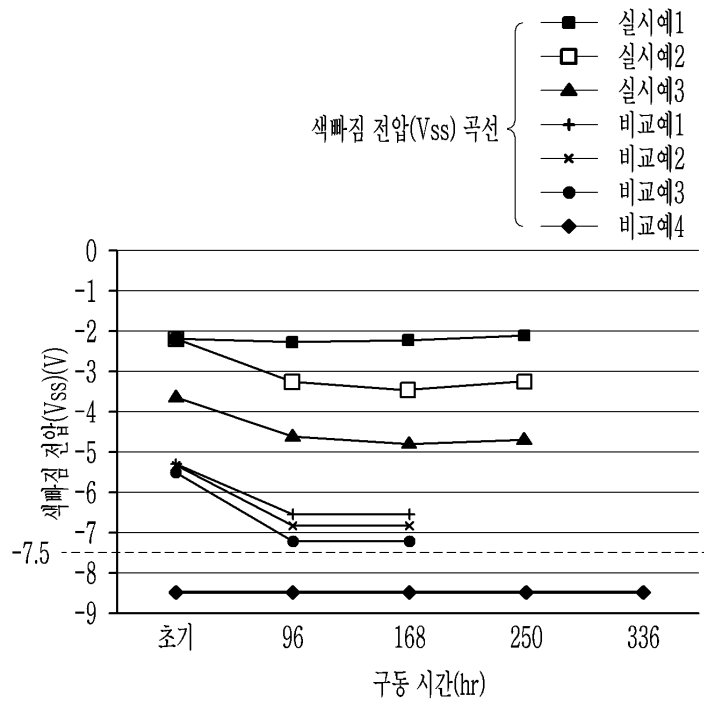
도면16



도면17



도면18



专利名称(译)	液晶显示器及其方法		
公开(公告)号	KR1020200051887A	公开(公告)日	2020-05-14
申请号	KR1020180134496	申请日	2018-11-05
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	홍기표 남궁완 이승규 강현승 안병재		
发明人	홍기표 남궁완 이승규 강현승 안병재		
IPC分类号	G02F1/1368 G02F1/1362 H01L27/12 H01L29/786		
CPC分类号	G02F1/1368 G02F1/136286 H01L27/1214 H01L29/786 H01L27/124 H01L27/1288 H01L29/66765 H01L29/78618 H01L29/78669 H01L29/78678 H01L29/78696 G02F1/0123 G02F1/13306 G02F1/1343		
外部链接	Espacenet		

摘要(译)

液晶显示器包括：栅极线，其连接至栅电极；以及 半导体层，其设置在栅极线上并包括硅；设置在半导体层上的欧姆接触层；数据导体设置在欧姆接触层上。半导体层包括源极区，漏极区和设置在源极区和漏极区之间的沟道区。数据导体包括传输数据信号的数据线，与源极区域相对应的源极和与漏极区域相对应的漏极。半导体层的沟道台阶是源极区或漏极区中的上表面与沟道区中的上表面之间的高度差。源极区或漏极区中的上表面具有半导体层的最大高度。

