

(52) CPC특허분류

G02F 1/136286 (2013.01)

G09G 2300/0426 (2013.01)

G09G 2300/0842 (2013.01)

G09G 2320/0247 (2013.01)

명세서

청구범위

청구항 1

제 1 기관 및 상기 제 1 기관과 대향하는 제 2 기관;
 상기 제 1 기관과 상기 제 2 기관 사이에 위치하는 액정층;
 상기 제 1 기관 상에 제 1 방향을 따라 연장된 게이트 라인;
 상기 제 1 기관 상에 상기 게이트 라인과 절연되어 배치되며, 상기 제 1 방향과 교차하는 제 2 방향을 따라 연장된 데이터 라인;
 상기 게이트 라인으로부터 돌출된 게이트 전극;
 상기 게이트 전극의 적어도 일부와 상기 제 1 방향으로 중첩되는 드레인 전극;
 상기 드레인 전극과 연결되는 화소 전극;
 상기 게이트 라인과 평행하게 배치되는 보상 라인;
 상기 보상 라인으로부터 상기 게이트 라인을 향해 돌출된 보상 전극; 및
 상기 보상 전극과 중첩하는 연장 전극;을 포함하고,
 상기 연장 전극은 상기 제 1 방향으로 상기 보상 전극과 중첩하는 액정 표시 장치.

청구항 2

제 1 항에 있어서, 상기 드레인 전극과 상기 게이트 전극의 중첩되는 길이는 상기 연장 전극과 상기 보상 전극의 중첩되는 길이와 상기 제 1 방향을 기준으로 실질적으로 동일한 액정 표시 장치.

청구항 3

제 2 항에 있어서, 상기 게이트 전극 및 상기 드레인 전극이 중첩되는 영역과 상기 드레인 전극 및 상기 보상 전극이 중첩되는 영역은 면적이 실질적으로 동일한 액정 표시 장치.

청구항 4

제 1 항에 있어서, 상기 게이트 전극과 상기 드레인 전극이 중첩되어 형성되는 기생 커패시터를 더 포함하는 액정 표시 장치.

청구항 5

제 4 항에 있어서, 상기 보상 라인은 보상 전압을 인가받는 액정 표시 장치.

청구항 6

제 5 항에 있어서, 상기 연장 전극과 상기 보상 전극이 중첩되어 형성되는 보상 커패시터를 더 포함하는 액정 표시 장치.

청구항 7

제 6 항에 있어서, 상기 기생 커패시터의 정전 용량에 대한 상기 보상 커패시터의 정전용량의 비는 상기 게이트 전압의 진폭에 대한 상기 보상 전압의 진폭의 비에 비례하는 액정 표시 장치.

청구항 8

제 7 항에 있어서, 상기 보상 커패시터의 용량은 상기 기생 커패시터의 용량과 실질적으로 동일한 액정 표시 장치.

청구항 9

제 8 항에 있어서, 상기 보상 전압은 상기 게이트 전압의 진폭과 실질적으로 동일한 진폭을 갖는 액정 표시 장치.

청구항 10

제 1 항에 있어서, 상기 연장 전극은 상기 드레인 전극과 동일한 물질로 이루어진 액정 표시 장치.

청구항 11

제 1 항에 있어서, 상기 보상 라인 및 상기 보상 전극은 상기 게이트 배선과 동일한 물질로 이루어진 액정 표시 장치.

청구항 12

제 1 항에 있어서, 상기 보상 라인 및 상기 보상 전극은 상기 게이트 라인 및 게이트 전극과 이격된 액정 표시 장치.

청구항 13

제 1 항에 있어서, 상기 연장 전극은 드레인 전극으로부터 연장된 제 1 연장 전극, 상기 보상 전극과 중첩하는 제 2 연장 전극 및 상기 제 1 연장 전극과 상기 제 2 연장 전극을 연결하는 제 3 연장 전극을 포함하는 액정 표시 장치.

청구항 14

제 1 항에 있어서, 상기 보상 배선은 상기 보상 라인으로부터 상기 제 2 방향으로 연장되고, 상기 데이터 라인의 적어도 일부와 중첩하는 가지 전극을 더 포함하는 액정 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정 표시 장치에 관한 것으로, 더욱 상세하게는 킥백(kickback) 전압을 보상하여 표시 품질을 향상시킬 수 있는 액정 표시 장치에 대한 것이다.

배경 기술

[0002] 액정 표시 장치(liquid crystal display, LCD)는 현재 가장 널리 사용되고 있는 평판 표시 장치(flat panel display, FPD) 중 하나로서 전극이 형성되어 있는 두 장의 기판과 그 사이에 삽입되어 있는 액정층으로 이루어진다. 액정 표시 장치는 두 전극에 전압을 인가하여 액정층의 액정 분자들을 재배열시킴으로써 투과되는 빛의 양을 조절하는 표시 장치이다.

[0003] 액정 표시 장치는 복수의 화소로 이루어져 있으며, 이 화소는 스위치 역할을 하는 박막 트랜지스터와 커패시터로 구성된다. 커패시터는 액정이 갖는 커패시턴스 성분인 액정 커패시터, 액정 커패시터의 전하 저장 능력을 보충하는 축적 커패시터, 게이트 라인과 화소 전극 사이에서 이루어진 기생 커패시터를 포함한다.

[0004] 게이트 라인에 인가되는 신호가 온(on)되면, 화소 내의 박막 트랜지스터가 턴온되어 데이터 라인을 통해 화상 신호가 화소에 인가된다. 화소 내의 액정 커패시터와 축적 커패시터가 인가된 화상 신호에 의해 충전되며, 이에 따라, 화소 전압이 변하게 된다.

[0005] 게이트 라인에 인가되는 신호가 오프(off)되면, 화소 내의 박막 트랜지스터가 턴오프되어 화소 전압은 플로트(float) 상태가 되고, 기생 커패시터에 의해 화소 전압은 킥백 전압만큼 떨어진다. 이에 따라, 액정 표시 장치의 표시 품질이 저하될 수 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 키크백 전압을 보상하여 표시 품질을 향상시킬 수 있는 액정 표시 장치를 제공하는데 그 목적이 있다.

과제의 해결 수단

[0007] 본 발명의 일 실시예에 따른 액정 표시 장치는, 제 1 기판 및 제 1 기판과 대향하는 제 2 기판; 제 1 기판과 제 2 기판 사이에 위치하는 액정층; 제 1 기판 상에 제 1 방향을 따라 연장된 게이트 라인; 제 1 기판 상에 게이트 라인과 절연되어 배치되며, 제 1 방향과 교차하는 제 2 방향을 따라 연장된 데이터 라인; 게이트 라인으로부터 돌출된 게이트 전극; 게이트 전극의 적어도 일부와 제 1 방향으로 중첩되는 드레인 전극; 드레인 전극과 연결되는 화소 전극; 게이트 라인과 평행하게 배치되는 보상 라인; 보상 라인으로부터 게이트 라인을 향해 돌출된 보상 전극; 및 보상 전극과 중첩하는 연장 전극;을 포함하고, 연장 전극은 제 1 방향으로 보상 전극과 중첩한다.

[0008] 드레인 전극과 게이트 전극의 중첩되는 길이는 연장 전극과 보상 전극의 중첩되는 길이와 제 1 방향을 기준으로 실질적으로 동일할 수 있다.

[0009] 게이트 전극 및 드레인 전극이 중첩되는 영역과 드레인 전극 및 보상 전극이 중첩되는 영역은 면적이 실질적으로 동일할 수 있다.

[0010] 게이트 전극과 드레인 전극이 중첩되어 형성되는 기생 커패시터를 더 포함할 수 있다.

[0011] 보상 라인은 보상 전압을 인가받을 수 있다.

[0012] 연장 전극과 보상 전극이 중첩되어 형성되는 보상 커패시터를 더 포함할 수 있다.

[0013] 기생 커패시터의 정전 용량에 대한 보상 커패시터의 정전용량의 비는 게이트 전압의 진폭에 대한 보상 전압의 진폭의 비에 비례할 수 있다.

[0014] 보상 커패시터의 용량은 기생 커패시터의 용량과 실질적으로 동일할 수 있다.

[0015] 보상 전압은 게이트 전압의 진폭과 실질적으로 동일한 진폭을 가질 수 있다.

[0016] 연장 전극은 드레인 전극과 동일한 물질로 이루어질 수 있다.

[0017] 보상 라인 및 보상 전극은 게이트 배선과 동일한 물질로 이루어질 수 있다.

[0018] 보상 라인 및 보상 전극은 상기 게이트 라인 및 게이트 전극과 이격될 수 있다.

[0019] 연장 전극은 드레인 전극으로부터 연장된 제 1 연장 전극, 보상 전극과 중첩하는 제 2 연장 전극 및 제 1 연장 전극과 제 2 연장 전극을 연결하는 제 3 연장 전극을 포함할 수 있다.

[0020] 보상 배선은 보상 라인으로부터 제 2 방향으로 연장되고, 데이터 라인의 적어도 일부와 중첩하는 가지 전극을 더 포함할 수 있다.

발명의 효과

[0021] 본 발명에 따른 액정 표시 장치는 마스크 오정렬에 의해 드레인 전극이 좌측 또는 우측으로 쉬프트되더라도 키크백 전압을 보상하여 표시 품질을 향상시킬 수 있다.

도면의 간단한 설명

[0022] 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 평면도이다.

도 2는 도 1의 다른 일 실시예에 따른 액정 표시 장치의 평면도이다.

도 3은 도 1의 I-I' 선을 따라 자른 단면도이다.

도 4a는 도 1의 차광 영역을 확대한 확대도이다.

도 4b는 도 4a에서의 드레인 전극 및 연장 전극이 마스크 오정렬에 의해 좌측으로 쉬프트되었을 때의 결과를 나타낸 도면이다.

도 4c는 도 4a에서의 드레인 전극 및 연장 전극이 마스크 오정렬에 의해 우측으로 쉬프트되었을 때의 결과를 나타낸 도면이다.

도 5는 본 발명의 일 실시예에 따른 화소의 등가회로를 나타낸 도면이다.

도 6은 본 발명의 일 실시예에 따른 게이트 신호, 데이터 전압, 킥백 전압, 화소 전압 및 보상 신호를 설명하기 위한 도면이다.

도 7은 도 1의 차광 영역을 확대한 본 발명의 또 다른 일 실시예에 따른 확대도이다.

도 8은 본 발명의 또 다른 실시예에 따른 게이트 신호, 데이터 전압, 킥백 전압, 화소 전압 및 보상 신호를 설명하기 위한 본 발명의 또 다른 일 실시예에 따른 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0023] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 따라서, 몇몇 실시예에서, 잘 알려진 공정 단계들, 잘 알려진 소자 구조 및 잘 알려진 기술들은 본 발명이 모호하게 해석되는 것을 피하기 위하여 구체적으로 설명되지 않는다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0024] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다. 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "아래에" 있다고 할 때, 이는 다른 부분 "바로 아래에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 아래에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- [0025] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 "아래(below)" 또는 "아래(beneath)"로 기술된 소자는 다른 소자의 "위(above)"에 놓여질 수 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함할 수 있다. 소자는 다른 방향으로도 배향될 수 있고, 이에 따라 공간적으로 상대적인 용어들은 배향에 따라 해석될 수 있다.
- [0026] 본 명세서에서 어떤 부분이 다른 부분과 연결되어 있다고 할 때, 이는 직접적으로 연결되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 전기적으로 연결되어 있는 경우도 포함한다. 또한, 어떤 부분이 어떤 구성요소를 포함한다고 할 때, 이는 특별히 그에 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0027] 본 명세서에서 제 1, 제 2, 제 3 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 이러한 구성 요소들은 상기 용어들에 의해 한정되는 것은 아니다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소들로부터 구별하는 목적으로 사용된다. 예를 들어, 본 발명의 권리 범위로부터 벗어나지 않고, 제 1 구성 요소가 제 2 또는 제 3 구성 요소 등으로 명명될 수 있으며, 유사하게 제 2 또는 제 3 구성 요소도 교호적으로 명명될 수 있다.
- [0028] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않은 한 이상적으로 또는 과도하게 해석되지 않는다.
- [0029] 이하, 도 1 내지 도 8을 참조로 본 발명에 따른 표시 장치를 상세히 설명하면 다음과 같다.
- [0030] 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 평면도이고, 도 2는 본 발명의 또 다른 일 실시예에 따른 액정 표시 장치의 평면도이다. 도 3은 도 1의 I-I'선을 따라 자른 단면도이다.
- [0031] 도 1은 액정 표시 장치에 구비된 어느 하나의 화소와 그 화소의 주변에 인접하여 배치된 게이트 라인(GL1, GL2)

및 데이터 라인(DL1, DL2)을 도시하고 있다.

- [0032] 본 발명의 일 실시예에 따른 액정 표시 장치는, 도 1 내지 도 3에 도시된 바와 같이, 제 1 기관(101), 보상 배선(131), 박막 트랜지스터(TFT), 게이트 절연막(111), 층간 절연막(113), 연장 전극(170), 화소 전극(PE), 제 2 기관(201), 차광층(211), 오버 코트층(215), 공통 전극(CE) 및 액정층(300)을 포함한다.
- [0033] 화소의 박막 트랜지스터(TFT) 및 화소 전극(PE)은 그 화소의 화소 영역에 위치한다. 화소 영역은 서로 인접한 제 1 게이트 라인(GL1), 제 2 게이트 라인(GL2), 제 1 데이터 라인(DL1) 및 제 2 데이터 라인(DL2)에 의해 정의된 영역이다. 다시 말하여, 제 1 게이트 라인(GL1), 제 2 게이트 라인(GL2), 제 1 데이터 라인(DL1) 및 제 2 데이터 라인(DL2)에 의해 둘러싸여 정의된 영역이 전술된 화소 영역이다.
- [0034] 화소 영역은 출광 영역(PA1) 및 차광 영역(PA2)을 포함한다. 차광 영역(PA2)은 차광층(376)에 의해 가려진다. 전술된 박막 트랜지스터(TFT)는 차광 영역(PA2)에 위치하며, 화소 전극(PE)은 출광 영역(PA1)에 위치한다.
- [0035] 박막 트랜지스터(TFT)는 게이트 전극(GE), 반도체층(SM), 소스 전극(SE) 및 드레인 전극(DE)을 포함한다. 게이트 전극(GE)은 제 1 게이트 라인(GL1)에 연결되며, 소스 전극(SE)은 제 1 데이터 라인(DL1)에 연결되며, 드레인 전극(DE)은 화소 전극(PE)에 연결된다.
- [0036] 게이트 전극(GE), 제 1 게이트 라인(GL1), 제 2 게이트 라인(GL2) 및 보상 배선(131)은 제 1 기관(101) 상에 위치한다.
- [0037] 게이트 전극(GE)은 제 1 게이트 라인(GL1)으로부터 제 2 게이트 라인(GL2)을 향해 돌출된 형상을 가질 수 있다. 게이트 전극(GE)은 제 1 게이트 라인(GL1)과 제 2 게이트 라인(GL2) 사이에 위치한다. 게이트 전극(GE)은 제 1 게이트 라인(GL1)과 일체로 이루어질 수 있다.
- [0038] 게이트 전극(GE)은 알루미늄(Al)이나 알루미늄 합금과 같은 알루미늄 계열의 금속, 또는 은(Ag)이나 은 합금과 같은 은 계열의 금속, 또는 구리(Cu)나 구리 합금과 같은 구리 계열의 금속, 또는 몰리브덴(Mo)이나 몰리브덴 합금과 같은 몰리브덴 계열의 금속으로 만들어질 수 있다. 또는, 이 게이트 전극(GE)은, 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 중 어느 하나로 만들어질 수 있다. 한편, 게이트 전극(GE)은 물리적 성질이 다른 적어도 두 개의 도전막을 포함하는 다중막 구조를 가질 수도 있다.
- [0039] 게이트 라인(GL1, GL2)은 제 1 기관(101) 상에 제 1 방향(D1)을 따라 연장된다. 도시되지 않았지만, 게이트 라인(GL1, GL2)의 끝 부분은 다른 층 또는 외부 구동회로와 접속될 수 있다. 게이트 라인(GL1, GL2)의 끝 부분은 이 게이트 라인(GL1, GL2)의 다른 부분보다 더 큰 면적을 가질 수 있다. 게이트 라인(GL1, GL2)은 게이트 전극(GE)과 동일한 물질 및 구조(다중막 구조)를 가질 수 있다. 게이트 라인(GL1, GL2) 및 게이트 전극(GE)은 동일한 공정으로 동시에 만들어질 수 있다.
- [0040] 본 발명의 일 실시예에 따르면, 보상 배선(131)은 전술한 차광 영역(PA2)에 위치한다. 보상 배선(131)은 보상 라인(133) 및 보상 전극(135)을 포함한다. 보상 라인(133)은 게이트 라인(GL1, GL2)과 평행하게 위치한다. 보상 전극(135)은 보상 라인(133)으로부터 제 1 게이트 라인(GL)을 향해 돌출된 형상을 가진다.
- [0041] 본 발명의 다른 일 실시예에 따르면, 도 2에 도시된 바와 같이, 보상 배선(131)은 가지 전극(137)을 더 포함할 수 있다. 가지 전극(137)은 보상 라인(133)으로부터 제 2 방향(D2)으로 연장된다. 가지 전극(137)은 화소 전극(PE) 또는 데이터 라인(DL1, DL2)과 일부 중첩할 수 있다. 이에 따라, 가지 전극(137)과 화소 전극(PE) 사이에 축적 커패시터(Cst)가 형성될 수 있다.
- [0042] 도시되지 않았지만, 보상 배선(131)의 끝 부분은 다른 층 또는 외부 구동회로와 접속될 수 있다. 보상 배선(131)의 끝 부분은 이 보상 배선(131)의 다른 부분보다 더 큰 면적을 가질 수 있다. 보상 배선(131)은 게이트 전극(GE)과 동일한 물질 및 구조(다중막 구조)를 가질 수 있다. 보상 배선(131) 및 게이트 전극(GE)은 동일한 공정으로 동시에 만들어질 수 있다.
- [0043] 게이트 절연막(111)은, 도 3에 도시된 바와 같이, 제 1 기관(101), 게이트 전극(GE), 제 1 게이트 라인(GL1), 제 2 게이트 라인(GL2) 및 보상 배선(131) 상에 위치한다. 이때, 게이트 절연막(111)은 게이트 전극(GE), 제 1 게이트 라인(GL1), 제 2 게이트 라인(GL2) 및 보상 배선(131)을 포함한 제 1 기관(101)의 전면(全面)에 위치할 수 있다.
- [0044] 게이트 절연막(111)은 질화 규소(SiNx) 또는 산화 규소(SiOx) 등으로 만들어질 수 있다. 게이트 절연막(111)은 물리적 성질이 다른 적어도 두 개의 절연층들을 포함하는 다중막 구조를 가질 수 있다.

- [0045] 반도체층(SM)은, 도 3에 도시된 바와 같이, 게이트 절연막(111) 상에 위치한다. 반도체층(SM)은 게이트 전극(GE)의 적어도 일부와 중첩한다.
- [0046] 반도체층(SM)은 비정질 규소 또는 다결정 규소 등으로 만들어질 수 있다. 또한, 반도체층(SM)은 다결정 규소 및 IGZO(Indium-Galium-Zinc Oxide), IZTO(Indium Zinc Tin Oxide)와 같은 산화물 반도체 중 어느 하나로 만들어질 수 있다.
- [0047] 소스 전극(SE)은 게이트 절연막(111) 및 반도체층(SM) 상에 위치한다. 소스 전극(SE)은 반도체층(SM) 및 게이트 전극(GE)과 중첩한다. 소스 전극(SE)은 제 1 데이터 라인(DL1)으로부터 게이트 전극(GE)을 향해 돌출된 형상을 가질 수 있다. 소스 전극(SE)은 제 1 데이터 라인(DL1)과 일체로 이루어질 수 있다. 도시되지 않았지만, 소스 전극(SE)은 제 1 데이터 라인(DL1)의 일부일 수도 있다.
- [0048] 소스 전극(SE)은 I자, C자 및 U자 중 어느 하나의 형태를 가질 수 있다. 도 1에는 C자 형상을 갖는 소스 전극(SE)이 도시되어 있는 바, 소스 전극(SE)의 볼록한 면은 제 1 데이터 라인(DL1)을 향하고 있다.
- [0049] 소스 전극(SE)은 몰리브덴, 크롬, 탄탈륨 및 티타늄 등 내화성 금속(refractory metal) 또는 이들의 합금으로 만들어질 수 있다. 소스 전극(SE)은 내화성 금속막과 저저항 도전막을 포함하는 다중막 구조를 가질 수 있다. 다중막 구조의 예로는 크롬 또는 몰리브덴(또는 몰리브덴 합금) 하부막과 알루미늄(또는 알루미늄 합금) 상부막의 이중막, 몰리브덴(또는 몰리브덴 합금) 하부막과 알루미늄(또는 알루미늄 합금) 중간막과 몰리브덴(또는 몰리브덴 합금) 상부막의 삼중막을 들 수 있다. 한편, 소스 전극(SE)은 이외에도 여러 가지 다양한 금속 또는 도전체로 만들어질 수 있다.
- [0050] 도 1에 도시된 바와 같이, 데이터 라인(DL1, DL2)은 게이트 절연막(111) 상에 제 2 방향(D2)을 따라 연장된다. 도시되지 않았지만, 데이터 라인(DL1, DL2)의 끝 부분은 다른 층 또는 외부 구동회로와 접속될 수 있다. 데이터 라인(DL1, DL2)의 끝 부분은 이 데이터 라인(DL1, DL2)의 다른 부분보다 더 큰 면적을 가질 수 있다. 데이터 라인(DL1, DL2)은 소스 전극(SE)과 동일한 물질 및 구조(다중막 구조)를 가질 수 있다. 제 1 데이터 라인(DL1) 및 소스 전극(SE)은 동일한 공정으로 동시에 만들어질 수 있다.
- [0051] 데이터 라인(DL1, DL2)은 제 2 방향(D2)을 따라 위치하여, 제 1 방향(D1)을 따라 위치하는 게이트 라인(GL1, GL2)과 교차한다. 도시되지 않았지만, 데이터 라인(DL1, DL2)과 게이트 라인(GL1, GL2)이 교차하는 곳에서 데이터 라인(DL1, DL2)은 이의 다른 부분보다 더 작은 선폭을 가질 수 있으며, 그 교차 부분에서 게이트 라인(GL1, GL2)은 이의 다른 부분보다 더 작은 선폭을 가질 수 있다. 이에 따라, 각 데이터 라인(DL1, DL2)과 각 게이트 라인(GL1, GL2) 간의 기생 커패시턴스의 크기가 줄어들 수 있다.
- [0052] 드레인 전극(DE)은 소스 전극(SE)으로부터 소정 간격 이격되어 게이트 절연막(111) 및 반도체층(SM) 상에 위치한다. 드레인 전극(DE)은 반도체층(SM) 및 게이트 전극(GE)과 중첩한다. 드레인 전극(DE)과 소스 전극(SE) 사이에 박막 트랜지스터(TFT)의 채널 영역이 위치한다.
- [0053] 본 발명의 일 실시예에 따르면, 도 1에 도시된 바와 같이, 드레인 전극(DE)은 게이트 전극(GE)의 적어도 일부와 제 1 방향(D1)으로 중첩된다. 구체적으로, 제 1 방향(D1)은 제 2 데이터 라인(DL2)에서 제 1 데이터 라인(DL1)을 향하는 방향이다. 특히, 제 1 방향(D1)은 게이트 전극(GE)의 우측단에서 게이트 전극(GE)의 내부를 향하는 방향이다. 다시 말해서, 드레인 전극(DE)은 제 2 데이터 라인(DL2)에서 제 1 데이터 라인(DL1)을 향하는 방향으로 게이트 전극(GE)의 적어도 일부와 중첩된다.
- [0054] 드레인 전극(DE)은 화소 전극(PE)에 연결된다. 드레인 전극(DE)은 연결 전극(151)을 통해 화소 전극(PE)에 연결될 수 있다. 드레인 전극(DE)은 연결 전극(151)과 중첩된다. 이때, 드레인 전극(DE)과 연결 전극(151)은 콘택홀(CH)을 통해 전기적으로 연결된다.
- [0055] 드레인 전극(DE)은 전술된 소스 전극(SE)과 동일한 물질 및 구조(다중막 구조)를 가질 수 있다. 드레인 전극(DE)과 소스 전극(SE)은 동일한 공정으로 동시에 만들어질 수 있다.
- [0056] 연장 전극(170)은 게이트 절연막(111) 상에 위치한다. 연장 전극(170)은 도 1에 도시된 바와 같이, 제 1 방향(D1)으로 보상 전극(135)과 중첩한다. 구체적으로, 제 1 방향(D1)은 제 2 데이터 라인(DL2)에서 제 1 데이터 라인(DL1)을 향하는 방향이다. 특히, 제 1 방향(D1)은 보상 전극(135)의 우측단에서 보상 전극(135)의 내부를 향하는 방향이다.
- [0057] 연장 전극(170)은 제 1 연장 전극(171) 및 제 2 연장 전극(172)을 포함할 수 있다. 예를 들어, 도 1에 도시된 바와 같이, 제 1 연장 전극(171)은 제 1 방향(D1)으로 연장되어 드레인 전극(DE)과 연결되며, 제 2 연장 전극

(172)은 제 1 방향(D1)으로 보상 전극(135)과 중첩된다. 다시 말해서, 제 1 연장 전극(171) 및 제 2 연장 전극(172)는 제 2 데이터 라인(DL2)에서 제 1 데이터 라인(DL1)을 향하는 방향으로 연장된다. 제 1 연장 전극(171)과 제 2 연장 전극(172)은 제 3 연결 전극(173)을 통해 연결될 수 있다.

- [0058] 본 발명의 일 실시예에 따르면, 게이트 전극(GE)과 드레인 전극(DE)이 중첩되는 방향과 연장 전극(170)과 보상 전극(135)이 중첩되는 방향(D1)이 동일하다. 이에 따라, 마스크 오정렬에 의해 드레인 전극(DE) 및 연장 전극(170)이 좌측 또는 우측으로 쉬프트되더라도 게이트 전극(GE)과 드레인 전극(DE)이 중첩되는 면적과 연장 전극(170)과 보상 전극(135)이 중첩되는 면적의 비율이 실질적으로 동일할 수 있다. 이에 대한 자세한 설명은 도 4a 내지 도 4c를 참조하여 후술한다.
- [0059] 연장 전극(170)은 전술된 소스 전극(SE)과 동일한 물질 및 구조(다중막 구조)를 가질 수 있다. 연장 전극(170)과 소스 전극(SE)은 동일한 공정으로 동시에 만들어질 수 있다.
- [0060] 도시되지 않았지만, 저항성 접촉층은 반도체층(SM)과 소스 전극(SE) 및 반도체층(SM)과 드레인 전극(DE) 사이에 위치할 수 있다. 저항성 접촉층은 반도체층(SM)과 소스 전극(SE) 간의 계면 저항을 낮춘다.
- [0061] 저항성 접촉층은 인(phosphorus) 또는 인화 수소(PH3)와 같은 n형 불순물 이온이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소와 같은 물질로 만들어지거나 실리사이드(silicide)로 만들어질 수 있다.
- [0062] 보호막(113)은, 도 3에 도시된 바와 같이, 각 데이터 라인(DL1, DL2), 소스 전극(SE), 드레인 전극(DE) 및 게이트 절연막(111) 상에 위치한다. 이때, 보호막(113)은 각 데이터 라인(DL1, DL2), 소스 전극(SE), 드레인 전극(DE), 연장 전극(170) 및 게이트 절연막(111)을 포함한 제 1 기판(101)의 전면(全面)에 위치할 수 있다.
- [0063] 보호막(113)은 질화 규소(SiNx) 또는 산화 규소(SiOx)와 같은 무기 절연물로 만들어질 수 있는 바, 이와 같은 경우 그 무기 절연물질로서 감광성(photosensitivity)을 가지며 유전 상수(dielectric constant)가 약 4.0인 것이 사용될 수 있다. 이와 달리, 보호막(113)은, 우수한 절연 특성을 가지면서도 노출된 반도체층(SM) 부분에 손상을 주지 않도록, 하부 무기막과 상부 유기막의 이중막 구조를 가질 수도 있다. 보호막(113)의 두께는 약 5000Å 이상일 수 있고, 약 6000 Å 내지 약 8000 Å 일 수 있다.
- [0064] 층간 절연막(115)은, 도 3에 도시된 바와 같이, 보호막(113) 상에 위치한다.
- [0065] 층간 절연막(115)은 낮은 유전 상수를 갖는 유기막으로 이루어질 수 있다. 예를 들어, 층간 절연막(115)은 보호막(113)보다 더 낮은 유전 상수를 갖는 감광성 유기 물질로 이루어질 수 있다.
- [0066] 화소 전극(PE) 및 연결 전극(151)은 층간 절연막(115) 상에 위치한다. 화소 전극(PE)은 연결 전극(151)을 통해 드레인 전극(DE)에 연결된다. 연결 전극(151)은 콘택홀(CH)을 통해 드레인 전극(DE)에 연결된다.
- [0067] 화소 전극(PE) 및 연결 전극(151)은 ITO(Indium tin oxide) 또는 IZO(Indium zinc oxide) 등의 투명한 도전 물질로 만들어질 수 있다. 이때, ITO는 다결정 또는 단결정의 물질일 수 있다. IZO 역시 다결정 또는 단결정의 물질일 수 있다. 이와 달리, IZO는 비정질(amorphous) 물질일 수 있다.
- [0068] 차광층(211)은, 도 3에 도시된 바와 같이, 제 2 기판(201) 상에 위치한다. 차광층(211)은 차광 영역(PA2), 제 1 게이트 라인(GL1), 제 2 게이트 라인(GL2), 제 1 데이터 라인(DL1) 및 제 2 데이터 라인(DL2)과 중첩한다. 다시 말하여, 차광층(211)은 각 화소(PX)의 차광 영역(PA2), 각 게이트 라인(GL1, GL2) 및 각 데이터 라인(DL1, DL2)과 중첩한다. 차광층(211)은 제 2 기판(201) 대신 제 1 기판(101) 상에 위치할 수도 있다. 차광층(211)은 흑색의 감광성 수지(resin)로 만들어질 수 있다.
- [0069] 도시되지 않았지만, 컬러 필터는 출광 영역(PA1)에 대응되게 제 2 기판(201) 상에 위치할 수 있다. 컬러 필터의 가장자리는 차광층(211) 상에 위치할 수 있다. 컬러 필터는 적색 컬러 필터, 녹색 컬러 필터, 청색 컬러 필터 및 백색 컬러 필터 중 어느 하나일 수 있다. 컬러 필터는 제 2 기판(201) 대신 제 1 기판(101) 상에 위치할 수도 있다. 컬러 필터는 전술된 색상(적색, 녹색, 청색 및 백색 중 어느 하나)의 감광성 수지로 만들어질 수 있다.
- [0070] 오버 코트층(215)은 차광층(211) 상에 위치한다. 이때, 오버 코트층(215)은 차광층(211)을 포함한 제 2 기판(201)의 전면(全面)에 위치할 수 있다.
- [0071] 오버 코트층(215)은, 그 오버 코트층(215)과 제 2 기판(201) 사이에 위치한 구성 요소들, 예를 들어 전술된 차광층(211) 및 컬러 필터와 같은 제 2 기판(201)의 구성 요소들 간의 높낮이차를 최소화한다. 또한, 오버 코트층(215)은 컬러 필터의 안료가 외부로 누출되는 것을 방지한다.

- [0072] 공통 전극(CE)은 차광층(211), 컬러 필터(미도시) 및 오버 코트층(215) 상에 위치하며, 상부 기판(201) 전면에 배치될 수 있다. 공통 전극(CE)은 ITO(Indium tin oxide) 또는 IZO(Indium zinc oxide) 등의 투명한 도전 물질로 만들어질 수 있다. 이때, ITO는 다결정 또는 단결정의 물질일 수 있으며, 또한 IZO 역시 다결정 또는 단결정의 물질일 수 있다. 공통 전극(CE)은 쇼트부(미도시)를 통해 제 1 기판(101)의 공통 라인(미도시)에 연결된다. 공통 전극(CE)은 쇼트부(미도시)를 통해 공통 라인(미도시)으로부터 공통 전압을 전달받는다.
- [0073] 도 4a는 도 1의 차광 영역을 확대한 확대도이다. 도 4b는 도 4a에서의 드레인 전극 및 연장 전극이 마스크 오정렬에 의해 좌측으로 쉬프트되었을 때의 결과를 나타낸 도면이고, 도 4c는 도 4a에서의 드레인 전극 및 연장 전극이 마스크 오정렬에 의해 우측으로 쉬프트되었을 때의 결과를 나타낸 도면이다.
- [0074] 도 4a 내지 도 4c에 따르면, 드레인 전극(DE)과 게이트 전극(GE)이 중첩되고, 연장 전극(170)과 보상 전극(135)이 중첩된다. 이때, 드레인 전극(DE)과 게이트 전극(GE)이 제 1 방향(D1)으로 중첩되는 영역을 제 1 중첩 영역(AR1)이라 정의하고, 연장 전극(170)과 보상 전극(135)이 제 1 방향(D1)으로 중첩되는 영역을 제 2 중첩 영역(AR2)이라 정의한다. 구체적으로, 제 1 중첩 영역(AR1)은 드레인 전극(DE)이 게이트 전극(GE)의 우측단에서 게이트 전극(GE)의 내부를 향하여 중첩되는 영역이다. 제 2 중첩 영역(AR2)은 연장 전극(170)이 보상 전극(135)의 우측단에서 보상 전극(135)의 내부를 향하여 중첩되는 영역이다.
- [0075] 본 발명의 일 실시예에 따르면, 도 4a에 도시된 바와 같이, 제 1 중첩 영역(AR1)의 면적은 제 2 중첩 영역(AR2)의 면적과 실질적으로 동일할 수 있다. 구체적으로, 제 1 중첩 영역(AR1)의 제 1 방향(D1)으로의 길이와 제 2 중첩 영역(AR2)의 제 1 방향(D1)으로의 길이는 실질적으로 동일할 수 있다. 또한, 제 1 중첩 영역(AR1)의 제 2 방향(D2)으로의 길이와 제 2 중첩 영역(AR2)의 제 2 방향(D2)으로의 길이는 실질적으로 동일할 수 있다.
- [0076] 본 발명의 일 실시예에 따르면, 제 1 중첩 영역(AR1)의 중첩 방향(D1)과 제 2 중첩 영역(AR2)의 중첩 방향(D1)이 실질적으로 동일하다. 따라서, 제 1 중첩 영역(AR1)의 면적에 대한 마스크 오정렬이 발생했을 때 제 1 중첩 영역(AR1)의 면적의 변화율은 제 2 중첩 영역(AR2)의 면적의 변화율과 같다.
- [0077] 예를 들어, 도 4b에 도시된 바와 같이, 드레인 전극(DE) 및 연장 전극(170)이 마스크 오정렬에 의해 좌측으로 쉬프트된 경우, 제 1 중첩 영역(AR1)의 면적은 도 4a의 제 1 중첩 영역(AR1)의 면적보다 증가할 수 있다. 또한, 제 2 중첩 영역(AR2)의 면적도 도 4a의 제 2 중첩 영역(AR2)의 면적보다 증가할 수 있다. 이때, 제 1 중첩 영역(AR1)의 면적이 증가하는 비율은 제 2 중첩 영역(AR2)의 면적이 증가하는 비율과 실질적으로 동일하다. 예를 들어, 도 4b의 제 1 중첩 영역(AR1)의 면적은 도 4a의 제 1 중첩 영역(AR1) 면적의 1.2배이고, 도 4b의 제 2 중첩 영역(AR2)의 면적은 도 4a의 제 2 중첩 영역(AR2) 면적의 1.2배일 수 있다. 즉, 드레인 전극(DE) 및 연장 전극(170)이 좌측으로 쉬프트되더라도, 제 1 중첩 영역(AR1)과 제 2 중첩 영역(AR2)의 면적의 변화율은 실질적으로 동일하다.
- [0078] 또한, 도 4c에 도시된 바와 같이, 드레인 전극(DE) 및 연장 전극(170)이 마스크 오정렬에 의해 우측으로 쉬프트된 경우, 제 1 중첩 영역(AR1)의 면적은 도 4a의 제 1 중첩 영역(AR1)의 면적보다 감소할 수 있다. 또한, 제 2 중첩 영역(AR2)의 면적은 도 4a의 제 2 중첩 영역(AR2)의 면적보다 감소할 수 있다. 이때, 제 1 중첩 영역(AR1)의 면적이 감소한 비율은 제 2 중첩 영역(AR2)의 면적이 감소한 비율과 실질적으로 동일하다. 예를 들어, 도 4c의 제 1 중첩 영역(AR1)의 면적은 도 4a의 제 1 중첩 영역(AR1) 면적의 0.8배이고, 도 4c의 제 2 중첩 영역(AR2)의 면적은 도 4a의 제 2 중첩 영역(AR2) 면적의 0.8배일 수 있다. 즉, 드레인 전극(DE) 및 연장 전극(170)이 우측으로 쉬프트되더라도, 제 1 중첩 영역(AR1)과 제 2 중첩 영역(AR2)의 면적의 변화율은 실질적으로 동일하다.
- [0079] 도 5는 본 발명의 일 실시예에 따른 화소의 등가회로를 나타낸 도면이다.
- [0080] 하나의 화소는, 게이트 라인(GLi) 및 데이터 라인(DLj)과 연결된 박막 트랜지스터(TFT)를 포함한다. 또한, 하나의 화소(PX)는 액정 커패시터(C1c), 축적 커패시터(Cst), 기생 커패시터(Cgd) 및 보상 커패시터(Ccp)를 포함한다.
- [0081] 액정 커패시터(C1c)는 화소 전극(PE)과 공통 전극(CE)이 중첩되어 형성된다. 액정 커패시터(C1c)에 의해 액정층(300)이 제어되어 영상의 계조가 표현된다.
- [0082] 축적 커패시터(Cst)는 화소 전극(PE)의 전압을 유지하기 위하여 형성되는 것으로, 예를 들어, 도 2에 도시된 바와 같이, 가지 전극(137)과 화소 전극(PE)에 의하여 형성된다. 축적 커패시터(Cst)는 액정 커패시터(C1c)의 전하 저장 능력을 보충하는 역할을 한다.

[0083] 기생 커패시터(Cgd)는 드레인 전극(DE)과 게이트 전극(GE)이 중첩되어 형성되고, 드레인 전극(DE)과 게이트 전극(GE) 사이에 형성될 수 있다. 즉, 기생 커패시터(Cgd)는 제 1 중첩 영역(AR1)에 의해 형성된다.

[0084] 본 발명의 일 실시예에 따르면, 보상 커패시터(Ccp)는 연장 전극(170)과 보상 배선(131)이 중첩되어 형성되고, 연장 전극(170)과 보상 배선(131) 사이에 위치한다. 즉, 보상 커패시터(Ccp)는 제 2 중첩 영역(AR2)에 의해 형성된다.

[0085] 도 6은 본 발명의 일 실시예에 따른 게이트 신호, 데이터 전압, 킥백 전압, 화소 전압 및 보상 신호를 설명하기 위한 도면이다.

[0086] 도 6을 참조하면, 보상 배선(131)은 보상 전압(Vcp)을 인가 받는다. 예를 들어, 보상 배선(131)은 보상 고전압 또는 보상 저전압을 인가 받는다.

[0087] 게이트 라인(GL)에 게이트 고전압이 인가되면, 화소 내의 박막 트랜지스터(TFT)가 턴온되어 데이터 라인(DL)을 통해 데이터 전압(Vdata)이 화소 전극(PE)에 인가된다. 따라서, 화소 내의 액정 커패시터(C1c)와 축적 커패시터(Cst)가 인가된 데이터 전압(Vdata)에 의해 충전되며, 이에 따라 화소 전압(Vpx)이 증가한다. 일정 시간이 지난 후, 게이트 라인(GL)에 게이트 저전압이 인가되면, 박막 트랜지스터(TFT)가 턴오프된다. 이때, 게이트 전압(Vg)의 천이(transition)에 영향을 받아 화소 전압(Vpx)이 그 천이 방향으로 변화하는 바, 킥백 전압(ΔV_{kb})은 화소 전압(Vpx)의 변화량을 의미한다. 즉, 화소 전극(PE)에 인가된 화소 전압(Vpx)은 위의 킥백 전압(ΔV_{kb})만큼 하강한다.

[0088] 게이트 라인(GL)에 게이트 저전압이 인가되기 전과 후의 화소에 저장된 전하량(Qkb)은 일정하다. 따라서, 게이트 라인(GL)에 인가된 게이트 고전압과 게이트 저전압의 차(ΔV_g)와 킥백 전압(ΔV_{kb})의 관계는 다음의 수학적 식 1을 만족한다.

[0089] <수학적 식 1>

$$Q_{kb} = (C_{gd})\Delta V_g = (C_{gd} + C_{cl} + C_{st} + C_{cp})\Delta V_{kb}$$

[0090]

[0091] 위의 수학적 식 1에서 Qkb는 화소에 저장된 전하량을 의미하며, Cgd는 기생 커패시터 용량을 의미하며, ΔV_g 는 게이트 라인(GL)에 인가된 게이트 고전압과 게이트 저전압의 차를 의미하며, C1c는 액정 커패시터의 용량을 의미하며, Cst는 보조 커패시터의 용량을 의미하며, Ccp는 보상 커패시터의 용량을 의미하며, 그리고 ΔV_{kb} 는 킥백 전압을 의미한다.

[0092] 따라서, 게이트 라인(GL)에 인가된 게이트 전압의 변화량(ΔV_g)에 대한 킥백 전압(ΔV_{kb})은 수학적 식 2에 의해 나타낼 수 있다.

[0093] <수학적 식 2>

$$\Delta V_{kb} = \frac{C_{gd}}{C_{gd} + C_{cl} + C_{st} + C_{cp}} \Delta V_g$$

[0094]

[0095] 도 6에 도시된 바와 같이, 게이트 라인(GL)에 게이트 저전압이 인가된 후, 보상 배선(131)에 보상 고전압이 인가된다. 보상 배선(131)에 보상 고전압이 인가되면, 화소 내의 액정 커패시터(C1c), 축적 커패시터(Cst) 및 보상 커패시터(Ccp)가 충전되며, 이에 따라 화소 전압(Vpx)이 상승한다.

[0096] 보상 배선(131)에 보상 고전압이 인가되기 전과 후, 화소에 저장된 전하량(Qcp)은 일정하다. 따라서, 보상 배선(131)에 인가된 보상 고전압과 보상 저전압의 차(ΔV_{cp})와 상승된 화소 전압(ΔV_{px})의 관계는 다음의 수학적 식 3을 만족한다.

[0097] <수학식 3>

$$Q_{cp} = (C_{cp})\Delta V_{cp} = (C_{gd} + C_{cl} + C_{st} + C_{cp})\Delta V_{px}$$

[0098]

[0099] 위의 수학식 3에서 Q_{cp} 는 화소에 저장된 전하량을 의미하며, C_{cp} 는 보상 커패시터의 용량을 의미하며, ΔV_{cp} 는 보상 배선(131)에 인가된 보상 고전압과 보상 저전압의 차를 의미하며, C_{gd} 는 기생 커패시터 용량을 의미하며, C_{cl} 는 액정 커패시터의 용량을 의미하며, C_{st} 는 보조 커패시터의 용량을 의미하며, 그리고 ΔV_{px} 는 화소 전압의 변화량을 의미한다.

[0100] 따라서, 보상 배선(131)에 인가된 보상 전압의 변화량(ΔV_{cp})에 대한 화소 전압의 상승량(ΔV_{px})은 수학식 4에 의해 나타낼 수 있다.

[0101] <수학식 4>

$$\Delta V_{px} = \frac{C_{cp}}{C_{gd} + C_{cl} + C_{st} + C_{cp}} \Delta V_{cp}$$

[0102]

[0103] 본 발명의 일 실시예에 따르면, 보상 배선(131)에 인가된 보상 전압에 의해 상승한 화소 전압(ΔV_{px})은 전술한 킥백 전압(ΔV_{kb})과 그 크기가 동일하다. 즉, 보상 배선(131)에 인가된 보상 전압에 의해 상승한 화소 전압(ΔV_{px})은 킥백 전압(ΔV_{kb})을 보상하여 데이터 전압(V_{data})에 의한 영상을 그대로 표시할 수 있어 표시 품질을 향상시킬 수 있다.

[0104] 따라서, 본 발명의 일 실시예의 기생 커패시터(C_{gd}), 게이트 라인에 인가되는 게이트 전압의 변화량(ΔV_g), 보상 커패시터(C_{cp}) 및 보상 배선(131)에 인가된 보상 전압의 변화량(ΔV_{cp})는 다음의 수학식 5를 만족한다.

[0105] <수학식 5>

$$\frac{C_{gd}}{C_{gd} + C_{cl} + C_{st} + C_{cp}} \Delta V_g = \frac{C_{cp}}{C_{gd} + C_{cl} + C_{st} + C_{cp}} \Delta V_{cp}$$

[0106]

[0107] 위 수학식 5의 좌변은 킥백 전압(ΔV_{kb})을 나타내며, 우변은 화소 전압의 상승량(ΔV_{px})을 나타낸다.

[0108] 본 발명의 일 실시예에 따르면, 드레인 전극(DE) 및 연장 전극(170)이 마스크 오정렬에 의해 좌측 또는 우측으로 쉬프트 되었을 때, 제 1 중첩 영역(AR1)에 의한 기생 커패시터(C_{gd}) 및 제 2 중첩 영역(AR2)에 의한 보상 커패시터(C_{cp})의 면적은 동일한 비율로 감소 또는 증가한다. 즉, 드레인 전극(DE) 및 연장 전극(170)이 마스크 오정렬에 의해 좌측 또는 우측으로 쉬프트 되었을 때, 기생 커패시터(C_{gd})의 정전용량과 보상 커패시터(C_{cp})의 정전용량의 변화율은 실질적으로 동일하다. 이때, 게이트 전압의 진폭(ΔV_g)은 일정하다. 즉, 기생 커패시터(C_{gd})의 정전 용량에 대한 보상 커패시터(C_{cp})의 정전용량의 비는 게이트 전압의 변화량(ΔV_g)에 대한 보상 전압의 변화량(ΔV_{cp})의 비에 비례한다. 따라서, 마스크 오정렬이 발생하더라도 보상 배선(131)에 일정한 보상 고전압과 보상 저전압을 인가하여 킥백 전압(ΔV_{kb})을 보상할 수 있다.

[0109] 도 7은 도 1의 차광 영역을 확대한 본 발명의 또 다른 일 실시예에 따른 확대도이고, 도 8은 본 발명의 또 다른 일 실시예에 따른 게이트 신호, 데이터 전압, 킥백 전압, 화소 전압 및 보상 신호를 설명하기 위한 본 발명의 다른 일 실시예의 도면이다.

[0110] 본 발명의 또 다른 일 실시예에 따르면, 제 1 중첩 영역(AR1)의 중첩 방향(D1)과 제 2 중첩 영역(AR2)의 중첩 방향(D1)이 실질적으로 동일하다. 따라서, 제 1 중첩 영역(AR1)의 면적에 대한 마스크 오정렬이 발생했을 때 제 1 중첩 영역(AR1)의 면적의 변화율은 제 2 중첩 영역(AR2)의 면적의 변화율과 같다.

[0111] 본 발명의 또 다른 일 실시예에 따르면, 제 1 중첩 영역(AR1)의 면적은 제 2 중첩 영역(AR2)의 면적과 서로 다를 수 있다. 예를 들어, 제 2 중첩 영역(AR2)의 면적은 제 1 중첩 영역(AR1)의 면적의 2배일 수 있다. 구체적으로

로, 도 7에 도시된 바와 같이, 제 1 중첩 영역(AR1)의 제 1 방향(D1)으로의 길이와 제 2 중첩 영역(AR2)의 제 1 방향(D1)으로의 길이는 실질적으로 동일하지만, 제 2 중첩 영역(AR2)의 제 2 방향으로의 길이는 제 1 중첩 영역(AR1)의 제 2 방향(D2)으로의 길이의 2배일 수 있다. 또는, 제 2 중첩 영역(AR2)의 제 1 방향(D1)으로의 길이는 제 1 중첩 영역(AR1)의 제 1 방향(D1)으로의 길이의 2배이고, 제 1 중첩 영역(AR1)의 제 2 방향(D2)으로의 길이와 제 2 중첩 영역(AR2)의 제 2 방향(D2)으로의 길이는 실질적으로 동일할 수 있다.

[0112] 본 발명의 또 다른 일 실시예는 전술한 수학식 1 내지 수학식 5를 만족한다.

[0113] 본 발명의 또 다른 일 실시예에 따르면, 도 8에 도시된 바와 같이, 보상 배선(131)에 인가되는 보상 고전압과 보상 저전압의 차인 보상 전압의 변화량(ΔV_{cp})은 도 6의 보상 전압의 변화량(ΔV_{cp})의 1/2배로 조절된다. 예를 들어, 도 8에 도시된 보상 고전압은 도 6의 보상 고전압과 보상 저전압의 중간값을 가질 수 있다.

[0114] 본 발명의 또 다른 일 실시예에 따르면, 기생 커패시터(Cgd)의 정전 용량에 대한 보상 커패시터(Ccp)의 정전용량의 비는 게이트 전압의 변화량(ΔV_g)에 대한 보상 전압의 변화량(ΔV_{cp})의 비에 비례한다. 따라서, 마스크 오정렬이 발생하더라도 보상 배선(131)에 보상 고전압과 보상 저전압을 각각 일정하게 인가하여 킥백 전압(ΔV_{kb})을 보상할 수 있다.

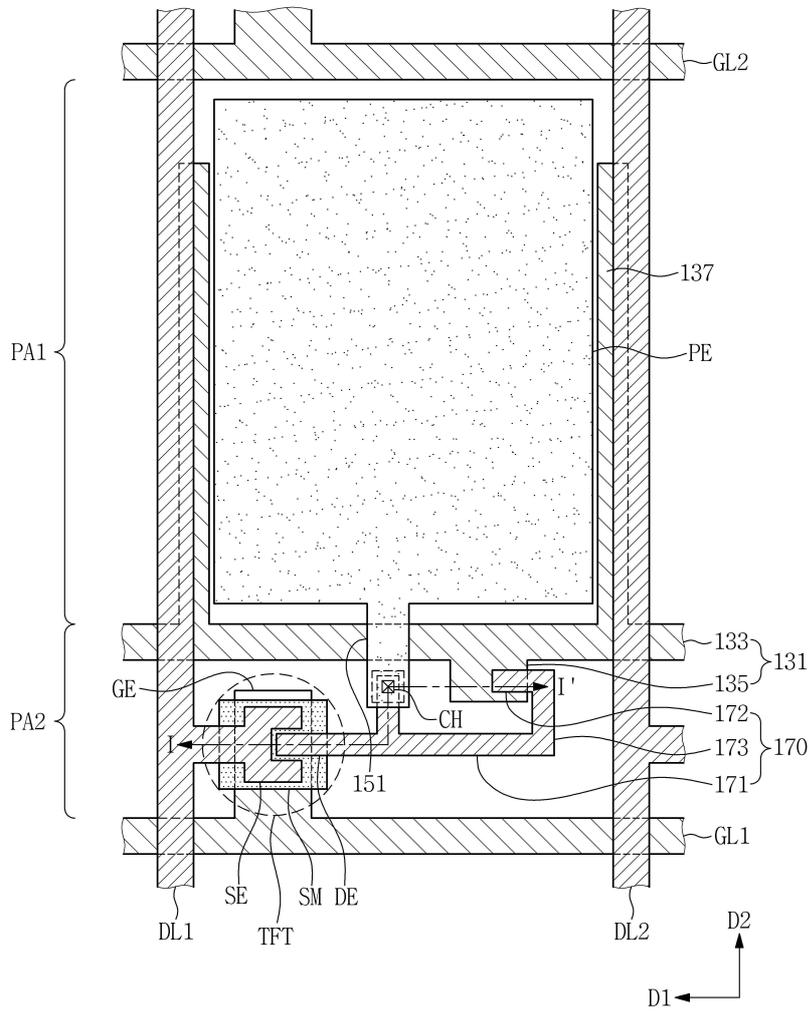
[0115] 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

부호의 설명

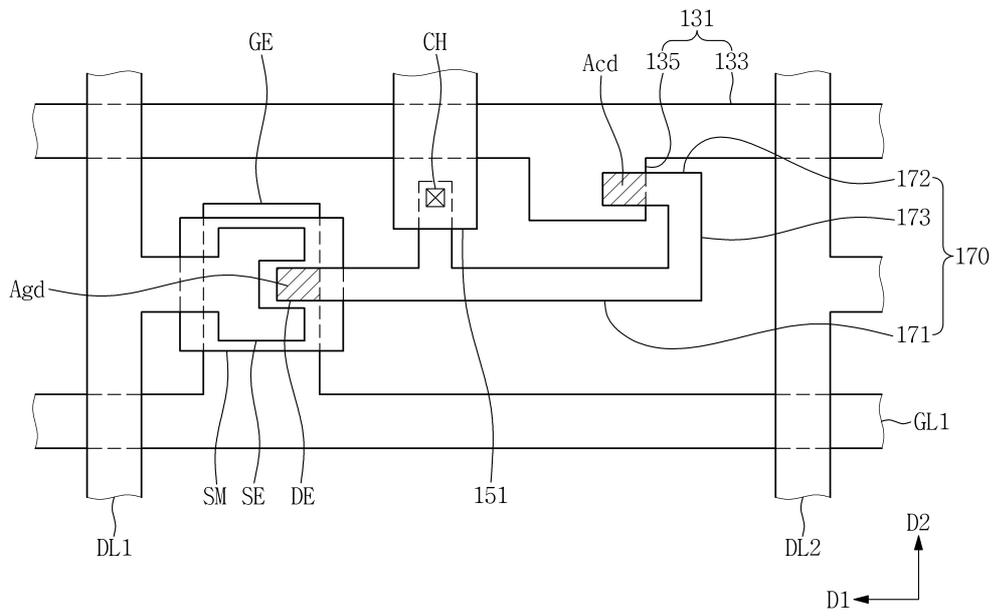
- [0116] 131: 보상 배선 133: 보상 라인
- 135: 보상 전극 137: 가지 전극
- 170: 연장 전극 171: 제 1 연장 전극
- 172: 제 2 연장 전극 173: 제 3 연장 전극
- AR1: 제 1 중첩 영역 AR2: 제 2 중첩 영역

도면

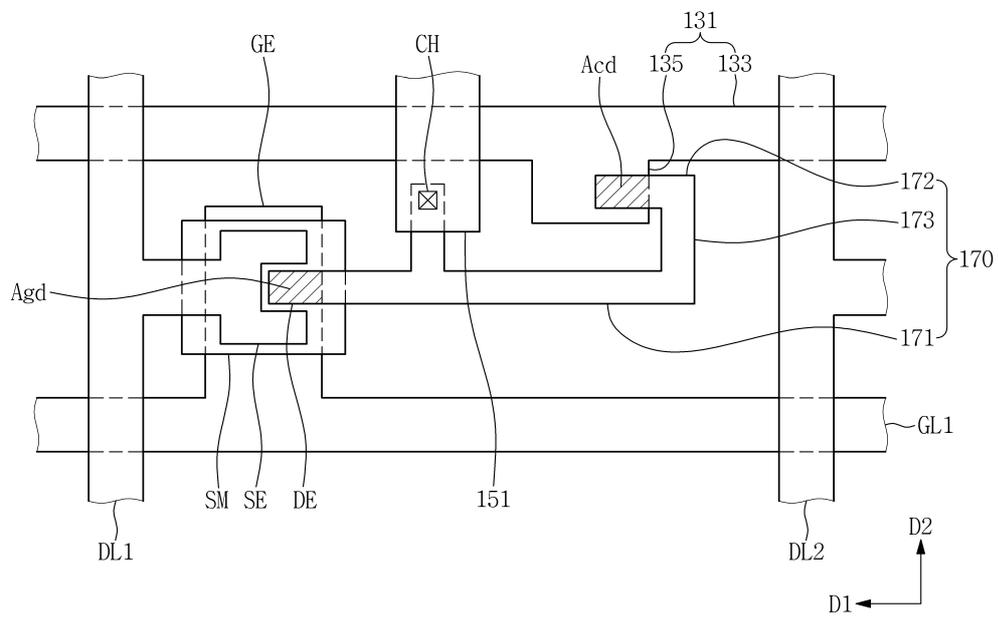
도면1



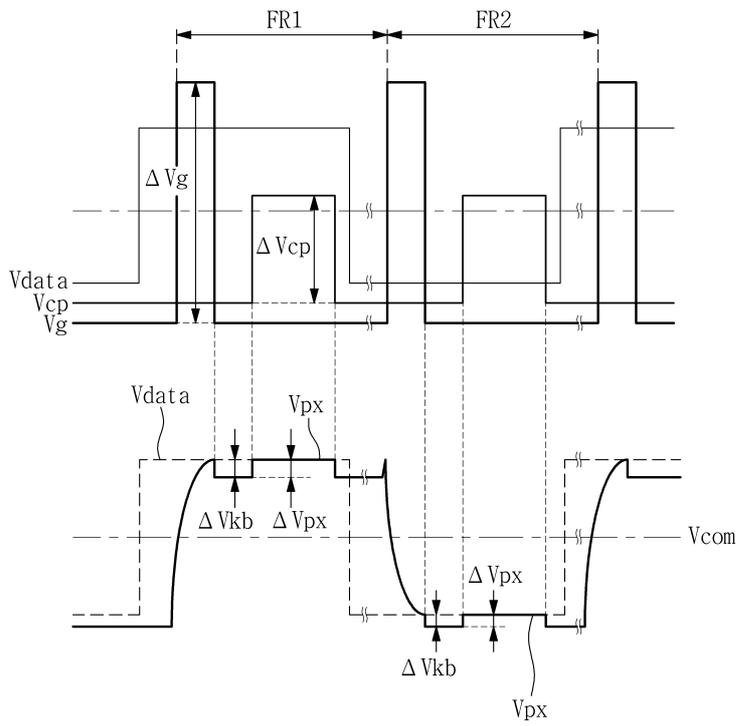
도면4a



도면4b



도면8



专利名称(译)	液晶显示器		
公开(公告)号	KR1020170133538A	公开(公告)日	2017-12-06
申请号	KR1020160063786	申请日	2016-05-25
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	PARK MIN WOOK 박민욱 SON JEONG MAN 손정만		
发明人	박민욱 손정만		
IPC分类号	G09G3/36 G02F1/1343 G02F1/1362		
CPC分类号	G09G3/36 G02F1/1343 G02F1/136286 G09G2320/0247 G09G2300/0842 G09G2300/0426		
代理人(译)	Yunyeogwang Jowooje 李宰 - 亨 锡盐		
外部链接	Espacenet		

摘要(译)

根据本发明实施例的液晶显示装置包括第一基板和面对第一基板的第二基板;液晶层设置在第一基板和第二基板之间;在第一基板上沿第一方向延伸的栅极线;数据线设置在第一基板上并与栅极线绝缘,数据线沿与第一方向交叉的第二方向延伸;从栅极线突出的栅电极;漏电极在第一方向上与栅电极的至少一部分重叠;像素电极连接到漏电极;与栅极线平行设置的补偿线;补偿电极从补偿线向栅极线突出;以及与补偿电极重叠的延伸电极,其中延伸电极在第一方向上与补偿电极重叠。

