



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0117847
(43) 공개일자 2016년10월11일

(51) 국제특허분류(Int. Cl.)

G02F 1/1362 (2006.01) G02F 1/133 (2006.01)
G02F 1/1343 (2006.01) G02F 1/1368 (2006.01)
G09G 3/36 (2006.01)

(52) CPC특허분류

G02F 1/1362 (2013.01)
G02F 1/133 (2013.01)

(21) 출원번호 10-2015-0045662

(22) 출원일자 2015년03월31일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자

박준현

경기도 수원시 권선구 권선로694번길 25 202동
501호 (권선동, 수원권선SKVIEW)

김성환

경기도 용인시 기흥구 새천년로 40 녹원마을 새천
년그린빌 4단지 413동 1701호

(뒷면에 계속)

(74) 대리인

특허법인 고려

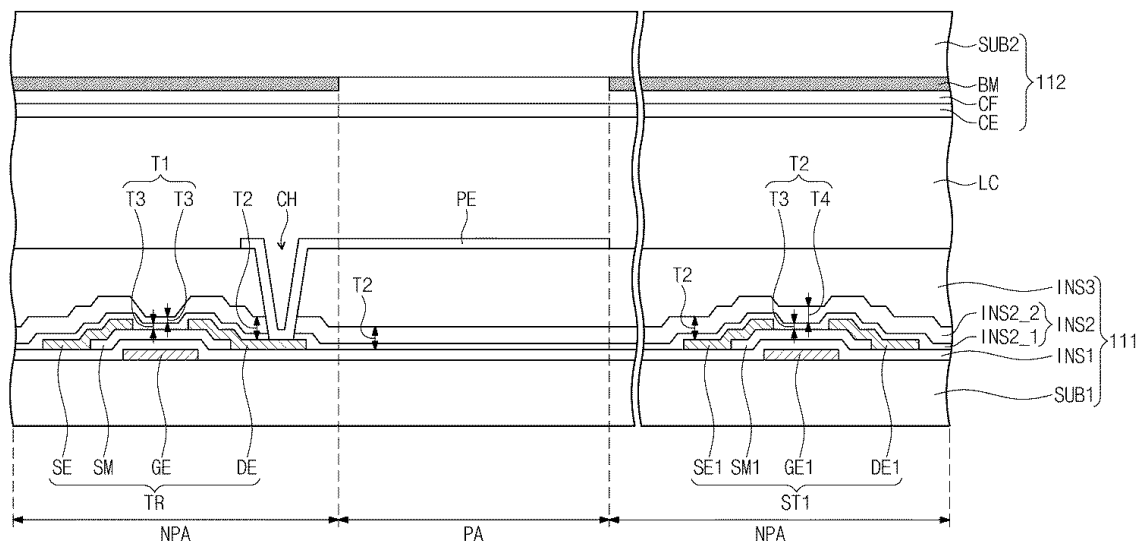
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 표시 장치

(57) 요약

표시 장치는 게이트 라인들 중 대응하는 게이트 라인 및 데이터 라인들 중 대응하는 데이터 라인에 연결된 트랜지스터 및 상기 트랜지스터에 연결된 액정 커패시터를 각각 포함하는 복수의 화소들, 데이터 전압들을 수신하여 상기 데이터 라인들 중 홀수 번째 데이터 라인들 및 짝수 번째 데이터 라인들에 선택적으로 인가하는 복수의 스위치 트랜지스터들, 및 상기 트랜지스터들 및 상기 스위치 트랜지스터들 상에 배치된 절연막을 포함하고, 상기 트랜지스터들 각각의 전도 채널 상에 배치된 절연막은 제1 두께를 갖고, 상기 스위치 트랜지스터들 각각의 전도 채널 상에 배치된 절연막은 상기 제1 두께보다 두꺼운 제2 두께를 갖는 표시 장치.

대표도



(52) CPC특허분류

G02F 1/1343 (2013.01)

G02F 1/1368 (2013.01)

G09G 3/3622 (2013.01)

(72) 발명자

송세영

경기도 화성시 동탄반석로 277 115동 3101호 (석
우동, 예당마을우미린제일풍경채아파트)

신경주

경기도 화성시 영통로27번길 53 205동 602호 (반
월동, 신영통현대2차아파트)

명세서

청구범위

청구항 1

게이트 라인들 중 대응하는 게이트 라인 및 데이터 라인들 중 대응하는 데이터 라인에 연결된 트랜지스터 및 상기 트랜지스터에 연결된 액정 커패시터를 각각 포함하는 복수의 화소들;

데이터 전압들을 수신하여 상기 데이터 라인들 중 홀수 번째 데이터 라인들 및 짝수 번째 데이터 라인들에 선택적으로 인가하는 복수의 스위치 트랜지스터들; 및

상기 트랜지스터들 및 상기 스위치 트랜지스터들 상에 배치된 절연막을 포함하고,

상기 트랜지스터들 각각의 전도 채널 상에 배치된 절연막은 제1 두께를 갖고, 상기 스위치 트랜지스터들 각각의 전도 채널 상에 배치된 절연막은 상기 제1 두께보다 두꺼운 제2 두께를 갖는 표시 장치.

청구항 2

제 1 항에 있어서,

상기 트랜지스터들 각각의 상기 전도 채널 및 상기 스위치 트랜지스터들 각각의 상기 전도 채널이 배치된 영역을 제외한 영역에서 상기 절연막은 제2 두께를 갖는 표시 장치.

청구항 3

제 1 항에 있어서,

상기 절연막은 무기 물질을 포함하는 표시 장치.

청구항 4

제 1 항에 있어서,

상기 절연막은,

상기 트랜지스터들 및 상기 스위치 트랜지스터들 상에 배치된 제1 서브 절연막; 및

상기 제1 서브 절연막 상에 배치된 제2 서브 절연막 포함하고,

상기 제1 서브 절연막 및 상기 제2 서브 절연막은 서로 다른 무기 물질을 포함하는 표시 장치.

청구항 5

제 4 항에 있어서,

상기 제1 서브 절연막은 실리콘 옥사이드를 포함하는 표시 장치.

청구항 6

제 5 항에 있어서,

상기 제2 서브 절연막은 실리콘 나이트 라이드를 포함하는 표시 장치.

청구항 7

제 6 항에 있어서,

상기 트랜지스터들 각각의 상기 전도 채널 상에 배치된 제1 및 제2 서브 절연막들은 각각 제3 두께를 갖는 표시 장치.

청구항 8

제 6 항에 있어서,

상기 스위치 트랜지스터들 각각의 상기 전도 채널 상에 배치된 제1 서브 절연막은 제3 두께를 갖고, 제2 서브 절연막은 상기 제3 두께보다 두꺼운 제4 두께를 갖는 표시 장치.

청구항 9

제 6 항에 있어서,

상기 트랜지스터들 각각의 상기 전도 채널 및 상기 제1 스위치 트랜지스터들 각각의 상기 전도 채널이 배치된 영역을 제외한 영역에서 상기 제1 서브 절연막은 제3 두께를 갖고, 상기 제2 서브 절연막은 상기 제3 두께보다 두꺼운 제4 두께를 갖는 표시 장치.

청구항 10

제 6 항에 있어서,

상기 제2 서브 절연막은 100 옹스트롬보다 크고 1000옹스트롬보다 작거나 같은 두께를 갖는 표시 장치.

청구항 11

제 1 항에 있어서,

상기 트랜지스터들 및 상기 스위치 트랜지스터들이 배치된 제1 베이스 기관; 및

상기 절연막 상에 배치된 유기 절연막을 더 포함하고,

상기 액정 커패시터는,

상기 절연막 및 상기 유기 절연막을 관통하여 형성된 콘택홀을 통해 상기 트랜지스터에 연결된 화소 전극;

상기 화소 전극과 마주보는 공통 전극; 및

상기 화소 전극과 상기 공통 전극 사이에 배치되는 액정층을 포함하는 표시 장치.

청구항 12

제 11 항에 있어서,

상기 각각의 트랜지스터는,

상기 대응하는 게이트 라인에 연결된 게이트 전극;

상기 대응하는 데이터 라인에 연결된 소스 전극;

상기 화소 전극에 연결된 드레인 전극; 및

상기 게이트 전극과 상기 소스 및 드레인 전극들 사이에 배치되어 상기 소스 전극과 상기 드레인 전극 사이에서 상기 트랜지스터의 상기 전도 채널을 형성하는 반도체 층을 포함하는 표시 장치.

청구항 13

제 12 항에 있어서,

상기 게이트 라인들은 각각 제1 기간 및 제2 기간을 포함하는 게이트 신호를 수신하고,

상기 스위치 트랜지스터들은,

상기 제1 기간 동안 상기 데이터 전압들을 수신하여 상기 홀수 번째 데이터 라인들에 인가하는 복수의 제1 스위치 트랜지스터들; 및

상기 제2 기간 동안 상기 데이터 전압들을 수신하여 상기 짝수 번째 데이터 라인들에 인가하는 복수의 제2 스위치 트랜지스터들을 포함하는 표시 장치.

청구항 14

제 13 항에 있어서,

상기 각각의 제1 스위치 트랜지스터는,

제1 스위치 신호를 인가 받는 제1 게이트 전극;

상기 데이터 전압들 중 대응하는 데이터 전압을 수신하는 제1 소스 전극;

상기 홀수 번째 데이터 라인들 중 대응하는 홀수 번째 데이터 라인에 연결된 제1 드레인 전극; 및

상기 제1 게이트 전극과 상기 제1 소스 및 제1 드레인 전극들 사이에 배치되어 상기 제1 소스 전극과 상기 제1 드레인 전극 사이에서 상기 스위치 트랜지스터의 상기 전도 채널을 형성하는 제1 반도체 층을 포함하고,

상기 각각의 제2 스위치 트랜지스터는,

제2 스위치 신호를 인가 받는 제2 게이트 전극;

상기 데이터 전압들 중 대응하는 데이터 전압을 수신하는 제2 소스 전극;

상기 짝수 번째 데이터 라인들 중 대응하는 짝수 번째 데이터 라인에 연결된 제2 드레인 전극; 및

상기 제2 게이트 전극과 상기 제2 소스 및 제2 드레인 전극들 사이에 배치되어 상기 제2 소스 전극과 상기 제2 드레인 전극 사이에서 상기 스위치 트랜지스터의 상기 전도 채널을 형성하는 제2 반도체 층을 포함하는 표시 장치.

청구항 15

제 1 항에 있어서,

상기 절연막은 실리콘 나이트 라이드 포함하는 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 표시 장치에 관한 것으로, 더욱 상세하게는 화소들의 충전률을 향상시킬 수 있는 표시 장치에 관한 것이다.

배경 기술

[0002] 최근 액정 표시 장치, 유기 발광 표시장치, 전기 습윤표시 장치, 및 전기 영동 표시장치 등 다양한 표시장치가 개발되고 있다.

[0003] 일반적으로 표시장치는 영상을 표시하기 위한 복수의 화소들을 포함하는 표시 패널, 화소들에 게이트 신호들을 제공하는 게이트 구동부, 및 화소들에 데이터 전압들을 제공하는 데이터 구동부를 포함한다.

[0004] 화소들은 복수의 게이트 라인들을 통해 게이트 신호들을 제공받는다. 화소들은 게이트 신호들에 응답하여 복수의 데이터 라인들을 통해 데이터 전압들을 제공받아 충전한다. 각 화소는 충전된 데이터 전압에 대응하는 계조를 표시한다. 그 결과, 영상이 표시될 수 있다.

[0005] 일반적으로 라인들의 자체 저항 및 기생 커패시터들에 의해 신호가 지연되는 RC 딜레이 현상이 라인들에 발생된다. 데이터 전압들이 데이터 라인들을 통해 화소들에 제공될 때, RC 딜레이에 의해 데이터 전압들이 화소들에 충분히 충전되지 않을 수 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명의 목적은, 화소들의 충전률을 향상시킬 수 있는 표시 장치를 제공하는데 있다.

과제의 해결 수단

- [0007] 본 발명의 실시 예에 따른 표시 장치는 게이트 라인들 중 대응하는 게이트 라인 및 데이터 라인들 중 대응하는 데이터 라인에 연결된 트랜지스터 및 상기 트랜지스터에 연결된 액정 커패시터를 각각 포함하는 복수의 화소들, 데이터 전압들을 수신하여 상기 데이터 라인들 중 홀수 번째 데이터 라인들 및 짝수 번째 데이터 라인들에 선택적으로 인가하는 복수의 스위치 트랜지스터들, 및 상기 트랜지스터들 및 상기 스위치 트랜지스터들 상에 배치된 절연막을 포함하고, 상기 트랜지스터들 각각의 전도 채널 상에 배치된 절연막은 제1 두께를 갖고, 상기 스위치 트랜지스터들 각각의 전도 채널 상에 배치된 절연막은 상기 제1 두께보다 두꺼운 제2 두께를 갖는다.
- [0008] 상기 트랜지스터들 각각의 상기 전도 채널 및 상기 스위치 트랜지스터들 각각의 상기 전도 채널이 배치된 영역을 제외한 영역에서 상기 절연막은 제2 두께를 갖는다.
- [0009] 상기 절연막은 무기 물질을 포함한다.
- [0010] 상기 절연막은, 상기 트랜지스터들 및 상기 스위치 트랜지스터들 상에 배치된 제1 서브 절연막 및 상기 제1 서브 절연막 상에 배치된 제2 서브 절연막 포함하고, 상기 제1 서브 절연막 및 상기 제2 서브 절연막은 서로 다른 무기 물질을 포함한다.
- [0011] 상기 제1 서브 절연막은 실리콘 옥사이드를 포함한다.
- [0012] 상기 제2 서브 절연막은 실리콘 나이트 라이드를 포함한다.
- [0013] 상기 트랜지스터들 각각의 상기 전도 채널 상에 배치된 제1 및 제2 서브 절연막들은 각각 제3 두께를 갖는다.
- [0014] 상기 스위치 트랜지스터들 각각의 상기 전도 채널 상에 배치된 제1 서브 절연막은 제3 두께를 갖고, 제2 서브 절연막은 상기 제3 두께보다 두꺼운 제4 두께를 갖는다.
- [0015] 상기 트랜지스터들 각각의 상기 전도 채널 및 상기 제1 스위치 트랜지스터들 각각의 상기 전도 채널이 배치된 영역을 제외한 영역에서 상기 제1 서브 절연막은 제3 두께를 갖고, 상기 제2 서브 절연막은 상기 제3 두께보다 두꺼운 제4 두께를 갖는다.
- [0016] 상기 제2 서브 절연막은 100 옴스트롱보다 크고 1000옴스트롱보다 작거나 같은 두께를 갖는다.
- [0017] 상기 트랜지스터들 및 상기 스위치 트랜지스터들이 배치된 제1 베이스 기판 및 상기 절연막 상에 배치된 유기 절연막을 더 포함하고, 상기 액정 커패시터는, 상기 절연막 및 상기 유기 절연막을 관통하여 형성된 콘택홀을 통해 상기 트랜지스터에 연결된 화소 전극, 상기 화소 전극과 마주보는 공통 전극, 및 상기 화소 전극과 상기 공통 전극 사이에 배치되는 액정층을 포함한다.
- [0018] 상기 각각의 트랜지스터는, 상기 대응하는 게이트 라인에 연결된 게이트 전극, 상기 대응하는 데이터 라인에 연결된 소스 전극, 상기 화소 전극에 연결된 드레인 전극, 및 상기 게이트 전극과 상기 소스 및 드레인 전극들 사이에 배치되어 상기 소스 전극과 상기 드레인 전극 사이에서 상기 트랜지스터의 상기 전도 채널을 형성하는 반도체 층을 포함한다.
- [0019] 상기 게이트 라인들은 각각 제1 기간 및 제2 기간을 포함하는 게이트 신호를 수신하고, 상기 스위치 트랜지스터들은, 상기 제1 기간 동안 상기 데이터 전압들을 수신하여 상기 홀수 번째 데이터 라인들에 인가하는 복수의 제1 스위치 트랜지스터들, 및 상기 제2 기간 동안 상기 데이터 전압들을 수신하여 상기 짝수 번째 데이터 라인들에 인가하는 복수의 제2 스위치 트랜지스터들을 포함한다.
- [0020] 상기 각각의 제1 스위치 트랜지스터는, 제1 스위치 신호를 인가 받는 제1 게이트 전극, 상기 데이터 전압들 중 대응하는 데이터 전압을 수신하는 제1 소스 전극, 상기 홀수 번째 데이터 라인들 중 대응하는 홀수 번째 데이터 라인에 연결된 제1 드레인 전극, 및 상기 제1 게이트 전극과 상기 제1 소스 및 제1 드레인 전극들 사이에 배치되어 상기 제1 소스 전극과 상기 제1 드레인 전극 사이에서 상기 스위치 트랜지스터의 상기 전도 채널을 형성하는 제1 반도체 층을 포함하고, 상기 각각의 제2 스위치 트랜지스터는, 제2 스위치 신호를 인가 받는 제2 게이트 전극, 상기 데이터 전압들 중 대응하는 데이터 전압을 수신하는 제2 소스 전극, 상기 짝수 번째 데이터 라인들 중 대응하는 짝수 번째 데이터 라인에 연결된 제2 드레인 전극, 및 상기 제2 게이트 전극과 상기 제2 소스 및 제2 드레인 전극들 사이에 배치되어 상기 제2 소스 전극과 상기 제2 드레인 전극 사이에서 상기 스위치 트랜지스터의 상기 전도 채널을 형성하는 제2 반도체 층을 포함한다.

발명의 효과

- [0021] 본 발명의 표시 장치는 화소들의 충전율을 향상시킬 수 있다.

도면의 간단한 설명

- [0022] 도 1은 본 발명의 실시 예에 따른 표시 장치의 블록도이다.
- 도 2는 도 1에 도시된 화소의 구성을 보여주는 도면이다.
- 도 3은 도 1에 도시된 디렉스부의 구성을 보여주는 도면이다.
- 도 4는 디렉스부의 동작을 설명하기 위한 타이밍도이다.
- 도 5는 도 1에 도시된 어느 한 화소의 트랜지스터 및 도 3에 도시된 어느 한 스위치 트랜지스터가 배치된 영역의 표시 패널의 단면 구성을 보여주는 도면이다.
- 도 6은 스위치 트랜지스터들 상에 배치된 제2 절연막의 두께에 따른 스위치 트랜지스터들의 소스-드레인 전류를 도시한 도면이다.
- 도 7은 본 발명의 다른 실시 예에 따른 표시 장치의 표시 패널의 단면 구성을 보여주는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0023] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0024] 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다. "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.
- [0025] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작 시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0026] 비록 제 1, 제 2 등이 다양한 소자, 구성요소 및/또는 섹션들을 서술하기 위해서 사용되나, 이들 소자, 구성요소 및/또는 섹션들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 소자, 구성요소 또는 섹션들을 다른 소자, 구성요소 또는 섹션들과 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제 1 소자, 제 1 구성요소 또는 제 1 섹션은 본 발명의 기술적 사상 내에서 제 2 소자, 제 2 구성요소 또는 제 2 섹션일 수도 있음은 물론이다.
- [0027] 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 개략도인 평면도 및 단면도를 참고하여 설명될 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이고, 발명의 범주를 제한하기 위한 것은 아니다.
- [0028] 이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예를 보다 상세하게 설명한다.
- [0029] 도 1은 본 발명의 실시예에 따른 표시 장치의 블록도이다. 도 2는 도 1에 도시된 화소의 구성을 보여주는 도면이다.
- [0030] 도 1 및 도 2를 참조하면, 본 발명의 실시예에 따른 표시 장치(100)는 표시 패널(110), 타이밍 컨트롤러(120), 게이트 구동부(130), 데이터 구동부(140), 및 디렉스부(150)를 포함한다.
- [0031] 표시 패널(110)로서 액정층을 포함하는 액정 표시 패널, 전기 영동층을 포함하는 전기 영동 표시 패널, 전기 습윤층을 포함하는 전기 습윤 표시 패널, 및 유기 발광층을 포함하는 유기 발광 표시 패널 등 다양한 표시 패널이

사용될 수 있다.

- [0032] 예시적으로, 도 1에 도시된 표시 패널(110)은 서로 마주보는 제1 기판 및 제2 기판과 제1 기판과 제2 기판 사이에 배치된 액정층을 포함하는 액정 표시 패널일 수 있다.
- [0033] 표시 패널(110)은 복수의 게이트 라인들(GL1~GLm), 복수의 데이터 라인들(DL1~DLn), 및 복수의 화소들(PX)을 포함한다. 게이트 라인들(GL1~GLm)은 제1 방향(DR1)으로 연장되어 게이트 구동부(130)에 연결된다. 데이터 라인들(DL1~DLn)은 제1 방향(DR1)과 교차하는 제2 방향(DR2)으로 연장되어 디먹스부(150)에 연결된다. m 및 n은 자연수이다.
- [0034] 데이터 구동부(140)는 복수의 구동 라인들(DVL1~DVLk)에 연결된다. k는 자연수이며 n/2개이다. 구동 라인들(DVL1~DVLk)은 제2 방향(DR2)으로 연장되어 데이터 구동부(140)와 디먹스부(150) 사이에 배치되어 데이터 구동부(140)와 디먹스부(150)를 연결한다.
- [0035] 화소들(PX)은 서로 교차하는 게이트 라인들(GL1~GLm) 및 데이터 라인들(DL1~DLn)에 의해 구획된 영역들에 배치된다. 따라서, 화소들(PX)은 매트릭스 형태로 배열될 수 있다. 화소들(PX)은 게이트 라인들(GL1~GLm) 및 데이터 라인들(DL1~DLn)에 연결된다.
- [0036] 각 화소(PX_{ij})는 트랜지스터(TR) 및 트랜지스터(TR)에 연결된 액정 커패시터(CLC)를 포함한다. 액정 커패시터(CLC)는 트랜지스터(TR)에 연결된 화소 전극(PE), 화소 전극(PE)과 마주보도록 배치되어 공통 전압(VCOM)을 인가 받는 공통 전극, 및 화소 전극(PE)과 공통 전극(CE) 사이에 배치된 액정층(미 도시됨)을 포함한다.
- [0037] 트랜지스터(TR)는 게이트 라인들(GL1~GLm) 중 대응하는 게이트 라인(GL_i)에 연결된 게이트 전극, 데이터 라인들(DL1~DL_j) 중 대응하는 데이터 라인(DL_j)에 연결된 소스 전극, 및 액정 커패시터(CLC)의 화소 전극(PE)에 연결된 드레인 전극을 포함한다. i 및 j는 자연수이다.
- [0038] 타이밍 컨트롤러(120)는 외부(예를 들어, 시스템 보드)로부터 영상 신호들(RGB) 및 제어 신호(CS)를 수신한다. 타이밍 컨트롤러(120)는 데이터 구동부(140)와의 인터페이스 사양에 맞도록 영상 신호들(RGB)의 데이터 포맷을 변환한다. 타이밍 컨트롤러(120)는 데이터 포맷이 변환된 영상 데이터들(DATAs)을 데이터 구동부(140)에 제공한다.
- [0039] 타이밍 컨트롤러(120)는 제어 신호(CS)에 응답하여 게이트 제어 신호(GCS), 데이터 제어 신호(DCS), 및 스위치 제어 신호(SWS)를 생성한다.
- [0040] 게이트 제어 신호(GCS)는 게이트 구동부(130)의 동작 타이밍을 제어하기 위한 제어 신호이다. 데이터 제어 신호(DCS)는 데이터 구동부(140)의 동작 타이밍을 제어하기 위한 제어 신호이다. 스위치 제어 신호(SWS)는 디먹스부(150)의 동작을 제어하기 위한 제어 신호이다.
- [0041] 타이밍 컨트롤러(120)는 게이트 제어 신호(GCS)를 게이트 구동부(130)에 제공하고, 데이터 제어 신호(DCS)를 데이터 구동부(140)에 제공한다. 타이밍 컨트롤러(120)는 스위치 제어 신호(SWS)를 디먹스부(150)에 제공한다.
- [0042] 게이트 구동부(130)는 게이트 제어 신호(GCS)에 응답하여 게이트 신호들을 생성하여 출력한다. 게이트 구동부(130)는 게이트 신호들을 순차적으로 출력할 수 있다. 게이트 신호들은 게이트 라인들(GL1~GLm)을 통해 행 단위로 화소들(PX)에 제공된다. 각 게이트 신호의 인가 시간(또는 1 수평 기간)은 제1 기간 및 제2 기간을 포함한다.
- [0043] 데이터 구동부(140)는 데이터 제어 신호(DCS)에 응답하여 영상 데이터들(DATAs)에 대응하는 아날로그 형태의 데이터 전압들을 생성하여 출력한다. 데이터 전압들은 구동 라인들(DVL1~DVLk)을 통해 디먹스부(150)에 제공된다.
- [0044] 디먹스부(150)는 스위칭 제어 신호(SWS)에 응답하여 제1 기간동안 구동 라인들(DVL1~DVLk)을 데이터 라인들(DL1~DLn) 중 홀수 번째 데이터 라인들에 연결한다. 또한, 디먹스부(150)는 스위칭 제어 신호(SWS)에 응답하여 제2 기간동안 구동 라인들(DVL1~DVLk)을 데이터 라인들(DL1~DLn) 중 짝수 번째 데이터 라인들에 연결한다.
- [0045] 이하, 데이터 라인들(DL1~DLn) 중 홀수 번째 데이터 라인들은 제1 데이터 라인들이라 칭하고 짝수 번째 데이터 라인들은 제2 데이터 라인들이라 칭한다.
- [0046] 제1 기간 동안 데이터 전압들은 서로 연결된 구동 라인들(DVL1~DVLk) 및 제1 데이터 라인들을 통해 제1 데이터 라인들에 연결된 화소들(PX)에 제공된다. 제2 기간 동안 데이터 전압들은 서로 연결된 구동 라인들(DVL1~DVLk) 및 제2 데이터 라인들을 통해 제2 데이터 라인들에 연결된 화소들(PX)에 제공된다.

- [0047] 화소들(PX)은 게이트 신호들에 응답하여 데이터 전압들을 제공받고, 제공받은 데이터 전압들을 충전한다. 화소들(PX)이 충전된 데이터 전압들에 대응하는 계조를 표시함으로써, 영상이 표시될 수 있다.
- [0048] 각 화소(PX_{ij})의 트랜지스터(TR)는 게이트 라인(GL_i)을 통해 제공받은 게이트 신호에 응답하여 데이터 라인(DL_j)을 통해 데이터 전압을 제공받는다. 트랜지스터(TR)는 데이터 전압을 화소 전극(PE)에 제공한다. 공통 전극(CE)은 공통 전압(VCOM)을 제공받는다. 따라서, 액정 커패시터(CLC)에 데이터 전압에 대응하는 전압이 충전된다.
- [0049] 구동 라인들(DVL1~DVL_k) 및 데이터 라인들(DL1~DL_n)의 자체 저항 및 기생 커패시터들에 의해 발생하는 RC 딜레이에 의해 데이터 전압들이 지연될 수 있다.
- [0050] 본 발명의 실시 예에서, 디먹부(150)에 배치된 스위치 트랜지스터들의 채널의 저항이 감소되고, 스위치 트랜지스터들의 드레인-소스 전류(Ids)가 증가한다. 따라서, 스위치 트랜지스터들을 통해 화소들(PX)에 제공되는 전류량이 증가하므로, 화소들(PX)의 충전율이 향상될 수 있다. 이러한 구성은 이하 상세히 설명될 것이다.
- [0051] 타이밍 컨트롤러(120)는 집적 회로 칩의 형태로 인쇄 회로 기판(미 도시됨)상에 실장되어 게이트 구동부(130) 및 데이터 구동부(140)에 연결될 수 있다.
- [0052] 게이트 구동부(130) 및 데이터 구동부(140)는 복수의 구동 칩들로 형성되어 가요성 인쇄 회로 기판(미 도시됨)상에 실장되고, 테이프 캐리어 패키지(TCP: Tape Carrier Package) 방식으로 표시 패널(110)에 연결될 수 있다.
- [0053] 그러나, 이에 한정되지 않고, 게이트 구동부(130) 및 데이터 구동부(140)는 복수의 구동 칩들로 형성되어 표시 패널(110)에 칩 온 글래스(COG: Chip on Glass) 방식으로 실장될 수 있다.
- [0054] 또한, 게이트 구동부(130)는 화소들(PX11~PX_{mn})의 트랜지스터들과 함께 동시에 형성되어 ASG(Amorphous Silicon TFT Gate driver circuit) 또는 OSG(Oxide Silicon TFT Gate driver circuit) 형태로 표시 패널(110)에 실장될 수 있다.
- [0055] 디먹스부(150)는 데이터 구동부(140)와 화소들(PX11~PX_{mn}) 사이의 표시 패널(110)에 배치될 수 있다.
- [0056] 도 3은 도 1에 도시된 디먹스부의 구성을 보여주는 도면이다. 도 4는 디먹스부의 동작을 설명하기 위한 타이밍도이다.
- [0057] 도 3에는 설명의 편의를 위해 제1 게이트 라인(GL1)에 연결된 화소들(PX)만 도시되었다.
- [0058] 도 3을 참조하면, 디먹스부(150)는 스위치 신호(SWS)에 응답하여 턴 온되고, 구동 라인들(DVL1~DVL_k)을 제1 데이터 라인들 및 제2 데이터 라인들에 선택적으로 연결하기 위한 복수의 스위치 트랜지스터들(ST1, ST2)을 포함한다.
- [0059] 스위치 트랜지스터들(ST1, ST2)은 구동 라인들(DVL1~DVL_k)을 제1 데이터 라인들에 연결하는 복수의 제1 스위치 트랜지스터들(ST1) 및 구동 라인들(DVL1~DVL_k)을 제2 데이터 라인들에 연결하는 복수의 제2 스위치 트랜지스터들(ST2)을 포함한다. 제1 스위치 트랜지스터들(ST1)과 제2 스위치 트랜지스터들(ST2)은 같은 구성을 가질 수 있다.
- [0060] 제1 스위치 트랜지스터들(ST1)은 제1 스위치 라인(SWL1)에 연결되고, 제2 스위치 트랜지스터들(ST2)은 제2 스위치 라인(SWL2)에 연결된다. 스위칭 제어 신호(SWS)는 제1 스위치 신호(SWS1) 및 제2 스위치 신호(SWS2)를 포함한다. 제1 스위치 라인(SWL1)은 제1 스위치 신호(SWS1)를 수신한다. 제2 스위치 라인(SWL2)은 제2 스위치 신호(SWS2)를 수신한다.
- [0061] 제1 스위치 트랜지스터들(ST1)은 각각 제1 스위치 라인(SWL1)에 연결된 제1 게이트 전극, 구동 라인들(DVL1~DVL_k) 중 대응하는 구동 라인에 연결된 제1 소스 전극, 및 제1 데이터 라인들 중 대응하는 제1 데이터 라인에 연결된 제1 드레인 전극을 포함한다.
- [0062] 제2 스위치 트랜지스터들(ST2)은 각각 제2 스위치 라인(SWL2)에 연결된 제2 게이트 전극, 구동 라인들(DVL1~DVL_k) 중 대응하는 구동 라인에 연결된 제2 소스 전극, 및 제2 데이터 라인들 중 대응하는 제2 데이터 라인에 연결된 제2 드레인 전극을 포함한다.
- [0063] 제1 스위치 트랜지스터들(ST1)은 제1 스위치 라인(SWL1)을 통해 제공받은 제1 스위치 신호(SWS1)에 응답하여 구동 라인들(DVL1~DVL_k)을 제1 데이터 라인들에 연결한다. 제2 스위치 트랜지스터들(ST2)은 제2 스위치 라인(SWL2)을 통해 제공받은 제2 스위치 신호(SWS2)에 응답하여 구동 라인들(DVL1~DVL_k)을 제2 데이터 라인들에 연

결한다.

- [0064] 도 4를 참조하면, 각각의 게이트 라인(GL1~GLm)에 인가되는 게이트 신호(GS)의 기간(1H)는 제1 기간(TP1) 및 제2 기간(TP2)을 포함한다. 게이트 신호(GS)의 기간(1H)은 하이 레벨을 갖는 게이트 신호(GS)의 기간(또는 활성화 기간)으로 정의될 수 있다.
- [0065] 제1 기간(TP1) 동안 제1 스위치 신호(SWS1)가 제1 스위치 라인(SWL1)를 통해 제1 스위치들(ST1)에 제공된다. 따라서, 제1 기간(TP1) 동안 제1 스위치들(ST1)은 구동 라인들(DVL1~DVLk)을 제1 데이터 라인들에 연결한다. 제1 기간(TP1)은 하이 레벨을 갖는 제1 스위치 신호(SWS1)의 기간으로 정의될 수 있다.
- [0066] 제2 기간(TP2) 동안 제2 스위치 신호(SWS2)가 제2 스위치 라인(SWL2)를 통해 제2 스위치들(ST2)에 제공된다. 따라서, 제2 기간(TP2) 동안 제2 스위치들(ST2)은 구동 라인들(DVL1~DVLk)을 제2 데이터 라인들에 연결한다. 제2 기간(TP2)은 하이 레벨을 갖는 제2 스위치 신호(SWS2)의 기간으로 정의될 수 있다.
- [0067] 제1 데이터 라인들에 연결된 화소들(PX)은 제1 기간(TP1) 동안 제1 스위치들(ST1)에 의해 연결된 구동 라인들(DVL1~DVLk) 및 제1 데이터 라인들을 통해 데이터 전압들을 제공받는다. 제2 데이터 라인들에 연결된 화소들(PX)은 제2 기간(TP2) 동안 제2 스위치들(ST2)에 의해 연결된 구동 라인들(DVL1~DVLk) 및 제2 데이터 라인들을 통해 데이터 전압들을 제공받는다.
- [0068] 따라서, 제1 구간(TP1) 동안 제1 데이터 라인들에 연결된 화소들(PX)에 데이터 전압들이 충전되고, 제2 구간(TP2) 동안 제2 데이터 라인들에 연결된 화소들(PX)에 데이터 전압들이 충전된다.
- [0069] 도 5는 도 1에 도시된 어느 한 화소의 트랜지스터 및 도 3에 도시된 어느 한 스위치 트랜지스터가 배치된 영역의 표시 패널의 단면 구성을 보여주는 도면이다. 도 6은 스위치 트랜지스터들 상에 배치된 제2 절연막의 두께에 따른 스위치 트랜지스터들의 드레인-소스 전류를 도시한 도면이다.
- [0070] 도 5에는 하나의 트랜지스터(TR) 및 하나의 제1 스위치 트랜지스터(ST1)의 단면이 예시적으로 도시되었다. 그러나, 실질적으로 다른 트랜지스터들(TR) 및 다른 스위치 트랜지스터들(ST1, ST2)도 도 5에 도시된 트랜지스터(TR) 및 제1 스위치 트랜지스터(ST1)와 같은 구성을 가질 것이다.
- [0071] 도 5를 참조하면, 표시 패널(100)은 제1 기판(111), 제1 기판(111)과 마주보도록 배치된 제2 기판(112), 및 제1 기판(111)과 제2 기판(112) 사이에 배치된 액정층(LC)을 포함한다.
- [0072] 제1 기판(111)은 제1 베이스 기판(SUB1), 제1 베이스 기판(SUB1) 상에 배치된 트랜지스터(TR) 및 제1 스위치 트랜지스터(ST1)를 포함한다. 제1 베이스 기판(SUB1)은 투명 또는 불투명한 절연 기판 일 수 있다. 예를 들어, 제1 베이스 기판(SUB1)은 실리콘 기판, 유리 기판, 및 플라스틱 기판일 수 있다.
- [0073] 구체적으로, 제1 베이스 기판(SUB1) 상에 트랜지스터(TR)의 게이트 전극 및 제1 스위치 트랜지스터(ST1)의 제1 게이트 전극(GE1)이 배치된다.
- [0074] 제1 베이스 기판(SUB1) 상에 게이트 전극(GE) 및 제1 게이트 전극(GE1)을 덮도록 제1 절연막(INS1)이 배치된다. 제1 절연막(INS1)은 무기 물질을 포함하고, 게이트 절연막으로 정의될 수 있다.
- [0075] 게이트 전극(GE)을 덮고 있는 제1 절연막(INS1) 상에 트랜지스터(TR)의 반도체 층(SM)이 배치된다. 제1 게이트 전극(GE1)을 덮고 있는 제1 절연막(INS1) 상에 제1 스위치 트랜지스터(ST1)의 제1 반도체 층(SM1)이 배치된다. 도시하지 않았으나, 반도체 층(SM) 및 제1 반도체 층(SM1)은 각각 액티브 층 및 오픈 콘택층을 포함할 수 있다.
- [0076] 반도체 층(SM) 및 제1 절연막(INS1) 상에 트랜지스터(TR)의 소스 전극(SE) 및 드레인 전극(DE)이 서로 이격되어 배치된다. 반도체 층(SM)은 소스 전극(SE) 및 드레인 전극(DE) 사이에서 전도 채널(conductive channel)을 형성한다.
- [0077] 제1 반도체 층(SM1) 및 제1 절연막(INS1) 상에 제1 스위치 트랜지스터(ST1)의 제1 소스 전극(SE1) 및 제1 드레인 전극(DE1)이 서로 이격되어 배치된다. 제1 반도체 층(SM1)은 제1 소스 전극(SE1) 및 제1 드레인 전극(DE1) 사이에서 전도 채널을 형성한다.
- [0078] 트랜지스터(TR) 및 제1 스위치 트랜지스터(ST1)를 덮도록 제1 절연막(INS1) 상에 제2 절연막(INS2)이 배치된다. 제2 절연막(INS2)은 무기 물질을 포함하고, 패시베이션(passivation)막으로 정의될 수 있다. 제2 절연막(INS2)은 트랜지스터(TR)의 노출된 반도체층(SM)의 상부 및 제1 스위치 트랜지스터(ST1)의 노출된 제1 반도체 층(SM1)의 상부를 커버한다.

- [0079] 트랜지스터(TR)의 전도 채널 상에 배치된 제2 절연막(INS2)은 제1 두께(T1)를 갖는다. 제1 스위치 트랜지스터(ST1)의 전도 채널 상에 배치된 제2 절연막(INS2)은 제1 두께(T1)보다 두꺼운 제2 두께(T2)를 갖는다.
- [0080] 트랜지스터(TR)의 전도 채널 및 제1 스위치 트랜지스터(ST1)의 전도 채널이 배치된 영역을 제외한 영역에서 제2 절연막(INS2)은 제2 두께(T2)를 갖는다.
- [0081] 제2 절연막(INS2)은 트랜지스터(TR) 및 제1 스위치 트랜지스터(ST1)를 덮도록 제1 절연막(INS1) 상에 배치된 제1 서브 절연막(INS2_1) 및 제1 서브 절연막(INS2_1) 상에 배치된 제2 서브 절연막(INS2_2)을 포함한다.
- [0082] 제1 서브 절연막(INS2_1) 및 제2 서브 절연막(INS2_2)은 서로 다른 무기 물질을 포함한다. 제1 서브 절연막(INS2_1)은 실리콘 옥사이드(SiO_x)를 포함한다. 제2 서브 절연막(INS2_2)은 실리콘 나이트 라이드(SiN_x)를 포함한다.
- [0083] 트랜지스터(TR)의 전도 채널 상에 배치된 제1 서브 절연막(INS2_1) 및 제2 서브 절연막(INS2_2) 각각은 제3 두께(T3)를 갖는다. 2 개의 제3 두께(T3)의 합은 제1 두께(T1)이다.
- [0084] 제1 스위치 트랜지스터(ST1)의 전도 채널 상에 배치된 제1 서브 절연막(INS2_1)은 제3 두께(T3)를 갖는다. 제1 스위치 트랜지스터(ST1)의 전도 채널 상에 배치된 제2 서브 절연막(INS2_2)은 제3 두께(T3)보다 두꺼운 제4 두께(T4)를 갖는다. 제3 두께(T3)와 제4 두께(T4)의 합은 제2 두께(T2)이다.
- [0085] 트랜지스터(TR)의 전도 채널 및 제1 스위치 트랜지스터(ST1)의 전도 채널이 배치된 영역을 제외한 영역에서 제1 서브 절연막(INS2_1)은 제3 두께(T3)를 갖고, 제2 서브 절연막(INS2_2)은 제4 두께(T4)를 갖는다.
- [0086] 제2 절연막(INS2) 상에 제3 절연막(INS3)이 배치된다. 제3 절연막(INS3)은 유기 물질을 포함할 수 있다. 제3 절연막(INS3)은 제1 기판(111)의 상면을 평탄화 시키는 역할을 할 수 있다.
- [0087] 제3 절연막(INS3) 및 제2 절연막(INS2)을 관통하여 드레인 전극(DE)의 소정의 영역을 노출시키는 콘택홀(CH)이 형성된다. 트랜지스터(TR)의 드레인 전극(DE)은 콘택홀(CH)을 통해 화소 전극(PE)에 전기적으로 연결된다.
- [0088] 각 화소(PX)에 대응하여 배치되는 화소 영역(PA)에 화소 전극(PE)이 배치된다. 화소 영역(PA)의 주변 영역은 비화소 영역(NPA)으로 정의된다.
- [0089] 화소 전극(PE)은 투명 도전성 물질로 형성될 수 있다. 예를 들어, 화소 전극(PE)은 ITO(indium tin oxide), IZO(indium zinc oxide), ITZO(indium tin zinc oxide) 등의 투명 도전성 물질로 구성될 수 있다. 도시하지 않았으나, 화소 전극(PE)을 덮도록 제3 절연막(INS3) 상에 배향막이 배치될 수 있다.
- [0090] 제2 기판(112)은 제2 베이스 기판(SUB2), 블랙 매트릭스(BM), 컬러 필터(CF), 및 공통 전극(CE)을 포함한다. 제2 베이스 기판(SUB2)은 제1 베이스 기판(SUB1)과 마주보도록 배치된다.
- [0091] 제2 베이스 기판(SUB2)은 투명 또는 불투명한 절연 기판 일 수 있다. 예를 들어, 제2 베이스 기판(SUB2)은 실리콘 기판, 유리 기판, 및 플라스틱 기판일 수 있다.
- [0092] 비화소 영역(NPA)에서 블랙 매트릭스(BM)는 제2 베이스 기판(SUB2)의 하부에 배치된다. 컬러 필터(CF)는 화소(PX)에 대응하도록 제2 베이스 기판(SUB2)의 하부에 배치된다. 컬러 필터(CF)는 블랙 매트릭스(BM)를 덮도록 배치된다. 컬러 필터(CF)는 화소(PX)를 투과하는 광에 색을 제공한다. 컬러 필터(CF)는 적색 컬러 필터, 녹색 컬러 필터, 및 청색 컬러 필터 중 어느 하나일 수 있다.
- [0093] 블랙 매트릭스(BM)는 영상을 구현함에 있어 불필요한 광을 차단한다. 블랙 매트릭스(BM)는 화소 영역(PA)의 가장 자리에서 발생할 수 있는 액정 분자들의 이상 거동에 의한 빛샘이나, 컬러 필터(CF)의 가장자리에서 나타날 수 있는 혼색을 차단할 수 있다.
- [0094] 컬러 필터(CF)의 하부에는 공통 전극(CE)이 배치된다. 공통 전극(CE)은 투명 도전성 물질로 형성될 수 있다. 예를 들어, 공통 전극(CE)은 ITO(indium tin oxide), IZO(indium zinc oxide), ITZO(indium tin zinc oxide) 등의 투명 도전성 물질로 구성될 수 있다. 도시하지 않았으나, 공통 전극(CE)의 하부에는 배향막이 배치될 수 있다.
- [0095] 화소 전극(PE), 공통 전극(CE), 및 화소 전극(PE)과 공통 전극(CE) 사이에 배치된 액정층(LC)에 의해 액정 커패시터(CLC)가 형성된다. 화소 전극(PE)은 턴온 된 트랜지스터(TR)에 의해 데이터 전압을 제공받고, 공통 전극(CE)은 공통 전압(VCOM)을 제공받는다.

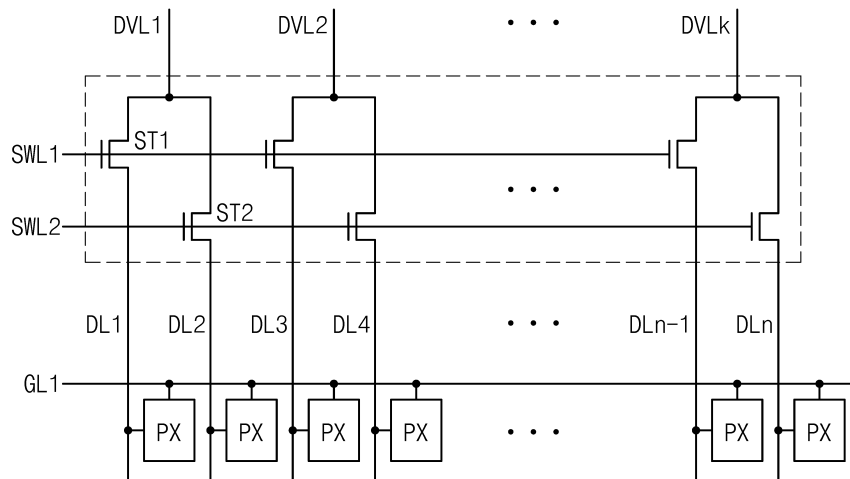
- [0096] 화소 전극(PE)에 인가된 데이터 전압과 공통 전극(CE)에 인가된 공통 전압(VCOM)의 레벨 차이에 의해 화소 전극(PE)과 공통 전극(CE) 사이에 전계가 형성된다.
- [0097] 화소 전극(PE)과 공통 전극(CE) 사이에 형성된 전계에 의해 액정층(LC)의 액정 분자들이 구동된다. 전계에 의해 구동된 액정 분자들에 의해 광 투과율이 조절되어 영상이 표시될 수 있다.
- [0098] 도시되지 않았으나, 표시 패널(110)에 광을 제공하기 위한 백라이트 유닛이 표시 패널(110)의 후방에 배치될 수 있다.
- [0099] 표시 패널(110)의 제1 기관(111)의 제조시, 제1 기관(111)을 제조한 후 열처리 공정이 수행된다. 예시적으로 350℃의 온도가 1시간 정도 제1 기관(111)에 가해질 수 있다. 열처리는 표시 패널(110)의 안정화를 위해 수행한다.
- [0100] 예를 들어, 트랜지스터들(TR)의 전압-전류 특성이 공정상의 오차로 인해 다를 수 있다. 즉, 트랜지스터들(TR)의 문턱 전압 산포가 커진다. 열처리 공정에 의해 트랜지스터들(TR)의 문턱 전압 산포가 줄어들 수 있다.
- [0101] 제2 서브 절연막(INS2_2)의 실리콘 나이트 라이드는 이온화 수소(H^+)를 포함한다. 열처리 공정시, 실리콘 나이트 라이드의 이온화 수소들이 반도체층(SM) 및 제1 반도체 층(SM1)으로 확산될 수 있다.
- [0102] 실리콘 나이트 라이드의 두께가 두꺼울수록 더 많은 이온화 수소를 포함하므로, 확산되는 이온화 수소의 양은 실리콘 나이트 라이드의 두께에 비례한다. 제1 반도체층(SM1)으로 확산되는 이온화 수소의 양은 반도체 층(SM)으로 확산되는 이온화 수소의 양보다 많다.
- [0103] 이온화 수소는 반도체 층(SM) 및 제1 반도체 층(SM1)의 저항을 낮추는 역할을 한다. 저항 값은 이온화 수소의 양에 비례하여 낮아진다. 따라서, 제1 반도체 층(SM1)의 저항 값은 반도체 층(SM)의 저항 값보다 더 낮아질 수 있다.
- [0104] 제1 반도체 층(SM1)의 저항 값이 낮아지므로, 제1 및 제2 스위치 트랜지스터들(ST1, ST2)의 전압-전류 특성이 향상된다. 예를 들어, 이온화 수소에 의해 제1 반도체 층(SM1)의 저항 값이 낮아지고, 제1 스위치 트랜지스터들(ST1)의 채널을 통해 흐르는 드레인-소스 전류(I_{ds})가 증가된다.
- [0105] 제2 스위치 트랜지스터들(ST2)도 제1 스위치 트랜지스터들(ST1)과 동일한 구성을 가지므로, 제2 반도체 층(SM2)의 저항 값이 낮아지고, 제2 스위치 트랜지스터들(ST2)의 채널을 통해 흐르는 드레인-소스 전류(I_{ds})가 증가된다.
- [0106] 도 6을 참조하면, 제1 및 제2 스위치 트랜지스터들(ST1, ST2)의 게이트-소스 전압(V_{gs})은 15V로 설정되고, 실리콘 옥사이드(SiO_x)를 포함하는 제1 서브 절연막(INS2_1)의 제3 두께(T3)는 100 옹스트룡(Å)이다. 제2 서브 절연막(INS2_2)의 제4 두께(T4)는 100 옹스트룡(Å)보다 크고 1000 옹스트룡(Å)보다 작거나 같을 수 있다.
- [0107] 실리콘 나이트 라이드를 포함하는 제2 서브 절연막(INS2_2)의 제4 두께(T4)가 150 옹스트룡(Å), 300 옹스트룡(Å), 500 옹스트룡(Å), 800 옹스트룡(Å), 및 1000 옹스트룡(Å)의 두께를 가질 때, 드레인-소스 전류(I_{ds})가 측정되었다. 도 6에 도시된 바와 같이, 제2 서브 절연막(INS2_2)의 제4 두께(T4)가 증가할수록 제1 및 제2 스위치 트랜지스터들(ST1, ST2)의 드레인-소스 전류(I_{ds})가 증가된다.
- [0108] 게이트 신호(GS)의 기간(1H)을 제1 및 제2 기간들(TP1, TP2)으로 나누어서 데이터 전압들이 충전되므로, 디머스부를 사용하지 않고 게이트 신호의 기간(1H)동안 데이터 전압들이 충전될 때보다 충전 시간이 부족할 수 있다. 또한, 제1 및 제2 스위치 트랜지스터들(ST1, ST2)의 채널 상의 제2 서브 절연막(INS2_2)의 두께가 트랜지스터들(TR)의 채널 상에 배치된 제2 서브 절연막(INS2_2)의 두께와 같을 수 있다.
- [0109] 이러한 경우, 구동 라인들(DVL1~DVLk) 및 데이터 라인들(DL1~DLn)의 자체 저항 및 기생 커패시터들에 의해 발생하는 RC 딜레이에 의해 데이터 전압들이 지연되어 화소들(PX)의 충전률이 감소될 수 있다.
- [0110] 본 발명의 실시 예에서는 디머스부(150)에 배치된 제1 및 제2 스위치 트랜지스터들(ST1, ST2)의 채널 저항이 감소되고, 제1 및 제2 스위치 트랜지스터들(ST1, ST2)의 드레인-소스 전류(I_{ds})가 증가한다. 따라서, 제1 및 제2 스위치 트랜지스터들(ST1, ST2)을 통해 화소들(PX)에 제공되는 전류량이 증가하므로, 화소들(PX)이 보다 더 빨리 충전될 수 있다. 즉, 화소들(PX)의 충전률이 향상될 수 있다.
- [0111] 결과적으로, 본 발명의 실시 예에 따른 표시 장치(100)는 화소들(PX)의 충전률을 향상시킬 수 있다.

- [0112] 도 7은 본 발명의 다른 실시 예에 따른 표시 장치의 표시 패널의 단면 구성을 보여주는 도면이다.
- [0113] 도 7에 도시된 표시 패널의 단면은 도 5에 도시된 표시 패널(110)의 단면에 대응하는 영역의 단면이다. 본 발명의 다른 실시 예에 따른 표시 패널의 단면은 제2 절연막(INS2)의 구성을 제외하면, 도 5에 도시된 표시 패널(110)의 단면 구성과 동일하다. 따라서, 이하 도 7을 참조하여, 도 5에 도시된 구성과 다른 구성만이 설명될 것이다.
- [0114] 도 7을 참조하면, 트랜지스터(TR) 및 제1 트랜지스터(ST1)를 덮도록 제1 절연막(INS1) 상에 제2 절연막(INS2)이 배치된다. 제2 절연막(INS2)은 단일막으로 형성된다. 제2 절연막(INS2)은 실리콘 나이트 라이드(SiNx)를 포함한다.
- [0115] 트랜지스터(TR)의 전도 채널 상에 배치된 제2 절연막(INS2)은 제1 두께(T1)를 갖는다. 제1 스위치 트랜지스터(ST1)의 전도 채널 상에 배치된 제2 절연막(INS2)은 제1 두께(T1)보다 두꺼운 제2 두께(T2)를 갖는다. 트랜지스터(TR)의 전도 채널 및 제1 스위치 트랜지스터(ST1)의 전도 채널이 배치된 영역을 제외한 영역에서 제2 절연막(INS2)은 제2 두께(T2)를 갖는다.
- [0116] 실리콘 나이트 라이드의 이온화 수소에 의해 제1 반도체 층(SM1)의 저항 값이 낮아지므로, 제1 및 제2 스위치 트랜지스터들(ST1, ST2)의 전압-전류 특성이 향상된다. 따라서, 제1 및 제2 스위치 트랜지스터들(ST1, ST2)의 전도 채널을 통해 흐르는 드레인-소스 전류(IDs)가 증가된다. 그 결과, 제1 및 제2 스위치 트랜지스터들(ST1, ST2)을 통해 화소들(PX)에 제공되는 전류량이 증가하여, 화소들(PX)의 충전률이 향상될 수 있다.
- [0117] 결과적으로, 본 발명의 다른 실시 예에 따른 표시 장치는 화소들의 충전률을 향상시킬 수 있다.
- [0118] 이상 실시 예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다. 또한 본 발명에 개시된 실시 예는 본 발명의 기술 사상을 한정하기 위한 것이 아니고, 하기의 특허 청구의 범위 및 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

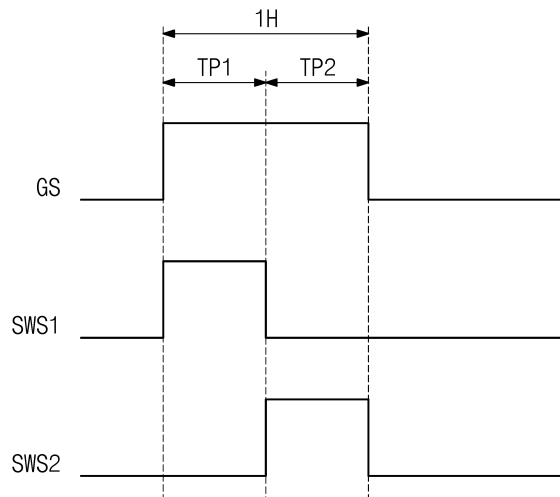
부호의 설명

- [0119] 100: 표시 장치 110: 표시 패널
 120: 타이밍 컨트롤러 130: 게이트 구동부
 140: 데이터 구동부 150: 디렉스 부
 111, 112: 제1 및 제2 기관 PX: 화소
 PE: 화소 전극 CE: 공통 전극
 CLC: 액정 커패시터 TR: 트랜지스터
 SUB1, SUB2: 제1 및 제2 베이스 기관
 ST1, ST2: 제1 및 제2 스위치 트랜지스터
 INS1, INS2, INS3: 제1, 제2, 및 제3 절연막
 INS2_1, INS2_2: 제1 및 제2 서브 절연막

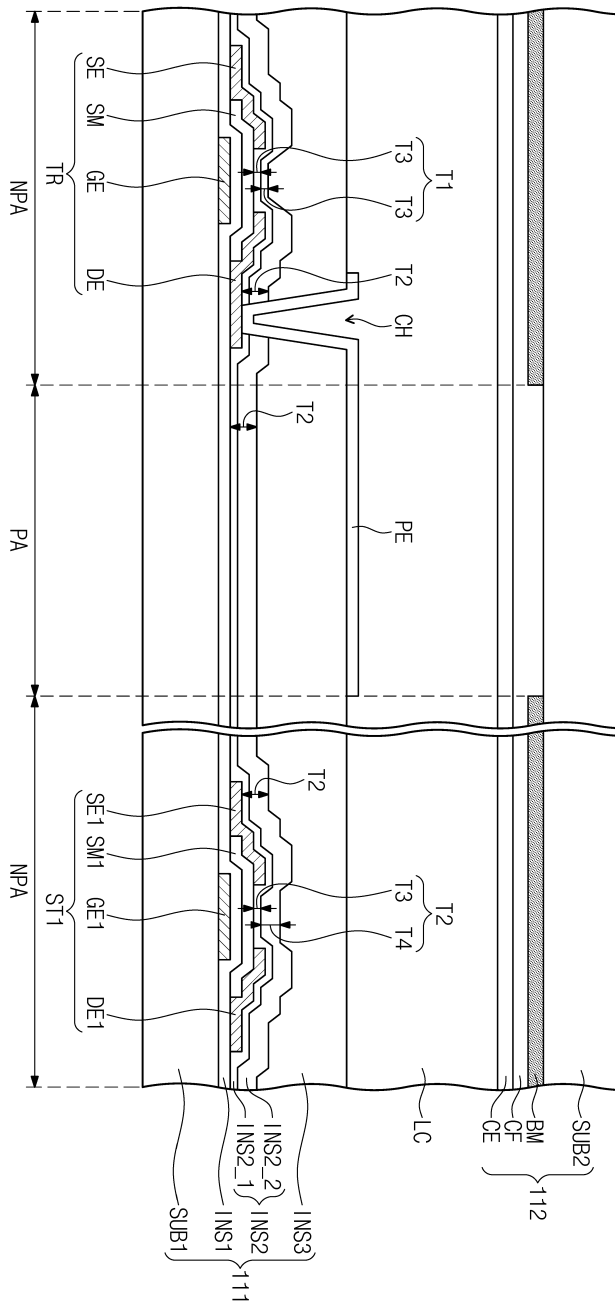
도면3



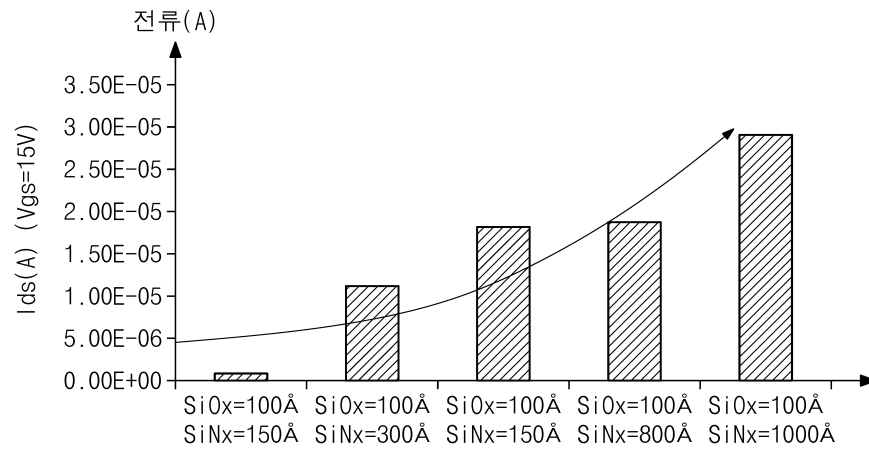
도면4



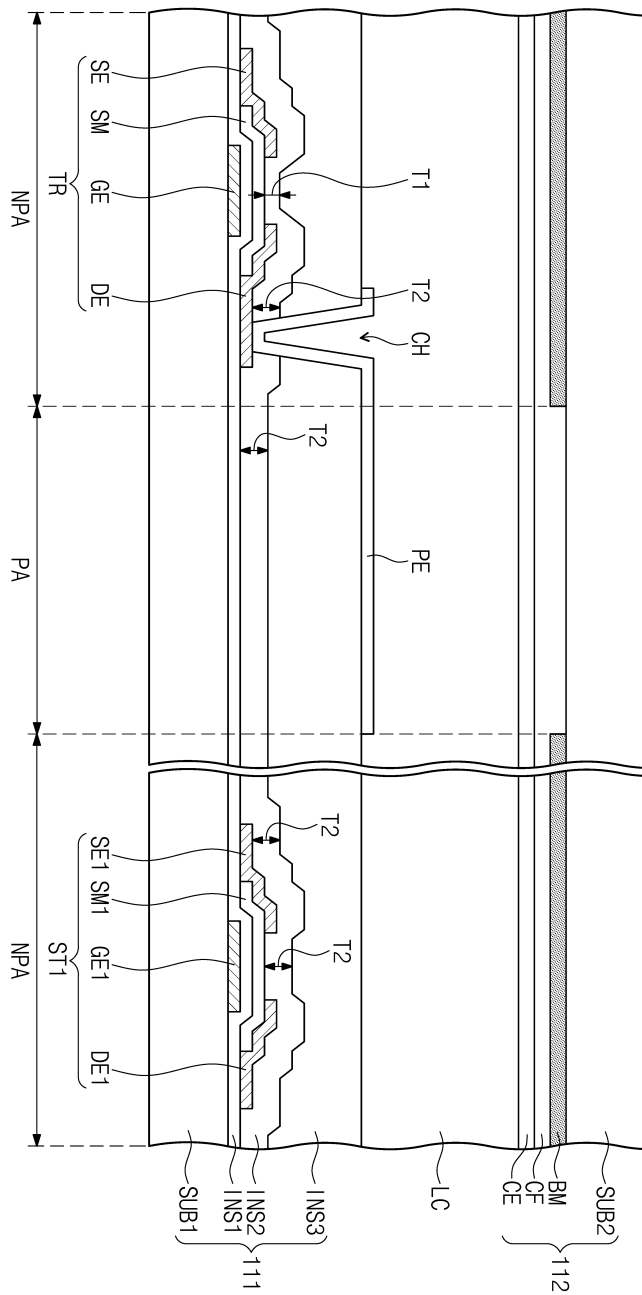
도면5



도면6



도면7



专利名称(译)	显示装置的标题		
公开(公告)号	KR1020160117847A	公开(公告)日	2016-10-11
申请号	KR1020150045662	申请日	2015-03-31
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	PARK JUNHYUN 박준현 KIM SUNGHWAN 김성환 SONG SEYOUNG 송세영 SHIN KYOUNGJU 신경주		
发明人	박준현 김성환 송세영 신경주		
IPC分类号	G02F1/1362 G02F1/133 G02F1/1343 G02F1/1368 G09G3/36		
CPC分类号	G02F1/1362 G02F1/1368 G02F1/1343 G02F1/133 G09G3/3622 G02F1/133345 G02F1/136286 G09G3/20 G09G3/3688 G09G2310/027 G09G2310/0297 G09G2320/0223 H01L27/124 H01L27/1248 H01L27/1255		
外部链接	Espacenet		

摘要(译)

该显示装置包括多个像素，每个像素包括连接到相应的一条栅极线的晶体管和相应的一条数据线以及连接到晶体管的液晶电容器，数据线和偶数数据线，以及设置在晶体管和开关晶体管上的绝缘膜，其中开关晶体管布置在每个晶体管的导电沟道上其中，绝缘膜具有第一厚度，设置在每个开关晶体管的导电沟道上的绝缘膜具有比第一厚度厚的第二厚度。

Singyeongju

