



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0130578

(43) 공개일자 2015년11월24일

(51) 국제특허분류(Int. Cl.)

G02F 1/1343 (2006.01)

(21) 출원번호 10-2014-0056920

(22) 출원일자 2014년05월13일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

정태용

경북 구미시 옥계북로 69, 106동 2503호 (옥계동, 현진에버빌엠피아아파트)

홍현석

경기 고양시 일산서구 대산로 106, 109동 502호 (주엽동, 강선마을1단지아파트)

(74) 대리인

특허법인천문

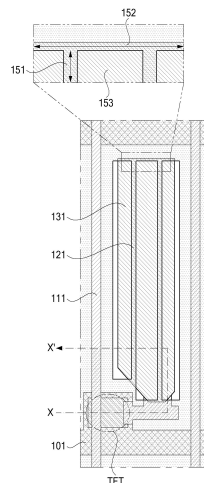
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 프린지 필드형 액정표시장치

(57) 요약

본 발명은 색순도를 향상시키고 깜박거림(Flicker) 현상이 발생하는 것을 방지할 수 있는 프린지 필드형 액정표시장치에 관한 것이다. 본 발명의 실시예에 따른 프린지 필드형 액정표시장치는 서로 다른 면적을 가지는 제1 화소영역 및 제2 화소영역; 상기 제1 화소영역 내에 형성되는 제1 화소전극; 상기 제2 화소영역 내에 형성되며, 상기 제1 화소전극과 서로 다른 면적을 가지는 제2 화소전극; 보호층을 사이에 두고 상기 제1 화소전극과 중첩하는 제1 공통전극; 상기 제1 공통전극은 적어도 하나의 제1 슬릿부를 포함하고, 상기 보호층을 사이에 두고 상기 제2 화소전극과 중첩하는 제2 공통전극; 상기 제2 공통전극은 상기 제1 슬릿부와 다른 면적을 가지는 적어도 하나의 제2 슬릿부를 포함한다.

대표도 - 도3a



명세서

청구범위

청구항 1

서로 다른 면적을 가지는 제1 화소영역 및 제2 화소영역;

상기 제1 화소영역 내에 형성되는 제1 화소전극;

상기 제2 화소영역 내에 형성되며, 상기 제1 화소전극과 서로 다른 면적을 가지는 제2 화소전극;

보호층을 사이에 두고 상기 제1 화소전극과 중첩하는 제1 공통전극;

상기 제1 공통전극은 적어도 하나의 제1 슬릿부를 포함하고,

상기 보호층을 사이에 두고 상기 제2 화소전극과 중첩하는 제2 공통전극;

상기 제2 공통전극은 상기 제1 슬릿부와 다른 면적을 가지는 적어도 하나의 제2 슬릿부를 포함하는 프린지 필드형 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 제1 공통전극은 적색 또는 녹색을 표시하는 상기 제1 화소영역 내에 형성되고, 상기 제2 공통전극은 청색 또는 백색을 표시하는 상기 제2 화소영역 내에 형성된 프린지 필드형 액정표시장치.

청구항 3

제 1 항에 있어서,

상기 제1 화소영역의 면적은 상기 제2 화소영역의 면적보다 넓은 프린지 필드형 액정표시장치.

청구항 4

제 1 항에 있어서,

상기 제1 공통전극은 상기 제1 화소영역 내에서 복수의 제1 공통전극부 및 상기 복수의 제1 공통전극부로부터 연장되는 복수의 제2 공통전극부를 포함하고,

상기 제1 슬릿부는 상기 제1 공통전극부와 상기 제2 공통전극부에 의해 구획된 프린지 필드형 액정표시장치.

청구항 5

제 4 항에 있어서,

상기 제2 공통전극은 상기 제2 화소영역 내에서 복수의 제3 공통전극부 및 상기 복수의 제3 공통전극부로부터 연장되는 복수의 제4 공통전극부를 포함하고,

상기 제2 슬릿부는 상기 제3 공통전극부와 상기 제4 공통전극부에 의해 구획된 프린지 필드형 액정표시장치.

청구항 6

제 5 항에 있어서,

상기 제1 공통전극부 및 상기 제3 공통전극부는 데이터 라인이 연장되는 방향에 따라 형성되고,

상기 제2 공통전극부 및 상기 제4 공통전극부는 게이트 라인이 연장되는 방향에 따라 형성된 프린지 필드형 액정표시장치.

청구항 7

제 5 항에 있어서,

상기 제1 공통전극부는 상기 제3 공통전극부와 다른 쪽을 갖는 프린지 필드형 액정표시장치.

청구항 8

제 7 항에 있어서,

상기 제1 공통전극부는 상기 제3 공통전극부보다 폭이 좁은 프린지 필드형 액정표시장치.

청구항 9

제 5 항에 있어서,

상기 제2 공통전극부는 상기 제4 공통전극부와 다른 쪽을 갖는 프린지 필드형 액정표시장치.

청구항 10

제 9 항에 있어서,

상기 제2 공통전극부는 상기 제4 공통전극부보다 폭이 좁게 형성된 프린지 필드형 액정표시장치.

청구항 11

제 1 항에 있어서,

상기 제1 화소전극과 상기 제1 공통전극 사이에는 제1 정전용량의 스토리지 캐패시터가 형성되고,

상기 제2 화소전극과 상기 제2 공통전극 사이에는 제2 정전용량의 스토리지 캐패시터가 형성되고,

상기 제1 정전용량과 상기 제2 정전용량이 동일한 프린지 필드형 액정표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 프린지 필드형 액정표시장치에 관한 것으로, 특히 색순도를 향상시키고 깜박거림(Flicker) 현상이 발생하는 것을 방지할 수 있는 프린지 필드형 액정표시장치에 관한 것이다.

배경 기술

[0002] 일반적으로 널리 사용되고 있는 표시장치 중 하나인 액정표시장치(LCD)는 액정의 움직임을 제어하기 위해 인가되는 전기장의 방향에 따라 크게 횡전계형과 수직 전계형 그리고 프린지 필드형 등으로 나뉠 수 있다. 그 중 프린지 필드형 액정표시장치는 공통 전극 또는 화소 전극 중 어느 하나를 플랫(Flat)하게 화소영역에 형성하고 보호층을 사이에 두고 다른 하나를 슬릿(Slit)형태로 형성한다. 이러한 프린지 필드형 액정표시장치는 횡전계형 액정표시장치에 비해 개구율을 향상시킬 수 있으면서도 수직전계형 액정표시장치에 비해 광시야각을 구현할 수 있어서 많은 액정표시장치에 적용되고 있다.

[0003] 한편, UHD(Ultra High Definition) 등과 같은 초고화질 표시장치에 대한 수요가 증대됨에 따라 이를 액정표시장치에 적용할 시에도 해상도, 투과율 및 소비전력 등에 대한 문제가 해결해야 할 과제로 대두하고 있으며, 상기 과제를 해결하기 위한 액정표시장치의 다양한 화소구조가 개발되고 있다.

[0004] 도 1 (a)는 종래의 RGB 스트라이프(stripe)구조의 액정표시장치에서 화소구조를 나타낸 도면이고, 도 1 (b)는 종래의 RGBW 구조의 액정표시장치에서 화소구조를 나타낸 도면이다.

[0005] 종래의 RGB 스트라이프 구조에서는 도 1 (a)에 도시된 바와 같이 하나의 단위화소(unit pixel)영역이 각각 적색(R), 녹색(G), 청색(B)을 발광하도록 구비된 3개의 인접한 화소영역으로 정의된다. 액정표시장치의 경우 유기발광장치(OLED)와는 달리 별도의 광원이 필요하며, 상기 광원에서 출광된 빛은 액정을 통과한 뒤 각각의 화소에 구비된 컬러필터(Color Filter)를 통해 색이 표현된다.

[0006] 따라서, RGB 스트라이프 구조에서는 임의의 열(column)또는 행(row)에 동일한 색을 표시하는 화소영역 및 컬러필터가 스트라이프 형태로 구비된다. 이에 비해, RGBW 화소구조는 하나의 단위화소영역이 2개의 인접한 화소영역

역으로 정의된다.

[0007] 예를 들면, 도 1 (b)에 도시된 바와 같이 R 화소영역 및 G 화소영역으로 이루어진 하나의 단위화소영역이 구비되며, 상기 하나의 단위화소영역의 상/하/좌/우로 인접한 네 개의 단위화소영역은 B 화소영역과 별도의 컬러필터가 형성되지 않은 W 화소영역으로 이루어진다. W 화소영역을 통해 상기 광원에서 출광된 빛이 컬러필터를 통하지 않고 화면에 표시되기 때문에 종래의 RGB 스트라이프 구조에 비해 밝은 화면을 구현할 수 있고, 투과율의 개선이 가능하다.

[0008] 그러나, 종래의 RGBW 구조는 도 1 (b)에 도시된 바와 같이 모든 화소영역의 크기가 동일하게 설계된다. 여기서, 전체 투과율은 종래의 RGB 스트라이프 구조 대비 증가하는 효과가 있지만 R, G, B 순색휘도 및 색좌표 변동 문제가 발생하게 된다. 즉, 상기 W 화소영역에 의해 전체 휘도는 증가될 수 있으나, W 화소영역의 면적이 추가됨에 의해 RGB 화소영역의 면적이 줄어들게 되어 오히려 R, G, B와 같은 고채색의 휘도가 감소하는 문제점이 있다. 따라서, 종래의 RGBW 구조는 색에 따른 휘도의 불균형에 의해 색좌표 변동을 초래한다.

발명의 내용

해결하려는 과제

[0009] 본 발명은 R, G, B, W, 화소영역을 비대칭 구조로 설계하여 색에 따른 휘도의 불균형에 의한 색좌표 변동을 방지하는 것을 기술적 과제로 한다.

[0010] 본 발명은 화소영역을 비대칭 구조로 설계함에 따라 발생할 수 있는 플리커(Flicker) 현상을 방지하기 위한 화소구조를 제공하는 것을 기술적 과제로 한다.

과제의 해결 수단

[0011] 본 발명의 실시예에 따른 프린지 필드형 액정표시장치는 서로 다른 면적을 가지는 제1 화소영역 및 제2 화소영역; 상기 제1 화소영역 내에 형성되는 제1 화소전극; 상기 제2 화소영역 내에 형성되며, 상기 제1 화소전극과 서로 다른 면적을 가지는 제2 화소전극; 보호층을 사이에 두고 상기 제1 화소전극과 중첩하는 제1 공통전극; 상기 제1 공통전극은 적어도 하나의 제1 슬릿부를 포함하고, 상기 보호층을 사이에 두고 상기 제2 화소전극과 중첩하는 제2 공통전극; 상기 제2 공통전극은 상기 제1 슬릿부와 다른 면적을 가지는 적어도 하나의 제2 슬릿부를 포함하는 것을 특징으로 한다.

[0012] 본 발명의 실시예에 따른 프린지 필드형 액정표시장치의 상기 제1 공통전극은 적색 또는 녹색을 표시하는 상기 제1 화소영역 내에 형성되고, 상기 제2 공통전극은 청색 또는 백색을 표시하는 상기 제2 화소영역 내에 형성된 것을 특징으로 한다.

[0013] 본 발명의 실시예에 따른 프린지 필드형 액정표시장치에서 상기 제1 화소영역의 면적은 상기 제2 화소영역의 면적보다 넓은 것을 특징으로 한다.

[0014] 본 발명의 실시예에 따른 프린지 필드형 액정표시장치의 상기 제1 공통전극은 상기 제1 화소영역 내에서 복수의 제1 공통전극부 및 상기 복수의 제1 공통전극부로부터 연장되는 복수의 제2 공통전극부를 포함하고, 상기 제1 슬릿부는 상기 제1 공통전극부와 상기 제2 공통전극부에 의해 구획된 것을 특징으로 한다.

[0015] 본 발명의 실시예에 따른 프린지 필드형 액정표시장치의 상기 제2 공통전극은 상기 제2 화소영역 내에서 복수의 제3 공통전극부 및 상기 복수의 제3 공통전극부로부터 연장되는 복수의 제4 공통전극부를 포함하고, 상기 제2 슬릿부는 상기 제3 공통전극부와 상기 제4 공통전극부에 의해 구획된 것을 특징으로 한다.

[0016] 본 발명의 실시예에 따른 프린지 필드형 액정표시장치의 상기 제1 공통전극부 및 상기 제3 공통전극부는 데이터 라인이 연장되는 방향에 따라 형성되고, 상기 제2 공통전극부 및 상기 제4 공통전극부는 게이트 라인이 연장되는 방향에 따라 형성된 것을 특징으로 한다.

[0017] 본 발명의 실시예에 따른 프린지 필드형 액정표시장치의 상기 제1 공통전극부는 상기 제3 공통전극부와 다른 폭을 갖는 것을 특징으로 한다.

[0018] 본 발명의 실시예에 따른 프린지 필드형 액정표시장치의 상기 제1 공통전극부는 상기 제3 공통전극부보다 폭이 좁은 것을 특징으로 한다.

[0019] 본 발명의 실시예에 따른 프린지 필드형 액정표시장치의 상기 제2 공통전극부는 상기 제4 공통전극부와 다른 폭

을 갖는 것을 특징으로 한다.

[0020] 본 발명의 실시예에 따른 프린지 필드형 액정표시장치의 상기 제2 공통전극부는 상기 제4 공통전극부보다 폭이 좁은 것을 특징으로 한다.

[0021] 본 발명의 실시예에 따른 프린지 필드형 액정표시장치에서 상기 제1 화소전극과 상기 제1 공통전극 사이에는 제1 정전용량의 스토리지 캐패시터가 형성되고, 상기 제2 화소전극과 상기 제2 공통전극 사이에는 제2 정전용량의 스토리지 캐패시터가 형성되고, 상기 제1 정전용량과 상기 제2 정전용량이 동일한 것을 특징으로 한다.

발명의 효과

[0022] 본 발명의 실시예에 따른 프린지 필드형 액정표시장치는 화소영역의 크기를 비대칭으로 설계함으로써 R, G, B 순색회도를 증가시키면서 색좌표 변동을 개선할 수 있다.

[0023] 본 발명의 실시예에 따른 프린지 필드형 액정표시장치는 화소영역 내에 형성되는 공통전극과 화소전극이 중첩되는 영역의 면적을 화소영역의 크기에 상관없이 동일하게 설계함으로써, 화소영역의 크기를 비대칭적으로 설계함에 따라 발생하는 화소전압의 변화량(ΔV_p)의 비대칭으로 인한 플리커(Flicker) 현상을 방지할 수 있다.

도면의 간단한 설명

[0024] 도 1 (a) 내지 도 1 (b)는 각각 종래의 RGB, RGBW 화소구조를 나타낸 개략도이다.

도 2 (a) 내지 도 2 (b)는 본 발명의 제1 내지 제2 실시예에 따른 비대칭 RGBW 화소구조의 개략도이다.

도 3 (a) 내지 도 3 (b)는 본 발명의 제1 실시예에 따른 제1 화소영역 및 제2 화소영역의 정면도이다.

도 4 (a) 내지 도 4 (b)는 상기 도 3 (a)의 X-X' 및 상기 도 3 (b)의 Y-Y' 방향에 따른 단면도이다.

도 5 (a) 내지 도 5 (b)는 본 발명의 제2 실시예에 따른 제1 화소영역 및 제2 화소영역의 정면도이다.

도 6 (a) 내지 도 6 (b)는 상기 도 5 (a)의 H-H' 및 상기 도 5 (b)의 I-I'의 방향에 따른 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0025] 이하, 첨부한 도면을 참조하여, 본 발명에 따른 실시예를 설명하도록 한다.

[0026] 도 2 (a) 내지 도 2 (b)는 본 발명의 제1 내지 제2 실시예에 따른 프린지 필드형 액정표시장치의 화소구조에 대한 개략도이다.

[0027] 도 2 (b)에 도시된 바와 같이, 복수의 게이트 라인(100)과 복수의 데이터 라인(110)은 서로 교차하여 매트릭스(Matrix)형태로 구비된다. 복수의 게이트 라인(100)과 복수의 데이터 라인(110)의 교차부에는 각 화소별로 박막 트랜지스터(미도시)가 형성되어 게이트 신호 및 데이터 신호에 따라 각 화소의 구동을 제어한다.

[0028] 복수의 상기 게이트 라인(100)과 복수의 상기 데이터 라인(110)에 의해 구획되는 영역에는 제1 화소영역(SP1) 또는 제2 화소영역(SP2)이 구비된다.

[0029] 본 발명의 제1 내지 제2 실시예에서는, 전술한 바와 같이 각각의 화소영역의 면적에 따라 제1 화소영역(SP1) 또는 제2 화소영역(SP2)으로 정의한다. 상기 제1 화소영역(SP1) 및 상기 제2 화소영역(SP2)은 각 화소영역의 색에 따른 휘도의 불균형을 조절하기 위해 각 화소영역이 표시하는 색상에 따라 결정된다.

[0030] 예를 들어, 상기 제1 화소영역(SP1)은 적색(R) 또는 녹색(G)을 표시하는 화소영역일 수 있다. 그리고, 상기 제2 화소영역(SP2)은 청색(B) 또는 백색(W)을 표시하는 화소영역일 수 있다.

[0031] 더 나아가, 본 발명의 제1 내지 제2 실시예에서는 상기 제1 화소영역(SP1)의 면적을 상기 제2 화소영역(SP2)의 면적보다 크도록 형성한다. 즉, 제1 화소영역(SP1)의 면적과 상기 제2 화소영역(SP2)의 면적을 비대칭 구조로 설계한다. 설계환경에 따라서, 상기 제1 화소영역(SP1)과 상기 제2 화소영역(SP2)의 위치가 변경될 수 있으나, 상기 게이트 라인(100)을 기준으로 상기 제1 화소영역(SP1)에 인접하여 상기 제2 화소영역(SP2)이 위치할 수 있다.

[0032] 또한, 화소구조가 비대칭으로 설계됨에 따라 복수의 상기 게이트 라인(100)과 복수의 상기 데이터 라인(110)의 설계도 변경될 수 있다. 본 발명의 실시예에서는 도 2(b)에 도시된 바와 같이, 상기 게이트 라인(100)이 상기 제1 화소영역(SP1)과 상기 제2 화소영역(SP2)에 인접한 상기 데이터 라인(110)과 교차되는 지점에서 서로 중첩

되도록 설계될 수 있다.

- [0033] 도 2(b)에 도시된 바와 같이, 상기 게이트 라인(100)은 상기 제1 화소영역(SP1)이 상측에 배치되고 상기 제2 화소영역(SP2)이 하측에 배치되어, 상기 제1 화소영역(SP1)과 상기 제2 화소영역(SP2)이 마주하는 영역에서는 수평방향으로 형성된다.
- [0034] 또한, 상기 게이트 라인(100)은 상기 제1 화소영역(SP1)이 하측에 배치되고 상기 제2 화소영역(SP2)이 상측에 배치되어, 상기 제1 화소영역(SP1)과 상기 제2 화소영역(SP2)이 마주하는 영역에서는 수평방향으로 형성된다.
- [0035] 여기서, 상기 제1 화소영역(SP1)과 상기 제2 화소영역(SP2)이 비대칭적으로 형성되어 있어, 전체 게이트 라인(100) 중에서 일부의 게이트 라인들은 일직선으로 형성되지만, 나머지 일부의 게이트 라인(100)은 일직선으로 형성되지 않는다.
- [0036] 수평 방향으로 인접하게 제1 화소영역(SP1)과 제2 화소영역(SP2)이 배치되고, 수평 방향으로 인접한 상기 제1 화소영역(SP1)과 상기 제2 화소영역(SP2)의 사이에 형성된 테이터 라인(110)의 길이 방향으로 게이트 라인(100)이 중첩되도록 형성된다.
- [0037] 전술한 바와 같이, 상기 제1 화소영역(SP1)과 상기 제2 화소영역(SP2)의 면적을 서로 다르게 비대칭으로 설계함으로써 종래의 RGBW 구조에서의 각 화소영역 별로 표현하는 색에 따른 휘도의 불균형을 조절할 수 있다.
- [0038] 이하, 본 발명의 제1 실시예에 대해 좀 더 상세하게 설명하도록 한다.
- [0039] 도 3 (a)는 본 발명의 제1 실시예에 따른 프린지 필드형 액정표시장치의 상기 제1 화소영역(SP1)의 정면도이며, 도 3 (b)는 본 발명의 제1 실시예에 따른 프린지 필드형 액정표시장치의 상기 제2 화소영역(SP2)의 정면도이다.
- [0040] 도 3 (a) 및 도 3 (b)에 도시한 바와 같이, 본 발명의 제1 실시예에 따른 프린지 필드형 액정표시장치는 상기 제1 화소영역(SP1) 및 상기 제2 화소영역(SP2) 내에 각각 제1 화소전극(131) 및 제2 화소전극(132) 그리고 제1 공통전극(121) 및 제2 공통전극(122)를 구비한다.
- [0041] 본 발명의 제1 실시예에서는 상기 제1 화소전극(131) 상에 제1 공통전극(121)이 형성되고, 상기 제2 화소전극(132) 상에 각각 상기 제2 공통전극(122)이 형성되지만, 설계환경에 따라 제1 및 상기 제2 화소전극(131, 132)과 제1 및 상기 제2 공통전극(121, 122)의 적층 순서가 바뀔 수 있다.
- [0042] 또한, 상기 제1 및 상기 제2 화소전극(131, 132)과 상기 제1 및 상기 제2 공통전극(121, 122) 사이에는 보호층(미도시)이 형성되어 있다. 상기 제1 및 상기 제2 화소전극(131, 132)과 상기 제1 및 상기 제2 공통전극(121, 122) 사이에는 스토리지 캐패시터(Cst)가 형성되어 있다. 상기 스토리지 캐패시터(Cst)에 의해 상기 박막 트랜지스터(TFT)가 온 구간일 때 충전된 화소 전압이 상기 박막 트랜지스터(TFT)가 오프 구간일 때 유지될 수 있다.
- [0043] 좀 더 상세하게 설명하면, 상기 보호층을 사이에 두고 상기 제1 화소전극(131)과 제1 공통전극(121)이 중첩되는 영역에 제1 정전용량(C1)의 크기만큼 스토리지 커패시터(Cst)가 형성된다. 그리고, 상기 보호층을 사이에 두고 상기 제2 화소전극(132)과 상기 제2 공통전극(122)이 중첩되는 영역에는 제2 정전용량(C2)의 크기만큼 스토리지 커패시터(Cst)가 형성된다. 여기서, 각 화소영역 내의 화소전극과 공통전극이 중첩되는 영역의 넓이에 따라 스토리지 커패시터(Cst) 값이 결정될 수 있다.
- [0044] 상기 보호층은 상기 제1 및 상기 제2 화소전극(131, 132)과 상기 제1 및 상기 제2 공통전극(121, 122)을 절연한다. 상기 보호층은 실리콘(Si)계열의 무기절연막 또는 폴리이미드계(PI), 폴리아크릴계(PAC)와 같은 유기절연막 재료로도 형성될 수 있다.
- [0045] 또한, 본 발명의 제1 실시예 및 제2 실시예에서는 상기 제1 공통전극(121)과 상기 제2 공통전극(122) 각각이 상기 제1 화소영역(SP1) 및 상기 제2 화소영역(SP2) 내에 형성된 것에 국한하여 설명하고 있다. 그러나, 이에 한정되지 않고, 상기 제1 및 상기 제2 공통전극(121, 122)은 하나의 전극으로 상기 복수의 화소영역 전체에 형성될 수 있다.
- [0046] 더 나아가, 본 발명의 제1 실시예 및 제2 실시예의 화소구조에서 상기 제1 화소영역(SP1) 및 상기 제2 화소영역(SP2)의 면적을 다르게 설계하면 화소전압의 변화량이 화소영역 별로 동일하지 않아 플리커(Flicker) 현상이 발생하게 된다. 플리커(Flicker)가 발생하는 것에 대해서, 이하 수학식(1)을 참조하여 상세하게 설명한다.

[0047] [수학식1]

$$\Delta V_p = \frac{C_{gd} \Delta V_g}{(C_{gd} + C_{lc} + C_{st})}$$

[0048]

[0049] 위의 수학식(1)에서, ΔV_g 는 게이트 전압의 변화량이고, C_{lc} 는 액정 캐패시터, C_{st} 는 스토리지 캐패시터, C_{gd} 는 박막 트랜지스터(TFT)의 드레인 전극 사이의 기생 캐패시터 값이다.

[0050] 그리고, ΔV_p 는 화소전압의 변화량으로 정의된다. 상기 ΔV_p 는 박막 트랜지스터(TFT)의 게이트 전극이 형성되는 영역과 드레인 전극이 형성되는 영역이 서로 중첩되어 형성되는 기생 캐패시터에 기인한다.

[0051] 각 화소영역의 박막 트랜지스터(TFT)가 온 상태일 때 액정 캐패시터(C_{lc}) 및 스토리지 캐패시터(C_{st})에 인가된 전압이 기생 캐패시터(C_{gd})로 인해 지속되지 못하고 화소전압의 변화량(ΔV_p)만큼 왜곡되기 때문에 플리커(Flicker)가 발생한다.

[0052] 전술한 식(1)에서, 상기 게이트 전압의 변화량(ΔV_g), 상기 기생 캐패시터(C_{gd}) 및 상기 액정 캐패시터(C_{lc})는 실질적으로 고정 값이라 가정하였을 때, 상기 화소전압의 변화량(ΔV_p)은 상기 스토리지 캐패시터(C_{st})의 크기에 의해 결정된다.

[0053] 상기 스토리지 캐패시터(C_{st})는 각각 상기 제1 및 상기 제2 화소전극(131, 132)과 상기 제1 및 상기 제2 공통전극(121, 122)이 중첩된 면적의 크기에 따라 결정될 수 있다. 또는 상기 스토리지 캐패시터(C_{st})는 상기 제1 및 제2 화소전극(131, 132)과 상기 제1 및 제2 공통전극(121, 122) 사이에 있는 보호층의 두께에 따라 결정될 수 있다.

[0054] 상기 도 3 (a) 및 도 3 (b)에 도시된 바와 같이, 비대칭 RGBW 구조를 구현하였을 경우, 상기 제1 화소영역(SP1)의 내부에 형성되는 상기 제1 화소전극(131)과 상기 제2 화소영역(SP2)의 내부에 형성되는 상기 제2 화소전극(132)의 면적이 서로 틀리게 형성된다. 따라서, 상기 제1 화소영역(SP1)과 상기 제2 화소영역(SP2)에서 스토리지 캐패시터(C_{st})의 크기에 차이가 발생한다.

[0055] 이에 따라, 상기 제1 화소영역(SP1)과 상기 제2 화소영역(SP2)에서 상기 화소전압의 변화량(ΔV_p)에 차이가 생기게 된다. 결과적으로, 상기 제1 및 상기 제2 공통전극(121, 122)에 동일한 크기의 공통전압이 인가되어도, 프레임 단위로 상기 제1 및 상기 제2 화소영역(SP1, SP2)에 형성된 스토리지 캐패시터(C_{st})에 충전되는 전압의 값이 달라져 플리커(Flicker) 현상이 발생하게 된다.

[0056] 따라서, 본 발명의 제1 실시예에서는, 비대칭 RGBW 구조에서 서로 면적이 틀린 상기 제1 화소영역(SP1)에서의 스토리지 캐패시터의 제1 정전용량(C_1)과 상기 제2 화소영역(SP2)에서의 스토리지 캐패시터의 제2 정전용량(C_2)이 동일한 값을 가지도록 하였다. 상기 제1 화소전극(131)과 상기 제1 공통전극(121)이 서로 중첩되는 제1 면적과 상기 제2 화소전극(132)과 상기 제2 공통전극(122)이 서로 중첩되는 제2 면적을 동일하게 형성하였다.

[0057] 이를 구현하기 위해, 본 발명의 제1 실시예에서는 상기 제1 및 제2 공통전극(121, 122)이 상기 제1 화소영역(SP1) 및 상기 제2 화소영역(SP2) 내에서 일부가 개방된 슬릿(slit)부를 포함하는 형태로 형성된다.

[0058] 다시 말하면, 상기 제1 공통전극(121)은 상기 제1 화소영역(SP1) 내에서 상기 데이터 라인(110)이 연장되는 방향으로 형성되는 제1 공통전극부(151) 및 상기 복수의 제1 공통전극부(151)로부터 상기 게이트 라인(100)이 연장되는 방향으로 형성되는 제2 공통전극부(152)를 포함한다. 그리고, 상기 제1 공통전극(121)은 상기 제1 공통전극부(151)와 상기 제2 공통전극부(152)에 의해 구획되는 제1 슬릿부(153)를 포함할 수 있다.

[0059] 또한, 상기 제2 공통전극(122)은 상기 제2 화소영역(SP2) 내에서 상기 데이터라인(110)이 연장되는 방향으로 형성되는 제3 공통전극부(154) 및 상기 제3 공통전극부(154)로부터 상기 게이트 라인(100)이 연장되는 방향으로 형성되는 제4 공통전극부(155)를 포함한다. 그리고, 상기 제2 공통전극(122)은 상기 제3 공통전극부(154)와 상기 제4 공통전극부(155)에 의해 구획되는 제2 슬릿부(156)를 포함할 수 있다.

[0060] 부가하여 설명하자면, 상기 제1 공통전극(121) 및 상기 제2 공통전극(122)은 각각 상기 제1 화소영역(SP1) 및 상기 제2 화소영역(SP2) 내에 형성되는 공통전극을 의미한다. 이에 대비하여 상기 제1 공통전극부(151) 및 상기 제2 공통전극부(152)는 상기 제1 공통전극(121)과 상기 제1 화소전극(131)이 중첩되는 영역 내에서 각각 데이터 라인 및 게이트 라인과 평행한 방향으로 연장되는 공통전극 영역으로 설명될 수 있다. 그리고, 상기 제3 공통전극(154)부 및 상기 제4 공통전극부(155)는 상기 제2 공통전극(122)과 상기 제2 화소전극(133)이 중첩되는 영역

내에서 각각 데이터 라인 및 게이트 라인과 평행한 방향으로 연장되는 공통전극 영역으로 설명될 수 있다.

- [0061] 아울러, 상기 제1 공통전극부 내지 상기 제4 공통전극부(151, 152, 154, 155)는 복수로 형성될 수 있다. 이에 따라 상기 제1 슬릿부(153) 및 상기 제2 슬릿부(156) 또한 복수로 형성될 수 있다.
- [0062] 아울러 본 발명의 제1 실시예에서는, 상기 도 3 (a) 및 상기 도 3 (b), 상기 도 4 (a) 및 상기 도 4 (b)에 도시된 바와 같이 상기 제1 화소영역(SP1)의 내부에 형성되는 상기 제1 공통전극(121)의 제1 공통전극부의 폭을 상기 제2 화소영역(SP2)의 내부에 형성되는 상기 제2 공통전극(122)의 제3 공통전극부의 폭보다 좁게 형성한다. 이에 따라,
- [0063] 상기 제1 및 상기 제2 공통전극(121, 122)의 제1 공통전극부의 폭을 조절하여, 제1 화소영역(SP1)에서 제1 화소전극(131)과 제1 공통전극(121)이 중첩되는 제1 중첩 면적을 조절할 수 있다. 또한, 제2 화소영역(SP2)에서 제2 화소전극(132)과 제2 공통전극(122)이 중첩되는 제2 중첩 면적을 조절할 수 있다. 여기서, 상기 제1 중첩 면적과 상기 제2 중첩 면적을 동일하게 형성할 수 있다. 이를 통해, 화소전압의 변화량(ΔV_p)의 편차에 따른 플리커(Flicker) 현상을 방지할 수 있다.
- [0064] 도 5 (a)는 본 발명의 제2 실시예에 따른 프린지 필드형 액정표시장치의 제1 화소영역의 정면도이며, 도 5 (b)는 본 발명의 제2 실시예에 따른 프린지 필드형 액정표시장치의 제2 화소영역의 정면도이다.
- [0065] 본 발명의 제1 실시예 및 제2 실시예는 발명의 사상이 동일하며, 서로 조합할 수 있다. 앞에서 설명한 내용과 중복되는 구성요소에 대한 설명은 생략하도록 한다.
- [0066] 상기 도 5 (a) 및 상기 도 5 (b), 상기 도 6 (a) 및 상기 도 6 (b)를 참조하여, 본 발명의 제2 실시예를 설명하기로 한다.
- [0067] 상기 도 5 (a) 및 상기 도 5 (b), 상기 도 6 (a) 및 상기 도 6 (b)에 도시된 바와 같이, 상기 제1 화소영역(SP1)의 내부에 형성되는 상기 제1 공통전극(221)의 제2 공통전극부의 폭을 상기 제2 화소영역(SP2)의 내부에 형성되는 상기 제2 공통전극(222)의 제4 공통전극부의 폭보다 좁게 형성한다.
- [0068] 즉, 상기 도 5 (b) 및 상기 도 6 (b)에 도시된 바와 같이, 상기 제2 화소영역(SP2)에서는 상기 제2 공통전극(222)과 상기 제2 화소전극(232)이 Z 및 Z'만큼 더 중첩되도록 상기 제2 화소영역(SP2)의 내부에 형성되는 상기 제2 공통전극(222)의 제4 공통전극부의 폭을 조절하였다.
- [0069] 이를 통해, 제1 화소영역(SP1)에서 제1 화소전극(231)과 제1 공통전극(221)이 중첩되는 제3 중첩 면적을 조절할 수 있다. 또한, 제2 화소영역(SP2)에서 제2 화소전극(232)과 제2 공통전극(222)이 중첩되는 제4 중첩 면적을 조절할 수 있다. 여기서, 상기 제3 중첩 면적과 상기 제4 중첩 면적을 동일하게 형성할 수 있다. 이를 통해, 화소전압의 변화량(ΔV_p)의 편차에 따른 플리커(Flicker) 현상을 방지할 수 있다.
- [0070] 이상에서 본 발명의 제1 실시예 내지 제2 실시예에 대하여 설명하였으나, 본 발명은 상기한 실시예에 한정되는 것은 아니며, 제1 실시예 내지 제2 실시예의 다양한 조합뿐만 아니라, 그 외의 다양한 변형이나 변경이 가능할 수 있다.

부호의 설명

- [0071] SP1: 제1 화소영역
 SP2: 제2 화소영역
 100, 101, 102, 201, 202: 게이트 라인
 110, 111, 211: 데이터 라인
 121, 221: 제1 공통전극
 122, 222: 제2 공통전극
 131, 231: 제1 화소전극
 132, 232: 제2 화소전극
 140, 240: 보호막

151: 제1 공통전극부

152: 제2 공통전극부

153: 제1 슬릿부

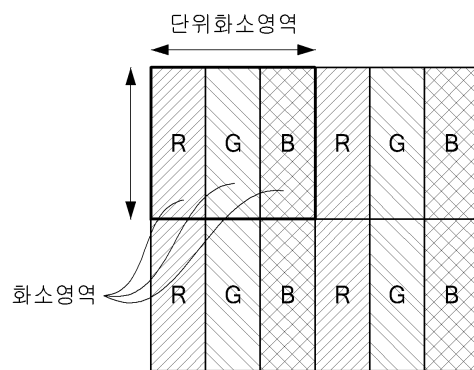
154: 제3 공통전극부

155: 제4 공통전극부

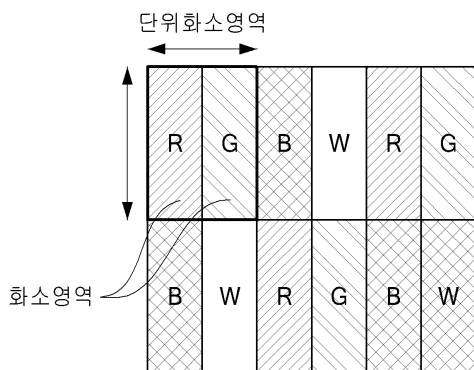
156: 제2 슬릿부

도면

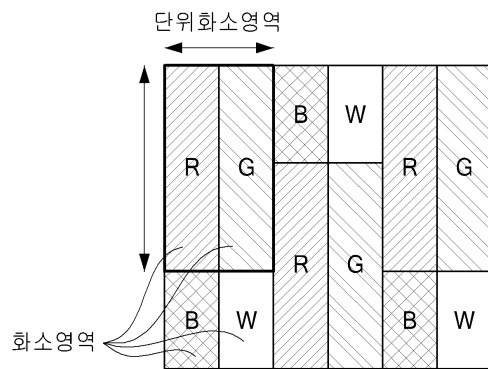
도면1a



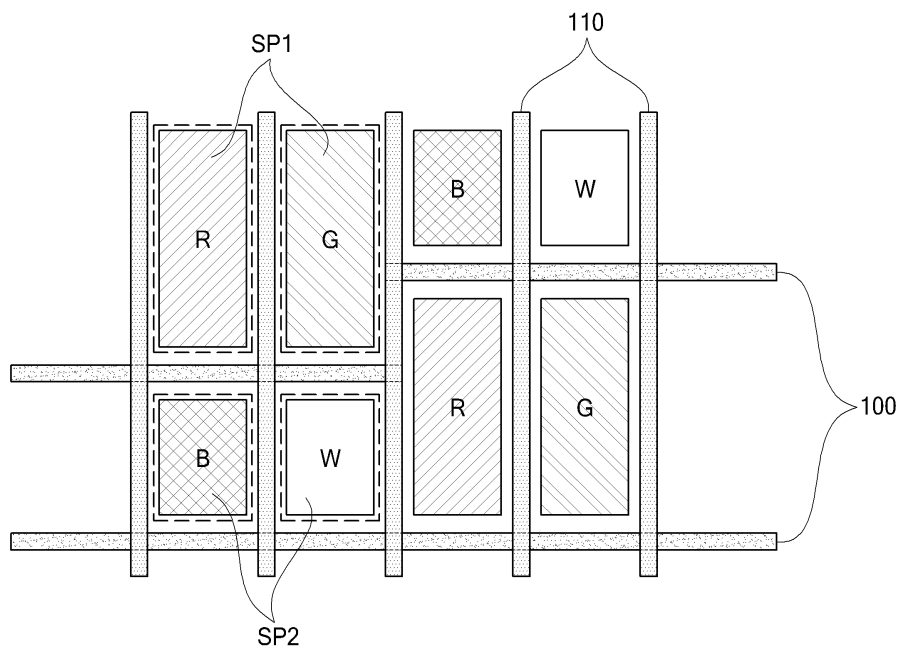
도면1b



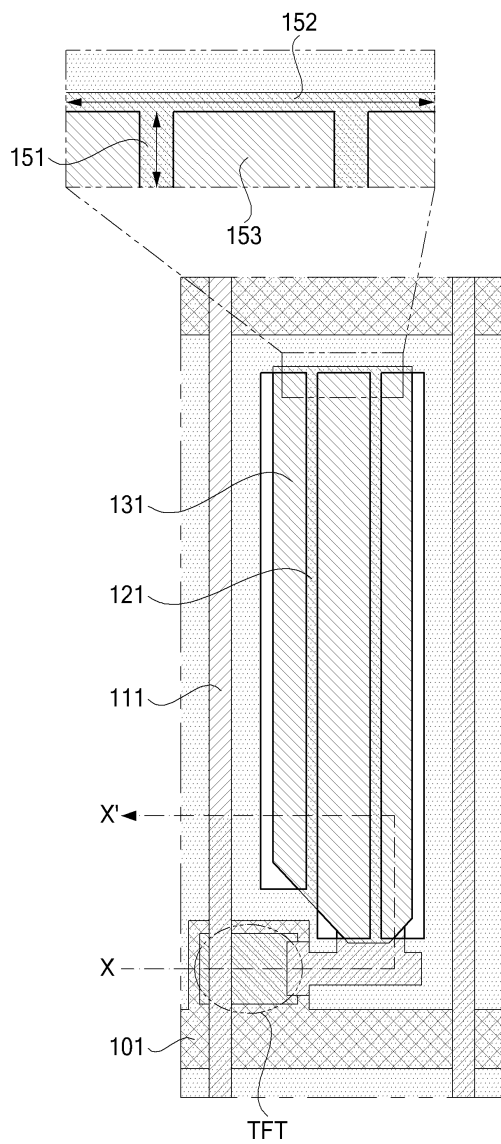
도면2a



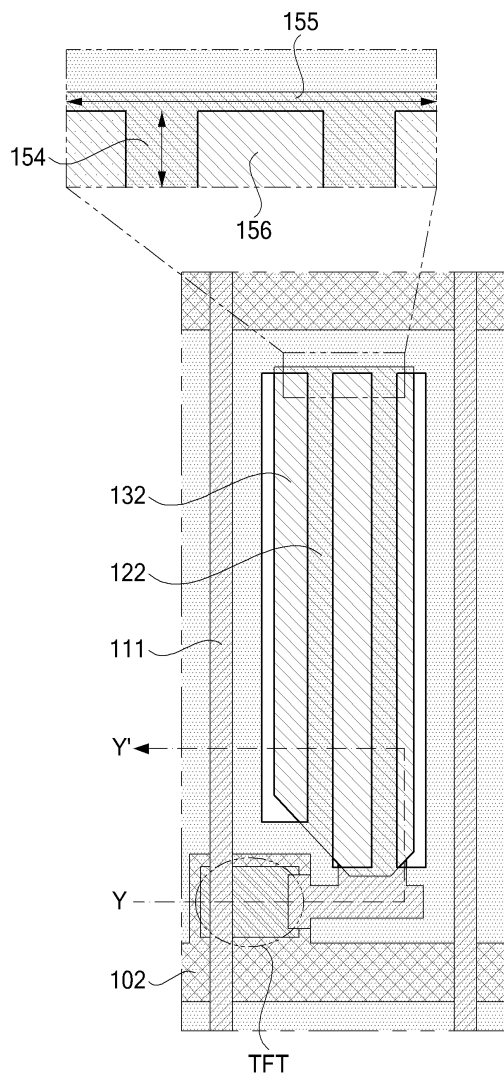
도면2b



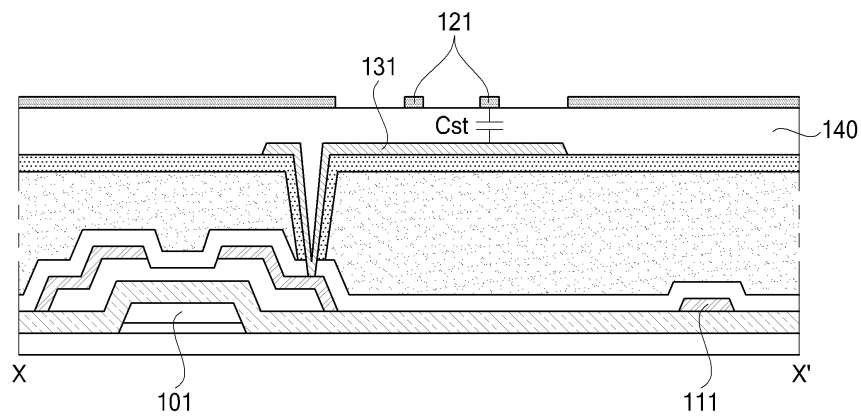
도면3a



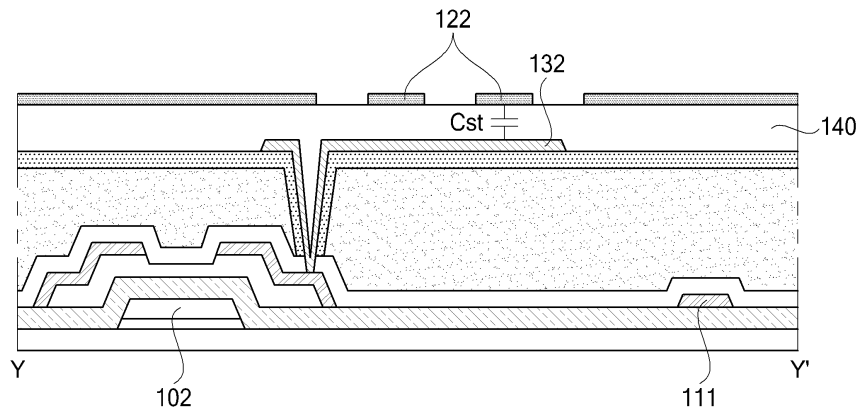
도면3b



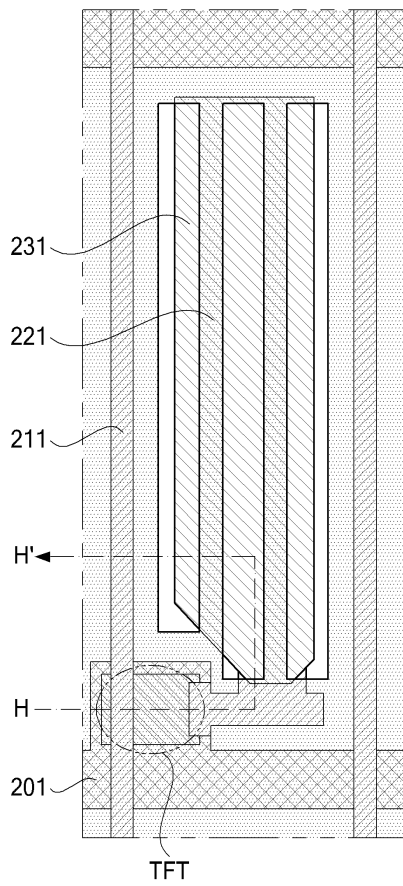
도면4a



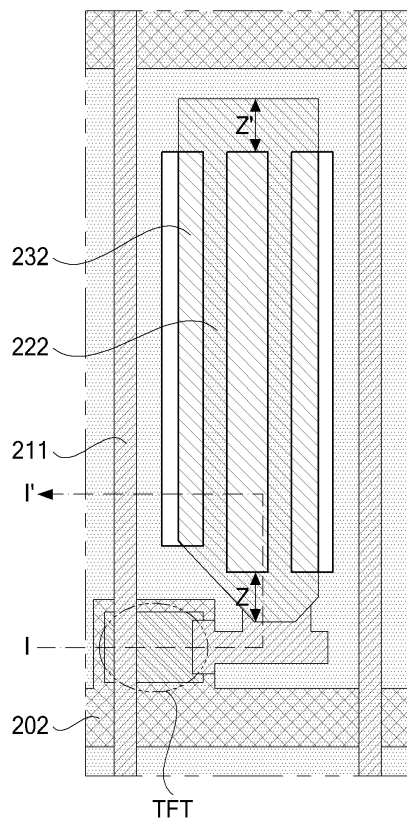
도면4b



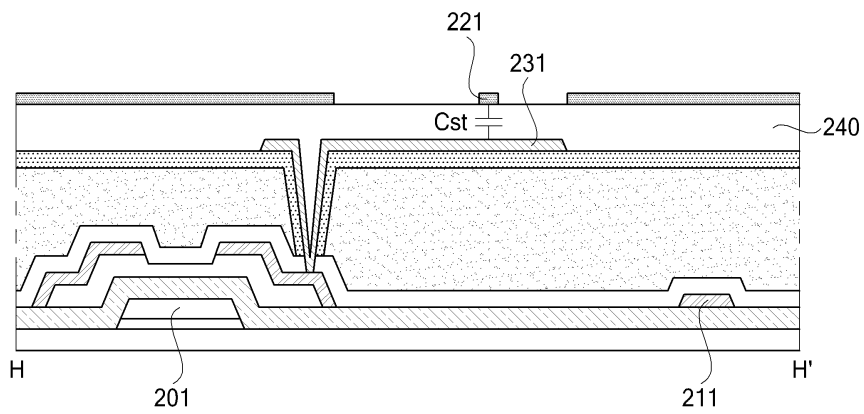
도면5a



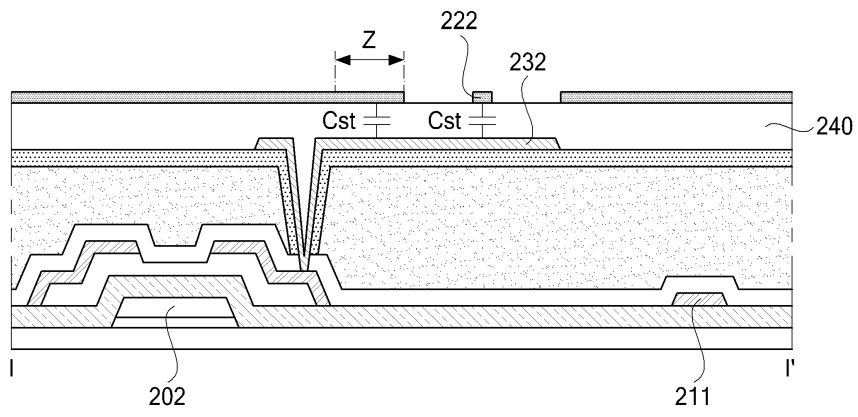
도면5b



도면6a



도면6b



专利名称(译)	边缘场型液晶显示器		
公开(公告)号	KR1020150130578A	公开(公告)日	2015-11-24
申请号	KR1020140056920	申请日	2014-05-13
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	TAEYONG JUNG 정태용 HYUNSEOK HONG 홍현석		
发明人	정태용 홍현석		
IPC分类号	G02F1/1343		
CPC分类号	G02F1/133514 G02F1/134309 G02F1/134336 G02F1/136213 G02F1/136286 G02F2001/134318 G02F2001/134372		
外部链接	Espacenet		

摘要(译)

技术领域本发明涉及一种能够提高色纯度并防止出现闪烁现象的边缘场型液晶显示装置。根据本发明实施例的边缘场型液晶显示装置包括具有不同面积的第一像素区域和第二像素区域;形成在第一像素区域中的第一像素电极;形成在第二像素区域中的第二像素区域, 第二像素电极, 具有与像素电极不同的面积;第一公共电极与第一像素电极重叠, 保护层介于其间;到第二公共电极的第一公共电极包括至少一个第一狭缝部, 夹在保护层重叠的第二像素电极之间;具有第一狭缝部和所述至少一个第二狭缝部的另一个区域中的第二公共电极它包括。

