



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0083370

(43) 공개일자 2015년07월17일

(51) 국제특허분류(Int. Cl.)

G02F 1/1343 (2006.01) G02F 1/1362 (2006.01)

(21) 출원번호 10-2014-0003021

(22) 출원일자 2014년01월09일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

황현식

경기도 화성시 동탄중앙로 189, 348동 801호 (반송동,
시범다은마을월드메리디앙반도유보라아파트)

황인재

경기도 수원시 영통구 영통로514번길 53, 112동
1301호 (영통동, 황골마을주공2단지아파트)

신동화

경기도 용인시 수지구 정평로 41, 우성아파트 60
5동 1102호 (풍덕천동, 우성아파트)

(74) 대리인

팬코리아특허법인

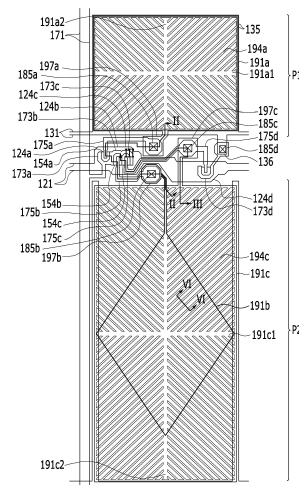
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 액정 표시 장치

(57) 요약

액정 표시 장치를 제공한다. 본 발명의 일실시예에 따른 액정 표시 장치는 제1 기관, 상기 제1 기관 위에 위치하고, 제1 전압이 인가되는 제1 부화소 전극, 상기 제1 기관 위에 위치하고, 제2 전압이 인가되는 제2 부화소 전극, 상기 제1 기관 위에 위치하고, 제3 전압이 인가되는 제3 부화소 전극, 상기 제1 부화소 전극과 상기 제2 부화소 전극 사이 또는 상기 제2 부화소 전극과 상기 제3 부화소 전극 사이에 위치하는 절연막 그리고 상기 제2 기관에 위치하고, 공통 전압이 인가되는 공통 전극을 포함하고, 상기 제2 부화소 전극과 상기 제3 부화소 전극은 상기 절연막을 사이에 두고 서로 중첩하고, 상기 제1 부화소 전극과 상기 제3 부화소 전극은 게이트선을 기준으로 서로 다른 영역에 위치하며, 상기 제1 전압과 상기 제3 전압은 서로 다르다.

대표도 - 도1



명세서

청구범위

청구항 1

제1 기관,

상기 제1 기관 위에 위치하고, 제1 전압이 인가되는 제1 부화소 전극,

상기 제1 기관 위에 위치하고, 제2 전압이 인가되는 제2 부화소 전극,

상기 제1 기관 위에 위치하고, 제3 전압이 인가되는 제3 부화소 전극,

상기 제1 부화소 전극과 상기 제2 부화소 전극 사이 또는 상기 제2 부화소 전극과 상기 제3 부화소 전극 사이에 위치하는 절연막 그리고

상기 제2 기관에 위치하고, 공통 전압이 인가되는 공통 전극을 포함하고,

상기 제2 부화소 전극과 상기 제3 부화소 전극은 상기 절연막을 사이에 두고 서로 중첩하고,

상기 제1 부화소 전극과 상기 제3 부화소 전극은 게이트선을 기준으로 서로 다른 영역에 위치하며,

상기 제1 전압과 상기 제3 전압은 서로 다른 액정 표시 장치.

청구항 2

제1항에서,

상기 제1 전압과 상기 제2 전압은 서로 동일한 액정 표시 장치.

청구항 3

제2항에서,

상기 제1 전압과 상기 공통 전압의 차이는 상기 제3 전압과 상기 공통 전압의 차이보다 큰 액정 표시 장치.

청구항 4

제3항에서,

상기 제2 부화소 전극은 상기 절연막 아래에 위치하고, 상기 제1 부화소 전극 및 상기 제3 부화소 전극은 상기 절연막 위에 위치하는 액정 표시 장치.

청구항 5

제4항에서,

상기 제1 부화소 전극이 위치하는 제1 영역, 상기 제2 부화소 전극과 상기 제3 부화소 전극이 중첩하는 제2 영역 및 상기 제3 부화소 전극이 위치하는 제3 영역 각각과 상기 공통 전극 사이에 형성되는 제1 전계, 제2 전계 및 제3 전계는 그 크기가 서로 다른 액정 표시 장치.

청구항 6

제2항에서,

상기 제1 부화소 전극과 상기 제2 부화소 전극은 각각 제1 접촉 구멍 및 제2 접촉 구멍에 의해 동일한 입력 전극에 연결되는 액정 표시 장치.

청구항 7

제6항에서,

상기 입력 전극에 의해 상기 제1 전압이 상기 제1 부화소 전극에 인가되고, 상기 제2 전압이 상기 제2 부화소 전극에 인가되는 액정 표시 장치.

청구항 8

제7항에서,

상기 제2 부화소 전극은 상기 절연막 아래에 위치하고, 상기 제1 부화소 전극 및 상기 제3 부화소 전극은 상기 절연막 위에 위치하는 액정 표시 장치.

청구항 9

제8항에서,

상기 제1 기관과 상기 제2 부화소 전극 사이에 위치하는 보호막을 더 포함하고, 상기 제1 접촉 구멍은 상기 보호막과 상기 절연막을 관통하여 형성되고, 상기 제2 접촉 구멍은 상기 보호막을 관통하여 형성되는 액정 표시 장치.

청구항 10

제8항에서,

상기 제3 부화소 전극은 제3 접촉 구멍에 의해 출력 전극에 연결되는 액정 표시 장치.

청구항 11

제10항에서,

상기 출력 전극에 의해 상기 제3 전압이 인가되는 액정 표시 장치.

청구항 12

제11항에서,

상기 제1 전압과 상기 공통 전압의 차이는 상기 제3 전압과 상기 공통 전압의 차이보다 작은 액정 표시 장치.

청구항 13

제12항에서,

상기 제1 부화소 전극이 위치하는 제1 영역, 상기 제2 부화소 전극과 상기 제3 부화소 전극이 중첩하는 제2 영역 및 상기 제3 부화소 전극이 위치하는 제3 영역 각각과 상기 공통 전극 사이에 형성되는 제1 전계, 제2 전계 및 제3 전계는 그 크기가 서로 다른 액정 표시 장치.

청구항 14

제1항에서,

상기 제1 부화소 전극 및 상기 제3 부화소 전극은 각각 서로 다른 방향을 따라 뻗어 있는 복수의 가지 전극을 포함하는 액정 표시 장치.

청구항 15

제14항에서,

상기 제2 부화소 전극은 통관으로 형성된 액정 표시 장치.

청구항 16

제15항에서,

상기 제1 부화소 전극 및 상기 제3 부화소 전극은 각각 가로부 및 이와 교차하는 세로부로 이루어진 십자부를 포함하고, 상기 복수의 가지 전극은 상기 십자부를 기준으로 대칭인 모양을 갖는 액정 표시 장치.

청구항 17

제16항에서,

상기 제2 부화소 전극은 상기 십자부를 기준으로 대칭인 모양을 갖는 액정 표시 장치.

청구항 18

제1항에서,

상기 제1 기관 위에 위치하고, 게이트 신호가 인가되는 복수의 게이트선 그리고

상기 복수의 게이트선과 교차하고, 데이터 신호가 인가되는 복수의 데이터선을 더 포함하고,

상기 복수의 데이터선은 열반전 구동하고, 상기 복수의 게이트선 가운데 2개의 게이트선은 동시에 턴 온 되는 액정 표시 장치.

청구항 19

제18항에서,

상기 복수의 게이트선은 제 N 게이트선, 제 N+1 게이트선, 제 N+2 게이트선 및 제 N+3 게이트선을 포함하고,

상기 제 N 게이트선과 상기 제 N+1 게이트선이 동시에 턴 온 되고, 상기 제 N+2 게이트선과 상기 제 N+3 게이트선이 동시에 턴 온 되는 액정 표시 장치.

청구항 20

제18항에서,

상기 복수의 게이트선은 제 N 게이트선, 제 N+1 게이트선, 제 N+2 게이트선 및 제 N+3 게이트선을 포함하고,

상기 제 N 게이트선과 상기 제 N+2 게이트선이 동시에 턴 온 되고, 상기 제 N+1 게이트선과 상기 제 N+3 게이트선이 동시에 턴 온 되는 액정 표시 장치.

발명의 설명

기술 분야

[0001]

본 발명은 액정 표시 장치에 관한 것이다.

배경 기술

[0002]

액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 화소 전극과 공통 전극 등 전기장 생성 전극이 형성되어 있는 두 장의 표시판과 그 사이에 들어 있는 액정층으로 이루어진다.

[0003]

전기장 생성 전극에 전압을 인가하여 액정층에 전기장을 생성하고 이를 통하여 액정층의 액정 분자들의 배향을 결정하고 입사광의 편광을 제어함으로써 영상을 표시한다.

[0004]

액정 표시 장치는 또한 각 화소 전극에 연결되어 있는 스위칭 소자 및 스위칭 소자를 제어하여 화소 전극에 전압을 인가하기 위한 게이트선과 데이터선 등 다수의 신호선을 포함한다.

[0005]

이러한 액정 표시 장치 중에서도, 전기장이 인가되지 않은 상태에서 액정 분자의 장축을 표시판에 대하여 수직을 이루도록 배열한 수직 배향 방식(vertically aligned mode)의 액정 표시 장치가 대비비가 크고 기준 시야각이 넓어서 각광받고 있다.

[0006]

이러한 방식의 액정 표시 장치의 경우에는 측면 시인성을 정면 시인성에 가깝게 하기 위하여, 하나의 화소를 두 개의 부화소로 분할하고 두 부화소의 전압을 달리 인가함으로써 투과율을 다르게 하는 방법이 제시되었다.

[0007]

그러나, 이처럼 하나의 화소를 두 개의 부화소로 구분하고, 투과율을 다르게 하여 측면 시인성을 정면 시인성에 가깝게 하는 경우, 저계조 또는 고계조에서 휘도가 높아져서, 측면에서의 계조 표현이 어렵고, 이에 따라 화질이 저하되는 문제점이 발생하기도 한다.

발명의 내용

해결하려는 과제

- [0008] 본 발명이 해결하고자 하는 과제는 측면 시인성을 정면 시인성에 가깝게 하면서도, 저제조 영역에서 정확한 계조 표현이 가능하고, 투과율 저하를 방지할 수 있는 액정 표시 장치를 제공하는데 있다.
- [0009] 또한, 본 발명이 해결하고자 하는 과제는 기생 커패시턴스에 의한 화소 간 간섭에 의해 휘도가 불균일해지는 것을 방지할 수 있는 액정 표시 장치를 제공하는데 있다.

과제의 해결 수단

- [0010] 본 발명의 일 실시예에 따른 액정 표시 장치는 제1 기관, 상기 제1 기관 위에 위치하고, 제1 전압이 인가되는 제1 부화소 전극, 상기 제1 기관 위에 위치하고, 제2 전압이 인가되는 제2 부화소 전극, 상기 제1 기관 위에 위치하고, 제3 전압이 인가되는 제3 부화소 전극, 상기 제1 부화소 전극과 상기 제2 부화소 전극 사이 또는 상기 제2 부화소 전극과 상기 제3 부화소 전극 사이에 위치하는 절연막 그리고 상기 제2 기관에 위치하고, 공통 전압이 인가되는 공통 전극을 포함하고, 상기 제2 부화소 전극과 상기 제3 부화소 전극은 상기 절연막을 사이에 두고 서로 중첩하고, 상기 제1 부화소 전극과 상기 제3 부화소 전극은 게이트선을 기준으로 서로 다른 영역에 위치하며, 상기 제1 전압과 상기 제3 전압은 서로 다르다.
- [0011] 상기 제1 전압과 상기 제2 전압은 서로 동일할 수 있다.
- [0012] 상기 제1 전압과 상기 공통 전압의 차이는 상기 제3 전압과 상기 공통 전압의 차이보다 클 수 있다.
- [0013] 상기 제2 부화소 전극은 상기 절연막 아래에 위치하고, 상기 제1 부화소 전극 및 상기 제3 부화소 전극은 상기 절연막 위에 위치할 수 있다.
- [0014] 상기 제1 부화소 전극이 위치하는 제1 영역, 상기 제2 부화소 전극과 상기 제3 부화소 전극이 중첩하는 제2 영역 및 상기 제3 부화소 전극이 위치하는 제3 영역 각각과 상기 공통 전극 사이에 형성되는 제1 전계, 제2 전계 및 제3 전계는 그 크기가 서로 다를 수 있다.
- [0015] 상기 제1 부화소 전극과 상기 제2 부화소 전극은 각각 제1 접촉 구멍 및 제2 접촉 구멍에 의해 동일한 입력 전극에 연결될 수 있다.
- [0016] 상기 입력 전극에 의해 상기 제1 전압이 상기 제1 부화소 전극에 인가되고, 상기 제2 전압이 상기 제2 부화소 전극에 인가될 수 있다.
- [0017] 상기 제1 기관과 상기 제2 부화소 전극 사이에 위치하는 보호막을 더 포함하고, 상기 제1 접촉 구멍은 상기 보호막과 상기 절연막을 관통하여 형성되고, 상기 제2 접촉 구멍은 상기 보호막을 관통하여 형성될 수 있다.
- [0018] 상기 제3 부화소 전극은 제3 접촉 구멍에 의해 출력 전극에 연결될 수 있다.
- [0019] 상기 출력 전극에 의해 상기 제3 전압이 인가될 수 있다.
- [0020] 상기 제1 부화소 전극 및 상기 제3 부화소 전극은 각각 서로 다른 방향을 따라 뻗어 있는 복수의 가지 전극을 포함할 수 있다.
- [0021] 상기 제2 부화소 전극은 통관으로 형성될 수 있다.
- [0022] 상기 제1 부화소 전극 및 상기 제3 부화소 전극은 각각 가로부 및 이와 교차하는 세로부로 이루어진 십자부를 포함하고, 상기 복수의 가지 전극은 상기 십자부를 기준으로 대칭인 모양을 가질 수 있다.
- [0023] 상기 제2 부화소 전극은 상기 십자부를 기준으로 대칭인 모양을 가질 수 있다.
- [0024] 상기 제1 기관 위에 위치하고, 게이트 신호가 인가되는 복수의 게이트선 그리고 상기 복수의 게이트선과 교차하고, 데이터 신호가 인가되는 복수의 데이터선을 더 포함하고, 상기 복수의 데이터선은 열반전 구동하고, 상기 복수의 게이트선 가운데 2개의 게이트선은 동시에 턴 온 될 수 있다.
- [0025] 상기 복수의 게이트선은 제 N 게이트선, 제 N+1 게이트선, 제 N+2 게이트선 및 제 N+3 게이트선을 포함하고, 상기 제 N 게이트선과 상기 제 N+1 게이트선이 동시에 턴 온 되고, 상기 제 N+2 게이트선과 상기 제 N+3 게이트선이 동시에 턴 온 될 수 있다.

[0026] 상기 복수의 게이트선은 제 N 게이트선, 제 N+1 게이트선, 제 N+2 게이트선 및 제 N+3 게이트선을 포함하고, 상기 제 N 게이트선과 상기 제 N+2 게이트선이 동시에 턴 온 되고, 상기 제 N+1 게이트선과 상기 제 N+3 게이트선이 동시에 턴 온 될 수 있다.

발명의 효과

[0027] 본 발명의 일실시예에 따르면, 서로 다른 전압이 인가되는 2개의 부화소 전극을 중첩하여 중간 레벨의 전계를 형성함으로써 하나의 화소 영역을 서로 다른 3개의 영역으로 구분하여 투과율의 변화를 완만하게 조절할 수 있다. 또한, 전단의 게이트선이 다음 단의 화소 전극과 떨어진 구조를 가짐으로써 기생 커패시턴스에 의한 화소 간 간섭에 따른 휘도 불균일 현상을 방지할 수 있다.

도면의 간단한 설명

[0028] 도 1은 본 발명의 일실시예에 따른 액정 표시 장치를 나타내는 배치도이다.
 도 2는 도 1의 절단선 II-II를 따라 자른 단면도이다.
 도 3은 도 1의 절단선 III-III을 따라 자른 단면도이다.
 도 4는 본 발명의 일실시예에 따른 액정 표시 장치에서 제2 부화소 전극을 나타내는 배치도이다.
 도 5는 본 발명의 일실시예에 따른 액정 표시 장치에서 제1 부화소 전극 및 제3 부화소 전극을 나타내는 배치도이다.
 도 6은 도 1의 절단선 VI-VI을 따라 자른 단면도이다.
 도 7은 본 발명의 일실시예에 따른 액정 표시 장치에서 화소 영역을 나타내는 배치도이다.
 도 8은 본 발명의 일실시예에 따른 액정 표시 장치를 나타내는 배치도이다.
 도 9는 본 발명의 일실시예에 따른 액정 표시 장치를 나타내는 배치도이다.
 도 10은 본 발명의 일실시예에 따른 액정 표시 장치를 나타내는 배치도이다.
 도 11 내지 도 14는 본 발명의 일실시예에 따른 액정 표시 장치의 구동 방법을 나타내는 개략도이다.

발명을 실시하기 위한 구체적인 내용

[0029] 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다.

[0030] 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장된 것이다. 또한, 층이 다른 층 또는 기판 "위"에 있다고 언급되는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 의미한다.

[0031] 도 1은 본 발명의 일실시예에 따른 액정 표시 장치를 나타내는 배치도이다. 도 2는 도 1의 절단선 II-II를 따라 자른 단면도이다. 도 3은 도 1의 절단선 III-III을 따라 자른 단면도이다. 도 4는 본 발명의 일실시예에 따른 액정 표시 장치에서 제2 부화소 전극을 나타내는 배치도이다. 도 5는 본 발명의 일실시예에 따른 액정 표시 장치에서 제1 부화소 전극 및 제3 부화소 전극을 나타내는 배치도이다. 도 6은 도 1의 절단선 VI-VI을 따라 자른 단면도이다. 도 7은 본 발명의 일실시예에 따른 액정 표시 장치에서 화소 영역을 나타내는 배치도이다.

[0032] 먼저, 도 1 내지 도 3을 참고하면, 본 실시예에 따른 액정 표시 장치는 서로 마주하는 하부 표시판(100)과 상부 표시판(200), 그리고 이들 두 표시판(100, 200) 사이에 개재되어 있는 액정층(3)을 포함한다.

[0033] 먼저 하부 표시판(100)에 대하여 설명한다.

[0034] 투명한 유리 또는 플라스틱 등으로 만들어진 절연 기판(110) 위에 게이트선(121), 기준 전압선(131), 그리고 유지 전극(135)이 형성되어 있다. 게이트선(121)은 주로 가로 방향으로 뻗어 있으며 게이트 신호를 전달한다.

- [0035] 게이트선(121)은 제1 게이트 전극(124a), 제2 게이트 전극(124b), 제3 게이트 전극(124c), 제4 게이트 전극(124d) 및 다른 층 또는 외부 구동 회로와의 접속을 위한 넓은 끝 부분(미도시)을 포함한다.
- [0036] 기준 전압선(131)은 게이트선(121)과 평행하게 뻗을 수 있으며, 확장부(136)를 가지며, 확장부(136)는 뒤에서 설명하는 제3 드레인 전극(175c)과 연결되어 있다.
- [0037] 기준 전압선(131)은 화소 영역을 둘러싸는 유지 전극(135)을 포함한다.
- [0038] 게이트선(121), 기준 전압선(131), 그리고 유지 전극(135) 위에는 게이트 절연막(140)이 형성되어 있다.
- [0039] 게이트 절연막(140) 위에는 비정질 또는 결정질 규소 등으로 만들어질 수 있는 제1 반도체층(154a), 제2 반도체층(154b), 제3 반도체층(154c) 및 제4 반도체층(154d)이 형성되어 있다.
- [0040] 제1 반도체층(154a), 제2 반도체층(154b), 제3 반도체층(154c) 및 제4 반도체층(154d) 위에는 복수의 저항성 접촉 부재(ohmic contact)(163a, 163b, 163c, 163d, 165a, 165b, 165c, 165d)가 형성되어 있다. 반도체층(154a, 154b, 154c, 154d)이 산화물 반도체로 형성되는 경우, 저항성 접촉 부재는 생략될 수 있다.
- [0041] 저항성 접촉 부재(163a, 163b, 163c, 163d, 165a, 165b, 165c, 165d)와 게이트 절연막(140) 위에는 제1 데이터선(171), 제1 데이터선(171)과 연결되는 제1 소스 전극(173a), 제2 소스 전극(173b) 및 제3 소스 전극(173c)과, 제1 드레인 전극(175a), 제2 드레인 전극(175b), 제3 드레인 전극(175c) 및 제4 드레인 전극(175d)을 포함하는 데이터 도전체(171, 173a, 173b, 173c, 173d, 175a, 175b, 175c, 175d)가 위치한다.
- [0042] 데이터 도전체(171, 173a, 173b, 173c, 173d, 175a, 175b, 175c, 175d) 및 그 아래에 위치하는 반도체층과 저항성 접촉 부재는 하나의 마스크를 사용하여 동시에 형성할 수 있다.
- [0043] 데이터선(171)은 다른 층 또는 외부 구동 회로와의 접속을 위한 넓은 끝부분(미도시)을 포함한다.
- [0044] 제2 드레인 전극(175b)은 제3 소스 전극(173c)과 연결되어 있다.
- [0045] 제1 게이트 전극(124a), 제1 소스 전극(173a), 및 제1 드레인 전극(175a)은 제1 반도체층(154a)과 함께 제1 박막 트랜지스터를 형성하며, 박막 트랜지스터의 채널(channel)은 제1 소스 전극(173a)과 제1 드레인 전극(175a) 사이의 반도체층 부분(154a)에 형성된다. 이와 유사하게, 제2 게이트 전극(124b), 제2 소스 전극(173b), 및 제2 드레인 전극(175b)은 제2 반도체층(154b)과 함께 제2 박막 트랜지스터를 형성하며, 박막 트랜지스터의 채널은 제2 소스 전극(173b)과 제2 드레인 전극(175b) 사이의 반도체층 부분(154b)에 형성되고, 제3 게이트 전극(124c), 제3 소스 전극(173c), 및 제3 드레인 전극(175c)은 제3 반도체층(154c)과 함께 제3 박막 트랜지스터를 형성하며, 박막 트랜지스터의 채널은 제3 소스 전극(173c)과 제3 드레인 전극(175c) 사이의 반도체층 부분(154c)에 형성된다.
- [0046] 데이터 도전체(171, 173a, 173b, 173c, 173d, 175a, 175b, 175c, 175d) 및 노출된 반도체층(154a, 154b, 154c, 154d) 부분 위에는 규소 질화물 또는 규소 산화물 따위의 무기 절연물로 만들어질 수 있는 제1 보호막(passivation layer)(180a)이 위치한다.
- [0047] 제1 보호막(180a) 위에는 유기막(230)이 위치한다. 유기막(230)은 평탄화 역할을 할 수 있고, 색필터일 수 있다. 색필터로 사용된 유기막(230)은 후술하는 화소 전극(191)의 열을 따라서 세로 방향으로 길게 뻗을 수 있다. 각 색필터(230)는 적색, 녹색 및 청색의 삼원색 등 기본색(primary color) 중 하나를 표시할 수 있다. 하지만, 적색, 녹색, 및 청색의 삼원색에 제한되지 않고, 청록색(cyan), 자홍색(magenta), 옐로(yellow), 화이트 계열의 색 중 하나를 표시할 수도 있다.
- [0048] 유기막(230) 위에는 덮개막(capping layer)(80)이 위치한다. 덮개막(80)은 색필터로 사용되는 유기막(230)이 들뜨는 것을 방지하고 색필터로부터 유입되는 용제(solvent)와 같은 유기물에 의한 액정층(3)의 오염을 억제하여 화면 구동 시 초래할 수 있는 잔상과 같은 불량을 방지한다.
- [0049] 덮개막(80) 위에는 제2 부화소 전극(191a)이 위치한다. 도 1에 도시한 게이트선(121)을 기준으로 게이트선(121) 상단 부분은 제1 영역(P1)이라고 하고, 게이트선(121) 하단 부분을 제2 영역(P2)이라고 할 때, 제2 부화소 전극(191b)은 제2 영역(P2)에 위치한다. 도 4를 참고하여 제2 부화소 전극(191b)에 대해 설명하기로 한다.
- [0050] 도 1 및 도 4를 참고하면, 제2 부화소 전극(191b)은 제2 영역(P2) 가운데 부분에 마름모 모양의 통판(plate shape)으로 형성된 부분을 포함하고, 제2 드레인 전극(175b)의 넓은 끝부분과 중첩하는 상단 돌출부(197b)를 포함한다. 제2 부화소 전극(191b)은 ITO 또는 IZO 등의 투명한 도전 물질로 형성될 수 있다. 통판(plate shape)

e)은 쪼개지지 아니한 통짜 그대로의 판 모양을 말한다.

- [0051] 제1 보호막(180a) 및 유기막(230)에는 제2 드레인 전극(175b)의 일부분을 드러내는 제2 접촉 구멍(185b)이 형성되어 있다. 제2 부화소 전극(191b)은 제2 접촉 구멍(185b)을 통해 제2 드레인 전극(175b)과 전기적으로 연결되어 있고, 데이터선(171)을 통해 인가된 데이터 신호가 제2 소스 전극(173b)을 거쳐 제2 부화소 전극(191b)에 충전될 수 있다.
- [0052] 덮개막(80)과 제2 부화소 전극(191b) 위에는 제2 보호막(180b)이 위치한다.
- [0053] 제2 보호막(180b) 위에는 제1 부화소 전극(191a) 및 제3 부화소 전극(191c)이 위치한다. 도 5를 참고하여, 제1 부화소 전극(191a) 및 제3 부화소 전극(191c)에 대해 설명하기로 한다.
- [0054] 도 1 및 도 5를 참고하면, 제1 부화소 전극(191a)은 제1 영역(P1)에 위치하고, 제3 부화소 전극(191c)은 제2 영역(P2)에 위치한다. 제1 부화소 전극(191a) 및 제3 부화소 전극(191c)은 ITO 또는 IZO 등의 투명한 도전 물질로 형성될 수 있다.
- [0055] 제1 부화소 전극(191a) 및 제3 부화소 전극(191c)은 단위 화소 영역 대부분에 위치하고 있으며, 슬릿 구조를 갖는다. 슬릿 구조로 형성된 제1 부화소 전극(191a) 및 제3 부화소 전극(191c) 각각의 전체적인 모양은 사각형이다.
- [0056] 제1 부화소 전극(191a)은 가로부(191a1) 및 이와 교차하는 세로부(191a2)로 이루어진 십자부를 포함한다. 또한, 가로부(191a1)와 세로부(191a2)에 의해 네 개의 부영역으로 나뉘어지며 각 부영역은 복수의 가지 전극(194a)을 포함한다. 제1 부화소 전극(191a)의 부영역들은 십자부를 기준으로 대칭인 모양을 갖는다. 이웃하는 가지 전극(194a) 사이에 전극이 존재하지 않는 부분이 슬릿에 해당한다.
- [0057] 제3 부화소 전극(191c)은 제1 부화소 전극(191a)과 마찬가지로 가로부(191c1) 및 이와 교차하는 세로부(191c2)로 이루어진 십자부를 포함한다. 또한, 가로부(191c1)와 세로부(191c2)에 의해 네 개의 부영역으로 나뉘어지며 각 부영역은 복수의 가지 전극(194c)을 포함한다. 제3 부화소 전극(191c)의 부영역들은 십자부를 기준으로 대칭인 모양을 갖는다. 이웃하는 가지 전극(194c) 사이에 전극이 존재하지 않는 부분이 슬릿에 해당한다.
- [0058] 본 실시예에서 가로부(191a1, 191c1) 및 세로부(191a2, 191c2)를 포함하는 십자부는, 전극이 존재하지 않는 개구 부분에 해당하고, 제1 부화소 전극(191a) 및 제3 부화소 전극(191c)의 테두리에서 복수의 가지 전극(194a, 194c)은 서로 연결되어 있다. 하지만, 이에 한정되지 않고 개구 부분과 전극 부분이 바뀌어 가로부(191a, 191c1)와 세로부(191a2, 191c2)에 전극이 형성될 수 있다.
- [0059] 도 1 및 도 6을 참고하면, 제3 부화소 전극(191c)은 제2 영역(P2)에 위치하는 제2 부화소 전극(191b)과 중첩한다. 제2 부화소 전극(191b)은 제3 부화소 전극(191c)에 비해 상대적으로 크기가 작기 때문에 제2 영역(P2)은 제2 부화소 전극(191b)과 제3 부화소 전극(191c)이 중첩된 부분과 제3 부화소 전극(191c)만 형성된 부분으로 구분될 수 있다.
- [0060] 도 1 및 도 3을 다시 참고하면, 제1 보호막(180a), 유기막(230) 및 덮개막(80)에는 제1 드레인 전극(175a) 및 제3 드레인 전극(175c)의 일부분을 각각 드러내는 제1 접촉 구멍(185a) 및 제3 접촉 구멍(185c)이 형성되어 있다.
- [0061] 제1 부화소 전극(191a)은 제1 접촉 구멍(185a)을 통해 제1 드레인 전극(175a)과 전기적으로 연결되어 있고, 데이터선(171)을 통해 인가된 데이터 신호가 제1 소스 전극(173a)을 거쳐 제1 부화소 전극(191a)에 충전될 수 있다.
- [0062] 제3 부화소 전극(191c)은 제3 접촉 구멍(185c)을 통해 제3 드레인 전극(175c) 및 제4 드레인 전극(175d)과 전기적으로 연결되어 있고, 데이터선(171)을 통해 인가된 데이터 신호가 제3 소스 전극(173c)을 거쳐 제3 부화소 전극(191c)에 충전될 수 있다. 이 때, 제3 부화소 전극(191c)은 제3 드레인 전극(175c) 뿐만 아니라, 기준 전압선(131)을 통해 인가되는 신호에 의해 제4 드레인 전극(175d)과도 연결되어 있기 때문에 실제로 제3 부화소 전극(191c)에 인가되는 전압은 기준 전압선(131)에 연결된 제4 박막 트랜지스터를 통해 분압될 수 있다. 따라서, 제3 부화소 전극(191c)에 인가되는 전압은 제1 부화소 전극(191a)에 인가되는 전압보다 더 작게 된다.
- [0063] 이제, 상부 표시판(200)에 대하여 설명한다.
- [0064] 투명한 유리 또는 플라스틱 등으로 만들어진 절연 기판(210) 위에 차광 부재(220)와 공통 전극(270)이 형성되어 있다. 차광 부재(220)는 블랙 매트릭스(black matrix)라고도 하며 빛샘을 막아준다.

- [0065] 그러나, 본 발명의 다른 실시예에 따른 액정 표시 장치의 경우, 차광 부재(220)는 하부 표시판(100) 위에 위치할 수 있고, 발명의 다른 한 실시예에 따른 액정 표시 장치의 경우, 색필터는 상부 표시판(200)에 위치할 수도 있다.
- [0066] 표시판(100, 200)의 안쪽 면에는 배향막(alignment layer)(도시하지 않음)이 형성되어 있으며 이들은 수직 배향막일 수 있다.
- [0067] 두 표시판(100, 200)의 바깥쪽 면에는 편광자(polarizer)(도시하지 않음)가 구비되어 있는데, 두 편광자의 투과축은 직교하며 이중 한 투과축은 게이트선(121)에 대하여 나란한 것이 바람직하다. 그러나, 편광자는 두 표시판(100, 200) 중 어느 하나의 바깥쪽 면에만 배치될 수도 있다.
- [0068] 액정층(3)은 음의 유전율 이방성을 가지며, 액정층(3)의 액정 분자는 전기장이 없는 상태에서 그 장축이 두 표시판(100, 200)의 표면에 대하여 수직을 이루도록 배향되어 있다. 따라서 전기장이 없는 상태에서 입사광은 직교 편광자를 통과하지 못하고 차단된다.
- [0069] 액정층(3)과 배향막 중 적어도 하나는 광 반응성 물질, 보다 구체적으로 반응성 메소겐(reactive mesogen)을 포함할 수 있다.
- [0070] 그러면, 본 실시예에 따른 액정 표시 장치의 구동 방법에 대하여 간략하게 설명한다.
- [0071] 게이트선(121)에 게이트 온 신호가 인가되면, 제1 게이트 전극(124a), 제2 게이트 전극(124b), 제3 게이트 전극(124c) 그리고 제4 게이트 전극(124d)에 게이트 온 신호가 인가되어, 제1 게이트 전극(124a), 제1 소스 전극(173a) 및 제1 드레인 전극(175a)을 포함하는 제1 박막 트랜지스터, 제2 게이트 전극(124b), 제2 소스 전극(173b) 및 제2 드레인 전극(175b)을 포함하는 제2 박막 트랜지스터 및 제3 게이트 전극(124c), 제3 소스 전극(173c) 및 제3 드레인 전극(175c)을 포함하는 제3 박막 트랜지스터가 턴 온 된다. 이에 따라 데이터선(171)에 인가된 데이터 전압은 턴 온 된 제1 박막 트랜지스터, 제2 박막 트랜지스터 및 제3 박막 트랜지스터를 통해 각각 제1 부화소 전극(191a), 제2 부화소 전극(191b) 및 제3 부화소 전극(191c)에 인가된다. 이 때, 제1 부화소 전극(191a) 및 제2 부화소 전극(191b)에는 동일한 크기의 전압이 인가된다. 그리고, 제1 부화소 전극(191a) 및 제3 부화소 전극(191c)에도 동일한 크기의 전압이 인가된다. 하지만, 제3 부화소 전극(191b)에 인가된 전압은 제3 박막 트랜지스터와 직렬 연결되어 있는 제4 박막 트랜지스터를 통해 분압된다. 따라서, 제3 부화소 전극(191c)에 인가되는 전압은 제1 부화소 전극(191a)에 인가되는 전압보다 더 작게 된다.
- [0072] 그러면, 도 1 및 도 7을 참고하여, 본 실시예에 따른 액정 표시 장치의 하나의 화소 영역이 포함하는 제1 영역(P1) 및 제2 영역(P2)에 대하여 설명한다.
- [0073] 도 1 및 도 7을 참고하면, 본 실시예에 따른 액정 표시 장치의 하나의 화소 영역은 제1 부화소 전극(191a)이 위치하는 제1 영역(P1), 제2 부화소 전극(191b)과 제3 부화소 전극(191c)이 중첩하는 제2 영역(P2)의 일부분인 제2a 영역(P2a)과 제3 부화소 전극(191c)만 형성된 제2 영역(P2)의 일부분인 제2b 영역(P2b)으로 이루어진다.
- [0074] 본 실시예에 따른 액정 표시 장치의 하나의 화소 영역의 제1 영역(P1)은 하부 표시판(100)에 위치하는 제1 부화소 전극(191a)과 상부 표시판(200)에 위치하는 공통 전극(270)이 전기장을 생성한다. 이 때, 제1 부화소 전극(191a)은 십자부와 서로 다른 네 개의 방향으로 뻗어 있는 복수의 가지 전극(194a)을 포함한다. 복수의 가지 전극(194a)은 게이트선(121)을 기준으로 약 40도 내지 약 45도 기울어질 수 있다. 복수의 가지 전극(194a)의 가장 자리에 의해 발생하는 프린지 필드에 의하여, 제1 영역(P1)에 위치하는 액정층(3)의 액정 분자들은 서로 다른 네 개의 방향으로 눕게 된다. 보다 구체적으로, 복수의 가지 전극(194a)에 의한 프린지 필드의 수평 성분은 복수의 가지 전극(194a)의 변에 거의 수평하기 때문에, 액정 분자들은 복수의 가지 전극(194a)의 길이 방향에 평행한 방향으로 기울어진다.
- [0075] 본 실시예에 따른 액정 표시 장치의 하나의 화소 영역의 제2 영역(P2) 가운데 제2a 영역(P2a)은 하부 표시판(100)에 위치하는 제2 부화소 전극(191b)과 상부 표시판(200)의 공통 전극(270) 사이에 형성되는 전기장과 함께, 제3 부화소 전극(191c)과 공통 전극(270) 사이에 형성되는 전기장에 의하여, 액정층(3)의 액정 분자가 배열되게 된다.
- [0076] 다음으로 본 실시예에 따른 액정 표시 장치의 하나의 화소 영역의 제2 영역(P2) 가운데 제2b 영역(P2b)은 하부 표시판(100)에 위치하는 제3 부화소 전극(191c)과 상부 표시판(200)에 위치하는 공통 전극(270)이 전기장을 생성한다.
- [0077] 앞서 설명하였듯이, 제3 부화소 전극(191c)에 인가되는 제3 전압의 크기는 제1 부화소 전극(191a)에 인가되는

제1 전압의 크기보다 작다.

- [0078] 따라서, 제1 영역(P1)에 위치하는 액정층에 가해지는 전기장의 세기가 가장 크고, 제2b 영역(P2b)에 위치하는 액정층에 가해지는 전기장의 세기가 가장 작다. 제2a 영역(R2a)에는 제3 부화소 전극(191c)의 아래쪽에 위치하는 제2 부화소 전극(191b)의 전기장의 영향이 존재하기 때문에, 제2a 영역(P2a)에 위치하는 액정층에 가해지는 전기장의 세기는 제1 영역(P1)에 위치하는 액정층에 가해지는 전기장의 세기보다는 작고, 제2b 영역(P2b)에 위치하는 액정층에 가해지는 전기장의 세기보다는 크게 된다.
- [0079] 이처럼, 본 발명의 일실시예에 따른 액정 표시 장치는 하나의 화소 영역을 상대적으로 높은 제1 전압이 인가되는 제1 부화소 전극이 위치하는 제1 영역, 제1 전압과 동일한 제2 전압이 인가되는 제2 부화소 전극과 상대적으로 낮은 제3 전압이 인가되는 제3 부화소 전극의 일부분이 절연막을 사이에 두고 중첩하는 제2a 영역, 그리고 상대적으로 낮은 제3 전압이 인가되는 제3 부화소 전극이 위치하는 제2b 영역으로 구분한다. 따라서, 제1 영역, 제2a 영역, 제2b 영역에 대응하는 액정 분자들에 가해지는 전기장의 세기가 다르게 되어, 액정 분자들이 기울어지는 각도가 다르게 되고, 이에 따라 각 영역의 휘도가 달라진다. 이처럼, 하나의 화소 영역을 서로 다른 휘도를 가지는 3개의 영역으로 구분하게되면, 계조에 따른 투과율의 변화를 완만하게 조절함으로써, 측면에서 저계조와 고계조에서도 계조 변화에 따라 투과율이 급격히 변화하는 것을 방지함으로써, 측면 시인성을 정면 시인성에 가깝게 하면서도, 저계조와 고계조에서도 정확한 계조 표현이 가능하다.
- [0080] 도 8은 본 발명의 일실시예에 따른 액정 표시 장치를 나타내는 배치도이다.
- [0081] 도 8에서 설명하는 실시예는 도 1 내지 도 7에서 설명한 실시예와 대체로 동일하다. 다만, 제2 부화소 전극(191b)은 앞에서와 달리 제3 부화소 전극(191c)의 세로부(191c2)를 따라 길게 뻗은 모양을 갖는다.
- [0082] 도 9는 본 발명의 일실시예에 따른 액정 표시 장치를 나타내는 배치도이다.
- [0083] 도 9에서 설명하는 실시예는 도 8에서 설명한 실시예와 대체로 동일하다. 다만, 제2 부화소 전극(191b)은 도 8에서 설명한 제2 부화소 전극(191b)보다 폭이 얇고 세로 방향으로 더 긴 모양을 갖는다.
- [0084] 도 10은 본 발명의 일실시예에 따른 액정 표시 장치를 나타내는 배치도이다.
- [0085] 도 10에서 설명하는 실시예는 도 1에서 설명한 실시예와 대부분 동일하다. 다만, 하나의 화소 영역을 기준으로 좌우에 각각 제1 데이터선(171a)과 제2 데이터선(171b)이 위치하는 점에서 차이가 있다. 도 1에서 설명한 내용은 도 10의 실시예에 모두 적용할 수 있다. 이하에서는, 본 발명의 일실시예에 따른 액정 표시 장치에서 하나의 화소 영역에 대응하여 2개의 데이터선(171a, 171b)을 형성함으로써 고속 구동을 하면서 휘도 불균일 발생을 방지하는 경우에 대하여 설명하기로 한다.
- [0086] 도 11 내지 도 14는 본 발명의 일실시예에 따른 액정 표시 장치의 구동 방법을 나타내는 개략도이다. 도 11 내지 도 14는 도 10의 단위 화소 영역을 매트릭스 형태로 배열하여 도시한 도면이다.
- [0087] 도 10 내지 도 14를 참고하면, 본 실시예에 따른 단위 화소 영역(PX(N); N은 자연수)은 게이트선(121)을 기준으로 나누어져 있다. 앞에서 설명한 바와 같이 도 10을 다시 참고하면, 단위 화소 영역(PX(N))은 게이트선(121) 위치하는 제1 영역(P1) 및 게이트선(121) 하단에 위치하는 제2 영역(P2)을 포함할 수 있다. 본 실시예에서 하나의 단위 화소 영역(PX(N))에 대응하는 2개의 데이터선(171a, 171b)은 열반전 구동할 수 있다.
- [0088] 도 10 및 도 11을 참고하면, 본 발명의 일실시예에 따른 액정 표시 장치는 먼저 제N 게이트선과 제N+1 게이트선을 동시에 턴 온하고, 데이터선(171a, 171b)을 통해 화소 전극(191a, 191b, 191c)을 충전한다. 2개의 게이트선을 동시에 턴 온하여 충전하기 때문에 충전 시간을 늘릴 수 있다.
- [0089] 도 10 및 도 12를 참고하면, 턴 온 상태의 제N 게이트선과 제N+1 게이트선이 오프되면서 제N+2 게이트선과 제N+3 게이트선이 동시에 턴 온 되어 화소 전극(191a, 191b, 191c)을 충전할 수 있다.
- [0090] 도 10 및 도 13을 참고하면, 본 발명의 일실시예에 따른 액정 표시 장치는 먼저 제N 게이트선과 제N+2 게이트선을 동시에 턴 온하고, 제N 화소 영역(PX(N))의 화소 전극 및 제N+2 화소 영역(PX(N+2))의 화소 전극을 충전한다. 2개의 게이트선을 동시에 턴 온하여 충전하기 때문에 충전 시간을 늘릴 수 있다.
- [0091] 도 10 및 도 14를 참고하면, 턴 온 상태의 제N 게이트선과 제N+2 게이트선이 오프되면서 제N+1 게이트선과 제N+3 게이트선이 동시에 턴 온되어 제N+1 화소 영역(PX(N+1))의 화소 전극과 제N+3 화소 영역(PX(N+3))의 화소 전극을 충전할 수 있다. 이후 제N+1 게이트선이 오프되면 충전되어 있던 제N+2 화소 영역(PX(N+2))의 전압이 강하(Drop)될 수 있다. 따라서, 제N+2 화소 영역(PX(N+2))이 다른 3개의 화소 영역 대비하여 밝거나 어둡게 보

일 수 있다. 하지만, 본 실시예에 따른 액정 표시 장치에서 제N+1 게이트선과 제N+2 화소 영역(PX(N+2)) 사이에는 제N+1 화소 영역(PX(N+1))의 제2 영역(P2)이 배치되어 있기 때문에 제N+1 게이트선과 제N+2 화소 영역(PX(N+2))의 화소 전극 간의 기생 커패시턴스에 의한 휘도 불균일 현상을 방지할 수 있다.

[0092]

이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

부호의 설명

[0093]

110, 210 기관

121 게이트선 131 기준 전극선

140 게이트 절연막 171 데이터선

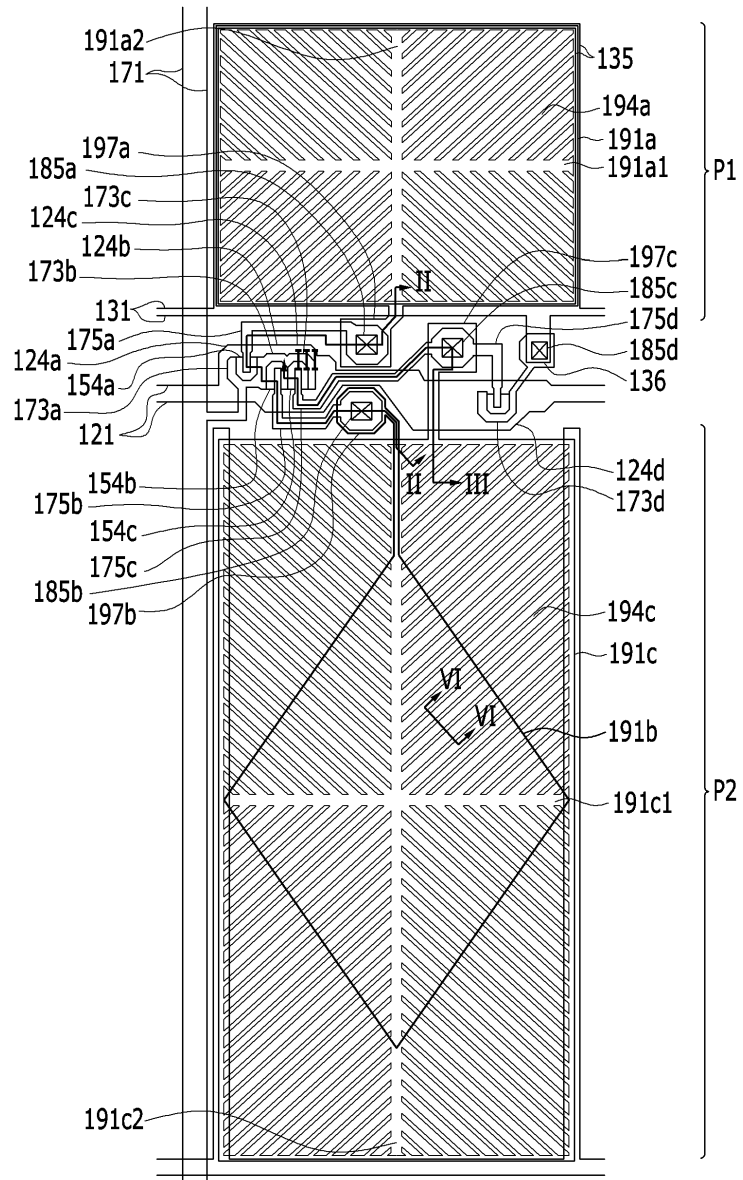
180a, 180b 보호막 191a, 191b, 191c 화소 전극

220 차광 부재 230 유기막

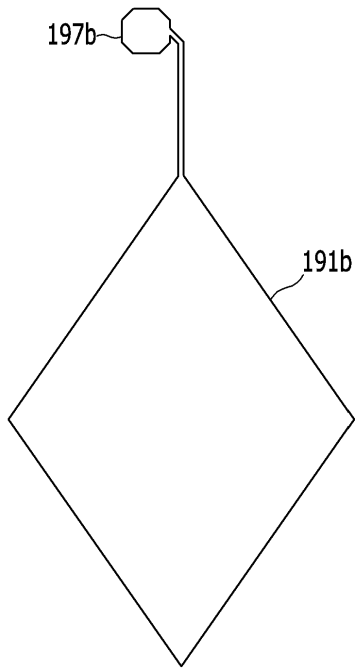
270 공통 전극

도면

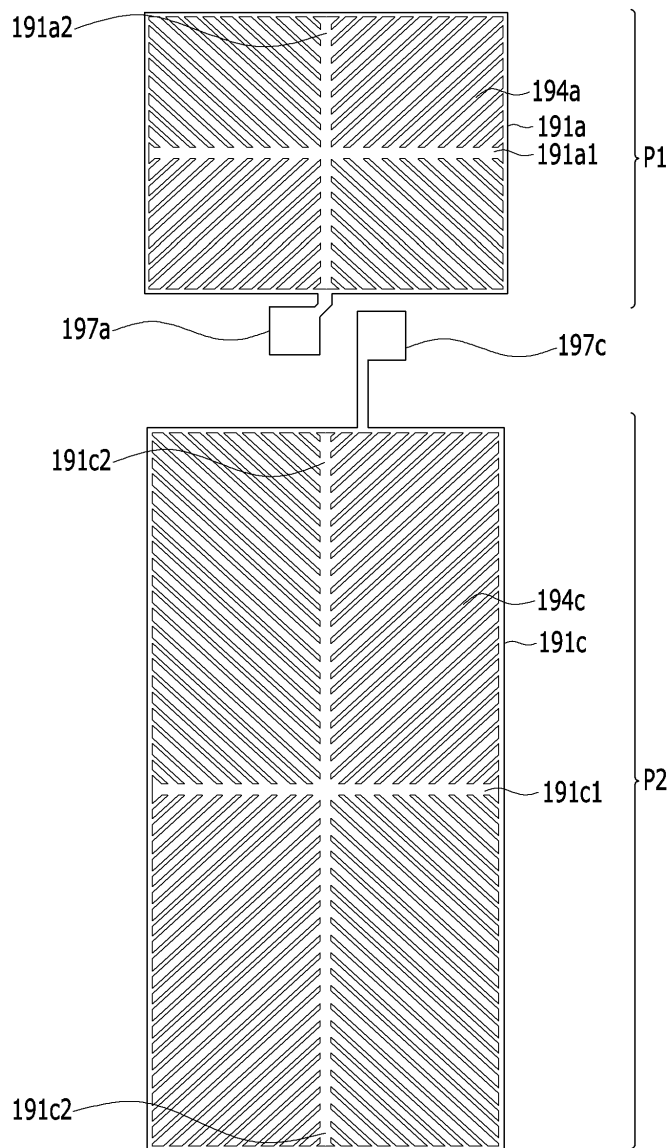
도면1



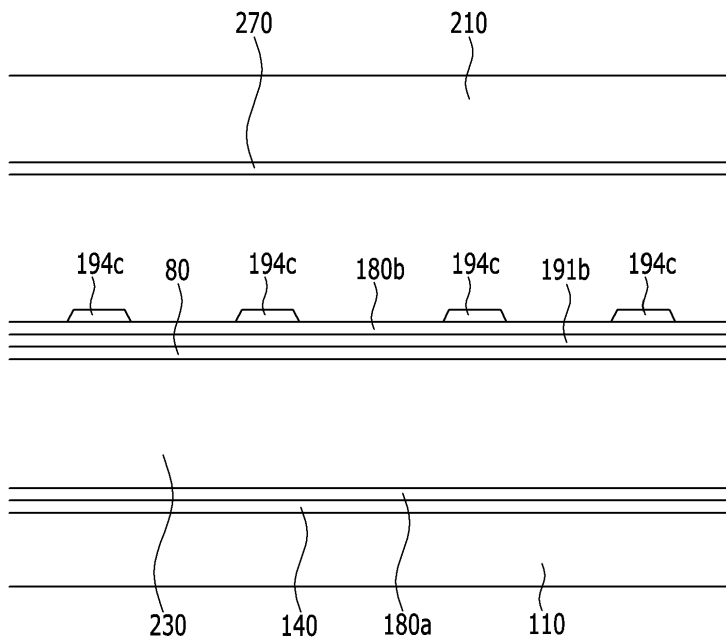
도면4



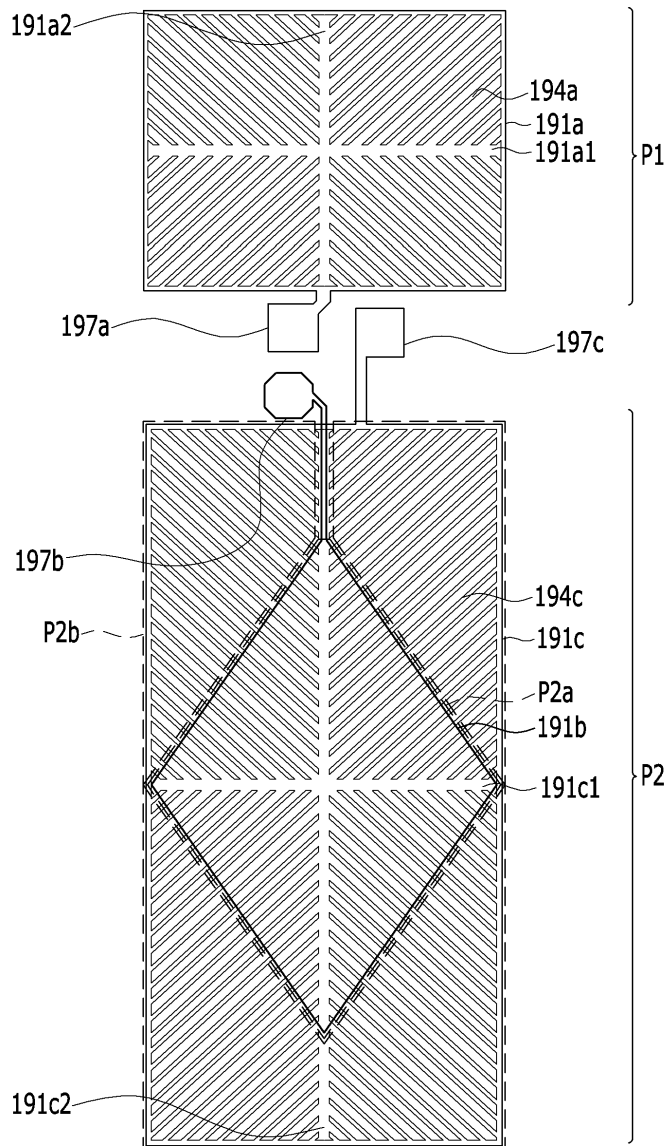
도면5



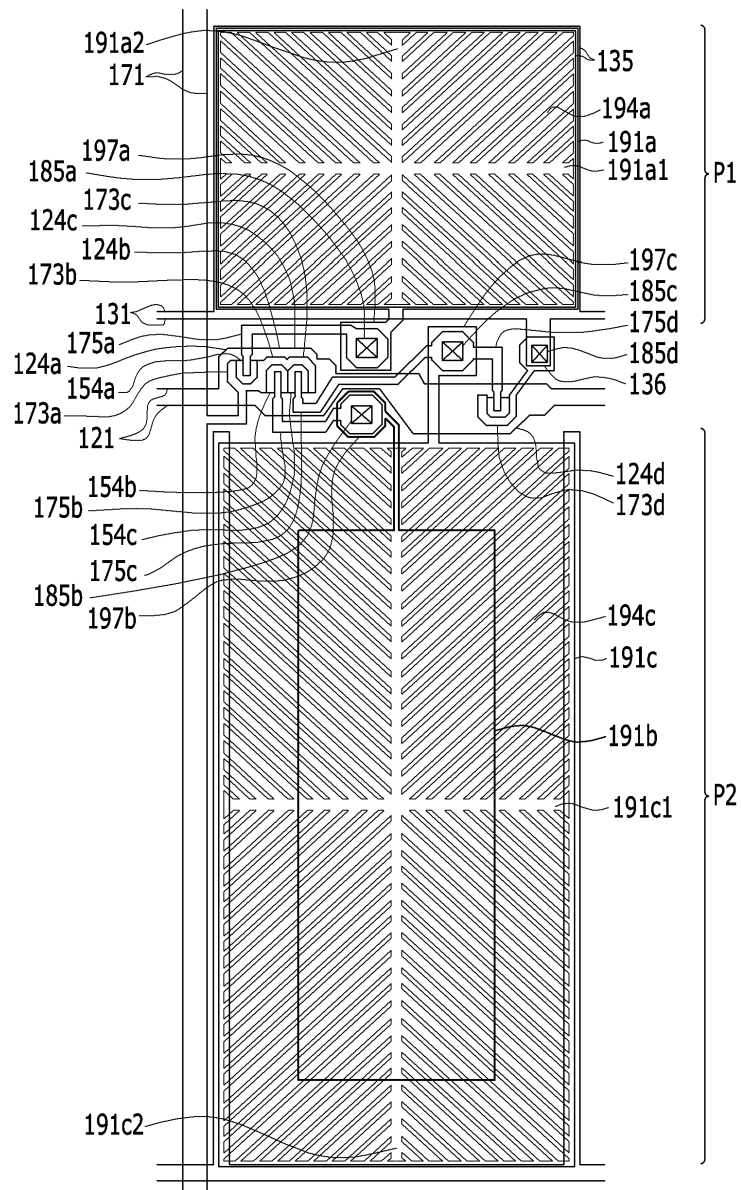
도면6



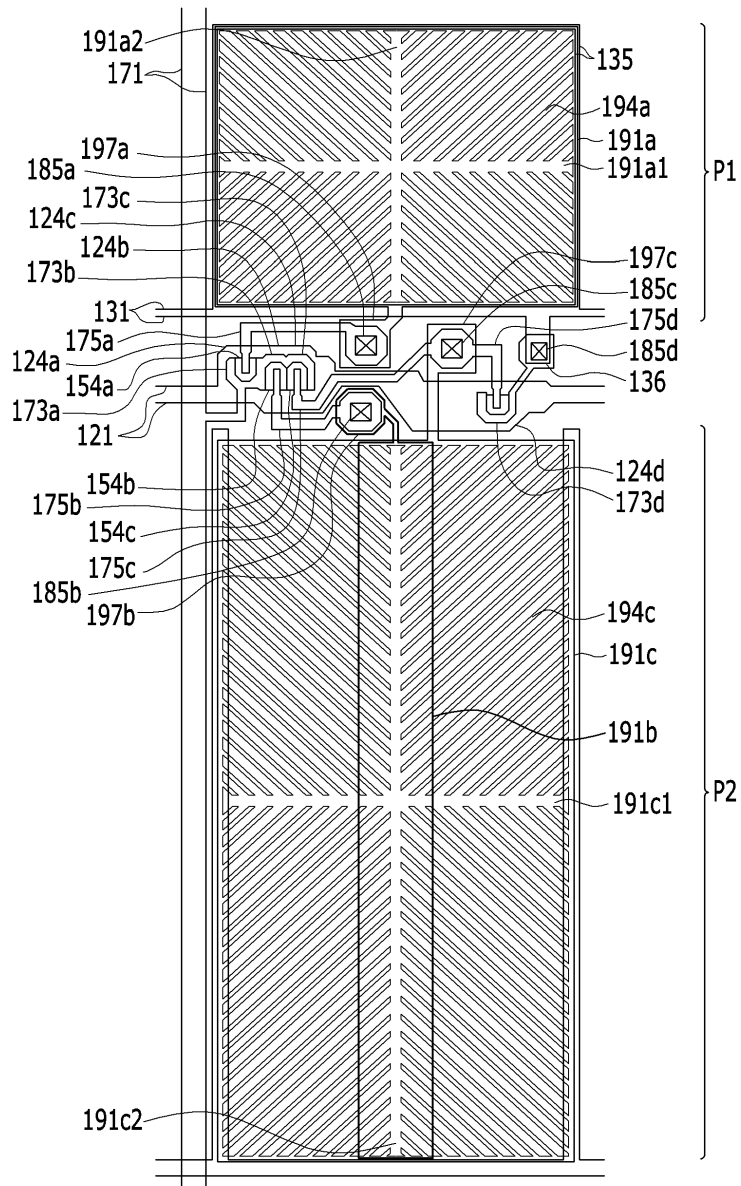
도면7



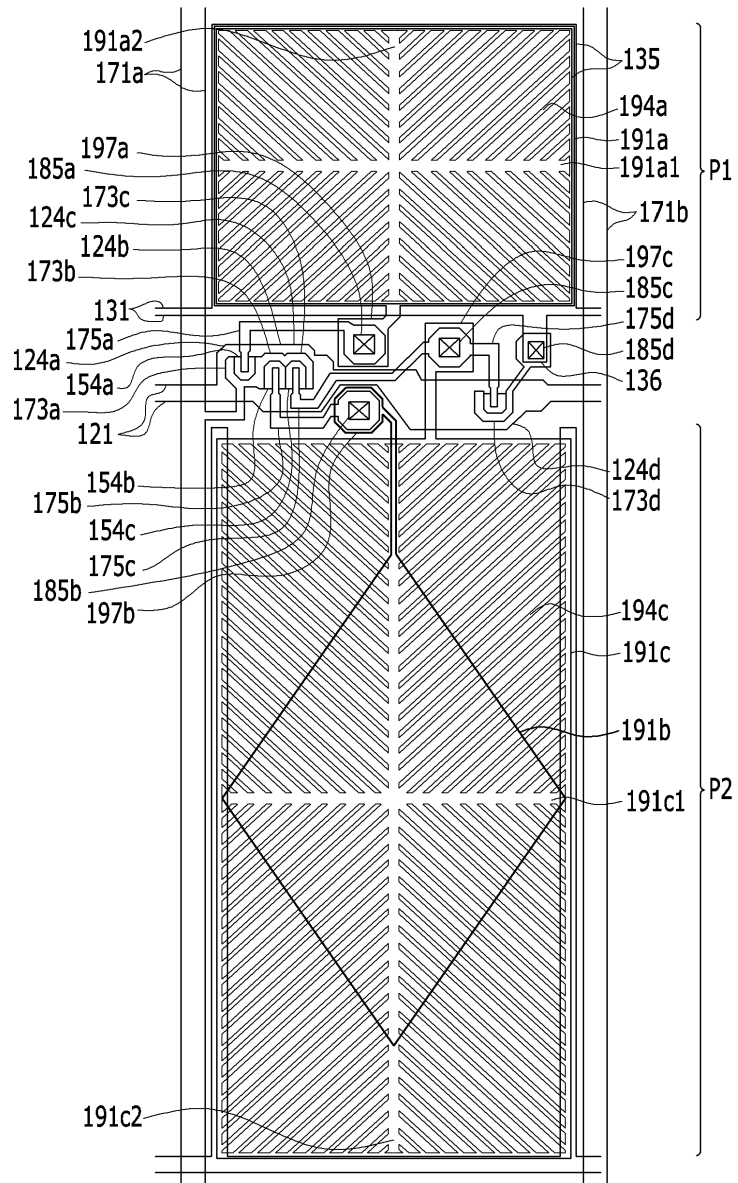
도면8



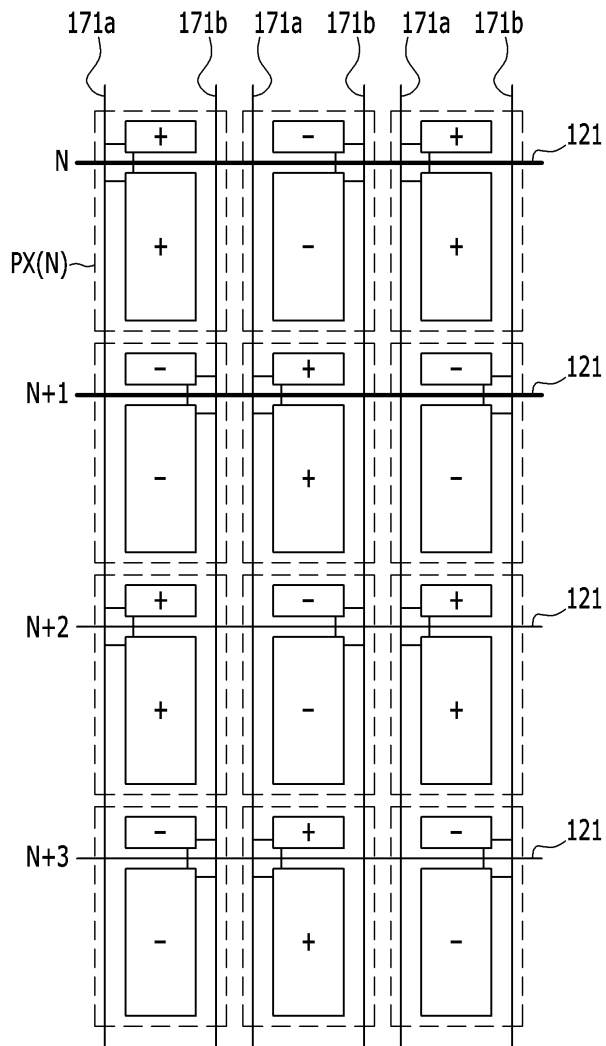
도면9



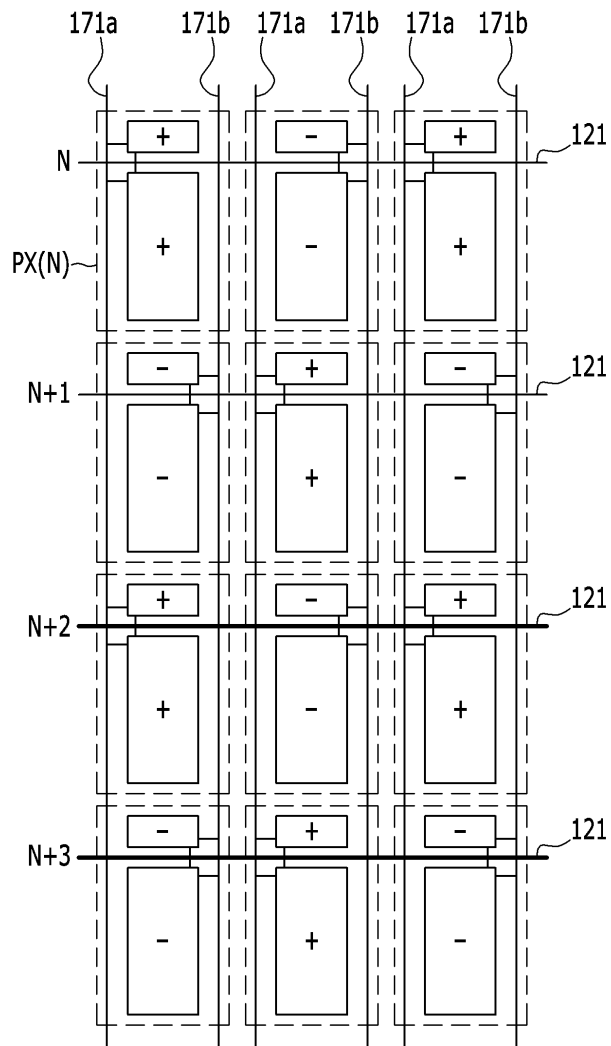
도면10



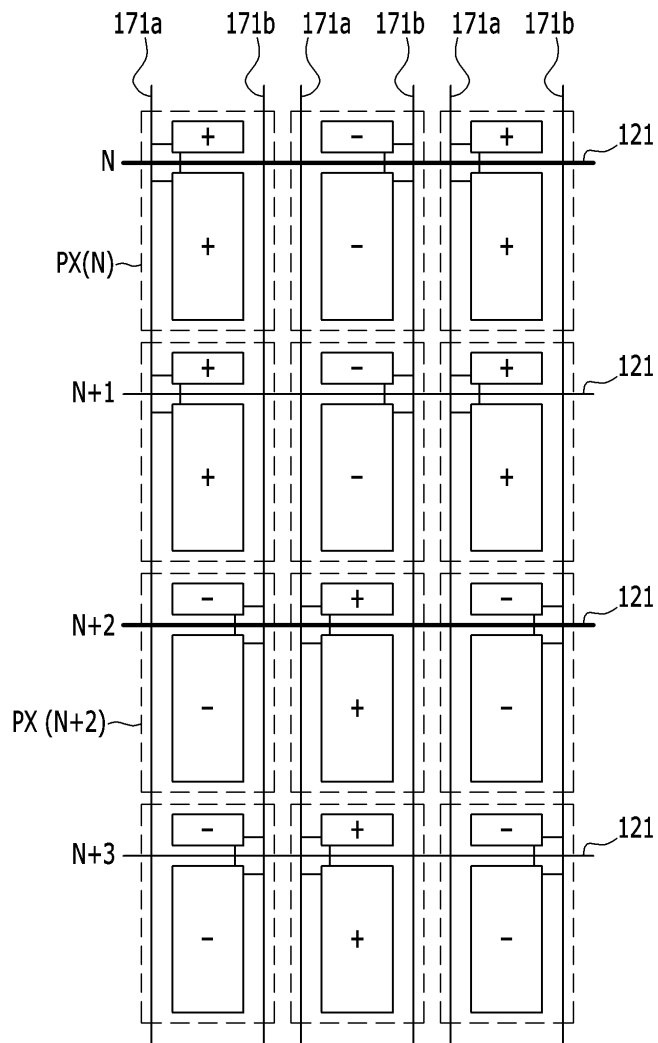
도면11



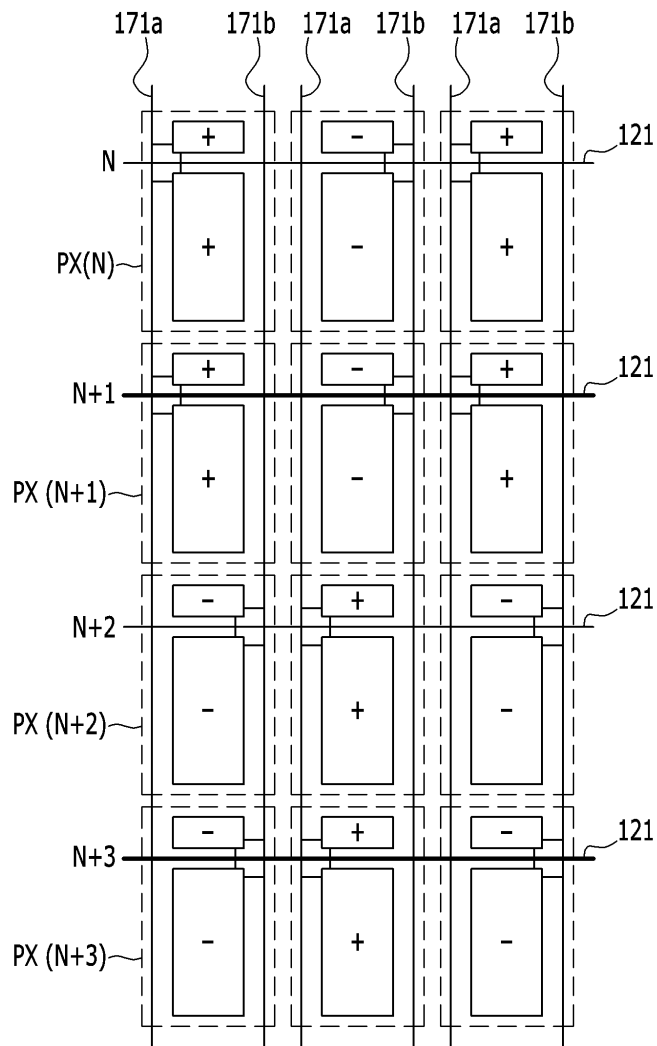
도면12



도면13



도면14



专利名称(译)	液晶显示器		
公开(公告)号	KR1020150083370A	公开(公告)日	2015-07-17
申请号	KR1020140003021	申请日	2014-01-09
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	HWANG HYUN SIK 황현식 HWANG IN JAE 황인재 SHIN DONG HWA 신동화		
发明人	황현식 황인재 신동화		
IPC分类号	G02F1/1343 G02F1/1362		
CPC分类号	G02F1/13306 G02F1/134309 G02F2001/134345		
外部链接	Espacenet		

摘要(译)

根据示例性实施例的液晶显示器包括：第一子像素电极，被配置为具有施加到其上的第一电压；第二子像素电极，被配置为施加有第二电压；第三子像素电极，被配置为施加第三电压；第一子像素电极和第二子像素电极之间或第二子像素电极和第三子像素电极之间的绝缘层；配置为施加有公共电压的公共电极，其中第二子像素电极和第三子像素电极彼此重叠，绝缘层位于其间，第一子像素电极和第三子像素电极设置在栅极的相对侧线，第一电压和第三电压不同。

