



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0047948

(43) 공개일자 2015년05월06일

(51) 국제특허분류(Int. Cl.)

G02F 1/1345 (2006.01)

(21) 출원번호 10-2013-0128051

(22) 출원일자 2013년10월25일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

원대현

대구 북구 구암로16길 7, 104동 406호 (태전동, 현대1차아파트)

진목규

경북 칠곡군 석적읍 동중리9길 13, 나래원 B동 612호 (LG디스플레이나래원기숙사)

(뒷면에 계속)

(74) 대리인

특허법인천문

전체 청구항 수 : 총 10 항

(54) 발명의 명칭 액정 디스플레이 장치와 이의 제조방법

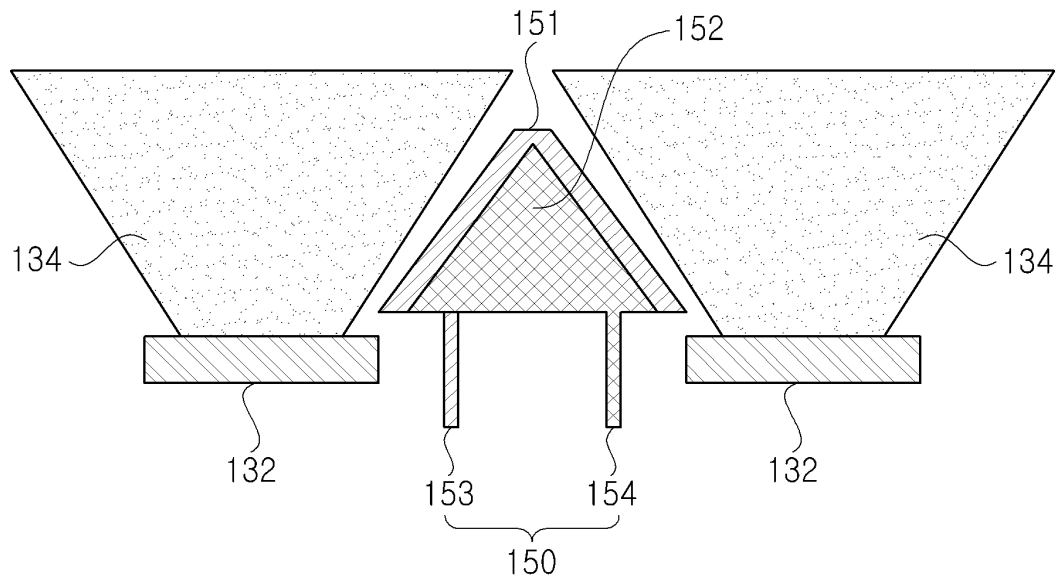
(57) 요약

본 발명은 정전기가 링크 라인에 인가되어 링크 라인이 파손되는 것을 방지한 액정 디스플레이 장치에 관한 것이다.

본 발명의 실시 예에 따른 액정 디스플레이 장치는, 복수의 픽셀들이 형성되어 화상을 표시하는 액티브 영역; 상

(뒷면에 계속)

대표도 - 도5



기 액티브 영역의 외곽에 형성된 비 표시 영역; 상기 비 표시 영역에 본딩되어 상기 복수의 픽셀에 데이터 전압을 공급하는 복수의 데이터 드라이브 IC; 상기 복수의 데이터 드라이브 IC에서 출력된 신호를 상기 복수의 픽셀 공급하기 위한 복수의 데이터 링크 라인이 형성된 복수의 데이터 링크 영역; 상기 비 표시 영역에 본딩되어 상기 복수의 픽셀에 게이트 구동 신호를 공급하는 복수의 게이트 드라이브 IC; 상기 복수의 게이트 드라이브 IC에서 출력된 신호를 상기 복수의 픽셀 공급하기 위한 복수의 게이트 링크 라인이 형성된 복수의 게이트 링크 영역; 및 상기 복수의 데이터 링크 영역들 사이에 형성되고, 제1 전극, 상기 제1 전극을 덮도록 형성된 제1 절연층 및 상기 제1 절연층 상에 형성된 제2 전극을 포함하는 멀티 레이어 구조로 형성된 복수의 제1 정전기 방전 패드;를 포함한다.

(72) 발명자

곽동곤

경북 구미시 상사서로 18, 109동 1601호 (상모동,
우방신세계타운)

공아름

경북 칠곡군 석적읍 석적로 955-19, 112동 507호
(우방신천지아파트)

명세서

청구범위

청구항 1

복수의 픽셀들이 형성되어 화상을 표시하는 액티브 영역;

상기 액티브 영역의 외곽에 형성된 비 표시 영역;

상기 비 표시 영역에 본딩되어 상기 복수의 픽셀에 데이터 전압을 공급하는 복수의 데이터 드라이브 IC;

상기 복수의 데이터 드라이브 IC에서 출력된 신호를 상기 복수의 픽셀 공급하기 위한 복수의 데이터 링크 라인이 형성된 복수의 데이터 링크 영역;

상기 비 표시 영역에 본딩되어 상기 복수의 픽셀에 게이트 구동 신호를 공급하는 복수의 게이트 드라이브 IC;

상기 복수의 게이트 드라이브 IC에서 출력된 신호를 상기 복수의 픽셀 공급하기 위한 복수의 게이트 링크 라인이 형성된 복수의 게이트 링크 영역; 및

상기 복수의 데이터 링크 영역들 사이에 형성되고, 제1 전극, 상기 제1 전극을 덮도록 형성된 제1 절연층 및 상기 제1 절연층 상에 형성된 제2 전극을 포함하는 멀티 레이어 구조로 형성된 복수의 제1 정전기 방전 패드;를 포함하는 것을 특징으로 하는 액정 디스플레이 장치.

청구항 2

제1 항에 있어서,

상기 복수의 게이트 링크 영역들 사이에 형성되고, 제1 전극, 상기 제1 전극을 덮도록 형성된 제1 절연층 및 상기 제1 절연층 상에 형성된 제2 전극을 포함하는 멀티 레이어 구조로 형성된 복수의 제2 정전기 방전 패드;를 포함하는 것을 특징으로 하는 액정 디스플레이 장치.

청구항 3

제1 항에 있어서,

액정 패널의 모서리 부분에 형성되고, 제1 전극, 상기 제1 전극을 덮도록 형성된 제1 절연층 및 상기 제1 절연층 상에 형성된 제2 전극을 포함하는 멀티 레이어 구조로 형성된 복수의 제3 정전기 방전 패드;를 포함하는 것을 특징으로 하는 액정 디스플레이 장치.

청구항 4

제1 항 내지 제3 항 중 어느 한 항에 있어서,

상기 제1 전극과 연결되어 정전기를 그라운드로 배출시키는 제1 정전기 방전 라인 및

상기 제2 전극과 연결되어 정전기를 그라운드로 배출시키는 제2 정전기 방전 라인을 더 포함하는 것을 특징으로 하는 액정 디스플레이 장치.

청구항 5

제1 항 내지 제3 항 중 어느 한 항에 있어서,

상기 제1 전극은 상기 액티브 영역의 게이트 라인과 동일 레이어에 형성되고,

상기 절연층은 상기 액티브 영역의 게이트 절연층으로 형성되고,

상기 제3 전극은 상기 액티브 영역의 데이터 라인과 동일 레이어에 형성된 것을 특징으로 하는 액정 디스플레이 장치.

청구항 6

제1 항 내지 제3 항 중 어느 한 항에 있어서,
상기 정전기 방전 패드는,
상기 제2 전극을 덮도록 형성된 제2 절연층 및
상기 제2 절연층 상에 형성된 제3 전극을 더 포함하는 것을 특징으로 하는 액정 디스플레이 장치.

청구항 7

제6 항에 있어서,
상기 제3 전극과 연결되어 정전기를 그라운드로 배출시키는 제3 정전기 방전 라인을 더 포함하는 것을 특징으로 하는 액정 디스플레이 장치.

청구항 8

제6 항에 있어서,
상기 제2 절연층은 상기 액티브 영역의 보호층으로 형성되고,
상기 제3 전극은 상기 액티브 영역의 픽셀 전극 또는 공통 전극과 동일 레이어에 형성된 것을 특징으로 하는 액정 디스플레이 장치.

청구항 9

제1 항 내지 제3 항 중 어느 한 항에 있어서,
상기 제1 절연층은 상기 액티브 영역의 게이트 절연층보다 얇게 형성된 것을 특징으로 하는 액정 디스플레이 장치.

청구항 10

제7 항에 있어서,
상기 제2 절연층은 상기 액티브 영역의 보호층보다 얇게 형성된 것을 특징으로 하는 액정 디스플레이 장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정 디스플레이 장치에 관한 것으로, 특히 정전기가 링크 라인에 인가되어 링크 라인이 파손되는 것을 방지한 액정 디스플레이 장치와 이의 제조 방법에 관한 것이다.

배경 기술

[0002] 이동통신 단말기, 노트북 컴퓨터와 같은 각종 휴대용 전자기기가 발전함에 따라 이에 적용할 수 있는 평판 디스플레이 장치(Flat Panel Display Device)에 대한 요구가 증대되고 있다.

[0003] 평판 디스플레이 장치로는 액정 디스플레이 장치(Liquid Crystal Display Device), 플라스마 디스플레이 패널(Plasma Display Panel), 전계 방출 디스플레이 장치(Field Emission Display Device), 발광 다이오드 디스플레이 장치(Light Emitting Diode Display Device), 유기발광 다이오드 디스플레이 장치(OLED: Organic Light Emitting Diode Display Device) 등이 연구되고 있다.

[0004] 이러한, 평판 디스플레이 장치 중에서 액정 디스플레이 장치(LCD)는 양산 기술의 발전, 구동수단의 용이성, 저 전력 소비, 고화질 구현 및 대화면 구현의 장점이 있어 적용 분야가 확대되고 있다.

[0005] 액정 디스플레이 장치는 외부로부터 입력된 영상 신호를 데이터 전압으로 변환하고, 데이터 전압에 따라 복수의 픽셀(cell)의 액정층을 투과하는 광의 투과율을 조절하여 영상 신호에 따른 화상을 표시하게 된다.

[0006] 이러한 액정 디스플레이 장치는 TFT 어레이 기판(하부 기판) 상에 TFT(thin film transistor)를 포함한 패턴들을 형성하는 공정, 컬러필터 어레이 기판 상에 컬러필터층을 포함한 각종 패턴을 형성하는 공정, TFT 어레이 기판과 컬러필터 어레이 기판을 대향 합착하고, 그 사이에 액정을 주입하는 액정셀 공정 및 TFT 어레이 기판에 구

동 회로부를 연결하는 모듈 공정을 수행하여 제조되게 된다.

- [0007] 도 1은 종래 기술에 따른 액정 디스플레이 장치를 개략적으로 나타내는 도면이고, 도 2는 액정 패널의 비 표시 영역에 형성된 링크 라인들 및 링크 영역들 사이에 형성된 더미 패드를 나타내는 도면이다.
- [0008] 도 1 및 도 2를 참조하면, 종래 기술에 따른 액정 디스플레이 장치(1)는 액정 패널과 구동 회로부를 포함한다. 액정 패널은 화상이 표시되는 액티브 영역(10)과 비 표시 영역(20)을 포함한다.
- [0009] 액티브 영역(10)의 주변에 비 표시 영역(20)이 형성되어 있으며, 비 표시 영역(20)에는 액티브 영역(10)에 형성된 복수의 픽셀들에 신호를 공급하기 위한 복수의 링크 라인이 형성된 링크 영역(22) 및 복수의 패드(미도시)가 형성되어 있다.
- [0010] 구동 회로부는 데이터 드라이버(30), 게이트 드라이버(40), 타이밍 컨트롤러(미도시) 및 전원 공급부(미도시)를 포함한다.
- [0011] 데이터 드라이버(30)는 복수의 데이터 드라이브 IC(32, data drive integrated circuit)를 포함하며, 복수의 데이터 드라이브 IC(32)는 COF(Chip On Film) 형태로 형성되어 액정 패널의 비 표시 영역(20)의 상측 또는 하측에 본딩된다.
- [0012] 게이트 드라이버(40)는 복수의 게이트 드라이브 IC(42)를 포함하며, 복수의 게이트 드라이브 IC(42)는 COF(Chip On Film) 형태로 형성되어 액정 패널의 비 표시 영역(20)의 좌측 및 우측에 본딩된다.
- [0013] 비 표시 영역(20)의 링크 영역(22)에는 복수의 데이터 드라이브 IC(32)의 출력 채널과 접속되어 액티브 영역(10)에 형성된 복수의 픽셀에 데이터 전압을 공급하기 위한 복수의 데이터 링크 라인(34)이 형성되어 있다.
- [0014] 그리고, 링크 영역(22)에는 복수의 게이트 드라이브 IC(42)의 출력 채널과 접속되어 게이트 구동 신호를 공급하기 위한 복수의 게이트 링크 라인(미도시)이 형성되어 있다.
- [0015] 복수의 데이터 드라이브 IC(32)의 링크 영역 사이에는 더미 패드(50)가 형성되어 있다.
- [0016] 도 3은 더미 패드가 형성된 부분의 단면을 나타내는 도면이다.
- [0017] 도 3을 참조하면, 더미 패드(50)는 데이터 링크 라인(34)에 정전기가 유입되는 것을 방지하기 위해서 형성된 것으로, 더미 패드(50)는 게이트 라인이 형성될 때 함께 단일 레이어로 형성된다. 더미 패드(50)는 기판(2) 상에 형성되고, 더미 패드(50)를 덮도록 게이트 절연층(3)이 형성되고, 그 위에 보호층(4)이 형성되어 있다.
- [0018] 이러한, 더미 패드(50)에는 복수의 신호 라인(52)이 접속되어 있고, 더미 패드(50)에 유입된 정전기는 복수의 신호 라인(52)에 의해 배출된다.
- [0019] 액정 패널의 제조 과정에서 러빙 공정을 수행하게 되는데, 러빙 공정에 의해서 액정 패널에 정전기가 발생될 수 있다. 이러한 정전기가 데이터 링크 라인(34) 또는 게이트 링크 라인에 유입되면 링크 라인들이 파손될 수 있고 신호 왜곡이 발생되어 구동 불량에 발생될 수 있다.
- [0020] 링크 라인들에 정전기가 유입되는 것을 방지하기 위한 용도로 더미 패드(50)가 형성되어 있지만, 단일 레이어로 형성된 더미 패드(50) 만으로는 액정 패널에 형성된 정전기를 완전히 흡수할 수 없어 링크 라인들이 파손되고 신호 왜곡이 발생되어 구동 불량에 발생된다.

발명의 내용

해결하려는 과제

- [0021] 본 발명은 상술한 문제점을 해결하기 위한 것으로서, 정전기가 링크 라인에 인가되어 링크 라인이 파손되는 것을 방지한 액정 디스플레이 장치를 제공하는 것을 기술적 과제로 한다.
- [0022] 본 발명은 상술한 문제점을 해결하기 위한 것으로서, 링크 라인에 유입된 정전기에 의해 링크 라인의 신호를 왜곡시켜 구동 불량에 발생되는 것을 방지한 액정 디스플레이 장치를 제공하는 것을 기술적 과제로 한다.
- [0023] 위에서 언급된 본 발명의 기술적 과제 외에도, 본 발명의 다른 특징 및 이점들이 이하에서 기술되거나, 그러한 기술 및 설명으로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0024] 본 발명의 실시 예에 따른 액정 디스플레이 장치는, 복수의 픽셀들이 형성되어 화상을 표시하는 액티브 영역; 상기 액티브 영역의 외곽에 형성된 비 표시 영역; 상기 비 표시 영역에 본딩되어 상기 복수의 픽셀에 데이터 전압을 공급하는 복수의 데이터 드라이브 IC; 상기 복수의 데이터 드라이브 IC에서 출력된 신호를 상기 복수의 픽셀 공급하기 위한 복수의 데이터 링크 라인이 형성된 복수의 데이터 링크 영역; 상기 비 표시 영역에 본딩되어 상기 복수의 픽셀에 게이트 구동 신호를 공급하는 복수의 게이트 드라이브 IC; 상기 복수의 게이트 드라이브 IC에서 출력된 신호를 상기 복수의 픽셀 공급하기 위한 복수의 게이트 링크 라인이 형성된 복수의 게이트 링크 영역; 및 상기 복수의 데이터 링크 영역들 사이에 형성되고, 제1 전극, 상기 제1 전극을 덮도록 형성된 제1 절연층 및 상기 제1 절연층 상에 형성된 제2 전극을 포함하는 멀티 레이어 구조로 형성된 복수의 제1 정전기 방전패드;를 포함하는 것을 특징으로 한다.

발명의 효과

[0025] 본 발명의 실시 예에 따른 액정 디스플레이 장치는 정전기가 링크 라인에 인가되는 것을 방지하여, 정전기의 유입에 의해 링크 라인이 파손되는 것을 방지할 수 있다.

[0026] 본 발명의 실시 예에 따른 액정 디스플레이 장치는 정전기 유입에 의한 링크 라인의 신호 왜곡을 방지하여 구동 불량이 발생하는 것을 방지할 수 있다.

[0027] 이 밖에도, 본 발명의 실시 예들을 통해 본 발명의 또 다른 특징 및 이점들이 새롭게 파악될 수도 있을 것이다.

도면의 간단한 설명

[0028] 도 1은 종래 기술에 따른 액정 디스플레이 장치를 개략적으로 나타내는 도면이다.

도 2는 액정 패널의 비 표시 영역에 형성된 링크 라인들 및 링크 영역들 사이에 형성된 더미 패드를 나타내는 도면이다.

도 3은 더미 패드가 형성된 부분의 단면을 나타내는 도면이다.

도 4는 본 발명의 제1 실시 예에 따른 액정 디스플레이 장치를 개략적으로 나타내는 도면이다.

도 5는 도 4에 도시된 액정 패널의 비 표시 영역에 형성된 링크 라인들 및 링크 영역들 사이에 형성된 정전기 방전(ESD: Electrostatic Discharge) 패드를 나타내는 도면이다.

도 6은 도 5에 도시된 링크 영역에 형성된 링크 라인들 및 정전기 방지 패드를 확대하여 나타내는 도면이다.

도 7은 본 발명의 제1 실시 예에 따른 정전기 방지 패드가 형성된 부분의 단면을 나타내는 도면이다.

도 8은 본 발명의 제2 실시 예에 따른 액정 디스플레이 장치를 개략적으로 나타내는 도면이다.

도 9는 본 발명의 제2 실시 예에 따른 정전기 방지 패드가 형성된 부분의 단면을 나타내는 도면이다.

도 10은 본 발명의 제3 실시 예에 따른 액정 디스플레이 장치를 개략적으로 나타내는 도면이다.

도 11은 본 발명의 제3 실시 예에 따른 정전기 방지 패드가 형성된 부분의 단면을 나타내는 도면이다.

도 12는 본 발명의 제4 실시 예에 따른 정전기 방지 패드가 형성된 부분의 단면을 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0029] 이하, 첨부된 도면을 참조하여 본 발명의 실시 예에 따른 액정 디스플레이 장치에 대하여 설명하기로 한다.

[0030] 본 발명의 실시 예들을 설명함에 있어서 어떤 구조물(전극, 라인, 레이어, 컨택)이 다른 구조물 '상부에 또는 상에' 및 '아래에 또는 하부에' 형성된다고 기재된 경우, 이러한 기재는 이 구조물들이 서로 접촉되어 있는 경우는 물론이고 이들 구조물들 사이에 제3의 구조물이 개재되어 있는 경우까지 포함하는 것으로 해석되어야 한다.

[0031] 아울러, 상기 '상부에 또는 상에' 및 '아래에 또는 하부에'라는 표현은 도면에 기초하여 터치 센서가 내장된 액정 디스플레이 장치의 구성 및 본 발명의 제조 방법들을 설명하기 위한 것이다. 따라서, 상기 '상부에 또는 상에' 및 '아래에 또는 하부에'라는 표현은 제조 공정 과정과 제조가 완료된 이후 구성에서 서로 상이할 수 있다.

- [0032] 액정 디스플레이 장치는 액정층의 배열을 조절하는 방식에 따라 TN(Twisted Nematic) 모드, VA(Vertical Alignment) 모드, IPS(In Plane Switching) 모드, FFS(Fringe Field Switching) 모드 등 다양하게 개발되어 있다.
- [0033] 그 중에서, TN 모드와 VA 모드는 하부 기판에 픽셀 전극을 배치하고, 상부 기판에 공통 전극을 비치하여 픽셀 전극과 공통 전극 사이의 수직 전계에 의해 액정층의 배열을 조절하는 방식이다. 그리고, IPS 모드와 FFS 모드는 하부 기판 상에 픽셀 전극과 공통 전극을 배치하여 픽셀 전극과 공통 전극 사이의 수평 전계에 의해 액정층의 배열을 조절하는 방식이다. 본 발명의 실시 예에 따른 액정 디스플레이 장치는 구동 모드에 제약 없이 적용될 수 있다.
- [0034] 도 4는 본 발명의 제1 실시 예에 따른 액정 디스플레이 장치를 개략적으로 나타내는 도면이다.
- [0035] 도 4를 참조하면, 본 발명의 제1 실시 예에 따른 액정 디스플레이 장치(100)는 액정 패널과 구동 회로부를 포함한다. 액정 패널은 화상이 표시되는 액티브 영역(110)과 비 표시 영역(120)을 포함한다.
- [0036] 액티브 영역(110)에는 복수의 게이트 라인과 복수의 데이터 라인이 교차하도록 형성되어 있고, 복수의 게이트 라인과 복수의 데이터 라인의 교차에 의해 복수의 픽셀이 정의된다.
- [0037] 복수의 픽셀 각각에는 TFT(thin film transistor) 및 스토리지 커패시터(Cst)가 형성되어 있다. TFT는 상기 데이터 라인들과 상기 게이트 라인들이 교차되는 영역에 형성된다.
- [0038] 또한, 복수의 픽셀 각각은 공통 전극(Vcom electrode) 및 픽셀 전극(pixel electrode)을 포함한다. 픽셀 전극과 공통 전극은 동일 레이어에 형성될 수도 있고, 서로 다른 레이어에 형성될 수도 있다.
- [0039] 액티브 영역(110)의 주변에 비 표시 영역(120)이 형성되어 있으며, 비 표시 영역(120)에는 액티브 영역(110)에 형성된 복수의 픽셀들에 신호를 공급하기 위한 복수의 링크 라인이 형성된 링크 영역(122)이 형성되어 있다. 또한, 비 표시 영역(120)에는 구동 회로부의 드라이브 IC들이 본딩되는 복수의 패드가 형성되어 있다.
- [0040] 구동 회로부는 데이터 드라이버(130), 게이트 드라이버(140), 타이밍 컨트롤러(미도시) 및 전원 공급부(미도시)를 포함한다.
- [0041] 데이터 드라이버(130)는 복수의 데이터 드라이브 IC(132, data drive integrated circuit)를 포함하며, 복수의 데이터 드라이브 IC(132)는 COF(Chip On Film) 형태로 형성되어 액정 패널의 비 표시 영역(120)의 상측 또는 하측에 본딩된다.
- [0042] 게이트 드라이버(140)는 복수의 게이트 드라이브 IC(142, gate drive integrated circuit)를 포함하며, 복수의 게이트 드라이브 IC(142)는 COF(Chip On Film) 형태로 형성되어 액정 패널의 비 표시 영역(120)의 좌측 및 우측에 본딩된다.
- [0043] 비 표시 영역(120)의 링크 영역(122)에는 복수의 데이터 드라이브 IC(132)의 출력 채널과 접속되어 액티브 영역(110)에 형성된 복수의 픽셀에 데이터 전압을 공급하기 위한 복수의 데이터 링크 라인(미도시)이 형성되어 있다.
- [0044] 그리고, 링크 영역(122)에는 복수의 게이트 드라이브 IC(142)의 출력 채널과 접속되어 게이트 구동 신호를 공급하기 위한 복수의 게이트 링크 라인(미도시)이 형성되어 있다.
- [0045] 복수의 데이터 드라이브 IC(132)의 출력 신호(데이터 전압)를 픽셀에 공급하기 위한 복수의 데이터 링크 라인이 형성된 데이터 링크 영역들 사이에는 정전기 방전(Electrostatic Discharge: ESD) 패드(150)가 형성되어 있다.
- [0046] 도 5는 도 4에 도시된 액정 패널의 비 표시 영역에 형성된 링크 라인들 및 링크 영역들 사이에 형성된 정전기 방전(ESD: Electrostatic Discharge) 패드를 나타내는 도면이고, 도 6은 도 5에 도시된 링크 영역에 형성된 링크 라인들 및 정전기 방지 패드를 확대하여 나타내는 도면이다.
- [0047] 도 5 및 도 6을 참조하면, 복수의 데이터 드라이브 IC(132)에서 출력되는 데이터 전압을 픽셀에 공급하기 위해서 링크 영역(122)에는 복수의 데이터 링크 영역(134)이 형성되어 있다. 데이터 링크 영역(134)에는 복수의 데이터 링크 라인(134a)이 형성되어 있으며, 복수의 데이터 링크 라인(134a)을 통해 데이터 드라이브 IC(132)의 각 채널에서 출력된 데이터 전압이 액티브 영역(110)의 각 픽셀에 공급된다.
- [0048] 데이터 드라이브 IC(132) 및 게이트 드라이브 IC(142)의 COF(Chip On Film)를 패드부에 본딩시키기 위해서, 패드부가 형성된 영역의 보호막을 일정 부분 오픈시키고 패드부에 COF(Chip On Film)를 본딩한다.

- [0049] 도 7은 본 발명의 제1 실시 예에 따른 정전기 방지 패드가 형성된 부분의 단면을 나타내는 도면이다. 도 5 및 도 6과 함께 도 7을 결부하여 정전기 방지 패드(150)를 설명하기로 한다.
- [0050] 복수의 데이터 드라이브 IC(132)의 링크 영역들 사이마다 형성된 정전기 방전 패드(150)는 멀티 레이어 구조를 가진다.
- [0051] 정전기 방전 패드(150)는 절연층을 사이에 두고 형성된 제1 전극(151) 및 제2 전극(152)을 포함하여 구성된다. 이때, 정전기 방전 패드(150)의 절연층으로 게이트 절연층(102)이 적용될 수 있다.
- [0052] 정전기 방전 패드(150)의 제1 전극(151)은 액티브 영역(110)의 게이트 라인 및 TFT의 게이트 전극과 동일한 레이어에 형성된다. 액티브 영역(110)에 게이트 라인 및 TFT의 게이트 전극을 형성할 때 정전기 방전 패드(150)의 제1 전극(151)이 함께 형성된다. 즉, 비 표시 영역(120)에 정전기 방전 패드(150)의 제1 전극(151)을 형성하기 위해서 별도의 마스크 및 제조 공정이 추가되는 것은 아니며, 액티브 영역(110)의 게이트 라인 및 TFT의 게이트 전극을 형성하는 공정을 이용하여 정전기 방전 패드(150)의 제1 전극(151)을 형성할 수 있다.
- [0053] 정전기 방전 패드(150)의 제1 전극(151)을 덧붙여 게이트 절연층(102)이 형성되어 있다. 게이트 절연층(102)은 SiO₂ 물질 또는 SiNx 물질로 형성될 수 있으며, 4,000Å의 두께로 형성될 수 있다.
- [0054] 다른 예로서, 게이트 절연층(102)은 TEOS(Tetra Ethyl Ortho Silicate) 또는 MTO(Middle Temperature Oxide)를 CVD(Chemical Vapor Deposition)로 증착하여 4,000Å의 두께로 형성될 수 있다.
- [0055] 정전기 방전 패드(150)의 제2 전극(152)은 액티브 영역(110)의 데이터 라인, TFT의 소스/드레인 전극과 동일한 레이어에 형성된다. 액티브 영역(110)에 데이터 라인 및 TFT의 소스/드레인 전극을 형성할 때 정전기 방전 패드(150)의 제2 전극(152)이 함께 형성된다. 즉, 비 표시 영역(120)에 정전기 방전 패드(150)의 제2 전극(152)을 형성하기 위해서 별도의 마스크 및 제조 공정이 추가되는 것은 아니며, 액티브 영역(110)의 데이터 라인 및 TFT의 소스/드레인 전극을 형성하는 공정을 이용하여 정전기 방전 패드(150)의 제2 전극(152)을 형성할 수 있다.
- [0056] 정전기 방전 패드(150)의 제1 전극(151) 및 제2 전극(152)은 알루미늄(Al), 몰리브덴(Mo), 티타늄(Ti), 은(Ag), 금(Au), 니켈(Ni), 카드뮴(Cd), 하프늄(Hf), 텅스텐(W), 탄탈륨(Ta), 크롬(Cr), 지르코늄(Zr) 또는 구리(Cu)의 메탈 물질로 2,000~3,000Å의 두께로 형성될 수 있다.
- [0057] 다른 예로서, 정전기 방전 패드(150)의 제1 전극(151) 및 제2 전극(152)은 알루미늄(Al), 몰리브덴(Mo), 티타늄(Ti), 은(Ag), 금(Au), 니켈(Ni), 카드뮴(Cd), 하프늄(Hf), 텅스텐(W), 탄탈륨(Ta), 크롬(Cr), 지르코늄(Zr) 또는 구리(Cu)의 메탈 물질을 포함하는 합금으로 형성될 수도 있다.
- [0058] 도 5에 도시된 바와 같이, 정전기 방전 패드(150)의 제1 전극(151)에는 제1 정전기 방전 라인(153)이 접속되어 있고, 정전기 방전 패드(150)의 제2 전극(152)에는 제2 정전기 방전 라인(154)이 접속되어 있다. 제1 정전기 방전 라인(153) 및 제2 정전기 방전 라인(154)은 비 표시 영역에서 라우팅되어 그라운드(GND) 단자에 접속된다.
- [0059] 액정 패널의 화면 크기가 22인 경우, 복수의 정전기 방전 패드(150) 각각은 3,500~4,000[pF]의 정전 용량을 가지도록 형성될 수 있다.
- [0060] 도 5 및 도 6에서는 정전기 방전 패드(150)의 제1 전극(151)이 제2 전극(152)보다 큰 면적을 가지도록 형성된 것으로 도시하고 있으나, 이는 본 발명의 여러 실시 예들 중에서 하나의 실시 예를 나타낸 것이다.
- [0061] 정전기 방전 패드(150)의 제1 전극(151)이 제2 전극(152)보다 작은 면적을 가지도록 형성될 수도 있고, 정전기 방전 패드(150)의 제1 전극(151)과 제2 전극(152)이 동일한 면적을 가지도록 형성될 수도 있다.
- [0062] 상술한 구성을 포함하는 본 발명의 제1 실시 예에 따른 액정 디스플레이 장치는 복수의 데이터 드라이브 IC(132)의 링크 영역들 사이마다 형성된 복수의 정전기 방전 패드(150)가 멀티 레이어의 구조로 형성되어 있어 큰 정전 용량을 확보할 수 있다.
- [0063] 이를 통해, 제조 공정 중 액정 패널에 발생된 정전기를 효과적으로 흡수한 후, 그라운드로 배출시켜 정전기에 의해 데이터 링크 라인들이 파손되는 것을 방지할 수 있다. 또한, 정전기에 의해서 데이터 링크 라인들에 인가된 신호가 왜곡되는 것을 방지하여 구동의 안정성을 확보할 수 있다.
- [0064] 도 8은 본 발명의 제2 실시 예에 따른 액정 디스플레이 장치를 개략적으로 나타내는 도면이고, 도 9는 본 발명의 제2 실시 예에 따른 정전기 방지 패드가 형성된 부분의 단면을 나타내는 도면이다.

- [0065] 본 발명의 제2 실시 예를 설명함에 있어, 도 4 내지 도 7을 참조하여 설명한 제1 실시 예와 동일한 구성에 대한 상세한 설명은 생략할 수 있다.
- [0066] 도 8 및 도 9를 참조하면, 본 발명의 제2 실시 예에 따른 액정 디스플레이 장치(100)는 액정 패널과 구동 회로부를 포함한다. 액정 패널은 화상이 표시되는 액티브 영역(110)과 비 표시 영역(120)을 포함한다.
- [0067] 액티브 영역(110)의 주변에 비 표시 영역(120)이 형성되어 있으며, 비 표시 영역(120)에는 액티브 영역(110)에 형성된 복수의 픽셀들에 신호를 공급하기 위한 복수의 링크 라인이 형성된 링크 영역(122)이 형성되어 있다. 또한, 비 표시 영역(120)에는 구동 회로부의 드라이브 IC들이 본딩되는 복수의 패드가 형성되어 있다.
- [0068] 구동 회로부는 데이터 드라이버(130), 게이트 드라이버(140), 타이밍 컨트롤러(미도시) 및 전원 공급부(미도시)를 포함한다.
- [0069] 데이터 드라이버(130)는 복수의 데이터 드라이브 IC(132, data drive integrated circuit)를 포함하며, 복수의 데이터 드라이브 IC(132)는 COF(Chip On Film) 형태로 형성되어 액정 패널의 비 표시 영역(120)의 상측 또는 하측에 본딩된다.
- [0070] 게이트 드라이버(140)는 복수의 게이트 드라이브 IC(142, gate drive integrated circuit)를 포함하며, 복수의 게이트 드라이브 IC(142)는 COF(Chip On Film) 형태로 형성되어 액정 패널의 비 표시 영역(120)의 좌측 및 우측에 본딩된다.
- [0071] 복수의 데이터 드라이브 IC(132)의 출력 신호(데이터 전압)를 픽셀에 공급하기 위한 복수의 데이터 링크 라인이 형성된 데이터 링크 영역들 사이에는 제1 정전기 방전 패드(150)가 형성되어 있다.
- [0072] 그리고, 복수의 게이트 드라이브 IC(142)의 출력 신호(게이트 구동 신호)를 픽셀에 공급하기 위한 복수의 게이트 링크 라인이 형성된 게이트 링크 영역들 사이에는 제2 정전기 방전 패드(160)가 형성되어 있다.
- [0073] 도 6에 도시된 바와 같이, 복수의 데이터 드라이브 IC(132)에서 출력되는 데이터 전압을 픽셀에 공급하기 위해서 링크 영역(122)에는 복수의 데이터 링크 영역(134)이 형성되어 있다. 데이터 링크 영역(134)에는 복수의 데이터 링크 라인(134a)이 형성되어 있으며, 복수의 데이터 링크 라인(134a)을 통해 데이터 드라이브 IC(132)의 각 채널에서 출력된 데이터 전압이 액티브 영역(110)의 각 픽셀에 공급된다.
- [0074] 그리고, 도면에 도시하지 않았지만, 복수의 게이트 드라이브 IC(142)에서 출력되는 데이터 전압을 픽셀에 공급하기 위해서 링크 영역(122)에는 복수의 게이트 링크 영역이 형성되어 있다. 게이트 링크 영역에는 복수의 게이트 링크 라인이 형성되어 있으며, 복수의 게이트 링크 라인을 통해 게이트 드라이브 IC(142)의 각 채널에서 출력된 게이트 구동 신호가 액티브 영역(110)의 각 픽셀에 공급된다.
- [0075] 복수의 데이터 드라이브 IC(132)의 링크 영역들 사이마다 형성된 제1 정전기 방전 패드(150)는 멀티 레이어 구조를 가진다. 이와 동일하게, 복수의 게이트 드라이브 IC(142)의 링크 영역들 사이마다 형성된 제2 정전기 방전 패드(160)도 멀티 레이어 구조를 가진다.
- [0076] 9에 도시된 바와 같이, 복수의 게이트 드라이브 IC(142)의 링크 영역들 사이마다 형성된 제2 정전기 방전 패드(160)는 절연층을 사이에 두고 형성된 제1 전극(161) 및 제2 전극(162)을 포함하여 구성된다. 이때, 제2 정전기 방전 패드(160)의 절연층으로 게이트 절연층(102)이 적용될 수 있다.
- [0077] 제2 정전기 방전 패드(160)의 제1 전극(161)은 액티브 영역(110)의 게이트 라인 및 TFT의 게이트 전극과 동일한 레이어에 형성된다. 액티브 영역(110)에 게이트 라인 및 TFT의 게이트 전극을 형성할 때 제2 정전기 방전 패드(160)의 제1 전극(161)이 함께 형성된다. 즉, 비 표시 영역(120)에 제2 정전기 방전 패드(160)의 제1 전극(161)을 형성하기 위해서 별도의 마스크 및 제조 공정이 추가되는 것은 아니며, 액티브 영역(110)의 게이트 라인 및 TFT의 게이트 전극을 형성하는 공정을 이용하여 제2 정전기 방전 패드(160)의 제1 전극(161)을 형성할 수 있다.
- [0078] 제2 정전기 방전 패드(160)의 제1 전극(161)을 덮도록 게이트 절연층(102)이 형성되어 있다. 게이트 절연층(102)은 SiO₂ 물질 또는 SiNx 물질로 형성될 수 있으며, 4,000Å의 두께로 형성될 수 있다.
- [0079] 다른 예로서, 게이트 절연층(102)은 TEOS(Tetra Ethyl Ortho Silicate) 또는 MTO(Middle Temperature Oxide)를 CVD(Chemical Vapor Deposition)로 증착하여 4,000Å의 두께로 형성될 수 있다.
- [0080] 제2 정전기 방전 패드(160)의 제2 전극(162)은 액티브 영역(110)의 데이터 라인, TFT의 소스/드레인 전극과 동

일한 레이어에 형성된다. 액티브 영역(110)에 데이터 라인 및 TFT의 소스/드레인 전극을 형성할 때 제2 정전기 방전 패드(160)의 제2 전극(162)이 함께 형성된다. 즉, 비 표시 영역(120)에 제2 정전기 방전 패드(160)의 제2 전극(162)을 형성하기 위해서 별도의 마스크 및 제조 공정이 추가되는 것은 아니며, 액티브 영역(110)의 데이터 라인 및 TFT의 소스/드레인 전극을 형성하는 공정을 이용하여 제2 정전기 방전 패드(160)의 제2 전극(162)을 형성할 수 있다.

[0081] 제2 정전기 방전 패드(160)의 제1 전극(161) 및 제2 전극(162)은 알루미늄(Al), 몰리브덴(Mo), 티타늄(Ti), 은(Ag), 금(Au), 니켈(Ni), 카드뮴(Cd), 하프늄(Hf), 텅스텐(W), 탄탈륨(Ta), 크롬(Cr), 지르코늄(Zr) 또는 구리(Cu)의 메탈 물질로 2,000~3,000Å의 두께로 형성될 수 있다.

[0082] 다른 예로서, 제2 정전기 방전 패드(160)의 제1 전극(161) 및 제2 전극(162)은 알루미늄(Al), 몰리브덴(Mo), 티타늄(Ti), 은(Ag), 금(Au), 니켈(Ni), 카드뮴(Cd), 하프늄(Hf), 텅스텐(W), 탄탈륨(Ta), 크롬(Cr), 지르코늄(Zr) 또는 구리(Cu)의 메탈 물질을 포함하는 합금으로 형성될 수도 있다.

[0083] 제2 정전기 방전 패드(160)의 제1 전극(161)에는 제1 정전기 방전 라인(미도시)이 접속되어 있고, 제2 정전기 방전 패드(160)의 제2 전극(162)에는 제2 정전기 방전 라인(미도시)이 접속되어 있다. 제1 정전기 방전 라인 및 제2 정전기 방전 라인은 비 표시 영역에서 라우팅되어 그라운드(GND) 단자에 접속된다.

[0084] 액정 패널의 화면 크기가 22인 경우, 복수의 제2 정전기 방전 패드(160) 각각은 3,500~4,000[pF]의 정전 용량을 가지도록 형성될 수 있다.

[0085] 상술한 구성을 포함하는 본 발명의 제2 실시 예에 따른 액정 디스플레이 장치는 복수의 데이터 드라이브 IC(132)의 링크 영역들 사이마다 형성된 복수의 제1 정전기 방전 패드(150)가 멀티 레이어의 구조로 형성되어 있어 큰 정전 용량을 확보할 수 있다.

[0086] 또한, 복수의 게이트 드라이브 IC(142)의 링크 영역들 사이마다 형성된 복수의 제2 정전기 방전 패드(160)가 멀티 레이어의 구조로 형성되어 있어 큰 정전 용량을 확보할 수 있다.

[0087] 이를 통해, 제조 공정 중 액정 패널에 발생된 정전기를 효과적으로 흡수한 후, 그라운드로 배출시켜 정전기에 의해 데이터 링크 라인들 및 게이트 링크 라인들이 파손되는 것을 방지할 수 있다. 또한, 정전기에 의해서 데이터 링크 라인들 및 게이트 링크 라인들에 인가된 신호가 왜곡되는 것을 방지하여 구동의 안정성을 확보할 수 있다.

[0088] 도 10은 본 발명의 제3 다른 실시 예에 따른 액정 디스플레이 장치를 개략적으로 나타내는 도면이고, 도 11은 본 발명의 제3 다른 실시 예에 따른 정전기 방지 패드가 형성된 부분의 단면을 나타내는 도면이다.

[0089] 본 발명의 제3 실시 예를 설명함에 있어서, 도 4 내지 도 7을 참조하여 설명한 제1 실시 예와 동일한 구성에 대한 상세한 설명은 생략할 수 있다. 또한, 본 발명의 제3 실시 예를 설명함에 있어서, 도 8 및 도 9를 참조하여 설명한 제2 실시 예와 동일한 구성에 대한 상세한 설명은 생략할 수 있다.

[0090] 도 10 및 도 11을 참조하면, 본 발명의 제3 실시 예에 따른 액정 디스플레이 장치(100)는 액정 패널과 구동 회로부를 포함한다. 액정 패널은 화상이 표시되는 액티브 영역(110)과 비 표시 영역(120)을 포함한다.

[0091] 액티브 영역(110)의 주변에 비 표시 영역(120)이 형성되어 있으며, 비 표시 영역(120)에는 액티브 영역(110)에 형성된 복수의 픽셀들에 신호를 공급하기 위한 복수의 링크 라인이 형성된 링크 영역(122)이 형성되어 있다. 또한, 비 표시 영역(120)에는 구동 회로부의 드라이브 IC들이 본딩되는 복수의 패드가 형성되어 있다.

[0092] 구동 회로부는 데이터 드라이버(130), 게이트 드라이버(140), 타이밍 컨트롤러(미도시) 및 전원 공급부(미도시)를 포함한다.

[0093] 데이터 드라이버(130)는 복수의 데이터 드라이브 IC(132, data drive integrated circuit)를 포함하며, 복수의 데이터 드라이브 IC(132)는 COF(Chip On Film) 형태로 형성되어 액정 패널의 비 표시 영역(120)의 상측 또는 하측에 본딩된다.

[0094] 게이트 드라이버(140)는 복수의 게이트 드라이브 IC(142, gate drive integrated circuit)를 포함하며, 복수의 게이트 드라이브 IC(142)는 COF(Chip On Film) 형태로 형성되어 액정 패널의 비 표시 영역(120)의 좌측 및 우측에 본딩된다.

[0095] 복수의 데이터 드라이브 IC(132)의 출력 신호(데이터 전압)를 픽셀에 공급하기 위한 복수의 데이터 링크 라인이

형성된 데이터 링크 영역들 사이에는 제1 정전기 방전 패드(150)가 형성되어 있다.

[0096] 그리고, 복수의 게이트 드라이브 IC(142)의 출력 신호(게이트 구동 신호)를 픽셀에 공급하기 위한 복수의 게이트 링크 라인이 형성된 게이트 링크 영역들 사이에는 제2 정전기 방전 패드(160)가 형성되어 있다.

[0097] 그리고, 액정 패널의 네 모서리 부분에 제3 정전기 방전 패드(170)가 형성되어 있다.

[0098] 복수의 제1 정전기 방전 패드(150), 복수의 제2 정전기 방전 패드(160) 및 복수의 제3 정전기 방전 패드(170)는 멀티 레이어 구조를 가진다. 복수의 제1 정전기 방전 패드(150) 및 복수의 제2 정전기 방전 패드(160)의 구조는 앞에서 설명한 사항을 참조한다.

[0099] 도 11에 도시된 바와 같이, 제3 정전기 방전 패드(170)는 절연층을 사이에 두고 형성된 제1 전극(171) 및 제2 전극(172)을 포함하여 구성된다. 이때, 제3 정전기 방전 패드(170)의 절연층으로 게이트 절연층(102)이 적용될 수 있다.

[0100] 제3 정전기 방전 패드(170)의 제1 전극(171)은 액티브 영역(110)의 게이트 라인 및 TFT의 게이트 전극과 동일한 레이어에 형성된다. 액티브 영역(110)에 게이트 라인 및 TFT의 게이트 전극을 형성할 때 제3 정전기 방전 패드(170)의 제1 전극(171)이 함께 형성된다. 즉, 비 표시 영역(120)에 제3 정전기 방전 패드(170)의 제1 전극(171)을 형성하기 위해서 별도의 마스크 및 제조 공정이 추가되는 것은 아니며, 액티브 영역(110)의 게이트 라인 및 TFT의 게이트 전극을 형성하는 공정을 이용하여 제3 정전기 방전 패드(170)의 제1 전극(171)을 형성할 수 있다.

[0101] 제3 정전기 방전 패드(170)의 제1 전극(171)을 덮도록 게이트 절연층(102)이 형성되어 있다. 게이트 절연층(102)은 SiO₂ 물질 또는 SiN_x 물질로 형성될 수 있으며, 4,000Å의 두께로 형성될 수 있다.

[0102] 다른 예로서, 게이트 절연층(102)은 TEOS(Tetra Ethyl Ortho Silicate) 또는 MTO(Middle Temperature Oxide)를 CVD(Chemical Vapor Deposition)로 증착하여 4,000Å의 두께로 형성될 수 있다.

[0103] 제3 정전기 방전 패드(170)의 제2 전극(172)은 액티브 영역(110)의 데이터 라인, TFT의 소스/드레인 전극과 동일한 레이어에 형성된다. 액티브 영역(110)에 데이터 라인 및 TFT의 소스/드레인 전극을 형성할 때 제3 정전기 방전 패드(170)의 제2 전극(172)이 함께 형성된다. 즉, 비 표시 영역(120)에 제3 정전기 방전 패드(170)의 제2 전극(172)을 형성하기 위해서 별도의 마스크 및 제조 공정이 추가되는 것은 아니며, 액티브 영역(110)의 데이터 라인 및 TFT의 소스/드레인 전극을 형성하는 공정을 이용하여 제3 정전기 방전 패드(170)의 제2 전극(172)을 형성할 수 있다.

[0104] 제3 정전기 방전 패드(170)의 제1 전극(171) 및 제2 전극(172)은 알루미늄(Al), 몰리브덴(Mo), 티타늄(Ti), 은(Ag), 금(Au), 니켈(Ni), 카드뮴(Cd), 하프늄(Hf), 텅스텐(W), 탄탈륨(Ta), 크롬(Cr), 지르코늄(Zr) 또는 구리(Cu)의 메탈 물질로 2,000~3,000Å의 두께로 형성될 수 있다.

[0105] 다른 예로서, 제3 정전기 방전 패드(170)의 제1 전극(171) 및 제2 전극(172)은 알루미늄(Al), 몰리브덴(Mo), 티타늄(Ti), 은(Ag), 금(Au), 니켈(Ni), 카드뮴(Cd), 하프늄(Hf), 텅스텐(W), 탄탈륨(Ta), 크롬(Cr), 지르코늄(Zr) 또는 구리(Cu)의 메탈 물질을 포함하는 합금으로 형성될 수도 있다.

[0106] 제3 정전기 방전 패드(170)의 제1 전극(171)에는 제1 정전기 방전 라인(미도시)이 접속되어 있고, 제3 정전기 방전 패드(170)의 제2 전극(172)에는 제2 정전기 방전 라인(미도시)이 접속되어 있다. 제1 정전기 방전 라인 및 제2 정전기 방전 라인은 비 표시 영역에서 라우팅되어 그라운드(GND) 단자에 접속된다.

[0107] 액정 패널의 화면 크기가 22인 경우, 복수의 제3 정전기 방전 패드(170) 각각은 3,500~4,000[pF]의 정전 용량을 가지도록 형성될 수 있다.

[0108] 상술한 구성을 포함하는 본 발명의 제3 실시 예에 따른 액정 디스플레이 장치는 액정 패널의 네 모서리 부분에 형성된 복수의 제3 정전기 방전 패드(170)가 멀티 레이어의 구조로 형성되어 있어 큰 정전 용량을 확보할 수 있다.

[0109] 이를 통해, 제조 공정 중 액정 패널에 발생된 정전기를 효과적으로 흡수한 후, 그라운드로 배출시켜 정전기에 의해 데이터 링크 라인들 및 게이트 링크 라인들이 파손되는 것을 방지할 수 있다. 또한, 정전기에 의해서 데이터 링크 라인들 및 게이트 링크 라인들에 인가된 신호가 왜곡되는 것을 방지하여 구동의 안정성을 확보할 수 있다.

- [0110] 도 12는 본 발명의 제4 다른 실시 예에 따른 정전기 방지 패드가 형성된 부분의 단면을 나타내는 도면이다.
- [0111] 도 12를 참조하면, 본 발명의 제4 실시 예에 따른 액정 디스플레이 장치는 복수의 데이터 드라이브 IC(132)의 링크 영역들 사이마다 형성된 정전기 방전 패드(150)가 멀티 레이어 구조를 가진다.
- [0112] 정전기 방전 패드(150)는 제1 절연층을 사이에 두고 형성된 제1 전극(151) 및 제2 전극(152)이 형성되어 있고, 제2 절연층을 사이에 두고 제2 전극(152) 및 제3 전극(153)이 형성되어 있다. 이때, 정전기 방전 패드(150)의 제1 절연층으로 게이트 절연층(102)이 적용될 수 있고, 제2 절연층으로 보호층(105)이 적용될 수 있다.
- [0113] 정전기 방전 패드(150)의 제1 전극(151)과 제2 전극(152) 사이에 제1 커패시터가 형성되고, 제2 전극(152)과 제3 전극(153) 사이에 제2 커패시터가 형성되어 있다. 즉, 2개의 커패시터를 포함하는 구조로 정전기 방전 패드(150)를 형성함으로써 정전기 방전 패드(150)의 전체 정전 용량을 증가시킬 수 있다.
- [0114] 정전기 방전 패드(150)의 제1 전극(151)은 액티브 영역(110)의 게이트 라인 및 TFT의 게이트 전극과 동일한 레이어에 형성된다. 액티브 영역(110)에 게이트 라인 및 TFT의 게이트 전극을 형성할 때 정전기 방전 패드(150)의 제1 전극(151)이 함께 형성된다. 즉, 비 표시 영역(120)에 정전기 방전 패드(150)의 제1 전극(151)을 형성하기 위해서 별도의 마스크 및 제조 공정이 추가되는 것은 아니며, 액티브 영역(110)의 게이트 라인 및 TFT의 게이트 전극을 형성하는 공정을 이용하여 정전기 방전 패드(150)의 제1 전극(151)을 형성할 수 있다.
- [0115] 정전기 방전 패드(150)의 제1 전극(151)을 덮도록 게이트 절연층(102)이 형성되어 있다. 게이트 절연층(102)은 SiO₂ 물질 또는 SiN_x 물질로 형성될 수 있으며, 4,000Å의 두께로 형성될 수 있다.
- [0116] 다른 예로서, 게이트 절연층(102)은 TEOS(Tetra Ethyl Ortho Silicate) 또는 MTO(Middle Temperature Oxide)를 CVD(Chemical Vapor Deposition)로 증착하여 4,000Å의 두께로 형성될 수 있다.
- [0117] 정전기 방전 패드(150)의 제2 전극(152)은 액티브 영역(110)의 데이터 라인, TFT의 소스/드레인 전극과 동일한 레이어에 형성된다. 액티브 영역(110)에 데이터 라인 및 TFT의 소스/드레인 전극을 형성할 때 정전기 방전 패드(150)의 제2 전극(152)이 함께 형성된다. 즉, 비 표시 영역(120)에 정전기 방전 패드(150)의 제2 전극(152)을 형성하기 위해서 별도의 마스크 및 제조 공정이 추가되는 것은 아니며, 액티브 영역(110)의 데이터 라인 및 TFT의 소스/드레인 전극을 형성하는 공정을 이용하여 정전기 방전 패드(150)의 제2 전극(152)을 형성할 수 있다.
- [0118] 정전기 방전 패드(150)의 제1 전극(151) 및 제2 전극(152)은 알루미늄(Al), 몰리브덴(Mo), 티타늄(Ti), 은(Ag), 금(Au), 니켈(Ni), 카드뮴(Cd), 하프늄(Hf), 텅스텐(W), 탄탈륨(Ta), 크롬(Cr), 지르코늄(Zr) 또는 구리(Cu)의 메탈 물질로 2,000~3,000Å의 두께로 형성될 수 있다.
- [0119] 다른 예로서, 정전기 방전 패드(150)의 제1 전극(151) 및 제2 전극(152)은 알루미늄(Al), 몰리브덴(Mo), 티타늄(Ti), 은(Ag), 금(Au), 니켈(Ni), 카드뮴(Cd), 하프늄(Hf), 텅스텐(W), 탄탈륨(Ta), 크롬(Cr), 지르코늄(Zr) 또는 구리(Cu)의 메탈 물질을 포함하는 합금으로 형성될 수도 있다.
- [0120] 정전기 방전 패드(150)의 제2 전극(152)을 덮도록 보호층(105)이 형성되어 있다. 보호층(105)은 SiO₂ 물질 또는 SiN_x 물질로 형성될 수 있으며, 2,000Å의 두께로 형성될 수 있다.
- [0121] 보호층(105) 상에 정전기 방전 패드(150)의 제3 전극(153)이 형성된다. 정전기 방전 패드(150)의 제3 전극(153)은 액티브 영역(110)의 픽셀 전극 또는 공통 전극과 동일한 레이어에 형성된다.
- [0122] 액티브 영역(110)에 픽셀 전극 또는 공통 전극을 형성할 때 정전기 방전 패드(150)의 제3 전극(153)이 함께 형성된다. 즉, 비 표시 영역(120)에 정전기 방전 패드(150)의 제3 전극(153)을 형성하기 위해서 별도의 마스크 및 제조 공정이 추가되는 것은 아니며, 액티브 영역(110)의 픽셀 전극 또는 공통 전극을 형성하는 공정을 이용하여 정전기 방전 패드(150)의 제3 전극(153)을 형성할 수 있다.
- [0123] 정전기 방전 패드(150)의 제3 전극(153)은 ITO(indium tin oxide), IZO(indium zinc oxide) 또는 ITZO(indium tin zinc oxide)와 같은 투명 전도성 물질로, 500~1,000Å의 두께로 형성될 수 있다.
- [0124] 정전기 방전 패드(150)의 제1 전극(151)에는 제1 정전기 방전 라인(미도시)이 접속되어 있고, 정전기 방전 패드(150)의 제2 전극(152)에는 제2 정전기 방전 라인(미도시)이 접속되어 있고, 정전기 방전 패드(150)의 제3 전극(153)에는 제3 정전기 방전 라인이 접속되어 있다. 제1 정전기 방전 라인 내지 제3 정전기 방전 라인은 비 표시 영역에서 라우팅되어 그라운드(GND) 단자에 접속된다.

- [0125] 상술한 구성을 포함하는 본 발명의 제1 실시 예에 따른 액정 디스플레이 장치는 복수의 데이터 드라이브 IC(132)의 링크 영역들 사이마다 형성된 복수의 정전기 방전 패드(150)가 멀티 레이어의 구조로 형성되어 있어 큰 정전 용량을 확보할 수 있다.
- [0126] 이를 통해, 제조 공정 중 액정 패널에 발생된 정전기를 효과적으로 흡수한 후, 그라운드로 배출시켜 정전기에 의해 데이터 링크 라인들이 파손되는 것을 방지할 수 있다. 또한, 정전기에 의해서 데이터 링크 라인들에 인가된 신호가 왜곡되는 것을 방지하여 구동의 안정성을 확보할 수 있다.
- [0127] 도 12에서는 데이터 드라이브 IC(132)의 링크 영역들 사이마다 형성된 정전기 방전 패드(150)가 2개의 커패시터를 가지는 멀티 레이어 구조로 형성된 것으로 도시하고 이에 대하여 설명하였다.
- [0128] 그러나, 이에 한정되지 않고, 도 8 및 도 9를 참조하여 설명한 본 발명의 제2 실시 예의 제2 정전기 방전 패드(160)도 2개의 커패시터를 가지는 멀티 레이어 구조로 형성될 수 있다.
- [0129] 또한, 도 10 및 도 11을 참조하여 설명한 본 발명의 제3 실시 예의 제3 정전기 방전 패드(170)도 2개의 커패시터를 가지는 멀티 레이어 구조로 형성될 수 있다.
- [0130] 정전기 방전 패드의 정전 용량(Cap)은 아래의 수학적식1과 같이, 절연층의 유전율(ϵ)과 제1 전극과 제2 전극이 중첩된 면적(A)에 비례하고, 제1 전극과 제2 전극 사이의 거리(d)에 반비례한다.
- [0131] [수학적식1]
- $$\text{Cap} = \epsilon \times \frac{A}{d}$$
- [0132]
- [0133] 제1 전극과 제2 전극이 중첩된 면적(A)을 증가시키는 경우 링크 라인들과의 쇼트가 발생할 수 있어, 제1 전극과 제2 전극이 중첩된 면적(A)을 늘리는 것에는 제약이 있다.
- [0134] 제1 전극과 제2 전극 사이에 형성된 절연층의 두께를 줄이면 제1 전극과 제2 전극이 중첩된 면적(A)을 증가시키지 않고 정전기 방전 패드의 정전 용량(Cap)을 증가시킬 수 있다.
- [0135] 본 발명에서는 액티브 영역 및 비 표시 영역에 게이트 절연을 형성한 이후에, 비 표시 영역에 형성된 게이트 절연층 중에서 정전기 방전 패드 부분의 게이트 절연층의 두께를 감소시킬 수 있다. 즉, 액티브 영역의 게이트 절연층의 두께보다 정전기 방전 패드의 절연층으로 이용되는 게이트 절연층의 두께를 얇게 형성하여 정전기 방전 패드의 정전 용량을 증가시킬 수 있다.
- [0136] 이를 통해, 제조 공정 중 액정 패널에 발생된 정전기를 효과적으로 흡수한 후, 그라운드로 배출시켜 정전기에 의해 데이터 링크 라인들 및 게이트 링크 라인이 파손되는 것을 방지할 수 있다. 또한, 정전기에 의해서 데이터 링크 라인들 및 게이트 링크 라인들에 인가된 신호가 왜곡되는 것을 방지하여 구동의 안정성을 확보할 수 있다.
- [0137] 본 발명이 속하는 기술분야의 당 업자는 상술한 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로, 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로 이해해야만 한다.
- [0138] 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

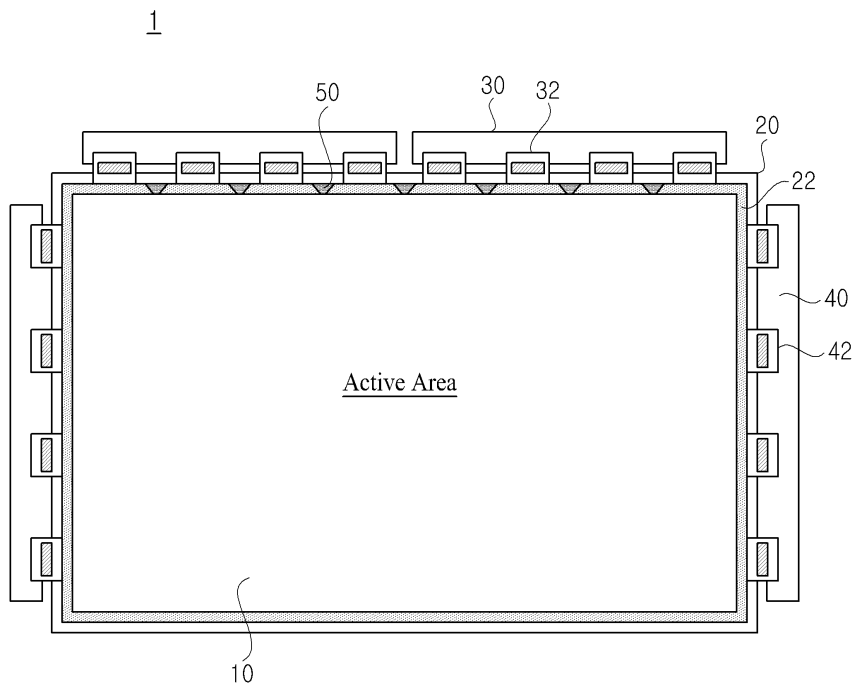
부호의 설명

- [0139] 101: 기판 102: 게이트 절연층
105: 보호층 110: 액티브 영역
120: 비 표시 영역 122: 링크 영역
130: 데이터 드라이버 132: 데이터 드라이브 IC
140: 게이트 드라이버 142: 게이트 드라이브 IC

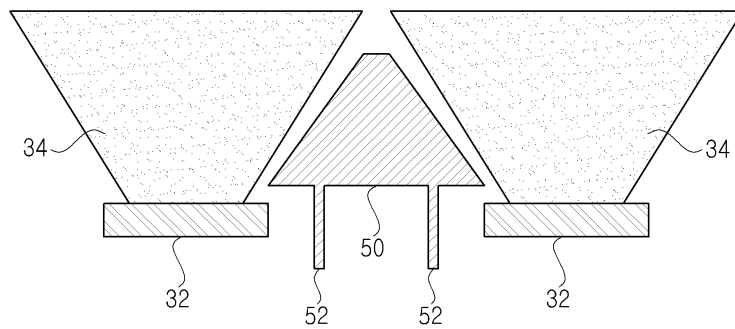
150: 정전기 방전 패드 151: 제1 전극
 152: 제2 전극 153: 제1 정전기 방전 라인
 154: 제2 정전기 방전 라인 160: 정전기 방전 패드
 161: 제1 전극 162: 제2 전극
 170: 정전기 방전 패드 171: 제1 전극
 172: 제2 전극 180: 정전기 방전 패드
 181: 제1 전극 182: 제2 전극
 183: 제3 전극

도면

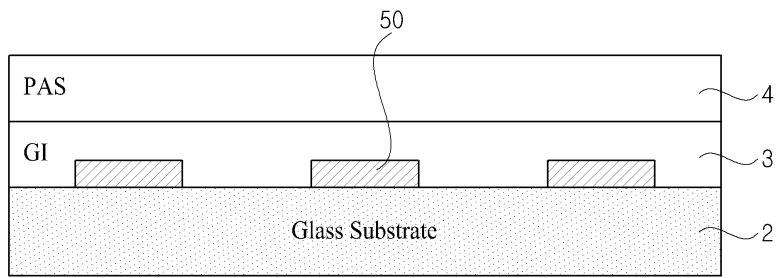
도면1



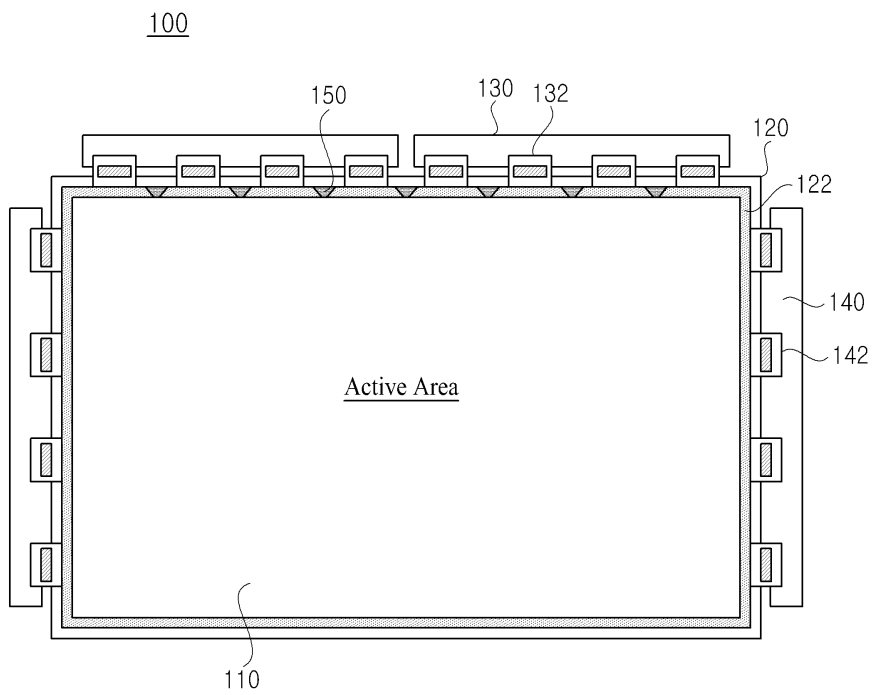
도면2



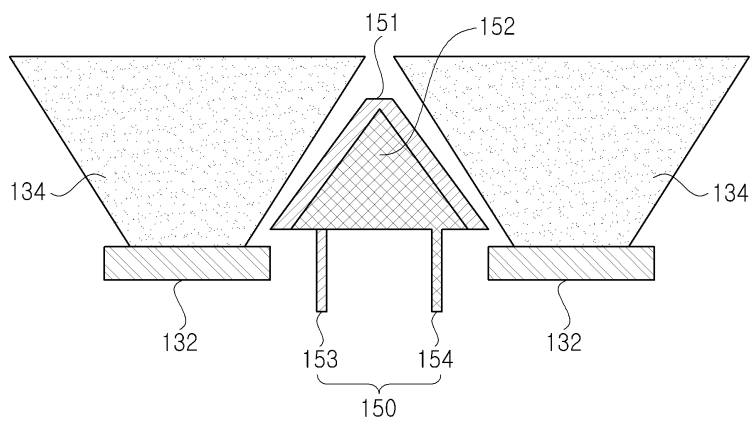
도면3



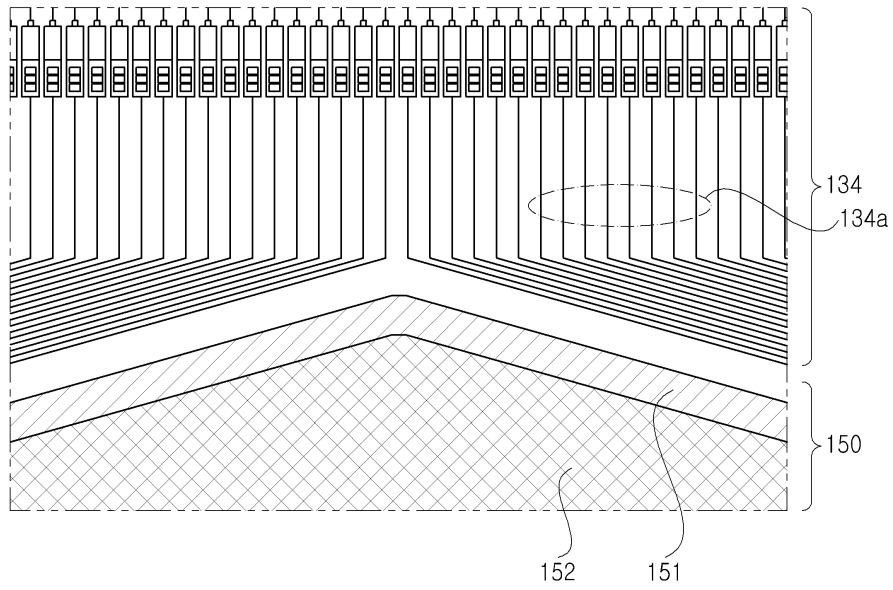
도면4



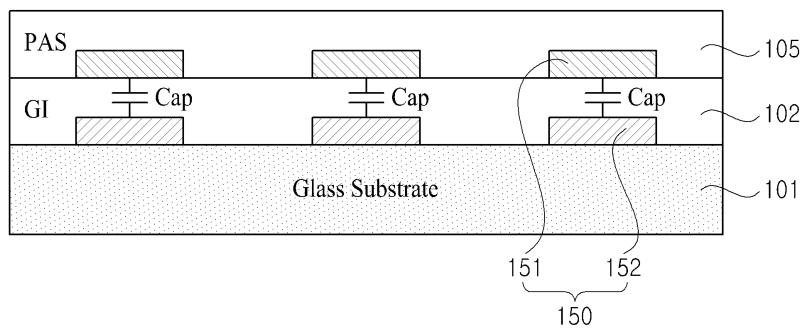
도면5



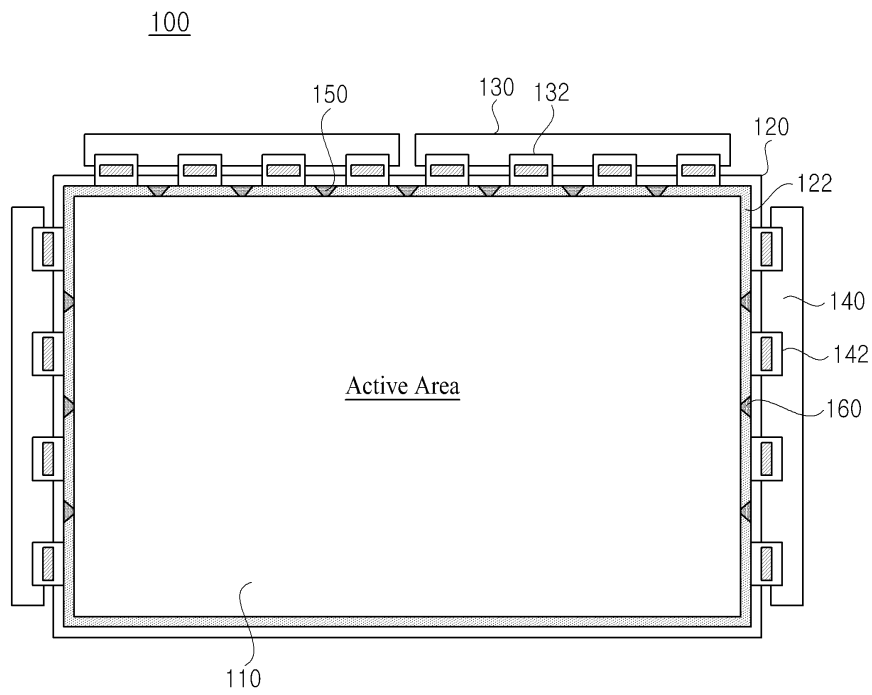
도면6



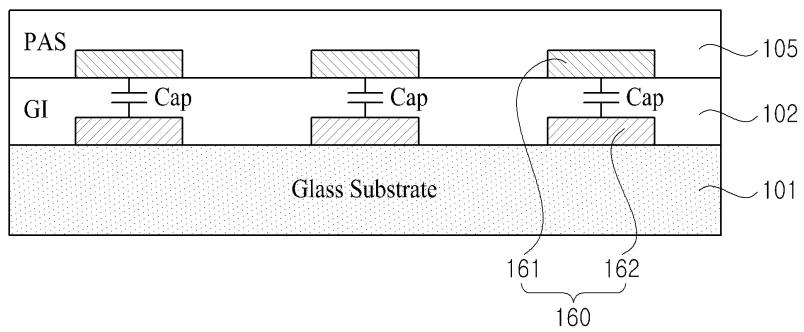
도면7



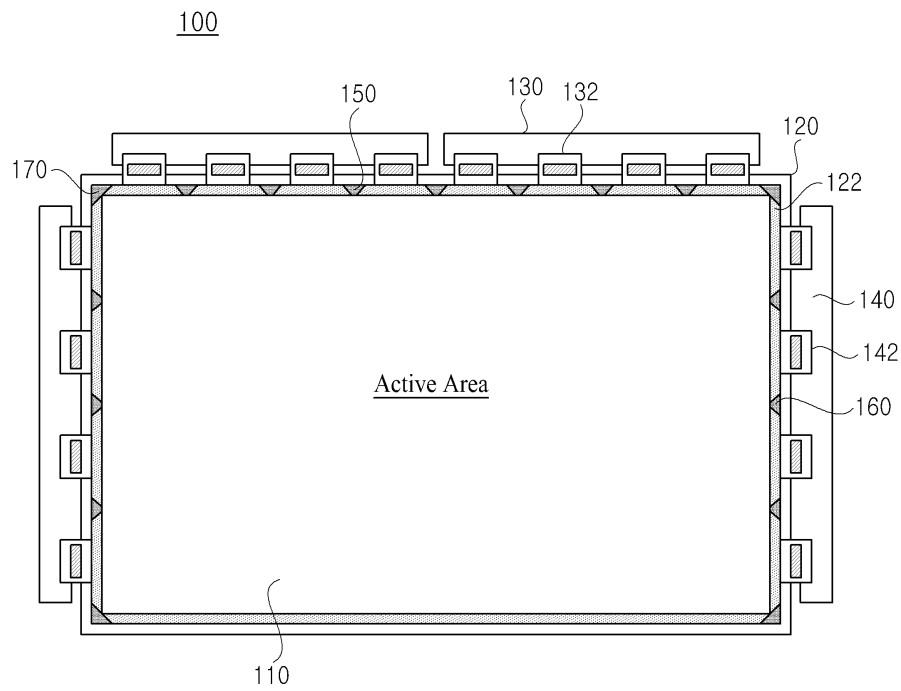
도면8



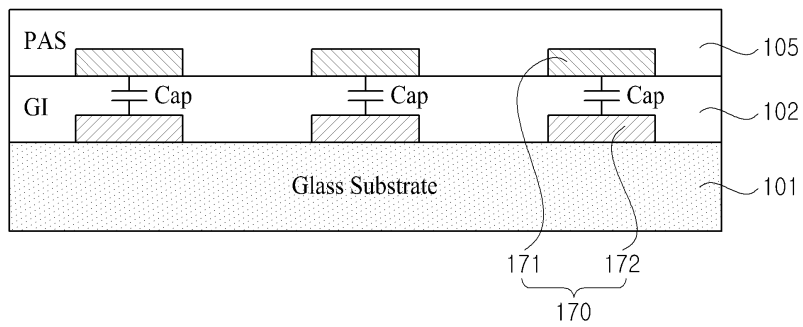
도면9



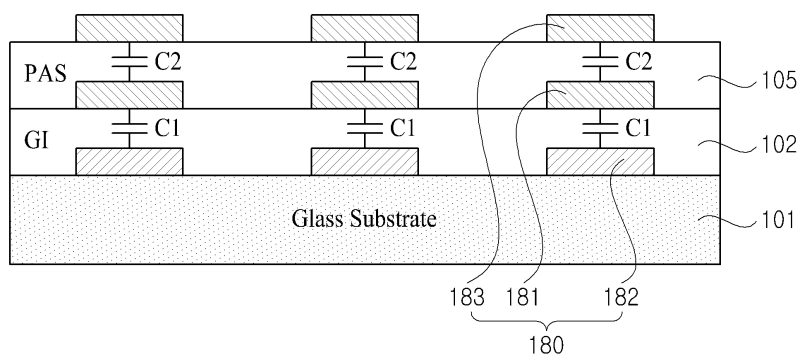
도면10



도면11



도면12



专利名称(译)	标题：液晶显示装置及其制造方法		
公开(公告)号	KR1020150047948A	公开(公告)日	2015-05-06
申请号	KR1020130128051	申请日	2013-10-25
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	DAEHYUN WON 원대현 MOKKYU JIN 진목규 DONG KON KWAK 박동곤 AHREUM KONG 공아름		
发明人	원대현 진목규 박동곤 공아름		
IPC分类号	G02F1/1345		
CPC分类号	G02F1/13452 G02F1/13458 G02F1/136286 G02F2201/121 G02F2201/123		
其他公开文献	KR102062735B1		
外部链接	Espacenet		

摘要(译)

液晶显示装置技术领域本发明涉及一种液晶显示装置，该液晶显示装置能够防止对通过对链接线施加静电而产生的链接线的损伤。根据本发明实施例的液晶显示装置包括：具有像素并显示图像的有源区；以及具有像素的有源区。非显示区域形成在有源区域的边缘；数据驱动IC，其结合到非显示区域并向像素提供数据电压；数据链路区域具有数据链路线，用于将从数据驱动IC输出的信号提供给像素；结合到非显示区域并向像素提供栅极驱动信号的栅极驱动IC；栅极连接区域，其具有用于将从栅极驱动IC输出的信号提供给像素的栅极连接线；第一ESD焊盘，其形成在数据链路区域之间并且具有多层结构，该多层结构包括第一电极，覆盖第一电极的第一绝缘层和形成在第一绝缘层上的第二电极。

